

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITE MOULOUD MAMMARI DE TIZI-OUZOU



FACULTE DU GENIE ELECTRIQUE ET D'INFORMATIQUE
DEPARTEMENT D'AUTOMATIQUE

Mémoire de Fin d'Etudes de MASTER ACADEMIQUE

Domaine : **Sciences et Technologies**

Filière : **Génie électrique**

Spécialité : **Micro-électronique**

Présenté par
Fatiha TALEB

Thème
**MODELISATION COMPACT DU
TRANSISTOR MOSFET**

Mémoire soutenu publiquement le 12 / 07 / 2015 devant le jury composé de :

M Arezki BENFDILA
Président

M Ahcene LAKHLEF
Encadreur

M Mohand GOUDJIL
Examineur

M Takfarinas CHELLI
Examineur

Remerciements

Louange à DIEU qui m'a comblé de faveurs et ma mis sur le droit chemin on m'éclairant la voie du savoir. Et Je le remercie de m'avoir apporté aide pour réaliser le travail exposé tout le long de ce mémoire.

Un grand merci à mon promoteur monsieur LAKHLEF Ahcene pour son encadrement, sa compréhension et sa gentillesse durant tout le long de mon mémoire.

Je tiens à remercier monsieur Arezki BENFDILA, responsable de la formation, et tous les professeurs qui nous ont enseigné et qui par leurs compétences nous ont soutenu dans la poursuite de nos études.

Je leur exprime toute ma reconnaissance pour leur compréhension, aidé et conseillé dans les moments difficiles, ainsi leur dynamisme et leur collaboration tout au long de mon cursus de master. Que cet espace témoin et révèle l'expression de mon profonde gratitude.

Mes vifs remerciements vont également aux membres de jury pour m'avoir honoré et accepté d'examiner ce travail.

Enfin, je tiens à remercier aussi toutes les personnes qui ont participé de près ou de loin à la réalisation de ce travail.

Merci à tous et à toutes.

Fatiha.T

Dédicaces

 *Je dédie ce modeste travail fruit de toutes mes études à ...* 

Mes très chers parents qui m'ont donné la vie, symbole de beauté, de fierté, de sagesse et de patience et qui sont la source de mon inspiration et de mon courage, à qui je dois de l'amour et la reconnaissance.

Mes chers Grand parents, mes frères Djaffar, Jugurtha, Juba, ma très chère sœur "Hassina" et mon adorable nièce Lydia.

Ma cousine Chahra, et tout ça famille.

Et à toute ma famille ;

A tous les proches, cousines et cousins.

A Tous mes amis(es) en particulier Zahoua, Naima, Hakim, Mr Kessi, Nassim, Farhat, Rosa, Assia, Dalia, Katia, Kahina ;

A mes camarades du groupe MGM.

Et à tous qui me connaît et compte sur moi...

Fatiha.T

Sommaire

Introduction générale	1
CHAPTRE I : Principe et généralités sur le fonctionnement du transistor MOSFET	
Introduction :	3
1.Description de MOSFET:.....	4
2.Principes de base d'un transistor MOSFET	4
2.1.Effet de champ.....	4
2.2.Différents Types de transistors MOSFET	5
2.3.Conditions de conduction.....	6
2.4.Régimes de fonctionnement	6
3.Modélisation d'un transistor MOSFET	9
3.1.Potentiel de bandes plates	9
3.2.Tention de seuil	10
3.3. Pente sous le seuil	10
3.4.Courant I_{OFF} et I_{ON}	11
3.5.Modélisation des régimes de conduction	11
3.5.1.Régime linéaire	12
3.5.2.Régime de saturation	14
3.6.Modélisation de la capacité MOS	15
3.6.1. capacité MOS	15
3.6.2.Capacités parasites	16
4.Mobilité de porteurs de charge.....	17
4.1.Collisions avec les phonons	18
4.2. Collisions sur les centres coulombien.....	18
4.3. Collisions sur la rugosité de surfac.....	18
5. La miniaturisation et ses limites	18
6. Effets de réduction de la géométrie	18
7. Solutions technologiques	19
Conclusion	20

CHAPTRE II : Les approches de la modélisation du transistor

Introduction	21
1. Raisons de la modélisation compacte du transistor MOS	21
2.méthodes de modélisation des transistors MOSFET.....	22
3. Aperçu Historique sur la modélisation compact	22
4.La Modélisation compacte	23
4.1.Définition	23
4.2.Les différents Modèles compacts	23
4.2.1. Les modèles à tension de seuil	23
4.2.2. Les modèles à potentiel de surface.....	24
4.2.3. Les modèles à densité de charges.....	25
5. Illustration de quelque approche de potentiel de surface (ϕ_s)	26
Conclusion.....	29

CHAPTRE III : Résultats et interprétations

Introduction.....	30
1. Présentation du Logiciel Mathcad	30
2. Présentation du modèle classique.....	30
3. Présentation du modèle simulé	32
4. Discussion des caractéristiques	32
4.1 Discussion de la caractéristique de $I_d(V_{gs})$	32
4.2 Discussion des caractéristiques de $dV_{gseff}(V_{gs})$ et $V_{gseff}(V_{gs})$	33
4.3 Discussion des caractéristiques $I_d(V_{gs})$ et $gm(V_{gs})$	34
4.4 Tension de saturation.....	35
4.5 La mobilité	37
4.6 L'équation du modèle du courant.....	39
Conclusion.....	39

Conclusion général

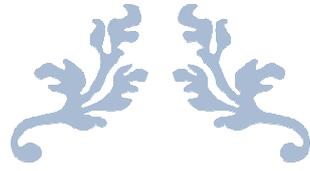
Conclusion général	40
--------------------------	----

Notations et abréviations

MOSFET	Metal Oxide Semiconductor Field Effect Transistor
CMOS	Complementary Metal Oxide Semiconductor
SiON	Oxyde de silicium nitruré
V_{GS}	Tension grille –source
V_{DS}	Tension drain –source
I_D, I_{DS}	Courant de drain
I_{OFF}	Courant de drain à l'état bloqué (courant de fuite)
I_{ON}	Courant de drain en conduction
V_{Th}	Tension de seuil
N_A	Le dopage du canal
X_j	La profondeur
T_{ox}	L'épaisseur de l'oxyde
χ_{Si}	L'affinité électronique,
E_g	La largeur de la bande interdite
E_F	Le niveau de Fermi
Φ_f	Le potentiel de Fermi
K	La constante de Boltzmann
T	La température,
q	La charge élémentaire
n_i	La concentration intrinsèque de porteurs dans le matériau.
Ψ_s ou ϕ_s	Le potentiel du surface
V_{FB}	La tension flat band
Q_{sc}	La charge du semiconducteur.
C_{ox}	La capacité de l'oxyde de grille

Notations et abréviations

$\epsilon_{ox}, \epsilon_0$	La permittivité relative de l'oxyde et la permittivité du vide
μ	La mobilité
θ_1, θ_2	Facteurs d'atténuations
η	Paramètre d'ajustement
g_m	La transconductance
SCE	Short Channel Effects
DIBL	Drain Induced Barrier Lowering
GIDL	Gate Induced Drain Leakage
MSD	Modèle standard du Dispositif
JFET	Transistors bipolaire
BSIM,	Berkeley Short-Channel Insulated gate fet Model
PSP	Pennsylvania State Philips
SP	Surface Potential ou encore PennState
SOI	Substrate-on-isolator
ITRS	International Technology Roadmap for Semiconductors



INTRODUCTION GENERALE



Introduction générale

L'électronique et l'informatique ont accompli d'énormes progrès en un temps record. Ainsi en moins de soixante ans la technologie a connu une évolution exponentielle qui a permis de réaliser des organes électroniques de plus en plus complexes qui étaient auparavant réalisés sous la forme d'armoires. Mais l'invention du premier transistor en 1947 par John Bardeen, Walter Brattain et William Shockley dans les laboratoires de Bell Telephone, que l'électronique moderne trouve ses racines. Ce transistor bipolaire (**Figure.1**), d'abord en Germanium, puis en Silicium (1954) pour des raisons de coûts et de procédés de fabrication, ouvre la voie à une longue série d'innovations. Le transistor à effet de champ en 1959: plus proche de la triode que ne l'est le transistor bipolaire, celui-ci est composé d'une électrode appelée Grille (G) qui module la conductance entre une zone dite Source (S) et une autre dite Drain (D). En 1960, le premier transistor dit planar: Jean Hoerni fabrique un transistor plat à l'aide de gaz dopant positivement, négativement ou bien transformant le silicium en silice (oxyde de silicium SiO_2) qui est un isolant. Cette idée sera reprise quelques mois plus tard par Robert NOYCE qui intégrant la technologie planar mettra au point des procédés toujours utilisés aujourd'hui pour fabriquer les circuits intégrés.[1][2]

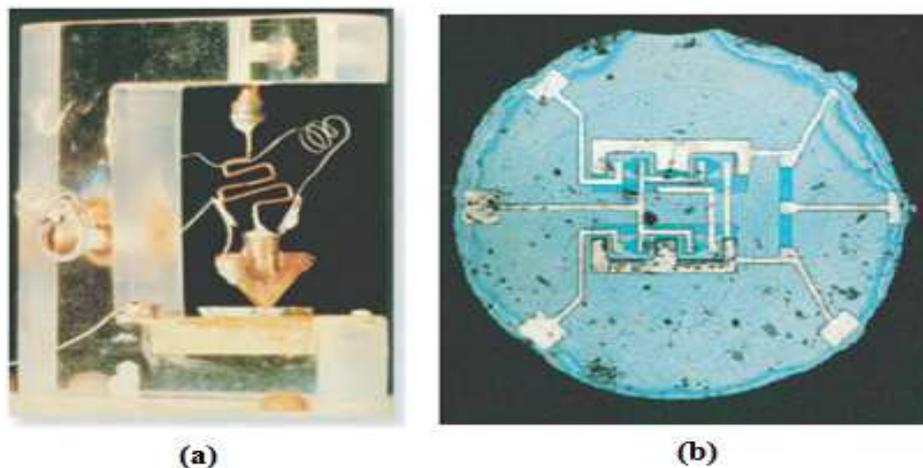


Figure1 : (a) premier transistor bipolaire en germanium '1947', (b) premier circuit intégré planar '1961'. [1]

La miniaturisation incessante des technologies CMOS répond à des impératifs de performances et de rentabilité, moteurs de l'industrie de la micro-électronique mondiale. Cette dernière va de pair avec l'augmentation du nombre de transistors MOSFET par puce, phénomène bien connu, puisque Gordon Moore, co-fondateur de INTEL Corporation, avait prévu cette loi de croissance dès 1965, quatre ans seulement après la fabrication du premier circuit intégré planar. Aujourd'hui on dépasse un milliard de transistors par puce, et la complexité des architectures sur silicium et la conception assistée par ordinateur, requiert une modélisation poussée du comportement électrique des dispositifs MOS. La réduction des géométries des transistors s'accompagne du développement de nouveaux procédés de fabrication qui génèrent des effets parasites dans le fonctionnement des composants. Ceci a

pour conséquence d'accroître la complexité des modèles prédictifs, qui sont ainsi ajustés et optimisés à chaque nouvelle génération de procédés de fabrication. On peut citer les onze générations de modèle SPICE (1-11) qui se succédèrent avant de laisser place aux modèles plus complexes BSIM (de Berkeley) et MM9 (développé par Philips). Ces modèles s'établissent à partir des propriétés électriques globales du composant, obtenues à l'aide de leurs caractéristiques I-V ajustées.

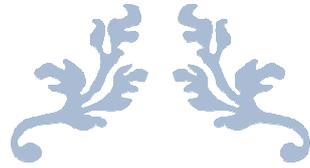
Dans ce manuscrit, on va présentée la modélisation compacte du transistor MOSFET, dans l'objectif de faire une discussion de l'état du transistor selon la tension de la grille et celle du drain. Ce travail est présenté dans trois chapitres.

Le premier chapitre en aborde le principe et les généralités sur le fonctionnement du transistor en se basant sur : la description du MOSFET, ces déférent type et régimes de conduction, les conditions de conduction, les relations et équations de base du courants, de la tension et pour finir on fera le point sur les limite miniaturisation, les effets de la réduction géométrique, et les solutions technologiques qui va nous servir de passerelle pour le 2^{ème} chapitre.

Le deuxième chapitre parle des approches de la modélisation compacte ; nous commencerons par les raisons de la modélisation, et ses méthodes ensuite on passe à la modélisation compacte avec un aperçu Historique et ses différent modèles avec des illustrations de l'approche du potentiel de surface.

Le troisième chapitre traite deux parties, la première est la modélisation du transistor, et la seconde partie on va discuter les résultats.

Nous terminerons notre travail par une conclusion générale et perspective.



CHAPITRE I:
PRINCIPE ET GENERALITES
SUR LE FONCTIONNEMENT
DU TRANSISTOR MOSFET



Introduction

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, il est le composant de base de la technologie CMOS (Complementary Metal Oxide Semiconductor).. Elle englobe plus de 80 % de la production mondiale de circuits intégrés, grâce aux qualités de faible consommation et de faible taille. Le principe de fonctionnement d'un transistor MOSFET est basé sur le concept de la modulation de la conductivité des matériaux mise en évidence par J. E. Lilienfeld en 1928 [11]. Il n'a pu être exploité qu'à partir des années 60, lorsque des interfaces silicium/oxyde ont été suffisamment de bonne qualité et que Jack Kilby ait fabriqué le premier circuit intégré ,et qu'en 1960 Kahng et Attalla, parvinrent à faire fonctionner le premier transistor à effet de champ MOS à grille isolée avec un canal d'environ 20 μm et une largeur d'oxyde d'environ 1000 Å [12].

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et un. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,..). De manière générale, le transistor MOSFET utilisé dans les Circuits numériques est un interrupteur de très petite dimension qui permet de commander le passage ou non d'un courant entre deux contacts.

Dans ce chapitre, nous allons présenter le transistor MOSFET, son fonctionnement, ses paramètres électriques importants et les équations de base ainsi que les effets de la miniaturisation et leurs limites.

1. Description de MOSFET

Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semiconducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une électrode de grille (G), de source (S), de drain (D) et de substrat (B) (Figure 1.1). La longueur du transistor, notée L, correspond à la longueur de sa grille et sa largeur est notée W. Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un nMOSFET), à l'interface entre le diélectrique de grille et le substrat.

Schématiquement un transistor MOSFET est constitué de [6] :

- ❖ **l'électrode de grille** : C'est l'électrode qui va commander le dispositif tel un interrupteur, il est constituée de silicium polycristallin, souvent appelé polysilicium, qui est dopée N⁺ ou P⁺, selon s'il s'agit d'un nMOSFET ou d'un pMOSFET respectivement Cette électrode est isolée du substrat par le diélectrique de grille. Il s'agit d'oxyde de silicium nitruré (SiON).

- ❖ **Le canal** : C'est la zone constituée de silicium monocristallin, située sous l'oxyde de grille et qui constitue le lieu de conduction des porteurs minoritaires entre la source et le drain. Elle est dopée P dans le cas d'un nMOSFET, et N pour un pMOSFET.
- ❖ **Le module de jonctions et extensions** : Il s'agit des zones de source et de drain, également noté S/D, qui sont les électrodes latérales. Elles sont réalisées par dopage à dégénérescence du substrat, N+ dans le cas nMOSFET et P+ pour le pMOSFET. Nous distinguons deux zones : au contact direct du canal nous trouvons les extensions, ou LDD (Lightly Doped Drain), où le dopage est plus superficiel. Puis de part et d'autre viennent les deux zones ohmiques de source et de drain, avec des jonctions plus profondes pour réduire leur résistivité ; elles sont formées après la création des espaceurs qui sont en nitrure (Si_3N_4) dans les technologies actuelles, Les électrodes de grille, de drain et de source sont siliciurées (réaction chimique d'un métal avec le silicium) afin de réduire la résistance de la prise de contact. Dans les nouvelles technologies elles sont faites avec du siliciure de nickel (NiSi).

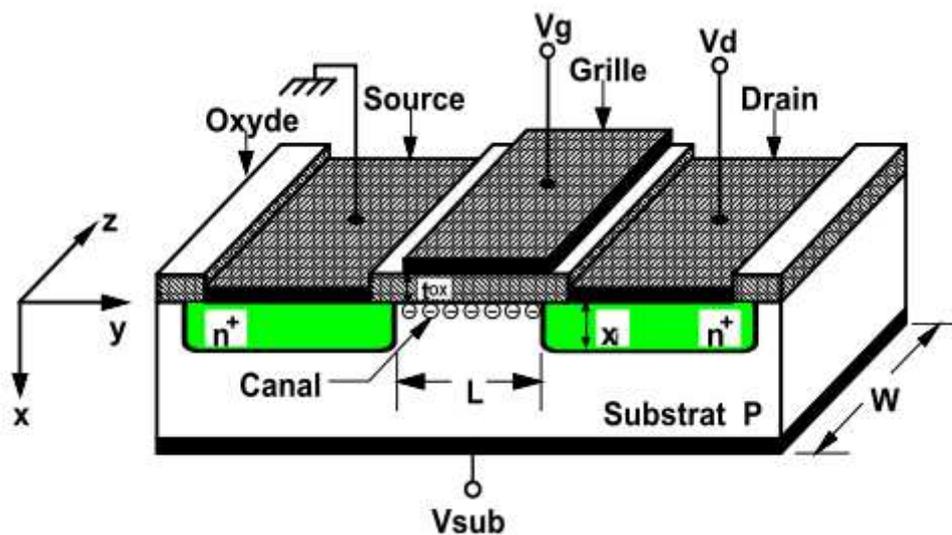


Figure 1.1 : Représentation schématique de transistor nMOSFET[4]

2. Principes de base d'un transistor MOSFET

2.1 Effet de champ

Le principe de fonctionnement d'un transistor MOSFET repose sur l'effet de champ, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure se décompose en trois parties principales : l'électrode de grille (G) qui commande l'intensité du champ électrique vertical et par conséquent la densité de charges mobiles, les électrodes de source (S) et de drain (D)

séparées par un canal de conduction qui conduit le courant en fonction de son niveau de remplissage en charges mobiles .

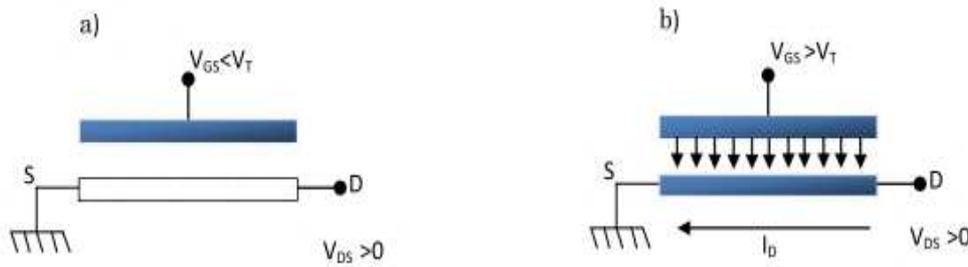


Figure 1.2 : Effet de champ dans un transistor MOSFET [7]

La grille est polarisée par la tension grille-source V_{GS} . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le drain et la source V_{DS} . La source sert de référence de potentiel. Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A , la profondeur X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur T_{ox} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque L et la longueur effective L_{eff} n'est plus négligeable. De même pour la largeur effective du canal W_{eff} . Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L - L_{eff}$ et $\Delta W = W - W_{eff}$. [7]

2.2 Différents Types de transistors MOSFET

Il existe quatre types de transistors MOSFET selon qu'ils sont à canal N ou P ou bien à enrichissement (enhancement) ou appauvrissement (déplétion).

Dans le cas d'un transistor à canal N, appelé aussi transistor nMOSFET le substrat est de type P, et les porteurs majoritaires sont des électrons. Et dans cas du transistor à canal P (pMOSFET) sur substrat de type N ces porteurs sont des trous.

Les transistors MOSFET à enrichissement sont bloqués sans tension de commande sur la grille (normally off), ils deviennent passants à partir d'une certaine tension de grille V_{Th} , de plus en plus $|V_{GS}| > |V_{Th}|$ le transistor MOSFET devient passant.

Les transistors MOSFET à appauvrissement sont passants sans tension de commande sur la grille (normally on), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au delà d'une tension de blocage V_{GSoff} . (Tableau 1). Dans la littérature, plusieurs symboles sont utilisés pour représenter les transistors MOSFET.

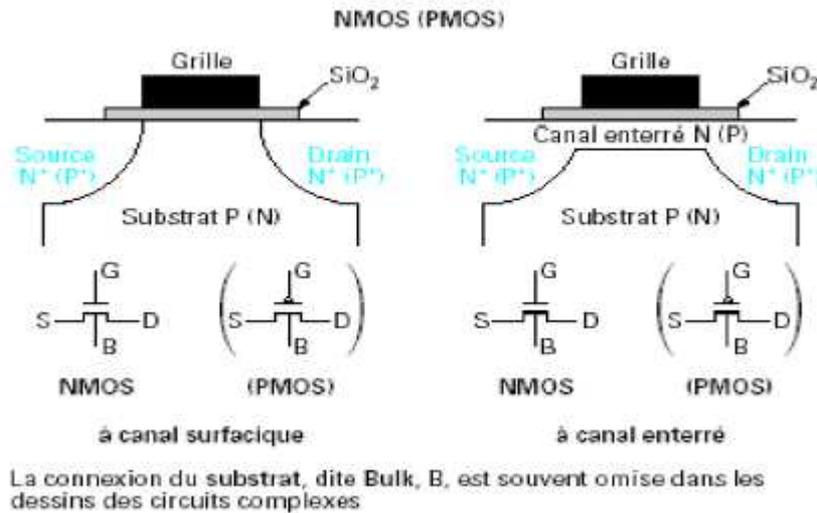


Figure I-3 : Différents types et symboles des transistors MOSFET [8]

2.3 Conditions de conduction

Le canal conducteur existe si la tension de grille est supérieure (cas du transistor nMOS) ou inférieure (cas du transistor pMOS) à une tension de seuil V_{Th} , et ça pour un transistor à enrichissement.

canal	Type	Porteurs	Condition de conduction
N	Enrichissement	Electrons	$V_{GS} > V_{Th}$
N	Appauvrissement	Electrons	$V_{GS} < V_{GSoff}$
P	Enrichissement	Trous	$V_{GS} < V_{Th}$
P	Appauvrissement	Trous	$V_{GS} > V_{GSoff}$

Tableau 1 : Condition de conduction de MOSFET[8].

2.4 Régimes de fonctionnement

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semiconducteur. La (Figure I-4) représente un diagramme de bande d'énergie d'un transistor nMOSFET dans le régime des bandes plates.

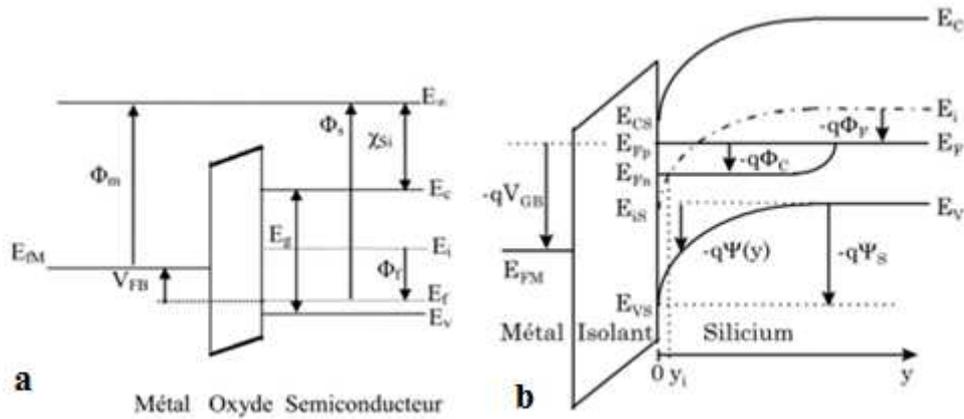


Figure I-4 : Diagramme de bande d'un transistor nMOSFET [2,26].

χ_{Si} est l'affinité électronique, E_g la largeur de la bande interdite. E_c , E_v , E_i sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium. Φ_m , Φ_s sont les travaux de sortie du métal et du semiconducteur, Φ_f est le potentiel de Fermi. Ψ_s est la différence de potentiel entre la surface et le volume (le potentiel de surface).

Le niveau de Fermi est donné par : $E_f = E_i - q \Phi_f$ le potentiel de Fermi Φ_f est donné par l'équation suivante dans le cas d'un dopage modéré :

$$\Phi_f = \frac{KT}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) = \frac{E_i - E_f}{q} \quad (I.1)$$

K est la constante de Boltzmann, T est la température, q est la charge élémentaire et n_i est la concentration intrinsèque de porteurs dans le matériau.

Nous considérons pour la suite que $V_{BS} = 0V$, La concentration d'électrons dans le substrat dépend de la profondeur y :

$$n(y) = n_i \exp\left(\frac{E_f - E_i(y)}{KT}\right) \quad (I.2)$$

De même pour les trous :

$$p(y) = n_i \exp\left(\frac{E_i(y) - E_f}{KT}\right) \quad (I.3)$$

En réécrivant ces équations en fonction du dopage en profondeur dans le substrat et considérant que dans le volume à l'équilibre les concentrations sont données par :

$$n_0 = n_i \exp\left(\frac{-q\Phi_f}{KT}\right) \quad (I.4)$$

$$p_0 = n_i \exp\left(\frac{q\Phi_f}{KT}\right) \quad (\text{I.5})$$

On obtient :

$$n(y) = n_0 \exp(\beta(\Psi(y))) \quad (\text{I.6})$$

$$p(y) = p_0 \exp(-\beta(\Psi(y))) \quad (\text{I.7})$$

Où p_0 et n_0 sont respectivement les densités des trous et d'électrons libres dans le semiconducteur loin de l'interface, et β représente le potentiel thermique $\beta = q/KT$.

❖ **Equation de Poisson** : Le champ et la distribution dans la zone de charge d'espace sont obtenus analytiquement pour les substrats dopés uniformément à l'état de déplétion, avec cette approximation, le volume de la densité de charge $\rho(x)$ peut être constant, et pour un substrat-p il est égale à $(-qN_A)$. L'équation de Poisson de cette zone est :

$$\frac{d^2\Psi}{dx^2} = -\frac{\rho(x)}{\epsilon_{Si}} = \frac{qN_A}{\epsilon_{Si}} \quad (\text{I.8})$$

Les régimes de fonctionnement de transistor sont distingués en fonction de la polarisation de la grille, et sont séparés par deux valeurs, celle de la tension de bandes plates V_{FB} ($\Psi_s = 0$) et celle de la tension de seuil V_{Th} ($\Psi_s = 2\Phi_f$) :

- **régime d'accumulation** ($\Psi_s < 0$, $V_{GS} < V_{FB}$) : dans ce cas, les porteurs majoritaires (trous) sont attirés à l'interface oxyde /semiconducteur. Ils y sont encore plus nombreux que dans le volume. (Figure I-5(a)).
- **régime de déplétion ou faible inversion** ($0 < \Psi_s < \Phi_f$, $V_{Th} < V_{GS} < V_{FB}$) : dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées fixes (dopants, accepteurs) et désertée en porteurs mobiles. La condition traduite par l'égalité entre potentiel à l'interface semiconducteur/isolant et le potentiel de volume du semiconducteur ($\Psi_s = \Phi_f$) qui correspond au seuil de faible inversion, les concentrations des porteurs majoritaires et minoritaires sont égales en surface, donc égale à la valeur de la concentration n_i . (Figure I-5(b))
- **régime de forte inversion** ($\Psi_s > 2\Phi_f$, $V_{GS} > V_{Th}$) : la concentration des porteurs minoritaires en surface devient supérieure à la concentration des porteurs majoritaires dans le volume du semiconducteur.

C'est dans ce régime qu'est principalement utilisé le transistor MOS car cette couche de porteurs minoritaires met électriquement en contact la source et le drain. En effet, la source et le drain étant de dopage opposé au substrat leurs porteurs majoritaires correspondent aux porteurs minoritaires de la couche d'inversion. Ainsi, si on polarise le drain positivement en gardant la source à la masse, on va attirer les électrons de la couche d'inversion vers le drain et comme la charge d'inversion doit rester constante

sous la grille, c'est la source qui fournira des électrons en quantité équivalente pour compenser ceux partis vers le drain. Nous avons donc créé un courant d'électrons de la source vers le drain que l'on peut contrôler via la polarisation que l'on applique à la grille. Nous obtenons donc un transistor à effet de champ comme nous l'avons défini précédemment (Figure I-5(c)).

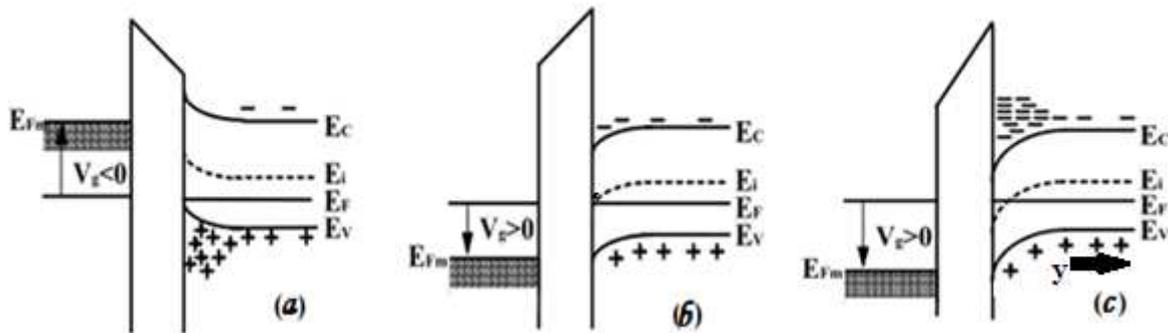


Figure I-5 : Diagrammes de bandes d'énergie du transistor nMOSFET, (a) accumulation, (b) déplétion ou faible inversion et (c) forte inversion.[4]

3. Modélisation d'un transistor MOSFET

3.1 Potentiel de bandes plates

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques du a l'imperfection de l'oxyde (Na^+ , K^+ , ...) et sont positives. La valeur de la tension V_{GS} qu'il faut appliquer pour contrecarrer cet effet de ces charges, s'appelle la tension de bande plate (Flat Band) V_{FB} [2].

L'équation de continuité des potentiels s'écrit alors:

$$V_{GS} = V_{FB} + \Psi_s - \frac{Q_{sc}}{C_{ox}} \quad (I.9)$$

Q_{sc} est la charge du semiconducteur. C_{ox} est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (I.10)$$

ϵ_{ox} , ϵ_0 sont respectivement la permittivité relative de l'oxyde et la permittivité du vide. La tension V_{FB} est non seulement liée à la densité de charges dans l'oxyde Q_{ox} mais aussi à la

différence des travaux de sortie du métal et du semiconducteur: $\Phi_{ms} = \Phi_m - \Phi_s$. Si $\Psi_s = 0$, on aura :

$$V_{FB} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (I.11)$$

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO_2/Si qui n'est pas parfaite. La tension V_{GS} est donc :

$$V_{GS} = V_{FB} + \Psi_s - \frac{Q_{inv} + Q_{dep} + Q_{it}}{C_{ox}} \quad (I.12)$$

La charge d'états d'interface excédentaire est donnée par : $|Q_{it}| = q \cdot N_{it}$, N_{it} est la densité de défauts à l'interface, Q_{inv} et Q_{dep} sont respectivement la charge d'inversion et la charge de déplétion.

3.2 Tension de seuil

La tension de seuil d'un transistor MOSFET est définie comme la tension qu'il faut appliquer pour que le potentiel de surface Ψ_s soit égal à $2\Phi_f$, elle est la tension qu'on applique entre la grille et la source pour que la zone d'inversion apparait. La tension de seuil est donnée par la somme de la tension de bandes plates et de la chute du potentiel sur le diélectrique et celle sur la zone de déplétion :

$$V_{Th} = V_{FB} + \Phi_d + \frac{Q_{dep}}{C_{ox}} \quad (I.13)$$

$\Phi_d = \frac{KT}{q} \ln \frac{N_a N_d}{n_i^2}$: représente la hauteur de la barrière entre la source et le canal. Lorsque cette barrière est de l'ordre de quelques KT/q (énergie thermique des porteurs dans la source), les porteurs peuvent circuler librement dans le canal. Cette hauteur de barrière dépend aussi des dopages de la source (N_D) et du canal (N_A).

3.3 Pente sous le seuil

Quand le transistor est en régime de fonctionnement de faible inversion. L'inverse de la pente sous le seuil S , exprimé en mV/décade, informe de combien il faut diminuer la tension V_{GS} pour réduire le courant sous le seuil d'une décade. Elle est l'inverse de la pente, au sens mathématique de la droite $\log(I_D) = f(V_{GS})$:

$$S = \frac{KT}{q} \cdot \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad (I.14)$$

C_{dep} est la capacité de la couche de déplétion dans le substrat. C_{it} est la capacité associée aux états d'interface. Par sa dépendance en C_{it} , la pente sous le seuil est révélatrice de la qualité de

l'interface. La pente idéale, en négligeant C_{dep} et C_{it} devant C_{ox} , vaut $S = kT/q \ln 10$, ce qui correspond à environ 60 mV/décade à température ambiante.

3.4 Courants I_{OFF} et I_{ON}

Le comportement électrique idéal d'un transistor est celui d'un interrupteur parfait dans les applications logiques. Si les tensions appliquées sur la grille V_{GS} et sur le drain V_{DS} sont nulles, l'interrupteur est bloqué, le courant de drain doit être nul, si $V_{GS} = V_{DS} = V_{DD}$ (tension nominale), l'interrupteur est passant et le courant de drain I_{ON} est maximal. Dans le comportement réel, à l'état bloqué, le courant de drain n'est pas nul, il y a un courant de fuite I_{OFF} qui circule, qui est limité par la diffusion coté source et drain. La meilleure qualité du transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant I_{ON} le plus fort et un passage le plus rapide de l'état OFF à l'état ON. La (Figure I-6) illustre une caractéristique $I_D(V_{GS})$ d'un transistor MOSFET. Le courant I_{OFF} est dépendant de la pente sous le seuil. Il est donné par la relation suivante :

$$\log(I_{OFF}) = \log(I_{Th}) - \frac{V_{Th}}{S} \quad (I.15)$$

Avec $I_{Th} = 10^{-7} W/L$: le courant de drain à $V_{GS} = V_{Th}$ qu'on note I_{on} .

Un faible courant I_{off} va permettre de limiter la consommation et la puissance statique dissipée ($P_s = V_{DD} * I_{OFF}$) dans un circuit. Les paramètres I_{ON} et I_{OFF} apparaissent comme de très bons indicateurs des performances globales d'un dispositif. Plus le rapport I_{ON} / I_{OFF} est élevé, le dispositif est meilleur. Le graphe I_{ON} / I_{OFF} est l'un des principaux figures de mérite utilisées pour évaluer et comparer rapidement les performances de plusieurs dispositifs.

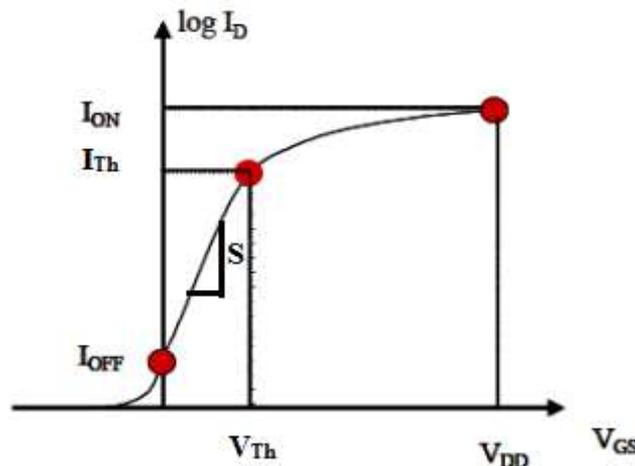


Figure I-6 : caractéristique $I_D(V_{GS})$ d'un transistor nMOSFET [1]

3.5 Modélisation des régimes de conduction :

En fonction de l'importance de la polarisation du drain, on peut distinguer principalement deux régimes : régime linéaire et régime de saturation.

3.5.1 Régime linéaire

Lorsque la tension V_{DS} est faible et négligeable devant la tension V_{GS} , l'effet du champ est quasi uniforme le long du canal. Le canal se comporte comme une résistance indépendante de la polarisation du drain. Ce régime se caractérise par une dépendance linéaire du courant en fonction de la tension V_{DS} . Le courant de drain sera donné dans les deux cas de faible et de forte inversion en tenant compte des résistances d'accès de source R_S et de drain R_D qui sont schématisées dans la (Figure I-7), les extrémités du canal réel étant notées S' et D' :

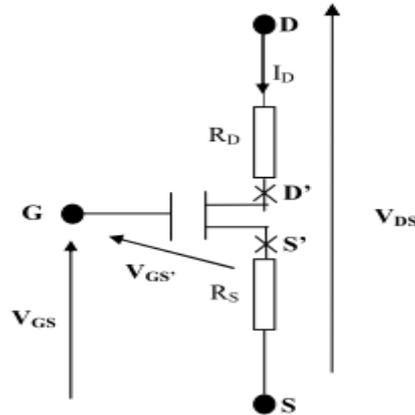


Figure I-7 : Schéma électrique équivalent d'un MOSFET avec l'influence des résistances série source et drain [2]

a. Cas de faible inversion

En régime de faible inversion, le courant de drain varie exponentiellement avec V_{GS} et il est donné par :

$$I_D = \frac{W}{L} \frac{KT}{q} \mu_0 C_{dep} V_{D'S'} \exp\left[\frac{qA(V_{GS} - V_{Th})}{KT}\right] \quad (I.16)$$

μ_0 est la mobilité à faible champ électrique. Le facteur A est donné par :

$$A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{it}} \Rightarrow \frac{1}{A} = 1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \quad (I.17)$$

La transconductance est définie comme étant égale à la dérivée du courant I_{DS} par rapport à la tension de grille V_{GS} , à une tension de drain V_{DS} faible, $g_m = \frac{dI_D}{dV_{GS}}$ et elle est donnée par

l'expression suivante :

$$g_m = \frac{q}{KT} AI_D \quad (I.18)$$

b. Cas de forte inversion

En régime de forte inversion, le courant de drain s'écrit comme suit :

$$I_D = \frac{W}{L} \mu_{eff} Q_{inv} V_{D'S'} \quad (I.19)$$

μ_{eff} est la mobilité effective des porteurs dans le canal qui dépend de la charge d'inversion Q_{inv} elle est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_{inv}}{Q_c}} \quad (I.20)$$

Q_c est la charge critique qui caractérise la diminution de la mobilité aux fortes tensions de grille. Une valeur typique de Q_c est de l'ordre de $10^{13} \text{ q} \cdot \text{cm}^{-2}$. En régime de forte inversion, la charge d'inversion peut s'écrire :

$$Q_{inv} = -C_{ox} (V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2}) \quad (I.21)$$

La mobilité effective devient alors :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 (V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})} \quad (I.22)$$

Où $\theta_0 = \frac{C_{ox}}{Q_c}$ est le facteur de réduction intrinsèque de la mobilité. On obtient donc l'expression du courant de drain suivante :

$$I_D = \frac{\beta V_{D'S'} (V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})}{1 + \theta_0 (V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})} \quad (I.23)$$

avec $\beta = \frac{W}{L} \mu_0 C_{ox}$

En prenant en compte que $R_S = R_D = R_{SD} / 2$, le courant de drain est donné par :

$$I_D = \frac{\beta V_{DS} (V_{GS} - V_{Th} - \frac{V_{DS}}{2})}{1 + \theta_1 (V_{GS} - V_{Th} - \frac{V_{DS}}{2})} \quad (I.24)$$

où $\theta_1 = \theta_0 + \beta(R_S + R_D)$

La transconductance du transistor devient :

$$g_m = \frac{\beta V_{DS}}{\left[1 + \theta_1 \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)\right]^2} \quad (I.25)$$

3.5.2 Régime de saturation

Lorsque la tension de drain V_{DS} augmente, la différence de potentiel entre le drain et la grille diminue, en conséquence la charge d'inversion diminue en s'approchant du drain. Pour une valeur de la tension appliquée sur le drain proche de $V_{GS} - V_{Th}$, le canal à proximité du drain est pincé et le courant de drain reste constant avec l'augmentation de V_{DS} (dans le cas idéal). Le courant de drain est alors donné par :

$$I_{Dsat} = \int_0^{V_{DS}} \frac{W}{L} \mu_{eff} Q_{inv} d\phi_c \approx \frac{1}{2} \beta V_{Dsat}^2 \quad (I.26)$$

Avec : $Q_{inv} = C_{ox}(V_{GS} - V_{Th} - \Phi_c)$, Φ_c étant la différence entre les quasi niveaux de Fermi des électrons et des trous.

Dans le cas réel, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain. L'augmentation du courant est due à l'éloignement du point de pincement par rapport au drain, à la réduction de la tension de seuil avec la tension V_{DS} et à l'effet d'avalanche. Le point de pincement se caractérise par la disparition de l'inversion. Tout excédent de la tension V_{DS} au delà de V_{Dsat} développe, autour du drain, une zone de charge d'espace d'une épaisseur :

$$\lambda = \lambda_0 \ln \left[1 + \frac{V_{DS} - V_{Dsat}}{V_{Dsat}} \right] \quad (I.27)$$

avec $\lambda_0 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} X_j T_{ox}}$: la zone de charge d'espace minimale.

Le développement de la zone de charge d'espace, d'épaisseur λ , implique un raccourcissement du canal inversé dont la longueur devient $L - \lambda$ au lieu de L , donc au régime de saturation, on aura un courant de drain qui sera de la forme suivante :

$$I_{DS} = I_{Dsat} \cdot \frac{L}{L - \lambda} = I_{Dsat} \left[1 + \frac{V_{DS} - V_{Dsat}}{V_E} \right] \quad (I.28)$$

où $V_E = \frac{L}{\lambda_0} V_{Dsat}$ est la tension d'Early, plus cette tension est élevée, meilleures seront les performances du transistor.

3.6 La Capacité MOS

3.6.1 Modélisation de la Capacité MOS

Pour réaliser la grille on oxyde le silicium au-dessus du canal en SiO_2 , puis on le métalise, cette tranche d'oxyde est débordé sur la zone de drain et source ce qui constitue les capacités grille/source, grille/drain, et La capacité principale du MOSFET grille-canal à l'état passant de transistor.

Lorsque le MOSFET est utilisé dans sa zone de fonctionnement résistif (zone triode) c'est-à-dire à tension Drain-Source très faible, le canal est uniforme et la capacité grille-canal s'écrit :

$$C_{Gcanal} = WLC_{ox} \quad (\text{I.29})$$

On modélise généralement cette capacité par deux capacités égales connectées entre grille et source et entre grille et drain.

$$C_{GS} = C_{GD} = \frac{1}{2} WLC_{ox} \quad (\text{I.30})$$

Lorsque le MOSFET fonctionne dans sa zone linéaire, le canal n'est plus uniforme et prend une allure penchée avec pincement côté drain comme il est représenté sure la figure I.8.

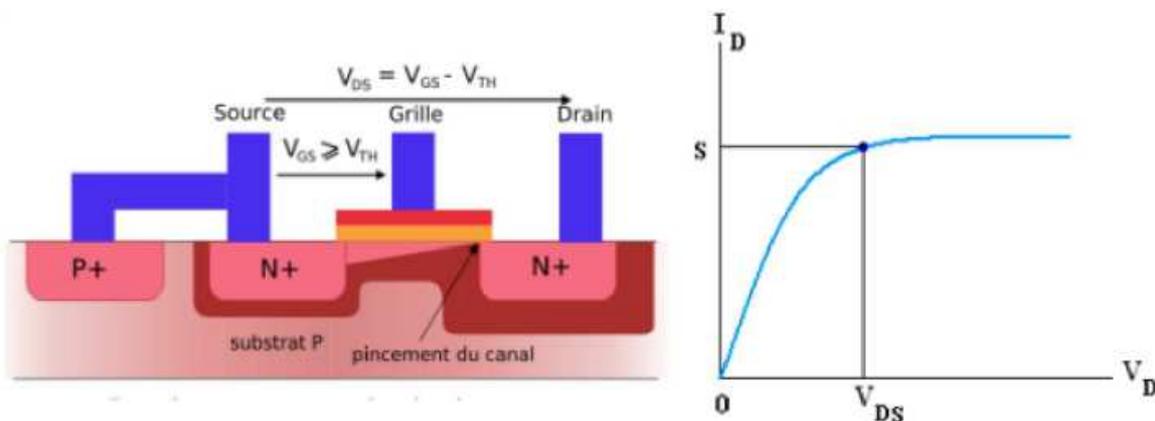


Figure I.8 : Courant de drain avec pincement côté drain.

On démontre alors que la capacité grille-canal devient égale à :

$$C_{Gcanal} = \frac{2}{3} WLC_{ox} \quad (\text{I.31})$$

On la modélise par une seule capacité entre grille et source.

En réalité, la capacité grille-source est un peu plus élevée car la métallisation de grille recouvre légèrement la source.

De la même manière, il existe une capacité grille-drain due à ce recouvrement. La capacité drain-substrat (capacité d'une jonction bloquée) peut en général être négligée en première approximation.

Donc la capacité totale, d'une surface A , est composée de la capacité d'oxyde C_{ox} en série avec la capacité dynamique du semi-conducteur C_{sc} qui est la somme des capacités d'inversion C_{inv} et de déplétion C_{dep} .

$$C_{ox} = \frac{\epsilon_{ox} A}{T_{ox}} \quad (I.32)$$

$$C_{sc} = \frac{dQ_G}{d\psi_s} = -\frac{dQ_{sc}}{d\psi_s} \quad (I.33)$$

Où ψ_s est le potentiel de surface du semiconducteur, T_{ox} l'épaisseur de la couche d'oxyde. La charge au niveau de la grille, Q_G , est reliée à la tension aux bornes de l'isolant par la relation capacitive :

$$Q_G = C_{ox} V_{ox} \quad (I.34)$$

Où V_{ox} est la tension appliquée aux bornes de l'oxyde.

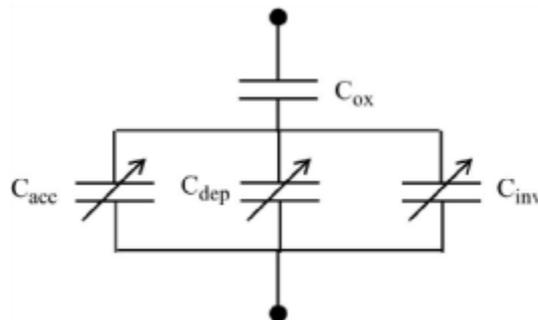


Figure 1-9 : Capacité d'une structure MOS. Les capacités d'oxyde (C_{ox}), d'accumulation (C_{acc}), de déplétion (C_{dep}) et d'inversion (C_{inv}) représentent respectivement la capacité due à l'oxyde de grille, et les variations des charges d'accumulation, de déplétion et d'inversion [8]

3.6.2 Capacités parasites

Capacité grille-substrat : due à la présence de l'oxyde de grille.

Capacités diffusion-substrat : capacité différentielle due à la présence des jonctions source-substrat et drain-substrat (polarisées en inverse).

Capacités connexions-substrat : due à l'oxyde qui isole les connexions du substrat.

Ordres de grandeur : quelques centièmes de pF/μ^2 .

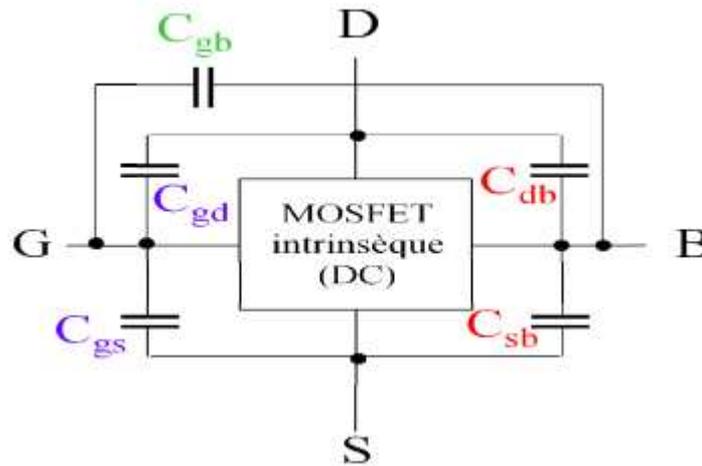


Figure 1-10 : Capacités parasites associées au MOSFET[2]

Remarque : Ce sont les capacités parasites qui déterminent les caractéristiques dynamiques des circuits logiques : vitesse de réponse et consommation.

4. Mobilité de porteurs de charge

La mobilité traduit l'aptitude des porteurs à se déplacer dans la couche d'inversion sous l'effet d'un champ électrique longitudinal. Elle dépend de nombreux paramètres dont les principaux sont le champ électrique transversal, l'orientation du cristal, la température et le dopage du substrat. Les différents mécanismes de collision qui influent sur la mobilité dans la couche d'inversion d'un transistor MOSFET sont les collisions avec les phonons, les collisions sur les centres coulombiens et les collisions sur la rugosité de surface [13].

La Figure 1-11 résume les différentes origines des collisions possibles. 1 : électrons présents dans le canal (couche d'inversion), charges fixes dans l'oxyde, 3 : états d'interface, 4 : rugosité de surface, 5 : impuretés ionisées dans le substrat[26].

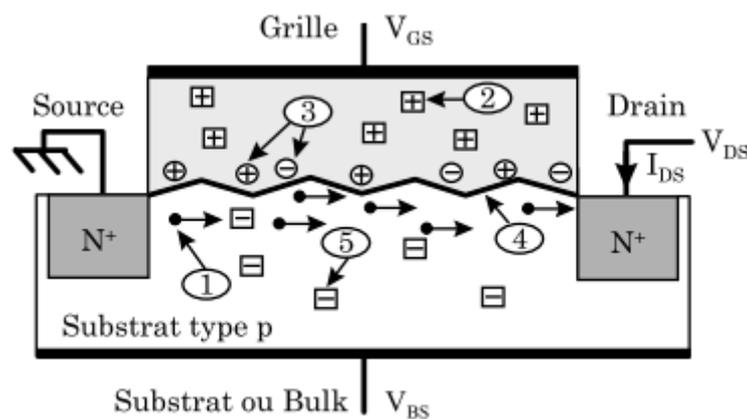


Figure 1-11 : Charges présentes dans la structure MOS au voisinage de l'interface Si-isolant [26].

4.1 Collisions avec les phonons

Ce type de collisions résulte des vibrations du réseau. Pour une température $T < 100\text{K}$, on trouve les phonons acoustiques, qui donnent des collisions quasi-élastiques à faible champ et conduisent à une mobilité à l'interface.

4.2 Collisions sur les centres coulombiens

Ce mécanisme est dû aux sites chargés près du canal. Généralement, ces charges sont localisées principalement à l'interface Si/SiO₂. Ces collisions commencent à se manifester à des températures suffisamment basses lorsque les collisions sur les phonons ne sont pas dominantes. Elles sont importantes en faible inversion, mais deviennent moins effectives lorsqu'on passe en forte inversion à cause de l'effet d'écrantage des charges par les porteurs minoritaires.

4.3 Collisions sur la rugosité de surface

Les défauts à l'interface Si/SiO₂ sont une importante source de collisions. Les collisions sur les rugosités de surface sont indépendantes de la température et dominantes pour les forts champs électriques transversaux.

5. La miniaturisation et ses limites

Plusieurs raisons expliquent la volonté de diminuer les dimensions des transistors. La raison principale est l'intégration d'un plus grand nombre de dispositifs dans une même puce. Des dispositifs de dimensions réduites conduisent soit à une puce avec les mêmes fonctionnalités sur une surface plus petite, soit à des puces avec plus de fonctionnalités sur une même surface, si on suppose que les coûts de fabrication d'une plaque microélectronique sont relativement fixes, le coût par circuit intégré est principalement lié au nombre de puces produites par plaque. Augmenter le nombre de puces par plaques permet donc de réduire le prix d'une puce. Ainsi, durant les trente dernières années, le nombre de transistors par puce a doublé tous les deux ans à chaque introduction d'un nouveau nœud technologique.

6. Effets de réduction de la géométrie

Le transistor à canal court subit l'influence de plusieurs effets parasites qui affectent le bon fonctionnement du dispositif. Dans le régime de conduction, plusieurs effets viennent perturber la caractéristique idéale du transistor MOSFET tels que l'augmentation du niveau de dopage dans le canal qui a pour effet de dégrader la mobilité (interactions des impuretés) ainsi que l'augmentation de V_{Th} et la profondeur de déplétion, ces deux augmentations provoquent une réduction du courant I_{D} , on d'autre terme la variation de la mobilité dans le canal.

Dans un transistor canal long, le potentiel de surface est pratiquement plat sur l'ensemble de la longueur de grille. La croissance des zones de charges d'espaces autour des jonctions ne dépendent pas de la longueur du canal. Dans un transistor canal court, le potentiel de surface peut être complètement dominé par les zones de charges d'espaces qui provoquent par effet superposition l'abaissement de la barrière du potentiel entre la source et le canal, c'est l'effet canal court SCE (Short Channel Effect). Si, la polarisation du drain augmente, la barrière se réduit davantage, on parle alors de l'effet DIBL (Drain Induced Barrier Lowering), on utilise aussi le terme (roll-off) qui décrit la chute totale de la tension V_{Th} . Ainsi la charge d'inversion est contrôlée par le drain en plus de la grille, il en résulte une augmentation du courant dans le régime de saturation. Un autre effet est le courant GIDL (Gate Induced Drain Leakage), en raison de la réduction de l'épaisseur de l'oxyde de grille, des forts champs électriques verticaux sont créés au niveau du drain. Ceci peut générer un courant de fuite entre la grille et le drain à l'état bloqué du MOSFET.

D'autres effets parasites peuvent dégrader le fonctionnement à l'état bloqué, tels que les courants de fuites des jonctions source/canal et canal/drain polarisés en inverse (Reverse Short Channel), appelé aussi (roll-up) ainsi que le courant de perçage source/drain (punchthrough).

Quand on réduit la longueur du canal et la tension de drain devient importante, le champ longitudinal prend des valeurs importantes est à l'origine de porteurs dits (chauds), car ayant acquis une grande énergie qui ne peut être dissipée à leur arrivée. Ils causent ainsi des dégradations au moment du transfert de leur excès d'énergie au réseau du matériau.

Tous ces effets constituent une limitation importante pour la miniaturisation des technologies. Cela n'est pas dû uniquement à la diminution de la tension de seuil elle-même, mais aussi à l'accentuation de la sensibilité des circuits aux dispersions technologiques [14,15].

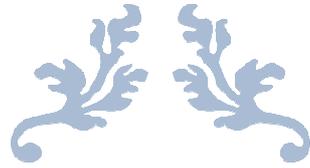
7. Solutions technologiques

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFET, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures, la réduction des fuites de grille en utilisant de nouveaux matériaux du diélectrique de grille et d'autres solutions technologiques pour l'amélioration des propriétés du transport des porteurs comme l'utilisation des matériaux à forte mobilité pour le canal.

Conclusion

Dans ce premier chapitre, nous avons présenté brièvement les principes de base et de fonctionnement de transistor MOSFET à canal long en introduisant ses principes de base et son fonctionnement

La miniaturisation des transistors MOS a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui dégradent les caractéristiques des composants. Ainsi, que l'augmentation constante du nombre de transistors par puce a rendu de plus en plus complexe leurs conceptions. Les concepteurs doivent disposer d'outils informatiques, tels que la simulation de circuits, pour les aider. Cette simulation est possible grâce à l'existence des modèles compacts des dispositifs utilisés dans les circuits intégrés pour la rectification ou l'élimination de ses phénomènes, est ces méthode nous allons les voir dans le II^{ème} chapitre. .



CHAPITRE II:
LES APPROCHES DE LA
MODELISATION DU
TRANSISTOR MOSFET



Introduction

Pour évaluer les performances des Transistors MOS et prévoir leur comportement dans des architectures de circuit complexes intégrant un nombre important de ces transistors, des modèles analytiques dits compacts représentent un outil standard pour les concepteurs de circuit. Ces modèles doivent prédire de manière fidèle les phénomènes physiques qui apparaissent dans ces composants en utilisant des équations analytiques qui garantissent un temps de simulation raisonnable pour des architectures à haute densité d'intégration.

Actuellement, la littérature présente quelques modèles compacts des transistors MOSFETs qui semblent être réellement adaptés à des différentes simulations.

Dans ce deuxième chapitre nous allons présentées quelque modèles tel :

- ✓ Le modèle à tension de seuil.
- ✓ Le modèle à potentiel de surface.
- ✓ Le modèle à densité de charges.

1. Raisons de la modélisation compacte du transistor MOS

Les futures générations de transistor MOS atteindront des dimensions caractéristiques de l'ordre de quelques nanomètres. Au-delà des difficultés de lithographie qu'il conviendra de surmonter avant d'en arriver à la réalisation industrielle, ces « Nano MOS » imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes qui altèrent le SDM (Modèle standard du Dispositif) et qu'on ne peut plus négliger. Ces phénomènes sont dus essentiellement à la réduction de la longueur de grille, on peut citer :

- Quand le champ appliqué est élevé la vitesse des électrons est modifiée à la vitesse thermique par l'apport en accélération supplémentaire ainsi le spectre vitesse s'éloigne du spectre d'équilibre thermique.
- Effet quantique : à faible dimensions, (le nombre d'électrons se réduit) il y a automatiquement interaction entre électrons et atomes du semi-conducteur, ceci dit interaction quantique.
- Suite à un stress mécanique, la maille élémentaire est modifiée et certains paramètres intrinsèques sont modifiés pour augmenter la mobilité (ex : $\mu_0 \rightarrow \mu_0'$).
- Les résistances et capacités parasites.

D'où la nécessité de nouveaux modèles qui vont prendre en charge les effets suscités.

2. Méthodes de modélisation des transistors MOSFET

Il existe quatre méthodes principales de modélisation des transistors MOSFET (MOS de puissance) dans les simulateurs :

- 1) **La modélisation type commutateur** : on modélise le transistor par un commutateur contrôlé : fermé quand le transistor est à l'état bloqué et ouvert quand il est à l'état passant ; c'est une méthode simple et rapide mais qui manque de précision.
- 2) **La modélisation de type code**, sous forme d'une sous-routine écrite en langage de programmation, qui décrit les équations du transistor.
- 3) **La macro-modélisation** : cette méthode utilise un circuit électrique pour la description du dispositif. Elle utilise les modèles compacts, en plus de nouveaux sous-circuits, pour modéliser certains effets physiques non pris en compte par le modèle compact. Il existe deux types de macro-modélisation :
 - la macro-modélisation structurelle utilisant des composants standards (résistances, capacités, diodesetc.).
 - la macro-modélisation de type comportementale, qui modélise les équations mathématiques du composant en utilisant des sources de tension et de courant contrôlés.
- 4) **La modélisation avec des modèles intrinsèques (compacts)** : ces modèles décrivent le comportement électrique des composants actifs et passifs dans un circuit. Ils sont caractérisés par leur rapidité mais, dans certains cas, ces derniers sont l'objet de présent travail.

3. Aperçu Historique sur la modélisation compact

Les différents modèles compacts se distinguent principalement par la façon dont ils résolvent les équations de la physique du transistor, en essayant d'effectuer cette résolution de la manière la plus rapide et la plus robuste possible, notamment en terme de convergence des solutions [9].

Les modèles compacts sont apparus avec les premiers simulateurs pour circuits intégrés, notamment SPICE en 1973 [16], qui fournissait déjà des modèles pour transistors bipolaire et à effet de champ (JFET et MOSFET). En 1987 est apparu le modèle BSIM, (Berkeley Short-Channel Insulated gate fet Model) [17], devenu très populaire grâce à sa précision dans la description des effets canaux courts et qui est un standard de l'industrie dans ses versions BSIM3 (1996) puis BSIM (2000). Parmi les autres principaux modèles de MOSFET, on peut citer IMOS model 9 [18] paru en 1993 de Philips Semiconductor, (maintenant NXP Semiconductors) publié en 1997 [19], le modèle HiSiM (Hirochima-university STARC IGFET Model) en 2001 [20], et enfin le modèle PSP (Pennsylvania State Philips) [21], il est apparu en 2005 de la réunion SP (Surface Potential ou encore PennState) développé par l'université de Pennsylvanie, USA, et du modèle MM11 de NXP. Des variantes plus récentes ont été élaborées entre temps pour d'autres technologies dérivées telles que les isolant (SOI) [22]. PSP est utilisée dans l'offre modèle de STMicroelectronics depuis les technologies 45nm. C'est un des rares modèles à proposer une résolution complète des équations des

charges et des courants à partir du potentiel de surface (à l'instar de MM11 et HiSIM). Il promet ainsi une résolution physique unique pour tous les régimes, de la faible à la forte inversion. A contrario, des modèles comme BSIM3 et BSIM4 résolvent les régimes de forte et faible inversion séparément puis cherche à obtenir des lois continues entre les deux régimes.

4. La modélisation compacte

1) Définition

Les modèles compacts sont des modèles formulés de manière analytique et utilisés le plus souvent pour aider à la conception de circuits intégrés. Ces modèles sont disponibles dans les simulateurs de circuits. Ils sont généralement constitués, d'une part, d'expressions basées sur la physique et, d'autre part, d'un certain degré d'empirisme. Ces modèles peuvent être adaptés aux différentes technologies (MOS, CMOS, par exemple) à l'aide d'un certain nombre de paramètres (électriques, technologiques, géométriques), dans le but de décrire correctement les caractéristiques électriques du composant. Afin de rendre pratique l'utilisation d'un modèle, ce dernier doit être complété par des méthodes d'extraction de paramètres. De manière générale, un modèle compact représente un compromis entre les aspects de simplicité et de complexité, les notions physiques et empiriques, le nombre d'effets physiques inclus, le nombre de paramètres, l'adaptabilité aux diverses technologies et, enfin, l'efficacité de calcul.

2) Les différents Modèles compacts

Il est d'usage de classer les modèles compacts en trois principales familles, suivant la façon dont ces derniers calculent les équations de charges et de courants [5] :

a) Les modèles à tension de seuil

Ce sont les premiers à être apparus. Le potentiel de surface est une simple fonction des tensions d'entrée, suivant le régime d'inversion : le potentiel de surface est constant au-dessus de la tension de seuil V_{Th} et suit une loi linéaire en faible inversion. Entre les deux régimes, des lois de raccordement sont appliquées. Et l'équation(II.1) du courant variée selon les bornes d'intégrale tel qu'il est dans l'équation(II.2).

$$I_{DS} = -\mu_{neff} \frac{W}{L} \int_{V_{SB}}^{V_{DB}} Q_n' dV_{CB} \quad (II.1)$$

$$I_{DS} = -\mu_{neff} \frac{W}{L} \int_0^{V_{DS}} Q_n' dV_{CS} \quad (II.2)$$

Où Q_n' est exprimé en fonction de potentiel du canal et la tension de seuil V_{Th} .

Le but principal de ce modèle est de trouver des formules de connexions qui joignent avec régularité les courbes I-V non intersectées du régime faible et forte inversion comme le montre la Figure II.1

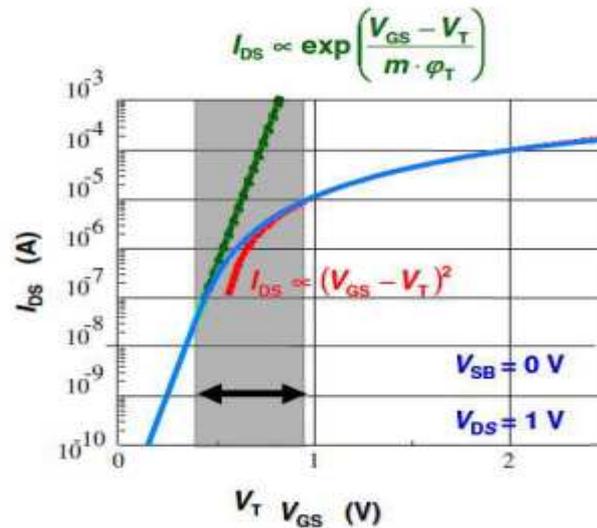


Figure II.1 : Principe du modèle en tension de seuil avec les deux parties du courant à joindre : la partie (exponentielle) sous le seuil et la partie (quadratique) du régime d’inversion, en gris, la zone d’intersection des deux parties [27].

Les modèles industriels de ce type sont BSIM et MM9.

b) Les modèles à potentiel de surface

Ces modèles calculent directement le courant à partir du potentiel de surface. La résolution de ce dernier à partir de son équation implicite peut se faire soit de façon analytique, soit par calcul numérique itératif.

Pour obtenir l’équation du courant résultant l’approche de ce modèle on remplace les variables des bornes d’intégrale de l’équation (II.1) de la tension du canal V_C en potentielle de surface ϕ_s et on obtient l’équation (II.3)

$$I_{DS} = -\mu_{neff} \frac{W}{L} \int_{\phi_{sS}}^{\phi_{sD}} Q_n(\phi_s) \frac{dV_C}{d\psi_s} d\phi_s \tag{II.3}$$

Ces modèles introduisent le courant de dérivation et le courant de diffusion produisant une description précise dans toutes les régions d’opérations incluse dans les régimes d’inversion modérée et d’accumulation Figure II.2.

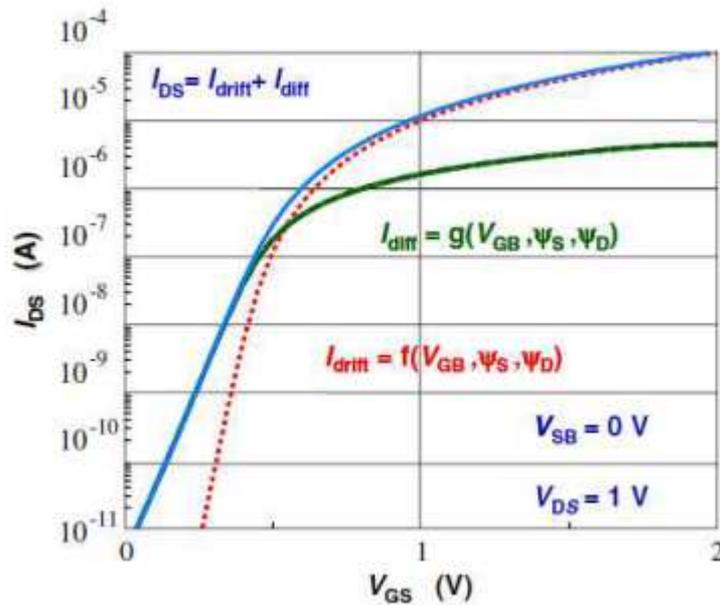


Figure II.2 : Représentation des deux composantes du courant total : le courant de dérive et de diffusion calculés par le modèle en potentiel de surface en fonction des tensions de polarisation [27].

Les modèles industriels de ce type sont par exemple HiSIM (Hiroshima-University STARC IGFET Model) et PSP (Potential Surface ou encore PennState).

Propriétés :

- La majorité des modèles basés sur le potentiel surface considèrent, en général, le substrate/bulk comme la borne de référence, qui assure la symétrie du dispositif
- Les potentiels de surface à la source et aux extrémités de drain sont calculés analytiquement ou numériquement pour des tensions données. Cependant pour le calculer de potentiel de surface, en utilisant l'expression analytique complexe ou les techniques numériques, qui ont des calculs complexe ; avec des algorithmes améliorés rendent le temps de compilation acceptable pour la simulation de circuit.
- Le modèle en potentiel de surface caractérise de divers phénomènes résultant de la nanotechnologie. Il adresse la région modérée d'inversion naturellement, en raison de l'inclusion des composants de dérive et de diffusion du courant. Il est plus utilisé dans les applications RF.
- L'avantage de ce modèle est la possibilité de décrire le courant de drain dans le dispositif.

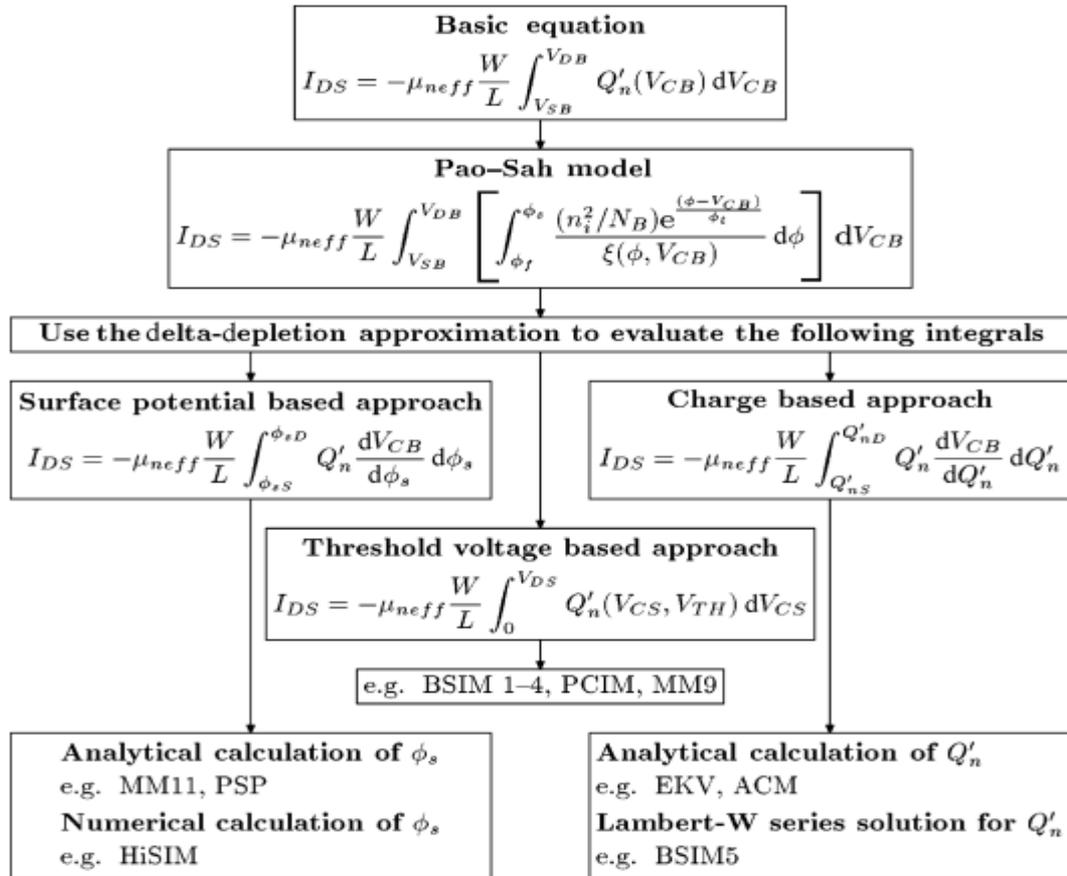
c) Les modèles à densité de charges

Ces derniers sont assez proches des modèles à potentiel de surface et possèdent une base physique commune. Néanmoins, dans ce cas, le calcul du courant se fait directement à partir

des charges sans passer par la notion de potentiel de surface. Des exemples de ce type de modèle sont EKV (Enz Krummenacher Vittoz) et le futur BSIM6. Pour ce modèle l'expression générale pour le courant du drain donnée par l'équation (II.1) est exprimée en densité de charges d'inversion dans les bornes d'intégrale, comme suit :

$$I_{DS} = -\mu_{neff} \frac{W}{L} \int_{Q'_{ns}}^{Q'_{nd}} Q'_n \frac{dV_{CB}}{dQ'_n} dQ'_n \quad (II.4)$$

On récapitule les différents modèles mentionnés ci-dessus dans le diagramme suivant :



FigureII.3 : modèles compacte du MOSFET [5].

5. Illustration de quelque approche de potentiel de surface (ϕ_s)

Pour cette approche la densité de charge d'espace de surface Q'_{sc} est obtenu à partir de l'équation (II.5) en utilisant la loi de Gauss reliant la densité de surface avec le champ, $Q'_{sc} = -\epsilon_{si} F_{si}(0)$. à la surface du silicium $\phi(0) = \phi_s$ on aura :

$$Q'_{sc} = -Q'_x (A_1 + A_2 + A_3) \quad (II.5)$$

Avec :

$$Q'_x = \epsilon_{si} \phi_t / L_b = \sqrt{2q\epsilon_{si} N_A \phi_t}$$

$$A_1 = e^{\frac{-\phi_s}{\phi_t}} - 1$$

$$A_2 = \frac{\phi_s}{\phi_t} (1 - e^{\frac{-2\phi_f}{\phi_t}})$$

$$A_2 = e^{\frac{-2\phi_f}{\phi_t}} (e^{\frac{\phi_s}{\phi_t}} - 1)$$

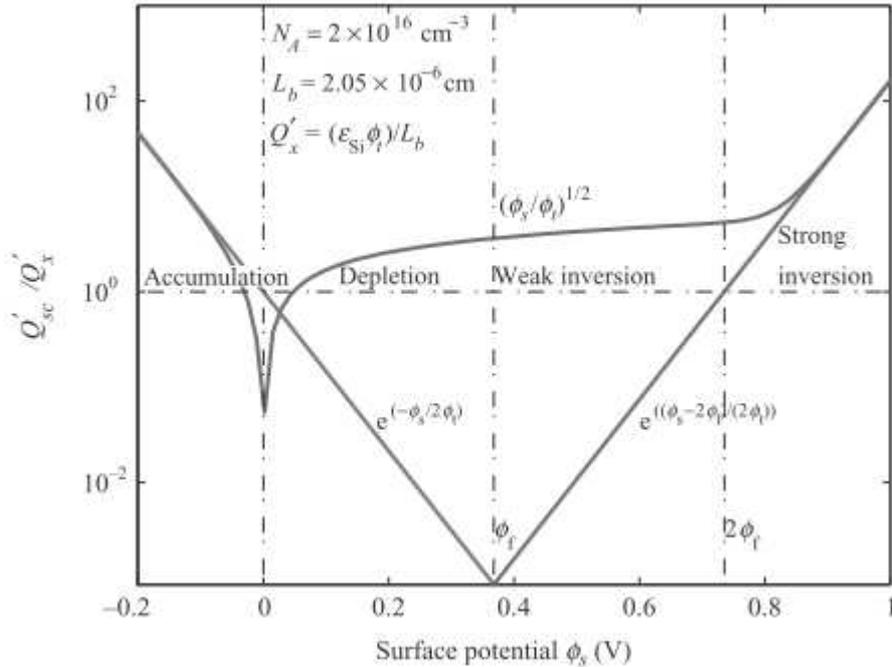


Figure II.4 : variation de la densité de charge d’espace en surface avec le potentiel de surface [5].

La pente de courbure dans la région d’accumulation, est obtenue à partir de l’expression

$$Q'_{sc} = Q'_x e^{\frac{-\phi_s}{2\phi_t}}$$

La pente est a 1/2 ϕ_t est négative c.-à-d. que la densité de charge de l’espace des trous diminue avec l’augmentation du potentiel de surface.

L’expression générale pour la densité de charge d’espace de la surface est :

$$V_{GB} = \phi_s + \gamma \left(\phi_s + \phi_t e^{\frac{\phi_s - 2\phi_f}{\phi_t}} \right)^{1/2} \tag{II.6}$$

Avec :

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C'_{ox}}$$

Selon la figure II.5 qui suit quant le potentiel de surface égale $2\phi_f$ il varié faiblement en fonction de la tension de grille. C-à-dire il faut une grande variation de tension de grille pour

a voire un bon changement dans le potentiel de surface. Et c'est ça l'objectif de l'approche dans le modèle de potentiel de surface.

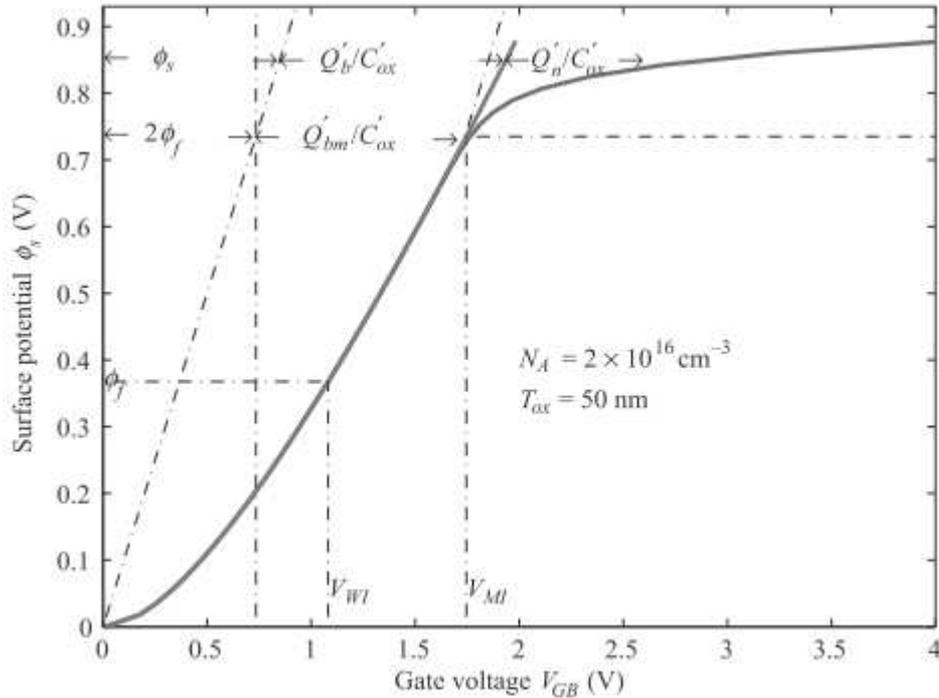


Figure II.5 : représentation de potentiel de surface en fonction de la tension de grille [5].

En négligeant la condition de l'inversion de charge du passage déplétion/faible inversion dans l'équation (II.6) on obtient

$$V_{GB} = \phi_s + \gamma\sqrt{\phi_s} \tag{II.7}$$

$\gamma\sqrt{\phi_s}$ correspond à la chute de tension à travers l'oxyde, pour la résolution de l'équation (II.7) pour ϕ_s , et maintenir la solution physique admissible on aura

$$\phi_s = V_{GB} + \frac{\gamma^2}{2} \left[1 - \left(1 + \frac{4V_{GB}}{\gamma^2} \right)^{1/2} \right] \tag{II.8}$$

Ou d'une autre façon on l'écrit :

$$\phi_s = \left(\sqrt{V_{GB} + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right)^2 \tag{II.9}$$

En pose $\phi_s \approx 2\phi_f$ dans l'équation(II.6) et $2\phi_f = \phi_0$:

$$V_{GB} = \phi_s + \gamma \left(\phi_0 + \phi_t e^{\frac{\phi_s - \phi_0}{\phi_t}} \right)^{1/2} \tag{II.10}$$

La fonction $f(V_{GB})$ pour l'approche de ϕ_0 dans la forte inversion, et ϕ_s dans la faible inversion nous donne l'équation (II.11) :

$$\phi_s = f(V_{GB}) + \phi_t \ln \left\{ \frac{1}{\phi_t} \left[\left(\frac{V_{GB} - \phi^*}{\gamma} \right)^2 - f(V_{GB}) + \phi_t \right] \right\} \quad (II.11)$$

La figure II.6 le graphe de potentiel de surface en fonction de la tension de grille en utilisant l'équation (II.11)

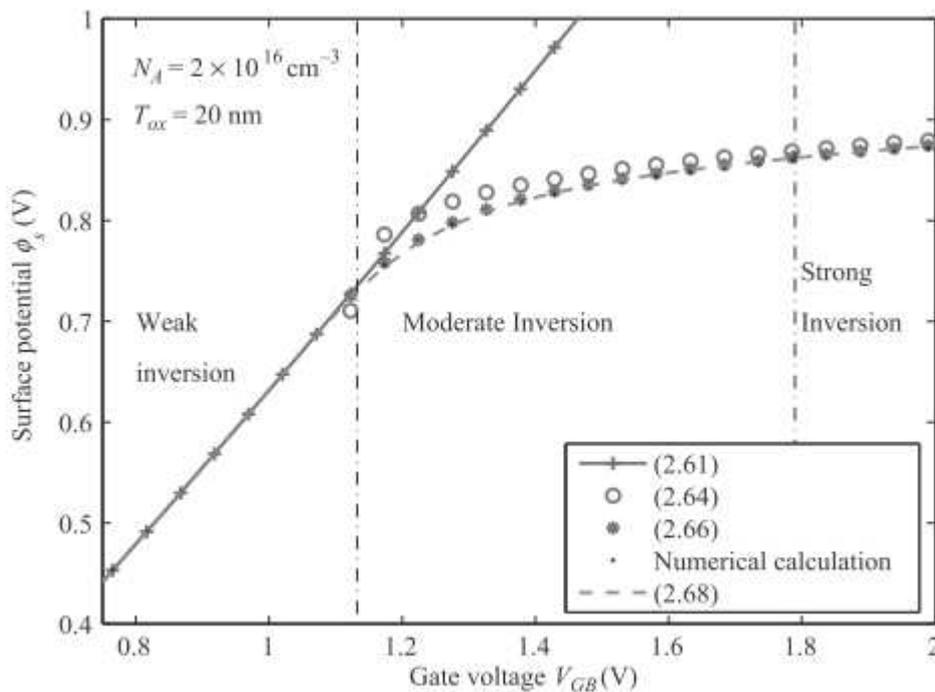
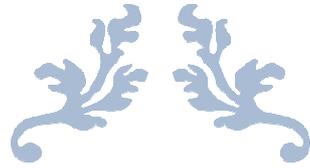


Figure II.6 : représentation de potentiel de surface (ϕ_s) en fonction de la tension de grille (V_{GB}).

Conclusion

Dans ce chapitre on a vu les modèles compacte pour la simplification de la simulation des transistors est ça en se basent sur la présentation et la définition des modèle et leurs domaine d'application ainsi que leurs équation de courant pour tout un chaqu'uns d'entre eux, ce qui fais que les modèles physiques permettent une analyse statistique dans le but de prédire et d'améliorer la performance et le rendement des transistors.



CHAPITRE III:
RESULTATS ET
INTERPRETATIONS



Introduction

Les modèles compacts sont définis comme une description comportementale d'un composant, qui sert de lien entre la procédure technologique et la conception des circuits. Les modèles ont évolué pour inclure le plus grand nombre de paramètres possibles et de décrire au mieux les phénomènes physiques impliqués même si la complexité des modèles exige l'introduction de plusieurs hypothèses simplificatrices. L'objectif de ce troisième chapitre, est de faire une comparaison entre les approches des modèles compacts pour les solutions des équations de tension et du courant résultant des paramètres du transistor MOSFET tel que la tension de seuil (V_{Th}) et la mobilité (μ_{eff}), qui sont tracées avec le logiciel Mathcad.

1. Présentation du Logiciel Mathcad



Le mathcad est un logiciel de résolution, de documentation, de partage et de réutilisation des calculs techniques. Sa notation mathématique interactive facile à utiliser, ses puissantes capacités de communication et son architecture ouverte permettent de rationaliser les processus d'ingénierie et de conception. Il permet d'afficher aussi bien les calculs, que le texte, les données ou les images dans un seul et même document ; ce qui permet de capturer les connaissances, de réutiliser les données et de vérifier les conceptions.

2. Présentation du modèle classique

Ce modèle est présenté par l'équation du courant de drain en fonction de la tension de grille [28].

$$I_D(V_{gs}) = \frac{W}{L} C_{ox} \mu_{eff} (V_{gs} - V_{Th}) V_d \quad (\text{III.1})$$

Avec :

$\frac{W}{L}$: est un facteur géométrique.

V_{ds} : tension du drain.

C_{ox} : la capacité d'oxyde.

Remarque : Dans la suite les paramètres de simulation $T_{ox} = 2.1 \cdot 10^{-7} \text{ m}$, $W = 10^{-3} \text{ m}$, $L = 10^{-6} \text{ m}$, $\epsilon_{ox} = 3.9$, $\epsilon_0 = 8.85 \cdot 10^{-14}$, $V_d = 0.05 \text{ V}$, $V_{th} = 0.45 \text{ V}$, $\theta_1 = 0.3 \text{ V}^{-1}$, $\theta_2 = 0.2 \text{ V}^{-1}$, $\mu_0 = 300 \text{ m}^2 \text{ V}^{-1} \text{ s}^{-1}$, $q = 1.6 \cdot 10^{-19} \text{ eV}$, $T = 300 \text{ K}$, $K = 1.38 \cdot 10^{-23}$, $\eta = 2$ (paramètre d'ajustement).

La charge dans la région statique est donnée en fonction de la capacité d'oxyde et la tension de grille :

$$Q = C_{ox}(V_{gs} - V_{Th}) \tag{III.2}$$

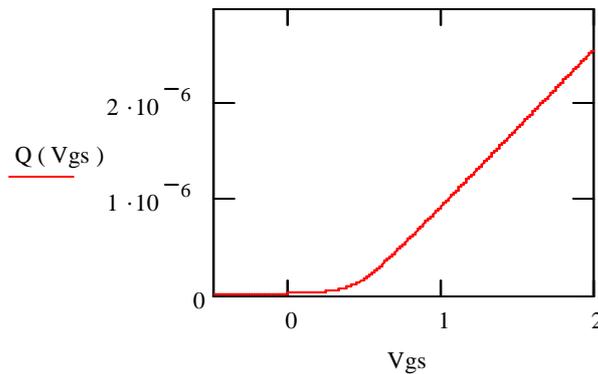


Figure III.1 : variation de la charge Q en fonction de la tension de grille V_{gs}

La mobilité effective dépend des facteurs d'atténuations θ_1 et θ_2 et de la mobilité à faible champ μ_0 , elle est écrite comme suit :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_{gs} - V_{Th}) + \theta_2(V_{gs} - V_{Th})} \tag{III.3}$$

L'expression du courant à faible champ (V_{ds} faible pour ne pas prendre en considération la variation de la mobilité au-delà de la zone linéaire)

On a

$$V_{gseff}(V_{gs}) := \frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}}{2} \tag{III.4}$$

Et

$$\phi_t := \frac{K \cdot T}{q}$$

η : paramètre d'ajustement.

3. Présentation du modèle simulé

Le modèle est basé sur les adaptations du modèle classique,

$$I_d = \frac{W}{L} Q \mu_{eff} V_{dseff} \quad (III.5)$$

On a remplacé la charge par $Q = C_{ox} \cdot V_{gseff}(V_{gs})$

Avec

$$C_{ox} := \frac{\epsilon_{ox} \cdot \epsilon_0}{T_{ox}}$$

On aura la mobilité corrigée par l'expression

$$\mu_{eff}(V_{gs}) = \mu_{eff} \frac{dV_{gseff}}{\partial V_{gs}} \quad (III.6)$$

et le modèle de V_{dseff} prend en considération la tension de saturation V_{dsat} .

Ainsi on obtient le modèle unifié :

$$I_d = \frac{W}{L} C_{ox} V_{gseff} \mu_{eff} V_{dseff} \quad (III.7)$$

4. Discussion des caractéristiques

4.1 Discussion de la caractéristique de $I_d(V_{gs})$

Pour le tracé du courant I_d en fonction de la tension de grille V_{gs} on a l'équation de $I_d(V_{gs})$ tel que les caractéristiques du transistor sont :

$$I_d(V_{gs}) := \frac{W}{L} C_{ox} V_d \cdot \mu_0 \frac{V_{gseff}(V_{gs}) \cdot dV_{gseff}(V_{gs})}{1 + \theta_1(V_{gseff}(V_{gs})) + \theta_2 \cdot V_{gseff}(V_{gs})^2} \quad (III.8)$$

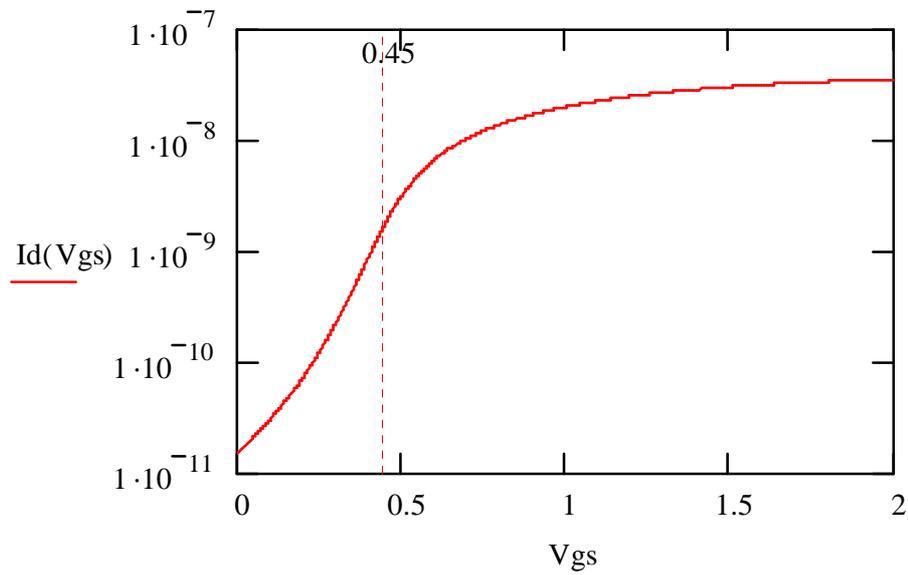


Figure III.1 : la caractéristique du modèle du transistor en mode sous le seuil

4.2 Discussion des caractéristiques de $dV_{gseff}(V_{gs})$ et $V_{gseff}(V_{gs})$

$$dV_{gseff}(V_{gs}) := \frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi}}{2 \cdot \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi}} \quad (III.9)$$

L'équation (III.4) et (III.9) nous donne la figure (III.2)

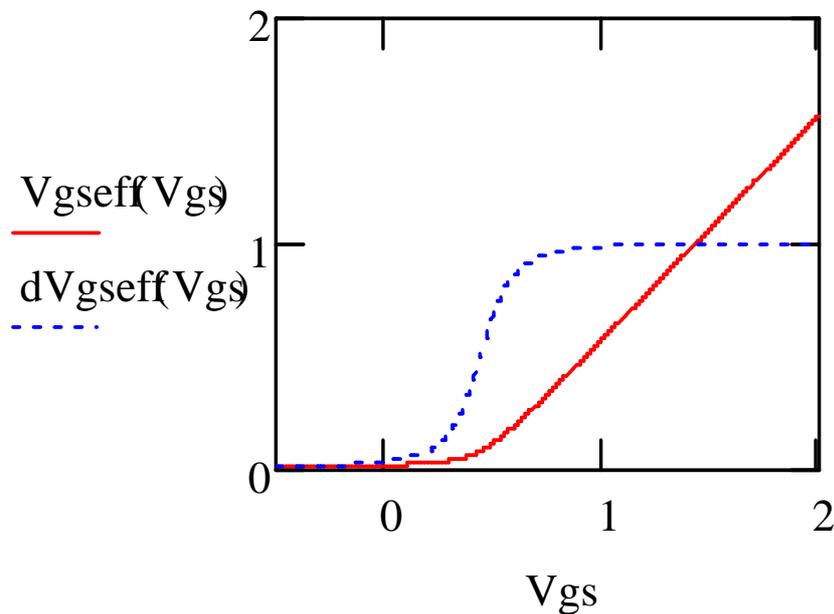


Figure III.2 : la courbe de $V_{gseff}(V_{gs})$ et $dV_{gseff}(V_{gs})$

La figure III.2 indique que lorsqu'une différence de potentiel V_d est appliquée entre le drain et la source, un courant peut circuler dans le canal. La condition pour laquelle s'effectue l'inversion : $\phi_s > \phi_f$.

4.3 Discussion des caractéristiques $I_d(V_{gs})$ et $gm(V_{gs})$

$$gm(V_{gs}) := \frac{d}{dV_{gs}} I_d(V_{gs}) \quad (\text{III.10})$$

gm est la transconductance d'un transistor elle est définie comme étant égale à la dérivée du courant I_{ds} par rapport à la tension de grille V_{gs} .

de la figure III.3 on extrait la tension de seuil V_{Th} donc à partir du point d'inflexion de la caractéristique $I_d(V_{gs})$ en régime ohmique au maximum de la transconductance g_m , à cette valeur la réduction de la mobilité et l'effet parasite de la résistance entre la source et le drain ne sont pas négligeables.

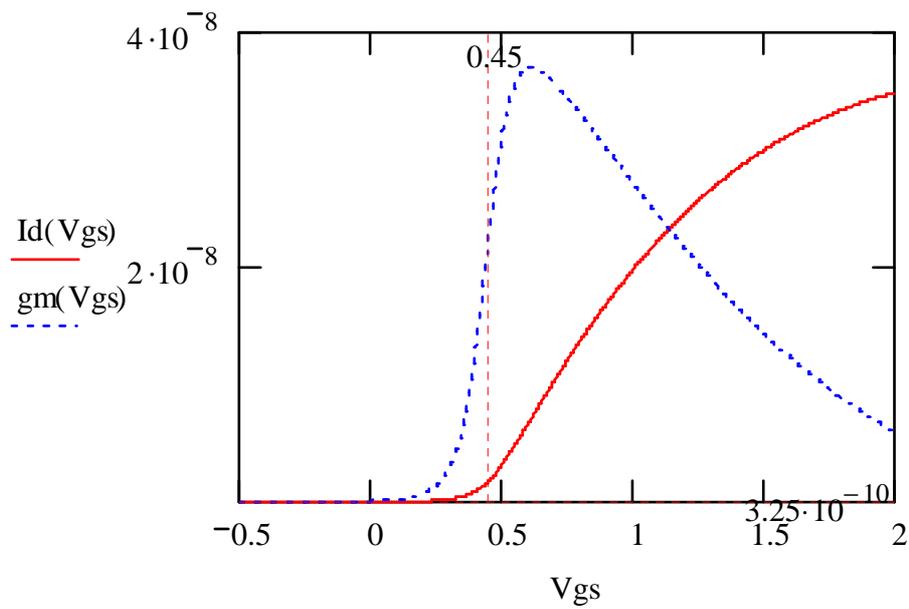


Figure III.3 : la courbe de $I_d(V_{gs})$ et $g_m(V_{gs})$

une régression linéaire sur cette courbe donne la valeur de la tension de seuil V_{Th} et la mobilité à faible champ électrique μ_0 . la valeur obtenu pour $V_{Th}= 0.45V$ et $V_{gs}=3.25 \cdot 10^{-10}V$ et $I_d= 3.685 \cdot 10^{-8}A$

4.4 Tension de saturation

pour tracer $V_{dsat}(V_{gs})$ on utilise l'équation (III.11)

$$V_{dsat}(V_{gs}) := \frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \lambda \cdot V_{th} \cdot \phi_t}}{2} \tag{III.11}$$

Avec $\lambda= 3$ on aura la courbe suivante :

Illustration de l'équation(III.11) sur la figure III.4

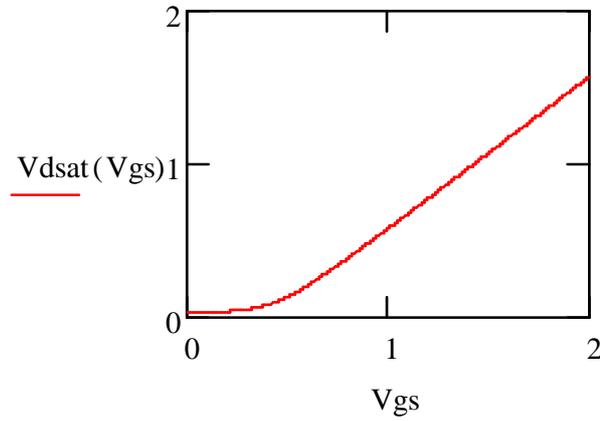


Figure III.4 : la courbe de la variation de $V_{dsat}(V_{gs})$

$$V_{dseff}(V_{ds}, V_{gs}) := \frac{(V_{ds} + V_{dsat}(V_{gs})) - \sqrt{(V_{ds} - V_{dsat}(V_{gs}))^2 + \kappa \cdot V_{dsat}(V_{gs}) \cdot \phi}}{2} \quad (\text{III.12})$$

Illustration de l'équation(III.12) sur la figure III.5

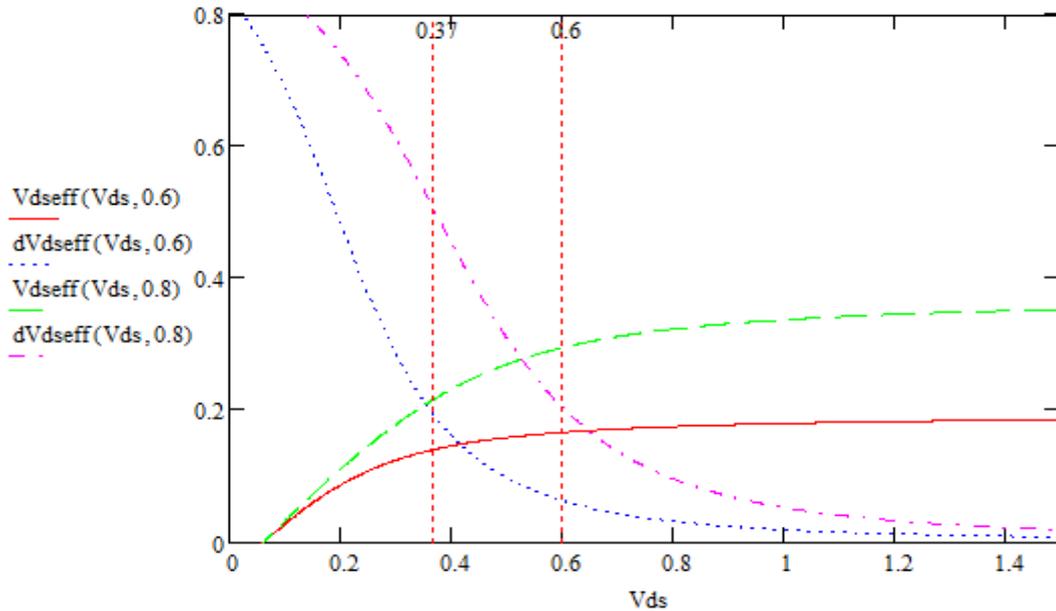


Figure III.5 : la variation de V_{dseff} en fonction de la tension de saturation V_{ds}

4.5 La mobilité

$$\mu_{eff}(V_{gs}) := \left[\frac{\mu_0}{1 + \theta_1 \cdot (V_{gseff}(V_{gs})) + \theta_2 \cdot V_{gseff}(V_{gs})^2} \right] \cdot \frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}}{2 \cdot \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}} \quad (III.13)$$

$$\mu_{un}(V_{gs}) := \frac{\mu_0}{1 + \theta_1 \cdot (V_{gs} - V_{th}) + \theta_2 \cdot (V_{gs} - V_{th})^2} \quad (III.14)$$

$$\mu_{um}(V_{gs}) := \left[\frac{\mu_0}{1 + \theta_1 \cdot (V_{gseff}(V_{gs})) + \theta_2 \cdot V_{gseff}(V_{gs})^2} \right] \quad (III.15)$$

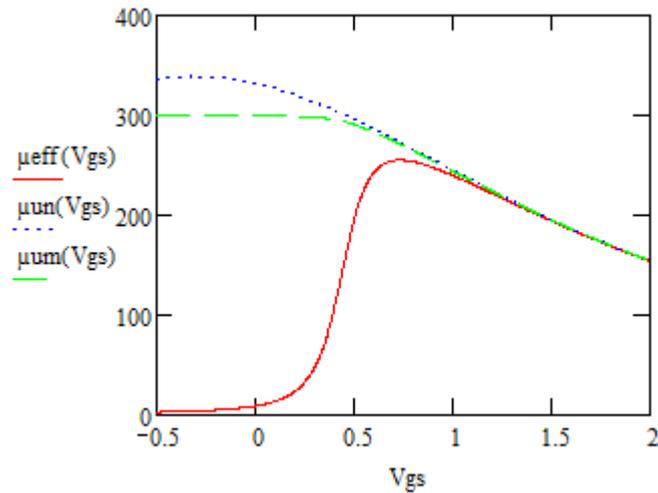


Figure III.6 : variation de la mobilité en fonction de V_{gs}

Dans la figure III.6 on a le tracé en rouge qui représente la mobilité effective μ_{eff} qui augmente en exponentiel à cause des interactions coulombiennes, en suite on observe une réduction importante de la mobilité, principalement due aux pièges (accepteur) générés à l'interface du drain et le long du canal, à cause des interactions coulombiennes avec les charges piégées de l'interface Si-SiO₂.

4.6 L'équation du modèle du courant :

$$id(V_{ds}, V_{gs}) := \frac{W}{L} C_{ox} \cdot V_{dseff}(V_{ds}, V_{gs}) \cdot \mu_0 \frac{V_{gseff}(V_{gs}) \cdot dV_{gseff}(V_{gs})}{1 + \theta_1(V_{gseff}(V_{gs})) + \theta_2 \cdot V_{gseff}(V_{gs})^2} \tag{III.16}$$

$$did(V_{ds}, V_{gs}) := \frac{d}{dV_{ds}} id(V_{ds}, V_{gs}) \tag{III.17}$$

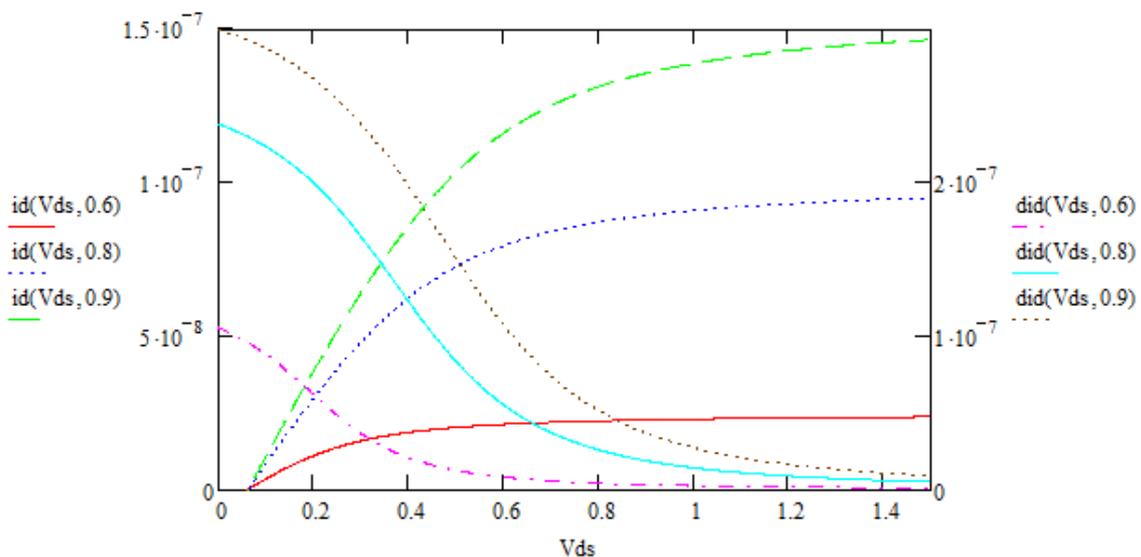
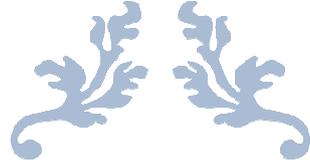


Figure III.7 : Le modèle du courant

Conclusion

Dans ce chapitre on a fait une petite évaluation entre les modèles étudié dans le 2^{ème} chapitre avec les courbe des équations de la réponse du courants du drain I_d en fonction de la tension de grille V_{gs} , et du drain V_{ds} .



CONCLUSION GENERALE



Conclusion générale

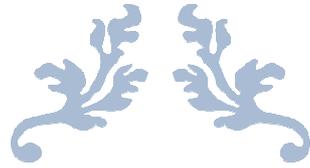
L'intégration CMOS suscite toujours l'intérêt de l'industrie électronique et de la communauté scientifique dont les efforts ne cessent de repousser les limites afin de suivre au mieux les prévisions de la loi de Moore et la feuille de route de l'ITRS.

Les structures non conventionnelles sont encore au stade de recherche et requièrent une étude approfondie de la physique et du fonctionnement pour aboutir à la performance et au dimensionnement attendu dans la feuille de route (ITRS).

Cette étude passe par la modélisation des dispositifs. Destinée aux outils de simulation numérique, les modèles doivent tenir compte du plus grand nombre possible de phénomènes et de paramètres, tout en gardant un aspect simple et explicite. Donc l'intérêt de la modélisation compacte pour la simulation et la conception des circuits est à discuter, notamment des modèles physiques qui offrent l'avantage d'inclure les paramètres physiques et géométriques du transistor et de tenir compte de plusieurs phénomènes qu'un modèle empirique n'est pas en mesure d'incorporer. Les modèles physiques permettent aussi une analyse statistique dans le but de prédire et d'améliorer la performance et le rendement des transistors.

Les travaux reportés dans ce manuscrit sont basés sur la modélisation compacte du transistor MOSFET, par des modèles physiques analytiques exprimant uniquement les caractéristiques du fonctionnement du transistor et l'adaptation avec un modèle appliqué et unifié selon V_{gs} et V_{ds} .

Comme perspective ce travail étant un support théorique fondamental, pourra être complété par l'étude du modèle de vitesse et l'interprétation des paramètres d'ajustement.



BIBLIOGRAPHIE



Bibliographie

- [1] These Thierry DI GILIO “ Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μ m - 2nm “ Soutenue publiquemrnt le 20 -10-2006
- [2] These Melle Rachida TALMAT “étude des phénomènes de transport de porteurs et dubruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs) 7-8-2006
- [3]These Birahim Diagne “ Etude et modélisation compacete d’un transistor MOS SOI double_grille dédié a la conception “ soutenue le 16-11-2007
- [4] These Krunoslav ROMANJEK “Caractérisation et modélisation des transistors CMOS des technologies 50nm et en decà soutenue 9-11-2004
- [5] Livre A._B._Bhattacharyya _“Compact_MOSFET_Models_for_VL“.John Wiley & Sons (Asia) Pte Ltd. ISBN: 978-0-470-82342-2 (2009).
- [6] BENHAMIDA Yahia « Thème Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique » Juin 2012.
- [7] These Merad Faiza “ Conception et simulation des caractéristiques électrique d’un transistor MOSFET nanométrique à conduction latéral de type Tri-Gate (FinFET)“ soutenu le 11-09-2014
- [8]AMRANI Nassim “Automatisationd’un banc de caratérisation sur traceur de courbe programmable Tektronix 370A“ soutenu septembre -2014
- [9] These Benjamin DONRMIEU “Modélisation compacte des transistors MOS nanométriques pour application RF et millimétriques “ soutenue le 7-12-2012
- [10] Saadia Hniki. Contribution a la modelisation des dispositifs MOS haute tension pour les circuits integres de puissance ("Smart Power"). Micro and nanotechnologies/Microelectronics. Universite Paul Sabatier - Toulouse III, 2010. French.
- [11] J. E. Lienfeld, U.S. Patent N°1-745-175 (1930).
- [12] J. Kilby, "Miniaturized Electronic Circuits", Patent N°3-138-743 (1959)
- [13] C. T. Sah, T. H. Ning and L. L. Tschopp, "The scattering of electrons by surface oxides charges and by lattice vibrations at the silicon-silicon dioxide interface", Surface Science, 32, 561-575 (1972).
- [14] T. Skotnicki, « Transistor MOSFET et sa technologie de fabrication », Technique de l’ingénieur, E 2 430, 1-37(2007).

Bibliographie

- [15] K. K. NG and G. W. Taylor, "Effects of hot-carrier trapping in n- and p-channel MOSFETs", IEEE Transactions On Electron Devices, 30, 871-876 (1983).
- [16] L. W. Nagel, D. O Pederson, "SPICE (Simulation program with Integrated Circuit Emphasis)", EECS Department, University of California, Berkeley, avr 1973.
- [17] B. J.-Sheu, D.-L. Scharfetter, P.-K. Ko ; M.C.Jeng, " BSIM : Berkeley short-channel IGFET Model for MOS transistor", IEEE Solid-STATE Circuits vol22, no4 aug 1987.
- [18] R.M.D.A Velghe, D.B.M Klaassen, "Compact MOS modeling for analog circuit simulation", IEEE IEDM, pp485-488, dec. 1993
- [19] M. Bucher, C. Lallement, C. Enz, F. Théodoloz, F.Krummenacher , "The EPFL-EKV MOSFET Model Equations for Simulation", Ecole polytechnique fédérale de lausanne, juin 1997.
- [20] H.J. Mattausch, M. Miura-Mattausch, H. Ueno, S. Kumashino, T.Yamashita, N. Nakayama , "HiSIM : The first complète drift-diffusion MOSFET model fot circuit simulation", IEEE Solid-State and Integrated- Circuit Technilogy Conference, oct 2001. 861-866 vol2.
- [21] Gildenblat, G., X. Li, W. Wu, H. Wang; A. Jha, R. van Langevelde; G.D.J. Smit; A.J Scholten, D.B.M. Klassen? "PSP: An Advanced Surface-Potential-Based MOSFET for circuit Simulation", IEEE TED vol 53 Issue 9, PP 1979-1993, sep 2006.
- [22] W.Wu, W. Yao, G. Gildenblat, "Surface-potential-based compact modeling of dynamically depleted SOI MOSFETs", Solid State Electronics Volume 54, Issue 5, Pages 595-604, mais 2010.
- [23] N.D. Arora, R. Rios and C.-L Huang, Modeling the polysilicon Depletion Effect and its Impact on submicrometer CMOS Circuit performance, IEEE Trans. Electron Dev; 45 (5), 935-943, 1995.
- [24] J.-M Salles, M.Bucher and C. lallement, Improved analytical Modeling of Polysilicon Depletion in MOSFETs for Circuit Simulation, Solid-state Electron; 44, 905-912, 2000.
- [25]W. Liu, MOSFET Model for SPICE Simulation, including BSIM3v3 and BSIM4. John Wiley & Sons, Inc; NexYork, NY,2001.

Bibliographie

[26] Pascal MASSON etude par pompage de charge et par mesures de bruit basse frequence de transistors MOS a oxynitrures de grille ultra-minces 13 janvier 1999.

[27] Nidhal ABDELMALEK Etude et modélisation du transistor VSG MOSFE nanométrique 2010.

[28] INTERNATIONAL JOURNAL OF NUMERICAL MODELLING ELECTRONIC NETWORKS , DEVICES AND FIELDS Int.J.Numer.Model.2014;27:908-914 Published online 24 February 2014 in Wiley Online Library (wileyonlinelibrary.com). DOI:10.1002/jnm.1976.

Résumé

La complexité des architectures sur silicium et la conception assistée par ordinateur, requiert une modélisation poussée du comportement électrique des dispositifs MOS. La réduction des géométries des transistors s'accompagne du développement de nouveaux procédés de fabrication qui génèrent des effets parasites dans le fonctionnement des composants.

Ceci a pour conséquence d'accroître la complexité des modèles prédictifs, qui sont ainsi ajustés et optimisés à chaque nouvelle génération de procédés de fabrication. Ces modèles s'établissent à partir des propriétés électriques globales du composant, obtenues à l'aide de leurs caractéristiques I-V ajustées.

Dans ce manuscrit, on a présentée la modélisation compacte du transistor MOSFET, dans l'objectif de faire une discussion de l'état du transistor selon la tension de la grille et celle du drain. Ce travail est présenté dans trois chapitres.

Le premier chapitre en a abordé le principe et les généralités sur le fonctionnement du transistor MOSFET, Le deuxième chapitre parle des approches de la modélisation compacte, tel le modèle à tension de seuil, le modèle à potentiel de surface, et le modèle à densité de charges ; et pour le troisième on a fait une petite évaluation des caractéristiques avec équations du courant de drain I_d en fonction de la tension de grille V_{gs} , et celle du drain V_{ds} , à l'aide du logiciel Mathcad.

Mots clés : Transistor MOSFET, tension de seuil V_{Th} , potentiel de surface ψ_s ou ϕ_s , densité de charges Q_c , Modélisation compacte, Matchad