**R**épublique **A**lgérienne **D**émocratique et **P**opulaire
**M**inistère de L'**E**nseignement **S**upérieur et de la **R**echerche **S**cientifique

**U**niversité **M**ouloud **M**ammeri De **T**izi-**O**uzou

**F**aculté De **G**énie **E**lectrique Et D'informatique
**DEPARTEMENT D'AUTOMATIQUE**

# Mémoire de Fin d'Etudes
# De Master Académique

Spécialité : **Génie Microélectronique**

Présenté par
**CHABBI TAOUS**

**Thème :**

# ÉTUDE EN FIABILITE DU TRANSISTOR MOS SOI

Devant le jury :

| | | | |
|---|---|---|---|
| **M$^{r}$ : A.BENFDILA** | **Professeur** | **Président** | **UMMTO** |
| **M$^{r}$ : A.LAKHLEF** | **Maitre Assistant** | **Promoteur** | **UMMTO** |
| **M$^{r}$ : H.ACHOUR** | **Maitre conférence B** | **Examinateur** | **UMMTO** |
| **M$^{r}$ : M.GOUDJIL** | **Docteur chercheur** | **Examinateur** | **CDTA** |

***Première promotion 2014***

# *Remerciements*

# *Remerciements*

Le travail présenté dans ce mémoire à été effectué au laboratoire de microélectronique et nanoélectronique de la faculté de génie électrique, à l'université de Mouloud Mammeri de Tizi-Ouzou(UMMTO).

Il m'est agréable d'exprimer ma profonde gratitude et ma reconnaissance à mon directeur de mémoire, Monsieur LAKHLEF ; enseignant a la faculté de génie électrique et d'informatique, à l'UMMTO. La pleine confiance qu'il ma accordé ma permis de progresser régulièrement ; ainsi que pour ses avis aiguisés sur la signification scientifique de mon travail.

Je tiens à remercier l'ensemble pédagogique de la branche génie microélectronique. Je pense aux étudiants, aux chercheurs et aux professeurs avec qui j'ai partagé mon travail. Ensuite je tiens à exprimer mes vifs remerciements aux membres de jury qui m'ont fait l'honneur de bien vouloir examiner ce travail.

Sans oublier ma famille qui m'a était d'un grand soutien tout au long de mes années d'étude.

Enfin, je remercie toutes personnes qui, d'une manière ou d'une autre ont contribué au bon déroulement de ce travail, tant au niveau humain qu'au niveau scientifique.

# *Dédicaces*

***À Mon trop cher père tu es là pour nous tous***

***À ma mère***

***À mes frères (Nassim, Youggourthen, Massinissa, Youva, Aissa et Arezki)***

***À ma sœur Zaina, ma grand-mère (setsi Zaina),***

***À Mon oncle Malek, sa femme Malika, leurs enfants Syphax et Alicia***

***À Marina,taous, Kamélia, Cameran, Ali, kessay, Smail, Amran,***

***À mes amis***

***À tous ceux  et celles qui me sont très chèr(e)s.***

# Liste des symboles

| | |
|---|---|
| $\lambda$ | le taux de défaillance |
| R(t) | Reliability (la fiabilité) |
| F(t) | fonction de probabilité |
| $\lambda_b$ | facteur de défaillance de base. |
| $\prod_S$ | facteur du point de fonctionnement |
| $\prod_C$ | complixité |
| $\prod_F$ | fonctionnement logique/analogique |
| $\prod_B$ | boitier |
| $\prod_E$ | environnement |
| $\prod_Q$ | qualification. |
| $\rho$ | facteur de charge |
| $P_U$ | puissance utile |
| $P_N$ | puissance nominale |
| Q | qualification |
| $T^0$ | température |
| $Q_f$ | charges fixes d'oxyde |
| $Q_{ot}$ | charges piégées |
| $Q_m$ | charges mobiles ioniques |
| $Q_{SS}$ | charge piégées des états d'interface |
| $E_C$ | énergie de niveau le plus bas de conduction |
| $E_V$ | énergie de niveau le plus bas de valence |
| $E_G$ | niveau d'énergie du gap |
| $E_F$ | niveau de fermi |
| $E_T$ | niveau intrinsèque |
| $E_i$ | niveau intrinsèque |
| $\theta$ | angle entre liaison |
| $\Psi_S$ | potentiel de surface |
| $V_{FB}$ | tension de bandes plates |
| $N_A$ | concentration relative aux impuretés « accepteurs » |
| $N_D$ | concentration relative aux impuretés « donneurs » |
| P | concentration en trous |
| n | concentration en électrons |
| $V_T$ | tension de seuil |
| $I_{DS}$ | courant de drain/source |
| $V_{Dsat}$ | tension de saturation du drain |
| $\square_F$ | potentiel de fermi |
| Weff | largeur effective |
| Leff | longueur effective |
| $\mu$eff | Mobilité effective des porteurs dans le canal |

| | |
|---|---|
| $I_D$ | courant du drain |
| $V_D$ | tension du drain |
| $V_{DS}$ | tension drain/source |
| $V_G$ | tension de grille |
| $V_{GS}$ | tension grille/source |
| L | longueur du canal |
| W | largeur du canal |
| $W_D$ | épaisseur de la couche déplété |
| $I_{Dsat}$ | courant de saturation du drain |
| C | capacité |
| $C_{OX}$ | capacité de l'oxyde |
| $C_{OX.eff}$ | capacité de l'oxyde effectif |
| $C_{SC}$ | capacité du semi-conducteur |
| $C_{SS}$ | capacité d'interface |
| G | conductance |
| R | résistance |
| $R_{SS}$ | résistance d'interface |
| $R_{SD}$ | résistance source-drain |
| $T_{OX}$ | épaisseur de l'oxyde |
| $\varepsilon_{OX}$ | Permittivité diélectrique de l'oxyde. |
| D | drain |
| S | source |
| $V_{DD}$ | tension nominale |
| $N_G$ | dopage de grille |
| $I_{ON}$ | courant de drain |
| $I_{OFF}$ | Tension d'alimentation |
| $I_T$ | courant de seuil |
| K | constante Boltzmann |
| $N_D/_S$ | dopage de source/ drain |
| q | charge électron |
| $\beta = \frac{KB}{q}$ | potentiel thermique |
| $\varepsilon_0$ | Permittivité diélectrique du vide, $\varepsilon 0=8,85.10\text{-}12$ F/m |
| $\varepsilon_{SI}$ | Permittivité diélectrique du silicium, $\varepsilon Si = 11,8.\varepsilon 0$ |
| $\Phi m$ | Travail de sortie du métal |
| $\Phi s$ | Travail de sortie d'un semi-conducteur |
| $C_G$ | Capacité de grille |
| $C_D$ | Capacité de déplétion |
| $G_D$ | Conductance de drain S ou S/m |
| $G_m$ | Transconductance de sortie |
| $I_d$ | Courant de drain |
| $I_S$ | Courant de source |
| $I_{Dsat}$ | Courant de drain de saturation |
| $I_{Dlin}$ | Courant de drain linéaire |

| | |
|---|---|
| L | Longueur de la grille d'un transistor |
| NA | Concentration de dopants de type accepteur d'électrons |
| NB | Dopage du substrat |
| ND | Concentration de dopants de type donneur d'électrons |
| Ni | Concentration intrinsèque de porteurs libres |
| S | Pente sous le seuil |
| $t_{SI}$ | Épaisseur de la zone active de silicium |
| $\mu_0$ | mobilité du vide |
| $\theta 1$ | Premier facteur d'atténuation de la mobilité |
| $\theta 2$ | Deuxième facteur d'atténuation de la mobilité |
| $\theta eff$ | facteur d'atténuation effectif de la mobilité |
| $V_{tcc}$ | tension de seuil a courant constant |
| $V_{T,ext}$ | tension de seuil a courant extrapolée |
| $V_{Tch}$ | tension de seuil de charges |
| $Q_{dep}$ | charge de déplétion |
| Cit | capacité d'interface |
| Nit | densité d'états d'interface |
| $r\pi$ | résistance d'entrée dynamique en base commune |
| Ri | résistance dynamique distribué de grille |
| $\mu_0$ | mobilité a champ électrique nul |
| $S_{iD}$ | densité spectrale du courant de drain |
| R(y) | partie réelle de l'admittance du cristal |
| $S_{i1}$ | puissance de bruit thermique |
| $S_{i2}$ | puissance de bruit grenaille |
| $S_{iG}$ | densité spectrale du courant de grille |
| $\tau_t$ | temps de transit inter électrodes |
| $\tau_R$ | temps de relaxation |
| $\tau$ | Constante de temps associée au processus de piégeage |
| Y | l'admittance de la jonction |
| $T_a$ | température ambiante |
| $V_{th}$ | vitesse thermique des électrons |
| $f_t$ | fonction de la probabilité d'occupation du niveau de piège |
| $N_{ST}$ | densité des porteurs piégés au niveau de la surface |
| $C_I$ | capacité d'inversion |
| $R_n$ | densité spectrale des fluctuations de la mobilité |
| $n_t$ | distribution approximée des pièges |
| $\gamma_{OX}$ | coefficient d'atténuation des électrons dans l'oxyde |
| $Q_{inv}$ | charge d'inversion |
| $Q_g$ | charge de grille |
| $Q_b$ | charge du bulk |
| $Vr$ | volume |
| $\emptyset_T$ | |
| $Q_{CP}$ | charge pompée |
| $E_{inv}$ | niveau d'énergie d'inversion |

| | |
|---|---|
| $E_{acc}$ | niveau d'énergie d'accumulation |
| A | Aire de la grille |
| $N_{SS}$ | densité des pièges d'interface |
| $V_h$ | niveau haut |
| $V_I$ | niveau bas |
| $C_P$ | coefficient de capture de trous |
| $C_n$ | coefficient de capture des électrons |
| $\sigma_p$ | section de capture des trous |
| $\sigma_n$ | section de capture des électrons |
| $e_p$ | coefficient d'émission des trous |
| $e_n$ | coefficient d'émission des électrons |
| $f_s$ | probabilité d'accumulation |
| $C_{p/n}$ | probabilité de capture |
| $e_{p/n}$ | probabilité d'émission |
| $C_m$ | capacité d'électrode métallique |
| U | tension appliquée |
| S | section des armatures |
| e | épaisseur de l'isolent |
| $C_S$ | capacité du substrat |
| $\tau_D$ | temps de réponse du diélectrique |
| $\sigma$ | Conductivité de la couche d'accumulation |
| $T_{Box}$ | épaisseur du canal de conduction |
| $T_{dep}$ | la profondeur de déplétion |
| $X_j$ | la profondeur des extensions |
| $\alpha H$ | la constante de Hooge |
| $\mu FE$ | la mobilité d'effet de champ |

# *Liste des abréviations*

| | |
|---|---|
| MOS | Metal-Oxide-Semiconductor |
| CMOS | Complementary Metal Oxide Semiconductor |
| TMOS | Transistor Métal Oxyde Semiconducteurs |
| MOSFET | Metal oxide Semiconductor Field Effect Transistor |
| DIBL | Drain Induced Barrier Lowering |
| CVD | Chemical Vapor Deposition |
| HP | High Performance |
| SOI | Silicon on Insulator |
| SCE | Short Channel Effect |
| C (V) | Courant-tension |
| ZCE | Zone de Charge d'espace |
| FD | Fully Depleted |
| PD | Partially Depleted |
| GAA | Gate All Around |

# *Table des matières*

# *Tables des matières*

**Remerciement**
**Dédicaces**
**Liste des symboles**
**Liste des abréviations**
**Table des matières**
**Introduction générale**

**Chapitre I : La Fiabilité**

I.1. Introduction

I.2. Notion de fiabilité

I.3. Taux de défaillance

I.3.1. Période de défaillance précoce ou de jeunesse

I.3.2. Période de défaillance à taux constant ou période de vie utile

I.3.3. Période de défaillance par vieillissement ou période de fin de vie

I.4. MTBF (mean time between failures)

I.5. Fiabilité des systèmes

I.5.1. Systèmes en série

I.5.2. Systèmes en parallèle

I.6. Détérmination de taux de défaillance d'un transistor

I.7. Défauts des structure MOS

I.7.1. Élaboration de l'oxyde

I.8. Obtention de la structure SiO2

I.8.1. La structure SiO2

I.8.2. Les défauts dans le SiO2

# *Tables des matières*


- Défauts extrinsèques
- Défauts intrinséques

I.8.3. Notion de pièges

I.8.4. Différents types de charges dans l'oxyde

a) Les charges fixes d'oxydes $Q_f$
b) Les charges piégées $Q_{ot}$
c) Les charges mobiles ioniques $Q_m$
d) La charge piégée des états d'interface $Q_{ss}$

I.8.5. Densité d'états d'interface

I.9. Conclusion

**Chapitre II : Evolution du transistor MOSFET**

II.1. Introduction

II.2. Architecture du transistor MOSFET

II.2.1. Principe de fonctionnement

II.2.2. Diagrammes de bandes d'énergie

a) Régime d'accumulation
b) Régime de déplétion ou de désertion
c) Régime d'inversion faible
d) Régime de forte inversion

II.2.3. Modélisation du courant de drain

II.3. Caractéristique ION/IOFF

II.4. Réduction de la mobilité des porteurs

II.5. Évolution du transistor

II.5.1. Réduction de la longueur

II.5.1.1. SCE (short Channel Effects)

II.5.1.2. Les effets RSCE

II.5.2. Amélioration du couplage capacitif

II.5.2.1. La nitruration

II.5.2.2. Introduction des matériaux high-k

# *Tables des matières*


II.5.3. Amélioration de la mobilité

II.5.3.1. Dispositif à base de Germanium

II.5.3.2. contraintes mécaniques

II.5.3.3. Introduction de matériaux a haute mobilité

II.6 architectures avancées

1. Dispositif PD SOI et FD SOI

**Chapitre III : Techniques de caractérisations des transistors MOSFET**

III.1. Introduction

III.2. Technique I(V)

III.2.1. Principe

III.2.2. Extraction des paramètres ($V_T$, $\mu_0$, $\theta_1$, $\theta_2$, ΔL et Rsd)

III.2.2.1. La tension de seuil $V_T$

a) La méthode à courant constant $V_{Tcc}$
b) La méthode de la tension extrapolée $V_T$, ext
c) La méthode fonction Y Guibaudo

III.2.2.2. La mobilité

III.2.2.3. Détermination de la longueur effective de canal

III.2.2.4. La résistance série

III.2.2.5. La pente sous le seuil

III.3. Technique C(V)

III.3.1. Principe

III.3.2. Mesure C(V) à l'aide d'un « LCR meter » (parfois appelé également C(V) haute fréquence)

III.3.3. Limitation des mesures C(V) à l'aide d'un « LCR meter »

# *Tables des matières*

III.4. Technique de Bruit

III.4.1. Sources de bruit

III.4.1.1. Sources de bruit « irréductibles »

a) Bruit thermique
b) Bruit de Diffusion
c) Bruit de Grenaille

III.4.1.2. Sources de bruit en excès « dites réductibles »

a) Bruit de Génération Recombinaison (GR)
b) Bruit en 1/f

- Fluctuations du nombre de porteurs de charges
- Fluctuation de la mobilité

III.5. Technique de pompage de charges

III.5.1. Principe

III.5.2. Pompage de charge à $\Delta V_{GB}$ constant

**Chapitre IV : Application**

IV.1. Introduction

IV.2. Spécifications du composant

IV.3. L'expérience

IV.4. Traitement de données

**Conclusions générales et perspectives**

**Références bibliographiques**

**Listes des figures**

**Annexes**

**Résumé**

# *Introduction Générale*

Les équipements électroniques font partie de notre quotidien. Aujourd'hui, 77% de la population sont équipés de téléphones portables et 59% d'ordinateurs. Ce constat est le résultat de l'augmentation de la part des dépenses consacrées aux produits électroniques depuis des décennies. Par exemple, pour les technologies d'information et de communication, la demande a augmenté de 12,6% par an entre 1960 et 2005. Cette évolution de la consommation a profondément modifié le marché de l'électronique. Alors qu'il y a quelques dizaines d'années, les technologies électroniques étaient principalement développées par le secteur militaire, les acteurs de l'électronique de masse sont devenus des acteurs majeurs dans le développement de nouvelles technologies, grâce aux volumes engendrés et aux cycles de développement plus courts [1].

Les composants élémentaires de ces circuits sont les transistors MOSFET (Métal Oxyde semiconducteurs a effets de champ.

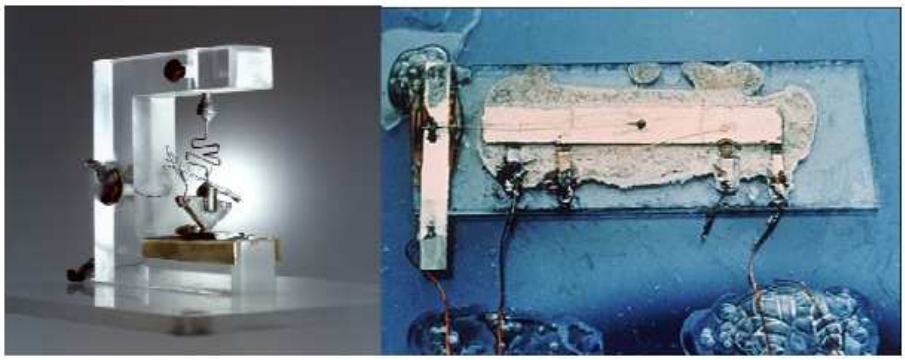


***Figure 1 : Premier transistor (1948), premier circuit intégré [2].***

En 1930, Julius Edgar Lilienfeld, de l'université de Leipzig, déposait un brevet dans lequel il décrivait un élément assez proche du transistor MOS et qui aurait pu constituer le premier transistor de l'histoire. Il fallut cependant attendre le début des années 1960 pour voir apparaître les premiers dispositifs MOS puis CMOS industriels, dont le développement avait été rendu possible par les progrès enregistrés dans le domaine de transistor bipolaire [3] , 1980 Qui Depuis son invention en 1947 par les trois chercheurs du laboratoire Bell, William Shockley, John Bardeen et Walter Brattain, l'ère de la microélectronique est passée du stade du prototype à celui de la production à grande échelle. Les nouvelles technologies se sont banalisées et font à présent partie intégrante de notre mode de vie.Ce sont les progrès réalisés, notamment en termes de résolution, qui ont rendu possible l'évolution des circuits imprimés vers les circuits intégrés, en augmentant le nombre de transistors par unité de surface.

Cette évolution de la densité d'intégration est gouvernée par la loi de Moore qui postulait en 1965 le doublement de la densité des composants tous les 18 mois. Ce ralentissement se traduit par l'introduction d'une nouvelle génération de composants tous les 30 à 36 mois [4]. Depuis les trois dernières décennies, les systèmes industriels sont devenus de plus en plus complexes utilisant des nouvelles technologies permettant d'accroître la qualité des produits et des services ainsi que la productivité des systèmes [5].La technologie CMOS (Complementary MOS), est la plus répandue parmi toutes les technologies semiconducteurs [6].

Devant l'importance de tels investissements, la notion de fiabilité prend une importance capitale; il s'agit de concevoir des procédés, des dispositifs et des circuits fonctionnels à dès les premiers instants de production. Le terme de fiabilité recouvre également tous les mécanismes d'usure et de dégradation des transistors au cours de leur utilisation et conditionnant bien sûr la capacité des circuits à remplir leur fonction sur la durée. Certaines applications dédiées exigent le plus haut niveau de fiabilité et la durée de vie la plus longue possible [2].

Présentant ainsi une contribution à la fiabilité des systèmes en générale, et de ses composants en particulier le MOSFET aussi bien la technologie de l'oxyde et son obtention dans le premier chapitre.

Le second chapitre est consacré à l'évolution du transistor MOSFET, son architecture, principe, et régimes de fonctionnement, ainsi que les effets de la miniaturisation et les solutions apportées aux transistors pour améliorer le courant de drain et la mobilité dans le but de remédier aux effets canaux courts.

Cependant une étude au troisième chapitre concernant les différentes techniques de caractérisation qui permettent la détection et l'analyse des dégradations des transistors $MOSFET_S$. Tout d'abord nous avons décrit les techniques standards commençant par la technique I-V suivi de C-V ainsi que les bruits. Qui permettent de localiser les dégradations à l'interface, ou une charge piégée dans l'oxyde. Ces techniques doivent être complétées par des méthodes plus poussées telles que le pompage de charges à un ou deux niveaux dans le but d'extraction des paramètres et la mise en évidence des états d'interface. Dans le quatrième chapitre, des résultats de stress que nous avons appliqué au transistor.

# *Chapitre I : La Fiabilité*

## I.1. Introduction

Pendant le développement d'un système, la prédiction de la fiabilité est un aspect primordial d'un certain type de conception. Cette prédiction sert de guide quantitatif par lequel les possibilités de développement pourront être évaluées du point de vue fiabilité attendue. Généralement la prédiction de la fiabilité englobe l'évaluation de la faisabilité des systèmes aspect de l'ingénierie. La certitude est définie par la probabilité qu'un dispositif accomplit sa mission sans défaillance sous des conditions et pendants une période de temps bien déterminée [7].Elle est souvent confondue avec la qualité qui elle définit le degré avec lequel le produit convient aux besoins du client. Qui est devenue un critère décisif et essentiel à l'industrie du semiconducteur notamment le transistor MOSFET qui est le composant de base de l'électronique.

Ainsi un dispositif fiable est celui qui fonctionne durant une longue durée sans aucune défaillance, la durée de vie d'un composant électronique dépend des conditions du travail (application spécifique) [8].

## I.2. Notion de fiabilité

Le comportement d'un composant ou d'une fonction est associé à un unique mode de fonctionnement à chaque instant, susceptible de ne plus répondre à sa fonction attendue. La notion de défaillance est une spécialisation de la notion des défauts qui influent la notion de mode de fonctionnement (sûreté de fonctionnement). La notion de défauts est conçue comme une variation anormale d'un paramètre ou d'un comportement. Ce qui implique une déviation non permise d'au moins d'une propriété ou d'un paramètre caractéristique du système [9]. La défaillance est exprimée alors comme une altération ou cessation de l'aptitude d'accomplir un ensemble de ses fonctions requises avec les performances définies dans les spécifications techniques [10]. Autrement dit c'est l'interruption permanente de la capacité d'un système à assurer une fonction requise dans des conditions opérationnelles spécifiées [11]. La défaillance est liée à la fiabilité par une mesure de la probabilité qu'un dispositif d'avoir une défaillance entre les instants 0 et t (fonction mathématique du temps t variant entre 0 et 1) paramétré par un taux de défaillance sous la forme [13] :

$$R(t) = 1 - F(t) \qquad \text{Equ.I-1}$$

## I.3. Taux de défaillance

On désigne par λ(t) le taux de défaillance instantané d'un composant ceci présente la probabilité ramenée à l'unité de temps que le composant tombe en panne entre l'instant t et (t+dt), tout en sachant qu'il fonctionnait correctement à l'instant t **(**[12] [13]).

Le taux de défaillance est exprimé par :

$$\lambda = \frac{\text{le nombre total de défaillances pendant le service}}{\text{la durée totale de bon fonctionnement}} \qquad \text{Equ.I-2}$$

Il représente le taux de défaillance ou d'avarie, il caractérise la vitesse de variation de la fiabilité aux cours du temps, la durée de bon fonctionnement est égale a la durée totale en service moins la durée des défaillances [13] comme il est illustré dans la figure ci-dessous :

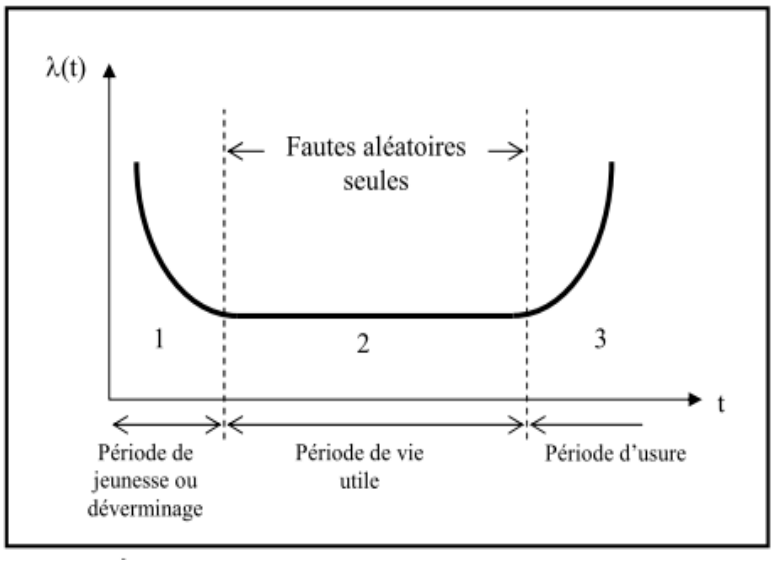



***Figure I.1: allure typique du graphe λ(t) en fonction du temps [13].***

Cette courbe met en évidence trois périodes :

### I.3.1. Période de défaillance précoce ou de jeunesse

C'est le début de la vie du produit, quand un système est neuf les défaillances sont dites précoces ou de jeunesse, elles sont dues aux défauts intrinsèque ou des fautes de conception [14] (composants neufs présentant des défauts de fabrication.). Le taux de défaillance λ décroit rapidement au cours du temps.il est plus important au début de la vie du système et peut être diminué par une phase de rodage de l'équipement (déverminage dans le cas de systèmes à dominante électronique : pré-vieillissement des composants) [12] [13].

### I.3.2. Période de défaillance à taux constant ou période de vie utile

C'est la zone de maturité ou de pleine activité du produit pour laquelle le taux de défaillance λ est sensiblement constant. C'est également le domaine des défaillances imprévisibles se produisant de façon aléatoire. En étude de probabilité, la loi de fiabilité adaptée a cette zone (λ = λ(t) =constante) est la distribution exponentielle, forme R = $e^{-\lambda t}$ Le phénomène d'arrivée des pannes dans le temps est dit poissonien ou encore appelé processus de poisson

Cette moindre fiabilité s'exprime par le phénomène d'usure plus accentué et rapide sur les systèmes mécaniques que sur les systèmes électriques (contraintes de fonctionnement, d'usure, efforts, chocs, frottements) [13] [12].

### I.3.3. Période de défaillance par vieillissement ou période de fin de vie

C'est la période de fin de vie du produit caractérisée par des défaillances dues à l'âge ou a l'usure des composants. Le taux de défaillances λ croit rapidement avec le temps du fait de la dégradation du matériel (usures mécanique, phénomènes de fatigue, dérive des composants électroniques….).les lois de fiabilité adaptées a cette zone sont : les lois normale, gamma, log-normale ou encore weibull (avec $\beta>2$ et $t_0>0$).

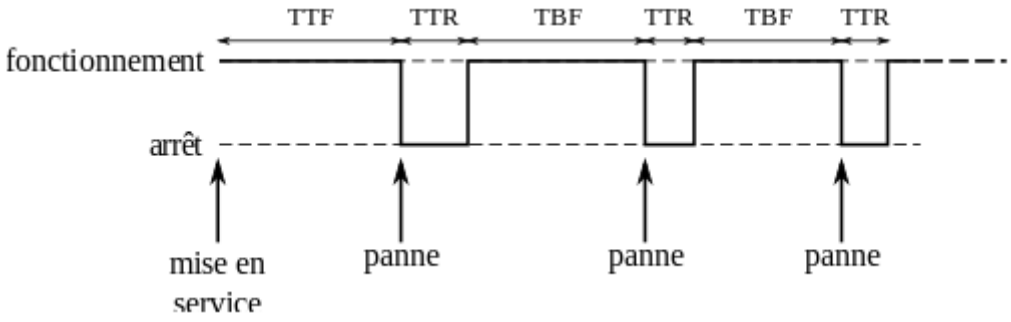
La fiabilité décroit avec l'âge du système. Cette période pourrait être réduite par un remplacement systématique des composants particulièrement chargés en électronique ou ayant un taux de fatigue important en mécanique (cela prolongerait d'autant la période de vie utile) [13] [12].

## I.4. MTBF (mean time between failures)

MTBF est l'abréviation pour Temps Moyen de Bon Fonctionnement (Mean Time Between Failures en anglais). Le MTBF est un indicateur de la fiabilité d'un produit ou d'un système réparable. Il mesure le taux de défaillances aléatoires à l'exclusion des pannes systématiques dues par exemple aux erreurs de conception (par exemple erreurs logiciel) ou défauts de fabrication (produits en début de vie) et à l'exclusion de l'usure due à l'usage (fin de vie d'un produit).

Le MTBF s'exprime habituellement en nombre d'heures, sa valeur ne peut être définie que pour un usage et un environnement donnés. Par exemple, le MTBF d'un produit donné pour fonctionner entre -20°C et +70°C sera différent selon que le produit est utilisé en intérieur à 20°C ou en extérieur à 70°C, encore Plus le MTBF est élevé, plus le produit ou le système est fiable. Donc le MTBF représente la moyenne des temps de bon fonctionnement entre deux défaillances d'un système réparable ou le temps moyen entre défaillances. [13]

Les pannes ne sont qu'une des sources d'indisponibilité du système. Ce qui intéresse l'entreprise, c'est la durée effective de production, qui prend en compte d'autres facteurs comme l'organisation (disponibilité des personnes), la logistique (approvisionnements, flux des biens produits) et les non-qualités [12].




MTTF : durée moyenne de fonctionnement avant la première défaillance (Mean Time To Failure).

MTTR : durée moyenne de réparation ( Mean Time To Repair).

MTBF :durée moyenne entre deux défaillances consécutives d'une entité réparé.

Lorsqu'un système est composé de plusieurs composants, on fait la somme des défaillances de chaque composant en supposant que la panne d'un seul composant provoque la panne du système [16].

$$\text{MTBF} = \frac{\sum \text{des temps de bon fonctionnement entre les n défaillances}}{\text{nombre des temps de bon fonctionnement (nb défaillances)}} \qquad \text{Equ.I-3}$$

Et si λ est constant : $$\text{MBTF} = \frac{1}{\lambda} \qquad \text{Equ.I-4}$$

## I.5. Fiabilité des systèmes

Le terme "fiabilité" est un néologisme introduit dans les années soixante pour traduire le terme anglo-saxon "Reliability". La Commission Électronique Internationale donne à la fiabilité la définition suivante : "Aptitude d'un dispositif à accomplir une fonction requise dans des conditions données, pendant une durée donnée"[17]. La fiabilité R(t) d'un composant élémentaire à l'instant t est généralement mesurée par la probabilité qu'il n'y ait pas de défaillance sur l'intervalle de temps $[t_0, t]$ sous des conditions de fonctionnement données, sachant que le système est en bon fonctionnement à l'instant $t_0$.

D'autres fonctions peuvent être déterminées à partir de R(t) par exemple $F(t) = 1 - R(t)$ : la fonction complémentaire de la fiabilité définie par la probabilité qu'un composant soit défaillant entre $t_0$ et t, Par ailleurs, le taux de défaillance λ(t) permet d'estimer la probabilité conditionnelle qu'une défaillance se produise sur le composant élémentaire pendant un temps δ t à l'instant t, en sachant que le composant n'a pas eu de défaillance sur $[t_0 , t]$ [26][27].

**Exemple:**

- **Loi de défaillance exponentielle**

La fiabilité est souvent modélisée par : R(t) = exp(-λt) où λ est le taux de défaillance exprimé comme le pourcentage de défauts pour 1000 heures ou par heure. Quand le produit "λt" est petit, $R(t) = 1 - \lambda t$ [15].

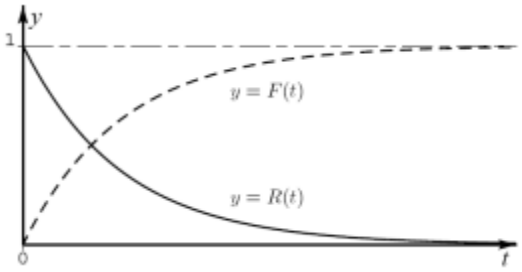
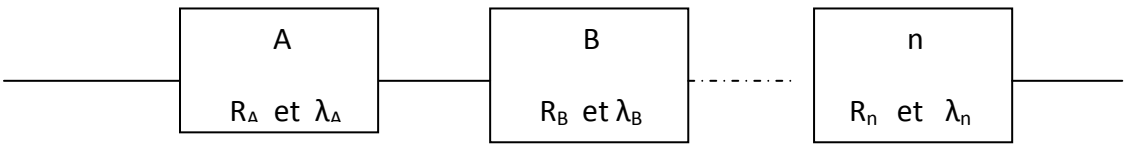



***Figure I.2: Courbes de F(t) et R(t) [15].***

### I.5.1. Systèmes en série

Un système est dit en série si son fonctionnement est assujetti au fonctionnement simultané de tous ses composants. Si un seul de ses composants est en panne, alors le système sera en panne [29] [17].

La fiabilité $R_{Sys}$ d'un ensemble de n constituants connectés en série est égale au produit des fiabilités respectives R1, R2, …….Rn de chaque composant.




Donc la fonction de fiabilité est donnée par :

$$R\,Sys(t) = R1(t) \times R2(t) \times \ldots\ldots\ldots \times Rn(t) \qquad \text{Equ.I-5}$$

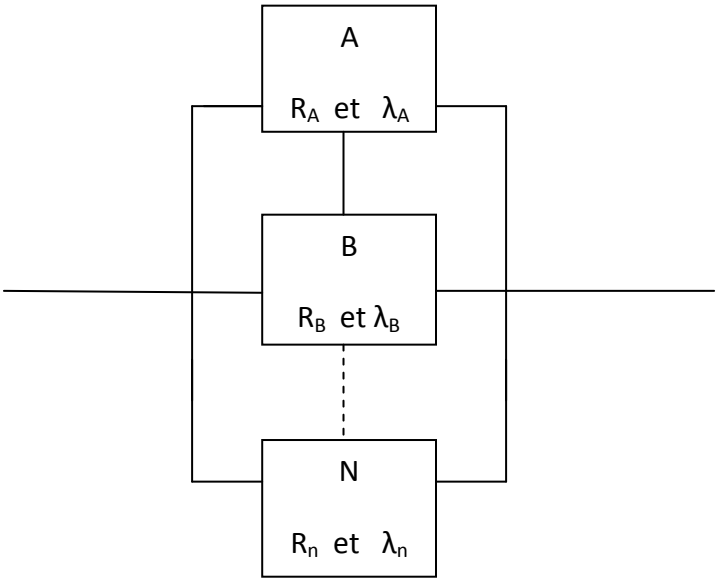
Si les n composants sont identiques et tous de même fiabilité R, alors:

$$R\,Sys(t) = \prod Ri(t) \qquad \text{Equ.I-6}$$

Avec : $R_i(t)$ la fiabilité du composant i pour $i \in \{1, n\}$

### I.5.2. Systèmes en parallèle

Le fonctionnement de ce système est assuré si au moins un de ses composants est en bon état, le système sera en panne si et seulement si tous ses composants sont en panne simultanément [17]. La fiabilité d'un système peut être augmentée en plaçant les composants en parallèle. Un dispositif constitué de n composant en parallèle ne peut tomber en panne que si les n composants tombent en panne au même moment.




La fiabilité de l'ensemble est donnée par la relation [15] [59] :

$$Rsys(t) = 1 - \left(1 - R1(t)\right) x \left(1 - R2(t)\right) x \dots x \left(1 - Rn(t)\right) \qquad \text{Equ.I-7}$$

Alors :

$$R_{Sys}(t) = (1 - \prod (1 - R_i(t))) \qquad \text{Equ.I-8}$$

Pour : $R_i(t)$ la fiabilité du composant i et $i \in \{1, n\}$

## I.6. Détérmination de taux de défaillance d'un transistor

$$\lambda = \lambda b \,.\, \prod S \,.\, \prod Q \,.\, \prod F \,.\, \prod B \,.\, \prod E \,.\, \prod C \,.10 - 9/h \qquad \text{Equ.I-9}$$

$\lambda_b$ **:** facteur de défaillance de base dependant du facteur de charge **ρ** tel que [60] : $\boldsymbol{\rho = \frac{P_U}{P_N}}$

$\prod_S$ **:** facteur du point de fonctionnement

$\prod_C$ **:** complixité

$\prod_F$ **:** fonctionnement logique/analogique

$\prod_B$ **:**boitier

$\prod_E$ **:**environnement

$\prod_Q$ **:** qualification $\boldsymbol{Q = \frac{1}{\lambda}}$

## I.7. Défauts des structure MOS

La structure du transistor MOS et le domaine d'utilisation en haute performances éxige un domaine de travail en forte puissance , ce qui rend notre transistor confronté a des conditions non favorables de point de vue fiabilité dus aux soins apportés à l'élaboration de l'oxyde. La présence de défauts est inévitable résultant des conditions de croissance de l'oxyde, mais aussi de traitements que subit le transistor,antérieurs (qualité de la surface sur laquelle l'oxyde va croitre) et postérieurs (implantations, diffusion,traitements thermiques, contraintes mécaniques…….) à la croissance de l'oxyde. La qualité de l'interface oxyde-semiconducteur est trés importante, car la présence de défauts dans cette zone pérturbe les porteurs dans le semiconducteur, la figure ci-dessous montre a l'aide d'un MET. L'aspect de l'interface Si-SiO2 (il y apparait que la rupture de la structure amorphe et la structure cristalline du silicium ne se fait pas de manière nette)[18].

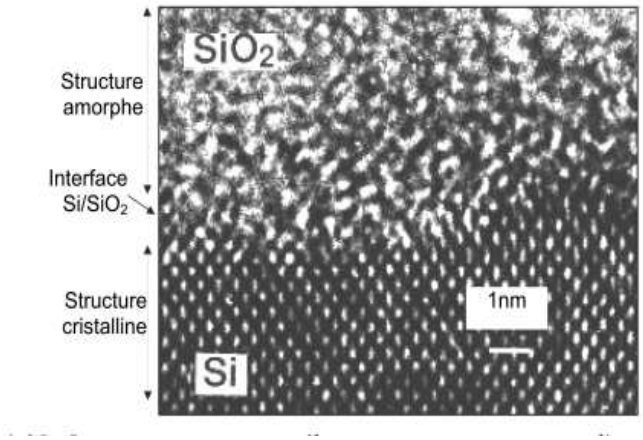



***Figure I.3: Image d'une interface Si-SiO2 prise par un MET [18].***

### I.7.1. Élaboration de l'oxyde

Le dioxyde de silicium (SiO2) est un matériau qui peut être fabriqué à partir du substrat de silicium sur lequel il va croître. En injectant du dioxygène ($O_2$) dans un four d'oxydation contenant des wafers de silicium et en contrôlant des paramètres tels que la température et le durée d'oxydation [18].

## I.8. Obtention de la structure SiO2

Pour l'obtention d'une meilleure qualité d'oxyde et d'excèllente propriétées isolantes, la technique de fabrication la plus utilisée depuis les années 50. est l'oxydation thermique meme si d'autres procédés tels que la (CVD) dépôt chimique en phase vapeur permettent d'obtenir des oxydes de qualités équivalentes [19].

Le diélectrique de grille s'obtient alors par l'oxydation thermique qui s'affectue a haute température (800 à 1200 $^{o}$c) à l'interieure d'un four d'oxydation.

pour limiter certains effets liées a la redistribution des impurtées de dopage, les atomes d'oxygènes, autres contaminations peuvent être insérées dans le silicium par deux differentes techniques( séche et humide)

**L'oxydation séche** réservé pour les oxydes minces ( de grille), utilisant un flux gazeux de dioxygéne, donne une meilleure qualité et une épaisseur mieux controlée mais nécessite beaucoup de temps.

Dans le four d'oxydation qu'on a vue précédement, l'oxygène réagit avec la surface du substrat de silicium suivant la formule chimique :

$$Si + O2 \rightarrow SiO2 \qquad \text{oxydation séche}$$

En revanche **l'oxydation humide** qui est réservé pour la formation d'oxydes épais( de masquage , d'isolation de grand substrats…….) nécessite la présence de l'eau et peu de temps, donnée par :

$$Si + 2H2O \rightarrow SiO2 + 2H2 \qquad \text{oxydation humide}$$

L'oxygène oxyde la surface et croît en volume sur le substrat de silicium suivant le modèle [RICHARD1995]. Si on considère l'épaisseur totale d'oxyde $e_t$ obtenue à la fin de l'oxydation, l'interface Si-SiO2 se situera à $0{,}44.e_t$ de la surface avant oxydation [18] montré dans la Figure ci-dessous :

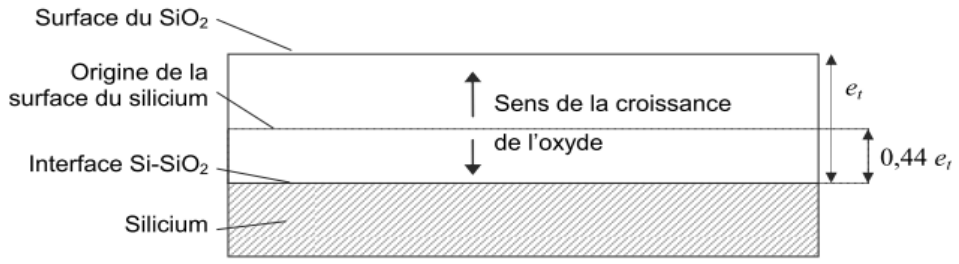



***Figure I.4: Modèle d'oxydation thermique [18].***

La croissance de l'oxyde dans les deux types d'oxydation est obtenue pour des trés haute température (1000 $^{o}$c) . La qualité de l'oxyde obtenu, et surtout de l'interface Si-SiO2 , dépend des procédés de fabrications (type d'oxydation, température,…) et de la contamination extérieure (four, gaz, hotte, nettoyage des wafers,…) [18]. la température, les gazs et leur débit sont des paramétres de grande importance qui définissent l'épaisseur et la qualité de l'oxyde.

- **contamination par hydrogène**

Le silicium utilisé dans la production de dispositifs électroniques doit être extrêmement propre car les propriétés électroniques de la surface sont extrêmement sensibles aux défauts et à la présence d'oxyde dont l'élimination est influencée par la présence de contaminants. Il est impératif d'obtenir des surfaces modèles sans oxyde pour observer l'influence d'un couplage électronique direct entre le silicium et sa fonctionnalisation organique. Pour cela, le silicium subit tout d'abord une série de sonications dans différents solvants de haute pureté (acétone MOS, éthanol MOS, eau ultra-pure) pendant 10 minutes chacun, afin d'éliminer tout agrégat de surface et de la dégraisser. Ensuite, les surfaces sont décontaminées par trempage dans une solution « piranha» à 100°C pendant 30 minutes, puis abondamment rincées à l'eau ultra-pure [2].

L'hydrogénation du silicium peut se faire thermiquement sous ultra-vide ou bien chimiquement par trempage dans une solution d'acide fluorhydrique. Typiquement, la couche d'oxyde sur le silicium peut être décapée par trempage dans une solution HF 2% pendant 2 minutes. Néanmoins la surface obtenue est rugueuse et non ordonnée. Par contre, le décapage de surface de silicium dans une solution de NH 4F 40% dégazée sous argon pendant 15 minutes permet d'obtenir des terrasses atomiquement planes <0,05nm [2].

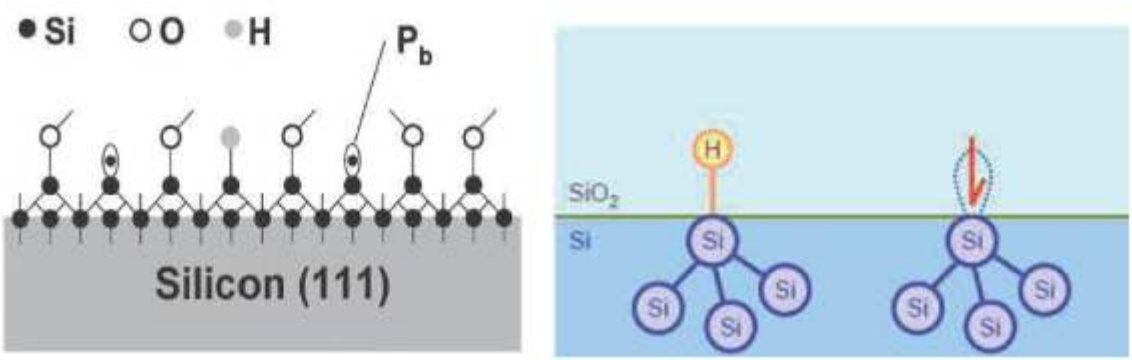
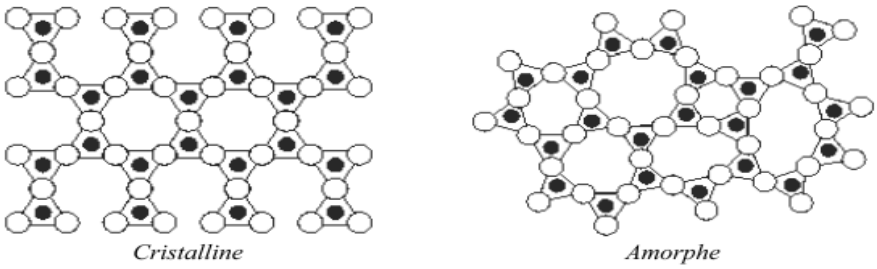



*Figure I.5: Défauts a l'interface Si/SiO2[62].*

### I.8.1. La structure SiO2

La silice peut se trouver sous deux formes allotropiques (même composition chimique, mais arrangements atomiques differents) : cristalline (ordre cristallographique à longue distance)et amorphe (ordre a courte distance) (figure I.6). La structure obtenue par oxydation thermique est la silice amorphe [18].




(a) (b)

***Figure I.6: représentation plane du réseau de la silice (a) cristalline (b) amorphe [18].***

La structure de base de la silice est un atome de silicium entouré de quatre atomes d'oxygénes constituant les sommets d'un tétraèdre (figure I.7)[18]

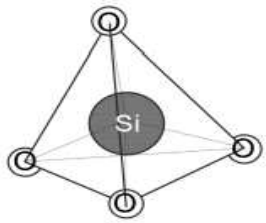



***Figure I.7: motif de base de la silice.***

L'arrangement de tétraèdres $S_iO_4$ que constitues la silice sont reliés entre eux par l'intermédiaire des sommets oxygénes. Ces tétraèdres sont carractérisés par la distance atomique Si-O (de 1,6 à 1,63 ), et par la valeur de l'angle $\theta$ entre les liaisons O-Si-O ($\theta$ varie de 110 $^{o}$ à180 $^{o}$) avec une valeur moyenne de 144$^{o}$ pour la silice amorphe [19].

### I.8.2. Les défauts dans le SiO2

Les défauts sont la conséquence de la croissance thermique de l'oxyde (SiO2) et des traitements que subit le transistor, antérieur (qualité de la surface sur laquelle l'oxyde va croitre) et postérieurs (diffusion, implantation, traitements thermiques, contraintes mécaniques…..), ils se manifestent alors durant les procédées de fabrication et se répartis sous deux formes :

- **Défauts extrinsèques**

On parle de défauts extrinsèques s'ils sont dus à l'introduction d'espèces autres que celles utilisées pour la fabrication de la grille**,** Ils sont liés à la présence dans l'oxyde d'atomes étrangers qui se combinent avec le réseau de nombreuses manières, selon la valeur de leur rayon atomique, selon qu'ils sont ionisés ou non ou selon les conditions thermodynamiques de leur introduction. Un atome de silicium peut, par exemple, être remplacé par un atome de type accepteur (groupe III) ou de type donneur (groupe V), tandis qu'un atome d'oxygène peut être remplacé par un autre anion. De façon analogue aux défauts intrinsèques, on parlera de défauts ponctuels ou complexes.

Les impuretés peuvent pénétrer à l'intérieur de l'oxyde à différents moments du processus technologique [19] Ces défauts peuvent avoir comme origine [20] :

- Le substrat de silicium qui subit un dopage avec des atomes dopants pour changer ces propriétés physique (As, B…), → durant l'oxydation thermique
- Des contaminations ioniques provenant de l'atmosphère dans lequel l'oxyde croît (Na+, Li+, K+). Ces ions peuvent à haute température devenir mobiles et impacter le fonctionnement du circuit, → durant la croissance de la silice
- D'une contamination survenant après les étapes de dépôt de l'oxyde de grille ( comme la métallisation, implantation ionique, traitements haute température (Ar, H2, N2 ….) utilisé pour réaliser les interconnexions) [19]
- Ainsi, des contaminations dues au clivage et à la préparation des échantillons peuvent s'ajouter à la liste de ces défauts dits extrinsèques ; d'où la nécessité de travailler en salle blanche afin de réduire ces hypothétiques contaminations.

Cependant, la croissance de la couche d'oxyde n'est pas parfaite et des défauts dans l'oxyde peuvent exister. On parle dans ce cas de défauts intrinsèques.

- **Défauts intrinséques**

Ils sont liés à l'arrangement des atomes de silicium et d'oxygène entre eux : si la structure est telle que localement les distances et les angles $\theta$ entre les atomes varient, mais pas suffisamment pour qu'il y ait rupture de liaisons entre atomes, alors on parle de micro hétérogénéités (réseau continu mais orienté de façon aléatoire). Sinon, peuvent apparaître des défauts ponctuels (imperfections qui perturbent la périodicité du réseau sur un ou deux sites atomiques), qui, combinés entre eux, conduisent à la formation de défauts complexes. Ponctuels ou complexes, ces défauts sont dus à des interstitiels (substitution d'un atome du réseau par un autre) ou à des lacunes (d'oxygène ou de silicium) associés à des liaisons contractées, cassées ou pendantes [19].

Les défauts intrinsèques présents se divisent en deux grandes catégories : ceux de volume et ceux d'interface. Une très brève description des défauts intrinsèques sera présentée dans la suite de ce travail [20].

### I.8.3. Notion de pièges

Les pièges sont des défauts électriquement actifs, introduisant des niveaux d'énergie supplémentaires a l'intérieur de la bande interdite de l'oxyde et qui apparait ainsi pendant les procédées de fabrication, ils sont assimilables à des puits de potentiel capables de capturer des porteurs.

Un défaut peut alors se comporter comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande, ou comme un lieu de recombinaison s'il peut échanger des porteurs avec les bandes de conduction et de valence [19].ces pièges peuvent être classés dans deux catégorie selon leur état de charge [21] :

- Type donneur : neutre si occupé par un électron et chargé positivement si inoccupé (vide).
- Type accepteur : neutre si inoccupé (vide) par un électron et chargé négativement si occupé.

Comme est illustré sur la figure ci-dessous [22]

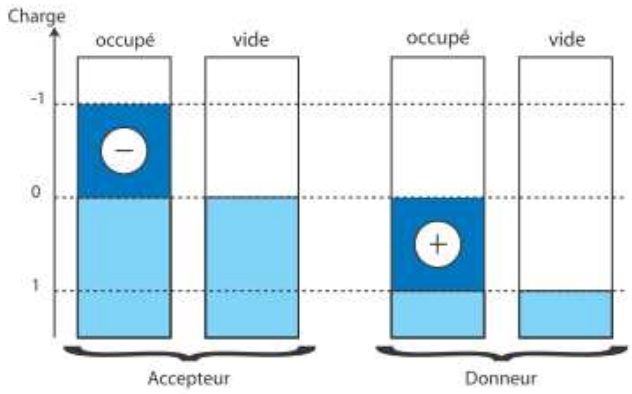



***Figure I.8: Représentation des piéges [22].***

Selon l'état de sa charge, un piège peut être accepteur ou donneur. Dans le premier cas il est chargé négativement s'il est occupé par un électron et neutre s'il est vide. Dans le second cas il est neutre s'il est occupé par un électron et chargé positivement s'il est vide.

### I.8.4. Différents types de charges dans l'oxyde

On distingue quatre types de charges : la charge fixe, la charge piégée, la charge mobile ionique et la charge des états d'interface.

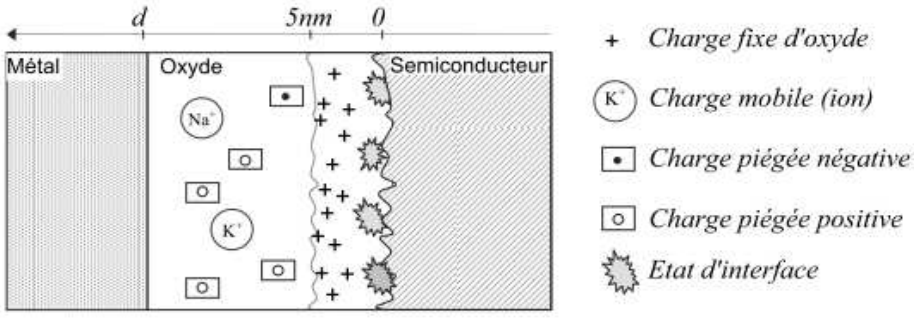



***Figure I.9: Les différents types de charges de l'oxyde [18].***

#### a) Les charges fixes d'oxydes $Q_f$

Ces charges sont liées aux défauts de la structure dans la zone de raccordement des mailles cristallines de silicium Si et de l'oxyde de silicium SiO2 crées pendant les étapes de fabrication. La densité de ces charges dépend du processus d'oxydation thermique (température, condition de refroidissement et orientation du silicium). Les charges $Q_f$ sont généralement positives, localisées prés de l'interface à proximité de $25A^0$ et elles ne sont pas influencées par les conditions de polarisation lors du fonctionnement de transistor [23].

#### b) Les charges piégées $Q_{ot}$

De signe positif ou négatif, les charges piégées sont dues aux piégeages des trous et des électrons dans le volume de l'oxyde. Ce type de piégeages est dû à une modification interne de la structure de l'oxyde sous l'effet d'un stress ou d'un stimulus extérieur. Si une paire électron-trou est créée ou injectée dans l'oxyde, les électrons et les trous peuvent être piégés par des puits de potentiels (Figure I.10). La répartition spatiale de la charge piégée dépend des conditions d'élaboration de l'oxyde. Comme pour les charges fixes d'oxyde, il ne peut y avoir d'échange avec le semi-conducteur [18].

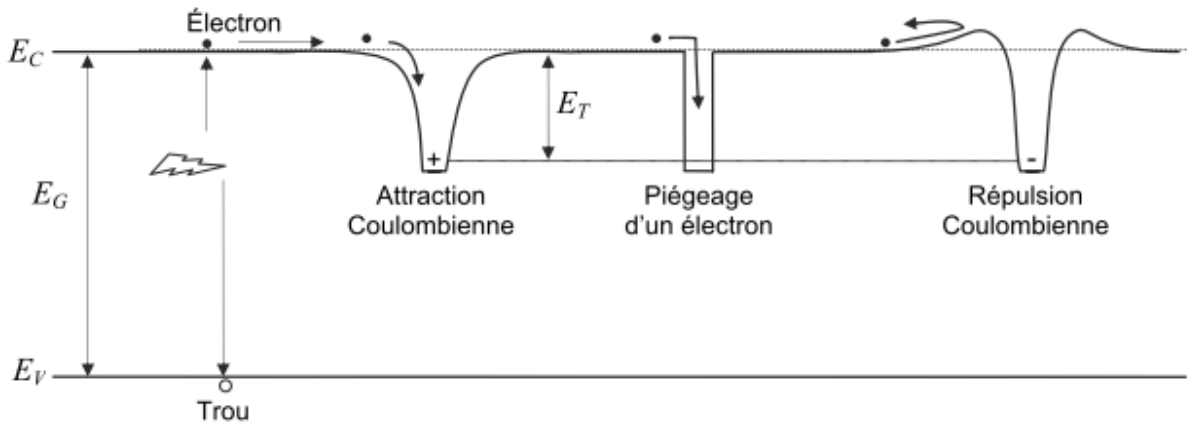



***Figure I.10: Bande interdite avec pièges à électrons [18].***

### c) Les charges mobiles ioniques $Q_m$

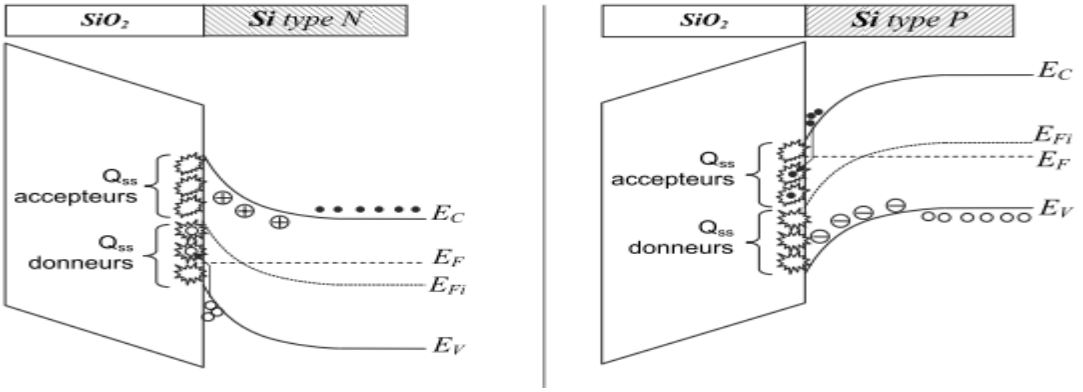
Elles sont dues essentiellement aux impuretés ioniques dans l'oxyde de silicium (comme les métaux alcalins : K+, Li+, Na+…). Ces ions alcalins sont induits dans l'oxyde lors des différentes étapes technologiques. Ils se déplacent lentement dans l'oxyde et leur mouvement dépend du champ électrique de la grille et de la température de transistor.une tension positive provoque un déplacement de ces ions vers l'interface, alors tension négative les attire vers la grille. Un courant dû à ces mouvements est observé. L'effet de cette charge peut être minimisé à l'aide d'une technique utilisant des couches de masque tel que le nitrure de silicium $N_{SI}$ [23].

### d) La charge piégée des états d'interface $Q_{ss}$

Appelée aussi états d'interface, les charges d'interfaces peuvent être positives ou négatives.Localisés à l'interface isolant-semiconducteur, les défauts d'interface (pièges) jouent un rôle primordial dans le fonctionnement du transistor MOS ; contrairement aux défauts de volume de l'oxyde [18].

Les charges piégees $Q_{SS}$ à l'interface Si/SiO2 sont dues généralement à la rupture de la périodicité du réseau cristallin, au procédé d'oxydation, aux impuretées méttaliques ou encore a des défauts causés par des rayonnements ionisants ou par des poeteurs chauds. La densité d'états d'interface varie en fonction de l'injection des porteurs dans l'interface Si/SiO2.

La densité de la charge piégée à l'interface dépend de également des tensions de polarisation.l'augmentation de cette charge entraine une variation de la tension de seuil du transistor et une réduction de la mobilité ce qui conduit a une dégradation des performances [24].




***MOS à substrat de type N représentant des pièges d'interface accepteurs chargés.***

***MOS à substrat de type P représentant des pièges d'interface donneurs chargés.***

***Figure I.11 : Structures de bandes présentant des pièges d'interfaces sur la structure MOS en régime d'inversion [18].***

Pour un MOS sur substrat de type N polarisé sous une tension négative, les pièges d'interface se chargent positivement et viennent s'ajouter aux charges positives déjà piégées dans le volume de l'oxyde. Pour un MOS sur substrat de type P polarisé sous une tension positive, les états d'interface se chargent négativement et compensent les charges positives déjà piégées dans le volume de l'oxyde. Les processus liés à la nature des pièges d'interface, leur création et leur neutralisation sont toujours un sujet d'actualité de part la complexité des problèmes mis en jeu [18 ].

### I.8.5. Densité d'états d'interface

La densité de piège d'interface Nit peut être évaluée en utilisant la pente sous le seuil S =gm/Id = qA/kT (figure ci-dessous). Afin d'extraire le Cit et, à tour, Nit, il est nécessaire de connaître Cox et le $C_d^w$ = $[2q\varepsilon_{si}Na/3\square_f]^{1/2}$ de capacité d'épuisement (déplétion) et le paramètre A= $\frac{C_{ox}+C_d+C_{it}}{C_{ox}}$ dans l'inversion faible.

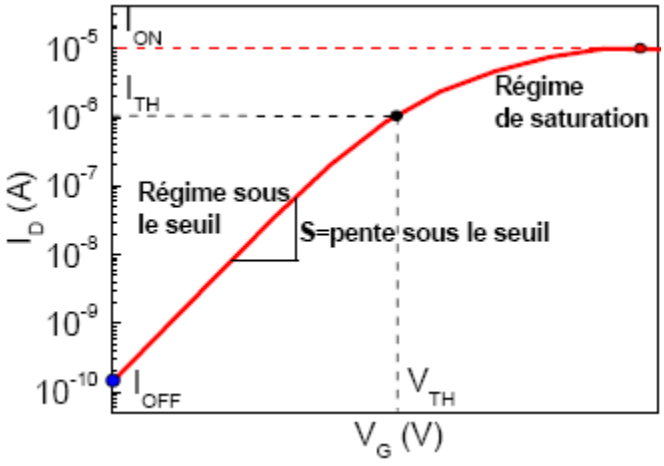



***Figure I.12 : La pente sous le seuil (S) [43].***

En technologie SOI sur film mince déplété (l'entière du film de silicium est complètement déplété avant que la tension n'atteigne la tension de seuil dans ce cas $C_{Si}$ est une constante), S est donné par [43]:

$$S = \frac{AKT}{q} \ln(10) \qquad \text{Equ.I-10}$$

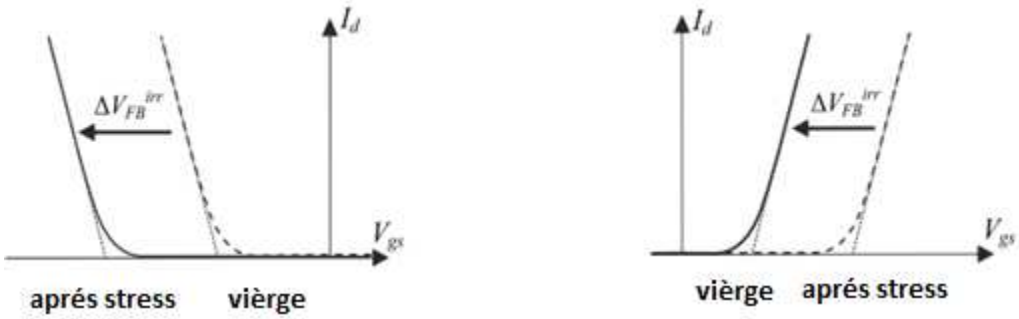
Où $A = (1 + \frac{C_{Si}}{C_{Ox1}}) - \frac{\frac{C_{si}}{C_{ox2}} - \frac{C_{si}}{C_{ox1}}}{1 + \frac{C_{si}}{C_{ox2}}}$ (coefficient d'effet de substrat) Equ.I-11

les pièges d'interface générés pendant le stress conduit à des dégradations paramétriques au niveau des MOSFET. A fin de mettre en évidence ces dégradations il est nécessaire d'utiliser des techniques de caractérisation. Toutefois, leur impact peut être de plusieurs façons. en premier lieu, les états d'interface, comme des charges électriques peuvent dégrader la tension de seuil,

$$\Delta Vth(t) = \frac{\Delta Nit(t).q}{Cox} \qquad \text{Equ.I-12}$$

Cependant, le décalage de la tension de seuil du au stress exprime la densité de défauts mis en évidence montré en figure ci-dessous :

$$\Delta \text{Nit} = \frac{\Delta Vth \,.Cox}{q} \qquad \text{Equ.I-13}$$




***MOSFET à canal P sur substrat type N*** ***MOSFET à canal N sur substrat type p***

***Figure I.13 : Représentation schématique du décalage de la tension de seuil due à la présence de charges créées par le stress [18].***

# *Chapitre II :*
# *Évolution de transistor MOSFET*

## II.1. Introduction

La production actuelle des composants semi conducteurs est basée essentiellement sur les composants a base de la technologie CMOS de plus en plus performant en termes de vitesse, rapidité, taille réduite et surtout fiable. Le transistor MOSFET est l'un des dispositifs primordiaux pour la conception des circuits intégrés qui est par effet de champ électrique, le contrôle de densité des porteurs dans le canal se fait par la grille à travers l'oxyde. Le MOSFET est utilisé extensivement dans les applications de circuits intégrés. Grâce à sa taille relativement petite, des milliers de ces composants peuvent être intégrés dans un seul circuit intégré. Le MOSFET, sans aucun doute, est actuellement un noyau essentiel de conception des circuits intégré. A cet effet l'étude du MOSFET avec ses différentes architectures ainsi que la mis en évidence des différents phénomènes qui retarde l'évolution ou pour remédier à la continuité de l'avancé technologique.

## II.2. Architecture du transistor MOSFET

### II.2.1. Principe de fonctionnement

Le fonctionnement du transistor MOS est basé sur l'effet de champ électrique qui joue le rôle d'un interrupteur en passant ou en bloquant le courant dans le canal, son principe est de moduler la concentration de porteurs d'un volume de silicium et de permettre le passage d'un courant électrique entre sa source et son drain. La conduction du transistor n'est assurée que par l'existence d'une zone inversée près de l'interface oxyde-semi-conducteur SiO2-Si, constituant le canal conducteur. Ce canal conducteur n'est constitué qu'à partir d'une valeur de la tension de grille appliquée correspondant à la tension de seuil $V_T$ [25].

La structure MOS (métal oxyde semi conducteur) est composée de trois parties principales :

- L'électrode de source
- L'électrode de drain
- L'électrode de grille, Ainsi que le canal de conduction.

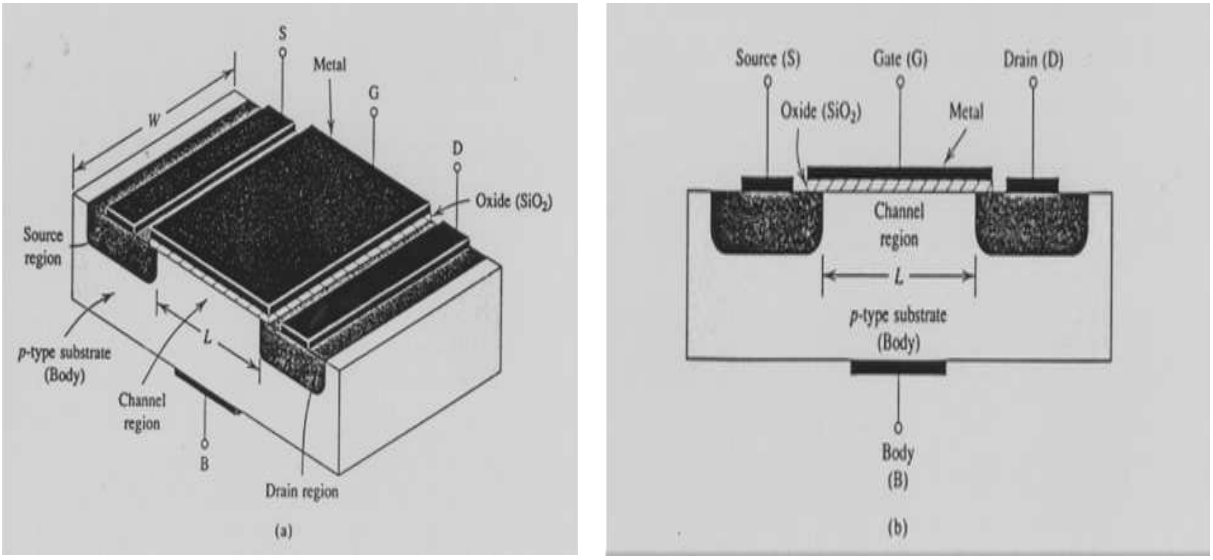
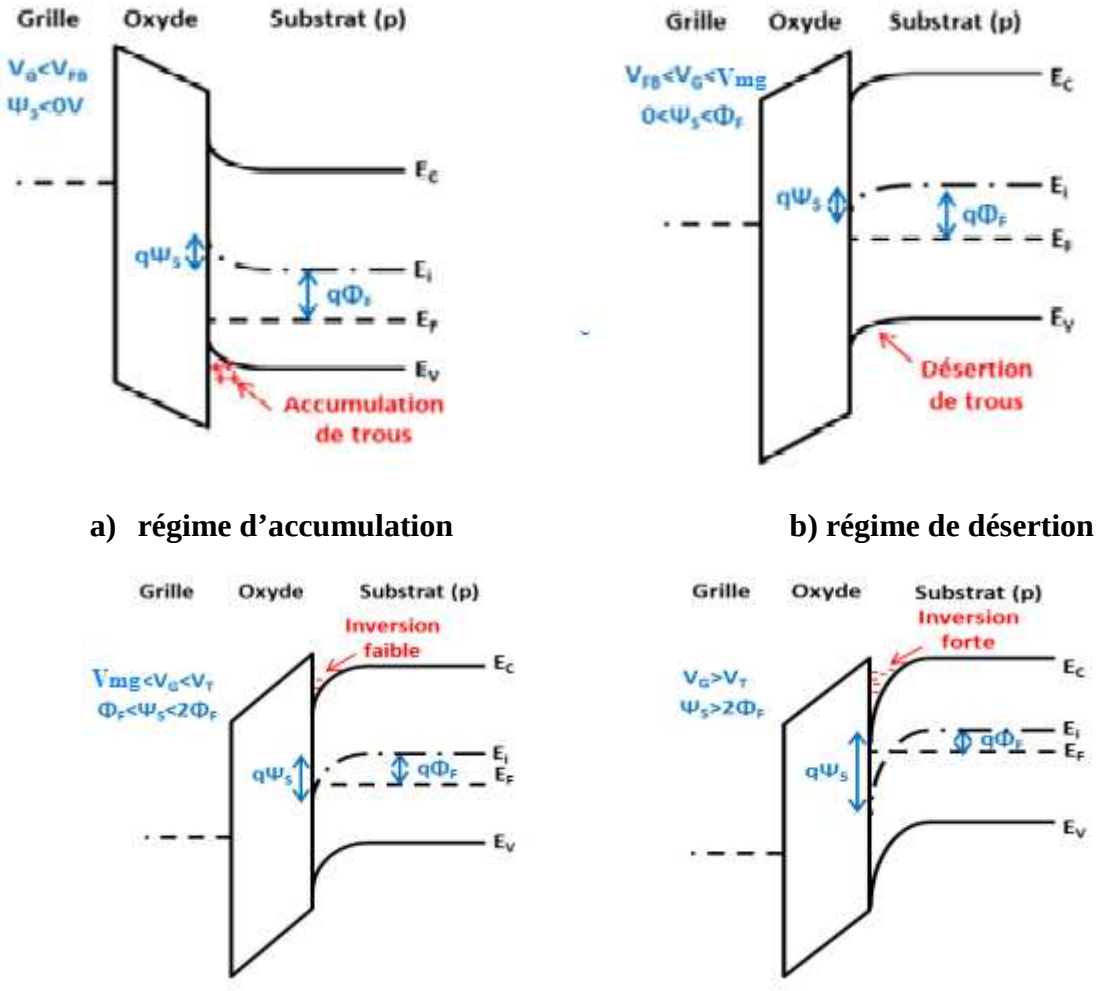



***Figure II.1:Représentation schématique d'un transistor MOS canal N [26]***
***a) Vue en perspective b) coupe***

### II.2.2. Diagrammes de bandes d'énergie

Jusqu'au la on peut constater que la capacité MOS est la base du transistor MOS et son fonctionnement dépend des différents régimes. En effet, en fonction de la polarisation appliquée aux bornes de cette structure MOS, les bandes d'énergie peuvent se courber pour donner quatre principaux régimes. En considérant le substrat à la masse et différents potentiels de grille, les principaux régimes sont représentés en Figure II.2 [30].




**a) régime d'accumulation** **b) régime de désertion**

**c) régime d'inversion faible** **d) régime de forte inversion**

***Figure II.2 : Diagramme de bande d'énergie dans NMOS dans la configuration(a)régime d'accumulation, (b) désertion, (c) d'inversion faible (déplétion), (d) d'inversion forte[28].***

### a) Régime d'accumulation ($\Psi s<0$ et $V_g < V_{FB}$) figure II.2 (a)

Le potentiel électrique appliqué sur la grille est inférieur à la condition de bande plate, le potentiel de surface est négatif et la concentration en trous augmente. Il se produit alors une accumulation de trous près de l'interface SiO2 /Si. La quantité de trous p est donc supérieure à la quantité de trous naturels du matériau, qui est égale au nombre de dopants accepteurs actifs $N_A$. Le transistor est donc bloqué. $p>N_A$ (NMOS) ou $n>N_D$ (PMOS) [31].

### b) Régime de déplétion ou de désertion ($0<\Psi s<\Phi_F$ et $V_{FB}< Vg<Vmg$) figure II.2 (b)

Le potentiel électrique Ψs est positif et la concentration de trous diminue. La concentration en électrons augmente mais toujours moins importante que celle de trou [32]. Cette zone résulte du déplacement des trous à travers le semi-conducteur c'est-à-dire les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas [33].

$$n<p<N_A \text{ (NMOS) ou } p<n<N_D \text{ (NMOS).}$$

### c) Régime d'inversion faible ($\Phi_F <\Psi_S<2\Phi_F$ et $Vmg<Vg<Vth$) figure II.2 (c)

La concentration en électrons libres est supérieure à celle de trous à l'interface SiO2 /Si et la couche d'inversion commence à se former. Et n>p (NMOS) ou p>n (PMOS) [32].

### d) Régime de forte inversion ($\Psi_S>2\Phi_F$ et $Vg>Vth$) figure II.2 (d)

Le canal d'inversion est complètement formé**,** les porteurs minoritaires sont d'une concentration importante devant les porteurs majoritaires n>>p, pour un NMOS. Et le canal d'électron permet le passage d'un courant $I_{DS}$ sous l'effet d'un champ électrique. Donc le transistor est passant.

Certes en forte inversion, le transistor est en conduction. Cependant plusieurs régimes peuvent être distingués, le régime linéaire quand $V_D << V_G - V_T$, et le régime de saturation quand $V_D >> V_G - V_T$.

Les différents régimes sont définis par une analyse capacitive par une mesure de la capacité grille canal, montré en figure II.3

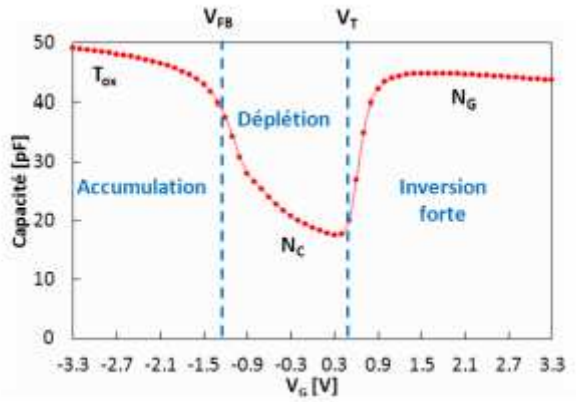



***Figure II.3: Mesure d'une capacité MOS sur substrat de type P en fonction de VG [30].***

### II.2.3. Modélisation du courant de drain

• **Le Régime linéaire :** $V_D$ est faible (VD << $VG - VT = VDsat$), un courant de drain $I_D$ circule dans le canal de conduction et augmente avec la polarisation de drain. Le transistor MOS est équivalent à une résistance contrôlée linéairement par la grille [30] [34].

Le courant de drain s'écrit: $Id = \frac{Q}{t}$ avec $t = \frac{L}{v}$ , $v = \mu E$ et $Ey = \frac{Vd}{L}$

$$Id = \frac{QWL}{t} = Q\frac{W}{L}\mu Vd \qquad \text{EquII.1}$$

$$Q = Cox.(VG - VT) \qquad \text{EquII. 2}$$

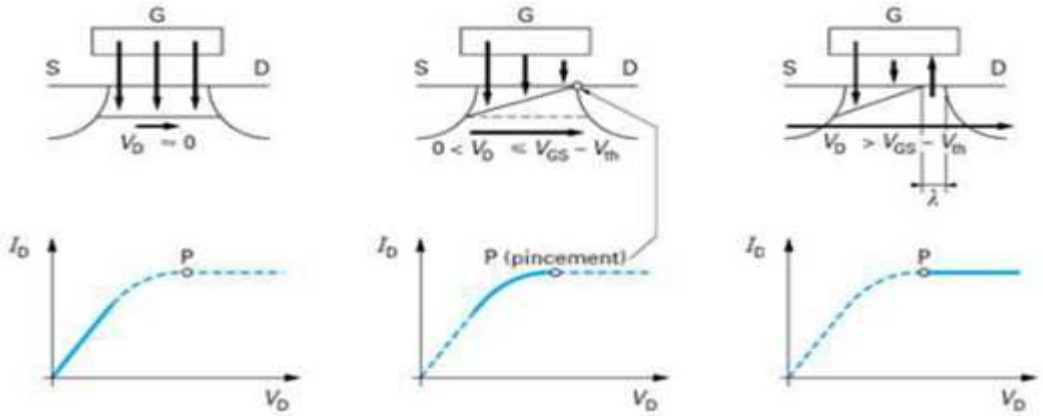
Pour des valeurs de $V_d$ <= 100mv ; (pour simplifier la variation de la mobilité en fonction de Vd)

$$Id = \frac{W}{L} COX\, \mu\, Vd\, (VG - VT) \qquad \text{EquII. 3} \qquad \text{En forte inversion}$$

$$Id = \frac{W}{L}\ \mu 0\ Cd\ \frac{KT}{q}\ \exp\left(\frac{qA(VG - VT)}{KT}\right) Vd \qquad \text{EquII. 4} \qquad \text{En faible inversion}$$

• **Le Régime de saturation :** Lorsque la tension de drain augmente et atteint une certaine valeur appelée tension de saturation $V_{Dsat}$, il y apparait une zone de pincement au niveau de canal (coté drain), le canal est dit « pincé » et le transistor MOS fonctionne en régime non-linéaire. Lorsque $V_D > V_{Dsat}$ ,Vdsat=(Vg-Vt), la couche d'inversion disparait au voisinage du drain (la zone de pincement se déplace vers la source) et le courant Id sature [30] [34].

$$Id = \frac{W}{2L} COX\, \mu\, (VG - VT)\, 2 \qquad \text{EquII.5}$$




***a) en régime linéaire*** ***b) zone de pincement*** ***c) en régime saturé***

***Figure II.4: Régimes de modulation de la résistivité du canal par polarisation du drain à trois régimes [31].***

## II.3. Caractéristique ION/IOFF

Les paramètres $I_{ON}$ et $I_{OFF}$ constitues de très bons indicateurs des performances d'un dispositif. Le rapport $I_{ON}/ I_{OFF}$ doit être élevé que possible, $I_{ON}$ étant très important, le courant de fuite $I_{OFF}$ très faible. Avec :

- $I_{ON}$ défini comme le courant de drain lorsque $V_{GS} = V_{DS} = V_{DD}$
- $I_{OFF}$ comme le courant de drain lorsque $V_{GS}=0$ et $V_{DS}=V_{DD}$.

Toute en sachant que dans le cas idéal Si les tensions appliquées sur la grille $V_{GS}$ et sur le drain $V_{DS}$ sont nulles, le courant de drain est nul, le transistor est bloqué. Si $V_{GS} = V_{DS} = V_{DD}$ (tension nominale), le courant de drain $I_{ON}$ est maximal, le transistor MOS est passant. Contrairement, dans le cas réel, a l'état bloqué, le courant de drain n'est pas nul, et apparition d'un courant de fuite $I_{OFF}$ qui circule dans le canal coté drain et source.

Cependant les fréquences de commutation élevées sont autorisées par un courant $I_{ON}$ élevé et un courant $I_{OFF}$ minimal permet une faible dissipation d'énergie au repos [36] [37] qui est donnée sous la forme suivante :

$$\text{Log (IOFF)} = \log (\text{IT}) - \frac{V_T}{S} \qquad \text{EquII.6}$$

$$\text{IOFF} = \text{IT} \exp(\frac{-V_T \, ln10}{S}) \qquad \text{EquII.7}$$

Avec : $I_T$ le courant de drain à $V_{GS} = V_T$

Donc la meilleure qualité du transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant $I_{ON}$ le plus fort et un passage le plus rapide de l'état OFF à l'état ON [36], une représentation schématique de la caractéristique $I_D$ ($V_{GS}$) donnée dans la figure II.5.

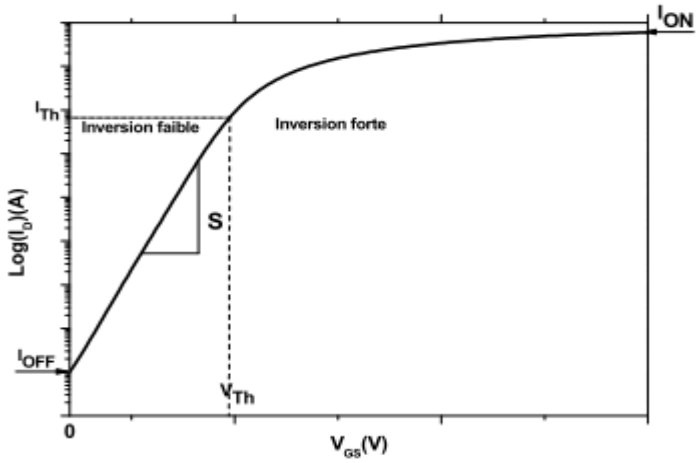



***Figure II.5: Caractéristique $I_D$ ($V_{GS}$) d'un transistor MOSFET [36].***

## II.4. Réduction de la mobilité des porteurs

La mobilité des porteurs dans le silicium peut être sensiblement réduite par leur environnement immédiat: quantité de dopants, température. Les champs électriques vertical (FOX) et latéral (ξ) ont chacun un rôle important dans la dégradation de la mobilité des porteurs. On attribue la réduction par FOX à trois phénomènes [22] (Figure II.6) :

• les interactions avec les phonons

• les interactions coulombiennes

• les interactions avec la rugosité de surface

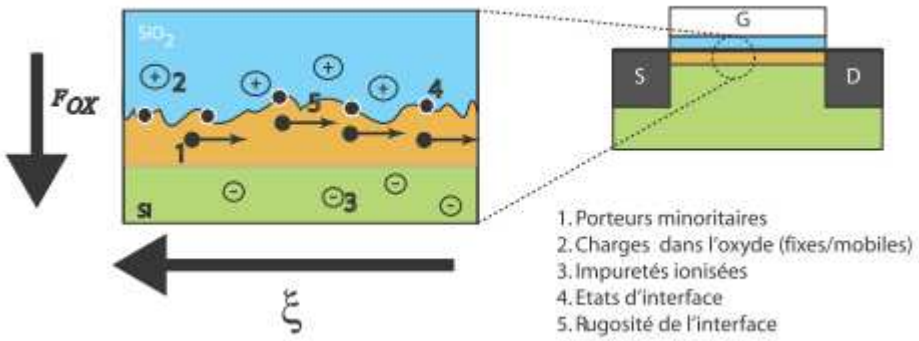



***Figure II.6 : Représentation des effets responsables de la réduction de la mobilité [22].***

## II.5. Évolution du transistor

Les réductions d'échelles permanentes des technologies CMOS avancées, impliquent nécessairement des variations de procédés de fabrication importants d'une génération à l'autre. Afin de continuer à augmenter le courant dans les structures MOS [1], les fondeurs ont dû modifier la structure conventionnelle pour assurer une augmentation des performances mesurées par le paramètre Ion/Ioff. Les paramètres sur lesquelles on peut agir sont : la réduction de la longueur du canal et l'épaisseur de l'oxyde (aux High-K) et l'augmentation de la mobilité.

### II.5.1. Réduction de la longueur

#### II.5.1.1. SCE (short Channel Effects)

Parmi les effets parasites de la réduction de la géométrie du MOSFET, l'effet canal court est un phénomène qui se traduit par un abaissement de la barrière de potentiel entre la source et le drain, Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze Qg à la Figure II-7. Provoquant ainsi une diminution de la tension de seuil mesurée en régime linéaire (à VD faible) [51]. Cet effet est très important pour les transistors MOSFET sur substrats massifs, mais dans le cas du SOI et en particulier pour les transistors totalement désertés, l'espace de charge dans le film de silicium reste très bien contrôlé par la grille [52]. Il est lié au fait que le potentiel électrostatique entre la source et le canal et entre le canal et le drain n'est pas abrupt mais graduel à cause des zones de charges d'espace le long des jonctions [48].

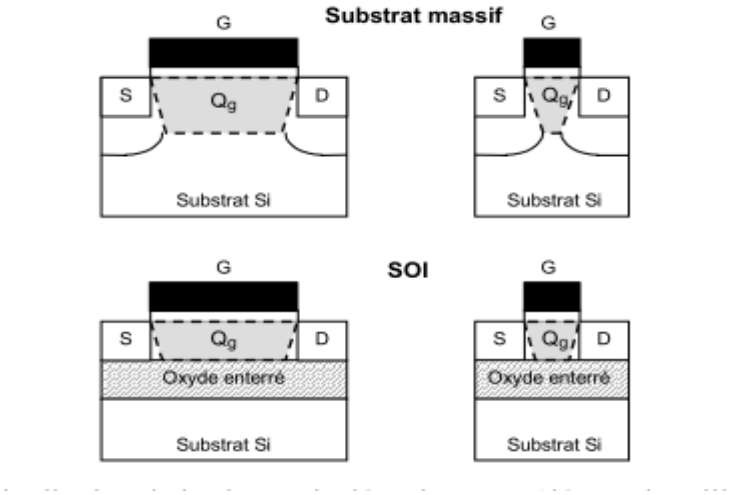
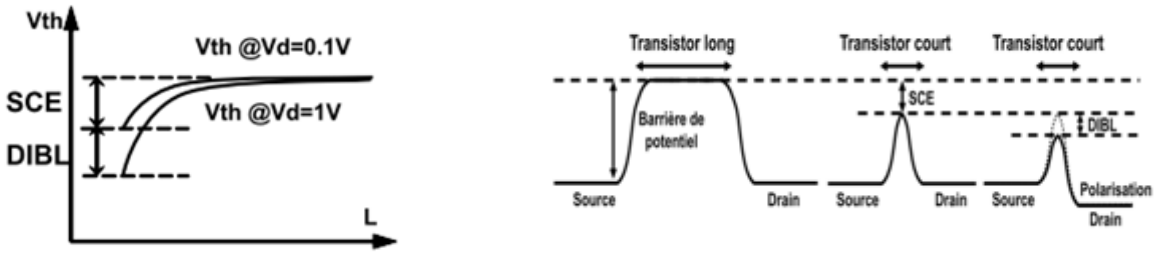



***Figure II.7 : Distribution de la charge de désertion contrôlée par la grille (Qg) pour les transistors à canal long (gauche) et à canal court (droite) [52].***

La polarisation du drain influençant la profondeur de la zone de charge d'espace côté drain, l'effet canal court est accentué par cette polarisation, puisque l'extension de la zone de charge d'espace au niveau du drain dépend de VD. Pour les transistors courts, une augmentation de VD induit un abaissement supplémentaire de la tension de seuil. Cet effet spécifique est appelé DIBL («Drain Induced Barrier Lowering »), l'abaissement de la barrière est représenté en figure II.8.a-b




**a)** **b)**

***Figure II.8 : a) Représentation Id(Vg) sous le seuil pour deux tensions de drain b) Principe de l'abaissement de la barrière de potentiel du à la réduction de la longueur de la grille du transistor et la tension du drain [53].***

Tandis que la mesure du DIBL est mise en évidence par la pente sous le seuil figure II.9 [48] [35].

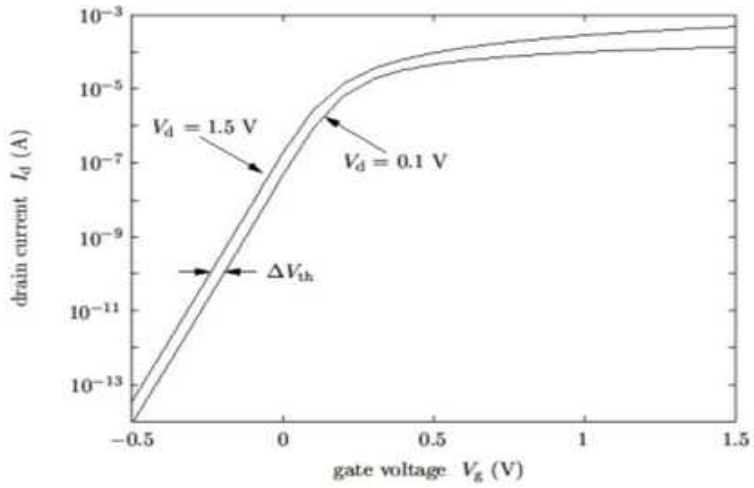



***Figure II.9 : Exemple de Courbes de transfert d'un NMOSFET pour des tensions de drain de 0.1V (Régime linéaire) et 1.5V (régime de saturation) [48].***

$$\text{DIBL} = \frac{\Delta Vth}{\Delta Vd} \quad (\text{mv/v}) \qquad \text{EquII.8}$$

Si la tension du drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source c à d amène la région de déplétion du drain à interagir avec la source et il se produit un abaissement de la barrière source-canal. Cet abaissement de la barrière à la source diminue la tension de seuil et permet l'injection d'électrons au travers du canal (en volume) et ceci indépendamment de la tension de grille (la grille perd le contrôle du courant de drain) [48] [51] provoquant l'effet de perçage en volume.

Le phénomène de perçage (punch through) peut être minimisé par un dopage de canal rétrograde (figure II.11) susceptible de favoriser l'augmentation de la barrière de potentielle source substrat [40].

Ils sont aussi les principaux responsables de l'augmentation du courant de fuite $I_{OFF}$ pour les faibles longueurs de grille (figure II.10). Entrainant ainsi des pertes de rendement.

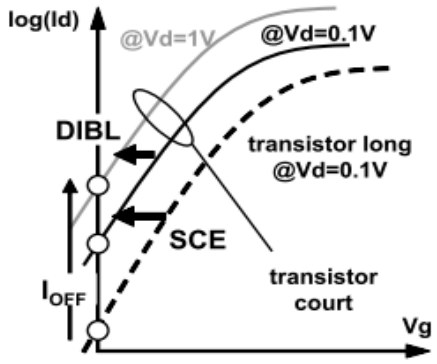



***Figure II.10:Impacts du SCE et du DIBL sur les courants de fuites [54].***

L'augmentation de la tension de drain provoque aussi l'injection de porteurs chauds qui participent à la dégradation intrinsèque des interfaces. Ils donnent lieu à un courant de substrat, résultant de l'ionisation par impact, à un courant de grille pour les porteurs qui peuvent surmonter ou traverser la barrière énergétique Si/SiO2, ainsi qu'à une émission de photons. En général, les effets de porteurs chauds sont étudiés en évaluant les courants de substrat et de grille, l'émission de photons ainsi que les dégradations des paramètres statiques (Vth, gm, IDS) du transistor [55]. Dans le but de limiter les effets SCE, des solutions ont été apportées à la structure conventionnelle (une seule diffusion pour la Source et le Drain), en dopant plus légèrement les zones de Drain et de Source directement en contact avec le canal, en créant ainsi des zones de diffusion dite Lightly Doped Drain (LDD). Ceci a pour conséquence de réduire le champ électrique latéral maximal.

### II.5.1.2. Les effets RSCE

Pour contrer ces effets de canal court (SCE), différentes stratégies de miniaturisation sont mises en place au niveau des composants, afin de contrôler les effets de percement volumique. Un fort dopage rétrograde est réalisé dans le substrat sous la grille (figure II.11), ainsi l'extension des zones de charge d'espace limitée aux endroits critiques (sous le canal) tout en permettant un réglage de la tension de seuil par un dopage plus faible du canal. Des poches, ou des « halos » fortement dopés sont aussi réalisées autour des caissons source et drain pour lutter contre le percement surfacique [63].

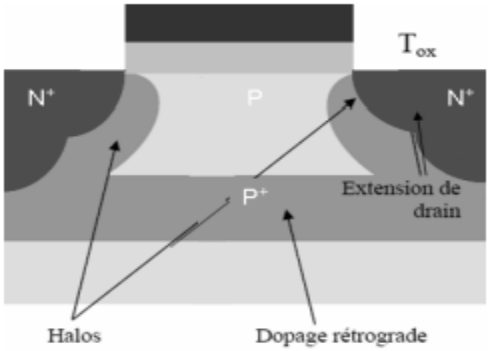



***Figure II.11: Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain [63].***

La réalisation de ces profils de dopage complexes (dopage rétrograde,halos et poches) dans des dispositifs de plus en plus petits se révèle technologiquement de plus en plus difficile,notamment si l'on désire une parfaite reproductibilité d'un transistor à l'autre afin d'éviter la dispersion des caractéristiques.

### . II.5.2. Amélioration du couplage capacitif

Dans les dimensions des transistors actuels, nous avons montré dans les parties précédentes que le dioxyde de silicium pur comme oxyde de grille n'est plus utilisable. Dans l'optique de repousser plus loin les limites de l'utilisation du transistor MOSFET, des efforts considérables ont été réalisés pour trouver de nouveaux matériaux pour l'empilement de grille. Nous verrons dans cette partie l'introduction de toutes ces nouvelles solutions apportées à la miniaturisation. Pour garder l'oxyde de silicium pour un certain temps il est préférable d'introduire les oxydes de silicium nitruré [64].

### II.5.2.1. La nitruration

L'introduction des oxynitrures ou des oxydes nitrurés est une solution à court terme pour limiter les problèmes engendrés par la réduction de l'épaisseur TSiO2, avant l'introduction des diélectriques high-k ou des nouvelles architectures de transistors. Les oxynitrures sont obtenus en incorporant de l'azote par un procédé de recuit dans un oxyde déjà formé. L'introduction de l'azote dans le dioxyde de silicium permet d'avoir un champ électrique supporté plus grand que celui du SiO2, donc une meilleure immunité à la dégradation due aux électrons chauds. Néanmoins, la nitruration d'un oxyde entraîne une augmentation des charges fixes et de la densité d'états d'interface du fait de la présence d'atomes d'azote ou d'hydrogène et peut même provoquer une chute de la mobilité des porteurs dans le canal du transistor. De plus l'incorporation d'atomes d'azote dans le film diélectrique permet d'augmenter la constante diélectrique entre celle du SiO2 ($\varepsilon r$=3,9) et celle du Si3N4 ($\varepsilon r$=7,5). [21] [64].

### II.5.2.2. Introduction des matériaux high-k

Nous avons présenté les limites de la miniaturisation pour la technologie «Bulk» conventionnelle. Lorsque la couche du dioxyde de silicium SiO2 atteint ses limites (quelques Angstroms), les courants de fuites par effet tunnel direct à travers l'oxyde de grille deviennent 9un défi à surmonter. Plusieurs solutions ont été présentées précédemment. Les oxydes nitrurés ont été une des solutions à moyen terme, les nouvelles architectures sont encore en phase d'études mais l'intégration des diélectriques high-k est l'une des solutions les plus simples au remplacement du SiO2 (technologie bulk). Le principe est donc de remplacer le SiO2 par un matériau de plus grande permittivité. Cela permet du point de vue électrostatique, d'obtenir une épaisseur (EOT) équivalente (ou plus faible) à l'épaisseur de l'oxyde SiO2 alors que l'épaisseur physique « T High-k » du matériau high-k est plus grande [50]. A même capacité et avec un T High-k plus grand, le courant de fuite par effet tunnel sera donc fortement réduit [64]. L'épaisseur physique d'oxyde équivalente est donnée par :

$$C_{SiO2} = C_{High\text{-}K} \quad \Leftrightarrow \quad \frac{\varepsilon_{Sio2}}{t_{Sio2}} = \frac{\varepsilon_{High-K}}{t_{High-K}} \quad \Leftrightarrow \quad t_{Sio2} = EOT = \frac{\varepsilon_{ox}}{\varepsilon_{High-K}} t_{High\text{-}K} \qquad \text{EquII.9}$$

avec $C_{SiO2}$ et $C_{High\text{-}k}$ respectivement les capacités d'oxyde de grille avec du SiO2 et du high-k, $\varepsilon_{ox}$ la permittivité relative du diélectrique de référence, $\varepsilon_{High\text{-}k}$ la permittivité du matériau high-k et $t_{High\text{-}k}$ , l'épaisseur physique du diélectrique high-k.[64].

La figure II.12 illustre l'intégration des diélectriques high-k.

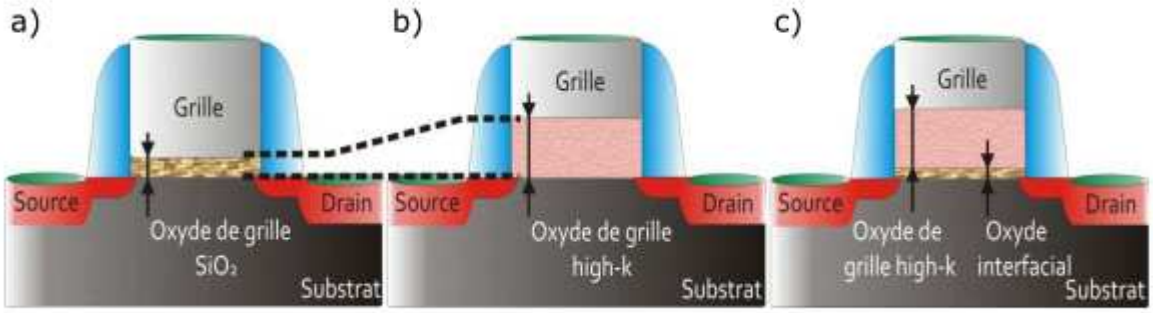



***Figure II.12: Illustration de l'intégration d'un diélectrique high-k dans une structure MOSFET permettant de comparer les différents EOT à capacités équivalentes: a)Oxyde de référence SiO2; b) Intégration d'un oxyde high-k; c) Structure réelle [64].***

En figure II.12.c, la structure MOSFET à diélectrique high-k tient compte d'une couche interfaciale (SiOx ). Cette couche est souvent volontairement déposée avant le dépôt du diélectrique high-k car dans le cas contraire, elle peut être créée lors du dépôt par la diffusion d'oxygène à travers le matériau ou lors d'une réaction thermodynamique. Dans ce cas, l'épaisseur ainsi que la qualité d'interface Si/SiOx ne pourront pas être contrôlées. En considérant une couche interfaciale, l'équation (EquII.9) se réécrit :

$$EOT = \frac{\varepsilon_{ox}}{\varepsilon_{High-K}} t_{\text{High-K}} + \frac{\varepsilon_{ox}}{\varepsilon_{interfaciale}} t_{\text{interfaciale}} \qquad \text{EquII.10}$$

### II.5.2.3. La poly-désertion de grille et effets quantiques

La désertion de grille correspond à la zone désertée dans le polysilicium de grille le long de l'interface avec l'oxyde. Cette désertion en porteurs dans le poly-silicium de grille correspond à l'existence d'une charge image positive liée au régime d'inversion côté canal. Elle affaiblit l'action de la grille sur le canal d'inversion par diminution de la capacité totale du système grille/oxyde/silicium (FigureII.13). Cette couche de désertion augmente artificiellement l'épaisseur effective de l'oxyde de grille de quelques Angströms qui correspondent à la courbure de bande dans la grille à l'interface avec l'oxyde [61] (Figure II.14).

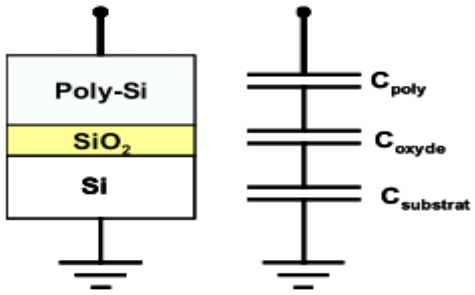



*Figure II.13: Impact de la désertion du Poly-Si sur la capacité totale du dispositif. Si le dopage de la grille est trop faible, la valeur minimum de la capacité de la zone déplétée dans la grille devient comparable à la capacité de l'oxyde de grille .*

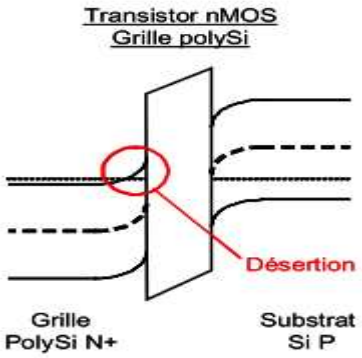



*Figure II.14: Diagramme de bande d'une structure nMOS avec grille polySi:polySi $N^+$/oxyde/substrat Si P.*

La minimisation de la désertion tient dans l'augmentation de la quantité de dopants dans la grille à l'interface avec l'oxyde. Cependant, pour des dopages de grille trop importants, et notamment pour le bore dopant les grilles des PMOS, on peut observer une diffusion des dopants dans l'oxyde, voire même dans le canal. En effet, le bore a plus tendance à pénétrer dans l'oxyde que les dopants de type N, ce qui explique pourquoi le dopage de grille PMOS activé avoisine les $6.10^{19}$ at/cm², alors que celui des NMOS est de $10^{20}$ at/cm² [Josse'99]. Il est possible de remédier à ce problème en utilisant des oxydes nitrurés qui ralentissent cette diffusion. Mais, dans le meilleur des cas, il a été montré [Josse'01] que même pour un dopage élevé, la désertion ne pourra pas descendre en dessous de 4Å pour les nMOS et 6Å pour les pMOS, du fait de la saturation de la concentration active des dopants. Ces valeurs correspondent à une fraction de plus en plus importante de l'épaisseur physique d'oxyde dans les technologies récentes et il va devenir nécessaire de s'affranchir de cette poly-désertion [61].

Pour des oxydes inférieurs à 50Å, cet effet est visible sur une caractéristique C-V (Figure II. 15). En effet, en régime d'inversion, l'épaisseur équivalente totale de l'oxyde de grille vaut:

$$TOxeq = TOx + TDep. \qquad EquII.11$$

Ce qui se traduit par une perte de capacité en inversion par rapport au cas idéal de la grille métallique, sans polydésertion.

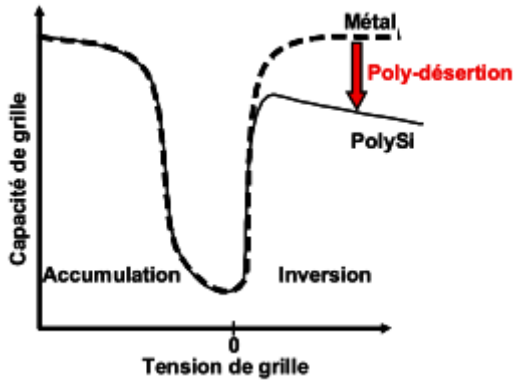



***Figure II.15: Impact de la désertion de grille sur les caractéristiques C-V [61] .***

Ajoutons à cela que lorsque le MOSFET est en fonctionnement, les porteurs sont attirés vers l'interface oxyde-semiconducteur. Les bandes énergétiques de conduction et de valence se courbent sous l'effet de la polarisation de grille, confinant les porteurs dans un puits de potentiel, perpendiculaire au plan de l'interface. Ainsi, lorsque le dopage est suffisamment fort, la largeur de ce puits peut être de l'ordre de grandeur de la longueur d'onde associée aux porteurs, induisant une discrétisation des niveaux d'énergie qui leur sont associés, on parle d'effets quantiques. La distribution de porteurs dans le substrat ne peut plus être considérée comme un gaz électronique 3D, mais comme un gaz 2D [36]. Le résultat est que le pic des porteurs n'est plus situé exactement à l'interface oxyde-semiconducteur mais est décalé de quelques angströms à l'intérieur du substrat. Il apparaît ainsi une zone libre de porteurs à l'interface, e inv , appelée « Darkspace » qui vient également augmenter l'EOT en inversion du dispositif (Figure II.16).

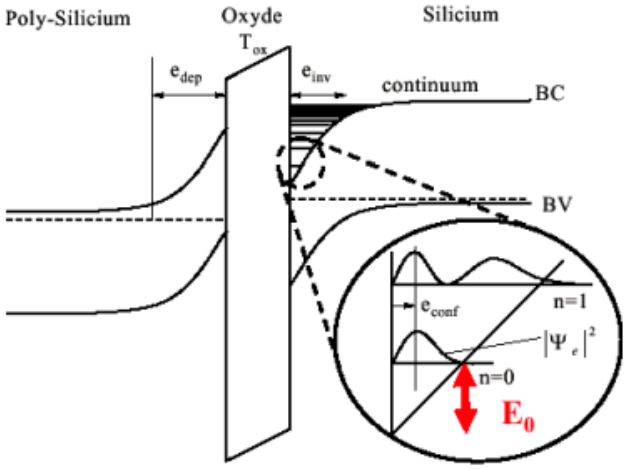



***Figure II.16: Courbure de bande d'un transistor MOS en régime d'inversion. Le régime de désertion dans le polysilicium augmente l'épaisseur effective de l'oxyde de $e_{dep}$. Dans le canal, la courbure de bande provoque la quantification des niveaux d'énergies à l'origine des effets quantiques. Le pic de densité de probabilité de présence des électrons est alors éloigné de e conf de l'interface oxyde-silicium [61].***

Aujourd'hui, les industriels travaillent avec des épaisseurs d'oxyde avoisinant les 10Å et ainsi comparables à cette poly-désertion. C'est ainsi que la grille métallique est devenu une option très intéressante [61].

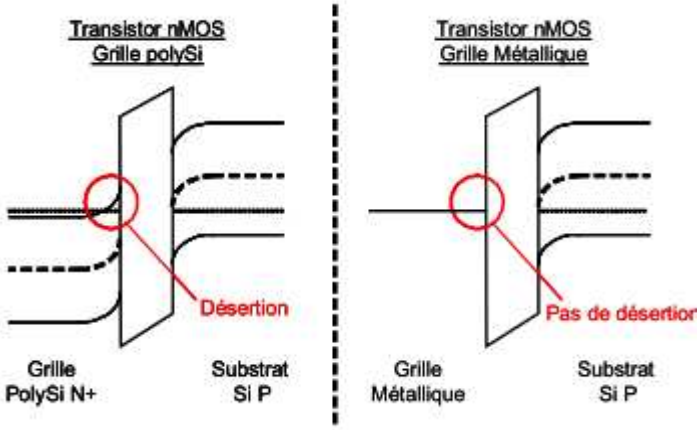



***Figure II.17: Diagramme de bandes d'énergie d'une structure NMOS avec grille en polysilicium en comparaison avec une grille métallique[61].***

Les électrodes métalliques peuvent couvrir presque la totalité de la bande interdite du silicium, Le paramètre clé du choix d'un métal de grille est son travail de sortie. Afin d'utiliser le même métal pour les NMOS et PMOS nécessiterait un métal qui a un travail de sortie Φ m autour du milieu du gap du silicium («Mid-gap »), présentant :

- Une faible résistance de grille.
- Une meilleure intégrité électrostatique au dispositif (effets SCE et DIBL réduits)
- une meilleure conductivité du canal (ION plus élevé)

### II.5.3. Amélioration de la mobilité

#### II.5.3.1. Dispositif à base de Germanium

Le germanium possède de forts avantages notamment grâce à la forte mobilité intrinsèque de ses porteurs et surtout celles des trous. Ce matériau permet de développer des transistors avec une forte mobilité et un très bon fonctionnement à hautes fréquences. Ce matériau est limité par son oxyde natif GeO2 qui reste de très mauvaise qualité ce qui a freiné son développement. Cependant l'avancée des matériaux high-k a permis de résoudre ce problème et le propulse au rang d'un candidat sérieux.
Aussi en raison de la faible masse effective des électrons de la vallée Γ (vallée de plus basse énergie). Les matériaux tels que le GaAs, l'InSb et l'InAs sont intéressants présentant une excellente mobilité qui en fait des candidats prometteurs pour les prochaines générations de transistors [31].

#### II.5.3.2. Contraintes mécaniques

La contrainte mécanique a un impact considérable dans la continuité de l'intégration. Un grand nombre de techniques sont employées aujourd'hui dans la fabrication des transistors. La contrainte mécanique induit des déformations qui modifient les propriétés électroniques en changeant la symétrie du cristal. Elle permet d'augmenter la mobilité donc les performances du transistor. La contrainte à été considérée comme néfaste dans les années 80 [33] [36], car elle générait des défauts ponctuels (lacunes, impuretés.) ainsi que des dislocations qui modifient les propriétés électriques du matériau. Ce n'est que dans cette dernière décennie qu'on a commencé à étudier et à utiliser les contraintes mécaniques à petite échelle pour améliorer les performances du transistor MOSFET. La contrainte modifie la structure de bande du semiconducteur. L'énergie de la bande interdite est modifiée et les dégénérescences de la bande de conduction et de valence sont levées, réduisant la probabilité d'interaction entre les porteurs et les phonons.

La mobilité effective des porteurs s'écrit comme suit :

$$\mu eff = \frac{q\tau}{m*}$$

$1/\tau$ est la fréquence de collisions des porteurs, m* est la masse effective de conduction des porteurs, q est la charge élémentaire.

L'introduction des contraintes améliore la mobilité grâce à la réduction de la masse effective de conduction et/ou de la fréquence de collisions des porteurs. Il existe deux manières d'introduire une contrainte dans le canal du transistor : contrainte mécanique globale ou locale. La contrainte globale peut être introduite par le substrat, la couche du silicium active est alors contrainte sur toute la surface de la plaque. D'autre part, la contrainte peut être introduite localement au niveau du canal lors des procédés de fabrication. L'effet d'une contrainte est différent pour les électrons et les trous. Pour les transistors nMOSFETs, une contrainte en tension est nécessaire tandis que pour les transistors pMOSFETs, la contrainte doit être en compression. Les transistors contraints offrent une grande robustesse au claquage de l'oxyde et une meilleure immunité aux effets de porteurs chauds.

#### II.5.3.3. Introduction de matériaux a haute mobilité

Le besoin d'obtenir un courant trés fort a été traduit par l'integration des matériaux semiconducteurs à haute mobilité, on remplaçant le canal du transistor par le nanotube de carbone, le graphène, qui ce dit actuellement par la naissance de l'electronique moléculaire . Cependant ce transistor à effet de champ est formé par un ou plusieurs nanotubes de carbone qui jouent le rôle du canal. Pour des nanotubes de carbone la longueur est inférieure au-libre parcours moyen, les électrons qui y circulent ne subissent que peu de collision et garde une haute mobilité ce qui se traduit par un transport quasi-balistique tout au-long du canal[65].pour ce qui concerne les transistors à graphène la conduction ce fait sur un seul plan d'atome « 2D »avec une mobilité trés élevée et une fréquence pouvant dépasser les 100 GHz (100 miliard de variation d'électron par second) , le transistor a graphène promet une avancée technologique importante.

## II.6. Architectures avancées

### 1. Dispositif PD SOI et FD SOI

Depuis plusieurs années, les grandes industries microélectroniques commencent à utiliser la technologie SOI pour fabriquer leurs produits. Cette technologie nous permet d'avoir de meilleures performances électriques en réduisant les Effets canaux courts. On distingue deux types de transistors sur SOI. Le PD pour partiellement déserté et FD pour complètement déserté. La différence entre les deux est liée à l'épaisseur du film de silicium. Ces dispositifs permettent de réduire les capacités parasites ce qui améliore les performances en hautes fréquences par rapport au silicium massif. Ils permettent aussi de supprimer les effets de Latch-up, et réduisent considérablement les courants de fuites [31].

Le transistor complètement déplété Une de ces nouvelles architectures est le transistor simple grille complètement déplété (FD, Fully Depleted). Ce transistor FD se distingue du MOS conventionnel ou bulk par son canal de conduction mince et isolé du substrat par une couche de diélectrique enterré (BOX, Buried Oxide). Il tire ainsi son nom du fait que dès l'inversion faible, la totalité du canal de conduction est déplétée, d'où l'utilisation d'un canal mince. A l'heure actuelle, il existe deux possibilités de fabriquer un tel transistor. Les substrats SOI (Silicon On Insulator, silicium sur isolant) ont ainsi été développés pour obtenir ces transistors. Ces substrats sont composés d'une couche de Si relativement mince isolée du substrat par un diélectrique. C'est donc la totalité de la zone active de la plaque qui est isolée, on parle alors de transistors FDSOI (figure II.18.a). Notons que dans la famille des transistors SOI, c'est le transistor PDSOI (PD, Partiellement Déplété) qui a ouvert la voie. Il s'agit d'une architecture de transition entre le bulk conventionnel et le FDSOI, utilisant entre autre une couche de Si plus épaisse. Le canal n'est donc pas complètement déplété, ce qui induit la présence d'un substrat flottant à l'origine d'effets parasites [54].

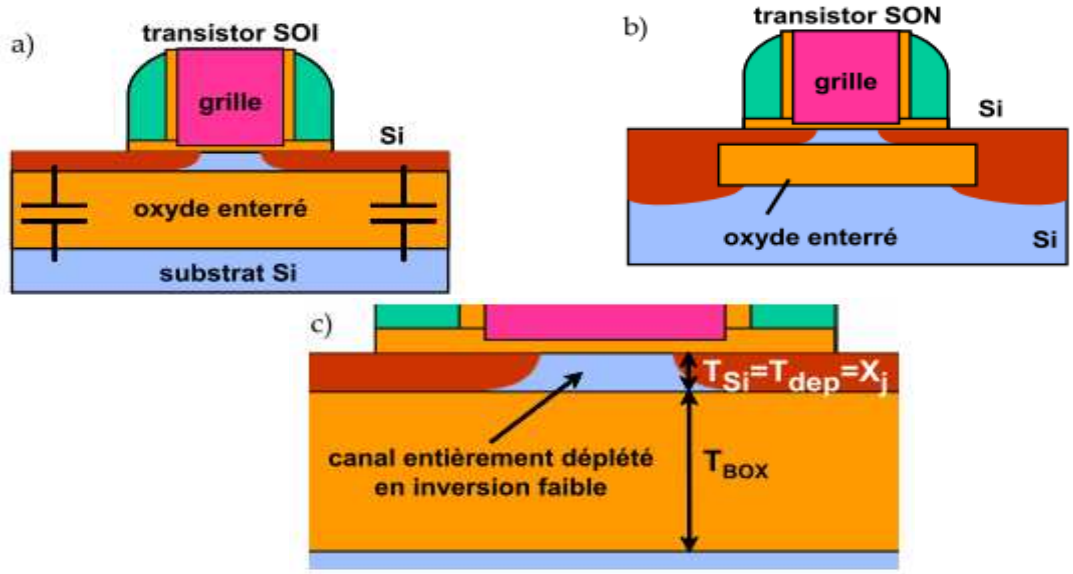
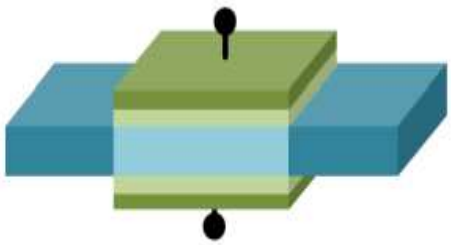



***Figure II.18: Schéma de principe a) du transistor FDSOI, b) du SON, et c) zoom sur le canal et caractéristiques communes aux deux transistors, TSi , l'épaisseur du canal et TBOX, l'épaisseur du diélectrique enterré [54].***

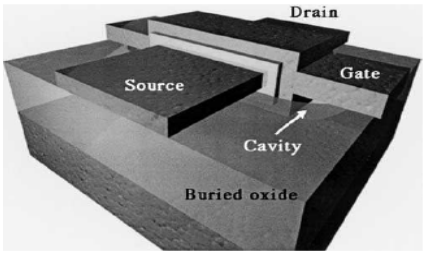
Voir sur la figure II.18.b que le SON se distingue du FDSOI par un oxyde enterré situé uniquement sous la grille et les espaceurs. Ainsi, seul le canal de conduction est isolé du substrat. Pour les dispositifs FD, deux nouveaux paramètres interviennent donc: TSi, l'épaisseur du canal de conduction et TBOX, l'épaisseur de l'oxyde enterré (Buried Oxide, BOX). Ainsi, comme l'illustre la figure II.16.c, la profondeur de déplétion T dep ainsi que X j la profondeur des extensions sont naturellement déterminées par l'épaisseur T Si du canal.

Le transistor FD est donc naturellement plus robuste face aux effets canaux courts que le transistor bulk conventionnel. L'impact de T Si et de TBOX sur le contrôle des effets canaux courts. Ce contrôle intégré des effets canaux cours permet, entre autre, d'alléger fortement le dopage canal afin d'améliorer la mobilité. Un canal non dopé est donc possible en intégrant une grille métallique, qui compense alors, par son travail de sortie, la tension de seuil faible induite par la limitation de Tdep et l'absence de dopage. Le transistor FD permet ainsi d'intégrer la grille métallique mid-gap en l'état actuel sans souffrir d'une tension de seuil trop élevée comme c'est le cas du bulk. De plus, cette réduction de Tdep entraîne aussi une diminution du champ effectif de grille par rapport au transistor conventionnel. Les porteurs subissent alors moins l'effet des rugosités de l'interface Si/SiO2 ce qui améliore la mobilité.

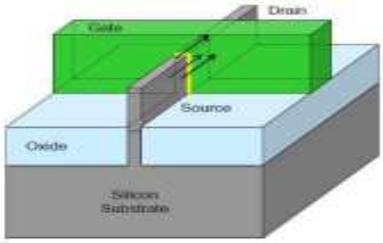
Ils existent plusieurs architectures en 3D (non planaire) avancées qui ont permet l'évolution de la technologie microélectronique comme il est illustré dans la figure II.19.



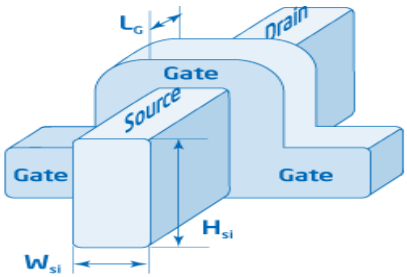
***double grille planaire***




***GAA SOI MOSFET***




***FinFET***




***triple grille***

***Figure II.19: Schéma introduisant les différentes architectures [31].***

# *Chapitre III : Techniques de caractérisations des transistors MOSFET$_S$*

## III.1. Introduction

Afin de faire évaluer le transistor il est important d'étudier qualitativement et quantitativement les différentes caractéristiques associées à chaque technologie. Les techniques de caractérisations permettent aussi le contrôle et le développement des simulateurs introduits dans la microélectronique. Les différentes techniques de caractérisations connus à ce jour sont: I(V) (caractéristique Id(Vg) et Id(Vd), la C(V) (capacité Cgd, Cgs, Cgc), ainsi que les méthodes à courant alternatif comme le pompage de charge et le bruit.

## III.2. Technique I(V)

### III.2.1. Principe

La méthode courant-tension I(V) consiste à mesurer le courant de drain Id (courant circulant dans le canal) en fonction de la tension drain-source $V_d$, ou bien en fonction de la tension de grille $V_g$**.** Le courant de drain varie d'abord proportionnellement à la tension drain-source $V_{ds}$: c'est le régime linéaire. Après une certaine valeur de $V_{ds}$ le courant sature: c'est le régime de saturation (Figure III.1-a) (Figure III.1-b).

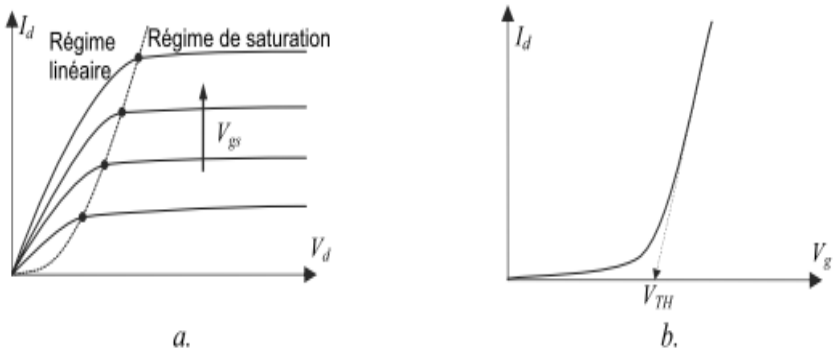
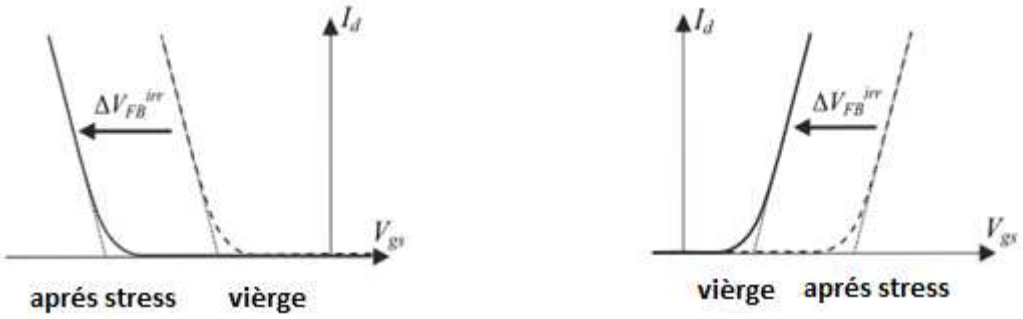



***Figure III.1 : Réseau de caractéristiques du MOSFET sur substrat type P [18].***

La mesure courant-tension permet de visualiser le décalage de ΔVFBirr dû à la quantité de charges déposées par le stress. La Figure III.2 illustre ce décalage pour les deux types de MOSFET.




***MOSFET à canal P sur substrat type N*** ***MOSFET à canal N sur substrat type p***

***Figure III.2 : Représentation schématique du décalage de la tension de seuil due à la présence de charges créées par le stress [18].***

De la caractéristique Id(Vgs) et la transconductance on va extraire les différents paramètres suivants : en forte inversion $V_T$, $\mu_0$,$\theta_1$, $\theta_2$, et en faible inversion S, $I_{on,}$ Ioff, DIBL

### III.2.2. Extraction des paramètres ($V_T$, $\mu_0$, $\theta_1$, $\theta_2$, ΔL et Rsd)

Dans cette partie, nous exposons notre méthode d'extraction des paramètres et présentons les procédures de calcul retenues. Celles-ci sont illustrées à travers l'extraction des paramètres de l'un des transistors étudiés. A noter que la méthode d'extraction proposée peut être facilement implémentée d'un point de vue informatique, à la sortie d'un banc de mesures sur transistors [21].

Nous allons décrire des méthodes simples permettant d'extraire expérimentalement les paramètres tension de seuil, mobilité à faible champ et longueur effective d'un transistor MOS. L'extraction de ces paramètres est une étape fondamentale de la technologie, aussi bien pour comparer l'efficacité d'une filière par rapport à une autre que pour calibrer les outils de simulation circuit [38].

### III.2.2.1. La tension de seuil $V_T$

La tension de seuil $V_T$ est définie comme la tension de grille $V_G$ [39] qu'il faut appliquer pour que le canal du transistor MOSFET commence a conduire le courant entre la source et le drain sous la condition $\square_S = 2\square_F$, a fin de déterminer le point d'inversion dont la densité de charges d'inversion devient égale a la densité de charges de déplétion [39] [31].

Elle est donc répartie en une tension pour ramener la structure en condition de bande plate, une tension pour déserter le canal des porteurs majoritaires et d'une tension pour créer la couche d'inversion forte, son expression est donnée par [39] :

$$VT = VFB + 2f - \frac{Q_{dep}}{C_{ox}} \quad \text{Equ.III-1}$$

La tension de seuil est extraite par les différentes méthodes :

**a) La méthode à courant constant $V_{Tcc}$**

Elle représente la tension de grille pour laquelle le courant de drain en régime linéaire égale à $0.1\mu A \times \frac{W}{L}$

Ce type d'extraction est utilisé dans les études de fiabilité parce que sa détermination est rapide et simple [40].

**b) La méthode de la tension extrapolée $V_{T, ext}$**

$V_T$ ext représente la tension de grille extrapolée linéairement à partir du point d'inflexion de la caractéristique $I_D$ ($V_G$) en régime linéaire au maximum de la transconductance (voir figure ci-dessous

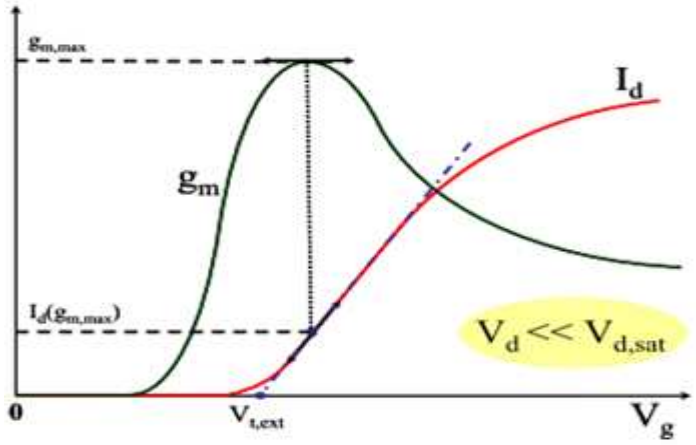



***Figure III.3: Méthode d'extraction de la tension de seuil extrapolé [40].***

$$g\ m\ max = \frac{I_{dmax}}{V_{gmax} - V_{t,ext}} \qquad \text{Equ.III-2}$$

On utilise l'équation précédente on obtient:

$$Idmax = gmmax.\ (Vgmax - Vt - \frac{Vd}{2}).\frac{1+\theta 1\left(V_{g\,max} - V_t - \frac{V_d}{2}\right)+\theta 2\left(V_{g\,max} - V_t - \frac{V_d}{2}\right)^2}{1-\theta 2\left(V_{g\,max} - V_t - \frac{V_d}{2}\right)^2} \qquad \text{Equ.III-3}$$

D' où:

$$Vt, ext\ =\ Vt\ +Vd\ /2 - \frac{\theta_1\left(V_{g\,max} - V_t - \frac{V_d}{2}\right)^2 + 2\theta_2\left(V_{g\,max} - V_t - \frac{V_d}{2}\right)^3}{1-\theta_2\left(V_{g\,max} - V_t - \frac{V_d}{2}\right)^2} \qquad \text{Equ.III-4}$$

Donc :

- Si $\theta 2 = 0$, $V_{T\,ext} = V_1 + \frac{V_D}{2} - \theta 1\ (V_{g\,max} - V_T - V_D/2)^2$ Equ.III-5
- Et si $\theta 1 = 0$ , $V_{T\,ext} = V_T + V_D/2$ Equ.III-6

Donc $V_{T\,ext}$ est une sous-estimation de $V_T$ à partir du moment où le phénomène de réduction de la mobilité et l'effet parasite de la résistance source – drain ne sont pas négligeables.

### c) La méthode fonction Y Guibaudo

L'extraction de la tension de seuil $V_T$ et le paramètre de transconductance $Gm = \frac{W}{L}\mu oCox$ en forte inversion repose sur l'utilisation des caractéristiques $ID/\sqrt{g_m}$ qui s'agit de la fonction $Y(V_G)$ en régime linéaire donnée par :

Cette fonction ne dépend pas du premier facteur de réduction de la mobilité θ1 et des résistances séries côtés source et drain $R_{SD}$ (on suppose que $R_S \approx R_D$) [41].

$$Y(V_g) \approx \sqrt{M_0 V_d}\left[1 + \frac{G_m}{4}(R_d - R_s)V_d\right](V_g - V_t - \frac{V_d}{2}) \qquad \text{Equ.III-7}$$

$$\text{Avec : } M0 = \frac{G_m}{1-\theta_2(V_g - V_t - \frac{V_d}{2})^2} \quad \text{et } G_m = W\mu 0\, COX/L. \qquad \text{Equ.III-8}$$

Si θ2=0 la fonction Y est une droite qui coupe l'axe des abscisses à $V_G = V_{T\,ch} + V_D/2$ d'où

$V_{T\,ch}$ et si θ2≠ 0, la fonction Y devient :

$$Y(V_g) = \sqrt{\frac{G_m V_d}{1-\theta_2\left(V_g - V_t - \frac{V_d}{2}\right)}}(V_g - V_t - \frac{V_d}{2}) \qquad \text{Equ.III-9}$$

Donc $\theta 2$ influe sur la fonction Y (V g), ce qui implique une déviation par rapport à la linéarité des courbes Y (V g) en forte inversion, illustré sur la figure ci-dessous :

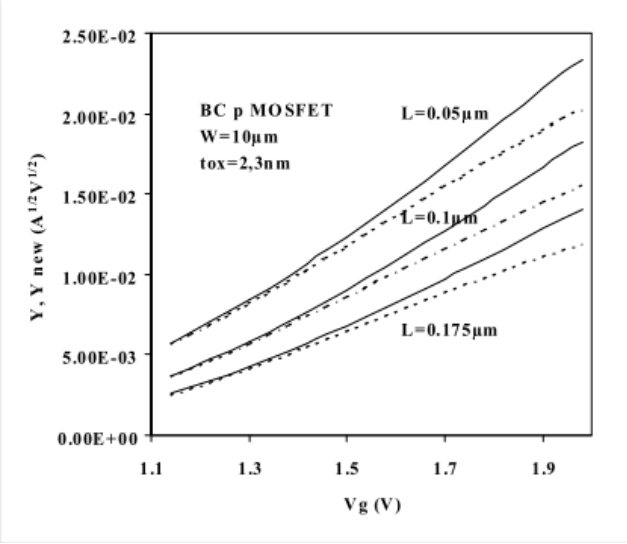



***Figure III.4: Influence du deuxième facteur d'atténuation de la mobilité sur les fonctions Y [41].***

La fonction Y est linéaire en V g Pour des faibles valeurs du deuxième facteur d'atténuation de la mobilité. Les courbes de Y (V g) dans la région linéaire (θ2=0) sont utilisées pour extraire $V_T$ et $G_m$. $V_T$ est extrait par l'extrapolation à Y = 0 de la partie linéaire de la caractéristique, et $G_m$ donné par la pente de Y (V g).

Cependant, les valeurs $V_T$ et $G_m$ sont connues, le facteur effectif de réduction de la mobilité $\theta_{eff}$, est définit par :

$$\theta_{eff}(V_g) = \frac{G_m V_d}{I_d} - \frac{1}{(V_g - V_t - V_d/2)} \equiv \theta_1 + \theta_2.(V_g - V_t - \frac{V_d}{2}) \qquad \text{Equ.III-10}$$

Ce dernier est une fonction linéaire de $V_g$. On peut déterminer θ1 par l'interception de $\theta_{eff}$ avec l'axe Oy et $\theta_2$ en calculant la pente [41].

Dans le cas des transistors avancés $\theta_2 \neq 0$ et l'extraction devient délicate, mais des méthodes d'extraction ont été proposées. Le paragraphe I.6 présentera en détail cette méthode d'extraction de paramètres appelée « Fonction Y » notamment pour extraire la tension de seuil. C'est cette méthode que nous avons utilisée préférentiellement lors de nos études. Nous appellerons donc par la suite dans ce mémoire tension de seuil la tension de seuil de charge calculée par cette méthode [40].

### III.2.2.2. La mobilité

La mobilité des porteurs à faible champ peut être extraite de façon simple à partir de l'équation suivante [41]:

$$\mu = \frac{G_m(L - \Delta L)}{W C_{ox}} \qquad \text{Equ.III-11}$$

### III.2.2.3. Détermination de la longueur effective de canal

La longueur effective de canal peut être extraite en utilisant les tracés de $1/G_m$ (L) (cf.Fig.II.22) selon [41]:

$$\Delta L = \frac{interception(L_{masq}, 1/G_m)}{pente(L_{masq}, 1/G_m)} \qquad \text{Equ.III-12}$$

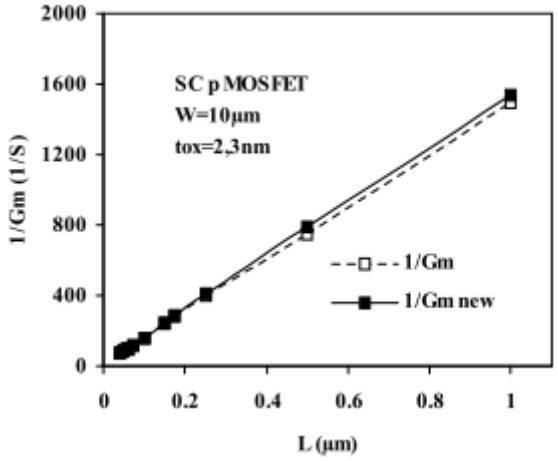



***Figure III.5 Variations de l'inverse de Gm en fonction de la longueur sur masque des transistors [41].***

### III.2.2.4. La résistance série

Pour les transistors de longueur de grille submicronique, les effets de résistances séries sont une cause relativement importante de perte de performance. La résistance totale d'un transistor peut être décomposée en deux parties :

- la résistance du canal de conduction
- les résistances d'accès côté source et côté drain.

Les résistances d'accès sont globalement liées aux jonctions et aux contacts (de source et de drain), ainsi qu'aux interconnexions. Ces résistances d'accès, notées $R_{SD}$, entraînent une chute de potentiel aux bornes réelles du canal (S' et D') et entre source et grille (S' et G) (cf. figure III.5). En supposant $R_D = R_S = R_{SD}/2$ (avec $R_S$ et $R_D$ les résistances séries parasites côté source et côté drain respectivement), on a ainsi [35] :

$$VGS' = VGS - RSD\,\frac{I_D}{2} \qquad \text{Et} \qquad VD'S' = VDS - RSD\,ID$$

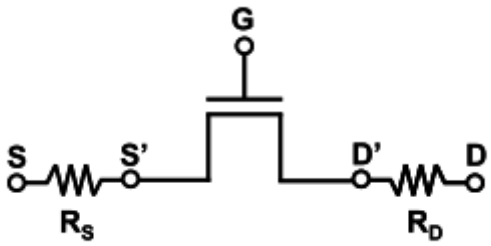



***Figure III.6 : Schéma électrique d'un transistor avec prise en compte des résistances séries $R_{SD}$ [35].***

### III.2.2.5. La pente sous le seuil

Le courant sous seuil est un courant qui circule entre le drain et la source du transistor, alors que la tension de grille $V_{GS}$ est inférieure à la tension de seuil $V_{T0}$. Le comportement de ce courant a évolué au fur et à mesure de l'apparition des technologies submicroniques. Dans une approximation au premier ordre, pour les transistors à canaux longs, le courant sous seuil est donné par l'équation suivante [42] [8] :

$$IDS = \mu COX \frac{W}{L} \emptyset_t^2 \exp\left(\frac{V_{GS}-V_{T0}}{n\emptyset_t}\right)\left(1 - \exp\left(-\frac{V_{DS}}{\emptyset_t}\right)\right) \qquad \text{Equ.III-13}$$

Où: $\Phi t = kT/q$ , $n = 1 + (CD + Cit)/COX$ (en technologie bulk), $C_D$ la capacité de la couche déplétée et $C_{OX}$ la capacité de l'oxyde de grille.

$V_{DS}$ est grande devant $\Phi_t$ ($\Phi_t$ =25mV à 300K), l'expression 2 s'écrit :

$$I_{DSth} = \mu C_{OX} \frac{W}{L} \left(\frac{KT}{q}\right)^2 \exp\left(\frac{q(V_{GS}-V_{T0})}{nKT}\right) \qquad \text{Equ.III-14}$$

La caractéristique du courant sous seuil est généralement représentée par une échelle semi-logarithmique log 10 ($I_{DSth}$) en fonction de $V_{GS}$. Cette caractéristique est par conséquent une droite. S est la pente appelée pente sous le seuil (output swing). Elle est appelée la pente S et est définie comme l'inverse de la pente log($I_{DS}$)=f ($V_{GS}$). Elle est donnée par:

$$1/S = \frac{1}{\frac{\partial \ln(I_{DS})}{\partial V_{GS}}} = \frac{nKT}{q} \ln(10) \qquad \text{Equ.III-15}$$

Plus le facteur 1/S est petit, plus le courant sous seuil sera négligeable pour une tension de grille donnée. Il faut donc minimiser le coefficient d'effet du substrat n qui est proche de 1. On peut minimiser l'effet de substrat en réduisant $C_D$, c'est-à-dire en diminuant le dopage du substrat (expressions 16 et 17)

$$CD = \frac{\varepsilon_{Si}}{W_D} \qquad \text{Equ.III-16}$$

$$WD = \sqrt{\frac{4\varepsilon_{Si}\emptyset_F}{qN_D}} \qquad \text{Equ.III-17}$$

$W_D$ est l'épaisseur de la couche de déplétion dans le substrat, $\Phi_F$ le potentiel de Fermi et ND la concentration du substrat en impureté. La pente sous le seuil s'exprime en mV/de cet correspond à la variation de la tension de grille nécessaire pour augmenter le courant de drain d'une décade. Pour un transistor à canal long et à faible capacité de déplétion et à la température ambiante, l'inverse de la pente est de 60mV/dec. Le courant de drain $I_{DS}$ en faible inversion est exponentiellement proportionnel à la tension grille-source $V_{GS}$. Cette variation est exprimée en définissant une référence de densité de courant d0 =I0 /W0 mesurée à $V_{GS}$ = $V_{T0}$. L'expression peut se mettre encore sous la forme Suivante [8] :

$$IDS\,(V\,GS) = W.\left(\frac{I_0}{W_0}\right).10^{\left(\frac{|V_{GS}|-|V_{T0}|}{S}\right)} \qquad \text{Equ.III-18}$$

Où: W est la largeur de grille du transistor. Il faut noter dans ce cas, que $V_{T0}$ ne représente pas la tension de seuil classique de la forte inversion. $V_{T0}$ est une pseudo-tension de seuil qui est définie comme étant la tension $V_{GS}$ pour laquelle $I_{DS} = I_0$ pour un transistor de largeur $W_0$. $V_{T0}$ est définie par rapport à la référence de densité de courant $d_0$. Pour une tension $V_{DS}$ égale à 0.6V, nous avons varié $V_{GS}$ de 0 à 0.5V et nous avons représenté les courbes Log ($I_{DS}$) = f($V_{GS}$) de la figure III.7

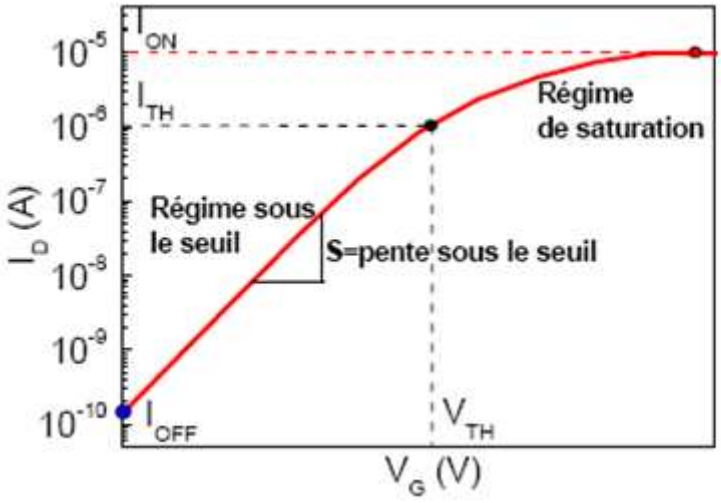



***Figure III.7: la pente sous le seuil (S) [43].***

## III.3. Technique C(V)

### III.3.1. Principe

La mesure C(V) est une technique originale mise au point dès le début des années 60 pour caractériser les capacités Métal Oxyde Semi-conducteur (MOS). Ses avantages sont multiples [38]

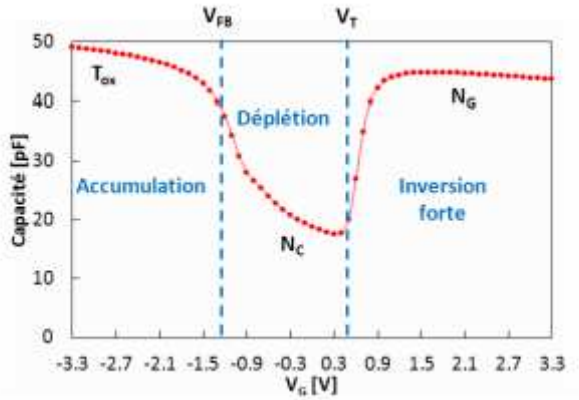



***Figure III.8: Mesure d'une capacité MOS sur substrat de type P en fonction de VG [30].***

• Il s'agit d'une méthode relativement simple à mettre en œuvre, rapide, peu coûteuse et non destructive (contrairement aux mesures physiques telles que l'observation au microscope électronique à transmission). On peut donc l'utiliser pour faire du test statistique (c'est à dire sur un grand nombre de composants et pas seulement sur une ou deux structures).

• Elle permet d'obtenir un grand nombre d'informations sur les caractéristiques électriques de la structure tels que le niveau de dopage du substrat, l'épaisseur d'oxyde, la tension de bande plate, la tension de seuil, et les caractéristiques des défauts de l'interface Si/SiO2 tels que les densités de pièges d'interface et les concentrations de charges piégées dans l'oxyde.

• Contrairement aux mesures électriques traditionnelles (mesures statiques de courant continu en fonction de la tension), on peut l'utiliser sur des capacités MOS et pas seulement sur des transistors MOS. Elle permet donc de séparer la caractérisation de la capacité MOS de celle du transistor MOS, c'est-à-dire de mesurer les paramètres de l'interface Si/SiO2 sans passer par l'étude du transport le long du canal.

### III.2.2. Mesure C(V) à l'aide d'un « LCR meter » (parfois appelé également C(V) haute fréquence)

Cette méthode de mesure consiste à appliquer une tension V g alternative :

$$V\,g(t) = V\,g0 + \Delta V(t) \qquad \text{Equ.III-19}$$

Avec $$\Delta V(t) = \delta V \cos(\omega t) \qquad \text{Equ.III-20}$$

($V_{g0}$ est une tension continue (qui sert à polariser la capacité), et ΔV(t) une variation alternative de tension, de faible amplitude δ V autour de cette valeur moyenne $V_{g0}$) et à mesurer l'impédance Z de la structure à partir du courant de polarisation i(t).On peut relier cette impédance Z à la relation $Q_S$ ($V_g$). En effet, en utilisant la notation complexe, on a :

$$QS\,(V\,g\,(t)) \approx QS\,(Vg0) + \frac{dQ_s}{dV_g}(Vg0)\,\delta V e^{j\omega t} \qquad \text{Equ.III-21}$$

Si δ V est suffisamment faible pour que le développement limité soit correct. Le courant traversant la structure est donc :

$$i\,(t) = \frac{d\left[-Q_S(V_g(t))\right]}{dt} \approx -\frac{dQ_S}{dV_g}\left(V_{g0}\right)\delta V\, jwe^{j\omega t} \qquad \text{Equ.III-22}$$

(Le signe moins est présent à cause des conventions adoptées sur la figure III.9)

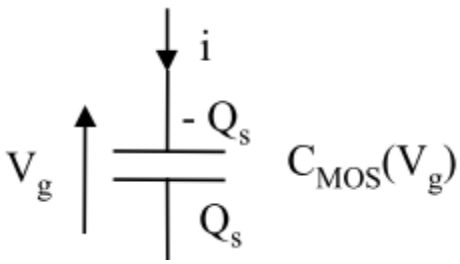



***Figure III.9 : Schéma électrique idéal d'une capacité MOS [38].***

Et l'impédance Z vaut donc :

$$Z(V_{g0}, \omega) = \frac{\Delta V(t)}{i(t)} = \frac{1}{\frac{-dQ_S}{dV_g}(V_{g0})\, j\omega} \qquad \text{Equ.III-23}$$

On a donc bien une dépendance en fréquence du type capacitive (Z = (1/j c ω), à condition de définir la capacité MOS de la structure comme :

$$CMOS\ (Vg0) = -\frac{dQ_S}{dV_g}(V_{g0}) \qquad \text{Equ.III-24}$$

Compte tenu de la dépendance de $Q_S$ avec $V_{g0}$, le signe moins suffit à garantir que sa dérivée $C_{MOS}$ soit une grandeur strictement positive. On peut montrer en outre que cette capacité différentielle peut se décomposer en deux capacités en série: La capacité de l'oxyde $C_{OX}$ et la capacité du substrat $C_S$, égale à :

$$CS = -\frac{dQ_S}{dV_S} \qquad \text{Equ.III-25}$$

On a donc :

$$\frac{1}{C_{MOS}} = \frac{1}{C_{OX}} + \frac{1}{C_S} \qquad \text{Equ.III-26}$$

### III.2.3. Limitation des mesures C(V) à l'aide d'un « LCR meter »

Dans le principe, la mesure de l'impédance de la structure permet donc de remonter directement à sa capacité différentielle, c'est-à-dire à ses variations de charges $Q_S$ autour d'une tension de polarisation $V_{g0}$. Dans la pratique, il faut néanmoins prendre en compte plusieurs autres effets physiques, en particulier :

• l'impédance série parasite, qui sauf à basses fréquences (f<50 Hz) ou hautes fréquences (f >1 MHz), se limite à une résistance série RS.

• le temps de réponse des porteurs à la sollicitation électrique. En effet, l'analyse précédente n'est en toute rigueur correcte que si les variations temporelles du signal $V_g$ (t) sont suffisamment lentes, pour que la charge $Q_S$ coté semi-conducteur ait le temps de s'établir. Les résistances séries ne sont pas toujours négligeables, surtout si on polarise la capacité en utilisant la face arrière de la plaquette. Cependant, on peut facilement extraire expérimentalement la résistance série de la structure en remarquant que pour des hautes fréquences (quelques kHz), l'impédance 1/ (j C ω) devient petite devant RS [18].

## III.4. Technique de Bruit

Cette partie a pour objet l'étude théorique du bruit dans le transistor MOS en basse et moyenne fréquence [44]. L'influence du bruit sur les performances d'un circuit dépend de la fonction électronique réalisée. En détection, le bruit fixe la sensibilité du circuit, c'est à dire le seuil d'intelligibilité du signal. Il est donc important de connaître les origines du bruit et de savoir le décrire pour être en mesure de le prendre en compte lors de la conception des différents dispositifs électroniques.

### III.4.1. Sources de bruit

Les deux sources majeures du bruit dans un transistor MOSFET sont : les sources dites irréductibles et réductibles. Nous allons présenter ces diverses sources de bruit en détail dans les sous paragraphes qui suivent [44] [46].

#### III.4.1.1. Sources de bruit « irréductibles »

**a) Bruit thermique**

Le bruit thermique est une conséquence du mouvement brownien des porteurs dans un conducteur. En 1906, Einstein avait prédit que le mouvement des électrons libres dans les matériaux pourrait conduire à l'apparition d'une force électromotrice fluctuante aux bornes de n'importe quelle résistance qui se trouve en équilibre thermique. La densité spectrale en courant et en tension de bruit thermique s'écrit sous la forme suivante [46] :

Pour une représentation de type NORTON : $SiG = 4.k.T.G$ Equ.III-27
Pour une représentation de type THEVENIN : $SvR = 4.K.T.R$ Equ.III-28

Où k est la constante de BOLTZMANN ($k=1{,}38.10^{-23}$ $J.K^{-1}$), T la température du composant en Kelvin et G sa conductance (R=1/G).

**b) Bruit de Diffusion**

Son origine est la fluctuation aléatoire et spontanée du mouvement des électrons libres avec les particules du réseau cristallin. Ce bruit reste équivalent à un bruit thermique en présence d'un champ électrique E tant que la mobilité des porteurs obéit à la relation d'Einstein [46] :

$$\frac{D0}{\mu 0} = \frac{KT}{q} \qquad \text{Equ.III-29}$$

Où $\mu 0$ est la mobilité à champ électrique nul [I. 6]. Dans ces conditions, la densité spectrale $S_{ID}$ du bruit de diffusion en courant d'un cristal semi-conducteur porté à la température T s'écrit sous la forme :

$$SID\,(f) = 4KTR(Y) \qquad \text{Equ.III-30}$$

R(Y) est la partie réelle de l'admittance du cristal entre les deux contacts où l'on effectue la mesure.

**c) Bruit de Grenaille**

Le bruit de grenaille n'existe que lorsque le courant électrique est collecté sous la forme d'une quantité aléatoire dans le temps de «grains d'électricité» identiques et décorrélés. Cette source de bruit est appelée « Shot noise » en anglais, du fait du nom de W. Schottky qui l'a révélé [46].

Dans les dispositifs semi-conducteurs, elle résulte du passage des porteurs à travers une barrière de potentiel, du type de celle induite par la présence d'une jonction. L'expression de sa densité spectrale s'écrit:

$$SiG = 4KTG(y) - 2qI \qquad \text{Equ.III-31}$$

Où I est le courant traversant la jonction et Y l'admittance de cette jonction. Remarquons que pour une jonction idéale où $G(y)=\frac{qI}{KT}$ la relation III.31 devient alors :

$$SiG = 2qI \qquad \text{Equ.III-32}$$

Et nous constatons que SiG est indépendante de la fréquence ce qui permet de parler de bruit blanc.

### III.4.1.2. Sources de bruit en excès « dites réductibles »

Ce type de bruit est directement lié à la présence de défauts dans les couches de semi conducteur ou à l'interface entre deux couches de semi-conducteur. Le flux de porteurs qui se déplace dans ces zones sous l'action d'un champ électrique se trouve modifié de façon aléatoire ce qui génère un bruit en excès. Et qui se répartit en deux sources [46] [45]:

**a) Bruit de Génération Recombinaison (GR)**

Il s'agit d'un processus spécifique aux matériaux semi-conducteurs caractéristique de la qualité cristallographique du matériau. Il est lié à la présence d'un défaut dans le semi-conducteur qui se traduit par l'existence d'un niveau d'énergie Et dont les fluctuations de l'occupation au cours du temps entraînent celle du nombre de porteurs libres du réseau. Trois processus peuvent être à l'origine de ces fluctuations :

• une capture successive d'électrons de la bande de la conduction et de trous de la bande de valence : ce défaut est appelé centre de recombinaison.

• une émission successive d'électrons et de trous dans la bande de conduction et de valence: ce défaut est appelé centre de génération.

• il s'agit cette fois de l'émission et de la capture alternative d'un même type de porteurs : ce défaut est appelé piège à électrons ou piège à trous.

La densité spectrale de ce bruit s'exprime ainsi par :

$$Si(f) = \frac{I^2}{n^2 V} 4 n_t f_t (1 - f_t) \frac{\tau}{1 + w^2 \tau^2} \qquad \text{Equ.III-33}$$

Où V est le volume du semi-conducteur, n la densité de porteurs de charges et I la valeur moyenne du courant qui le traverse, $f_t$ est une fonction qui rend compte de la probabilité d'occupation du niveau piège par une statistique de Boltzmann [45].

**b) Bruit en 1/f**

Dans la littérature on utilise la notation « bruit en 1/f » pour tous les bruits en basse fréquence. Dans cette gamme de fréquence ce bruit est prédominant. L'origine d'un tel bruit est expliquée par les théories suivantes [46]:

- **Fluctuations du nombre de porteurs de charges**

Ce bruit est dû au piégeage des porteurs de charges au dessous du diélectrique au niveau de la grille. Cette théorie explique la fluctuation du nombre de porteurs de charge par leur piégeage au niveau de l'interface oxyde-grille (Nst), d'où L'apparition d'un bruit dit le bruit en 1/f. Ce dernier est représenté analytiquement par la densité spectrale du courant qui circule au niveau du drain noté SID. Mc Worther définit ce bruit par :

$$S_{V\ gate} \equiv \frac{S_{ID}}{g_m^2} \qquad \text{Equ.III-34}$$

Où $S_{ID}$ représente la densité spectrale du courant du drain donnée par :

$$SID = \frac{K_F q^4 I_D^2}{n^2 KTWLf} \frac{N_{ST}}{(C_{OX} + C_{ss} + C_I)^2} \left(\frac{\mu_{eff}}{\mu_0}\right)2 \qquad \text{Equ.III-35}$$

$C_{SS}$ est la capacité d'interface, $C_D$ représente la capacité de déplétion et $C_I$ est la capacité d'inversion

- **Fluctuation de la mobilité**

Hooge attribue ce bruit à la fluctuation de la mobilité des porteurs de charge. Il développa une formule empirique en fonction de la variation de la résistance. La densité spectrale est donnée par la relation suivante :

$$R_n^2 = \frac{\alpha_H}{N} \frac{R^2}{f} \qquad \text{(coefficient de hall)} \qquad \text{Equ.III-37}$$

Avec N étant le nombre de porteurs de charges libres au niveau du bulk, et H est la constante de Hooge ($\alpha$H =2.10$^3$). Les recherches exécutées démontrent que le bruit en 1/f est dû à la fluctuation de la mobilité des porteurs de charges et non pas au changement du nombre de ces derniers ». Le model unifié : La fluctuation de la mobilité et la variation du nombre de porteurs de charge ont la même origine, d'où leur complète corrélation.

L'exploitation de cette courbe nous affirme que le bruit en 1/f est bien inversement proportionnel à la fréquence et que l'énergie est plus importante dans la région des basses fréquences.

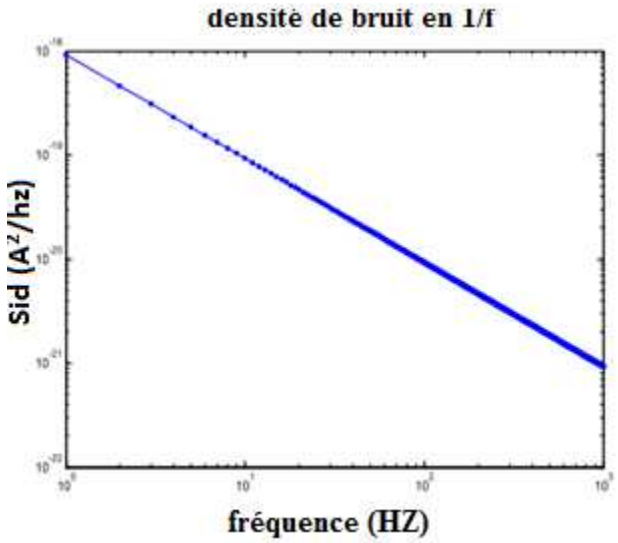



***Figure III.10: Illustration de la variation du bruit en 1/f (model unifié [46]).***

## III.5. Technique de pompage de charges

Le pompage de charge est basé sur la mesure du courant substrat généré par la recombinaison de la charge piégée sur les états d'interface avec la charge présente dans le canal. On peut distinguer deux façons de procéder, en utilisant des signaux à deux niveaux, ou à trois niveaux. Si la première, la plus utilisée, renseigne sur la densité surfacique des défauts, la seconde permet d'obtenir la répartition énergétique de ceux-ci dans la bande interdite. Toutes deux présentent des limitations expérimentales pour les dispositifs à oxydes ultra-minces [22].

### III.5.1. Principe

Pour réaliser des mesures de pompage de charges, il faut donc un système de génération d'impulsions, un oscilloscope pour visualiser ces impulsions et un ampèremètre pour mesurer le courant pompé. De plus, le transistor doit être utilisé comme une capacité à anneau de garde, c'est-à-dire avec la source et le drain connectés au même potentiel. Ainsi, les porteurs minoritaires qui formaient la couche d'inversion peuvent repartir vers les régions de source et de drain par application d'une tension Vr [47].

Le schéma de ce montage est présenté sur la Figure IV. 1 ci-dessous [47].

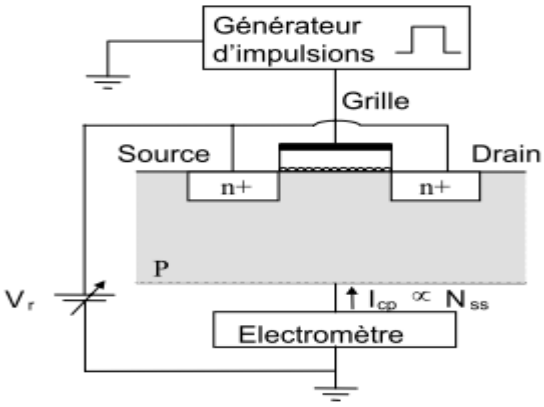



***Figure III.11: Montage expérimental utilisé en pompage de charges [19].***

Le semi-conducteur se polarise en inversion forte et en accumulation par la tension de grille Vg. Les deux situations énergétiques sont représentées à l'équilibre sur la figure III.12 dans le cas d'un transistor à canal n. La portion en gris du dessin représente les états occupés par des électrons [19].

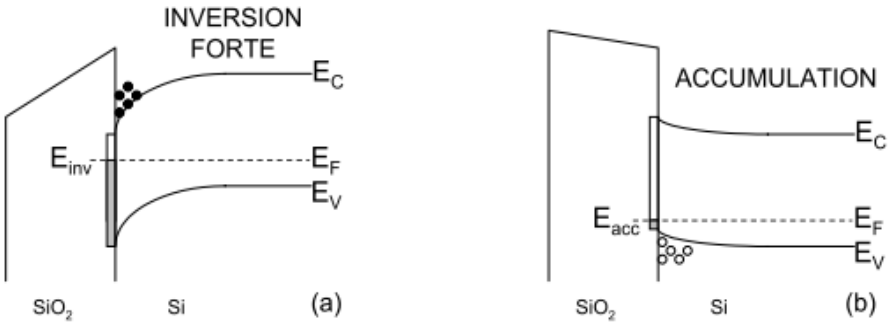



***Figure III.12: Situations énergétiques à l'équilibre (NMOS)***

***(a) inversion forte et (b) accumulation [19].***

En fonction des niveaux d'énergies présentés Figure IV. 2. Brugler et Jespers définissent les expressions de la charge pompée $Q_{CP}$ et du courant pompée $I_{CP}$ Pour déterminer les niveaux d'énergies mis en jeu, prenons le cas d'un NMOS. Pendant l'inversion, ce sont les états d'interface situés sous le niveau Einv qui capturent les électrons (les pièges donneurs, neutres si occupés et chargés sinon). Pendant l'accumulation, ce sont les états d'interface situés au dessus de l'énergie Eacc qui capturent les trous, qui se recombinent alors avec les électrons précédemment piégés (les pièges accepteurs, chargés si occupés et neutres sinon). Cette recombinaison a lieu à chaque période du signal de grille. Ainsi, les états d'interface participant à la recombinaison sont ceux compris entre les niveaux de Fermi en inversion et en accumulation.

L'expression de la charge recombinée à chaque cycle est alors [49][47]:

$$Q_{CP=}AqN_{ss}(E_{inv} - E_{acc}) \quad \text{Equ.III-38}$$

Où A est l'aire de la grille, q la charge élémentaire, $N_{SS}$ la densité de pièges à l'interface.

Cette expression est obtenue en considérant une densité $N_{SS}$ uniforme le long du canal et indépendant de l'énergie.

De la on détermine le courant pompé $I_{CP}$ par :

$$Icp = qAeff\,Fp \int_{Eacc}^{Einv} Nss(E)dE \quad \text{Equ.III-39}$$

$$I_{CP} = fQ_{CP=}Aqf\overline{Nss}(E_{inv} - E_{acc}) \quad \text{Equ.III-40}$$

### III.5.2. Pompage de charge à $\Delta V_{GB}$ constant

Le signal de grille choisi, figure (III.13.b), est de forme rectangulaire ou trapézoïdale et d'amplitude ($\Delta V_{GB} = V_{GBl} - V_{GBh}$) constante. La figure (III.13.a) donne un exemple de courbe en cloche théorique obtenu avec un tel signal [21].

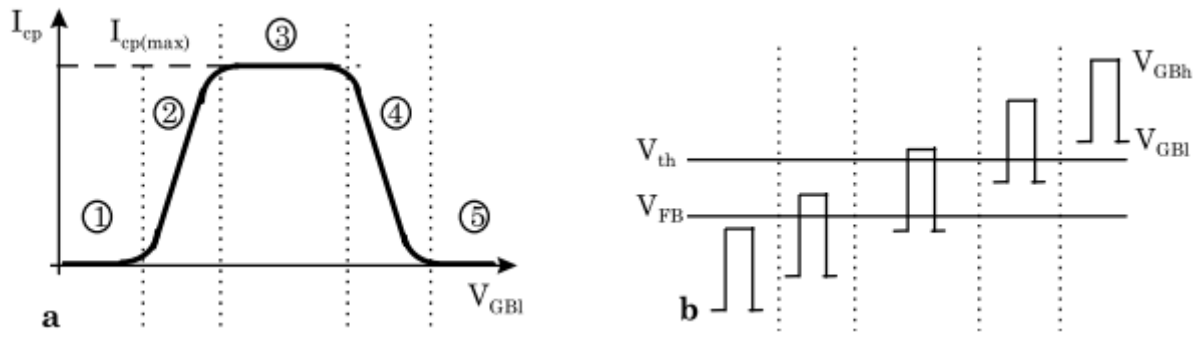



***Figure III.13.a) Représentation schématique d'une caractéristique Icp ($V_{GSl}$) théorique en pompage de charge à deux niveaux à $\Delta V_{GB}$ constant. b). Positions du signal de grille par rapport aux tensions $V_{FB}$ et Vth [21].***

En définissant un tel signal, cinq parties distinctes de la courbe en cloche peuvent être caractérisées :

- Partie 1: la surface du semi-conducteur reste en accumulation pendant tout le cycle puisque $V_{GBh}<V_{FB}$. Le vidage et le remplissage des pièges se fait donc respectivement par capture et émission de trous sans jamais faire intervenir les électrons, rendant ainsi impossible tout phénomène de recombinaison. Les amplitudes des courants d'émission et de capture de trous sont identiques et donc s'annulent.
- Partie 2: situation similaire à celle de la partie à la différence près que le semi-conducteur est en permanence en régime d'inversion forte. Le changement d'état des pièges d'interface se fait alors uniquement par émission et capture d'électrons sans faire intervenir les trous. Il n'y a donc pas de courant pompé.
- Partie 3: c'est la situation analysée au paragraphe précédant. Durant un cycle, le semi-conducteur passe de l'accumulation à l'inversion, ensuite retourne à l'accumulation. La contribution des pièges au courant pompé est alors maximale (pièges compris entre les niveaux d'énergie E em,e et E em,h ).
- Parties 2 et 4: elles correspondent au cas intermédiaire entre les parties 1 et 3 Puis 3 et 5. L'excursion du niveau de Fermi permet à la fois l'émission et la capture de trous et d'électrons. Une portion plus restreinte de la bande interdite est balayée, ce qui limite l'efficacité du phénomène de pompage de charge. Le courant pompé est compris entre 0 et sa valeur maximale obtenue en position 3. Nous supposons implicitement que la durée de l'impulsion est suffisamment longue pour que le niveau Em rejoigne le niveau EF ce qui n'est pas toujours le cas.

La valeur maximale de la courbe en cloche (plateau) permet d'estimer la densité moyenne des états d'interface dans une partie de la bande interdite ainsi que leur section de capture moyenne. Le début des fronts de montée et de descente de la courbe Icp ($V_{GBl}$) correspondent des valeurs proches respectivement de la tension de bandes plates VFB et de la tension V th. Mais d'une manière générale, il est beaucoup plus précis d'extraire ces deux tensions de la caractéristique IDS (VGS) du transistor MOS [21].

Les méthodes de caractérisations des MOSFET$_S$ vont nous servir d'outils a l'analyse et l'extraction des paramètres associés aux mécanismes de dégradation ceci sera étudier dans le chapitre suivant.

.

# *Chapitre IV : Application*

## IV.1. Introduction

Pour mettre en evidence la notion de fiabilité des transistors ils faux faire des experience de vieillissement. Cependant l'ensemble des transistors de test vont subir un dégradation accelérée par l'application d'un champ electrique proche de champ de claquage de l'oxyde en fonction de la durée d'application de ce champ.

Afin de determiner l'ensemble des parametres dégradés, une carractérisation d'un transistor FDSOI en technologie 32nm sont mis en experience.

La degradation de ce type de transistor agit sur les deux interfaces avant et arriere avec un couplage non séparable. En fin les resultats de degradation sont représentés par la variation des parametres du transistor suivant : la mobilité, la tension de seuil, et la pente sous le seuil.

## IV.2. Spécifications du composant

Les dispositifs FDSOI étudiés ici ont été fabriqués par ST Microélectronique croll france. La plaquette initial du dimension 300 mm d'orientation cristallographique 100 SOI UniBond avec une épaisseur de box de 25 nm et d'épaisseur du film actif de 8nm et une épaisseur de HfO2 de 2,2nm et une couche d'oxyde Sio2 de 1.6nm l'épaisseur du métal de grille (TiN) est de 10nm avec un accès au substrat.

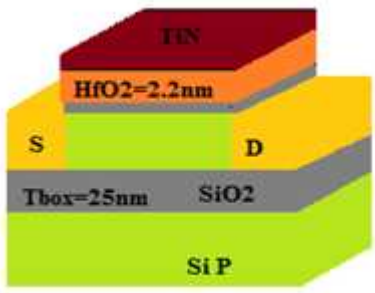



***Figure IV.1 : Le transistor FDSOI étudier.***

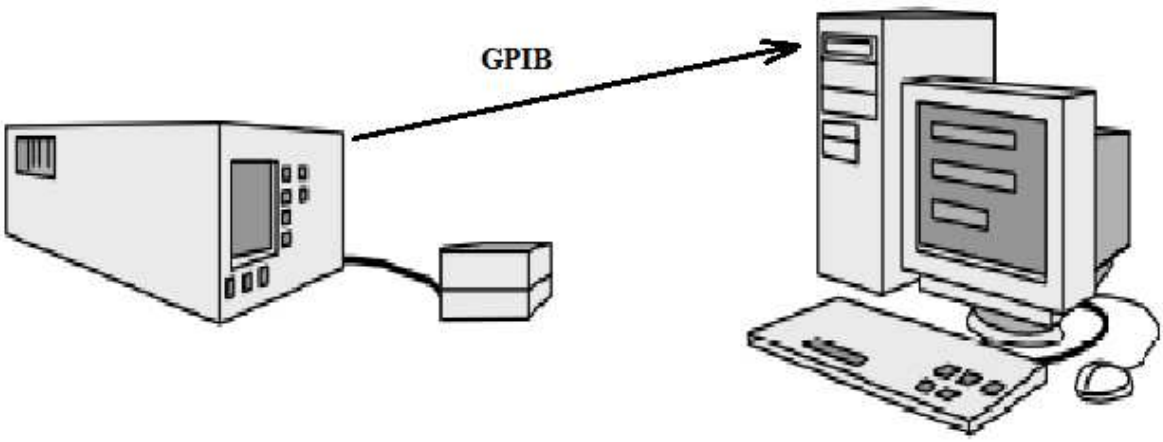
Tox1=1.7nm

## IV.3. L'expérience

Le matériel utilisé pour réaliser l'experience se compose d'un micro ordinateur, communiquant avec l'analyseur de paramètres HP 4155 par le bus GPIB. Le logiciel Labview contrôle les différentes programmations de stress en fonction de temps et la mesure des caractéristiques Id(Vg) parametrées par des situations linéaires et saturé (Vd=50mV,Vd=1V) avec prise en charge de l'effet du substrat (Vb=0V, Vb=5V) pour les NMOS. Les données obtenues pour chaque temps de stress sont enregistrées dans deux fichiers de types text l'un comprend Id(Vg) en linéaire et saturé sans effet du Bulk et l'autre avec effet du Bulk. Le stress ce fait à 25V pendant un temps t, autrement dit on fait une mesure, un stress pendant le temps t, puis une autre mesure jusqu'à la satisfaction de la liste des temps cummulées. Le calcul des temps de stress $t_{stress}= t_{désiré} - t_{précident}$ , la durée totale de l'experience est calculée selon la durée de chaque mesure de l'ordre de 300 seconds et la durée du stress totale : 400*20+1300=9300/60= environ 2heures et 30mn.

t=[0.1,1,2,4,6,8,10,20,40,60,80,100,200,400,600,800,1000,1100,1200,1300].

NB : l'experience a été faite en janvier 2012 a IMEP grenoble France.




**HP 4155 et son boîtier de mesure** **ordinateur**

***Figure IV.2 : Banc de mesures des caractéristiques I DS (V GS ) qui comprend un HP4155 relié à son boîtier de mesures ou à un système sous pointes KarlSuss (non représenté) et un ordinateur pour l'exploitation des mesures.***

.

## IV.4. Traitement de données

Le traitement des données est assuré par le logiciel mathématique « mathcad ». Afin de pouvoir procédés à l'extraction des paramètres, on procéde a la lecture des fichiers de données enregistrées pendant l'experience selon le type et le longueur de grille de transistor.

Une fois le chargement des données est effectuées, une affectation des caractéristiques selon le lexique suivant :

| | | | |
|---|---|---|---|
| **Idlin, gmlin** | **(Vg=0…1.5V** | **Vd=50mv** | **Vb=0v)** |
| **Idlinb, gmlinb** | **(Vg=0…1.5V** | **Vd=50mv** | **Vb=5v)** |
| **Idsat, gmsat** | **(Vg=0…1.5V** | **Vd=1V** | **Vb=0v)** |
| **Idsatb, gmsatb** | **(Vg=0…1.5V** | **Vd=1V** | **Vb=5v)** |

Les courbes Id(Vg) et gm(Vg) pour l'ensemble des temps de stress sont représentés sur les figures IV.3 et IV.4 montrent clairement la dégradation de la mobilité et un décalage de la tension de seuil, ainsi qu'une corrélation de ces effets notament l'écart entre les tensions de seuil avec et sans effet de substrat est identique pour les régimes linéaire et saturé.

On appliquant les méthodes d'extraction de paramètres,

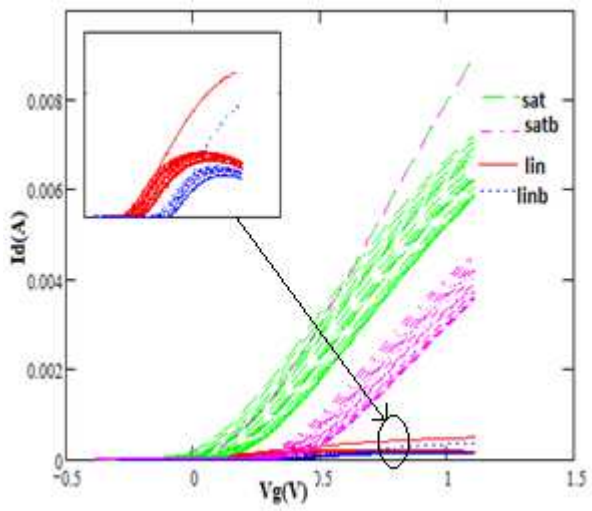



***Figure IV.3 : Les differentes courbes de Ids(Vg).***

dont on observe les décalages des carracteristiques, qui se traduisent par le décalage de la tension de seuil , diminution de la mobilité. qui reflete le gain du transistor montrées sur les courbes de transconductance gm.

Pour l'extraction des paramètres tels que la tansion de seuil et la mobilité (Vth et µeff) une méthode appliquée dite la fonction Y a partir de fonction $Y = \frac{I_d}{\sqrt{gm}}$

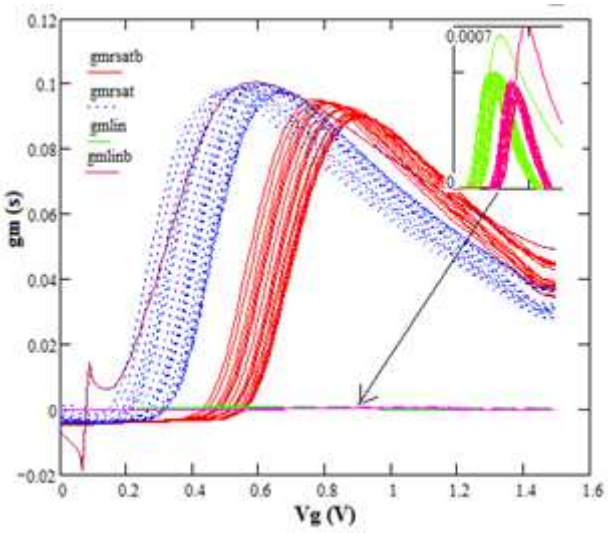
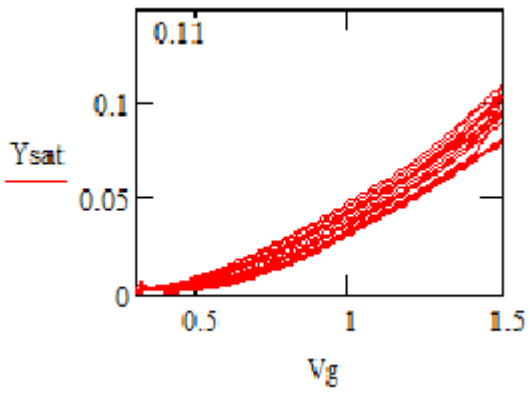
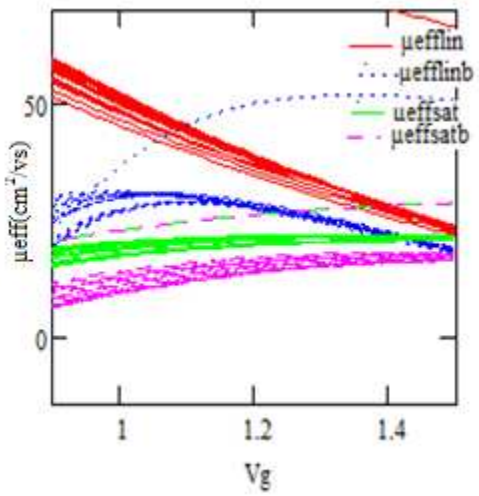



***Figure IV.4 :Les differentes courbes de la transconductance gm en fonction de la tension Vg.***




***FigureIV.5 : La fonction Y en fonction de Vg.***




***FigureIV.6 :Evolution de la mobilité en fonction de Vg paramétré en fonction des temps de stress.***

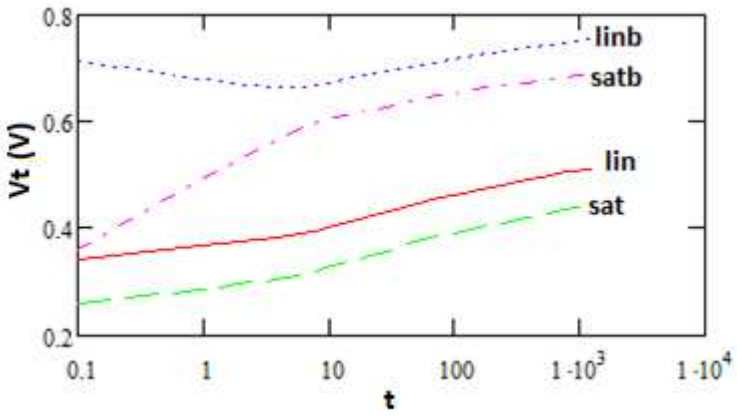



***Figure IV.7 : Evolution de la tension de seuil en fonction de temps de stress***.

Une augmentation de Vt c a d le DIBL ne varie pas en fonction de temps à partir d'un certain temps de seuil pour linb et satb (le dibl augmente a cause du bulk). Et pour les lin et sat le DIBL est conservé.

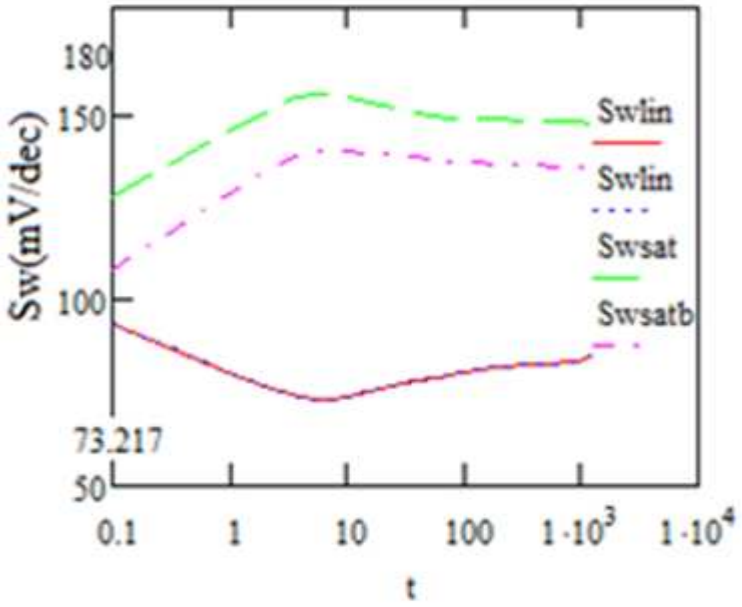



***Figure IV.8 : Dégradation de la pente sous le seuil.***

L'écart entre les pentes sous le seuil est conservé c a d il ya la même quantité de pièges occupés qui est conservés, autrement dit c'est les écarts entres les capacités d'interface qui est conservés pour SW linb et SWlin.

Pour mettre en évidence la dégradation de gm, ceci dit la dégradation de la mobilité représentée sur la figure suivante :

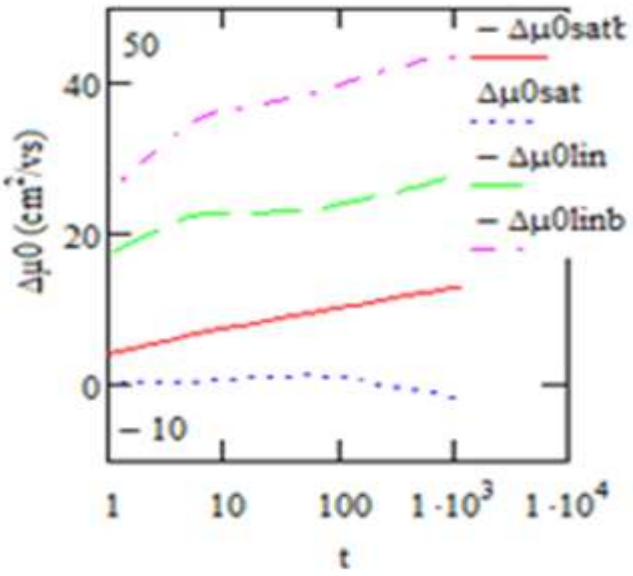



***Figure IV.9 : Variation de la mobilité en fonction de temps.***

Donc :

Agm max = $\frac{W}{L}$ Cox µ0 Vd et $\Delta gm = \Delta \mu$

On observe aussi la dégradation de la pente sous le seuil SW et le décalage de tension de seuil Vt qui montrent l'augmentation des états d'interface

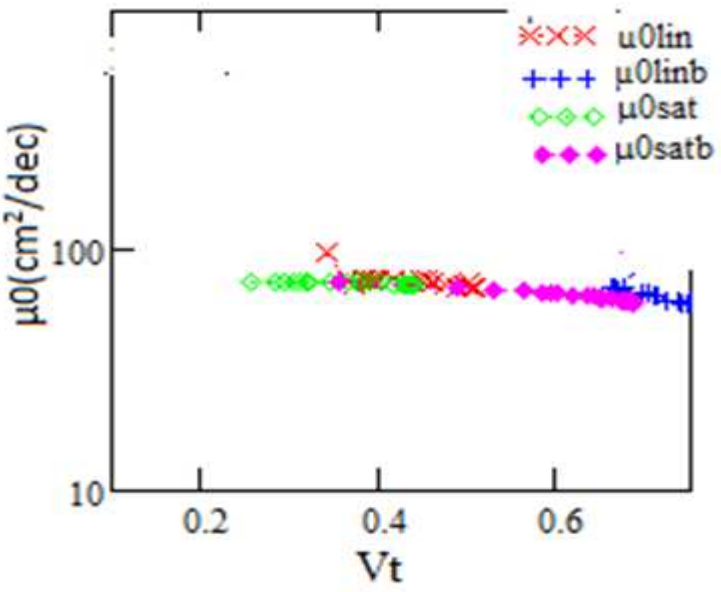



***Figure IV.10 : Evolution de la mobilité en fonction de la tension de seuil.***

ça montre une droite qui montre que la dégradation de la tension de seuil suit la dégradation de la mobilité c a d Quelque soit la variation de la Vt, la mobilité µ reste constante.

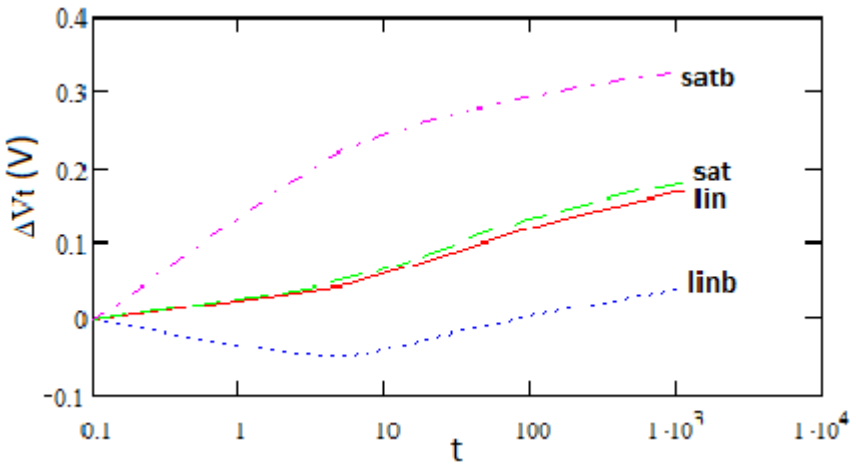



***Figure IV.11 : Variation de la tension de seuil en fonction de temps de stress.***

Pour la modélisation de la tension de seuil on appliquant le modèle de puissance :

$$\Delta Vt \propto t^{n}$$

$\Delta \boldsymbol{Vt} = \frac{q\,\Delta Nit}{cb}$ est vérifié montre l'évolution des états d'interfaces.

Après caractérisation nous avons mis en évidence les différents paramètres dégradés par le stress tels que la tension de seuil Vt, le swing SW=1/S et la mobilité µ.autrement dit pendant les expériences de dégradation par un champ électrique appliqué sur le substrat y a une dégradation de la mobilité et on observe une corrélation pour le cas de la polarisation du substrat (décalage de la tension de seuil).

# *Conclusion générale et perspectives*

De nos jours, la miniaturisation des transistors utilisés dans les procédés de fabrication augmente fortement la probabilité d'apparition des défaillances matérielles. Les méthodes de conception actuelles ajoutent des marges sur les caractéristiques du produit final. Si rien n'est fait au niveau de la conception, les produits deviennent moins compétitifs du fait de ces marges. Il est donc nécessaire d'estimer le vieillissement des dispositifs pendant la conception [57]. Le vieillissement des TMOS est étudié par l'évolution expérimentale de la mobilité à effet de champ µFE (transconductance normalisée en régime ohmique) au cours de contraintes de différentes durées [58].

Dans cette étude nous avons montré une étude en fiabilité des transistors MOS SOI. Dans cette optique nous avons présenté dans ce manuscrit quatre chapitres, dans lesquels nous avons montré la fiabilité des systèmes et ses composants, l'influence de la réduction des dimensions des dispositifs $MOSFET_S$ sur leurs performances, sur les mécanismes de dégradation dans leur structure, sur les méthodes qui permettent d'en caractériser le vieillissement, et enfin une représentation des résultats obtenus lors d'un stress qui permettent de prédire leur durée de vie. Avec un vieillissement accéléré par une tension de grille avoisinant le champ critique (10Mv/cm). Dans ce travail, nous avons réalisé une étude pour la caractérisation d'un FDSOI en technologie 32nm on utilisons la technique I(V). En perspective nous pensons a étudier la dégradation en avant et voir l'effet du couplage.

# *Références bibliographiques*

# Références Bibliographiques


[1] Benoît Dompierre « Fiabilité mécanique des assemblages électroniques utilisant de alliages du type SnAgCu » thèse de doctorat a l'école centrale de Lille Soutenue le 31/03/11 devant le jury d'examen.

[2] Louis GERRER «Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits MOS : Caractérisation et modélisation » préparée au sein de l'Institut de Microélectronique d'Electromagnétisme et de Photonique, en collaboration avec STMicroelectronics dans l'École Doctorale Electronique Electrotechnique Automatique et Traitement du signal, Thèse soutenue publiquement le 12 juillet 2011.

[3] Complementary metal oxide semi-conductor Source: http://fr.wikipedia.org/w/index.php?oldid=89768588 Contributeurs: Archambaud, ArséniureDeGallium, BadGoliath42, Badmood, Bub's, Curry, Daniel*D, DocteurCosmos, Drongou, Ecclecticus, Fab97, Fafnir, Francois Trazzi, Freewol, HB, Hercule, Herman, Jbw, L.C., Lebens, Lenaic, Linedwell, Litlok, Looxix, MagnetiK, Manu fred, Marc Mongenet, Med, MetalGearLiquid, Nono64, Overmac, Palpalpalpal, Pano38, Pld, Pulsar, Rhadamante, Sam Hocevar, Serge Nueffer, SergeMoutou, Sitelec, Speculos, Tangdur, Toutoune25, Versgui, Yves-Laurent, Zedh, Zubro, 18 Modifications Anonymes.

[4] Vincent FARYS « Influence des défauts enterrés dans les masques pour la lithographie Extrême Ultra Violet » DOCTEUR DE L'UNIVERSITE JOSEPH FOURIER DE GRENOBLE Soutenue le 8 décembre 2006.

[5] FATEH GUENAB « Contribution aux systèmes tolérants aux défauts : Synthèse d'une méthode de reconfiguration et/ou de restructuration intégrant la fiabilité des Composants » Doctorat de l'Université Henri Poincaré, Nancy 1(Spécialité Automatique), Soutenue publiquement le 20 février 2007.

[6] Thomas SKOTNICKI « Circuits intégrés CMOS sur silicium » Docteur en microélectronique, Ingénieur de recherche à France Télécom Centre national d'études des télécommunications (CNET) de Grenoble, Ingénieur ST Microelectronics Date de publication : 10/02/2000

[7] JALEL CHABCHOUB « ÉTUDE DE FIABILITÉ D'UN DÉTECTEUR INTELLIGENT DES VAPEURS DE STYRÈNE » UNIVERSITÉ DU QUÉBEC, MAI 1998

[8] SAMED BARNAT « Etude prédictive de fiabilité de nouveaux concepts d'assemblage Pour des "system-in-package" hétérogènes »THÈSE présentée à L'UNIVERSITÉ BORDEAUX I Soutenue le 30 Mars 2011.

[9] R. Isermann and P. Balle. Trends in the application of model-based fault detection and diagnosis of technical processes. Control Engineering Practice, 5(5):709–719, 1997]. (An unpermitted deviation of at least one characteristic property or parameter of the system from acceptable / usual / standard condition.)

[10] [AFNOR. Maintenance - Concepts et définitions des activités de maintenance, Norme NF X 60-010. 1994].

[11] [R. Isermann and P. Balle. Trends in the application of model-based fault detection And diagnosis of technical processes. Control Engineering Practice, 5(5):709–719, 1997]. (A permanent interruption of a system's ability to perform a required function Under specified operating conditions.)

[12] http://fr.wikipedia.org/wiki/Temps_moyen_entre_pannes//

[13] http://fr.wikipedia.org/wiki/Discussion:Temps_moyen_entre_pannes

# Références Bibliographiques


[14] Olivier Gaudoin « Fiabilité des Systèmes et des Logiciels» Grenoble

[15] http://iut-tice.ujf-grenoble.fr/tice-espaces/GEII/mcm1/wupload/MCM1_ch6.pdf

[16] http://chohmann.free.fr/maintenance/mtbf_mttr.htm

[17] MOUY MOUNIA « estimation de la fiabilité d'un système et de ses composants » MAGISTER EN MTHEMATIQUES OPTION Processus stochastique UNIVERSITE MENTOURI Soutenue le: 02/11/2009.

[18] Olivier FRUCHIER Étude du comportement de la charge d'espace dans les structures MOS : Vers une analyse du champ électrique interne par la méthode de l'onde Thermique » U N I V E R S I T E M O N T P E L L I E R I I - SCIENCES ET TECHNIQUES DU LANGUEDOC, présentée et soutenue publiquement le 1 er décembre 2006

[19] Yves MANEGLIA « analyse en profondeur des défauts de l'interface si-sio2 par la technique du pompage de charges » docteur de l'institut national polytechnique de Grenoble, soutenue le 18 décembre 1998.

[20] DELCROIX PIERRE « Étude à l'échelle nanométrique par sonde locale de la fiabilité de diélectriques minces pour l'intégration dans les composants microélectroniques du Futur » DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE, soutenue publiquement le 20 juin 2012.

[21] PASCAL MASSON « étude par pompage de charge et par mesures de bruit basse Fréquence de transistors mos a oxynitrures de grille ultra-minces » l'institut national des sciences appliquées de Lyon, Soutenue publiquement le 13 janvier 1999

[22] THIERRY DI GILIO « Étude de la fiabilité porteurs chauds et des performances des Technologies CMOS 0.13 µm - 2nm » université de Provence, Soutenue publiquement le 20 Octobre 2006

[23] MOHAMED SALAH BENLATRECHE « caractérisation des dispositifs électronique dans les technologies MOS avancées » université m'Hamed Bouguessa Boumerdes, 2012

[24] MADANI HASSAN « caractérisation de l'effet d'irradiation sur les transistors LDD MOSFET par des méthodes basées sur le pompage de charge » université m'Hamed Bouguessa Boumerdes, 2012.

[25] Hazri BAKHTIAR « caractérisation de structures mos submicronique et analyse de défauts induits par irradiation gamma. Extrapolation aux défauts induits dans les oxydes de champs de transistor bipolaire » Université de Metz, École Doctorale : PROMEMA, Soutenue le 16 Novembre 1999.

[26] Joël REDOUTEY « LES TRANSISTORS A EFFET DE CHAMP MOS » centrale Marseille

[27] BENJAMIN KHONG « fiabilité prédictive de composants de puissance soumis a des tests de fatigue accélérée » institut national des sciences appliquées de Toulouse Soutenue le 11 décembre 2007.

[28] file:///D:/Pictures/www/transistor.htm

[29] file:///D:/Pictures/www/Les%20Transistors%20%C3%A0%20Effet0-

[30] YOHAN JOLY « Étude des fluctuations locales des transistors MOS destinés aux applications Analogiques » DOCTEUR DE L'UNIVERSITE DE PROVENCE AIX-MARSEILLE I soutenue publiquement le 16 Décembre 2011

[31] Imed BEN AKKEZ « Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm » DE L'UNIVERSITÉ DE GRENOBLE, soutenue publiquement le 20 décembre 2012.

# Références Bibliographiques


[32] Mickael DENAIS « étude des phénomènes de dégradation de type negative bias temperature instability (nbti) dans les transistors mos submicroniques des filières cmos avancées » L'Université de Provence d'Aix-Marseille I Soutenue publiquement le 09 Septembre 2005.

[33] OLIVIER WEBER « Étude, Fabrication et Propriétés de Transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité » L'institut national des sciences appliquées de Lyon, Soutenue le 14 décembre 2005

[34] KEBIB ABDELAZZIZ « Étude et simulations d'un transistor MOS vertical » Université Abou-Bekr Belkaïd-Tlemcen, soutenue janvier 2013.

[35] SOPHIE BAUDOT « MOSFETS CONTRAINTS SUR SOI : ANALYSE DES DEFORMATIONS PAR DIFFRACTION DES RAYONS X ET ETUDE DES PROPRIETES ELECTRIQUES » L'UNIVERSITE DE GRENOBLE, 15 Décembre 2010.

[36] Rachida TALMAT « Étude des phénomènes de transport de porteurs et du bruit basse Fréquence en fonction de la température dans les transistors $MOSFET_S$ Nanométriques (FinFETs) » UNIVERSITE de CAEN, 7 août 2006.

[37] BELLA MOURAD « influence des effets quantiques sur les caractéristiques de transistors DGMOS nanométrique » université MENTOURI de Constantine, 09 / 06 / 2009.

[38] http://www.cime.inpg.fr/images/caracterisation/TP_ENSPG_2A_mesureCV.pd

[39] Florent Rochette « étude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées » institue nationale polytechnique de Grenoble, 26 septembre 2008.

[40] KRUNOSLAV ROMANJEK « CARACTÉRISATION ET MODÉLISATION DES TRANSISTORS CMOS DES TECHNOLOGIES 50nm ET EN DEÇÀ » institue nationale polytechnique de Grenoble, 9 Novembre 2004.

[41] BOGDAN MIHAIL CRETU « PERFORMANCES ET FIABILITE DES TRANSISTORS MOS SUB0.1µm » institue nationale polytechnique de Grenoble, 6 Janvier 2003.

[42] Z. Rebaoui, D. Chalabi, A. Saïdane, M. Abboun Abid: ENPO Laboratoire CasiCCe BP 1523 Oran El Ménaour 3100 OranCorresponding:dchalabi@yahoo.fr « Comparaison entre un MOSBULK et un MOSiGeOI en Technologie SiGe utilisant le modèle BSIM 3V3.1 PSPICE: Application aux circuits LVDS » Communication Science & technology N° 13. July 2013.

[43] MOHAMED AMIR ABDI « Modélisation de l'inverse de la pente sous seuil des Transistors FETs nanométriques I» Université de Batna Faculté Des Sciences de L'Ingénieur Département d'Électronique.

[44] http://www.memoireonline.com/04/12/5719/m_Modelisation-et-simulation-du-bruit

[45] ABDELALI RENNANE « CARACTÉRISATION ET MODÉLISATION DU BRUIT BASSE FRÉQUENCE DES COMPOSANTS BIPOLAIRES ET À EFFET DE CHAMP POUR APPLICATIONS MICRO-ONDES » Université Paul Sabatier de Toulouse, 17 Décembre 2004.

[46] http://www.univ-tlemcen.dz/these/sahraoui.pdf « Modélisation du transistor MOS en négligeant les effets quantiques. II Modélisation du transistor MOS avec la prise en compte des effets ».

[47] Régis DIAZ « Développement du pompage de charges pour la caractérisation in-situ de nanocristaux de Si synthétisés localement dans SiO 2 par implantation ionique basse énergie et lithographie stenci » l'UNIVERSITÉ DE TOULOUSE, 4 novembre 2011.

# Références Bibliographiques


[48] GUEDDA Hayat « Étude des Effets Indésirables dans les Transistors MOSFETS à Canaux Courts » UNIVERSITE ABOU BEKR BELKAID-TLEMCE Soutenue en 2012.

[49] ANNE HEMERYCK « Modélisation à l'échelle atomique des premiers stades de l'oxydation du silicium : Théorie de la Fonctionnelle de la Densité et Monte Carlo cinétique » UNIVERSITÉ DE TOULOUSE, Le 22 Janvier 2008.

[50] CLEMENT MERCKLING « croissance épitaxiale d'oxydes high K sur silicium pour CMOS Avancé : $LaAlO_3$, $Gd_2O_3$, $\gamma$-$Al_2O_3$ », école centrale de Lyon, 10/10/2007.

[51] GUILHEM LARRIEU « élaboration et caractérisation de transistor MOS schottky en régime nanométrique » université des sciences et technologies de Lille, 9 avril 2004.

[52] Christophe PAVAGEAU « Utilisation des technologies CMOS SOI 130 nm pour des Applications en gamme de fréquences millimétriques » UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE, 14 Décembre 2005.

[53] El Mehdi BAZIZI « Modélisation physique et simulation de défauts étendus et Diffusion des dopants dans le Si, SOI et SiGe pour les MOS avancés » ''UNIVERSITÉ DE TOULOUSE, 30 juin 2010.

[54] DANIEL CHANEMOUGAME « Conception et fabrication de nouvelles architectures CMOS et étude du transport dans les canaux de conduction ultra minces obtenus Avec la technologie SON » l'INSA de Lyon, 16 Décembre 2005.

[55] SORIN CRISTOLOVEANU ET FRANCIS BALESTRA « Technologie silicium sur isolant (SOI) »DOSSIER Techniques de l'ingénieur l'expertise technique et scientifique de Référence e2380, 10/08/2013.

[56] A. C. Ndoye[1], S. Bendhia[1], A. Boyer[1], L. Guillot[2], B. Vrignon[2] (1) INSA, LATTIS, 135 av. de Rangueil, 31077 Toulouse cedex 04 (2) Freescale Semiconducteurs, 134 av. du Général Eisenhower, 31023 Toulouse cedex 01
E-mail: amadou.ndoye@insa-toulouse.fr « DERIVES DU SPECTRE D'EMISSION D'UN COMPOSANT MIXTE APRES VIEILLISSEMENT ACCELERE »

[57] CLÉMENT BERTOLINI « estimation à haut-niveau des dégradations temporelles dans les processeurs : méthodologie et mise en œuvre logicielle » l'université bordeaux 1, 13 décembre 2013.

[58] http://dx.doi.org/10.1051/rphysap:01986002105030500

[59] YANNICK CARRÉ « calcul de la fiabilité d'un système composite selon les dépendances entre les composants » école nationale des sciences géographiques, 17 juin 2004.

[60] cours de monsieur LAKHLEF automatique.

[61] Delphine AIME « MODULATION DU TRAVAIL DE SORTIE DE GRILLES METALLIQUES TOTALEMENT SILICIUREES POUR DES DISPOSITIFS CMOS DECA-NANOMETRIQUES » L'Institut National des Sciences Appliquées de Lyon, 2007.

[62] Nadine Joud Abboud « étude et caractérisation de structures à base de silicium »thèse en cotutelle entre l'université libanaise et l'université Montpellier, le 2 décembre 2011.

[63] BIRAHIM DIAGNE « étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception » l'université LOUIS PASTEUR-STRASBOURG I, 16 novembre 2007.

[64] Théodore NGUYEN « Caractérisation, modélisation et fiabilité des diélectriques de grille à base de HfO2 pour les futures technologies CMOS » L'Institut National des Sciences Appliquées de Lyon, Soutenue le 25 septembre 2009.

[65] Montassar NAJARI « Modélisation compacte des transistors à nanotube de carbone à contacts Schottky et application aux circuits numériques» thèse en cotutelle internationale entre l'universite bordeaux 1 et l'universite de sfax, soutenue le 10 décembre 2010.

# *Table des figures*

## *Liste des figures*

Figure 1 : Premier transistor (1948), premier circuit intégré.

Figure I.1: Allure typique du graphe λ(t) en fonction du temps.

Figure I.2: Courbes de F(t) et R(t).

Figure I.3: Image d'une interface Si-SiO2 prise par un MET.

Figure I.4: Modèle d'oxydation thermique.

Figure I.5: Défauts a l'interface Si/SiO2.

Figure I.6 : Représentation plane du réseau de la silice.

Figure I.7 : Motif de base de la silice.

Figure I.8 : Représentation des pièges.

Figure I.9 : Les différents types de charges de l'oxyde.

Figure I.10: Bande interdite avec pièges à électrons.

Figure I.11: Structures de bandes présentant des pièges d'interfaces sur la structure MOS en régime d'inversion.

Figure I.12 : La pente sous le seuil (S).

Figure I.13 : Représentation schématique du décalage de la tension de seuil due à la présence de charges créées par le stress.

Figure II.1: Représentation schématique d'un transistor MOS canal N.

Figure II.2 : Diagramme de bande d'énergie dans NMOS.

Figure II.3: Mesure d'une capacité MOS sur substrat de type P en fonction de VG.

Figure II.4 : Régimes de modulation de la résistivité du canal par polarisation du drain à trois Régimes.

Figure II.5 : Caractéristique $I_D$ ($V_{GS}$) d'un transistor MOSFET.

Figure II.6: Représentation des effets responsables de la réduction de la mobilité.

Figure II.7 : Distribution de la charge de désertion contrôlée par la grille (Qg) pour les transistors à canal long (gauche) et à canal court (droite).

Figure II.8 : a) Représentation Id(Vg) sous le seuil pour deux tensions de drain b) Principe de l'abaissement de la barrière de potentiel du à la réduction de la longueur de la grille du transistor et la tension du drain.

Figure II.9 : Exemple de Courbes de transfert d'un NMOSFET pour des tensions de drain de

0.1V (Régime linéaire) et 1.5V (régime de saturation).

Figure II.10: Impacts du SCE et du DIBL sur les courants de fuites.

Figure II.11: Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain.

Figure II.12: Illustration de l'intégration d'un diélectrique high-k dans une structure MOSFET permettant de comparer les différents EOT à capacités équivalentes: a)Oxyde de référence SiO2; b) Intégration d'un oxyde high-k; c) Structure réelle.

Figure II.13 : Impact de la désertion du poly-Si sur la capacité totale du dispositif. Si le dopage de la grille est trop faible, la valeur minimum de la capacité de la zone déplétée dans la grille devient comparable à la capacité de l'oxyde de grille.

Figure II.14 : Diagramme de bande d'une structure nMOS avec grille poly-Si : polySi $N^+$/oxyde/substrat Si p.

Figure II.15: Impact de la désertion de grille sur les caractéristiques C-V.

Figure II.16: Courbure de bande d'un transistor MOS en régime d'inversion. Le régime de désertion dans le polysilicium augmente l'épaisseur effective de l'oxyde de $e_{dep}$. Dans le canal, la courbure de bande provoque la quantification des niveaux d'énergies à l'origine des effets quantiques. Le pic de densité de probabilité de présence des électrons est alors éloigné de e conf de l'interface oxyde-silicium [Skotnicki'03bis].

Figure II.17: Diagramme de bandes d'énergie d'une structure NMOS avec grille en polysilicium en comparaison avec une grille métallique.

Figure II.18: Schéma de principe a) du transistor FDSOI, b) du SON, et c) zoom sur le canal et caractéristiques communes aux deux transistors, T Si, l'épaisseur du canal et T BOX, l'épaisseur du diélectrique enterré.

Figure II.19 : Schéma introduisant les différentes architectures.

Figure III.1 : Réseau de caractéristiques du MOSFET sur substrat type P.

Figure III.2 : Représentation schématique du décalage de la tension de seuil due à la présence de charges créées par le stress.

Figure III.3: Méthode d'extraction de la tension de seuil extrapolé.

Figure III.4: Influence du deuxième facteur d'atténuation de la mobilité sur les fonctions Y.

Figure III.5 Variations de l'inverse de Gm en fonction de la longueur sur masque des transistors.

Figure III.6 : Schéma électrique d'un transistor avec prise en compte des résistances séries $R_{SD.}$

Figure III.7: la pente sous le seuil (S).

Figure III.8: Mesure d'une capacité MOS sur substrat de type P en fonction de VG.

Figure III.9 : Schéma électrique idéal d'une capacité MOS.

Figure III.10: Illustration de la variation du bruit en 1/f (model unifié).

Figure III.11: Montage expérimental utilisé en pompage de charges.

Figure III.12: Situations énergétiques à l'équilibre (NMOS).

Figure III.13.a) Représentation schématique d'une caractéristique Icp ($V_{GSl}$) théorique en pompage de charge à deux niveaux à $\Delta V_{GB}$ constant. b). Positions du signal de grille par rapport aux tensions $V_{FB}$ et Vth.

Figure IV.1 : Le transistor FDSOI étudier.

Figure IV.2 : Banc de mesures des caractéristiques I DS (V GS ) qui comprend un HP4155 relié à son boîtier de mesures ou à un système sous pointes KarlSuss (non représenté) et un ordinateur pour l'exploitation des mesures.

Figure IV.3 : Les differentes courbes de Ids(Vg).

Figure IV.4 :Les differentes courbes de la transconductance gm en fonction de la tension Vg.

Figure IV.5 : La fonction Y en fonction de Vg.

Figure IV.6 :Evolution de la mobilité en fonction de Vg paramétré en fonction des temps de stress.

Figure IV.7 : Evolution de la tension de seuil en fonction de temps de stress.

Figure IV.8 : Dégradation de la pente sous le seuil.

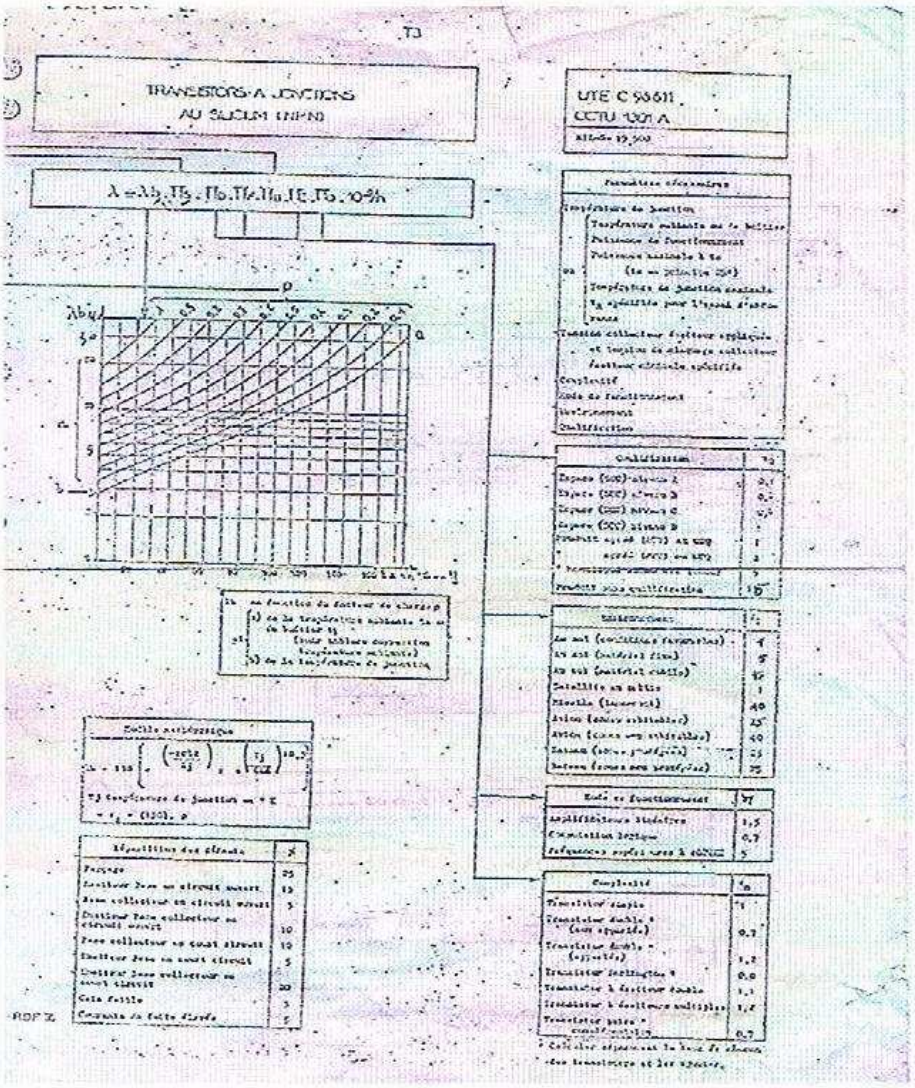
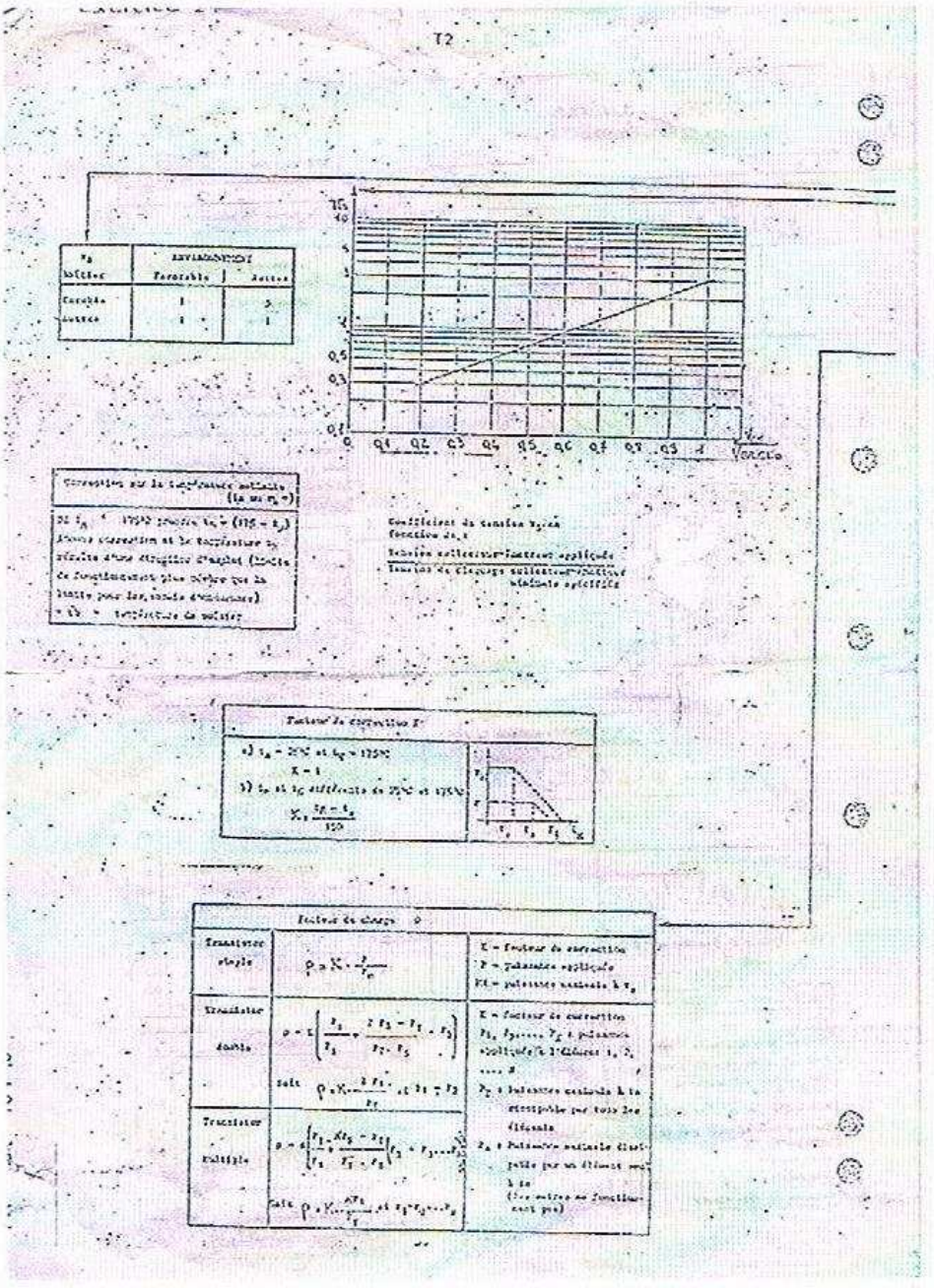
Figure IV.9 : Variation de la mobilité en fonction de temps.

Figure IV.10 : Evolution de la mobilité en fonction de la tension de seuil.

Figure IV.11 : Variation de la tension de seuil en fonction de temps de stress.

# *Annexe*

# *Annexes*


TRANSISTORS A JONCTIONS
AU SILICIUM (NPN)
UTE C 96611
CCTU 1001 A

# *Annexes*