

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITE MOULOUD MAMMARI DE TIZI-OUZOU



FACULTE DU GENIE ELECTRIQUE ET D' INFORMATIQUE
DEPARTEMENT D'AUTOMATIQUE

Mémoire de Fin d'Etudes de MASTER ACADEMIQUE

Domaine : **Sciences et Technologies**

Filière : **Génie électrique**

Spécialité : **Génie Microélectronique**

Présenté par

KATIA MAHIOUT

Thème

L'étude de l'intégration en substrat SC des
matériaux III-V

Mémoire soutenu publiquement le 17/07/ 2017 devant le jury composé de :

Monsieur, A.LAKHLEF, Président

Monsieur, A. BENFDILA Encadreur

Monsieur, T.CHELLI, Examineur

Remerciements

Ce travail n'aurait pas pu être mené à lieu, sans l'aide et le soutien de monsieur A.BENFDILA, je tiens à lui exprimer ma profonde reconnaissance pour tout ce qu'il a fait pour moi : pour son soutien et sa présence, pour ces précieux conseils et pour l'immense importance qu'il ma toujours accordé, merci monsieur.

Je tiens aussi à remercier monsieur A.LAKHELEF pour sa présence et son soutien et pour l'aide qu'il apporté à ce travail.

Je remercie également tous mes autres professeurs pour leurs patiences et pour leurs efforts.

Je ne peux tourner cette page son remercier l'être précieux qui a toujours été à mes cotés et qui ma toujours soutenu et encouragé d'aller toujours de l'avant monsieur M.ALLAF

Enfin, j'exprime ma gratitude et mon immense amour à mes chers et tendre parents pour leurs amour et leurs sacrifices sont limites afin de faire de moi ce que je suis aujourd'hui, alors merci, merci beaucoup je vous aime.

Dédicaces

A mes chers et tendres parents

A mon fiançais

A mon cher frère Salem

A toute ma famille

Et à ma belle famille

Je tiens à remercier toutes personnes que j'ai été amené à rencontrer au cours des années passées, pour leur sympathie, leur générosité, leur sincérité, et leur bonne humeur car ils ont tous contribué au bon déroulement de ce travail.

Sommaire

Remerciement

Dédicaces

Liste des abréviations

Liste des figures

Introduction générale.....1

Chapitre 1 « Généralités sur les matériaux et l'intégration en micro-électronique »

Introduction 3

I. Rappel sur la technologie MOS.....	3
1. description	3
2. le fonctionnement.....	4
3. la structure MOS idéale	4
4. La structure MOS réelle	5
5. L'intérêt de la structure MOS.....	5
II. Introduction aux milieux matériels	6
1. Les catégories des matériaux	6
2. Définitions des milieux semi conducteurs intrinsèques	7
3. Les propriétés des semi conducteurs simples et composés	8
III. Les techniques d'élaboration du silicium	13
1. Réduction de la silice, purification du silicium	13
2. Purification chimique	13
3. Tirage et croissance du cristal	14
4. Découpe des wafers	16
IV. Les techniques d'intégration sur le silicium du dessin de masque à la métallisation	
1. Les dessins de masques	17
2. La photo lithogravure	18
3. Le dopage	22
4. La métallisation	23
V. L'étude de l'oxydation du silicium	

1. l'importance de l'oxydation	26
2. Principe de l'oxydation	26
3. Modélisation de l'oxydation	29
4. redistribution des dopants en cours de l'oxydation	31
5. Techniques d'oxydation rapide (RTO)	32
VI. Conclusion	33
Chapitre 2 : « les matériaux III-V et leurs domaines d'applications »	
1. Introduction	34
I. Les propriétés physiques et électriques des matériaux III-V	34
II. Défis de l'épitaxie des III-V sur Si	40
III. Les différentes stratégies d'intégrations des III-V/Si.....	44
IV. Etude d'un matériau III-V : GaAs	46
V. L'ingénierie du gap	50
VI. Conclusion	52
Chapitre 3 : « la fabrication des composants micro-électroniques à base des matériaux III-V »	
I. Les technologies de la micro-électronique	53
II. Les étapes de fabrication d'un transistor HEMT	58
III. Les étapes de fabrication d'un guide d'onde	62
IV. Les domaines d'applications	68
V. Conclusion	72
Conclusion générale	73
Référence Bibliographique	
Résumé	

Liste des abréviations :

Paramètre	Unité	Description
μ		Mobilité des porteurs de charge dans la couche d'inversion
μ_0		Mobilité des porteurs de charge sous faible champ électrique
C_{ox}	F	Capacité de l'oxyde de grille
E_c	eV	Energie du niveau le plus bas de la bande de conduction du silicium
E_f	eV	Energie du niveau de Fermi dans le silicium
E_i	eV	Niveau d'énergie intrinsèque du silicium
E_v	eV	Energie du niveau le plus haut de la bande de conduction du silicium
g_m	A/V	Transconductance du transistor MOS
I_B	A	Courant substrat
I_D	A	Courant de drain du transistor MOS
I_{ON}	μA ou $\mu A/\mu m$	Courant de drain du transistor MOS mesuré lorsque $V_G = V_D = 1,2V$
I_{OFF}	$\log(A)$	Courant de drain du transistor MOS mesuré lorsque $V_G = 0V$ et $V_D = 1,2V$
L	μm	Longueur du transistor MOS
N_C	$atomes.cm^{-3}$	Concentration de dopants dans le semi-conducteur
N_G	$atomes.cm^{-3}$	Concentration de dopants dans la grille
n_i	m^{-3}	Concentration intrinsèque d'électrons dans le silicium

Q_{it}	$C.m^{-2}$	Charge due aux états d'interface
Q_{ox}	$C.m^{-2}$	Charge fixe équivalente à l'interface Si/SiO ₂
Q_{sc}	$C.m^{-2}$	Charge de la zone de désertion dans le semi-conducteur
S	mV/dec	Pente sous le seuil
T_{ox}	Å	Epaisseur de l'oxyde de grille
$U_T = kT/q$	V	Tension thermodynamique
V_B	V	Tension de polarisation du substrat (Effet « Bulk »)
V_D	V	Tension de polarisation du drain
V_{FB}	V	Flat Band Voltage (Tension de Bandes Plates)
V_G	V	Tension de polarisation de la grille
V_{GB}	V	Différence de potentiels grille-substrat
V_{ox}	V	Chute de potentiel aux bornes de l'oxyde de grille du transistor MOS
V_S	V	Tension de polarisation de la source
V_T	V	Tension de seuil du transistor MOS
W	μm	Largeur du transistor MOS
ϵ_{ox}	$F.m^{-1}$	Permittivité électrique de l'oxyde de grille
ϵ_{Si}	$F.m^{-1}$	Permittivité électrique du silicium

η		Facteur de pente
θ_1		Premier facteur de réduction de la mobilité
θ_2		Deuxième facteur de réduction de la mobilité
Φ_f	V	Potentiel de volume dans le semi-conducteur
Φ_{ms}	V	Différence des travaux de sortie aux bornes de la structure MOS

Chapitre 1 :

FIG I.1 La structure MOS	3
FIG I.2 La structure Métal-Oxyde-Semi-conducteur idéale	4
FIG I.3 Structure MOS réelle	5
FIG I.4 Structure en bandes d'énergies	6
FIG I.5 Exemple des semi conducteurs	8
FIG I.6 maille élémentaire de type diamant du silicium	9
FIG I.7 Représentation schématiques des bandes d'énergies du solide	10
FIG I.8 Représentation schématique des niveaux d'énergies du silicium	11
FIG I.9 Représentation schématique de conductivité thermique	11
FIG I.10 Electrolyse de la silice permettant d'obtenir du silicium fondu de qualité métallurgique	13
FIG I.12 Techniques de croissance et de tirage	14
FIG I.13 Cristallisation et purification par la méthode de fusion de zone (FZ)	15
FIG I.14 Techniques zones flottante	16
FIG I.15 Découpe des wafers.....	16
FIG I.16 Dessin de masque de deux transistors NMOS	17
FIG I.17 Techniques de correspondance entre les dessins de masques.....	18
FIG I.18 Résine photosensible appliquée sur une plaquette	18
FIG I.19 Insolation par contact.....	19
FIG I.20 Insolation par proximité	19
FIG I.21 Insolation par projection.....	20
FIG I.22 Insolateur à canon à électrons	20
FIG I.23 Bain pour la gravure humide	21
FIG I.24 Four de gravure sèche	21
FIG I.25 Différence entre gravure isotropique et anisotropique	22

FIG I.26 Oxydation du Silicium. Une partie du substrat a été consommée	
lors de l'oxydation	27
FIG I.27 Effet d'une oxydation localisée du Silicium. L'augmentation de volume crée un relief à la surface de la plaquette	28
Figure I.28 Oxydation thermique avec de l'oxygène ou de la vapeur d'eau. On peut aussi fabriquer la vapeur d'eau à partir d'une torche à hydrogène brûlant en présence d'oxygène	28
FIG I.29 Modèle de base pour l'oxydation thermique. On met en œuvre les 3 flux de l'espèce oxydante en phase gazeuse, dans l'oxyde et à l'interface Si/SiO₂ (d'après la loi de DEAL et GROOVE)	29
FIG I.30 Redistribution des dopants dans une couche de silicium en cours d'oxydation. L'interface du côté Silicium s'enrichit en Phosphore ou s'appauvrit en Bore	32
FIG I.31 Réacteur d'oxydation thermique rapide dont le chauffage est obtenu par rayonnement de lampes halogènes. La durée de ces oxydations rapide est de l'ordre de la minute	32
 Chapitre 2 :	
FIG II.1 Extrait de la classification périodique des éléments	34
FIG II.2 Propriétés des principaux composés binaires III-V à 300 K	35
FIG II.3 Evolutions de l'énergie de bande interdite et du paramètre cristallin des alliages de composés III-V	35
FIG II.4 Mailles cristallographiques des structures Diamant et Zinc Blende	36
FIG II.5 a) première zone de Brillouin d'un cristal Zinc-Blende, b) plans et directions cristallographiques d'un substrat de GaAs	37
FIG II.6 structure de bandes du phosphore d'indium au centre de la zone de Brillouin	40
FIG II.7 phénomène d'ionisation par choc (e_i^- : électron à l'état initial, e_f^-:électron à l'état final, e_s^- : électron secondaire créé, e_s^+ : trou créé)	41
FIG II.8 Structures cristallographiques a) « Diamant » et b) Blende de zinc	41
FIG II.9 Image TEM d'une couche de GaAs épitaxiée sur Si	41
FIG II.10 Formation d'une paroi d'inversion sur une surface atomiquement plane ...	42

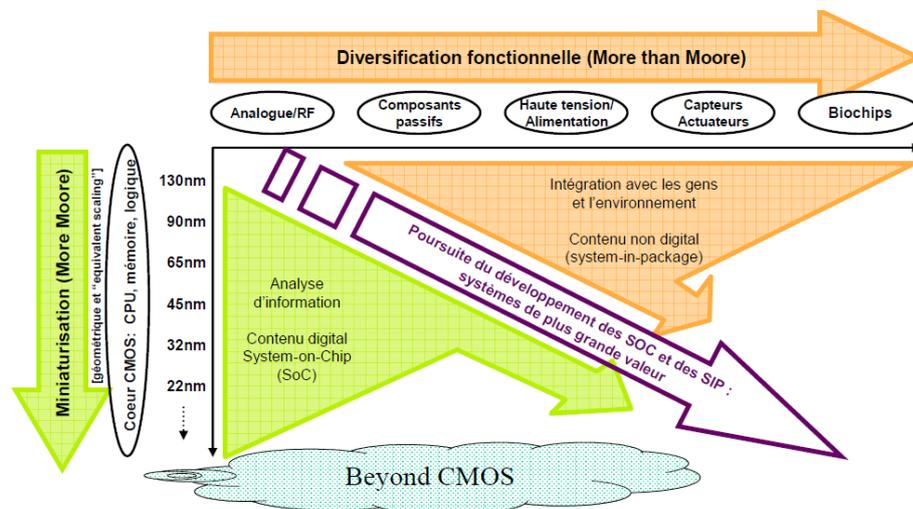
FIG II.11 Deux orientations possibles du cristal III-V. En bleu les atomes III et en rouge les atomes V.....	43
FIG II.12 Formation d'une paroi d'inversion sur une surface atomiquement plane ...	43
FIG II.13 Coupe transverse au MET (Microscope Electronique de Transmission) d'un pseudo-substrat graduel de Ge/SiGe/Si désorienté : présence de fissures dans la couche de Ge et la couche graduelle de SiGe $\alpha_{Ge}=5.9 \times 10^{-6} K^{-1}$, et $\alpha_{Si}=2.5 \times 10^{-6} K^{-1}$.	44
FIG II.14 Les 4 étapes de la technologie « Smart Cut : la coupe intelligente »	46
FIG II.15 Maille cristalline de l'arséniure de gallium	47
FIG II.16 Propriétés du GaAs à température ambiante (300 K)	49
FIG II.17 Propriété physique de GaAs	49
FIG II.18 diagrammes schématiques montrant les différents types d'hétérojonction	51
FIG II.19 représentation des bandes de conduction et de valence d'un HEMT AlInAs/GaInAs adapté en maille sur InP comportant un plan de dopage	51
Chapitre3 :	
FIGIII.1 photolithographie par contact d'un niveau "méso" sur un niveau de métallisations en résine positive	54
FIG III.2 technique du lift off : a) résine plus épaisse que le métal avec un profil de résine sous-gravé, b) résine moins épaisse que le métal avec un profil de résine sous-gravé, c) résine moins épaisse que le métal avec un profil de résine qui n'est pas sous-gravé, d) profil en casquette généralement utilisé.....	55
FIG III.3 synoptique des procédés de réalisation d'un HEMT submicronique	58
FIG III.4 contacts ohmiques	59
FIG III.5 transistor à effet de champ à grille Schottky, le MESFET	60
FIG III.6 Mécanisme de passivation d'un acier inoxydable : les atomes de chrome dans l'acier réagissent avec le dioxygène de l'air et forment une couche protectrice d'oxyde de chrome	61
FIG III.7 Schéma de fonctionnement d'un bâti d'épitaxie par jet moléculaire	62
FIG III.8 Etapes de fabrication des guides sur semi-conducteur par photo lithogravure	64
FIG III.9 Gravure ionique réactive (RIE) sur semi-conducteur III-V	65

FIG III.10: Epitaxies retenues pour réaliser les convertisseurs TE/TM	67
FIG III.11 Gravure chimique sur semi-conducteur III-V	68

GORDEN MOORE qui été un des cofondateurs de la société Intel avait affirmé une multiplication par 2 du nombre de transistors par puce tous les 18 à 24 mois.

Il en déduisait que la puissance des ordinateurs allait croître de manière exponentielle et ce pour des années, Cette loi alors s'est imposée comme un modèle économique décrivant l'évolution technologique des circuits intégrés.

Mais comme on dit toujours les plus belles choses on toujours une fin car 1997 MOORE avait déclaré que cette croissance des performances des puces se heurterait à une limite physique c'est pour ça que les industriels se sont consacrés depuis les années 60 à la poursuite de la miniaturisation des transistors Néanmoins, à partir de la fin des années 90, une nouvelle voie particulièrement prometteuse est apparue, qui consiste à intégrer plusieurs technologies sur une même puce. Par ailleurs, conscients que la technologie CMOS atteindrait un jour ses limites physiques, de nombreuses équipes de recherche s'intéressent à « l'après CMOS » et essaient d'inventer une nouvelle électronique.



Les trois voies de recherche dans le secteur de la microélectronique

La recherche ne cessera jamais dans le domaine technologique et les inventions aussi ne cesseront jamais de monter, et l'une des tournures technologique vers la quelle les scientifique se sont tourner un jour est belle et bien l'étude des matériaux III-V.

Le domaine des matériaux III-V est un domaine vaste et très promoteur et ce modeste mémoire n'est qu'un témoignage simple sur les opportunités de ces derniers.

Et comme je viens de le cité, mon thème porte nom sur l'intégration des matériaux semi conducteurs composés III-V, et pour arriver à intégrer mon thème dans ce mémoire j'ai commencé dans le premier chapitre à introduire l'étude sur la technologie MOS vue que cette dernière est une superposition de métal et d'oxyde avec un semi conducteur et que aussi cette structure est l'élément de base d'un transistor MOSFET, cette étude consiste à citer les différent mode de fonctionnement de cette structure pour arriver ainsi à citer l'intérêt technologique de cette ingéniosité d'utiliser les semi conducteurs.

Puis j'ai parlé sur les différents semi conducteurs qui peuvent existés avec leurs différentes propriétés et techniques utilisées pour les avoirs et l'intégration dessus tels que les techniques d'élaboration et d'intégration et d'oxydation du silicium.

Au deuxième chapitre j'ai effectué une étude sur les matériaux III-V en parlant sur leurs différentes propriétés physiques et électriques tout en introduisant l'ingénierie du gap qui représente l'étude essentielle lors de l'étude des matériaux III-V puis j'ai effectué une étude sur l'un de ces matériaux qui est l'arséniure de gallium en essayant de parler sur toutes ces propriétés tout en faisant une étude comparative entre lui et le silicium conventionnel pour arriver ainsi à distingué les atout de ces matériaux pour savoir pourquoi on est passé aux III-V.

Puis mon thème a pris une autre destination dans le troisième chapitre car ce dernier représenté les différentes techniques de croissances des III-V, alors il fallu faire l'étude sur les défis de l'épitaxie des III-V sur Si pour ainsi parler sur les différentes stratégies d'intégration de ces derniers.

Enfin, Dans ce chapitre j'ai essayé de faire une étude sur les étapes de fabrication d'un transistor fait a base de matériaux III-V car ce dernier peut être l'objet pour réaliser d'autre composants tel un inverseur ou un amplificateur de toute les façons quelque soit ce qu'on fabrique il faudra toujours passer par l'étude du transistor sur le quel ce dernier est imbriquer afin de faire ressortir toutes ces propriétés pour les explorées.

Enfin j'ai terminé mon projet sur une conclusion générale, que je souhaite soit un appelle morale car la technologie sans morale ne vaux rien à mes yeux.

Chapitre 1

**«Généralités sur les matériaux et
l'intégration en microélectronique »**

Introduction :

Dans ce premier chapitre nous allons tout d'abord parler sur la technologie MOS, l'intérêt d'effectuer ceci est que la structure (Métal, oxyde, semi-conducteur) est le pilier de base sur lequel est imbriquer le transistor MOSFET.

Si on arrive a bien comprendre cette technologie se serai facile pour nous de maitriser tout effet indésirable et ainsi cerner son fonctionnement.

Puis on fera une étude sur les semi-conducteurs, afin d'arriver à intégrer les matériaux III-V qui représente l'intérêt de notre étude et d'arriver à parler sur les différentes techniques d'applications sur les semi-conducteurs tel que l'oxydation et l'intégration.

I. Rappel sur la technologie MOS :

1. Description :

La structure M.O.S (Métal Oxyde Semi-conducteur) est une structure du type M.I.S (Métal Isolant Semi-conducteur), structures réalisées en 1970 et qui résulte d'une différence de potentiel au bord de l'oxyde à cause de la différence des travaux de sortie, et elles sont devenues le composant fondamental de l'électronique moderne. Et depuis on observe une augmentation du nombre de structures intégrées sur une même puce. Elles sont l'élément de base de réseaux denses adressables capable de remplir des fonctions variées telle que la détection d'image, le stockage de données, les opérations logiques, le traitement des signaux. La réalisation d'une structure MOS est simple : la surface du semi-conducteur est oxydée thermiquement pour former une couche d'isolant (SiO_2) de 10 à 50 nm avec une densité minimale de pièges à l'interface isolant-semi-conducteur. Les contacts électriques sont réalisés par dépôts métalliques ou par des couches de silicium poly cristallin fortement dopées appelées "poly silicium".

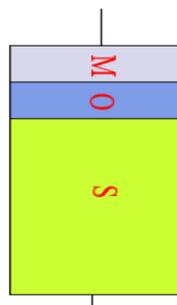


FIG I.1 La structure MOS.

Quand on applique une tension V_G sur la grille, elle se décompose en une différence de potentiel V_i supportée par l'isolant et un potentiel de surface V_s à l'interface isolant-semi-conducteur. On a toujours : $V_G = V_i + V_s(V)$.

2. Fonctionnement :

Quand on applique une tension V_G sur la grille de la structure définie précédemment, on va obtenir trois modes très différents de fonctionnement :

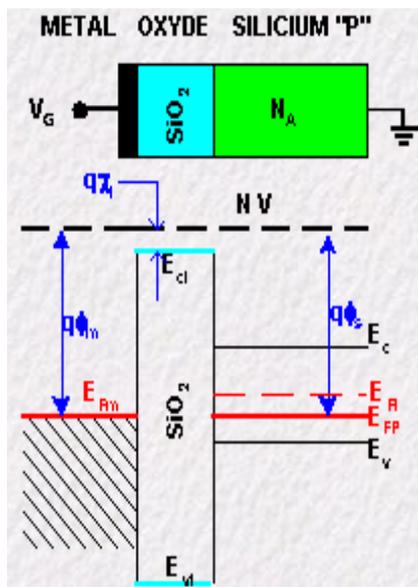
- **l'accumulation** : est défini pour toutes les tensions inférieures à V_{fb} (tensions des bandes plates).
- **la désertion (déplétion)** : est le régime pour lequel les tensions appliquées attirent les trous vers la surface et repousse les électrons vers le substrat.
- **l'inversion** : le régime a lieu pour les tensions comprises entre V_i et la tension de seuil V_{th} où la concentration des trous est identique à la concentration précédente des électrons.

La tension de seuil est la tension pour la quelle la première couche (une seul surface) **apparaisse**. Une fois la tension de seuil est atteinte le **nombre de concentration de porteurs inversés est la même que celle des porteurs d'origines**.

Pour toute valeur supérieur à V_{th} la couche d'inversion s'épaissie et garde la même concentration du porteur.

3. La structure MOS idéale :

L'analyse de la structure MOS se fait à base d'une **structure idéale** :



Cette structure est définie comme suit :

1. $Q_{ms} = Q_m - Q_{sc} = 0$ ($V_{fb} = 0$).
2. L'isolant (oxyde est vide de défauts et a une résistance infinie)
3. Il n'ya aucun défaut dans la bande interdite du semi conducteur.
4. Il n'ya aucun défaut dans l'interface semi conducteur et isolant.
5. $C_{ox} = \frac{\epsilon_{ox}}{d_{ox}}$ en F/cm.cm

La capacité peut être mesurée en appliquant un signal continu dont l'amplitude varie en rampe où un signal alternatif est superposé à un signal continu.

FIG I.2 La structure Métal-Oxyde-Semi-conducteur idéale.

4. La structure MOS réelle :

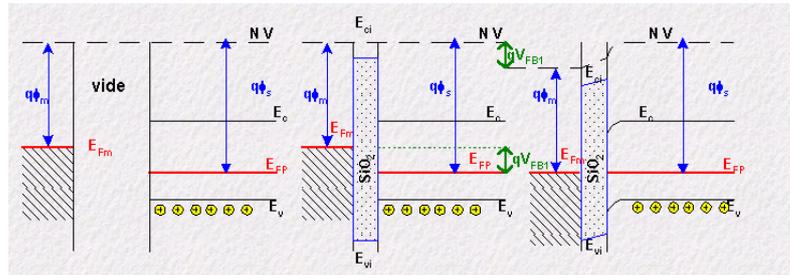


FIG I.3 Structure MOS réelle.

- Représentations des charges dans l'oxyde.
- Charges ioniques mobiles.
- Charges piégées dans l'oxyde.
- Charges fixes dans l'oxyde.
- Charges piégées à l'interface Si-SiO₂.

5. l'intérêt de la structure MOS :

L'intérêt de la structure MOS se reflète dans le transistor MOS, qui est le composant le plus employé de nos jours. Ce dernier est imbriqué sur cette structure et son fonctionnement aussi car il repose sur l'effet du champ électrique appliqué sur cette structure c.à.d. sur l'électrode de grille, l'isolant et la couche semi conductrice.

Le MOSFET a été conçu de façon théorique en 1920 par Julius Edgar Lilienfeld qui le breveta comme étant un composant servant à contrôler le courant. Cependant, la technologie nécessaire à sa construction ne fut pas disponible avant 1950. En effet, les caractéristiques du MOSFET requièrent des techniques de fabrication non disponibles à cette époque. Et l'avènement des circuits intégrés permit sa réalisation, ainsi le premier MOSFET fut construit en 1960 mais il ne fera son apparition dans les circuits intégrés que quand en 1963.

Et ainsi survint la loi de MOORE qui exige le doublement du nombre de transistors sur une même puce tous les dix huit mois, mais cette loi arrive à sa fin avec l'arrivée des limites physiques de la miniaturisation de ce dernier, ce qui a mené les chercheurs à explorer d'autres solutions, afin de ralentir cette fin.

La technologie mos complémentaire (CMOS) et l'utilisation des matériaux émergents ralentissent cette fin, et notre intérêt dans le chapitre qui suit se portera sur l'étude et la comparaison des matériaux III-V avec le Silicium et leurs intérêts en microélectronique. [1]

II. Introduction aux milieux matériels :

1. Les catégories des matériaux :

Selon les propriétés électriques, les matériaux sont classés en trois catégories : conducteurs, isolants et semi-conducteurs.

a. Conducteurs :

Les métaux tels que le fer (Fe), le cuivre (Cu), l'or (Au), l'argent (Ag) et l'aluminium (Al) sont des conducteurs de courant électrique. La présence d'électrons libres dans la couche périphérique (densité $n \approx 10^{22}$ à 10^{23} é/cm^3) est à l'origine de la conductivité électrique.

A température ambiante la résistivité ρ des conducteurs est très faible ($\rho \leq 10^{-5} \Omega \cdot \text{cm}$).

b. Isolants :

Les matériaux qui ont une résistivité ρ supérieure à $10^8 \Omega \cdot \text{cm}$ sont des isolants (matériaux non conducteurs de courant électrique). Parmi ces matériaux ; le verre, le mica, la silice (SiO_2) et le carbone (Diamant)...La conductivité des isolants est donc très faible ($\sigma = 1/\rho$).

c. Semi-conducteurs :

Cette classe de matériaux se situe entre les métaux (conducteurs) et les isolants (non conducteurs). La résistivité ρ des semi-conducteurs varie de 10^{-3} à $10^{+4} \Omega \cdot \text{cm}$. les électrons libres et les trous mobiles sont les porteurs de charges responsables de la conductivité électrique. Un semi-conducteur peut être soit intrinsèque (pur) ou extrinsèque (dopé) par des impuretés.

- Semi-conducteur intrinsèque : la résistivité du silicium pur est de l'ordre de $\rho \approx 10^3 \Omega \cdot \text{cm}$.

- Semi-conducteur extrinsèque : la résistivité du silicium dopé par le Bore ou le phosphore est de l'ordre de $10^{-2} \Omega \cdot \text{cm}$.

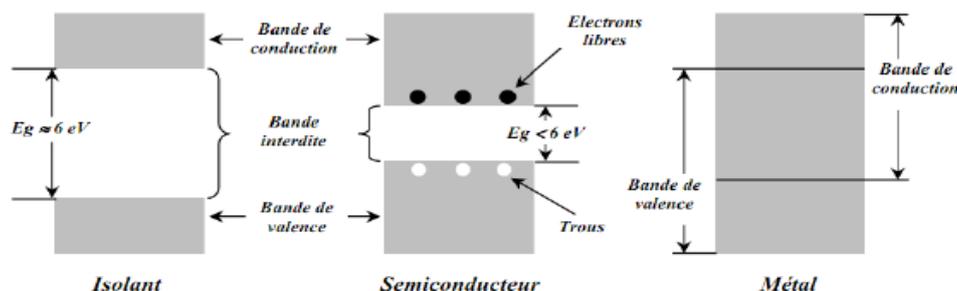


FIG I.4 Structure en bandes d'énergie des matériaux; Isolants, Semi-conducteurs et Métaux.

Remarque :

- Le mica est un mélange de silicate d'aluminium et de potassium.
- La température a un effet important sur la résistivité des matériaux.
- Le dopage du silicium permet d'atteindre le taux d'1 atome de Bore (B) ou de phosphore (P) pour atomes de silicium.

2. Définitions des milieux semi-conducteurs intrinsèques (simples et composés) :

L'utilisation des propriétés des semi-conducteurs a révolutionné nos vies, nous avons souvent entendu : "Le nouveau processeur de telle marque contient x millions de transistors".

Et bien un transistor est fabriqué à base de matériaux semi-conducteurs. Donc sans semi-conducteurs, pas de transistors, pas de processeur, pas d'ordinateur, ni téléphone, de tablettes, ou de télévision.

On distingue deux sorte de semi conducteurs simples et composés.

a. Semi-conducteurs intrinsèques simples :

Un semi-conducteur intrinsèque simple est constitué d'un seul élément tels que les semi-conducteurs de la colonne IV de la classification périodique par exemple ; le silicium (Si) et de Germanium (Ge).

b. Semi-conducteurs intrinsèques composés :

Dans cette catégorie, le semi-conducteur est constitué d'au moins deux types d'atomes différents. Les semi-conducteurs binaires de la classe (II-VI) sont constitués d'un élément de la colonne II et d'un autre élément de la colonne VI de la classification périodique. Les semi-conducteurs de la classe (III-V) sont composés d'un élément de la colonne III et d'un autre élément de la colonne V de la classification périodique. De même avec les semi-conducteurs de la classe (IV-VI), voir exemples :

* **Semi-conducteurs binaires de la classe (II-VI) :** Sulfure de zinc (ZnS), Séléniure de zinc (ZnSe), Tellure de zinc (ZnTe), Sulfure de cadmium (CdS), Séléniure de cadmium (CdSe), Tellure de cadmium (CdTe), Oxyde de zinc (ZnO)...

***Semi-conducteurs binaires de la classe (III-V) :** Arséniure de gallium (GaAs), Phosphure de gallium (GaP), Antimoniure de gallium (GaSb), Phosphure d'indium (InP), Arséniure d'indium (InAs), Antimoniure d'indium (InSb), Phosphure d'aluminium (AlP), Arséniure d'aluminium (AlAs), Antimoniure d'aluminium (AlSb).

***Semi-conducteurs binaires de la classe (IV-VI) :** Sulfure de plomb(II) (PbS), Séléniure de plomb (PbSe), Tellure de plomb (PbTe), Tellure d'étain (SnTe), Sulfure de germanium (GeS), Séléniure de germanium (GeSe), Sulfure d'étain(II) (SnS) et Tellure de germanium (GeTe).

Il existe aussi d'autres types de semi-conducteurs composés de trois atomes différents (*ternaires*) et même de quatre atomes (*quaternaires*).

***Semi-conducteurs ternaires :** Phosphure de gallium-indium (InGaP), Arséniure d'aluminium-indium (AlInAs), Antimoniure d'aluminium-indium (AlInSb), Arséniure-nitride de gallium (GaAsN), Arséniure-phosphure de gallium (GaAsP), Nitride de gallium-aluminium (AlGaN), Phosphure de gallium-aluminium (AlGaP), Nitride de gallium-indium (InGaN), Arséniure-antimoniure d'indium (InAsSb), Antimoniure de gallium-indium (InGaSb).

***Semi-conducteurs quaternaires :** Phosphure de gallium-indium-aluminium (AlGaInP), Arséniure-phosphure de gallium-aluminium (AlGaAsP), Arséniure-phosphure de gallium-indium (InGaAsP), Arséniure-phosphure d'aluminium-indium (AlInAsP), Arséniure-nitride de gallium-aluminium (AlGaAsN), Arséniure-nitride de gallium-indium (InGaAsN), Arséniure-nitride d'aluminium-indium (InAlAsN), Arséniure-antimoniure-nitride de gallium (GaAsSbN).

Et le tableau qui suit regroupe tous les semi conducteurs quand vient de cité d'une manière plus explicative : [2]

Colonne		Semi-conducteur
IV		Ge, Si
III-V	binaire	GaAs, GaP, GaSb, InAs, InP, InSb
	ternaire	$Al_xGa_{1-x}As, GaAs_yP_{1-y}$
	quaternaire	$Al_xGa_{1-x}As_yP_{1-y}$
II-VI	binaire	CdS, HgTe, CdTe, ZnTe, ZnS
	ternaire	$Cd_xHg_{1-x}Te$

FIG I.5 Exemple de semi conducteurs.

3. Propriétés des semi conducteurs :

a. Les semi conducteurs simples : « Le silicium » :

Les propriétés de semi-conducteur du silicium ont permis la création de la deuxième génération de transistors, puis les circuits intégrés (les « puces »). C'est aujourd'hui encore l'un des éléments essentiels pour l'électronique, notamment grâce à la capacité technologique actuelle permettant d'obtenir du silicium pur à plus de 99,999 99 % (tirage Czochralski, zone fondue flottante).

3.1 Propriétés géométriques :

Le silicium présente une structure dérivée du système cubique à faces centrées comme le carbone de type diamant. Son numéro atomique est 14, sa masse atomique 28 et il fond à 1414°C. Il est très abondant dans la croûte terrestre avec une concentration de plus de 24 %.

Combiné à l'oxygène, il forme la silice constituant principalement du sable. De couleur gris-noir, le silicium a été isolé pour la première fois en 1823 par J. Jacob Berzelius, mais c'est Henri Sainte-Claire Deville qui l'obtint en 1854 sous sa forme cristalline.

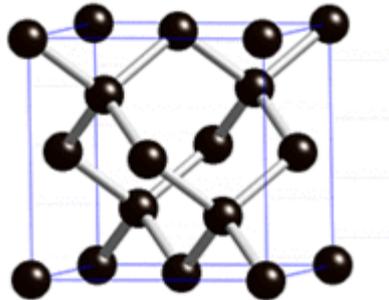


FIG I.6 Maille élémentaire de type diamant du silicium.

On parle de cristal type « diamant » lorsque tous les atomes qui composent la maille sont identiques. Les semi-conducteurs comme le silicium ou le germanium ont une structure de type « diamant ». C'est aussi le cas pour le zinc type- α , de l'étain gris (forme α , qui n'est plus métallique mais semi-conductrice), et bien entendu pour le carbone diamant.

3.1.1 Caractéristiques :

- **Nombre d'atomes par maille :**

La structure cristalline de type « diamant » comporte donc : 8 atomes aux coins, partagés par 8 mailles et qui comptent donc pour $1/8$, soit au total $(1/8) \times 8 = 1$ atome / maille; 6 atomes au centre des 6 faces, partagés par 2 mailles et qui comptent pour $1/2$, soit au total $(1/2) \times 6 = 3$ atomes pour la maille ;

4 atomes à l'intérieur du cube et donc de la maille, dans 4 des 8 sites tétraédriques qui comptent pour 1, soit au total $1 \times 4 = 4$ atomes pour la maille. La structure de type diamant compte donc huit atomes par maille (contre quatre pour une structure de type cubique faces centrées classique).

- **Paramètre maille :**

Dans le modèle des sphères dures, la distance de contact est celle entre un atome de coin et celui d'un site tétraédrique. Si on considère a , le paramètre de maille (la longueur de l'arête du cube), la grande diagonale du cube vaut donc $a\sqrt{3}$, et la distance de contact (c'est-à-dire la distance entre les centres des deux atomes en

contact, soit $2R$, où R est le **rayon atomique**) vaut un quart de cette valeur ; on a donc : $a\sqrt{3}/4=2R$.

On en déduit donc le paramètre de maille est : $a=8R/\sqrt{3}$.

Le silicium a une structure de type diamant avec un paramètre de maille de 0,357 nm.

- **La compacité du cristal type diamant est de :**

$$c = \frac{\text{Volume occupé}}{\text{Volume total}} = \frac{8 \times V_{\text{atome}}}{a^3} = \frac{8 \times \left(\frac{4}{3} \cdot \pi R^3\right)}{\left(\frac{8R}{\sqrt{3}}\right)^3} = \frac{\pi\sqrt{3}}{16} \simeq 0,34$$

Ce qui en fait un empilement très peu compact (à titre de comparaison, la compacité d'une maille CFC (cubique face centrée) classique est d'environ 0,74).

3.2 Propriétés électrique :

3.2.1 Conductivité électrique :

La **conductivité électrique** caractérise l'aptitude d'un matériau ou d'une solution à laisser les charges électriques se déplacer librement et donc permettre le passage d'un courant électrique.

Dans le Si la conductivité est mesurée en $S \cdot m^{-1}$ (**siemens** par mètre), mais le plus souvent la mesure avec un conductimètre donne le résultat en $mS \cdot cm^{-1}$ (milli siemens par centimètre

Largement utilisée en chimie, son unité dans le Système international d'unités (SI) est le siemens par mètre ($1 S/m = 1 A^2 \cdot s^3 \cdot m^{-3} \cdot kg^{-1}$). C'est le rapport de la densité de courant par l'amplitude du champ électrique. C'est l'inverse de celle de la résistivité. Le symbole généralement utilisé pour désigner la conductivité est la lettre grecque *sigma* : σ , qui varie selon les matériaux de $10^8 S \cdot m^{-1}$ à $10^{-22} S \cdot m^{-1}$.

Le silicium présente une conductivité électrique qui vaut $2.52 \cdot 10^{-4} S/m$

3.2.2 Bandes interdites du Silicium à 300K :

En physique du solide, la **théorie des bandes** est une modélisation des valeurs d'énergie que peuvent prendre les électrons d'un solide à l'intérieur de celui-ci. De façon générale, ces électrons n'ont la possibilité de prendre que des valeurs d'énergie comprises dans certains intervalles, dans lesquels sont séparés par des « bandes » d'énergie interdites. Cette modélisation conduit à parler de **bandes d'énergie** ou de **structure de bandes**.

Selon la façon dont ces bandes sont réparties, il est possible d'expliquer au moins schématiquement les différences de

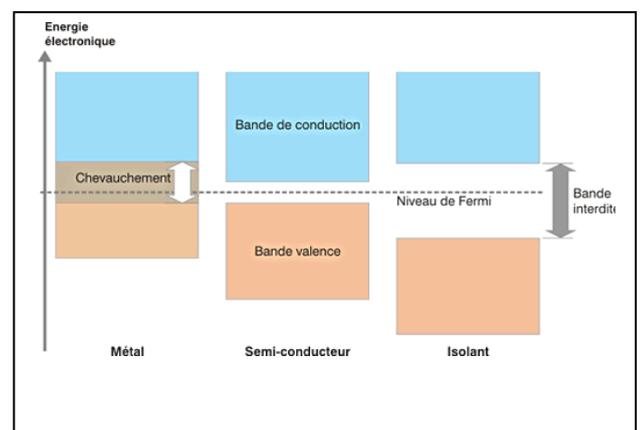


FIG I.7 Représentation schématique des bandes d'énergie du solide

comportement électrique entre un isolant un semi-conducteur et un conducteur.

La valeur de la bande interdite du silicium est de l'ordre de 1.12 eV.

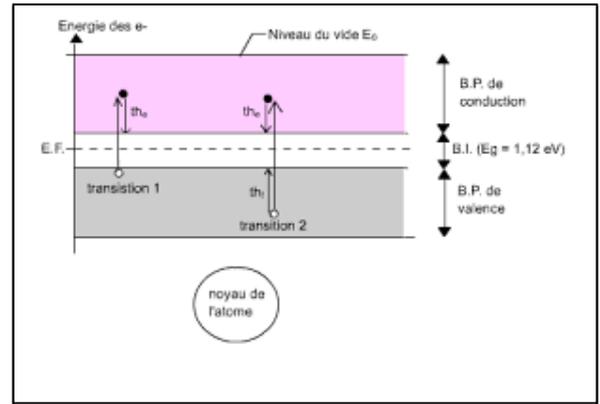


FIG I.8 Représentation schématique des niveaux d'énergies du silicium.

3.3 Conductivité thermique :

La **conductivité thermique** ou **conductibilité thermique** est une grandeur physique caractérisant le comportement des matériaux lors du transfert thermique par conduction. Notée λ ou K voire k , cette grandeur apparaît notamment dans la loi de Fourier (voir Conduction thermique). Elle représente l'énergie (quantité de chaleur) transférée par unité de surface et de temps sous un gradient de température de 1 kelvin ou 1 degré Celsius par mètre.

La conductivité thermique du silicium est de 148 W/M*K.

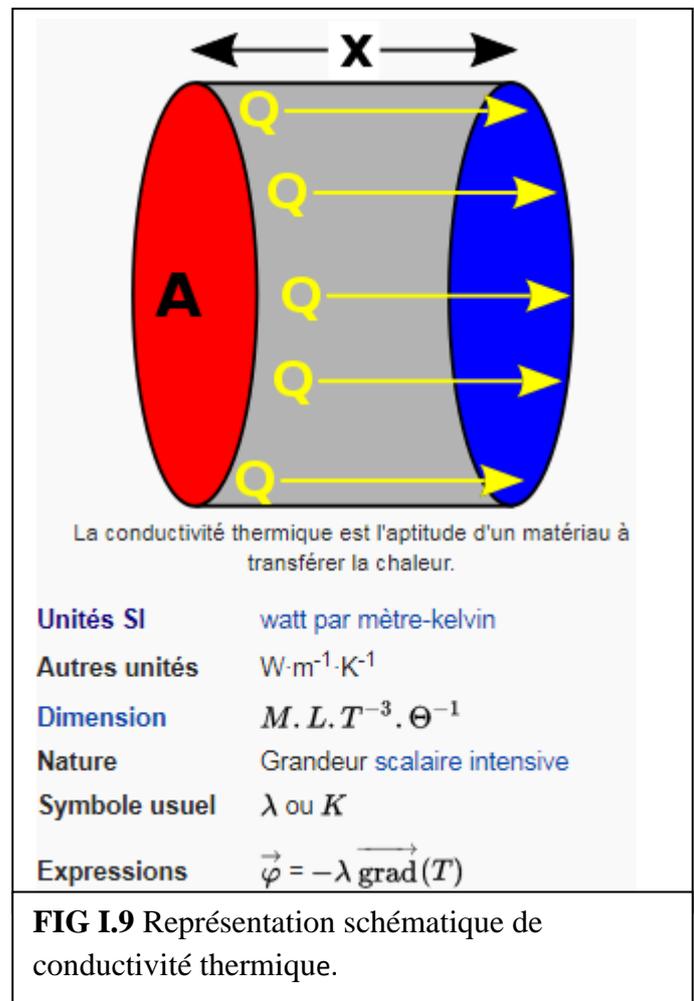


FIG I.9 Représentation schématique de conductivité thermique.

Quelques valeurs numériques représentatives des paramètres électriques du Silicium:[3]

Propriétés électriques	Valeurs
Electronégativité (Pauling)	1.90
Chaleur massique	700 J/Kg.k
Conduction électrique	$2.52 \cdot 10$
Bande interdite à 300K	1.12 eV
Conductivité thermique	148 W/m.K

III. Techniques d'élaboration du Silicium :

Première étape: « réduction de la Silice, purification du Silicium »

Le silicium existe en grande quantité à la surface du globe terrestre. C'est le deuxième élément le plus fréquent de la croûte terrestre ; O₂ (46%), Si (28%), Al (8%). Sa température de fusion est de 1415°C, qui est donc assez élevée, et son affinité chimique est forte à haute température.

Les sources naturelles sont essentiellement les silicates (sable, etc...) mais aussi zircon, jade, mica, quartz, donc du SiO₂ sous diverses formes et plus ou moins de contaminants. Le cristal de Si n'existe pas sous forme naturelle. Il cristallise dans une structure zinc-blende tétraédrique (cubique face centrée).

La qualité électronique requise nécessite une importante série d'étapes de purification pour aboutir à un cristal quasi-parfait et exempt d'impuretés au de là d'un seuil de 10¹⁴at/cm³ (1 atome sur 1 milliard, soit 0,001 ppm).

Dans une première étape, le SiO₂ est fondu et mélangé à du carbone (charbon). On réalise une électrolyse dans un four à arc pour obtenir la réaction chimique complexe et comportant plusieurs étapes mais dont le bilan final correspond à:



Le silicium obtenu est de pureté métallurgique (98 %), il est donc nécessaire de le purifier pour obtenir une pureté électronique.

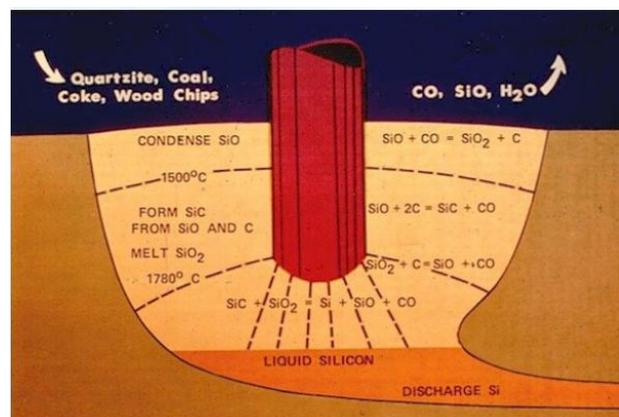


FIG I.10 Electrolyse de la silice permettant d'obtenir du silicium fondu de qualité métallurgique.

Deuxième étape : « Purification chimique »

De nombreux procédés ont été développés par les différents producteurs mondiaux de silicium basés sur le trichlorosilane (SiCl₄). L'exemple choisi concerne la fabrication du trichlorosilane par pulvérisation du silicium réagissant avec le gaz de chlorure d'hydrogène (HCl ou acide chlorhydrique) suivant la réaction :



La réaction avec le chlore permet une première purification puisque par exemple des précipités chlorés de métaux ne sont pas mélangés au trichlorosilane. Une distillation (type alambic) permet alors une purification supérieure. Ce trichlorosilane purifié est ensuite réduit pour redonner du silicium dans un réacteur présenté figure 5. La réaction chimique bilan est la suivante :



On obtient dans le réacteur un dépôt de silicium poly cristallin. La pureté obtenue est d'environ $10^{16} \text{at} \cdot \text{cm}^{-3}$ (de l'ordre de la ppm).

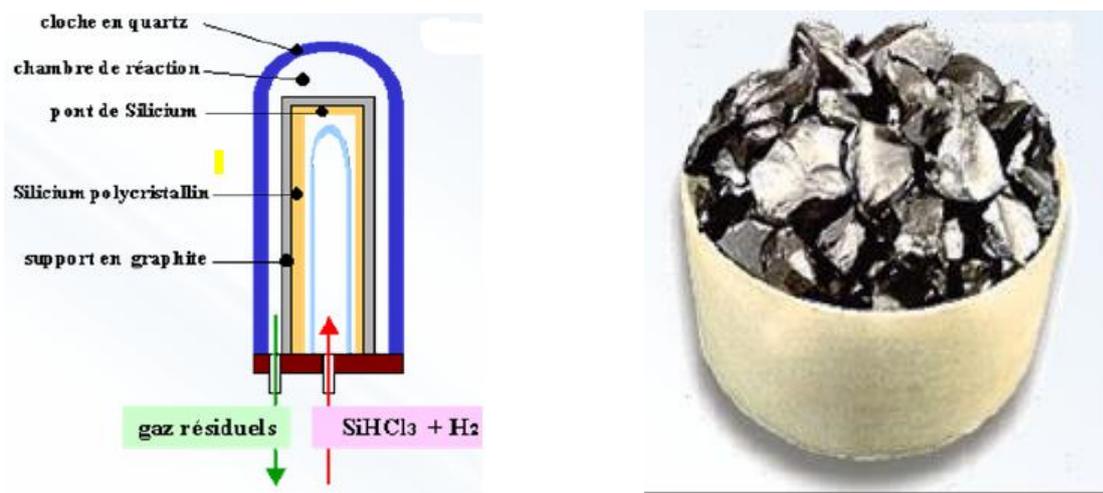


FIG I.11 Purification chimique.

Troisième étape : « Tirage et croissance du cristal »

Le silicium purifié est utilisé pour constituer la charge à introduire dans le réacteur de croissance.

Le problème provient de la pureté chimique qui, malgré sa grande valeur, reste encore faible eu égard au dopage d'un semi-conducteur.

Cette charge peut être dopée si l'on désire des plaquettes dopées (substrats dopés dans les Procédés). On rajoute ainsi, en proportion calculée, la quantité relative de dopant dans l'ensemble de la charge.

La charge, mise dans un creuset en graphite, est fondue. A partir d'un germe, on effectue un tirage progressif du lingot moyennant des conditions très précises (températures du creuset de Charge fondue, de l'enceinte, gradient de température, transfert de chaleur, vitesse de tirage du germe, etc...).

On obtient des lingots de différents diamètres suivant la vitesse de tirage (qq mm/mn).

Cette méthode de tirage est appelée "**Czochralski**". Notons que la différence de vitesse de diffusion des espèces entre la phase liquide et la phase solide entraîne une modification de la concentration relative des espèces le long du lingot.

C'est en particulier vrai pour la concentration de dopant qui implique que la résistivité ne sera pas constante le long du lingot.

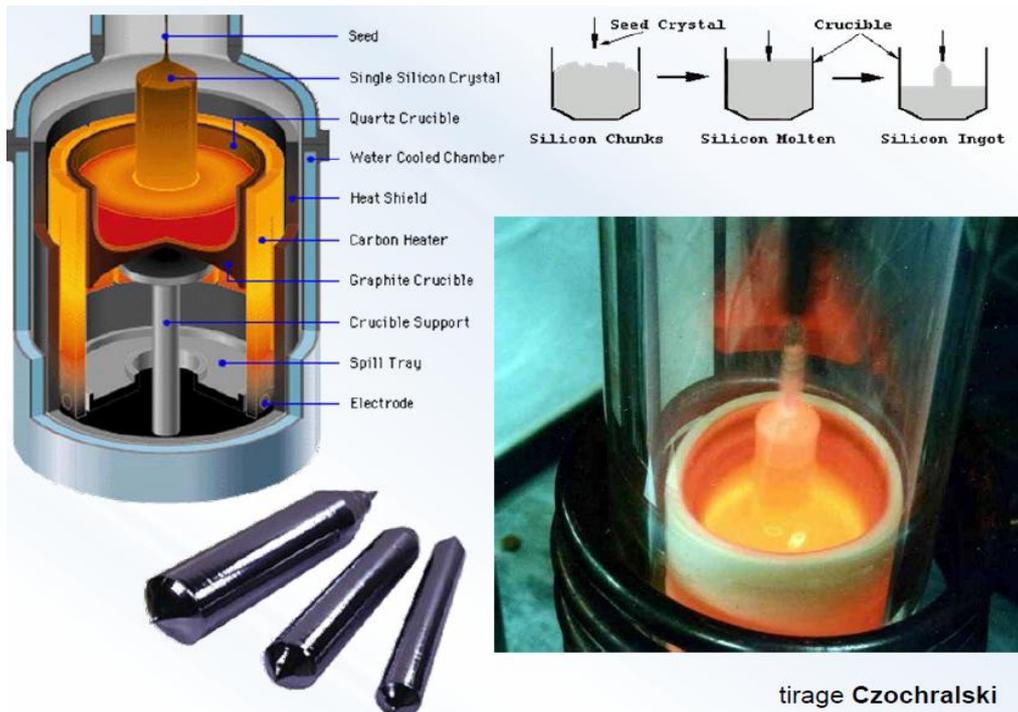


FIG I.12 Techniques de croissance et de tirage.

Il existe une seconde méthode pour obtenir des barreaux de silicium monocristallin de grandes dimensions. Elle consiste à prendre le barreau de silicium poly cristallin issu du réacteur de réduction du trichlorosilane, et de déplacer une zone fondue le long du barreau (obtenue par chauffage radiofréquence) juste en limite du seuil de fusion du Si. Un germe monocristallin est situé à l'extrémité supérieure du barreau et à partir duquel est initié le processus de fusion de zone.

Cette méthode est aussi utilisée pour purifier un lingot. On exploite en effet les phénomènes de diffusion des impuretés à haute température dans un solide. Dans ce cas, on peut monter jusqu'à 3 bobines autour du lingot qui sont parcourues par un courant HF. C'est un moyen pour obtenir des lingots de faible dopage résiduel notamment nécessaires pour la réalisation de composants de puissance (zones quasi-intrinsèques permettant la tenue en tension).

La méthode de Bridgman :

Une autre technique peut être utilisée pour le tirage des lingots. Dans le cas de composés semi-conducteurs III-V (comme le GaAs par exemple), on peut réaliser le lingot dans un bac parallélépipédique dont le fond est arrondi. La cristallisation s'effectue progressivement depuis une extrémité.

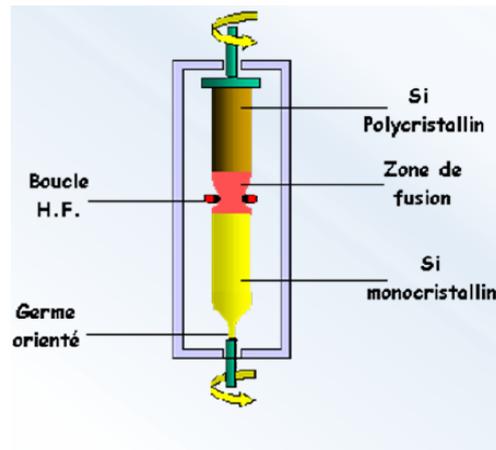


FIG I.13 Cristallisation et purification par la méthode de fusion de zone (FZ).

La méthode de la zone flottante est la seule permettant d'obtenir un très bon contrôle de la résistivité tout au long du lingot. Pour obtenir un dopage parfaitement contrôlé, il existe deux méthodes :

- Incorporer le dopant (sous forme gazeuse) dans le réacteur de sorte à ce que l'élément dopant diffuse dans le barreau pendant le processus de tirage.

- bombarder ex-situ le barreau de neutrons sous dose contrôlée, de sorte à transformer les atomes de silicium en atomes dopants (Si en P).

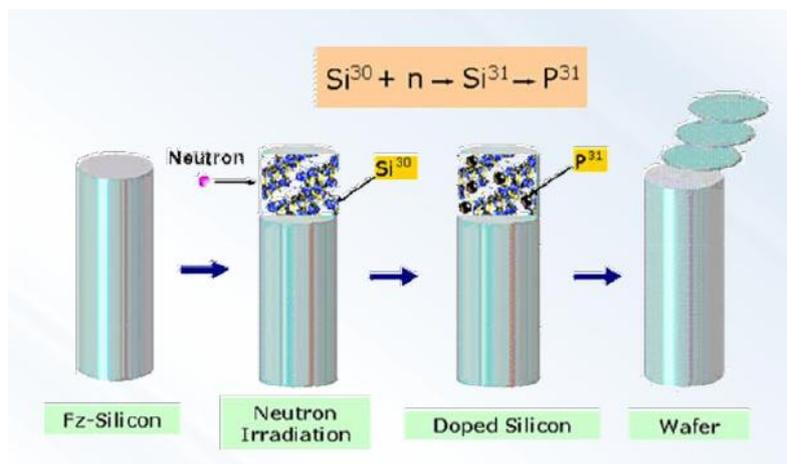


FIG I.14 Technique zone flottante

Quatrième étape : « Découpe des wafers »

Jusqu'à l'obtention des plaquettes de silicium, un certain nombre d'étapes restent à effectuer. A. L'équeutage du lingot : on élimine les extrémités, qui sont soit mal cristallisées, soit riches en impuretés (après un passage en FZ par exemple). [4]



FIG I.15 Découpe des wafers

IV. Les techniques d'intégrations sur le Silicium :

L'intégration sur le silicium se fait en plusieurs étapes, elles commencent par l'élaboration des différents dessins de masques nécessaires pour chaque étapes jusqu'à la métallisation. Et ce qui suit illustre en détaille les différentes étapes.

1. Les dessins de masques :

Le masque est une plaque en verre comportant une couche de chrome ou de gélatine (opaque pour les motifs à gravé pour une résine positive et non opaque pour les motifs à gravé pour la résine négative). Le transfert se fait sur une couche de résine photosensible (étalé puis séché uniformément).

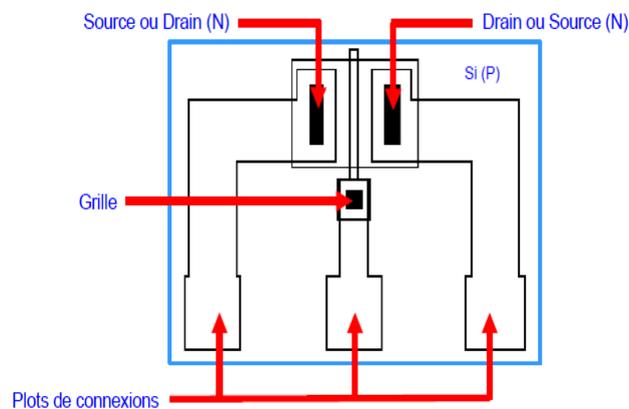


FIG I.16 Dessin de masque de deux transistors NMOS.

1.1 Problèmes :

- Comment faire pour superposer les masques en garantissant un alignement au micron près ?
- Comment vérifier que les étapes technologiques successives se déroulent parfaitement ?
- Comment mesurer la résolution des motifs pour garantir le bon fonctionnement des composants ?

1.2 Solutions :

On dispose sur les masques des :

- Motifs d'alignement des masques
- Motifs de test de résolution de lithographie
- Motifs pour micro-section

L'objectif est de faire correspondre les motifs gris (niveau 1 déjà "imprimé" sur le wafer) avec les motifs marrons (niveau 2 sur le masque) sur la machine d'alignement de masque



FIG I.17 Techniques de correspondance entre les dessins de masques.

Pour cela, il y a 6 degrés de libertés :

- translation X, Y et Rotation q pour le masque.
- translation X, Y et Rotation q pour la plaquette.

2. La photo lithographie :

La photolithographie est en général la deuxième étape dans la fabrication (**après la réalisation du masque chrome**). Elle permet de transmettre le dessin de masque sur le wafer à travers une couche d'oxyde et une couche de résine.

Elle permet de déposer localement une résine qui sert de masque de protection pendant la mise en forme d'un substrat ou d'une couche mince. Cette mise en forme est la structuration qui peut être, par exemple, une gravure humide (**attaque acide d'un métal**), une gravure sèche (**plasma**) ou une croissance (dépôt CVD ou électrolyse d'un métal).

La photo lithographie consiste à reproduire un masque (physique ou logiciel) sur le substrat. Cette méthode fait appel à plusieurs procédés:

2.1 Dépôt d'une résine photosensible par centrifugation :

Si on utilise une résine positive, on obtient exactement le même motif sur la couche de silicium que sur le masque de départ. Dans le cas d'une résine négative, on obtient sur les plaquettes le motif complémentaire. La résine est ensuite séchée.

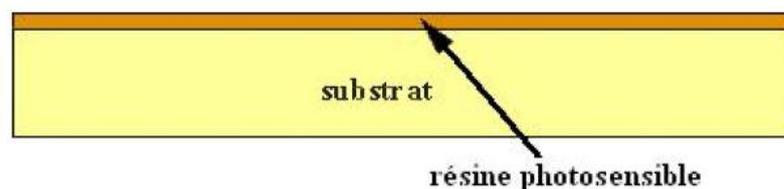


FIG I.18 Résine photosensible appliquée sur une plaquette.

2.2 Insolation de la résine :

Ce procédé consiste à exposer la résine photosensible à un faisceau lumineux. La lumière utilisée est en général hors du domaine visible, à savoir en ultra-violet voire en X. L'insolation peut se faire de deux manières différentes :

2.3 L'insolation par masque physique : comporte plusieurs techniques :

2.3.1 La technique par contact :

Donne théoriquement la meilleure définition des motifs, mais détériore le masque après chaque opération en raison des frottements importants. Il faut également que le masque soit de la même taille que le motif à graver, ce qui est dur à réaliser.

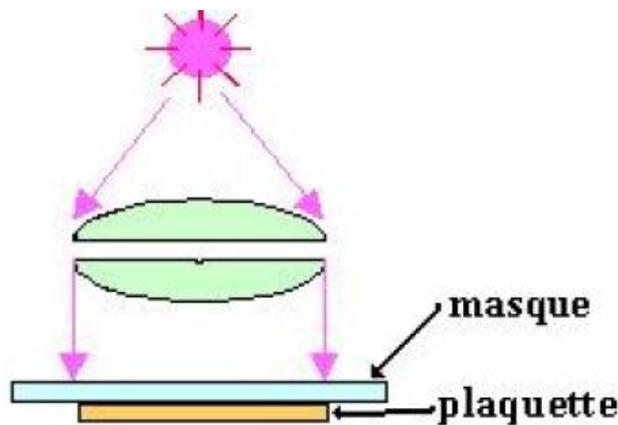


FIG I.19 Insolation par contact.

2.3.2 La technique par proximité :

Élimine la détérioration du masque car il n'y a plus de contact. Mais tout comme la technique de contact, le masque doit être de la même taille que le motif ce qui rend sa réalisation très difficile.

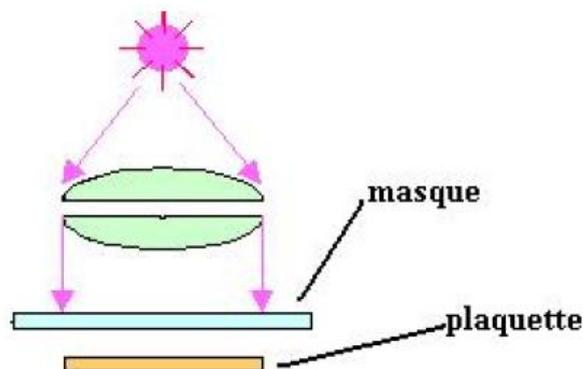


FIG I.20 Insolation par proximité.

2.3.3 La projection :

Donne la moins bonne définition optique en raison des effets de diffraction de la lumière, mais permet par contre d'effectuer une réduction ce qui simplifie la fabrication du masque. Les insolateurs par projection avec photo répétition permettent d'effectuer la projection par secteur, c'est-à-dire, puce par puce ou bloc par bloc de plusieurs puces. Dans ce cas, il faut pouvoir parfaitement positionner la plaquette.

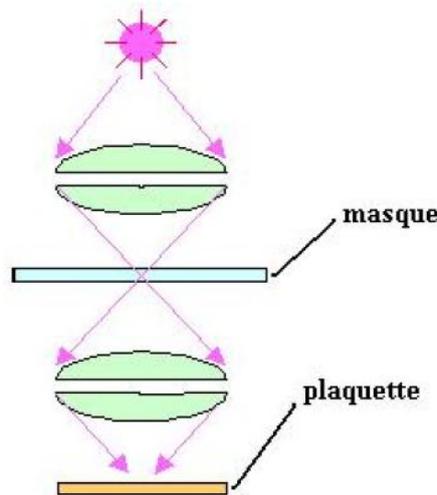


FIG I.21 Insolation par projection.

2.3.4 L'insolation par faisceau d'électrons :

Utilise un canon à électron. Cette technique utilise alors un masque informatique, qui permet une meilleure malléabilité. Ainsi ce procédé permet d'obtenir des puces différentes sur la même plaquette, alors que le procédé utilisant un masque physique oblige, soit un changement de masque (ce qui est fastidieux), soit une reproduction à l'identique des puces. Mais un faisceau de 0,1 mm donne un temps d'insolation de 3 heures et un tel système est extrêmement coûteux, puisqu'il faut éviter toute vibration d'amplitude supérieure à un dixième de Microns, ce qui rend cette méthode peu utilisée

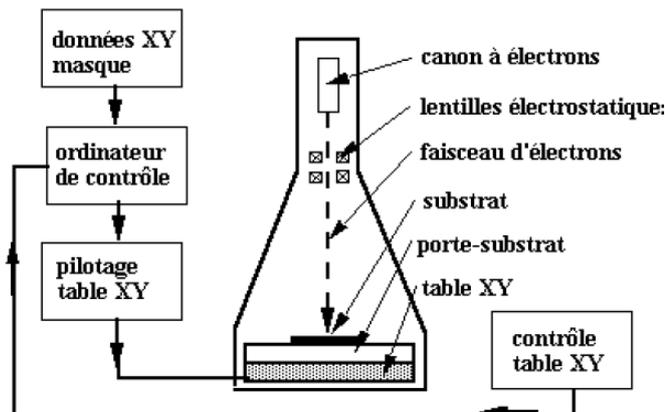


FIG I.22 Insolateur à canon à électrons

2.3 La révélation :

Les motifs sont alors révélés par un révélateur. Puis les plaquettes sont rincées et recuites pour durcir la résine, qui peut alors résister aux attaques chimiques.

2.4 La gravure :

Permet d'éliminer la matière (couche ou film) non protégée par la résine. Il y a 2 méthodes de gravure :

2.4.1 La gravure humide :

Se fait par attaque chimique en solution aqueuse. La couche est donc attaquée de façon équivalente suivant toutes les directions de l'espace. On dit que la gravure est isotropique. Cette technique est simple à utiliser et permet de traiter plusieurs plaquettes (jusqu'à 200 plaquettes) Simultanément, c'est pourquoi elle est très répandue. Néanmoins il faut rincer et sécher minutieusement les substrats après la gravure. De plus la fin de gravure est difficilement contrôlée.

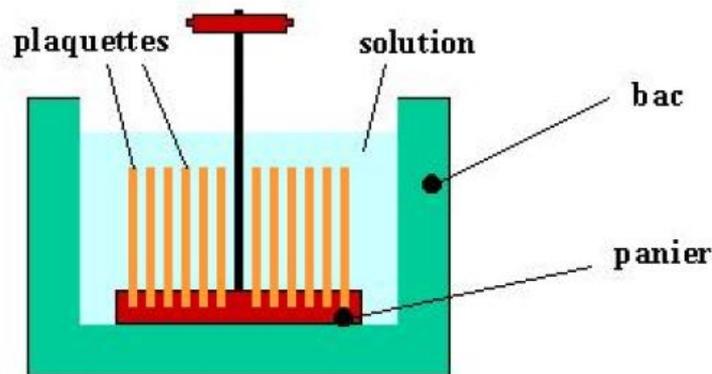


FIG I.23 Bain pour la gravure humide.

2.4.2 La gravure sèche :

Est en réalité une technique de gravure plasma dans laquelle interviennent à la fois les effets de bombardement par des ions et la réaction chimique. Le matériau produit par la réaction doit être volatil pour pouvoir quitter la surface du substrat et être éliminé par pompage. Sans polarisation particulière des électrodes, l'attaque est en général isotropique, mais en donnant une orientation spécifique aux ions, on obtient une gravure anisotropique. L'utilisation d'un interféromètre laser permet un contrôle précis de la fin de gravure.

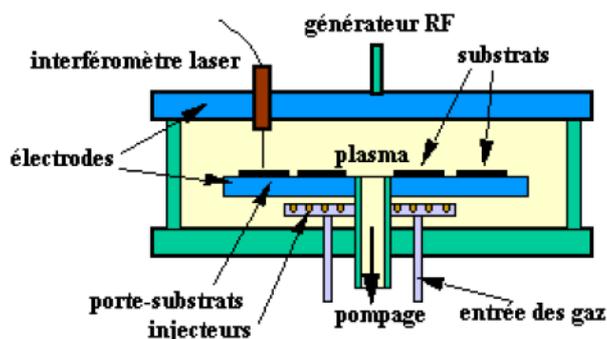


FIG I.24 Four de gravure sèche.

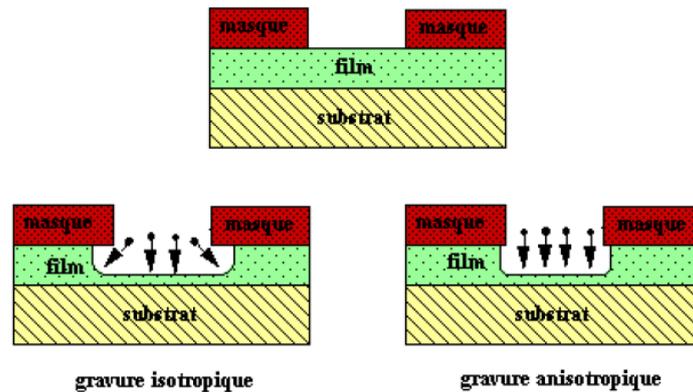


FIG I.25 Différence entre gravure isotropique et anisotropique.

2.5 La résine est ensuite retirée de la surface par un solvant chimique puissant comme l'acétone.

3. Le dopage :

Dans le domaine des semi-conducteurs, le **dopage** est l'action d'ajouter des impuretés en petites quantités à une substance pure afin de modifier ses propriétés de conductivité.

Les propriétés des semi-conducteurs sont en grande partie régies par la quantité de *porteurs de charge* qu'ils contiennent. Ces porteurs sont les électrons ou les trous. Le dopage d'un matériau consiste à introduire, dans sa matrice, des atomes d'un autre matériau. Ces atomes vont se substituer à certains atomes initiaux et ainsi introduire davantage d'électrons ou de trous.

Les atomes de matériau dopant sont également appelés impuretés, et sont en phase diluée : leur concentration reste négligeable devant celle des atomes du matériau initial.

Il existe deux types de dopage :

- le dopage de **type N**, qui consiste à produire un excès d'électrons, qui sont **négativement** chargés ;
- le dopage de **type P**, qui consiste à produire un déficit d'électrons, donc un excès de trous, considérés comme **positivement** chargés.

Les dépôts s'effectuent dans un four qui contient tous les éléments de la couche à réaliser ainsi qu'une balance à quartz afin de contrôler l'épaisseur du dépôt. Il y a 5 méthodes de dépôt :

1) par évaporation thermique. La matière à déposer est vaporisée à proximité des plaquettes, et va donc se déposer dessus.

2) par pulvérisation cathodique ou canon à électrons. Ces techniques consistent à bombarder la matière à déposer par des ions, qui vont arracher d'autres ions de cette matière et à les guider sur les plaquettes de substrat. Ces méthodes permettent des dépôts de couches métalliques

3) par dépôt chimique en phase vapeur (Chemical Vapor Deposition). Cette technique permet de faire croître du silicium polycristallin ou des couches d'isolants.

4) par dépôt assisté au plasma (Plasma Enhanced C.V.D.). Cette technique rejoint le C.V.D. On utilise une source d'énergie magnétique afin de la substituer à l'énergie calorifique. On obtient donc un dépôt à faible température, ce qui évite la diffusion des dopants. De plus cette technique permet le traitement de plusieurs plaquettes simultanément.

5) par dépôt à basse pression (Low Pressure CVD). Méthode dérivée du C.V.D. qui s'effectue en phase vapeur à basse pression et faible température (de 500 à 600 °C).

4. La métallisation « implantation des contacts » :

- Aluminium et alliage d'aluminium :

En raison de ses propriétés, l'aluminium et ses alliages sont largement utilisés pour le câblage dans les micro-chips:

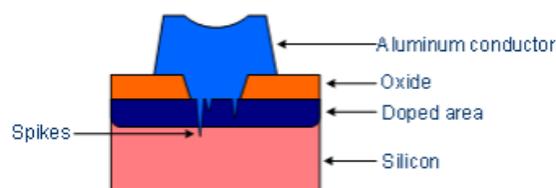
- ✓ Excellente adhérence sur SiO_2 et entre couches comme BPSG ou PSG
- ✓ Excellent contact avec des câbles (c'est-à-dire des fils d'or et d'aluminium)
- ✓ Faible résistance électrique ($3 \mu\Omega \cdot \text{cm}$)
- ✓ Simple à structurer dans les processus de gravure sèche

L'aluminium répond aux exigences de résistance électrique et de résistance à la corrosion uniquement partielle. Les métaux comme l'argent ou le cuivre ont de meilleures propriétés, cependant, ces métaux sont plus coûteux et ne peuvent être gravés dans la gravure sèche facilement.

- Diffusion en silicium :

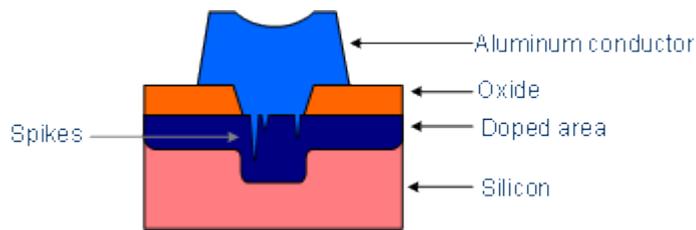
L'utilisation de l'aluminium pur conduit à une diffusion du silicium dans le métal. Le semi-conducteur réagit avec la métallisation à seulement 200-250 °C. Cette diffusion du silicium provoque des cavités à l'interface des deux matériaux qui sont ensuite remplis par l'aluminium. Cela conduit donc à des pointes qui peuvent provoquer des courts-circuits s'ils traversent les régions dopées dans le cristal de silicium en dessous.

Spike : « les pointes » :



La taille de ces pointes dépend de la température à laquelle l'aluminium a été déposé sur la plaquette. Pour éviter les pointes il existe plusieurs possibilités : Une implantation ionique profonde - implantation de contact - peut être introduite à l'emplacement des vias. Ainsi, les pointes n'atteignent pas le substrat.

Implantation de contact

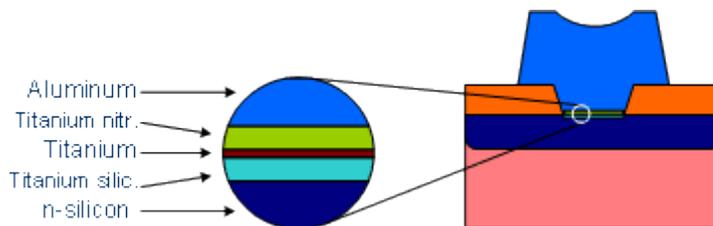


L'inconvénient est qu'il doit y avoir une étape de procédé supplémentaire, en outre, les propriétés électriques changent parce que les régions dopées sont agrandies.

Au lieu de l'aluminium pur, un alliage d'aluminium et de silicium peut être utilisé (silicium 1-2%). Parce que l'aluminium contient déjà du silicium, il n'y aura pas de diffusion sur le substrat. Cependant, si les vias sont très faibles, le silicium peut tomber dans la zone de contact et entraîner une résistance accrue.

Pour les contacts avec une qualité élevée, une séparation de l'aluminium et du silicium est essentielle. Une barrière de matériaux différents (par exemple le titane, le nitrure de titane ou le tungstène) est déposée. Pour éviter une résistance de contact accrue à l'interface du titan en silicium, on utilise une mince couche de siliciure de titane. [5]

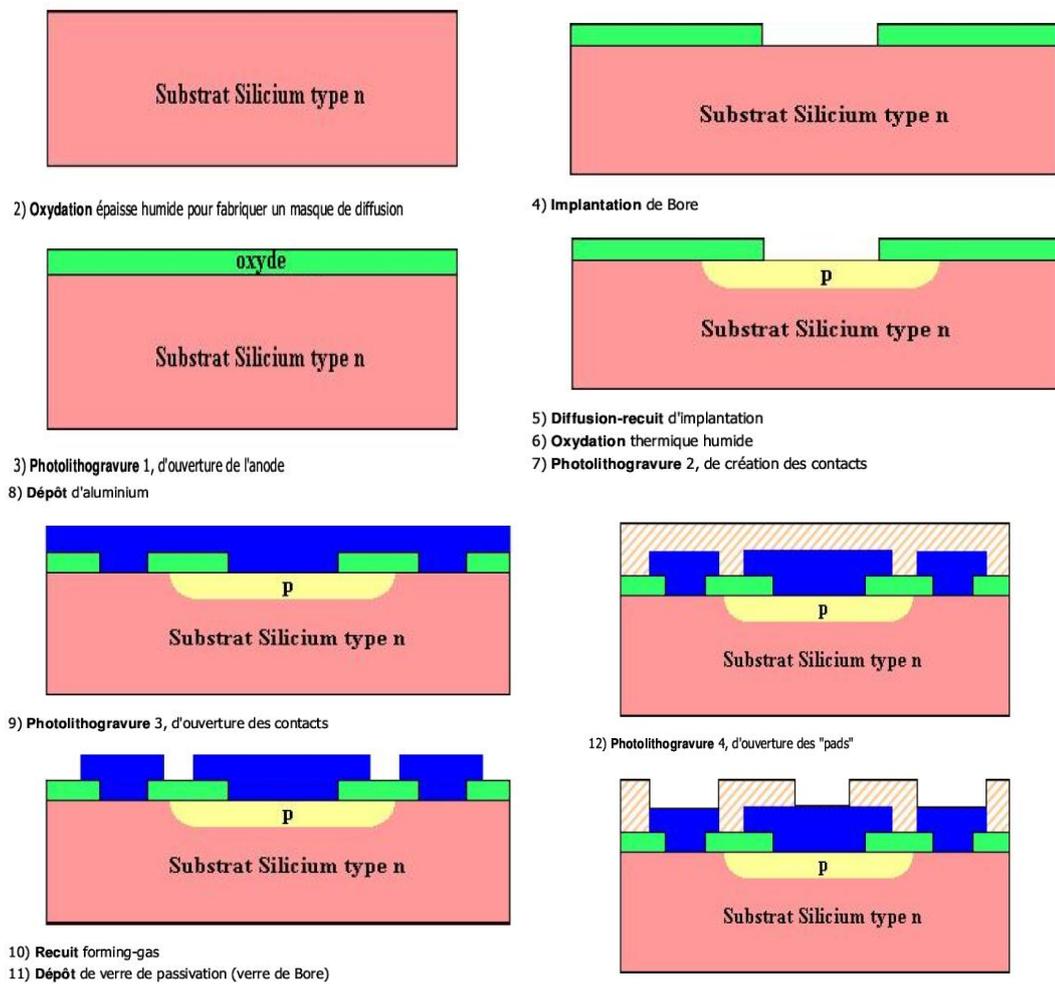
Couche de barrière entre l'aluminium et le silicium



Exemple : réalisation d'une diode

Voici les principales étapes de fabrication d'une diode à jonction PN :

1) Nettoyage du substrat



V. L'étude de l'oxydation du silicium :

1. Importance de l'oxydation du Silicium :

L'oxydation est une étape très importante dans la réalisation des circuits intégrés au silicium, puisque c'est grâce à cette propriété spécifique que le silicium, qui n'est pas *a priori* un très bon semi-conducteur, est devenu le matériau le plus utilisé en microélectronique. Cette opération est nécessaire tout au long des procédés modernes de fabrication des circuits intégrés. Il est donc primordial de savoir réaliser un oxyde de bonne qualité.

L'oxyde peut servir :

- de masque d'implantation ou de diffusion de dopants,
- de couche passivante à la surface du silicium,
- de zones d'isolation entre différents composants d'une structure intégrée,
- de couche active dans les transistors MOS (oxyde de grille),
- d'isolation électrique entre des couches adjacentes pour améliorer l'intégration et la diminution des dimensions ("espaceur" par exemple, cf. plus loin),
- d'isolation électrique entre les différents niveaux de métallisation ou de couches conductrices en silicium polycristallin fortement dopé,
- de couches sacrificielles permettant d'améliorer les performances et l'intégration des circuits. Ces couches sacrificielles peuvent aussi être utilisées pour fabriquer des microstructures à base de silicium polycristallin et intervenir dans des microsystèmes intégrés (MEMS : micro-electro-mechanical systems).

2. Principe de l'oxydation :

Il existe plusieurs techniques pour obtenir un oxyde :

- l'oxydation thermique en présence d'oxygène, dite oxydation sèche,
- l'oxydation thermique par voie humide en présence d'oxygène et de vapeur d'eau,
- l'oxydation thermique vapeur en présence de vapeur d'eau uniquement,
- l'oxydation anodique, obtenue par voie électrochimique
- l'oxydation plasma, réalisée à l'aide d'un plasma d'oxygène.

Notons que nous différencierons dans la suite, l'opération technologique d'oxydation de celle du dépôt d'oxyde qui n'entraîne pas les mêmes contraintes, thermiques notamment.

L'opération d'oxydation consiste donc à oxyder le Silicium depuis la surface du substrat, et la croissance de la couche d'oxyde sur la surface de silicium peut être effectuée spécifiquement par deux grandes classes (sèche ou humide).

***L'oxydation sèche** : $\text{Si} + \text{O}_2 \longrightarrow \text{SiO}_2$.

Cette oxydation représente plusieurs caractéristiques telles que la température d'oxydation, qui est un paramètre très important qui varie de (850 à 1200°C), associée à sa bonne qualité cristallographique et électrique. Sans seul inconvénient c'est qu'elle est lente.

***L'oxydation humide** : $\text{Si} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{H}_2$

La croissance de l'oxyde de silicium à la surface du silicium monocristallin ou poly-cristallin est obtenue à haute température (entre 900°C et 1050°C) sous flux de vapeur d'eau, cette oxydation est dite humide. C'est une croissance rapide mais avec une qualité cristallographique moyenne.

L'orientation cristallographique de la surface du silicium joue un rôle important :

- Silicium monocristallin
- donc oxydation plus rapide sur les faces $\langle 111 \rangle$
- et la vitesse de l'oxydation aussi dépend de la direction.

Pour obtenir un oxyde de qualité électronique satisfaisante, on préfère l'oxydation thermique soit avec de l'oxygène, soit en présence de vapeur d'eau. En général, la croissance de l'oxyde avec de l'oxygène pur donne une croissance plus lente de l'oxyde qui lui confère de bonnes propriétés électroniques (peu de défauts électriquement actifs). La croissance avec de l'eau donne une croissance plus rapide mais plus de défauts électriques. Cette méthode sera donc préférée pour réaliser des oxydes épais (quelques milliers d'Angström) de masquage ou d'isolation.

Par ailleurs, le Silicium s'oxyde à température ambiante en présence de l'atmosphère (qui contient de l'oxygène) ; mais dès que la couche d'oxyde atteint 2 ou 3 couches atomiques, le phénomène d'oxydation se bloque. On dit que la couche est passivante. Pour obtenir une oxydation sur une "grande épaisseur", il faudra activer le phénomène par une élévation de température.

La couche de Silicium initiale réagit avec l'élément oxydant pour former le SiO_2 ; on va ainsi consommer du Silicium. L'interface Si/SiO_2 va donc se retrouver "au-dessous" de la surface initiale. Un calcul simple montre que la fraction d'épaisseur située "au-dessous" de la surface initiale représente 46% de l'épaisseur totale de l'oxyde ; la fraction "au-dessus" représente donc 54%.

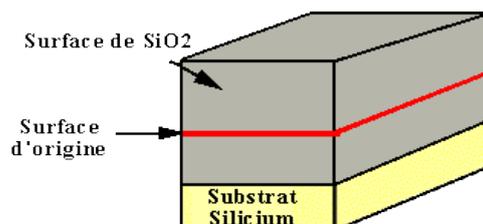


FIG I.26 Oxydation du Silicium. Une partie du substrat a été consommée lors de l'oxydation.

Cette augmentation de volume aura des conséquences importantes sur la planéité de la surface de la plaquette lorsque l'on réalisera des oxydations localisées. En effet, l'augmentation de volume sera locale et créera donc un relief comme représenté sur la figure qui suit :



FIG I.27 Effet d'une oxydation localisée du Silicium. L'augmentation de volume crée un relief à la surface de la plaquette.

Les opérations d'oxydations s'effectuent en général dans des fours similaires à ceux de diffusion dans lesquels on fait circuler de l'oxygène, sec ou humide, ou de la vapeur d'eau (FIG I.27).

Toutefois, dans les technologies submicroniques, les plaquettes peuvent être traitées dans des réacteurs à chauffage très rapide à lampes (type halogène) en présence d'un élément oxydant. Cette technique s'appelle oxydation thermique rapide et sera revue plus loin.

On peut aussi créer la vapeur d'eau dans le four en effectuant une synthèse à partir d'un flux d'hydrogène et d'un flux d'oxygène. Cette réaction étant très exothermique, elle est donc dangereuse. Le dispositif contient alors un grand nombre de sécurités (détection de flamme, contrôle des débits, etc...) afin d'éviter toute explosion. C'est ce type de réacteur qui est principalement utilisé chez les industriels. Il faut noter que la pureté chimique des gaz employés doit être très bonne (pureté 5.0 minimum, c'est-à-dire moins de 10ppm d'impuretés totales).

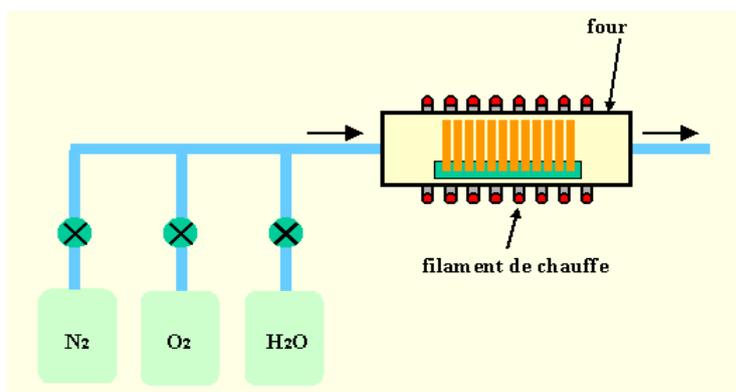


Figure I.28 Oxydation thermique avec de l'oxygène ou de la vapeur d'eau. On peut aussi fabriquer la vapeur d'eau à partir d'une torche à hydrogène brûlant en présence d'oxygène

3. Modélisation de l'oxydation :

Le modèle de base de l'oxydation est représenté sur la figure qui suit et qui distingue les 3 domaines dans lesquels il faut considérer des mécanismes différents :

- l'atmosphère ambiante contenant l'élément oxydant (soit de l'oxygène soit de la vapeur d'eau soit une combinaison de ces deux éléments,
- l'oxyde qui est traversé par l'élément oxydant par phénomène de diffusion. Notons que cette diffusion est négligeable à température ambiante mais fortement activée thermiquement,
- le Silicium, à la surface duquel se produit la réaction chimique d'oxydation.

Le calcul est basé sur l'analyse des flux de l'espèce oxydante dans les différentes zones. Si on raisonne en régime stationnaire, les trois flux sont égaux :

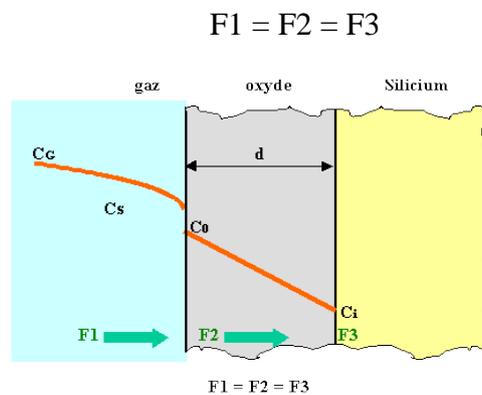


FIG I.29 Modèle de base pour l'oxydation thermique. On met en œuvre les 3 flux de l'espèce oxydante en phase gazeuse, dans l'oxyde et à l'interface Si/SiO₂ (d'après la loi de DEAL et GROOVE)

F1 est le flux de l'élément oxydant en phase gazeuse. On a donc une équation de diffusion type 1ère loi de Fick. En appelant CG la concentration dans l'atmosphère, loin de la surface, et CS, la concentration en surface $F1 = hG (CG - CS)$

hG est le coefficient de transfert de masse en phase gazeuse. On peut relier les concentrations CG et CS en fonction des pressions partielles en utilisant la loi des gaz parfaits :

$$CG = PG/kT \quad CS = PS/kT$$

En utilisant la loi de Henry, on peut convertir la pression partielle en surface du cristal en une concentration équivalente à la surface mais du côté matériau solide.

$$CO = H.pS \quad | \quad C^* = H.pG$$

H est la constante de Henry et C* est la concentration équivalente que l'on aurait dans le cristal pour une pression partielle dans le gaz. On peut ainsi écrire le flux F1 :

$$F1 = h (C^* - Co)$$

h est le coefficient de transfert massique, avec

$$h = \frac{h_g}{H.kT}$$

F2 est le flux de l'élément oxydant dans l'oxyde, qui obéit à la loi de Fick :

$$F_2 = -D \frac{\partial C}{\partial d} \quad \text{Soit encore} \quad F_2 = \frac{D(C_o - C_i)}{d_o}$$

F3 est le flux de réaction chimique à l'interface Si/SiO2. Ce flux est proportionnel à la concentration de l'espèce oxydante au niveau de l'interface.

$$F_3 = k_s.C_i$$

A partir de la relation $F_1 = F_2 = F_3$, on en déduit les coefficients C_i et C_o :

$$C_i = \frac{C^*}{1 + \frac{k_s}{h} + \frac{k_s d_o}{D}} \quad C_o = \frac{\left(1 + \frac{k_s d_o}{D}\right) \cdot C^*}{1 + \frac{k_s}{h} + \frac{k_s d_o}{D}}$$

A partir de ces équations, on peut maintenant évaluer la variation d'épaisseur d'oxyde, donc la croissance, à partir du flux F3. En appelant N_1 le nombre d'atomes oxydants par unité de volume,

$$N_1 \frac{\partial d_o}{\partial t} = F_3 = k_s \cdot \frac{C^*}{1 + \frac{k_s}{h} + \frac{k_s d_o}{D}}$$

En supposant qu'au temps $t = 0$, l'épaisseur (initiale) de l'oxyde est d_i , la résolution de l'équation différentielle du premier ordre ci-dessus se fait simplement en passant le dénominateur du terme de droite au numérateur gauche. On obtient ainsi un élément en d_o et un élément constant à intégrer en dd_o . La solution se présente donc sous la forme :

$$d_o^2 + A.d_o = B(t + \square)$$

$$\text{avec} \quad A = 2.D \cdot \left(\frac{1}{k_s} + \frac{1}{h}\right) \quad B = \frac{2.D.C^*}{N_1} \quad \tau = \frac{d_i^2 + A.d_i}{B}$$

On peut alors exprimer l'épaisseur de l'oxyde, d_o , en fonction de A, B et \square .

$$\frac{d_o}{A/2} = \sqrt{1 + \frac{t + \tau}{A^2/4B}} - 1$$

On peut simplifier l'expression de d_o en regardant des situations limites :

- pour des temps importants, l'épaisseur varie en racine du temps, c'est-à-dire que la croissance sera de plus en plus lente. Il faudra donc jouer sur la valeur de B en fonction de la température pour avoir des temps raisonnables d'oxydation (de quelques dizaines de minutes à quelques heures maximum) [6]

$$t \gg \tau$$

$$d_o^2 = B.t$$

$$d_o = \sqrt{B.t}$$

- pour des temps faibles, l'épaisseur est proportionnelle au temps. La condition est la suivante :

$$(t + \tau) \ll A^2/4B$$

$$d_o = (B/A).(t + \tau)$$

$$d_o = \frac{B}{A} (t + \tau) \frac{B}{A} = \left(\frac{k_s h}{k_s + h} \right)$$

4. Redistribution de dopants en cours d'oxydation :

Lors de l'oxydation de couches dopées, cette opération s'effectuant à haute température, les dopants se redistribuent dans le substrat. De plus, étant donné la consommation de Silicium lors de l'oxydation, une partie des atomes dopants se retrouvent dans l'oxyde. Mais les coefficients de diffusion des atomes dopants, à une température donnée, dans le Silicium et dans l'oxyde sont en général différents. Il se crée alors une discontinuité de concentration de dopant à l'interface Si/SiO₂.

Le Phosphore étant moins mobile dans le SiO₂, il y a accumulation de phosphore dans le silicium près de l'interface. Par contre, la concentration dans l'oxyde est plus faible.

C'est le phénomène inverse pour le Bore. Il y a appauvrissement en Bore du substrat de silicium près de l'interface, et la concentration dans l'oxyde est supérieure.

Le rapport des coefficients de diffusion à l'interface s'appelle "coefficient de ségrégation". Ce coefficient dépend des éléments diffusants et des matériaux considérés.

Ce phénomène de ségrégation de dopants sera bien sûr à prendre en compte dans la simulation technologique de l'oxydation.

Notons que les atomes dopants qui diffusent dans l'oxyde ne sont pas en général activés, ce qui signifie qu'ils ne créent pas de charges électriques dans cet oxyde et n'affectent pas en général les propriétés électriques telles que la tension de seuil d'un transistor MOS.

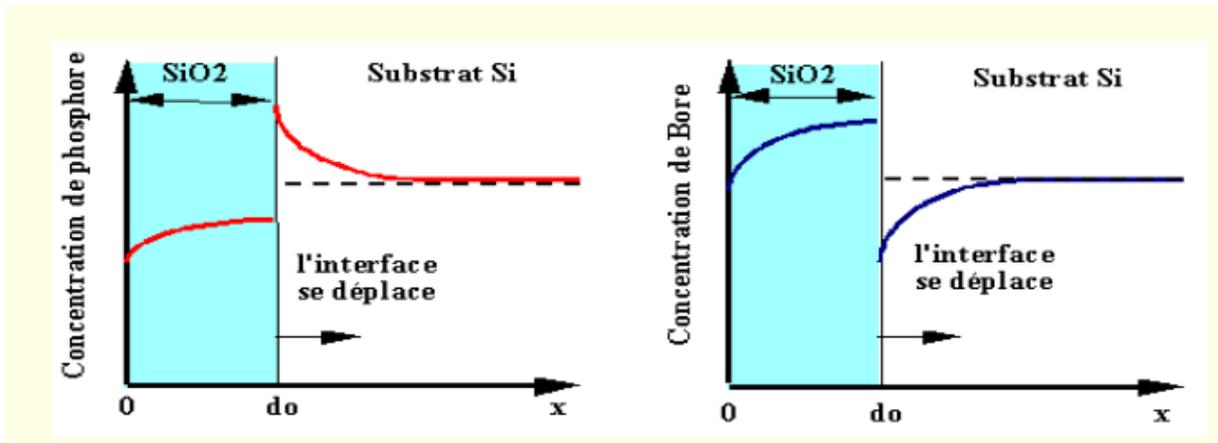


FIG I.30 Redistribution des dopants dans une couche de silicium en cours d'oxydation. L'interface du côté Silicium s'enrichit en Phosphore ou s'appauvrit en Bore.

5. Technique d'oxydation rapide : RTO (Rapid Thermal Oxidation)

Les oxydes MOS dans les technologies de longueur de grille inférieure à $0,1\mu\text{m}$ sont de dimension nanométrique. La croissance peut donc être très rapide. Pour éviter toute rediffusion de dopant dans les couches déjà réalisées, la technique d'oxydation consiste à disposer dans un four à lampes halogènes les substrats et à les chauffer très rapidement en présence d'une atmosphère oxydante. La durée de l'opération peut être inférieure à la minute. Un des avantages de cette technique est la possibilité de traitement plaque à plaque dans le cas des substrats de très grand diamètre. Il faut par contre parfaitement contrôler la montée en température des substrats afin d'éviter leur éclatement par gradient de contraintes thermiques. L'oxydation ne se fait que sur une seule face ce qui permet d'éviter le dépôt d'une couche protectrice ou des gravures postérieures.

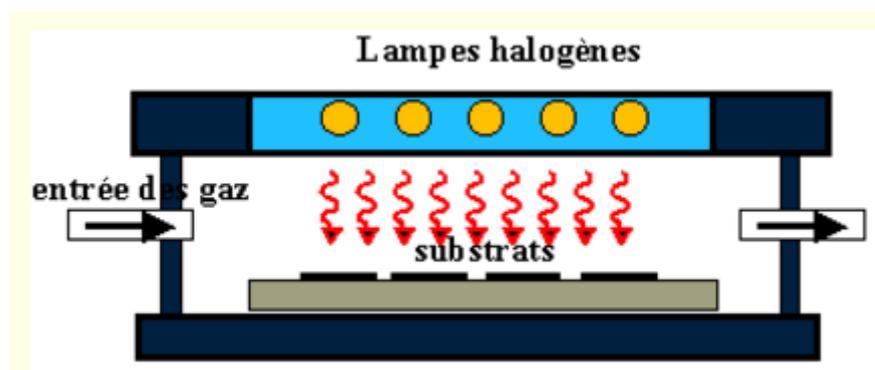
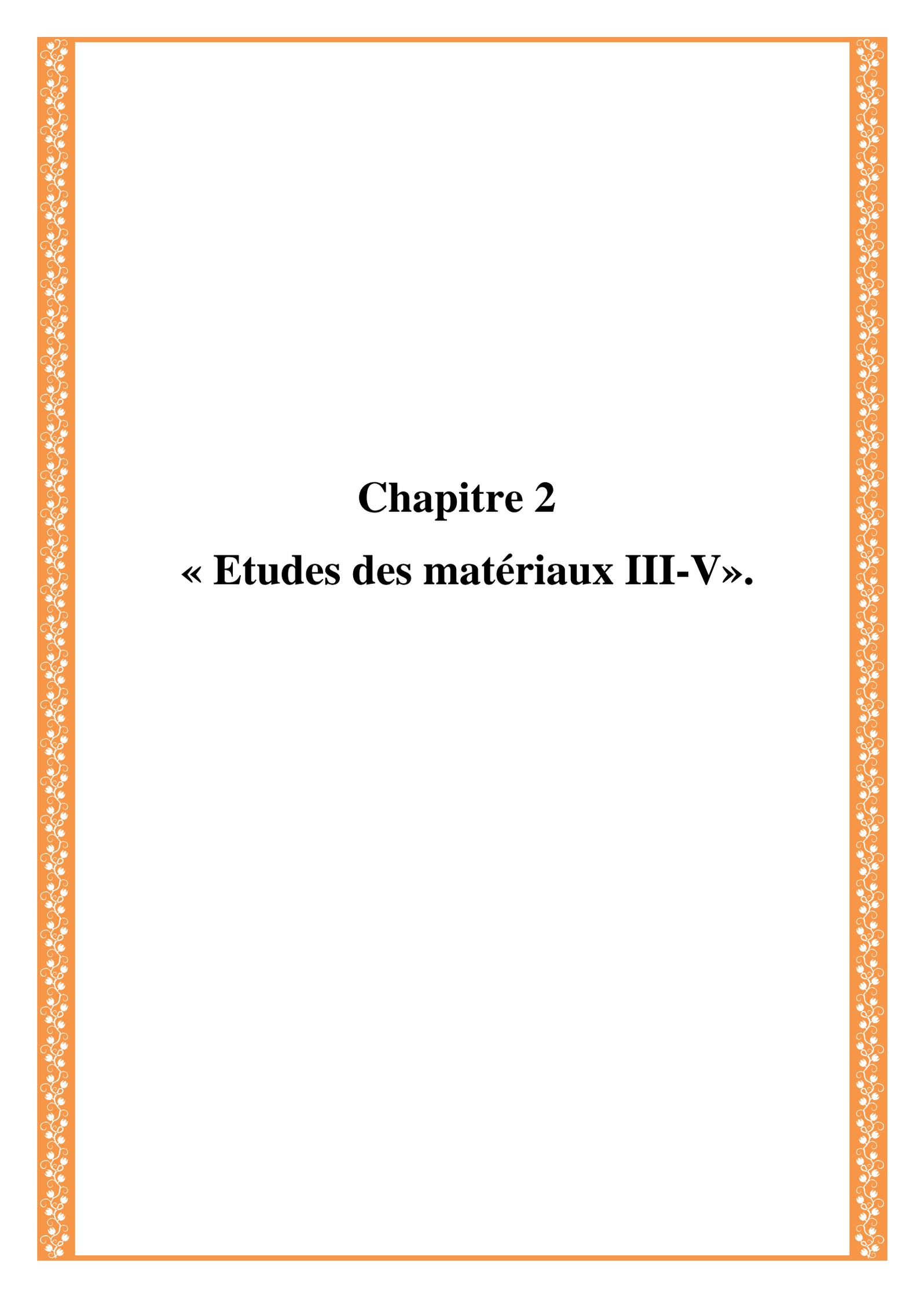


FIG I.31 Réacteur d'oxydation thermique rapide dont le chauffage est obtenu par rayonnement de lampes halogènes. La durée de ces oxydations rapide est de l'ordre de la minute.

VI. Conclusion :

Mon thème porte nom sur l'intégration des matériaux semi conducteurs composés III-V, et pour arriver à intégrer mon thème dans ce mémoire j'ai commencé en ce premier chapitre à introduire l'étude sur la technologie MOS vue que cette dernière est une superposition de métal et d'oxyde avec un semi conducteur et que aussi cette structure est l'élément de base d'un transistor MOSFET, cette étude consiste à citer les différent mode de fonctionnement de cette structure pour arriver ainsi à citer l'intérêt technologique de cette ingéniosité d'utiliser les semi conducteurs.

Puis j'ai parlé sur les différents semi conducteurs qui peuvent existés avec leurs différentes propriétés et techniques utilisées pour les avoirs et l'intégration dessus tels que les techniques d'élaboration et d'intégration et d'oxydation du silicium.



Chapitre 2

« Etudes des matériaux III-V ».

Introduction :

Dans ce chapitre nous allons parler sur les matériaux III-V avec leurs différentes propriétés, et leurs défis de leurs épitaxie sur le silicium suivie des différentes stratégies de leurs intégration pour ensuite prendre l'exemple de l'un de ces matériaux qui est le GaAs (l'Arséniure de gallium) pour en faire une étude spécifique et approfondie.

I. Les propriétés physiques et électriques des matériaux III-V :

Les matériaux III-V sont constitués des éléments des colonnes IIIb et Vb de la classification périodique des éléments. Le tableau (II.1) regroupe un extrait de cette classification (les chiffres en haut et en bas représentent respectivement le nombre atomique et la masse atomique). Ainsi, de nombreux composés binaires peuvent être réalisés.

<i>IIIb</i>	<i>IVb</i>	<i>Vb</i>
13 Al 26,98	14 Si 28,09	15 P 30,97
31 Ga 69,74	32 Ge 72,59	33 As 74,92
49 In 114,82	50 Sn 118,69	51 Sb 121,75

FIG II.1 Extrait de la classification périodique des éléments.

L'étude de leur structure de bandes montre toutefois, que les éléments les plus légers donnent des composés dont la bande interdite est large et indirecte, et dans laquelle la masse effective des électrons est élevée. Des matériaux, comme les composés contenant du bore, ou de l'aluminium, sont ainsi moins intéressants pour l'électronique rapide. Le tableau II-2 résume cette situation en donnant l'énergie E_g de bande interdite, la masse effective m^*/m_0 (où m^* et m_0 sont respectivement la masse effective et la masse de l'électron dans le vide) des électrons du bas de la bande de conduction, la mobilité électronique à champ faible μ et le paramètre cristallin a .

Des semi-conducteurs binaires comme l'arséniure de gallium (GaAs), l'antimoniure de gallium (GaSb), le phosphore d'indium (InP), l'arséniure d'indium (InAs), l'arséniure d'aluminium (AlAs), mais également les alliages ternaires et quaternaires qui en découlent, présentent des propriétés très intéressantes pour les applications hyperfréquences. Ces alliages ternaires et quaternaires sont réalisés par substitution partielle de l'un des éléments par un élément de la même colonne. On sait, par exemple, obtenir des alliages du type $Ga_xAl_{1-x}As$ ou du type $Ga_xIn_{1-x}As$.

Composé III-V	E_g (eV)	m^*/m_0	μ (cm ² /V.s)	a (Å)	α (Γ) (mev/k)
B N	7,5			3,6150	0.593
Al P	2,45			5,4510	0.5771
Al As	2,16			5,6605	0.885
Al Sb	1,58	0,12	200	6,1355	0.420
B P	2,0			4,5380	
Ga N	3,36	0,19	380	4.50	0.593
Ga P	2,26	0,82	110	5,4512	0.5771
Ga As	1,42	0,067	8500	5,6533	0.5405
Ga Sb	0,72	0,042	5000	6,0959	0.417
In P	1,35	0,077	4600	5,8686	0.363
In As	0,36	0,023	33000	6,0584	0.276
In Sb	0,17	0,0145	80000	6,4794	0.320

FIG II.2 Propriétés des principaux composés binaires III-V à 300 K.

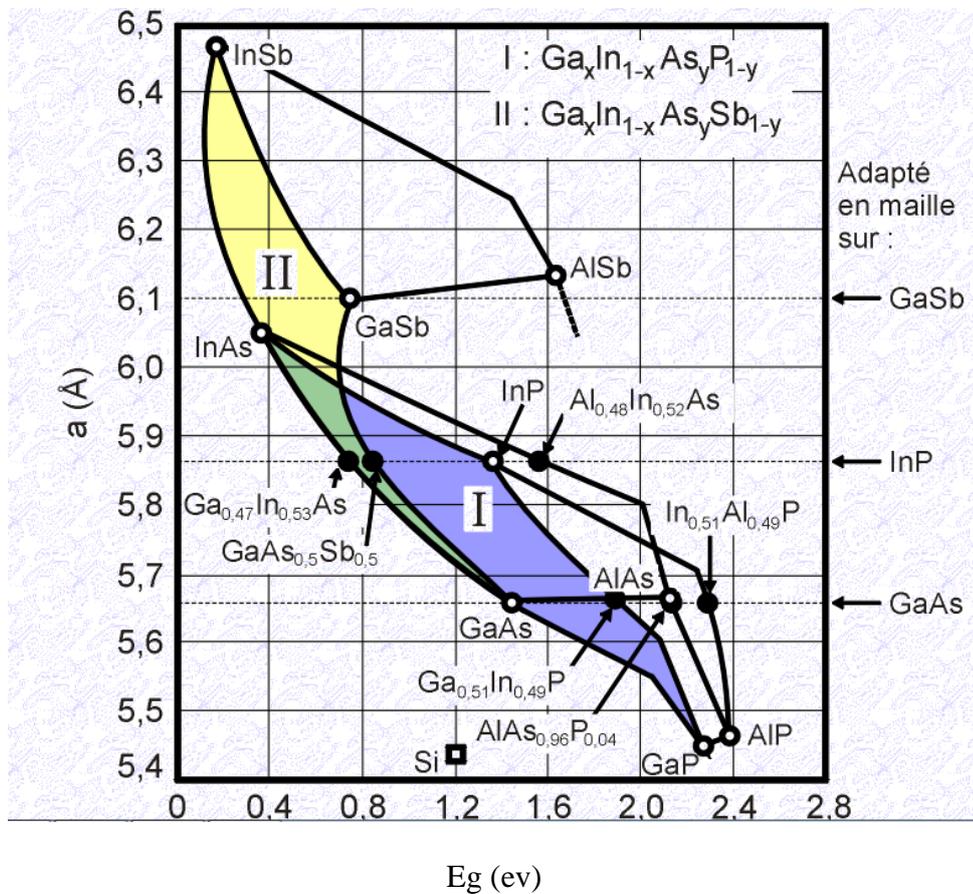


FIG II.3 Evolutions de l'énergie de bande interdite et du paramètre cristallin des alliages de composés III-V.

Le diagramme de la figure II-3 représente les variations de l'énergie de bande interdite en fonction du paramètre cristallin a qui varie lui-même avec la composition. Les points du graphe figurent la position des composés binaires stœchiométriques, et les lignes représentent l'évolution du gap E_g et du paramètre cristallin a , en fonction de la composition des alliages ternaires. Certaines lignes présentent un point anguleux qui dénote une transition entre un gap direct et un gap indirect. Ce diagramme est donc très important parce qu'il permet de connaître la composition de tout alliage ternaire susceptible d'être déposé en couche mince, par épitaxie, sur un substrat binaire comme GaAs ou InP. Les matériaux III-V offrent donc une grande variété de compositions permettant de modifier leurs propriétés électroniques.

Nous allons maintenant résumer quelques propriétés importantes de ces matériaux, comme la structure cristalline, la structure de bande ou les hétérojonctions formées à l'interface de deux matériaux différents. L'étude détaillée de ces matériaux a fait l'objet de plusieurs thèses et ouvrages auxquels on pourra se référer.

- **Structure cristalline :**

La plupart des matériaux III-V cristallisent dans la structure sphalérite dite "Zinc Blende" présentée sur la FIG (II.4). Cette structure, qui s'apparente à celle du diamant (C, Ge, Si, etc.), est constituée de deux sous-réseaux cubique face centrée (cfc), l'un d'éléments III et l'autre d'éléments V, décalés l'un par rapport à l'autre du quart de la diagonale principale, c'est-à-dire de $a\sqrt{3}/4$ [111], où a représente le paramètre de maille du matériau.

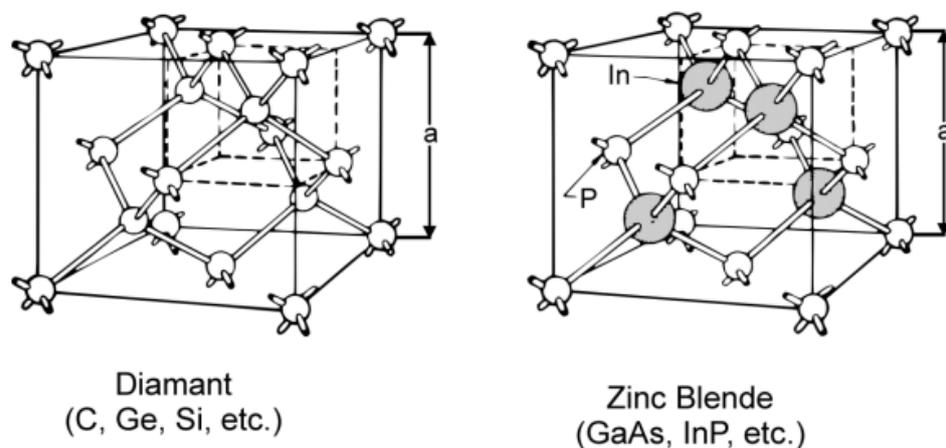


FIG II.4 Mailles cristallographiques des structures Diamant et Zinc Blende.

De ce fait, dans les matériaux III-V, les liaisons atomiques ne sont pas simplement covalentes comme dans le silicium. Elles reposent sur le transfert d'électrons des atomes du groupe V sur ceux du groupe III. Dans le cas du phosphore d'indium, le phosphore possède cinq électrons périphériques et l'indium trois. Dans le cristal, chaque atome de phosphore est entouré de quatre atomes d'indium, et chaque atome d'indium est entouré de quatre atomes de phosphore. Il se produit alors un échange d'électrons, et le cristal se construit avec les ions P^+ et In^- , qui ont tous quatre électrons périphériques. Cette répartition est à l'origine du caractère partiellement ionique et partiellement covalent des liaisons (semi-conducteurs polaires), qui sont orientées dans l'espace suivant les axes de symétrie d'un tétraèdre régulier.

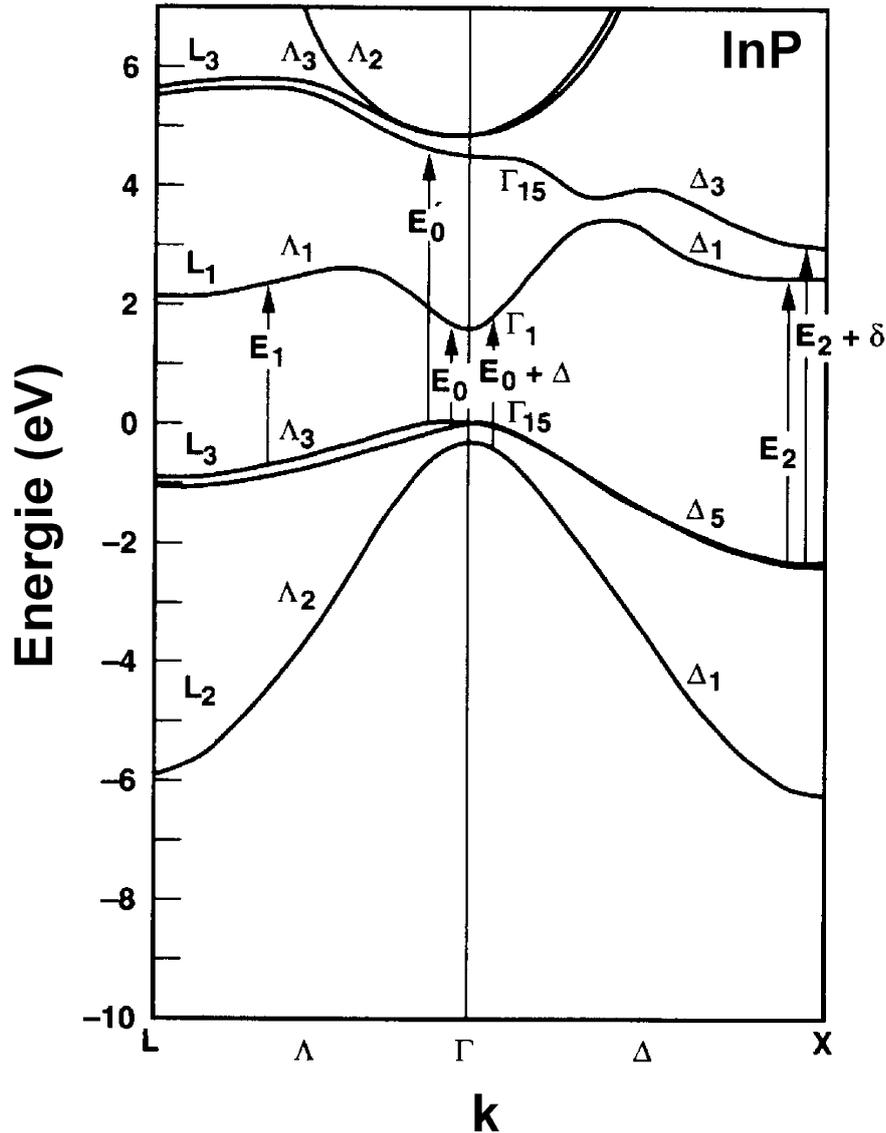


FIG II.6 Structure de bandes du phosphure d'indium au centre de la zone de Brillouin.

Les bandes de conduction et de valence sont multiples, mais les propriétés de transport électronique dépendent principalement de la structure de la bande de conduction la plus basse (BC) et de celle de la bande de valence la plus élevée (BV). Les semi-conducteurs III-V que nous utiliserons sont à "transitions directes". Cela signifie que l'énergie minimale G_1 de la bande de conduction et l'énergie maximale G_{15} de la bande de valence sont localisées au centre de la zone de Brillouin. Ceci a des conséquences importantes du point de vue des propriétés électroniques et optiques. La bande de conduction présente par ailleurs une courbure généralement très accentuée au voisinage de son minimum G . La masse effective des électrons étant inversement proportionnelle à cette courbure, ceci explique pourquoi, dans les semi-conducteurs III-V à bande interdite directe comme GaAs, InP, GaInAs, etc., la masse effective des électrons en G est très faible et, par conséquent, la mobilité électronique élevée.

On note également la présence de deux vallées latérales sur la bande de conduction, en bordure de la zone de Brillouin : vallée L dans la direction $\langle 111 \rangle$ et vallée X dans la direction $\langle 100 \rangle$. Réparties dans l'espace, il existe quatre vallées de type L équivalentes et trois de type X . Ces vallées sont caractérisées par une courbure faible et, par conséquent, par des électrons ayant une masse effective élevée et une faible mobilité. La structure de bandes permet de mieux comprendre certains mécanismes que nous allons maintenant décrire.

- **La saturation de vitesse :**

Dans certains matériaux comme GaAs et InP, les minima de ces vallées satellites et le minimum G sont séparés par une énergie de l'ordre de quelques dixièmes d'électronvolt. Ils sont donc accessibles à des électrons ayant gagné de l'énergie par un quelconque mécanisme. Considérons par exemple un ensemble d'électrons dont l'énergie E se situe au voisinage du minimum G . Leur masse effective est faible et leur mobilité élevée. S'ils gagnent de l'énergie en s'échauffant dans un champ électrique intense, ils vont monter dans la vallée G et pouvoir être portés à un niveau énergétique égal ou supérieur au minimum de L ou X . Une collision avec un phonon leur communiquant le complément d'impulsion nécessaire peut alors les "transférer" dans l'une des vallées satellites. Les électrons transférés voient leur énergie cinétique diminuer de l'énergie de transfert DE et ont une masse effective très accrue. Ils sont alors brusquement ralentis. Cette situation est à l'origine de la saturation de vitesse de transport v des électrons, observée dans les matériaux III-V, lorsque le champ électrique E augmente (courbe $v(E)$ présentant une décroissance en champs forts).

- **Le phénomène d'ionisation par impact :**

L'ionisation par impact ou par choc apparaît dans un matériau pour des champs électriques intenses. En effet, un électron qui dérive dans un solide sous l'effet d'un champ électrique, gagne de l'énergie sous forme cinétique et la transmet progressivement au cristal par le biais des nombreux chocs qu'il effectue avec les phonons du réseau. Ce processus assure la dissipation thermique de l'énergie potentielle perdue par les électrons. Cependant, si le champ électrique est suffisamment intense, certains électrons peuvent, au cours d'un vol libre, acquérir une énergie telle que leur impact sur un atome du réseau cristallin, aboutit à la rupture d'une liaison et à la création d'une paire électron-trou. Ce processus, illustré sur la figure II-7, peut devenir cumulatif et conduire au phénomène d'avalanche. Cet effet étant d'autant plus important que le gap du matériau est petit (l'énergie de seuil de l'ionisation par choc est approximativement de $3/2 E_g$), il est au cœur de notre étude visant à optimiser la structure des transistors HEMT sur substrat InP.

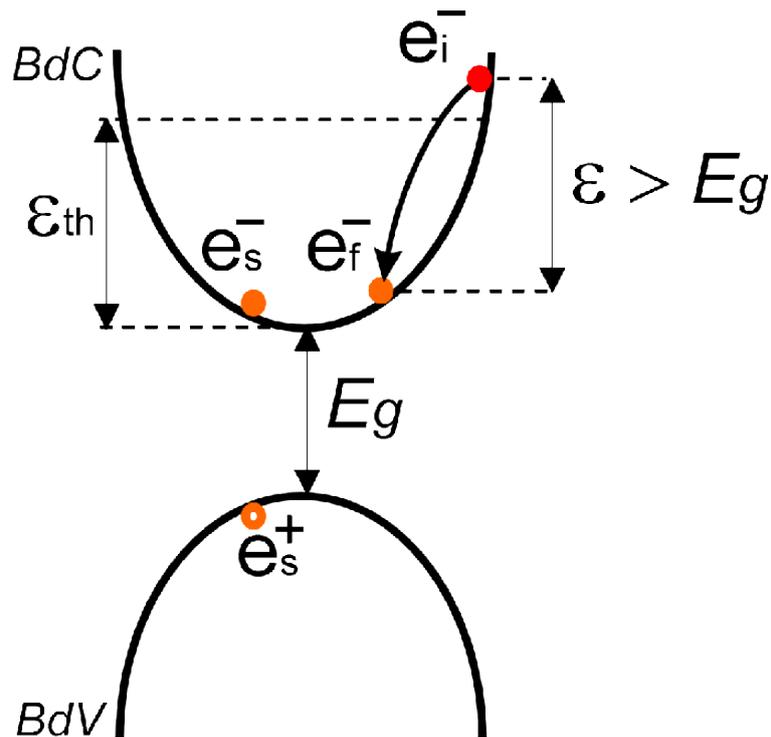
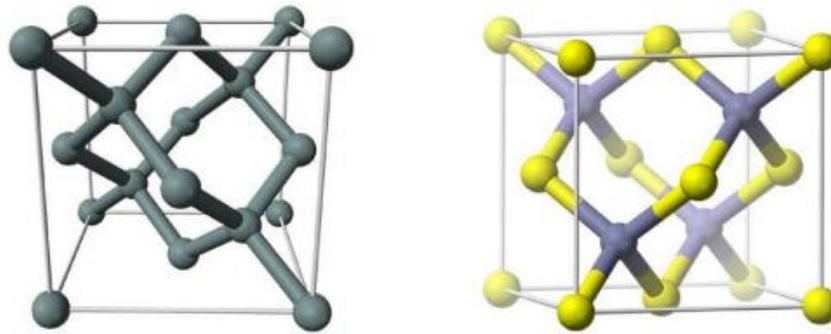


FIG II.7 Phénomène d'ionisation par choc (e_i^- : électron à l'état initial, e_f^- : électron à l'état final, e_s^- : électron secondaire créé, e_s^+ : trou créé).

II. Défis de l'épitaxie des III-V sur Si :

L'épitaxie est d'autant plus difficile que le matériau épitaxié est différent du substrat en terme de structure cristalline, paramètre de maille et réactivité chimique. Le silicium possède une structure de type « Diamant » (Figure I.3(a)) forme dérivée de la structure cubique faces centrées (cfc), où chaque atome est lié par une liaison covalente à 4 voisins placés aux sommets d'un tétraèdre, le paramètre de maille du Si est de 3,565 Å. Quant aux semi-conducteurs III-V (InP, GaAs), ils ne possèdent pas les mêmes réseaux cristallographiques que le Si. L'InP et le GaAs appartiennent à la famille blende de zinc (Figure II.8(b)). Le paramètre de maille du GaAs est de 3,565 Å, celui de l'InP est de 3,567 Å.



a) Structure « Diamant » du silicium

b) Structure Blende de Zinc des III-V

FIG II.8 Structures cristallographiques a) « Diamant » et b) Blende de zinc.

Cette structure cristallographique peut être décrite comme résultant de l'interpénétration de deux sous réseaux (cfc) avec une structure de base tétraédrique. La base de la structure des III-V consiste en deux atomes différents (Ga et As pour le GaAs). La structure du Si est similaire sauf qu'elle est basée sur un seul atome, le Si. Par conséquent, la structure des III-V ne possède pas une symétrie d'inversion contrairement à celle du Si. La structure zinc blende offre aussi des plans (111) alternés du GaAs conduisant à des propriétés très différentes selon la terminaison surfacique du plan.

a. Désaccord de maille :

Le désaccord de maille entre un matériau en croissance et son substrat est une limitation majeure pour les techniques d'hétéro épitaxie. Pour la plupart des systèmes de matériaux communs, le matériau désaccordé en croissance adopte au départ le paramètre de maille dans le plan du substrat, et subit une déformation élastique jusqu'à une épaisseur dite « critique ». Au-delà de cette épaisseur, un mécanisme de relaxation a lieu (éventuellement précédé par une formation d'îlots élastiquement relaxés) qui permet de réduire l'énergie élastique par la formation de défauts comme les dislocations. Comme dit précédemment, l'intégration des systèmes hétérogènes tels les III-V sur Si a été longtemps découragée par le fort désaccord de paramètre de maille entre ces matériaux. Les désaccords de maille entre les différents III-V et le Si sont de l'ordre de 4% à 8%, ainsi l'épitaxie directe des III-V sur Si conduit à la formation de dislocations de forte densité dans la couche épitaxiée. Par exemple, dans le cas d'une croissance de GaAs sur Si, la densité moyenne de dislocations émergentes dans la couche GaAs est de l'ordre de 10^9 cm^{-2} (FIG II.9), ce qui dégrade très fortement ses propriétés électroniques. Notons que les dislocations constituent des centres de recombinaisons non radiatives et dégradent la qualité optique et électronique des matériaux. Elles peuvent aussi faciliter la diffusion d'impuretés et conduire à la formation d'un dopage non intentionnel des structures. L'utilisation de couches III-V épaisses et relaxées est l'un des moyens permettant de réduire la densité de dislocations, grâce à leur recombinaison par coalescence ou annihilation dans ces couches épaisses.

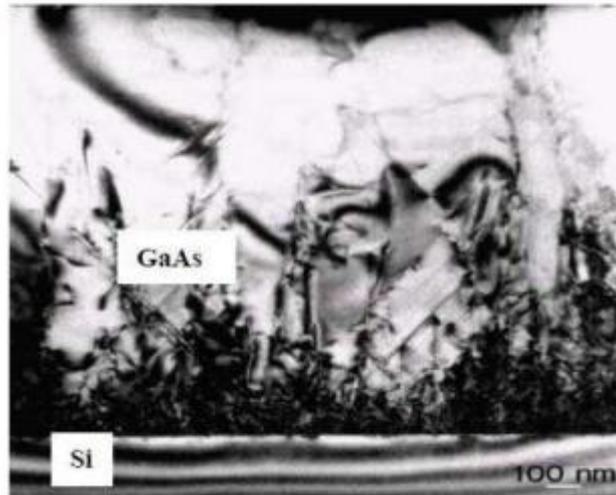


FIG II.9 Image TEM d'une couche de GaAs épitaxiée sur Si.

b. Parois d'inversion :

Durant l'épitaxie des III-V sur Si, si les éléments III et V arrivent simultanément à la surface du Si, il peut y avoir des zones dont la première couche est composée d'éléments III et d'autres où elle est composée d'éléments V. A la frontière de ces zones, il peut se former de « mauvaises liaisons » III-III et V-V contenues dans des plans appelés « parois d'inversion » et délimitant ces zones appelées domaines d'inversion, FIGII.10

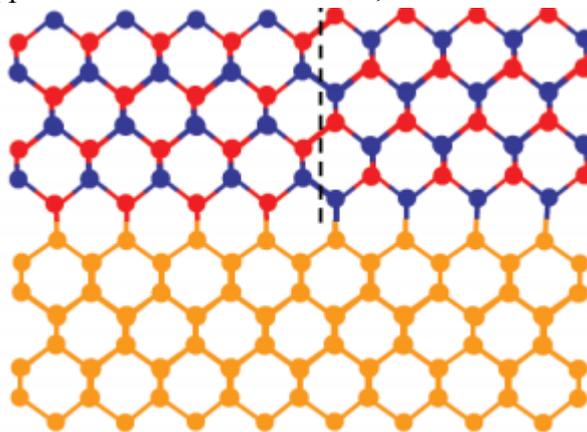


FIG II.10 Formation d'une paroi d'inversion sur une surface atomiquement plane.

Dans chacun de ces domaines le cristal III-V prend sa structure blende de zinc, mais d'un domaine à l'autre cette structure cristalline tourne de 90° ce qui conduit à une rupture de symétrie du réseau du cristal et à une dégradation de la qualité électrique et optique du matériau

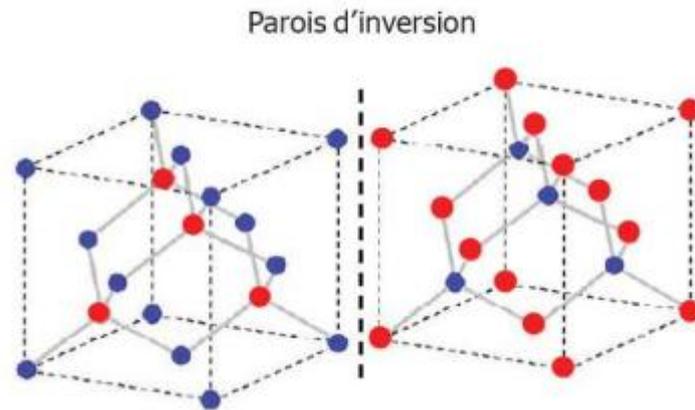


FIG II.11 Deux orientations possibles du cristal III-V. En bleu les atomes III et en rouge les atomes V.

Ces parois d'inversion forment des pièges et des centres de recombinaisons non radiatives pour les porteurs, dans le sens où une liaison III-III se comporte comme un défaut accepteur et une liaison V-V se comporte comme un défaut donneur.

Les parois d'inversion peuvent également apparaître au niveau d'une marche monoatomique.

Le saut d'une couche atomique du Si à une autre fait passer les atomes du III-V d'un sous-réseau à l'autre (Figure II.12) donnant lieu à la formation d'une paroi d'inversion.

L'utilisation de substrats désorientés de Si pourrait réduire la densité des parois d'inversion ainsi que le nombre de dislocations émergentes.

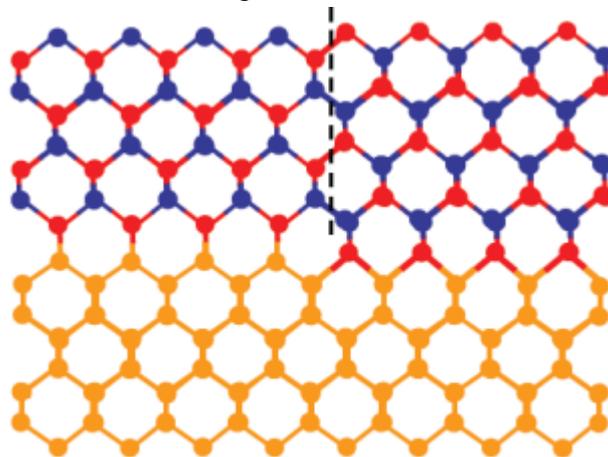


FIG II.12 Formation d'une paroi d'inversion sur une surface atomiquement plane.

c. La dilatation thermique :

Les III-V ont un coefficient de dilatation thermique globalement supérieur à celui du Si : à température ambiante $\alpha_{\text{GaAs}} = 6.0 \times 10^{-6} \text{ K}^{-1}$, $\alpha_{\text{InP}} = 4.6 \times 10^{-6} \text{ K}^{-1}$ et $\alpha_{\text{Si}} = 2.5 \times 10^{-6} \text{ K}^{-1}$.

Les variations de température appliquées à des hétéro structures III-V/Si conduisent donc à des effets de dilatation différentielle qui induisent des contraintes dans la couche de III-V. Ces contraintes sont relaxées par la formation de fissures (figure II.13), qui constituent des défauts non-radiatifs dégradant la qualité optoélectronique du matériau. Malheureusement, il n'y a pas encore de moyens qui permettraient d'empêcher ces conséquences liées à la différence des coefficients de dilatation thermique.

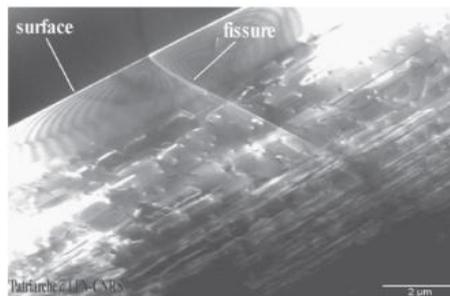


FIG II.13 Coupe transverse au MET (Microscope Electronique de Transmission) d'un pseudo-substrat graduel de Ge/SiGe/Si désorienté : présence de fissures dans la couche de Ge et la couche graduelle de SiGe $\alpha_{\text{Ge}} = 5.9 \times 10^{-6} \text{ K}^{-1}$, et $\alpha_{\text{Si}} = 2.5 \times 10^{-6} \text{ K}^{-1}$.

III. Les différentes stratégies d'intégration des III-V/Si :

Dans cette section nous présentons l'état d'art des différentes méthodes suivies ces 20 dernières années pour contourner les difficultés liées à l'intégration des III-V sur Si et pour minimiser la densité des défauts dans ces couches et optimiser leur qualité. Deux méthodes principales d'intégration sont exposées : l'épitaxie directe des III-V sur Si et la technologie du collage direct.

a. Epitaxie directe des III-V sur Si :

Trouver des solutions pour surmonter les limitations du désaccord paramétrique aurait un fort impact non seulement d'un point de vue fondamental mais aussi d'un point de vue applicatif. En particulier, l'intégration du Ge ou des III-V sur Si constituerait une percée technologique majeure. De nombreuses solutions ont été explorées avec un succès relatif. La croissance directe du GaAs ou d'InP sur Si a été activement étudiée il y a 20 ans. Une des approches développées consiste à faire croître des couches III-V épaisses et plastiquement relaxées, et à utiliser des traitements thermiques et/ou des hétéro structures contraintes pour freiner la

propagation de dislocations dans les hétéro structures III-V Suivant la même idée, des pseudo substrats Ge/Si consistant en des couches de Ge plastiquement relaxées sur Si ou de Ge/SOI préparé par la condensation de Ge ont été utilisés pour la croissance monolithique de GaAs. En effet, le désaccord paramétrique entre le Ge et le GaAs est très faible, produisant une faible densité de défauts en comparaison à la croissance directe du GaAs sur Si. L'équipe de Fitzgerald au MIT a développé cette approche, et a obtenu les résultats les plus convaincants jusqu'à aujourd'hui sur l'intégration monolithique de Ge et de GaAs sur Si. D'autres stratégies pour l'adaptation du paramètre de maille ont été ou sont encore investiguées, basées sur l'utilisation de polymères visqueux silicium poreux ou la structuration des substrats. Un substrat idéal doit être capable d'agir comme un germe cristallin qui oriente le paramètre de la couche en croissance sans transférer aucune déformation. Un tel substrat est dit compliant. Le concept de compliance a été tout d'abord introduit par Lo et al. Quelques tentatives de fabrication de substrats compliant ont été réalisées conduisant à des résultats intéressants d'un point de vue physique. Cependant, le comportement compliant de ces substrats est loin d'être idéal, et leur fabrication reste encore complexe. Ces approches sont limitées car elles impliquent une étape technologiquement complexe de préparation/structuration du substrat, et car la qualité cristalline résultante est médiocre.

b. Technologie du collage direct :

Cette technologie consiste à relier mécaniquement deux matériaux à température ambiante grâce aux forces de Van Der Waals. La méthode la plus rentable de la stratégie du collage direct est la technologie « Smart Cut », celle-ci est relativement plus économique et permet d'obtenir des couches ultra fines (qqn nm à qqn μ m) sur le substrat et garantit un contrôle précis de l'épaisseur et de la qualité. Le procédé du collage « Smart Cut » consiste à (FIG II.14):

- 1) Planter de l'hydrogène dans le substrat de III-V capé par une couche diélectrique.
- 2) Nettoyer, lier et coller les deux substrats ensemble.
- 3) Recuire le matériau pour le séparer en 2 le long des microfissures induites par les ions hydrogène implantés. Une fine couche de III-V reste collée sur l'isolant/Si et le reste du III-V séparé peut être recyclé.
- 4) Minimiser la rugosité de la surface fendue par lissage. Ce procédé produit des résultats de haute qualité, mais reste assez coûteux, complexe et ne permet pas de traiter des substrats de Si de grande taille à cause de la taille souvent limitée du substrat III-V. [9]

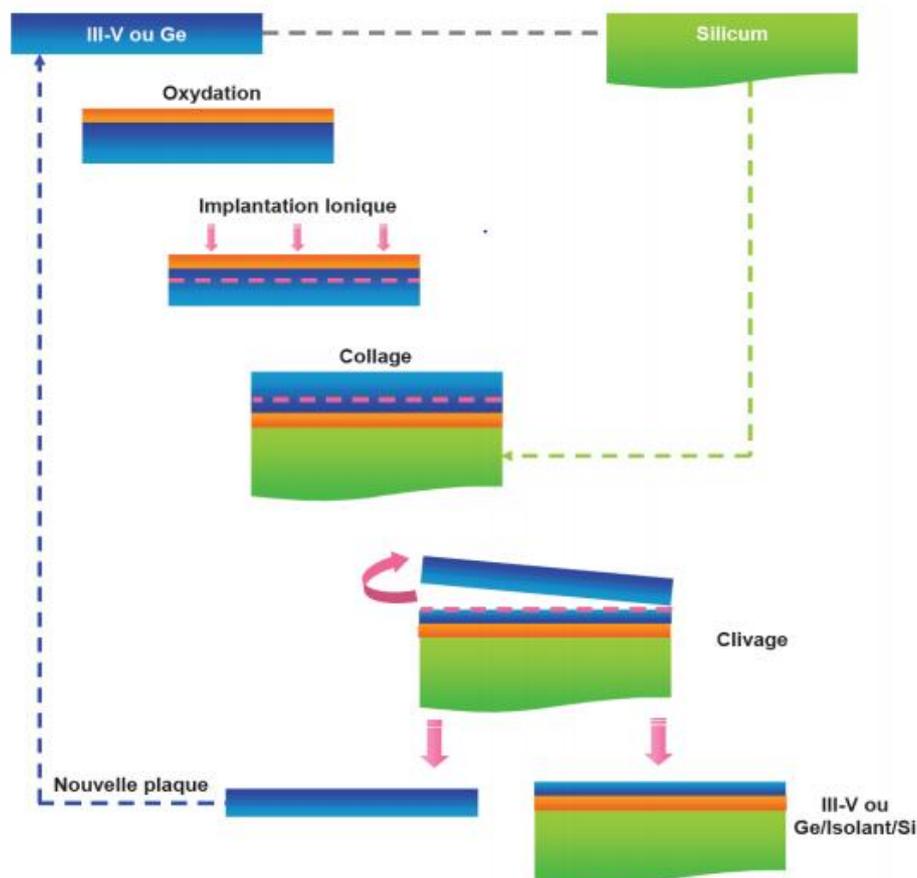


FIG II.14 Les 4 étapes de la technologie « Smart Cut : la coupe intelligente ».

IV. Etude d'un matériau III-V « l'arséniure de gallium : GaAs » :

L'arséniure de gallium est un composé chimique de formule brute GaAs appartenant à la famille des semi-conducteurs III-V. C'est un matériau semi-conducteur utilisé notamment pour réaliser des composants micro-ondes et des composants de haute fréquence, des diodes électroluminescentes dans l'infrarouge ou des cellules photovoltaïques. Le GaAs est dit « III-V » car le gallium et l'arsenic se trouvent respectivement dans les colonnes III et V du tableau périodique des éléments, et présentent donc trois et cinq électrons de valence. [7]

1. La Structure cristalline du « GaAs »:

L'arséniure de gallium possède une structure cristalline de type blende. Si l'on considère que les atomes de gallium suivent une structure de type cubique à faces centrées (CFC), les atomes d'arsenic occupent quant à eux 4 des 8 sites tétraédriques de cette maille (et vice-versa).

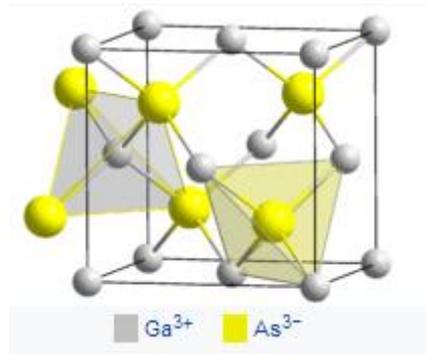


FIG II.15 Maille cristalline de l'arséniure de gallium.

2. Préparation du « GaAs »:

• Préparation de Substrat :

Plusieurs techniques sont employées pour fabriquer le substrat, parmi ces techniques en situ la technique de liquide encapsulation de Czochralski (LEC) et la technique horizontale de Bridgman (HB).

• La technique de Czochralski Encapsulation Liquide (LEC) :

Le Gallium est un métal liquide à 30°C ; il réagit avec la vapeur d'Arséniure à 1240°C pour extraire l'Arséniure de Gallium fondu, il est refroidi lentement puis purifié. Lors de ce traitement, il est particulièrement instable. L'Arséniure a la tendance de s'évaporer, donc il faut opérer sous pression pour maintenir l'équilibre des deux éléments. L'Arséniure de Gallium fondu est couvert d'une couche de B₂O₃ pour éviter l'évaporation de l'Arséniure, le germe résulte est mise en rotation au bout d'un creuset. Le matériau liquide se solidifie dans un état ordonné orienté par le germe.

• La Technique Horizontal de Bridgman (HB) :

Dans cette technique ; une nacelle contenant le Ga (source de Ga) est placée au bout d'un tube en quartz scellé et l'As solide (source d'As) à l'autre bout.

Le Ga est maintenu à une température juste au dessus de celle de fusion (1240°C) et l'As autour de (615°C) ou la pression de vapeur d'As est 1 atmosphère. L'As est transporté par diffusion de la région source vers le Ga liquide ; qui devient éventuellement un liquide de GaAs et comme la pression de vapeur de As au-dessus du GaAs liquide à (1240°C) est aussi à 1 atmosphère ; une presque parfaite stoechiométrie est atteinte. La croissance du monocristal GaAs est réalisée en introduisant dans un four à gradient de température (température décroissant suivant x) la nacelle contenant le germe et le GaAs fondu. La nacelle est déplacée de la section la plus chaude du four à la section la plus froide. En suite elle est retirée lentement à une vitesse constante et la solidification du

monocristal choisit l'état ordonné avec la même orientation que celle du germe.

- **Préparation des Couches Actives :**

La couche active est une couche conductrice mince de l'GaAs de grande pureté, dopée avec des impuretés de type donneur, en général uniforme développé sur un substrat semi-isolant. Elle existe deux techniques de préparation de ces couches actives.

- **Techniques Epitaxiales :**

L'épitaxie est une étape technologique consistant à faire croître du cristal sur du cristal. Etymologiquement, "épi" signifie "sur" et "taxis", "arrangement". On utilise le substrat comme germe cristallin de croissance et on fait croître la couche par un apport d'éléments constituant la nouvelle couche. La couche épitaxie peut être dopée ou non dopée. Elle existe deux types principaux de cette technique.

- **Technique Epitaxiale en Phase Vapeur**

Cette technique consiste à faire croître le cristal à partir de sources de gaz contenant les éléments dopants.

Dans le réacteur, les gaz se dissocient pour fournir par exemple le silicium qui se dépose à la surface des plaquettes. Pour assurer une bonne croissance ces dernières sont chauffées. Suivant la température de croissance, les réactions sont très différentes et elles peuvent même conduire à des effets négatifs. Il faudra donc aussi contrôler les équilibres chimiques par injections de gaz résultant de la décomposition de la source.

- **Technique Epitaxiale en Phase Liquide**

Cette technique consiste à faire croître le cristal par la mise en contact du substrat avec une source liquide. C'est le même principe que le tirage d'un lingot par la méthode Czochralski. Il faut bien contrôler les échanges thermiques pour éviter de liquéfier le cristal existant. Cette méthode présente l'avantage d'être très rapide, la vitesse de croissance peut être de l'ordre du micron par minute.

Propriété	Valeur
Structure cristalline	Zinc blende
Paramètre de maille	5.65 Å
Densité	5.32 g/cm ³
Densité atomique	4.5 × 10 ²² atomes/cm ³
Masse molaire	144.64 g
Coefficient d'expansion thermique	5.8 × 10 ⁻⁶ K ⁻¹
Chaleur spécifique	0.327 J/g.K
Constante diélectrique	12.85
Mobilité des électrons (non dopé)	8500 cm ² /V.s
Mobilité des trous (non dopé)	400 cm ² /V.s
Point de fusion	1238 °C

FIG II.16 Propriétés du GaAs à température ambiante (300 K).

3. Propriétés électriques :

Les propriétés électriques élémentaires des Silicium et GaAs sont regroupées dans le tableau I. Ces grandeurs dépendent de la température, des méthodes de tests utilisées, de la qualité du matériau mais également de la concentration en atomes dopants. Les propriétés du Si sont données en référence dans le même tableau. Il existe trois caractéristiques physiques qui font de ce semi-conducteur un candidat intéressant, notamment pour des applications à hautes températures. Il s'agit de :

- la largeur de bande interdite, - la vitesse de saturation, - la conductivité thermique

GRANDEURS PHYSIQUES	GaAs
E _g (eV)	1.43
Electricité (MV.cm ⁻¹) à 300 ⁰ K	0.4
N _i (cm ⁻³) à 300 ⁰ K	10X10 ¹⁰
V _{sat} (cm.s ⁻¹)	1.0X10
μ _n (cm ² .V ⁻¹ .s ⁻¹)	8500
μ _p (cm ² .V ⁻¹ .s ⁻¹)	400
ε _r	12.5
κ _k (W.cm ⁻¹ .S ⁻¹)	0.54

FIG II.17 Propriété physique de GaAs.

4. Avantages et inconvénients du GaAs:

Même si le silicium reste le matériau de base le plus largement utilisé dans le secteur des semi-conducteurs, on constate l'émergence rapide de nouveaux marchés demandant des matériaux spécifiques. Le besoin de nouveaux composants pour les hyperfréquences, la logique rapide, l'optoélectronique a poussé le développement des matériaux III-V dont les propriétés de transport électronique et les propriétés optiques ne sont pas accessibles au silicium.

Le GaAs, dont les avantages par rapport au silicium résident en particulier dans la possibilité d'obtenir un matériau semi isolant et aussi dans une mobilité électronique plus élevée (sept fois plus grande que celle du silicium). Ces deux dernières propriétés étant favorables à un fonctionnement à fréquence élevée. Ces caractéristiques ont rendu ce matériau très prometteur pour répondre aux nouvelles exigences dans les domaines des hautes fréquences et de l'optoélectronique.

Dans le domaine des composants optoélectroniques, on utilise surtout les propriétés de sa structure de bande (gap direct) et celles de ses composés ternaires et quaternaire (GaAlAs), GaAsP, GaInAs et GaInAsP). Ainsi, le développement de la technologie de fibres optiques à faible perte et la maîtrise de l'élaboration de GaAs ont abouti à la réalisation d'ensembles de télécommunications optiques utilisant des émetteurs lasers à semi-conducteur GaAs et GaAlAs .

Un autre atout très important de ce matériau est la possibilité de l'obtenir sous forme semi-isolant ; cet état de résistivité élevée est particulièrement favorable pour le développement d'une véritable technologie planaire de circuits intégrés sur GaAs. Aussi la largeur de sa bande interdite relativement importante qui autorise un fonctionnement à haute température. L'inconvénient majeur du GaAs est son coût élevé. Par exemple, les circuits intégrés en arséniure de gallium sont beaucoup plus cher : le matériau ne s'obtient qu'en plaquettes de 3 à 4 pouces de diamètre (de 7,5 à 10 cm) au maximum, ce qui limite le nombre de circuits intégrés fabriqués ; sa physicochimie se prête moins bien que le silicium aux associations de matériaux (semi-conducteurs, isolants, métaux) requis par les circuits intégrés, ce qui rend les méthodes de fabrication plus délicates et les rendements de fabrication plus faibles. Ces handicaps limitent l'arséniure de gallium aux utilisations où il est indispensable, à savoir lorsque l'on veut des circuits fonctionnant à des fréquences supérieures à 1 Ghz. [8]

V. L'ingénierie du gap :

Les transistors HEMT sont des composants dont le fonctionnement repose sur l'existence d'hétérojonctions semi-conducteur/semi-conducteur. En effet, le changement abrupt de structure de bandes à l'hétéro-interface entre deux semi-conducteurs conduit à l'apparition de discontinuités (*offsets*) à la jonction des bandes de conduction ou de valence, c'est-à-dire à des sauts de potentiel. Cela est illustré par le diagramme de bandes d'une hétérojonction dont l'établissement nécessite la connaissance de l'affinité électronique des deux semi-conducteurs. L'application des règles d'Anderson permet de déterminer les positions respectives des bandes de valence et de conduction à l'interface. La forme de la barrière dépend alors de la différence des travaux d'extraction et de la position du niveau de Fermi dans les deux matériaux.

La particularité des composants à hétéro structures résulte de leur capacité à contrôler le flux et la distribution des électrons et des trous à travers ces décalages de bandes. Leurs

progrès n'a été **rendu** possible que par l'avancée des techniques d'épitaxie, et notamment de l'épitaxie par jets moléculaires.

Les hétérojonctions sont classées en différents types suivant le type d'*offset* qui se produit à l'hétérojonction abrupte de semi-conducteurs, comme illustré figure II.8. Dans l'hétérojonction de **type I**, figure II-18-a, les *offsets* de bande pour la bande de conduction et de valence agissent comme des barrières de potentiel et gardent les électrons et les trous dans le matériau de plus petit gap. Les hétérojonctions de **type II** sont à *gap* décalé, figure II-8-b, ou brisé, figure II-18-c. Dans ces situations, électrons et trous sont alors séparés dans l'espace, avec les électrons diffusant dans un matériau et les trous dans l'autre.

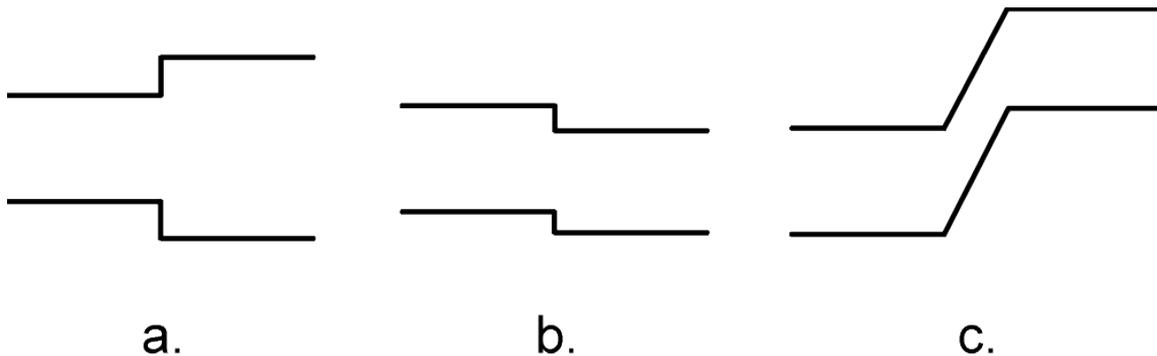


FIG II.18 diagrammes schématiques montrant les différents types d'hétérojonction.

Dans le cas du HEMT, l'hétérojonction la plus importante est sans doute celle que nous avons décrite précédemment, à savoir l'hétérojonction permettant le transport horizontal d'électrons dans un gaz bidimensionnel. En effet, cette hétérojonction va contribuer à définir des filières de composants comme nous le verrons au paragraphe suivant. Toutefois, nous pouvons voir sur la figure II.19, représentant la structure des bandes de valence et de conduction d'un HEMT, que chaque hétérojonction a de l'importance dans la mesure où les transports horizontaux et verticaux des électrons et des trous s'en trouvent influencés.

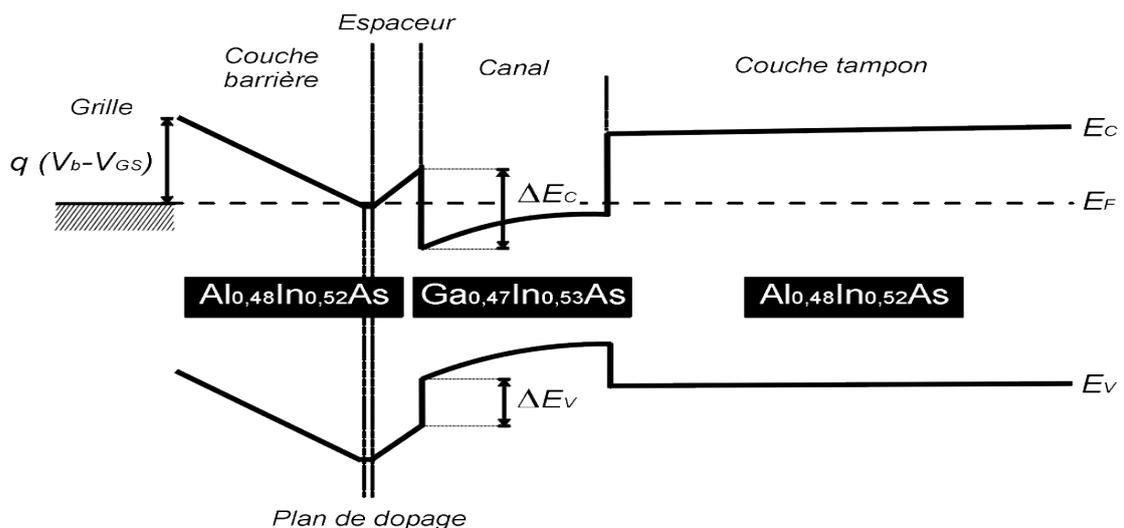


FIG II.19 représentation des bandes de conduction et de valence d'un HEMT AlInAs/GaInAs adapté en maille sur InP comportant un plan de dopage.

VI. Conclusion :

Dans ce chapitre j'ai effectué une étude sur les matériaux III-V en parlant sur leurs différentes propriétés physiques et électriques et les défis de leurs épitaxies et d'intégration de ces derniers puis j'ai effectué une étude sur l'un de ces matériaux qui est l'arséniure de gallium en essayant de parler sur toutes ces propriétés tout en faisant une étude comparative entre lui et le silicium conventionnel pour arriver ainsi à distinguer les atouts de ces matériaux pour savoir pourquoi on est passé aux III-V .Enfin j'ai introduit l'ingénierie du gap qui représente une étude essentielle des matériaux III-V.

CHAPITRE 3

**«La fabrication des composants
microélectroniques à base des
matériaux III-V ».**

Le but de cette étude est de présenter les différentes étapes de la fabrication d'un transistor à effet de champ de type HEMT et la fabrication d'un guide d'onde les deux fait à base de matériaux III-V.

En premier lieu on va présenter les technologies utilisées en micro-électronique pour fabriquer les composants pour ainsi arriver à parler sur le process utilisé en laboratoire pour la réalisation de transistors destinés à l'amplification faible bruit et de puissance.

I. Les technologies de la microélectronique :

I.1 Photolithographie :

- **Principe et méthodologie :**

Cette opération consiste à déposer une résine photosensible en film mince (quelques fractions de micromètre à plusieurs micromètres), uniforme, de grande qualité et fortement adhérent. Ces résines sont des composés organiques (généralement des polymères thermoplastiques) dont la solubilité est affectée par le rayonnement UV. Il existe deux types de résines :

- ✓ les résines négatives pour lesquelles le rayonnement ultraviolet entraîne une polymérisation des zones exposées, conférant ainsi à ces zones une tenue particulière au solvant de révélation alors que les parties non insolées disparaissent sélectivement dans ce solvant,
- ✓ Les résines positives pour lesquelles le rayonnement UV entraîne une rupture des macromolécules, d'où une solubilité accrue des zones exposées dans le révélateur.

L'opération de dépôt de la résine photosensible, opération appelée également laquage, s'effectue par centrifugation au moyen d'une tournette composée d'un système permettant la mise en rotation à grande vitesse de la plaque à résiner. Cette dernière est maintenue par aspiration à vide sur un support solide du plateau en rotation. L'épaisseur finale de la couche de résine est principalement fonction de la quantité de résine déposée sur l'échantillon, de sa viscosité, et des conditions de rotation (accélération, vitesse, temps).

La résine photosensible, visqueuse après son étalement sur l'échantillon, est alors durcie sur une plaque chauffante ou dans un four, de façon à éliminer toutes les traces de solvant avant son insolation.

Pour l'alignement et l'insolation de motifs d'un masque sur la plaque, on utilise un aligneur à UV permettant le masquage par contact. Ce principe est illustré sur la (**FIG-III.1-**) :

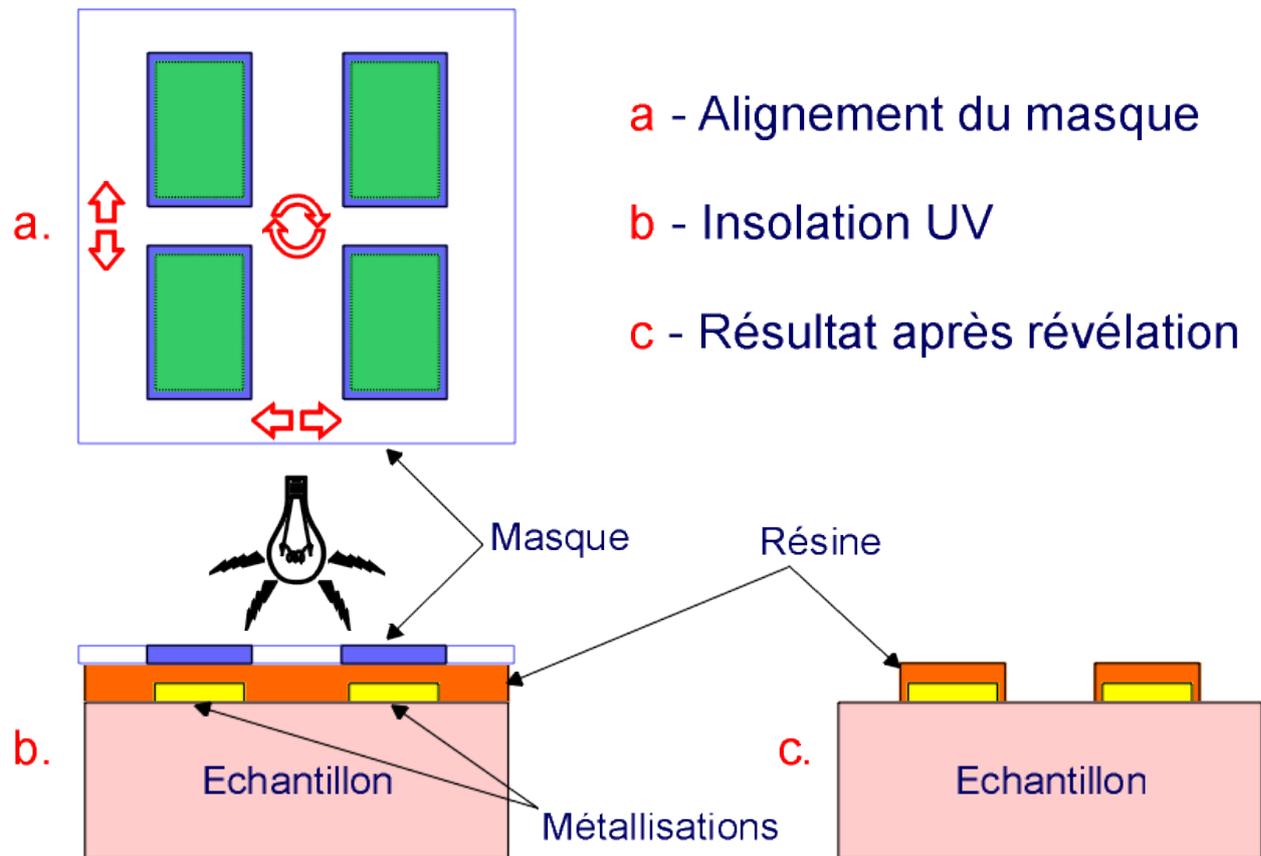


FIG III.1 photolithographie par contact d'un niveau "méso" sur un niveau de métallisations en résine positive.

- **Le procédé "lift-off" : «Le décollage» :**

La technologie des composants III-V se distingue de celle du silicium par l'utilisation de métaux difficiles à graver. De ce fait, contrairement à la technologie du silicium où, pour former un contact métallique, on dépose un film métallique sur toute la surface de l'échantillon et on élimine ensuite les parties indésirables au moyen d'une gravure à travers un masque de résine, en technologie III-V, on réalise un masque résine avant de déposer le métal qui est déposé seulement dans les parties désirées. En disparaissant, la résine élimine le métal qui a été déposé sur sa surface, laissant derrière elle les motifs métalliques recherchés.

Cette technique requiert :

- ✓ l'emploi d'un film relativement épais avec un profil révélé adéquat de sorte que le film métallique déposé soit mince sur les bords de la marche pour permettre une dissolution rapide du masque de résine : c'est la technique du "lift-off", illustrée sur la (FIG-III.2- (a, b et c))
- ✓ l'utilisation d'un procédé de dépôt métallique anisotrope comme l'évaporation.

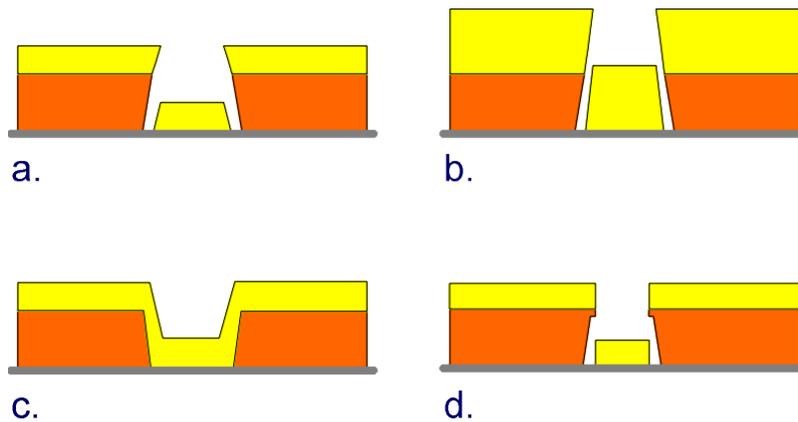


FIG III.2 technique du lift off : a) résine plus épaisse que le métal avec un profil de résine sous-gravé, b) résine moins épaisse que le métal avec un profil de résine sous-gravé, c) résine moins épaisse que le métal avec un profil de résine qui n'est pas sous-gravé, d) profil en casquette généralement utilisé.

Afin de réduire l'épaisseur de résine (la résolution du masquage est inversement proportionnelle à l'épaisseur de résine), il est préférable d'utiliser la "méthode de la casquette". Une méthode utilisée pour obtenir ce profil illustré sur la (**FIG III.2**) est de durcir la surface de la résine en la plongeant dans un solvant aromatique tel que le chlorobenzène. Des techniques de bicouche présentent l'avantage de pouvoir également reproduire ce profil sans avoir recours au chlorobenzène qui est un produit cancérigène.

I.2 Dépôts de films minces :

Le **dépôt de couche mince** désigne l'ensemble des techniques qui permettent de déposer une couche mince ou film mince de matériau sur un substrat ou sur des couches déposées antérieurement. Le terme « **mince** » est relatif, mais la plupart des techniques de dépôts permettent typiquement de déposer des épaisseurs de couche de quelques nanomètres. Certains, comme l'épithaxie par jet moléculaire, permettent même de déposer une seule couche atomique à la fois.

Cette technique est très utile pour créer des composés impossible à fabriquer par chimie en masse (**procédés traditionnels, tels que la fonderie**). On peut notamment citer dans la fabrication optique (pour des revêtements réfléchissants ou antireflet, par exemple), l'électronique (**couches d'isolants, de semi-conducteurs et de conducteurs des circuits intégrés**), l'emballage (**feuilles de PET recouvertes d'aluminium**), et l'art contemporain (**voir notamment les travaux de Larry Bell**). Des processus similaires sont parfois utilisés quand l'épaisseur n'est pas critique. C'est le cas, par exemple, de la purification du cuivre par galvanoplastie, et le dépôt de silicium et d'uranium enrichi par un processus similaire à une **CVD**, à la suite d'un processus en phase gazeuse.

Les techniques de déposition se répartissent en deux grandes catégories, selon que le processus est essentiellement chimique ou physique.

I.3 Gravure :

Le terme de **gravure** désigne l'ensemble des **techniques artistiques** qui utilisent l'incision ou le creusement pour produire une **image** ou un **texte**. Le principe consiste à inciser ou à creuser à l'aide d'un outil ou d'un mordant une **matrice**. Après encrage, celle-ci est imprimée sur du papier ou sur un autre support. L'œuvre finale ainsi obtenue s'appelle une **estampe**.

Par abus de langage, « **gravure** », « **estampe** » et « **tirage** » sont souvent confondus.

La première technique identifiée est la **xylographie**, apparue en Chine au **VII^e** siècle. Parallèlement à l'invention de **l'imprimerie** en Europe, ces techniques connaîtront un développement considérable à partir de la Renaissance.

I.4 Implantation des contacts :

- **Aluminium et alliage d'aluminium** :

En raison de ses propriétés, l'aluminium et ses alliages sont largement utilisés pour le câblage dans les micro-chips:

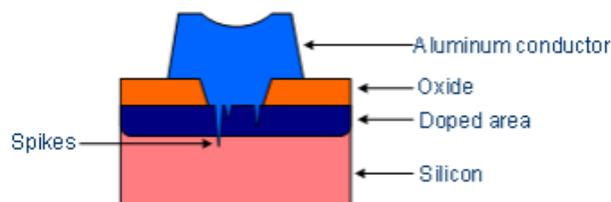
- ✓ Excellente adhérence sur SiO_2 et entre couches comme BPSG ou PSG
- ✓ Excellent contact avec des câbles (c'est-à-dire des fils d'or et d'aluminium)
- ✓ Faible résistance électrique ($3 \mu\Omega \cdot \text{cm}$)
- ✓ Simple à structurer dans les processus de gravure sèche

L'aluminium répond aux exigences de résistance électrique et de résistance à la corrosion uniquement partielle. Les métaux comme l'argent ou le cuivre ont de meilleures propriétés, cependant, ces métaux sont plus coûteux et ne peuvent être gravés dans la gravure sèche sèche facilement.

- **Diffusion en silicium** :

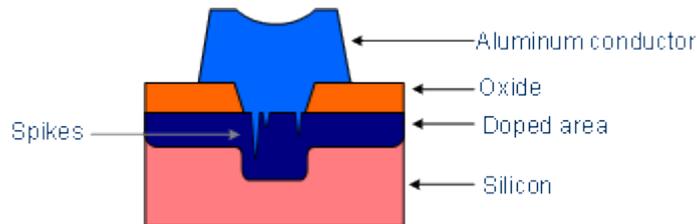
L'utilisation de l'aluminium pur conduit à une diffusion du silicium dans le métal. Le semi-conducteur réagit avec la métallisation à seulement 200-250 ° C. Cette diffusion du silicium provoque des cavités à l'interface des deux matériaux qui sont ensuite remplis par l'aluminium. Cela conduit donc à des pointes qui peuvent provoquer des courts-circuits s'ils traversent les régions dopées dans le cristal de silicium en dessous.

Spikes : « les pointes » :



La taille de ces pointes dépend de la température à laquelle l'aluminium a été déposé sur la plaquette. Pour éviter les pointes il existe plusieurs possibilités : Une implantation ionique profonde - implantation de contact - peut être introduite à l'emplacement des vias. Ainsi, les pointes n'atteignent pas le substrat.

Implantation de contact

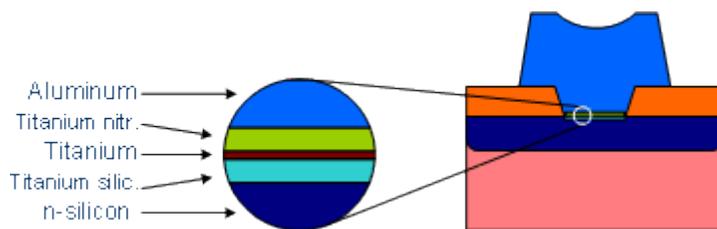


L'inconvénient est qu'il doit y avoir une étape de procédé supplémentaire, en outre, les propriétés électriques changent parce que les régions dopées sont agrandies.

Au lieu de l'aluminium pur, un alliage d'aluminium et de silicium peut être utilisé (silicium 1-2%). Parce que l'aluminium contient déjà du silicium, il n'y aura pas de diffusion sur le substrat. Cependant, si les vias sont très faibles, le silicium peut tomber dans la zone de contact et entraîner une résistance accrue.

Pour les contacts avec une qualité élevée, une séparation de l'aluminium et du silicium est essentielle. Une barrière de matériaux différents (par exemple le titane, le nitrure de titane ou le tungstène) est déposée. Pour éviter une résistance de contact accrue à l'interface du titan en silicium, on utilise une mince couche de siliciure de titane.

Couche de barrière entre l'aluminium et le silicium



II. Les étapes de fabrication d'un transistor HEMT :

II.1 Présentation du "process" :

Les processus de fabrication des transistors, que nous avons développés, sont illustrés sur la FIG-IV.3-. Hormis la largeur des contacts ohmiques (10 μm), cette figure représente assez fidèlement les échelles de taille (à ce niveau de dimensions l'épithaxie ne peut être détaillée). Le *process* commence par le dépôt des contacts ohmiques et des marques de repérages (1). Ces marques sont nécessaires au masqueur électronique pour se repérer lors des étapes ultérieures. Après isolation par gravure humide des différents composants présents sur la plaquette (2), on procède au creusement du fossé de grille, puis au dépôt du contact métallique de grille (3). Les composants peuvent alors être protégés par un diélectrique, c'est l'étape de passivation (4). Vient enfin l'étape de dépôt des plots d'épaissement (5). Ceux-ci vont permettre la caractérisation sous pointes des composants. Cette fabrication fait appel à la lithographie électronique pour les étapes qui demandent une précision inférieure au micromètre, c'est-à-dire pour la définition des contacts ohmiques et des marques, et la réalisation de la grille. Les autres étapes, comme l'isolation ou l'épaissement, utilisent la lithographie optique.

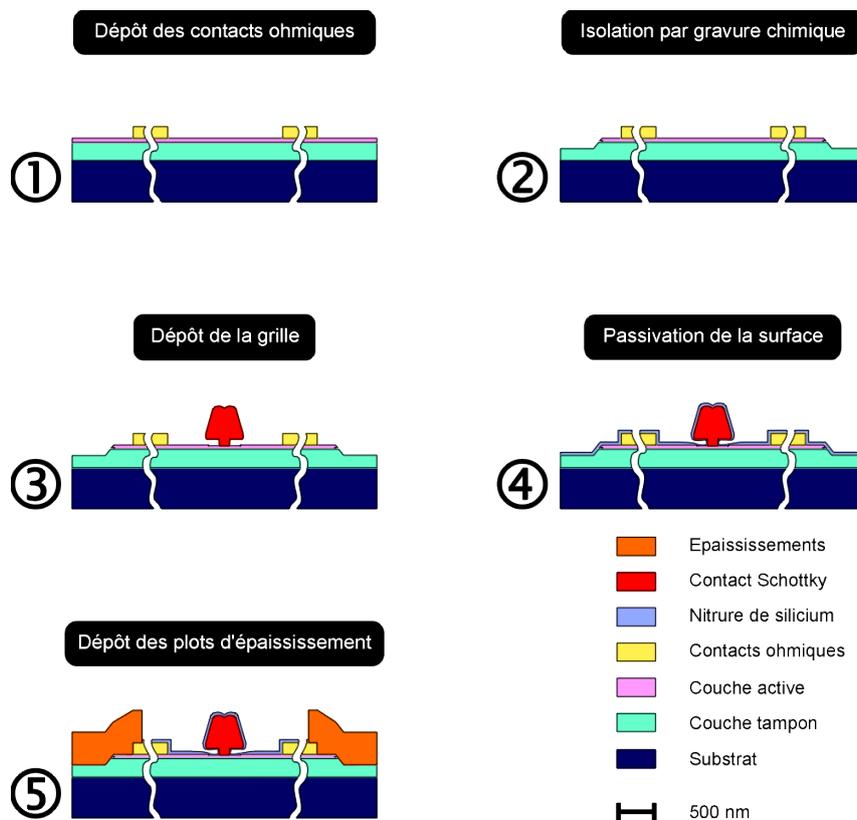


FIG III.3 synoptique des procédés de réalisation d'un HEMT submicronique.

II.2 Les contacts ohmiques :

Un **contact ohmique** est un contact métal-semi-conducteur avec une très faible résistance de contact. Il est dit ohmique lorsque le courant I est proportionnel à la tension V avec un facteur de proportionnalité. La résistance spécifique de contact r_c est le produit de R_c par la surface de contact.

A l'interface se forme une barrière de potentiel s'opposant au passage du courant. Trois mécanismes principaux régissent l'expression du courant:

1. Le franchissement de la barrière par émission thermo-ionique dominant dans les semi-conducteurs peu dopés ($N_d < 10^{17} \text{ cm}^{-3}$). La zone désertée qui se forme près du contact est étendue. Elle joue le rôle d'une barrière de potentiel large, ce qui rend le passage par effet tunnel peu probable.
2. Le franchissement de la barrière par effet tunnel assisté thermiquement, dans le cas des semi-conducteurs moyennement dopés. L'émission thermo-ionique et l'effet tunnel jouent alors un rôle important dans les mécanismes de conduction.
3. Le franchissement de la barrière par effet tunnel pur, qui intervient dans le cas des semi-conducteurs fortement dopés ($N_d > 10^{18} \text{ cm}^{-3}$). Le semi-conducteur étant très dopé, la zone déserte est plus petite et donc la probabilité de passage par effet tunnel pur n'est plus négligeable, entraînant un mode de conduction par effet tunnel prédominant.

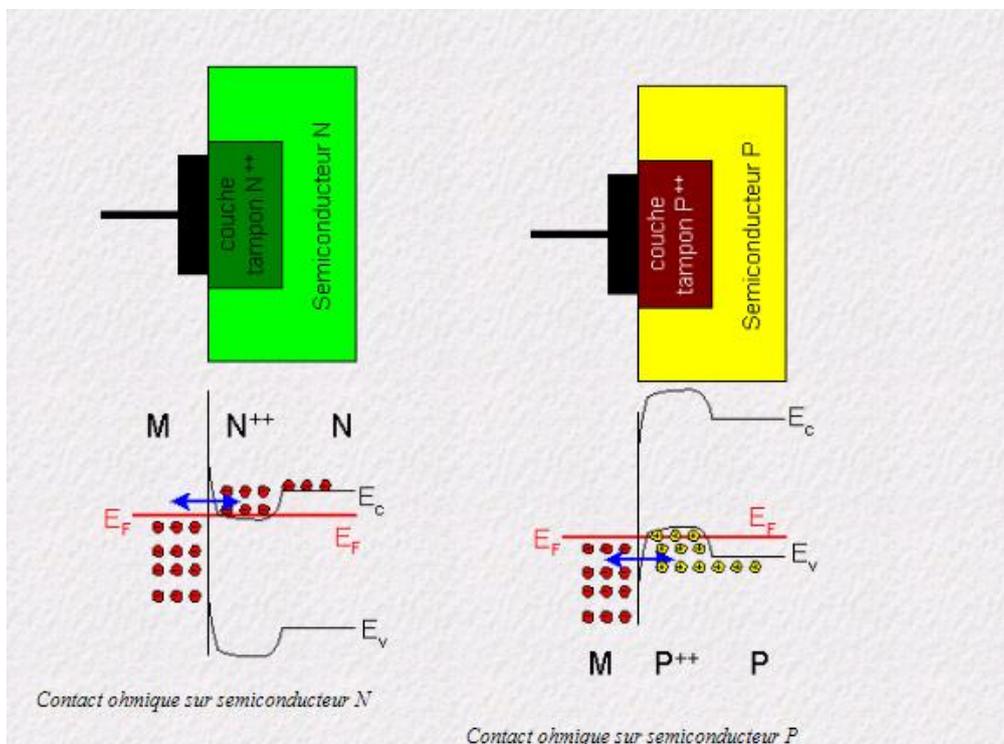


FIG III.4 contacts ohmiques.

II.3 L'isolation des composants :

Cela sert d'une part à protéger les enroulements contre les influences atmosphériques nocives telles que la chaleur, l'humidité, les vibrations ou les saletés et à augmenter ainsi la durée d'utilisation et la fiabilité des composants. D'autre part, il est possible de cette manière d'améliorer la fonctionnalité et les propriétés des pièces. Ainsi les résines de potting utilisées en fonction du profil de l'exigence garantissent une résistance mécanique plus élevée, une dissipation thermique optimisée, une meilleure résistance à la haute tension, une meilleure résistance aux changements de température des composants et ainsi une meilleure fiabilité dans l'utilisation. Pour éviter la formation de bulles d'air qui pourraient influencer les propriétés électriques des composants, on choisit généralement un potting sous vide

II.4 Le contact Schottky de grille :

Le principe de fonctionnement du HEMT est identique à celui d'un transistor à effet de champ à grille Schottky de type MESFET. Il est basé sur la modulation de la conductance entre deux contacts ohmiques appelés "Source" et "Drain", par l'action électrostatique d'une électrode de commande dénommée "Grille".

La variation de cette conductance est proportionnelle au nombre de porteurs libres dans le canal, et donc au courant entre source et drain. C'est l'effet d'amplification transistor qui permet de transformer un faible signal appliqué sur la grille en un signal plus fort récupéré sur le drain.

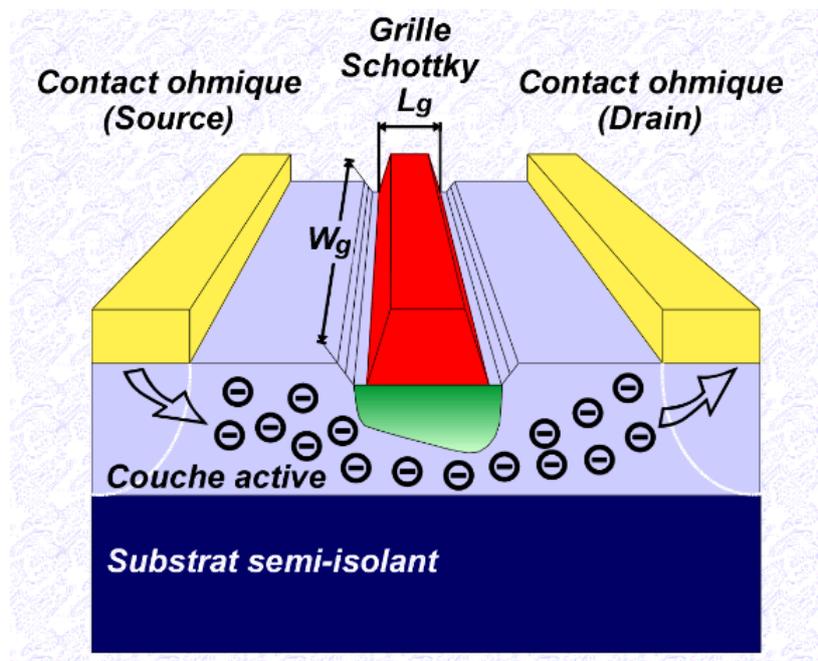


FIG III.5 transistor à effet de champ à grille Schottky, le MESFET.

II.5 La passivation :

La **passivation** ou **passivité** représente un état des métaux ou des alliages dans lequel leur vitesse de corrosion est notablement ralentie par la présence d'un film passif naturel ou artificiel, par rapport à ce qu'elle serait en l'absence de ce film.

Dans la plupart des cas (aluminium, acier, acier inoxydable, titane...), ce film passif apparaît spontanément par oxydation, parce que l'oxyde formé sur la surface est insoluble et constitue un obstacle qui ralentit les processus ultérieurs. Dans un milieu aqueux, la formation de ce film est liée à un domaine de potentiel électrochimique ainsi qu'à un domaine de pH dans lesquels l'oxyde est stable. De ce fait, on s'attache à ce que le film passif se forme à l'air avant la mise en service de la pièce :

- ✓ en fin de fabrication, on décape la pièce afin que rien ne gêne le passage de l'air jusqu'à la surface de la pièce, pour que le film d'oxyde se forme naturellement :
- ✓ élimination des huiles et graisses,
- ✓ élimination des particules d'acier au carbone (non-inox) pouvant provenir des opérations de fabrication ou de manutention (outils ayant servi à travailler de pièces en acier au carbone, projections de pièces voisines, manutention avec des mors en acier) ;
- ✓ élimination d'une couche d'oxyde épaisse ayant pu se former lors des traitements thermiques et des opérations de soudure (couche colorée, calamine, laitier) ;
- ✓ si nécessaire, utilisation d'un procédé aidant à former la couche passive : traitement à l'acide nitrique pour un acier inoxydable, anodisation pour un alliage d'aluminium.[10]

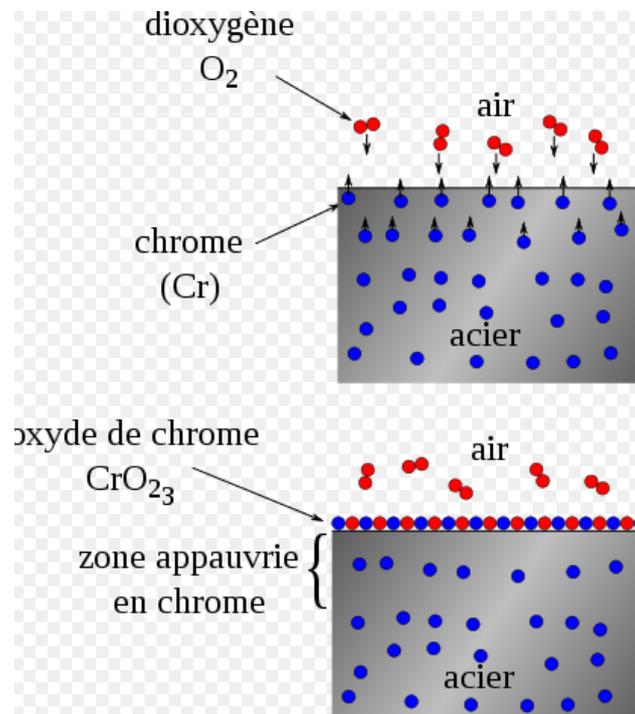


FIG III.6 Mécanisme de passivation d'un acier inoxydable : les atomes de chrome dans l'acier réagissent avec le dioxygène de l'air et forment une couche protectrice d'oxyde de chrome

II.6 L'épaissement des contacts.

III. Fabrication des guides optiques :

III.1 Epitaxie par jet moléculaire :

Parmi les techniques de croissance épitaxiales existantes, on distingue trois grandes classes : la croissance épitaxiale en phase liquide (LPE), en phase vapeur (VPE) et par jet moléculaire (MBE). Cette dernière technique est en majorité choisie pour les applications optoélectroniques nécessitant un contrôle précis sur l'épaisseur, le dopage et la composition des couches semi-conductrices. Le principe de l'épitaxie par jet moléculaire est schématisé FIG IV.1. Brièvement, le fonctionnement est basé sur l'interaction de flux atomiques dans une enceinte sous vide et leur condensation sur un substrat monocristallin (dans notre cas GaAs). Les constituants de base (Ga, As, Al...) et éventuellement les éléments dopants (Si, Be) sont émis dans la chambre à vide par des cellules d'évaporation possédant un creuset chauffé. L'excitation thermique permet à ces éléments neutres d'acquérir une énergie cinétique et crée ainsi un flux en sortie de cellule. Une valve placée au bout de chaque cellule contrôle de manière permanente le flux de chaque élément donc la composition et le dopage des couches épitaxiées.

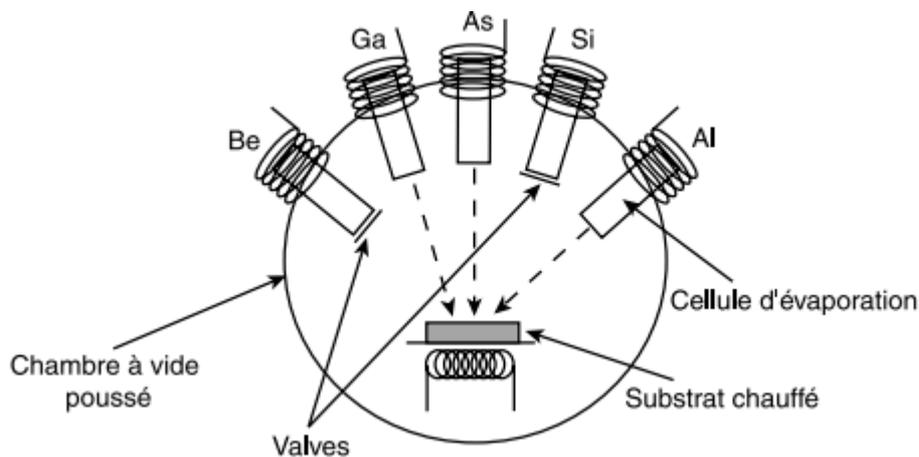


FIG III.7 Schéma de fonctionnement d'un bâti d'épitaxie par jet moléculaire.

Le vide très poussé dans la chambre à dépôt (de l'ordre de 10^{-11} Torr) est tel que le libre parcours moyen des atomes émis par les cellules est supérieur à la taille de cette enceinte. Ceci permet d'obtenir des couches cristallines d'une très grande pureté additionnée d'une planéité de surface quasi-parfaite (variation d'épaisseur inférieure à 1 % sur des substrats de 2 pouces). Le contrôle très précis des flux se répercute aussi sur la vitesse de croissance qui peut varier de 0.1 à quelques $\mu\text{m/h}$. Ainsi, la fabrication de couches de l'ordre de 100 Å d'épaisseur est tout à fait possible. L'utilisation de valves pour obturer les cellules et couper les flux peut également générer des variations très rapides au niveau de la composition ou du dopage entre couches voisines. De plus, le substrat reste à une température assez basse comparée aux autres techniques de dépôt cristallin (entre 600 °C

et 700 °C pour les composés de type GaAs/AlGaAs), ce qui limite les phénomènes d'inter diffusion au niveau des interfaces. Cette méthode est donc très bien adaptée à la réalisation de profils d'indice très abrupts. La technique de croissance épitaxiale retenue pour notre application est la MBE, mais il faut garder à l'esprit que d'autres techniques comme la MOCVD peuvent répondre aux exigences demandées et par conséquent être utilisées pour fabriquer l'hétéro structures semi-conductrices. Elles nécessitent toutefois des mesures de sécurité supplémentaires à cause des gaz très toxiques utilisés, ce qui la rend moins attractive. Ne possédant pas de bâti MBE au laboratoire, les structures semi-conductrices choisies nous ont été fournies par l'intermédiaire de monsieur Jean-Pierre Vilcot de l'Institut d'Electronique et de Micro-électronique du Nord (IEMN) à Lille.

III.2 Les technologies de réalisation en optique intégrée :

L'étape suivante consiste maintenant à réaliser des rubans de quelques micromètres de largeur et d'épaisseur sur les épitaxies pour réaliser les guides SLW. Les dimensions de travail étant très faibles (de l'ordre du micromètre), les méthodes employées en optique intégrée se basent sur celles de la micro-électronique, à savoir l'utilisation des techniques photo lithographiques.

III. 2.1 La photolithographie :

Afin d'éviter tous problèmes relatifs aux poussières environnantes et à la contamination de la surface des échantillons, le processus de fabrication des guides s'effectue en salle blanche sous atmosphère contrôlée. Le principe de fabrication des guides SLW est schématisé sur la figure 3.13. Dans un premier temps, la surface est nettoyée puis une couche de résine photosensible positive (Shipley Microposit S1828) est déposée à l'aide d'une tournette (technique du Spin Coating en anglais). Les paramètres utilisés pour l'enduction sont une accélération de 6000 tr/mn/s, une vitesse de 5000 tr/mn et un temps de rotation de 30 s. L'échantillon subit ensuite une pré cuisson à 95 °C pendant 20 minutes afin d'éliminer les solvants présents dans la résine. Il s'ensuit alors un alignement du motif défini par le masque Chrome/Nickel avec le substrat puis une insolation sous une lampe à ultra-violet (UV). La résine insolée se polymérise et peut être éliminée par un bain de développement (Microposit Developer). Il ne reste alors que l'image en résine du motif défini sur le masque. L'échantillon est finalement placé pendant 20 minutes dans l'étuve à 125 °C pour durcir la résine en vue d'attaques chimiques ou ioniques.

- Les techniques de gravure :

Pour cette partie, la caractérisation des rubans et notamment la mesure des hauteurs de gravure a et réalisée à l'aide d'un profilomètre optique mis au point par Robert Devillers,

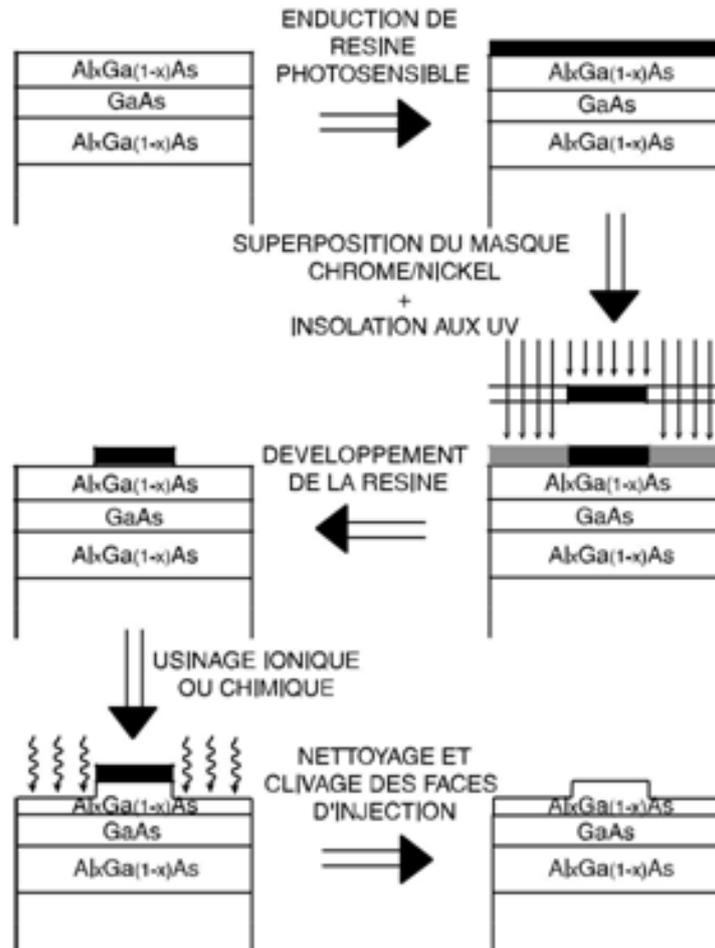


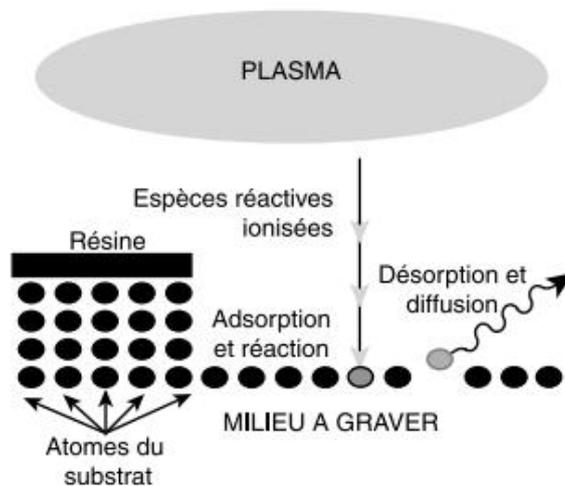
FIG III.8 Etapes de fabrication des guides sur semiconducteur par photo lithographie.

Bertrand Trolard, Patrick Sandoz et Gilbert Tribillon de l'équipe Nanométrie du laboratoire. Le principe de fonctionnement, basé sur l'interférométrie en lumière blanche, permet une mesure très précise (à quelques dizaines de nanomètres près) des hauteurs de gravure, même dans le cas de flanc abrupts.

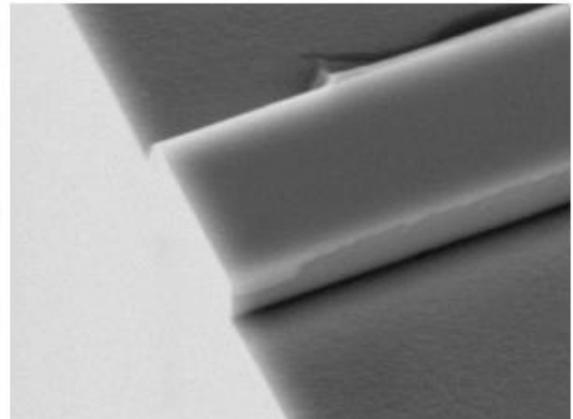
- **La gravure ionique réactive :**

La gravure ionique réactive (RIE) appartient aux techniques de gravures dites sèches. Le principe physique de base s'appuie sur le bombardement de la surface à graver par un plasma réactif FIG III.9.a

Le bâti RIE est constitué d'une enceinte placée sous vide par l'intermédiaire de deux



(a) Principe de l'usinage RIE.



(b) Vue MEB d'un ruban gravé par RIE sur la structure $\text{Al}_{0,03}\text{Ga}_{0,97}\text{As}/\text{GaAs}/\text{Al}_{0,03}\text{Ga}_{0,97}\text{As}$.

FIG III.9 Gravure ionique réactive (RIE) sur semi-conducteur III-V.

Pompes (primaire et turbo-moléculaire) et dans laquelle l'échantillon cible est placé. Un ou plusieurs gaz réactifs sont ensuite introduits dans la chambre. Dans le cas des semi-conducteurs III-V, les gaz réactifs employés sont de type chlorés (SiCl_4 , Cl_2 , BCl_3 , CCl_2F_2). Généralement, un gaz neutre (N_2 , Ar ou He) est introduit en supplément pour évacuer plus facilement les composés non volatils. Une décharge électrique alternative radiofréquence (RF) ionise le mélange et crée ainsi le plasma. Une différence de potentiel entre une anode et une cathode accélère ensuite les particules ionisées qui viennent alors frapper et réagir avec la surface de l'échantillon. En fonction des paramètres choisis tels que la pression dans l'enceinte, le flux des gaz introduits ou la puissance électrique, deux effets entrent en compétition : un effet physique résultant des collisions des ions accélérés avec la surface (matière arrachée) et un effet chimique résultant de l'interaction des ions avec les atomes de la surface (désorption des atomes). L'anisotropie due au flux directif fait partie des particularités

de cette attaque. L'obtention de flancs très abrupts avec une faible rugosité de surface rend cette technique très attrayante et particulièrement bien adaptée pour l'application envisagée. Elle permet de reproduire fidèlement et même dans les très hautes résolutions (submicrométriques) les motifs désirés.

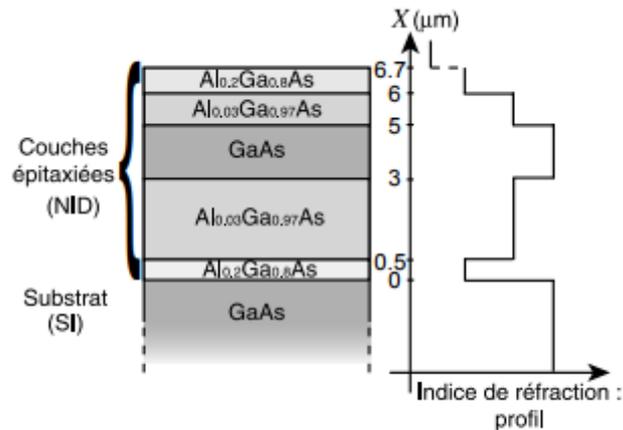
Pour usiner les surfaces semiconductrices de type $\text{Al}_x\text{Ga}_{1-x}\text{As}$, nous avons utilisé un graveur Ionique GIR 160 d'Alcatel avec SiCl_4 comme gaz réactif et N_2 comme gaz d'évacuation.

Les paramètres d'attaque sont les suivants :

- Puissance RF : 180 W.
- Pression dans l'enceinte : 90 μBar .
- Débit de SiCl_4 : 10 sccm (Standard cubic centimeter per minute).
- Débit de N_2 : 80 sccm.

La FIG IV.3.b représente une vue au microscope électronique à balayage (MEB) d'un ruban de 4 μm de largeur et de 700 nm de hauteur gravé sur l'hétéro structure à 3 couches de type $\text{Al}_{0.03}\text{Ga}_{0.97}\text{As}/\text{GaAs}/\text{Al}_{0.03}\text{Ga}_{0.97}\text{As}$. Le temps de gravure requis avoisine les 120 secondes. Les flancs verticaux obtenus et la faible rugosité de surface observée (quelques nanomètres) confirment la qualité de l'attaque.

La RIE n'a pu être mise à profit pour la réalisation des guides sur la seconde épitaxie (FIG III.9.b) à cause de problèmes liés à des phénomènes de micro-masquage apparaissant lors de gravure plus profondes ($> 1 \mu\text{m}$). Pour éviter ces inconvénients et en raison de pannes successives survenues sur le bâti RIE, nous avons décidé d'orienter nos recherches vers d'autres techniques comme la gravure par voie humide.



(b) Hétérostructure à 5 couches.

FIG III.10: Epitaxies retenues pour réaliser les convertisseurs TE/TM.

- **La gravure chimique humide :**

En comparaison avec l'attaque RIE, la gravure chimique humide ne nécessite pas de matériel lourd. L'échantillon à graver est plongé dans une solution d'attaque composée d'un acide (NH_4OH , HCl ou H_2SO_4) additionné d'un agent oxydant (H_2O_2), le tout dilué dans de l'eau (solvant). Le schéma de réaction reste toujours identique : le peroxyde d'hydrogène (H_2O_2) oxyde GaAs tandis que l'acide élimine l'oxyde formé. Dans ce type de réaction, la concentration en acide détermine la vitesse de l'attaque. Au niveau morphologique, le rapport entre l'acide et H_2O_2 joue sur la pente des flancs de gravure et sur l'isotropie de l'attaque. En effet, suivant l'orientation du cristal les flancs de gravure diffèrent. Ceci est dû au plan (111) des atomes de Gallium qui a un taux de gravure plus faible que celui des atomes d'Arсениc. En pratique, les flancs obtenus par gravure de GaAs (100) suivant les directions [011] ou [0 $\bar{1}$ 1] ne sont pas verticaux mais possèdent une certaine pente.

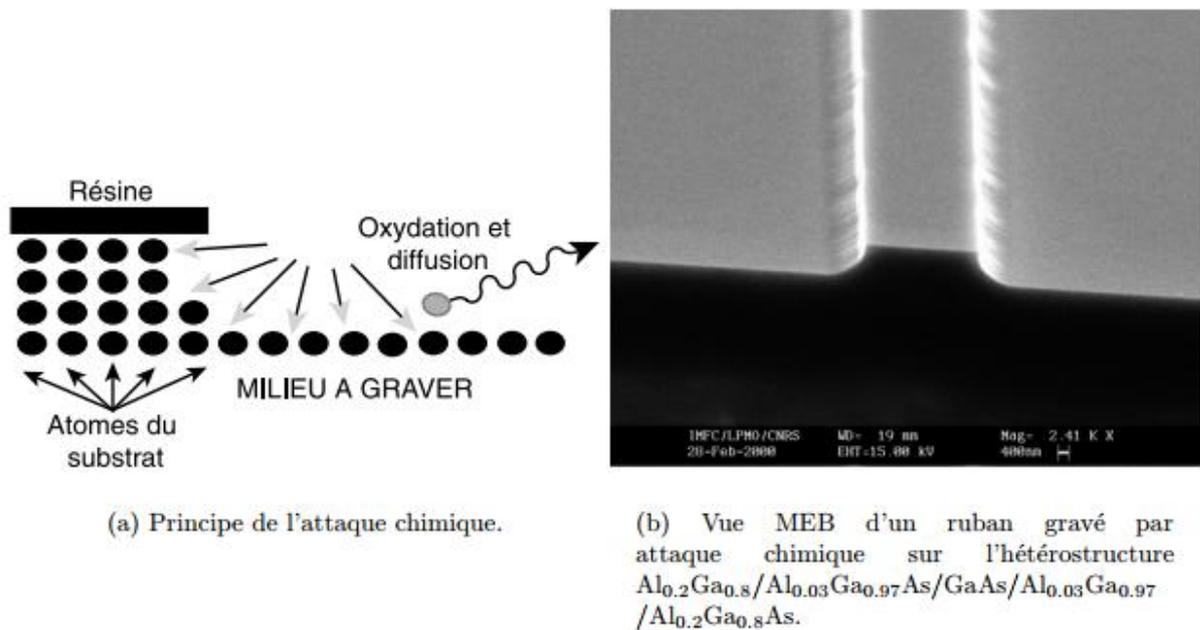


FIG III.11 Gravure chimique sur semi-conducteurs III-V.

Le mélange $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ dans les rapports volumiques 3/1/100 est la solution d'attaque qui a été retenue. A température ambiante, la vitesse de gravure mesurée sur GaAs est de l'ordre de 65 nm/min. Cette vitesse est relativement lente comparée à d'autres mélanges d'attaque mais elle permet d'une part d'obtenir au final un très bon état de surface (faible rugosité) et d'autre part de contrôler parfaitement la profondeur d'attaque. La figure III.11b présente un guide optique réalisé sur la seconde épitaxie. La largeur (à la base) du ruban gravé vaut 8 μm et la profondeur de gravure 1300 nm. On peut constater l'effet de dépendance à l'orientation des couches épitaxiées au niveau de l'attaque en observant les flancs du ruban. Malgré une facilité de mise en œuvre bien supérieure à l'attaque RIE, la qualité des dosages et le vieillissement des solutions d'attaques rendent la gravure chimique moins reproductible d'un échantillon à l'autre.

IV. Domaines d'applications des matériaux III-V :

1. Le militaire :

Dans le domaine militaire, l'évolution générale des armements a conduit à l'utilisation de composants électroniques à base d'arséniure de gallium. En effet, d'une part, parce qu'en ce qui concerne la réception de l'information, on apprécie tout particulièrement les caractéristiques de très faible bruit et de forte bande passante de ces composants qui permettent une augmentation sensible des performances. D'autre part, parce qu'au niveau de l'émission de puissance, ils offrent la possibilité de réaliser des sources d'émission compactes ne nécessitant qu'une faible tension d'alimentation. En effet, les dispositifs électroniques, embarqués à bord des missiles ou des munitions intelligentes, doivent être

capables de consommer très peu de courant. De plus, les systèmes doivent fonctionner à des fréquences de plus en plus élevées (millimétriques), tout en étant moins encombrants et invulnérables aux radiations

- **Détection – Guidage :**

Ce sont principalement les radars au sol et aéroportés, les munitions intelligentes (radars de très courte portée) et les autodirecteurs de missiles. Une application importante est l'antenne active à balayage électronique. Seuls les circuits à base d'arséniure de gallium permettent de réaliser les modules actifs émission-réception (E/R modules) qui sont les principaux éléments constitutifs de ces radars, dont les principaux avantages sont les capacités antibrouillage, multi cible, et la quasi-invulnérabilité.

- **Communications :**

Cela concerne les radiocommunications mais également les communications discrètes de champ de bataille.

2. **Les télécommunications :**

- **La réception satellite :**

Les communications satellites prennent de plus en plus d'essor avec le lancement de projets ambitieux visant à couvrir notre planète d'une gigantesque toile d'araignée satellitaire. Les diverses applications visées (téléphonie sans fil, transports, multimédia, etc.) dépassent largement le cadre des communications entre individus. Cependant elles reposent toutes sur le transfert de données en ondes hyperfréquences. Parmi les applications existantes, on peut citer les systèmes permettant à une société de transports d'être en contact permanent avec une flotte de camions via des terminaux mobiles VSAT (*Very Small Aperture Terminal*) fonctionnant dans la bande des 20-30 GHz, mais également le système GPS (*Global Positioning System*). A l'origine, développé pour les besoins de l'armée américaine, le récepteur GPS, travaillant autour de 1,5 GHz, utilise trois signaux codés synchronisés émanant de trois satellites pour localiser le point de réception à mieux que 15 m dans les trois dimensions. Cette dernière application avantage le GaAs par rapport au silicium au niveau du facteur de bruit, car la sensibilité du récepteur doit être élevée compte tenu de la faible taille de l'antenne, et également au niveau de la consommation qui doit être la plus faible possible pour un système portable. Le récepteur comprend un amplificateur faible bruit, un mélangeur et une source de fréquence synthétisée. On citera également la balise SART (*Search And Rescue Transponder*) fonctionnant à 9,5 GHz : cette balise renvoie automatiquement un train d'impulsions de localisation lorsqu'elle est interrogée par les radars maritimes ou aéroportés. Enfin, l'application qui a été la première en volume pour les MMIC (circuits convertisseurs de fréquence à 12 GHz) est le récepteur DBS (*Direct Broadcast Satellite*) développé pour la télévision par satellite.

- **La téléphonie sans fil :**

Les systèmes actuels de téléphonie sans fil (*Wireless Local Area Networks*) utilisent un réseau terrestre de stations de base permettant de relier entre eux les possesseurs de téléphone cellulaire. Ce système utilisera également dans le futur un réseau de satellites, comme cela a été évoqué précédemment, mais il concernera aussi les communications entre ordinateurs,

c'est-à-dire le transfert de données. Les bandes de fréquences concernées pour les stations de base sont de 2,4 GHz (fréquence allouée aux U.S.A. et en Grande-Bretagne pour les faibles débits jusqu'à 1 Mbit/s), 18,5 GHz (fréquence choisie par Motorola pour son projet radiotéléphone, pour l'aptitude du signal à traverser les murs d'un bâtiment et s'atténuer rapidement à l'extérieur ; le débit peut atteindre aisément 15 Mbit/s) et 60 GHz (fréquence déjà allouée au Japon pour les débits de 100 Mbits/s).

En ce qui concerne le radiotéléphone numérique de l'utilisateur, si le silicium paraît en mesure d'occuper une place prépondérante dans les composants du GSM (Groupe Spécial Mobile) à 900 MHz, il en va différemment pour le PCN (*Personal Communication Network*) ou le DECT (*Digital European Cordless Telephone*) à 1 800 et 1 900 MHz. La première génération utilise des MMIC en technologie MESFET pour la partie réception, le commutateur E/R et l'amplificateur de puissance. L'avantage déterminant du GaAs est son rendement électrique supérieur à 60 % sous 3 V. La seconde génération verra peut-être l'émergence du HBT.

- **Les communications par fibres optiques :**

Les applications de l'arséniure de gallium sont pour l'instant limitées au pilote de diode laser et à l'amplificateur transimpédance en réception, principalement pour la distribution de canaux TV par câble. Cependant la demande pourrait croître très fortement si les projets de câblage des particuliers venaient à voir le jour commercialement. Toutefois, le développement de cette application nécessite une infrastructure importante, ce qui la rend moins accessible que les communications sans fil.

3. *Les transports :*

Les applications des hyperfréquences dans ce domaine ne se limitent heureusement pas au radar de vitesse autoroutier ! En effet cela concerne également les fonctions de communications et de contrôle.

- **Le contrôle :**

On retrouve ici le système GPS qui connaît un nombre grandissant d'applications civiles en aéronautique, où il est actuellement étudié comme alternative au MLS (*Microwave Landing System*), en navigation maritime ou en version terrestre portable, à des fins de cartographie ou guidage transport. Ce système a donné naissance à la navigation routière par satellite, proposée aujourd'hui aux automobilistes. L'application majeure est sans doute le radar anti-collision automobile. Initié par AEG Telefunken en Allemagne dès 1973 à 35 GHz, ce projet a été relancé à travers le programme européen Prometheus à 77 GHz, avec beaucoup plus de chances d'aboutir par suite des progrès enregistrés dans la fabrication des MMIC en ondes millimétriques. Les développements actuels devraient aboutir à des premières séries sur des autobus et des véhicules de haut de gamme avant l'an 2000.

4. *L'industrie et le médical*

Le domaine industriel est concerné par les capteurs pour l'analyse des matériaux, mais également ceux ayant trait à la robotique, aux télémesures et à l'instrumentation. Les applications médicales concernent la détection et le traitement de tumeurs, mais également les émetteurs et récepteurs pour applications biomédicales.

5. *Le spatial*

D'une part la technologie MMIC est théoriquement plus fiable qu'une version hybride des mêmes composants actifs et passifs du fait de l'intégration des interconnexions. D'autre part la réduction de la surface et du poids est également pour le domaine spatial un avantage déterminant. Ainsi le premier démonstrateur d'antenne active pour radar spatial en bande X : le projet SPOT RADAR du CNES, nécessitait une antenne bande X à balayage électronique de $2,3 \times 7,2 \text{ m}^2$, comportant plus de 6000 commandes de phase. La seule solution réaliste consistait à utiliser autant de modules actifs, incluant déphaseurs et amplificateurs (émission et réception), réalisés en série en technologie MMIC, connectés immédiatement derrière les éléments rayonnants. L'exemple précédent concerne l'observation de la terre [20, 21, 22], mais le spatial comprend également le domaine de l'astrophysique et de la radioastronomie. Dans ces domaines, la détection de molécules demande, comme pour les applications météorologiques, le développement de circuits fonctionnant en gamme d'ondes millimétriques et sub-millimétriques

B. Spécificité et perspectives du marché des MMIC

Les chances d'un développement significatif du marché civil doivent être examinées surtout pour deux types d'application en expansion : l'automobile et le téléphone portable. Quant aux produits militaires, ils correspondent en grande majorité à un marché captif en raison de leur caractère confidentiel, particulièrement dans le domaine des radars, de la guerre électronique et des télécommunications discrètes.

6. *L'automobile*

Pour la plupart des applications automobiles, l'utilisation du GaAs sera probablement incontournable : dispositifs anti-collision, capteurs de vitesse pour systèmes ABS (*Anti Blocking System*), péage en route, etc.. De ce fait, le marché automobile pourrait s'ouvrir plus tôt qu'il n'était prévisible il y a quelques années : en effet chez Daimler-Benz, les véhicules Mercedes devraient être équipés d'un système anti-collision tout prochainement.

- *Le téléphone portable*

L'évolution du marché des téléphones portables est plus difficile à estimer : en effet, si la génération actuelle type GSM n'utilise que peu de composants GaAs, la nouvelle génération en préparation, dont la fréquence a été normalisée à 1,8 GHz en Europe, pourrait en utiliser sensiblement plus ; mais une partie des experts interrogés sur ce point considèrent que le GaAs est plus intéressant que le Silicium pendant une durée limitée de l'ordre de cinq ans. L'élément déterminant pour la percée du GaAs dans ce domaine des télécommunications est donc l'introduction suffisamment rapide sur le marché du téléphone portatif de la nouvelle génération (à 1,8 GHz). Si celle-ci est retardée, les composants GaAs verront diminuer leur avantage de faible consommation au profit des composants silicium moins chers qui

accéderont prochainement à un niveau de performance voisin de celui de leur homologue GaAs pour les fréquences inférieures à 3 GHz [11].

V. Conclusion :

Dans ce chapitre j'ai essayé de faire une étude sur les étapes de fabrication d'un transistor fait a base de matériaux III-V car ce dernier peut être l'objet pour réaliser d'autre composants tel un amplificateur de toute les façons quelque soit ce qu'on fabrique il faudra toujours passer par l'étude du transistor sur le quel ce dernier est imbriquer afin de faire ressortir toutes ces propriétés pour les explorées.

En résumé dans ce chapitre j'ai plutôt parlé sur l'utilisation des matériaux III-V pour la fabrication des composants micro-électroniques et leurs intérêts dans la vie de tous les jours.

Notre monde est révolutionné par des technologies extraordinaire, alors essayons d'en faire bonne usage car tout ce que nous faisons, nous le faisons avec passions et nous le faisons pour la vie, cela signifie que tout ce que nous fabriquons ne garantie pas seulement l'excellence technique mais d'assumer d'avantages ses responsabilités envers les vies de ceux qui utilisent.

Conclusion générale :

« La science, mon garçon est faite d'erreurs, mais d'erreurs qu'il est bon de commettre car elles mènent peu à peu à la vérité. »

Jules verne, voyage au centre de la terre.

Le monde ne cesse d'évoluer et la micro-électronique avec toutes ses technologies et techniques d'applications aussi le tout pour un monde plus moderne et plus rapide.

Notre monde est révolutionné par des technologies extraordinaire, alors essayons d'en faire bonne usage car tout ce que nous faisons, nous le faisons avec passions et nous le faisons pour la vie, cela signifie que tout ce que nous fabriquons ne garantie pas seulement l'excellence technique mais d'assumer d'avantages ses responsabilités envers les vies de ceux qui utilisent.

Références bibliographiques :

[1] : <http://www.polytech-lille.fr/cours-atome-circuit-integre/unip/unip700.htm>

6 mai, 2004 Auteur : Bernard BOITTIAUX.

[2] : http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/cours_elec/semicon.pdf

[3] : <https://fr.wikipedia.org/wiki/Silicium>

[4] : <https://energie-solaire-tpe.jimdo.com/ii-fonctionnement/fabrication-du-silicium-et-fonctionnement-d-une-cellule-photovolta%C3%AFque/>

<https://www.lenergieenquestions.fr/bilan-energetique-mondial-2012-les-chiffres-a-retenir/>

http://tecsol.blogs.com/mon_weblog/2013/07/bilan-%C3%A9nerg%C3%A9tique-de-la-france-pour-2012-o%C3%B9-en-est-l%C3%A9nergie-solaire-.html

<http://www.photovoltaique.info/Chiffres-cles.html>

<http://www.jeanlouisetienne.com/images/encyclo/imprimer/12.htm>

<http://sciences.blogs.liberation.fr/home/2013/01/bilan-%C3%A9lectrique-2012-climato-sensible.html>

<http://www.senergies.fr/bilan-energetique-france-2012-focus-energie-solaire-photovoltaique/>

<http://www.arer.org/Bilan-energetique-2012-de-La.html?espace=Monde%20agricole>

http://www.lemonde.fr/planete/article/2012/04/04/la-filiere-solaire-europeenne-dans-la-tourmente_1680048_3244.html

http://www.lemonde.fr/planete/article/2013/05/30/energie-la-chine-ralentit_3421305_3244.html

<https://www.lenergieenquestions.fr/bilan-energetique-mondial-2012-les-chiffres-a-retenir/>

http://www.enerdata.net/enerdatafr/press_release/augmentation-demande-energetique-brics-2012.php

<http://www.enerdata.net/enerdatafr/publications/bilan-energetique-mondial.php>

<http://www.developpement-durable.gouv.fr/-Energies,198-.html>

<http://www.developpement-durable.gouv.fr/-Economies-d-energie,154-.html>

<http://www.planete-energies.com/total/fr/developpement-durable/developpement-durable-energie-renouvelable.php>

http://fr.wikipedia.org/wiki/%C3%89nergie_durable

<http://www.statistiques.developpement-durable.gouv.fr/publications/p/2013/969/bilan-energetique-france-2012.html>

<http://www.developpement-durable.gouv.fr/Le-bilan-energetique-de-la-France,33702.html>

<http://www.rte-france.com/fr/actualites-dossiers/a-la-une/rte-publie-le-bilan-electrique-2012-1>

http://www.insee.fr/fr/themes/tableau.asp?reg_id=0&ref_id=NATTEF11346

<http://www.jeanlouisetienne.com/images/encyclo/imprimer/12.htm>

http://fr.wikipedia.org/wiki/Bilan_radiatif_de_la_Terre

<http://www.edfenr.com/rendement-photovoltaique.html>

<http://siteindex.edfenr.com/bilan-solaire.html>

<http://www.enerdata.net/enerdatafr/publications/bilan-energetique-mondial.php>

http://www.edfenr.com/sem-campagne-generique25ans2013?utm_source=SEMhmarque&utm_medium=SEMhmarque&utm_campaign=generique25ans2013&gclid=CIbKiJeNy7wCFQ_HtAodHXQAnw

<http://www.edfenr.com/panneau-solaire.html>

http://fr.wikipedia.org/wiki/Panneau_solaire

<http://www.photovoltaique.info/Techniques-de-fabrication-des.html>

http://fr.wikipedia.org/wiki/Cellule_photovolta%C3%AFque

<http://www.edfenr.com/energies-nouvelles.html>

<http://www.ecologie-shop.com/conseils/fonctionnement-d-un-panneau-photovoltaique-1/category>

http://www.liberation.fr/economie/2013/05/23/l-avion-solaire-solar-impulse-a-reussi-son-plus-long-vol_905037

http://fr.wikipedia.org/wiki/Avion_solaire

http://www.lepoint.fr/auto-addict/innovations/ford-c-max-solar-energi-la-premiere-vraie-voiture-solaire-03-01-2014-1776499_652.php

<http://www.turbo.fr/actualite-automobile/610664-ford-max-solar-energi-concept-2014/>

<https://www.lenergieenquestions.fr/une-voiture-equipee-de-panneaux-solaires-gadget-ou-reelle-avancee/>

http://www.lepoint.fr/auto-addict/innovations/ford-c-max-solar-energi-la-premiere-vraie-voiture-solaire-03-01-2014-1776499_652.php

<http://www.turbo.fr/actualite-automobile/610664-ford-max-solar-energi-concept-2014/>

<https://www.lenergieenquestions.fr/une-voiture-equipee-de-panneaux-solaires-gadget-ou-reelle-avancee/>

http://www.lemonde.fr/planete/article/2013/09/10/le-plus-grand-bateau-solaire-du-monde-fait-escale-a-paris_3473902_3244.html

[5] : <https://tel.archives-ouvertes.fr/tel-00915280/document>

[6] : <http://www.sil-tronix-st.com/accueil/wafers-silicium/oxydation-des-wafers-de-silicium-sio2>

[7] : <http://www.polytech-lille.fr/cours-transistor-effet-champ/hemt/Hemtc1b.htm>

[8] : https://fr.wikipedia.org/wiki/Ars%C3%A9niure_de_gallium

[9] : https://tel.archives-ouvertes.fr/file/index/docid/565337/filename/TH_T2189_jcheng.pdf

[10] : <http://www.polytech-lille.fr/cours-transistor-effet-champ/hemt/Hemtc1b.htm>

<http://www.polytech-lille.fr/cours-transistor-effet-champ/hyper/hyperc3.htm>