

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITE MOULOUD MAMMARI DE TIZI-OUZOU



FACULTE DU GENIE ELECTRIQUE ET D'INFORMATIQUE

DEPARTEMENT D'AUTOMATIQUE

Mémoire de Fin d'Etudes de MASTER ACADEMIQUE

Domaine : **Sciences et Technologies**

Filière : **Génie électrique**

Spécialité : **Micro-électronique**

Présenté par
KHETTAB Fadhila

Thème

ETUDE ET SIMULATION D'UN TRANSISTOR FinFET

Mémoire dirigé par **Mr Benfdila Arezki**

Promotion 2014/2015.

Remerciements

Louange à DIEU qui ma comblé de faveurs, et apporté son aide a fin de réaliser le travail exposé tout le long de ce mémoire.

Je tien à remercier vivement mes parents et ma familles qui ont été a mes cotée ainsi mon promoteur monsieur Arezki BENFDILA, responsable de la formation, je lui exprime aussi toute ma reconnaissance pour sa compréhension, aidé et conseillé, ainsi son dynamisme et sa collaboration tout au long de ce mémoire. Que cet espace le prenne à témoin tout en lui révélant l'expression de mon profonde gratitude.

Mes vifs remerciements vont aussi à LEKHLEF et monsieur KANANE et tous le groupe micro-électronique ainsi aux membres de jury qui ont accepté aimablement d'examiner et de juger mon travail, je leur fais honneur de respect.

Je tien également à remercier tous ceux qui ont contribué de loin ou de près à la réalisation de ce travail.

Je dédie ce travail à ...

Je dédie ce modeste travail comme fruit de toutes mes études :

-A ma très chère mère et mon très cher père, qui ont passé des nuits longues pour mon bonheur et qui se sont fatigués pour mon repos, qui m'ont encouragé à aller au bout de mes objectifs et qui m'ont accompagné durant toutes mes années d'études, et dans les moments difficiles, qui ont prié pour mon succès et mon bonheur.

Jamais je ne pourrai vous remercies suffisamment pour tout ce que vous avez fait pour moi.....Que dieu le tout puissant vous préserve, vous donne la santé, le bonheur et une longue vie.

-A mes frères et Sœurs

-A ma grand-mère

-A mes confrères et consœurs,

-A tous mes amis, avec lesquels j'ai passé d'agréable moment tout au long de mon cursus.

KHETTAB Fadhila

Introduction Générale	1
Chapitre I : Généralités sur le transistor MOSFET	
Introduction	3
I.1 Architecture et principe de fonctionnement	3
I.2 les régimes de fonctionnement	6
I.3 miniaturisation des MOSFET.....	8
I.4 Effets canal courts (SCE)	9
I.5 Effet de tension sous seuil.....	13
I.6. correction des effets canal courts (SCE).....	14
I.7. Dispositifs alternatifs.....	15
Conclusion	16
Chapitre II : Technologie SOI et multi-grilles	
Introduction	17
I. Transistor MOSFET SOI simple grille.....	17
I.1. Entièrement déplété (FD-SOI) et partiellement déplété (PD-SOI).....	17
I.2 Avantages et inconvénients de la technologie SOI par rapport à la technologie MOS bulk.....	19
I.3. Comparaison entre les Transistor MOSFET bulk et MOSFET SOI	21
II. Transistor MOSFET Double grille.....	22
III. Transistor multi-grilles.....	23
III.1 Transistor MOSFET double-grille vertical.....	23
III.2 Transistor MOSFET double-grille planaire.....	24
III.3. Transistor GAA MOSFET.....	25
III.4. MOSFET à nanofil.....	26
Conclusion	27

Chapitre III : simulation d'un transistor FinFET (triple- grilles)

Introduction.....28

III.1 Propriétés électriques du FinFET.....28

III. 2 Transistor FinFET (Triple-Gate).....35

III.3 Les étapes de fabrication d'un transistor FinFET.....36

Conclusion.....38

Chapitre IV: simulation d'un transistor FinFET (triple- grilles)

Introduction.....38

IV.1 .Présentation du logiciel TCAD-Silvaco.....38

IV.2.Présentation du paquet des programmes Silvaco.....38

IV.3.Présentation d'ATLAS41

IV.4. L'Algorithme de simulation.....50

IV.5. L'organigramme de la simulation sous silvaco Atlas.....52

IV.6.Structure FinFET simulée par Silvaco53

IV.7. Effet de la variation de la hauteur du Fin « H_{FIN} ».....57

IV.8. Effet de la variation de la largeur du Fin W_{Fin}58

IV.9. Effet de la variation de la longueur de la grille sur FINFET.....60

Conclusion.....62

Conclusion générale63

SOMMAIRE

Liste de figures

Figure I.1 : Structure de base du transistor MOSFET.....	3
Figure I.2 : différents régimes de fonctionnement d'un MOSFET (a) régime linéaire (b) et (c) régime de saturation.....	7
Figure I.3 : (a) Caractéristique de sortie (b) caractéristique de transfert.....	8
Figure I.4 : L'influence d'effets canal court sur le fonctionnement du transistor.....	10
Figure I.5 : variation de la tension de seuil avec la longueur de grille illustrant l'effet de canal court inverse.....	11
Figure I.6 : Influence de l'effet du DIBL sur la caractéristique ($I_d - V_g$) du transistor MOSFET.....	13
Figure I.7 : présentation de la ponte sous seuil.....	14
Figure I.8 : structure et dimensions typique du nanoMOSFET.....	15
Figure II.1 : Structure d'un transistor (simple grille) SOI de type-n	18
Figure II.2 : Représentation schématique d'un transistor SOI : (a) entièrement déplété(FD SOI) et(b) partiellement déplété(PD SOI).....	19
Figure II.3 : Coupe schématique dans un circuit bulk (a) et SOI (b).	22
Figure II.4 : Lignes de champ électrique	21
Figure II.5 : Orientation du transport électronique et effet de champ sur le MOSFET Erreur ! Signet non défini.	
Figure II.6 : Orientation du transport électronique et effet de champ sur le MOSFET Double Grille Planaire	24
Figure II.7 : Image au MEB (microscope électronique à balayage) d'une coupe du MOSFET double grille (a) non-auto-alignée, (b) auto-alignée	25
Figure II.8 : Structure du transistor GAA MOSFET	26
Figure II.9: Structure de Nanofil MOSFET.....	26
Figure III.1 : structure 3D d'un transistor FinFET, (b) Section horizontale et (c) Section verticale.....	29
Figure III.2 les effets de coin	32
Figure III.3 : Potentiel dans l'oxyde et le silicium (pour les FinFETs avec une longueur de canal de $1\mu\text{m}$. $V_{GS}=0.3\text{V}$).	33
Figure III.4 : Effet du BOX dans le FinFET	34

<i>Figure III.5 : Structure d'un FinFET avec la région « underlap »</i>	35
<i>Figure III. 6 : structure 3D d'un transistor tripler –grille</i>	36
<i>Figure III.7 : étapes de fabrication d'un transistor FinFET</i>	37
<i>Figure IV.1 : Organigramme de la structure VWF</i>	39
<i>FigureIV.2 : Entrées et sorties d'ATLAS</i>	42
<i>Figure IV.3 : Les commandes fondamentales dans un programme ATLAS</i>	43
<i>Figure IV.4 : Définition du maillage avec Atlas à 2 dimensions</i>	45
<i>3Figure IV.5: Définition des régions avec Atlas</i>	46
<i>Figure IV.6: Attribution des matériaux a des régions avec Atlas</i>	46
<i>Figure IV.7: Définition des électrode</i>	47
<i>Figure IV.8: Types de dopage</i>	47
<i>Figure IV.9 : structure d'un FINFET</i>	50
<i>Figure IV.10: Coupe 2D du SOI Tri Gate FINFET Simulé.</i>	51
<i>Figure IV.11: Mise en évidence du maillage de la structure du FINFET simulée</i>	52
<i>Figure IV.13 : Caractéristique I_{DS}V_{GS}- à différente valeur de H_{Fin} du FINFET</i>	53
<i>Figure IV.14 : Caractéristique I_{DS}V_{GS} à différente valeur de W_{Fin} du FINFET.</i>	Erreur !
Signet non défini.	
<i>Figure IV.15: Caractéristique I_{DS}V_{GS} à différente valeur de W_{Fin} du FINFET.</i>	55
<i>Figure IV.16 : Caractéristique I_{DS}V_{GS}à différente valeur de L_C du FINFET</i>	56
<i>Figure IV.17: Caractéristique I_{DS}V_{GS} à différente valeur de W_{Fin} du FINFET</i>	57
<i>Figure IV.18: Caractéristique I_{DS}V_{GS}à différente valeur de L_C du FINFET</i>	58
<i>Figure IV.19: Caractéristique I_{DS}V_{GS}à différente valeur de L_c du FINFET</i>	59

Liste des symboles

C_{dep}	Capacité de déplétion
C_g	Capacité de grille
C_{inv}	Capacités d'inversion
C_{it}	Capacité d'états d'interface
C_{ox}	Capacité d'oxyde
g_D	Conductance
g_m	Transconductance
I_D, I_{DS}	Courant de drain
I_{OFF}	Courant de drain à l'état bloqué (courant de fuite)
I_{ON}	Courant de drain en conduction
K	Constante de BOLTZMAN
L	Longueur du canal
L_{eff}	Longueur effective du canal
L_G	Longueur de grille :
N_B	Concentration des impuretés dans le substrat
n_i	Concentration intrinsèque
Q	Charge électrique élémentaire
Q_b	Charge dans la zone de déplétion proche de l'interface
Q_{inv}	Charge de la couche d'inversion
Q_m	Charge du métal
Q_{SC}	Charge par unité de surface dans le semi-conducteur
R	Coefficient de dispersion arrière (Backscattring)
I_D	Courant du drain

Liste des symboles

S	penne sous le seuil
t_{ox}	Epaisseur de l'oxyde
V_{DS}	Tension drain source
V_{DSSat}	Tension de saturation drain source
V_{FB}	Tension de Bandes Plates (Flat Band)
V_{GS}	Tension grille source
V_{SB}	Tension source substrat
v_{th}	Vitesse thermique
V_T	Tension de seuil
W	Largeur du canal
x_J	Profondeur des jonctions source-drain.
Φ_F	Potentiel de Fermi
μ	Mobilité des porteurs à faible champ, dans le canal du transistor (à l'interface Si-SiO ₂)
Φ_F	Potentiel de surface.
BOX	Buried Oxide
CMOS	Complementary MOS
DG MOSFET	Double Gate MOSFET
DIBL	Drain Induced Barrier Lowering.
TG MOSFET	Tri_grille
DIVSB	Drain Induced Virtual Substrate Bias
FD MOSFET	Fully Depleted MOSFET
FET	Field Effect Transistor

Liste des symboles

μ_0	la mobilité à champ électrique faible
GAA	<i>Gate all around</i>
Ψ_s	potentiel de surface
PD SOI	Partially Depleted
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
LOP	Low Operation Power
W_{si}	L'épaisseur du film de silicium
MOSFET	MOS Field Effect transistor
RSCE	Reverse Short Channel Effect
SCE	Short Channel Effect
SOI	Silicone On Insulator
T.SOI	Technologie SOI

Introduction

L'évolution de l'électronique et de l'informatique durant ces dernières années a permis de modifier réellement notre façon d'appréhender les produits de haute technologie. En effet, les équipements dont le fonctionnement repose sur des produits dérivés de la microélectronique ont envahi notre quotidien. L'acteur fondamental de cette course à la recherche de performances associée à la miniaturisation des objets est sans conteste le transistor MOS (Métal Oxyde Semi-conducteur). Ce dernier est à la base de la conception des circuits intégrés à très large et ultra-large échelle (VLSI-ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS (TMOS).

En réduisant au fil des générations la taille des TMOS, les circuits intégrés deviennent de plus en plus performants et leurs dimensions sont réduites. Par conséquent, le moteur de l'évolution de la microélectronique a principalement consisté en la réduction des dimensions des transistors. En 1973 Gordon Moore (un des co-fondateurs d'Intel) a constaté que la densité des transistors sur une surface donnée pouvait être doublée tous les deux ans, ce qui revient à dire que la taille des TMOS peut être réduite par un facteur de 0,7 tous les 2 ans. Cette constatation empirique qui s'est vérifiée durant les 30 dernières années est ce que l'on appelle la loi de Moore.

A chaque nouvelle génération de transistor, le challenge était la réalisation du défi lancé par « la loi de Moore ». La technologie et la rentabilité concentrent ainsi toute l'attention des ingénieurs et chercheurs.

Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte. Pour

résumer, disons augmenter les performances en diminuant les dimensions sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

Ainsi, la réduction de la taille des TMOS de la technologie conventionnelle c.-à-d. le MOSFET bulk, approche de ses limites. En effet, cette réduction d'échelle est accompagnée d'inconvénients qui sont directement liés à la petite géométrie du TMOS. Les principaux effets indésirables sont le partage de charge entre la grille et les régions de source et drain (short-channel effects), l'abaissement de la barrière de potentiel induit par le drain (DIBL), les effets quantiques et la fluctuation du nombre de dopants.

Les solutions technologiques permettant de compenser ces effets néfastes coûtent de plus en plus chères, ce qui signifie que la technologie MOS bulk est proche de ses limites. L'ITRS (International Technology Roadmap of Semiconductors) prévoit que la dernière évolution du TMOS bulk aura ces limites dans peu de temps. Pour améliorer les performances des transistors, il sera préférable de s'orienter vers d'autres structures basées sur la technologie SOI (Silicon On Insulator). La technologie SOI permet de réaliser des transistors multiple-grille qui représentent les dispositifs les plus prometteurs pour succéder à la technologie MOS Bulk. En particulier, le renforcement du contrôle du canal de conduction par les multiples grilles et la suppression du courant de fuite de substrat est de précieux avantages par rapport au TMOS Bulk sur substrat de silicium massif. Un type de transistor multiple-grille appelé Fin FET fait l'objet d'intensives études non seulement au niveau recherche mais aussi au niveau industriel .ce composant a en effet une bonne compatibilité avec les chaines de fabrication actuelles de l'industrie intégrant ces nouveaux dispositifs , le Fin FET devient une demande pressante tout ca pour avoir un modèle de simulation fiable et correcte.

Chapitre I

Généralistes sur le transistor

MOSFET

INTRODUCTION

Le transistor est un composant fondamental en micro- électronique. En effet, il existe plusieurs classes de transistors tels que les transistors bipolaires et les transistors à effet de champ. Dans ce chapitre on s'intéresse au transistor à effet de champ du type MOSFET en étudiant L'architecture de ce transistor son principe de fonctionnement et nous mettons en œuvre les différentes équations de fonctionnement, comme aussi ont va étudier les effets indésirable de ce transistor.

I.1. Architecture et principe de fonctionnement

La structure de base du MOSFET est constituée d'un substrat de silicium de type n ou p dans lequel sont implantées, par diffusion ou implantation ionique, deux zones, fortement dopées et de type opposé à celui du substrat, appelées drain et source. Sur la zone délimitée par le drain et la source appelée zone active, est déposée une couche de diélectrique par oxydation du silicium appelée substrat. Le diélectrique ainsi obtenu, le SiO_2 natif, est recouvert d'une couche, pouvant être du polysilicium de haute conductivité, appelée grille. Une capacité MOS est ainsi réalisée, comme a été représenté dans figure I.1.

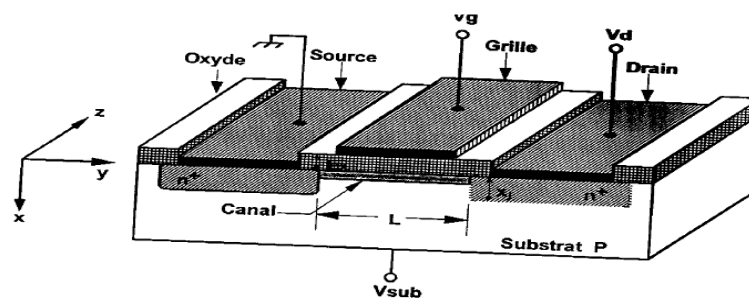


Figure I.1 : Structure de base du transistor MOSFET

La couche active liant la source et le drain, activée par polarisation, est appelée *canal*, le transistor peut être à appauvrissement (Normally On) ou à enrichissement (Normally Off).

Un MOSFET est caractérisé par ses dimensions géométriques et physiques qui sont décrites dans la figure 1 on appelle L et W la longueur et la largeur du canal du MOSFET respectivement. x_j représente la profondeur de diffusion de la source et du drain et t_{ox} l'épaisseur de l'oxyde de grille. La surface de la grille est $A = W.L$ et x la profondeur du canal.

La grille et le drain sont polarisés par les tensions V_{GS} et V_{DS} référencées par rapport à la source ou au substrat, généralement maintenus à la masse.

Afin de contrôler la conductivité du canal et le courant du drain traversant longitudinalement le canal.

Le dopage du substrat varie entre 10^{15} et 10^{17} atomes/cm³. Celui du drain et source est de l'ordre de 10^{19} atomes/cm³. Le canal est physiquement séparé de l'oxyde par l'interface qui influe sur le comportement et les performances du MOSFET.

- Pour obtenir l'équation finale du courant on doit passer le développement des équations suivant :

Le potentiel de surface ψ_s au niveau de la source varie entre

$$\phi_f - V_{BS} \text{ et } 2\phi_f - V_{BS} .$$

Les densité d'électrons et de trous s'expriment à partir des quasi-niveaux de fermi.

$$\{n_{(y)} = n_i \exp\left(\frac{E_{Fn} - E_{i(y)}}{KT}\right) = n_0 \exp(\beta(\psi_Y - \phi_C)) \quad (I.1)$$

$$\{p_{(y)} = n_i \left(\frac{E_{i(y)} - E_{Fp}}{KT}\right) = p_0(-\beta\psi(y)) \quad (I.2)$$

Dans l'expression (1) et (2), p_0 et n_0 représentent les densités de porteur libre à l'équilibre.

Ces densités sont donnée par :

$$n_0 = n_i \exp\left(-\frac{q\phi_F}{KT}\right) \quad (I.3)$$

$$p_0 = n_i \exp\left(\frac{q\phi_F}{KT}\right) \quad (I.4)$$

La densité de courant en chaque point du canal est la somme des composantes de diffusion et de conduction des porteurs libre .si l'on considère que le courant des porteurs majoritaire du substrat (trous) est nul la densité de courant s'écrite

$$J(x, y) = q(\mu_0 n \xi + Dn \nabla n) = Jn \quad (I.5)$$

μ_0 est la mobilité a faible champ électrique, Dn le coefficient de diffusion des électrons , n c'est la densité d'électrons.

Sachent que le champ électrique dérive d'un potentiel scalaire donc on simplifier pour devenir.

$$\bar{J}n = -q\mu_0 n \frac{d\phi_c}{dx} \quad \text{on à aussi } J = \frac{I}{S} \quad (I.6)$$

Le courant totale I_{DS} est obtenu par l'intégration Jn sur toute l'épaisseur de la couche d'inversion formant le canal du transistor soit :

$$I_{DS} = -W \int_0^{y_i} Jn dy = w \int_0^{y_i} q\mu_0 \frac{d\phi_c}{dx} dy = W\mu_0 \frac{d\phi_c}{dx} q \int_0^{y_i} n dy \quad (I.7)$$

$$\int_0^L I_{DS} dx = I_{DS}L = -w\mu_0 \int_0^{V_{ds}} Q_n d\phi_c \quad (I.8)$$

Ou $\phi_c(x)$ est égal à $V_{(x)} - V_{BS}$ et $V_{(x)}$ représente le potentiel en chaque point du canal induit par la polarisation de drain $Q_n = -q \int_0^L n dy$ est la charge de la couche d'inversion par unité de surface (Cm^{-2}). L'influence du potentiel de substrat (V_{bs}) sur la concentration en porteurs libre est identique en chaque

point du canal ce qui implique que $d_V = d\phi_c$. En effectuant le chargement de variable $V(x)=\phi_c - V_{BS}$.

$$I_{DS} = -\frac{W}{L}\mu_0 \int_0^{V_{DS}} Q_n(V)dV = -\frac{W}{L}\mu_0 \int_0^{V_{DS}} (Q_{SC}-Q_D)dV \quad (I.9)$$

Après une suite d'intégrale on obtient la forme linéaire de courant I_{ds} :

$$I_{DS} = \frac{W}{L}\mu \cdot C_{OX} \left[V_{GS} - V_T - \frac{V_{DS}}{2} \right] V_{DS} \quad (I.10)$$

I.2. Les régimes de fonctionnement

➤ Tension sous-seuil

Dans cette région, le canal n'est pas encore formé. Le transistor fonctionne comme un transistor bipolaire npn (source-grille-drain).

➤ Régime Linéaire

Lorsque V_d est faible on est en régime ohmique, le potentiel de surface est constante le long du canal et supérieur a $2\phi_F$. la charge Q est donc uniformément répartie dans le canal le courant de drain est alors l'équation (I.10) devient :

$$I_d = \frac{W}{L}\mu_{eff} \cdot C_{ox} \cdot L_{EFF} (V_g - V_t) \cdot V_d. \quad (I.11)$$

Le courant I_d croit linéairement avec la tension V_d on définit alors La conductance

$$g = \frac{\partial I_d}{\partial V_d} \quad (I.12)$$

$$g_d = \frac{\partial I_{ds}}{\partial V_{ds}} |_{V_{GS}} \approx \frac{W}{L}\mu_{eff} C_{ox} (V_g - V_t) \quad (I.13)$$

a résistance correspondante est $R_{ds} = d \frac{\partial V_d}{\partial I_d}$

la transconductance est donnée par :

$$g_m = \frac{\partial I_{ds}}{\partial V_g} = \frac{W}{L} \mu_{eff} C_{ox} V_d \quad (I.14)$$

➤ **Régime saturé**

Lorsque V_d augmente, le canal n'est plus homogène mais pincé du côté de drain. V_d est alors égale à $V_{d_{sat}}$ qui est la tension de saturation. Le régime de fonctionnement est alors à la saturation

$$V_{d_{sat}} = V_g - V_t \quad (I.14)$$

donc le courant de saturation donnée par la substitution de l'équation (I.14) à (I.15)

$$I_{d_{sat}} = \frac{W}{L} \mu_{eff} C_{ox} (V_g - V_t)^2 \quad (I.15)$$

Le courant du drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain. L'augmentation du courant est due à l'éloignement du point de pincement par rapport au drain, à la réduction de la tension de seuil avec la tension V_{ds} .

Le point de pincement se caractérise par la disparition de l'inversion.

➤ **Caractéristique courant-tension $I_D V_D$**

A partir des expressions du courant de drain en fonction des tensions drain - source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui est donnée sur la figure I.3.

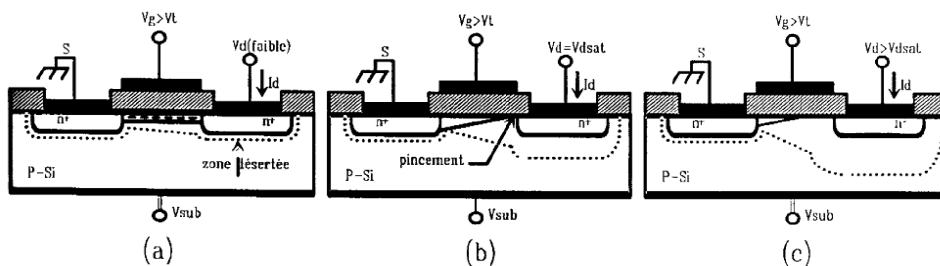


Figure I.2 : différents régime de fonctionnement d'un MOSFET (a) régime linéaire (b) et (c) régime de saturation

La figure montre trois régions de fonctionnement du MOSFET, la région linéaire, la région de saturation et la région de transition délimitée par la fin de la région linéaire et le début de la région de saturation totale. Cette région correspond à l'influence de la tension V_{DS} sur la forme du canal pour le ramener de sa forme pure (fin de la région linéaire) à son pincement (début de la région de saturation) [1].

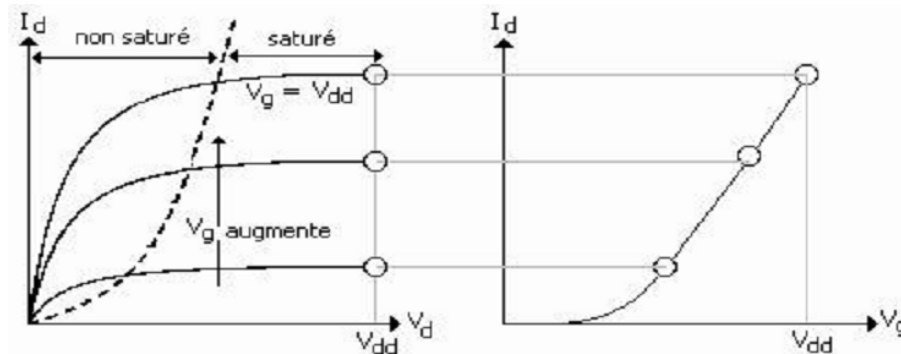


Figure I.3 :(a)Caractéristique de sortie (b) caractéristique de transfert

➤ Tension de seuil V_t

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOSFET .elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion c.-à-d. le transistor fonction et le potentiel de surface sois plus grand que le potentiel de fermi $\Psi_s > 2. \Phi_f$.

I.3.Miniaturisation des MOSFET

➤ Réduction de la longueur de canal et notion de mise en échelle

La réduction des dimensions géométrique du transistor la largeur la longueur du canal génère des problèmes technologiques complexes et des effets néfastes au bon fonctionnement du transistor, en effets on diminue progressivement la longueur de la grille(L_g) implique des modifications des autres paramètres définissant la géométrie du transistor (t_{ox} , X_j , dopage substrat...).aussi cette réduction engendre d'autre effets comme la diminution de la mobilité et l'accessoire de la tension de seuil. Pour cella

une loi de réduction d'échelle à été énoncées proposées afin de minimiser les effets indésirable, et améliorer les performances du transistor. on réduit la dimension des transistors d'un facteur k avec k supérieur à 1 [2].

**Tableau1 : de miniaturisation des MOSFETs par Dennard
(facteur multiplicatif k sans unité)**

Paramètre physique du transistor ou du circuit (unité)	Facteur
d'échelle Dimensions du transistor t_{ox} , L, W, $X_j(1)(cm)$	1/k
Concentration en dopants (cm^{-3})	K
Tension d'alimentation VDD	1/k
Champ Tableau I.1: Règles électrique E (V/cm)	1
Courant normaliser I_{ON} ($\mu A/\mu m$)	1
Délai intrinsèque (par circuit) $C_{gate}.VDD/I_{ON}(2)(s)$	1/k
Puissance dissipée par circuit $VDD.I_{ON}$ (W)	1/k ²

I.4.Effets canal courts (SCE)

➤ Effets directe

La réduction de L_g s'accompagne de l'apparition d'effets électrostatiques parasites, dits de "**canal court**", qui perturbent le bon contrôle par V_{gs} , la conductivité entre source et drain, quand on rapproche le drain de la source on rend également plus proches l'une de l'autre les zones de charge d'espace (ZCE) drain-substrat et source-substrat. Ces ZCE sont un obstacle au courant vers le substrat : les porteurs majoritaires des caissons de source et drain voient une

barrière de potentiel qui les empêche de diffuser vers le substrat (et réciproquement pour les porteurs majoritaires du substrat vers les caissons). Quand la tension V_{ds} augmente, la ZCE drain-substrat s'étend pour L_g faible, rejoindre la ZCE source-substrat. La barrière de potentiel à la frontière source-substrat diminue alors comme illustré sur la Figure suivante :

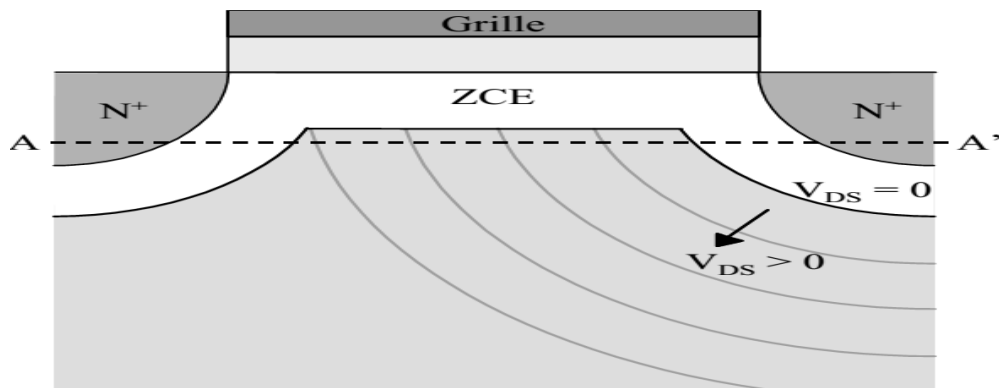


Figure I.4 : L'influence d'effets canal court sur le fonctionnement du transistor

Les porteurs majoritaires de la source peuvent dans ces conditions diffuser dans le Substrat puis dériver vers le drain dans la ZCE drain-substrat polarisée en inverse. Un courant de fuite entre source et drain apparaît donc via le substrat ; c'est un courant de diffusion non contrôlé par la grille. C'est le phénomène de percement en volume.

En outre, le débordement des ZCE sous la grille augmente en valeur relative par rapport à L_g quand la valeur de la longueur de grille diminue. Cela occasionne un abaissement de la barrière de potentiel en entrée de canal et perturbe le contrôle par V_{gs} des charges fixes dans la zone de désertion sous la grille [2].

En conséquence, la conductance de drain g_d augmente en régime source de courant, et enfin la tension de seuil V_t diminue (en valeur absolue). Ces phénomènes sont d'autant plus importants que V_{gs} augmente (en valeur absolue). Les effets de canal court évoquent une dégradation de la commande de la grille, augmenter fortement le courant I_{off} et la conductance de drain g_d en régime source de courant, et induisent une dépendance de V_t

avec V_{ds} . Ces conséquences peuvent être catastrophiques pour le fonctionnement du transistor [2].

➤ **Effets canal Court Inverse**

Il a été observé qu'une réduction de la longueur du canal pour augmenter la densité d'intégration entraînait une augmentation de la tension de seuil qui, à première vue, devait diminuer. Ainsi, cette observation a motivée l'étude du phénomène inverse de réduction de longueur du canal (RSCE : Reverse Short Channel Effect).

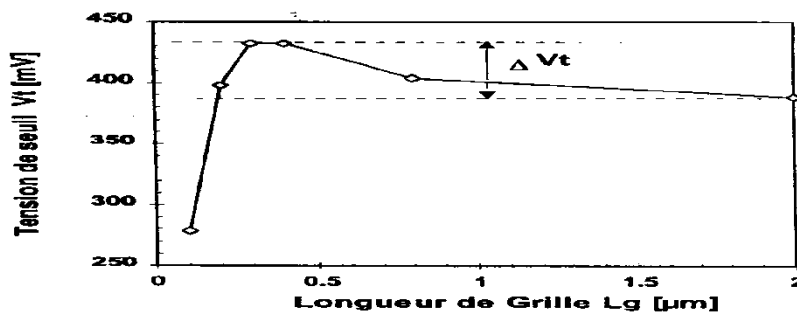


Figure I.5 : variation de la tension de seuil avec la longueur de grille illustrant l'effet de canal court inverse

Ce phénomène est illustré par la figure I.4 On remarque qu'à certaines valeurs de la longueur de canal L la tension de seuil présente des valeurs maximales. Pour de très faibles valeurs de L (Deep Submicron MOSFETs) la tension de seuil augmente avec la longueur du canal L .

➤ **saturation de vitesse des porteurs**

Sous l'influence d'un champ électrique longitudinal E_L entre la source et le drain, les porteurs se déplacent avec une vitesse de dérivé v en régime stationnaire qui est définie par $v = \mu E_L$.

A partir d'une certaine valeur du champ appelée champ critique E_C la vitesse des porteurs tend vers une valeur limite dite vitesse de saturation v_{sat} , le courant se sature avec le pincement du canal puis les porteurs atteignent leur vitesse limite atteinte v_{sat} dans ce cas la mobilité effective se diminue.

➤ **Effets DIBL (drain induced barrier lowering)**

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Lorsqu'aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long.

Cependant avec une tension de drain appliquée à Figure 5 suivante, le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source. C'est effectivement un tel effet qui est référé comme étant l'abaissement de la barrière induite par le drain, ou le DIBL. Pour une tension de drain croissante, nous assistons à une traversée du canal par les porteurs à une valeur de polarisation de grille nettement inférieure à celle que l'on aurait eu en l'absence de cet effet DIBL. L'injection augmentée d'électrons par la source, par-dessus la barrière réduite, lorsque V_{ds} augmente, entraîne une croissance du courant de drain et donc une décroissance de V_t .

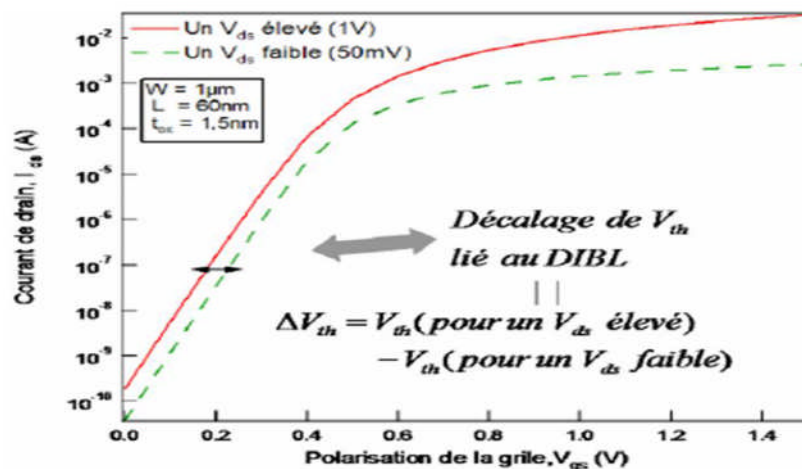


Figure I.6 : Influence de l'effet du DIBL sur la caractéristique ($I_d - V_g$) du transistor MOSFET

➤ **Notion de porteurs chauds**

Quand on réduit la longueur du canal et que l'on augmente la tension de drain, le champ longitudinal prend des valeurs importantes et génère des porteurs dits chauds. Ces porteurs sont appelés ainsi car ils ont acquis une grande énergie qui ne peut être totalement dissipée à leurs arrivés à destination. Ils causent ainsi des dégradations au moment du transfert de leur excès d'énergie au réseau du matériau constituant le MOSFET. Ces porteurs sont à l'origine de plusieurs effets néfastes pour le transistor.

I.5. Effet de la tension sous seuil

Quand le transistor fonction on régime de faible inversion. Un courant de fuite très faible circule entre la source et le drain. Ce courant contribue à l'augmentation de la puissance statique dissipée par les circuits. Ce courant trouve son origine dans l'énergie d'activation thermique non nulle des porteurs dont un certain nombre arrive à franchir la barrière de potentiel dans le canal en régime d'inversion faible. Ce courant varie exponentiellement avec la tension de grille Un paramètre important à suivre est la pente sous le seuil qui traduit le facteur de proportionnalité entre la tension de grille et le courant de fuite en échelle logarithmique :

$$S = \frac{V_{th}}{\log(I_{off} - \log I_{th})} \text{ ou } S \text{ et la pente sous seuil.}$$

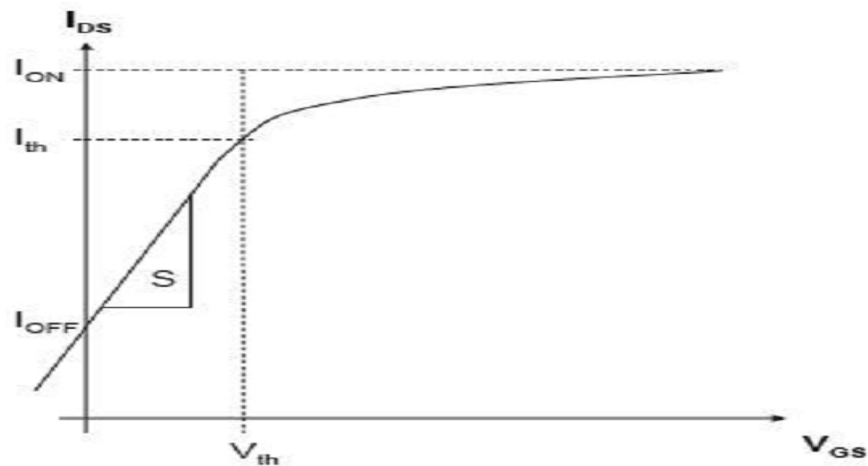


Figure I.7 : présentation de la pente sous seuil

I.6. correction des effets canal courts (SCE).

Les effets canal courts et le facteur fondamentale qui perturbent fortement le bon fonctionnement électrique du dispositif lors de sa miniaturisation à des dimensions nanométriques.

Afin de limiter les effets SCE et DIBL, le dopage du canal doit être très grand ce qui induit alors des effets quantiques néfastes au niveau de la grille. Pour avoir un courant de drain plus important, élargir l'espace entre les atomes de silicium et donc réduire la possibilité de collision (amélioration de la mobilité).

Une faible résistance de grille est préférée afin de diminuer la chute du potentiel traversant la grille. Par ailleurs, la grille fabriquée en poly silicium a permis de simplifier le processus de fabrication du transistor, mais a engendré un effet de poly déplétion.

Le choix d'une technologie de grille métallique permet d'éliminer cet effet de poly déplétion. La réduction de l'épaisseur de l'oxyde de grille entraîne un courant de fuite tunnel traversant l'oxyde de grille. Cela a une incidence sur la fiabilité du transistor qui celui-ci est très sensible à la qualité de la couche

d'oxyde de grille. La résistance d'accès (résistance source + résistance drain) devient un facteur très important pour le courant de drain. Pour ne pas diminuer ce courant de drain, la résistance d'accès doit être la plus faible possible. Car sinon, la résistance d'accès devient comparable en valeur à celle du canal.

En raison de la collision entre les porteurs et les atomes du cristal lorsque le champ longitudinal devient très important, des paires électrons-trous sont créées.

I.7. Dispositifs alternatif

La diminution de la taille des MOSFETs vers l'échelle nanométrique et l'utilisation de nouvelles architectures qui devraient remplacer à plus au moins longue échéance le MOSFET conventionnel, et la réalisation de différent type de transistor selon les applications voulus, La figure (8) illustre le nanoMOSFET typique fabriqué actuellement. Le dopage du canal est à profile rétrograde à fort dopage subsurfacique ($5 \cdot 10^{17}$ à $3 \cdot 10^{18} \text{ cm}^{-3}$) pour empêcher le champ électrique de drain d'arriver à la source et un faible dopage de surface (10^{17} cm^{-3}) pour maintenir une faible tension de seuil et améliorer la mobilité dans le canal en réduisant les centres de collisions.

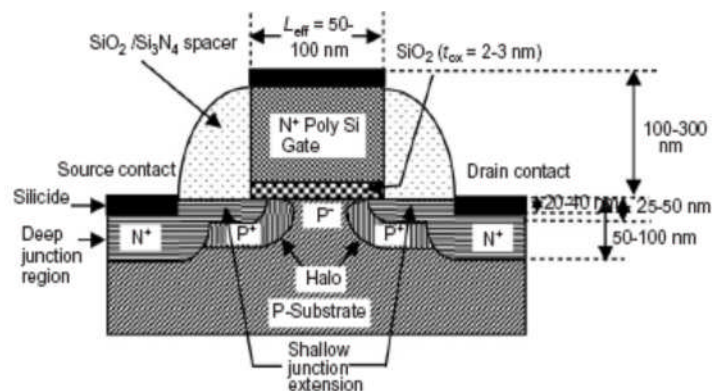


Figure I.8 : structure et dimensions typique du nanoMOSFET

Alors que des extensions de jonctions très minces sont utilisées pour le contact du canal avec le Drain et la source, des jonctions plus profondes sont utilisées pour établir la connexion avec les contacts métalliques drain source et ceci dans le but de réduire les résistances d'accès.

Conclusion

La diminution des grandeurs géométriques des transistors MOSFETs fût la première méthode utilisée pour améliorer la vitesse de commutation des transistors. Les MOSFETs de l'état de l'art sont maintenant fabriqués avec des longueurs de grille effective d'une dizaine de nanomètres seulement, poussant les technologies conventionnelles à base de silicium dans le régime de la nanoélectronique. Ceci a créé de nouveaux challenges pour modifier les autres dimensions des dispositifs, qui doivent être réduites en accord avec la longueur de grille.

De nouveaux défis technologiques apparaissent avec la réduction des dimensions des dispositifs. Par exemple, l'épaisseur de l'oxyde de grille tox doit être réduite comme les autres dimensions du transistor, ce qui conduit notamment à des fuites de grille. Le dopage du substrat doit être augmenté, entraînant une augmentation des collisions entre les porteurs et donc une dégradation de la mobilité. Pour continuer à améliorer les performances des dispositifs, de nouvelles structures et des nouvelles technologies ont été proposées comme la technologie SOI et multi-grilles.

Chapitre II

Technologie SOI multi-grilles

Introduction

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFETs, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures, la réduction des fuites de grille en utilisant de nouveaux matériaux et d'autres solutions technologiques pour l'amélioration des propriétés du transport des porteurs, La première révolution dans l'architecture du transistor MOSFET est l'apparition des transistors sur film mince SOI (« Silicon On Insulator »

I. Transistor MOSFET SOI simple grille

Le transistor MOSFET SOI (silicium sur isolant) est réalisé avec un film de silicium mince posé sur un oxyde (BOX Buried Oxyde) la première différence par rapport à un transistor MOSFET bulk est qu'il n'y a donc plus de courant de substrat.

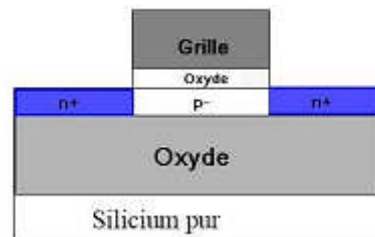


Figure II.1 : Structure d'un transistor (simple grille) SOI de type-n

I.1. entièrement déplété (FD-SOI) et partiellement déplété (PD-SOI)

Suivant les différentes épaisseurs du silicium et dopages du canal, il existe deux type de technologies SOI (simple grille).

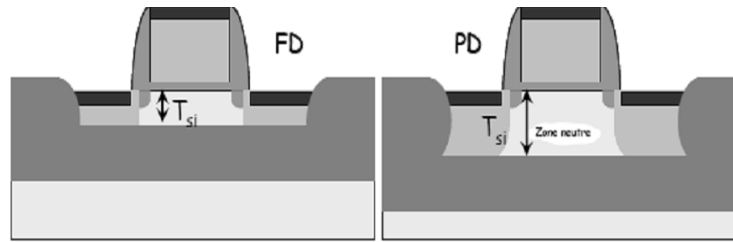


Figure II.2 : Représentation schématique d'un transistor SOI : (a) entièrement déplété(FD SOI) et(b) partiellement déplété(PD SOI)

- ✓ On distingue deux types de dispositifs sur film mince .lorsque l'épaisseur t_{si} du filme est suffisamment épaisse, une partie seulement du filme est désertée. On parle alors du transistor sur isolant partiellement déserté (PD-SOI). donc il présente peu d'intérêt par rapport au MOS bulk. L'équation de l'épaisseur de la zone déplété donner par :

$$d_{max} = \sqrt{\frac{4 \cdot \phi_F \cdot \epsilon S_i}{q N_a}} \quad (II.1)$$

si d_{max} est suffisamment épaisse on est dans le PD SOI

Lorsque l'épaisseur de t_{si} est plus fine, l'ensemble du substrat est déserté et on parle cette fois d'un transistor totalement déserté ; FD-SOI (fully depleted silicon on insulator). Ce dernier présente de nombreux avantages tels que l'obtention de la jonction ultra-mince permettent un bon contrôle des effets canaux courts. les avantages de la technologie SOI sont que le substrat est isolé de la couche active, il y a minimisation de la capacité parasites associées au substrat et pas de courant de fuit du substrat. La charge de déplétion donnée par l'équation suivant :

$$Q_{dep} = \sqrt{2 \epsilon_s q N_A (2 \phi_F + V_B)} \quad (II.2)$$

$$d_{max} = \sqrt{\frac{4 \cdot \phi_F \cdot \epsilon S_i}{q N_a}}$$

si d_{max} est suffisamment mince on est dans le FD SOI

Le courant de déplétion et donnée par l'équation suivant

$$I_{Rmax} = t_{si}WL_{eff}f \cdot q \frac{ni}{\tau} \exp \frac{Vd}{2V_{th}} \quad (II.3)$$

avec, R_{max} c'est la recombinaison maximale en surface f est un facteur correctif L_{eff} et w sont la longueur et la largeur effectif pour un dopage faible et un film mince f est égale à 1.

On a aussi la capacité de zone de déplétion donner par [2]

$$C_{tot} = c_{ox1} + c_{D0} + c_{s0} + \frac{c_{si} \cdot c_{ox2}}{c_{si} + c_{ox2}} + \frac{c_{si} \cdot c_{BS}}{c_{si} + c_{BS}} + \frac{c_{si} \cdot c_{BD}}{c_{si} + c_{BD}} \quad (II.4)$$

Avec $c_{D0}c_{s0}$ est la capacité de drain source c_{BS} c_{BD} .

c' est la capacité de l'oxyde enterré, C_{OX} c'est la capacité de l'oxyde, C_{si} est la capacité de silicium. En simplifier l'équation en supposant que

$$c_{si} \gg c_{ox2}, c_{BD}, c_{BS} \quad (II.5)$$

Donc :

$$C_{tot} = c_{ox1} + c_{D0} + c_{s0} + c_{ox2} + c_{BS} + c_{BD} \quad (II.6)$$

I.2. L'avantage de la technologie SOI par rapport à la technologie MOS bulk

L'isolation diélectrique : les composantes sont bien séparés les uns par rapport aux autre par l'oxyde et aussi du substrat par l'isolation verticale. Le courant de fuite lié au bulk, le latch-up sont bien éliminés.

Les jonctions verticales : les jonctions source/drain s'étendent jusqu'à l'isolation. Cela réduit la capacité parasite et le courant de fuite. cela est surtout intéressant dans les applications de faible consommation et de grande vitesse.

Le processus de fabrication : l'utilisation des wafers SOI, en dépit du cout très cher, facilite le processus de fabrication grâce à l'absence des caissons de la technologie MOS bulk.

L'effet de canal court : la petite épaisseur du film de silicium limite la pénétration des champs des source/drain dans le silicium. L'effet de canal court est donc moins sensible dans le FD-SOI que dans le MOS bulk.

La faible tension de fonctionnement : le transistor FD-SOI a une pente sous le seuil « plus idéale » que le transistor MOS bulk pour un jeu de paramètres technologique comparable. Tout cela rend la technologie FD-SOI attractive

notamment pour des applications mobiles qui demandent une faible consommation d'énergie et faible tension d'alimentation.

I.3.1. Inconvénients et Limitations des technologies SOI

Les comportements statique et dynamique des MOSFETS SOI diffèrent beaucoup de ceux des MOSFETS sur silicium massif et ceci à cause de différents phénomènes inhérents à la présence de l'oxyde enterré. Ces effets peuvent être bénéfiques ou parasites. On distingue :

Qualité du substrat : La densité des défauts est plus importante dans la technologie SOI (double interfaces, ...). Ce qui affecte négativement les performances du transistor notamment la dérive de la tension de seuil et la dégradation de la mobilité.

Coût de production : En diminution continue, ils sont plus importants pour la filière SOI que pour le Silicium massif. Cependant, la densité d'intégration est plus importante qu'en silicium massif.

Effets de substrat flottant : Dans un transistor SOI MOS, le contact de substrat n'est pas toujours disponible. Lorsque ce contact n'est pas présent, les porteurs majoritaires s'accumulent dans le substrat et induisent un excès de potentiel de substrat, provoquant ainsi une diminution de la tension de seuil et l'apparition de l'effet Kink (excès de courant) dans les caractéristiques $I_D(V_D)$. L'effet Kink est dû à l'oxyde enterré qui empêche l'évacuation des charges créées par ionisation par impact à côté du drain sous de fortes tensions V_D . Pour réduire l'effet de substrat flottant, il faut prévoir dans la conception des circuits, des prises de substrat qui reliraient le substrat flottant à la masse.

Effet d'auto échauffement: À cause de la faible conductivité thermique de l'oxyde enterré (100 fois plus faible que celle du silicium) dans les transistors MOS/SOI, la chaleur produite dans le film SOI est relativement difficile à évacuer. Il est plus prononcé dans les canaux courts à cause du courant élevé et du faible volume de Silicium.

Le remplacement du SiO₂ de l'oxyde enterré par de l'Alumine ou tout autre diélectrique à forte conductivité thermique améliorera l'évacuation de la chaleur vers le substrat de silicium, ce qui réduira l'auto échauffement.

L'effet du transistor bipolaire parasite: Il est dû à l'ionisation par impact et aux charges qui s'accumulent dans le substrat augmentant le potentiel du film, polarisant ainsi en direct la jonction film de Silicium-source. Ce qui active un transistor bipolaire parasite en parallèle avec le MOSFET. Ce courant parasite peut empêcher le transistor de commuter de l'état ON à l'état OFF (Verrouillage ou Latch du MOSFET).

Couplage des interfaces : Dans les transistors MOS sur SOI complètement déplété, la charge de déplétion ne peut pas s'étendre avec la polarisation de grille. L'application d'une tension de grille contrôle non seulement le potentiel de surface sous la grille considérée mais aussi le potentiel de surface à l'interface opposée.

Résistances d'accès : Comme on réduit l'épaisseur du film de silicium, les résistances d'accès augmentent, ce qui altère les performances des MOSFETs. Ceci impose l'optimisation du procédé de réalisation des zones source et drain pour réduire l'influence des résistances d'accès.

Contrôle de l'épaisseur du film : Pour le FD MOSFET, la tension de seuil varie avec l'épaisseur du film. Aussi un contrôle très rigoureux de cette épaisseur est indispensable.

I.3. Comparaisons entre la Transistor MOSFET bulk et MOSFET SOI

Dans le cas du transistor MOS bulk, l'isolation des composants est de type électronique, c.-à-d. qu'elle s'effectue au travers des jonctions polarisées dans le sens inverse et que les composants complémentaires sont réalisés dans des caissons de types opposés. Par contre pour les transistors SOI l'isolation est de type diélectrique ou hybride électrique-diélectrique, ce qui signifie qu'un isolant entoure entièrement les composants ; ces derniers sont réalisés dans un film de silicium et ne nécessitent aucune polarisation particulière d'isolation. Le courant de substrat et le phénomène de latch-up sont donc naturellement

éliminés. Mais à cause de la faible conductivité thermique de l'oxyde, cette isolation apporte aussi un effet néfaste par rapport à la MOS bulk. C.-à-d. l'effet d'auto-échauffement les caractéristique de FD-SOI sont très sensible à l'épaisseur du film de silicium ce qui demande une exigence stricte à l'uniformité de l'épaisseur du film de silicium, si non, un circuit intégré à base de FD-SOI avec une épaisseur non uniforme.

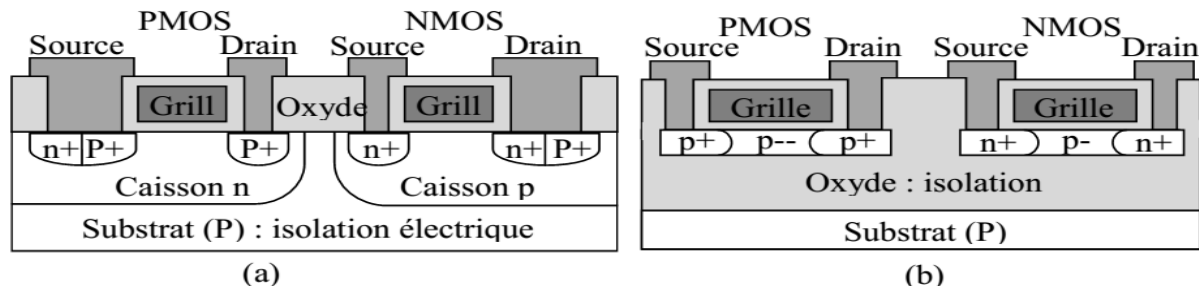


Figure II.3 : Coupe schématique dans un circuit bulk (a) et SOI (b) [5]

II. Transistor MOSFET Double grille.

Comme cela a été évoqué précédemment, il existe un champ électrique dans l'oxyde enterré d'un transistor SOI simple grille (Figure II-1). Les lignes de champ électrique relient le drain et le silicium en traversant l'oxyde enterré et augmentent le potentiel dans le silicium. Cela s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing). Une solution efficace proposée pour éliminer l'effet DIVSB est l'ajout d'une deuxième grille enterrée sous le silicium. Ce dispositif s'appelle simplement le MOSFET double-grille (DG). La grille enterrée coupe les lignes de champ électrique dans l'oxyde enterré, éliminant ainsi l'effet de DIVSB. Par rapport au plan de masse enterré, le DG MOSFET est plus avantageux grâce au renforcement du contrôle du canal par les grilles. La pénétration des zones de charge déplété par les source/drain étant réduite par rapport à la technologie SOI, cela implique donc un plus faible effet de canal court et une pente sous le seuil quasi-idéale (relativement proche de 60mV/décade) sous le seuil. Un second canal se forme proche de l'interface Si-SiO₂ de la grille enterrée doublant ainsi le courant en régime de forte inversion.

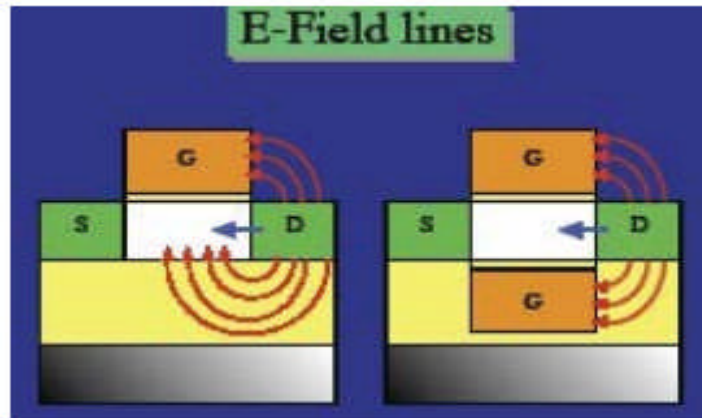


Figure II.4 : Lignes de champ électrique, after [9]

L'équation du courante et du champ sont données par les équations suivantes :

$$I_{DS} \approx -\mu \cdot \frac{H_{Si}}{2 \cdot L \cdot C_{ox}} \cdot \vec{Q} \cdot \Delta Q \quad (II.7)$$

Q c'est la densité de charge, H_{Si} : la hauteur de fin, μ la mobilité, C_{ox} : la capacité de l'oxyde et L : longueur de canal.

$$E_2(x) = E_{sat} \cosh\left(\frac{x - L_{sat}}{l_p}\right) \quad (II.8)$$

III. Transistor multi-grille

Les transistors multi-grilles ont été la meilleure solution pour minimiser les effets indésirables qu'on ne peut pas résoudre avec la technologie SOI

III.1 Transistor MOSFET double-grille vertical

L'avantage du transistor MOSFET double-grille vertical est que la longueur de grille n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation des longueurs de grille ultracourtes. [6]

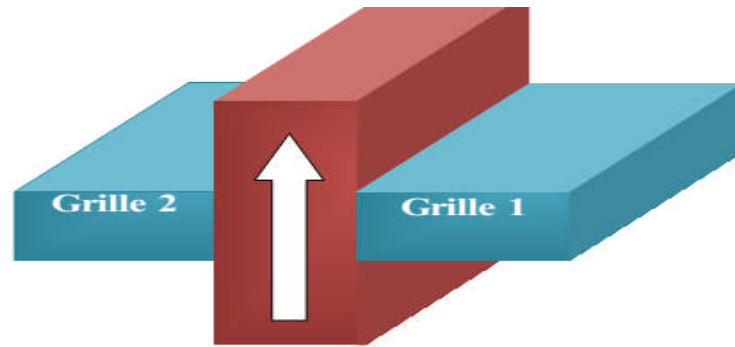


Figure II.5 : Orientation du transport électronique et effet de champ sur le MOSFET after [8]

III.2 Transistor MOSFET double-grille planaire

Le transistor MOSFET double-grille appelé DGFET planaire représenté par la

Figure III.2 qui suit est constitué de deux grilles placées sur le plan horizontal. Chaque grille exerce un contrôle sur le canal.

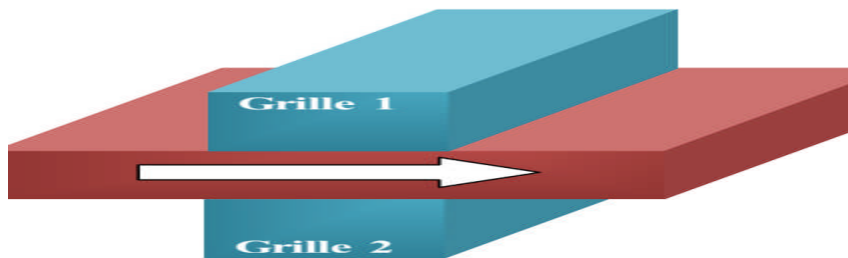


Figure II.6 : Orientation du transport électronique et effet de champ sur le MOSFET Double Grille Planaire after[8]

L'architecture du MOSFET double-grille planaire est basée sur celle du Simple Grille. En ajoutant une deuxième grille enterrée sous le canal. Le principal problème des MOSFETs doubles grilles planaires est celui de l'alignement des grilles car ces dernières sont gravées successivement et sont alignées optiquement. L'imprécision tenant au non alignement des grilles génère une forte dispersion des caractéristiques des composants à canaux courts. Lorsque la grille inférieure recouvre un des caissons, cela génère des capacités qui dégradent les performances électriques du transistor. Quand le non-alignement est très important, comme il est décrit dans la figure qui suit, le dispositif se comporte comme s'il

n'avait qu'une seule grille active. Néanmoins les structures qui ne présentent que de faibles non-alignements des grilles sont considérées comme étant performantes.

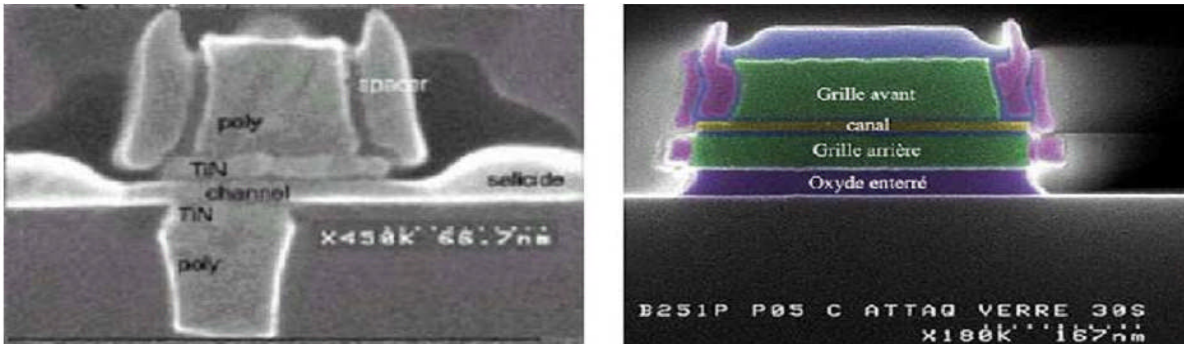


Figure: II.7 Image au MEB (microscopie électronique à balayage) d'une coupe du MOSFET double grille (a) non-auto-alignée, (b) auto-alignée [8]

III.3. Transistor GAA MOSFET

La structure GAA (Figure II.8). Le silicium est complètement enrobé par la grille. Cela supprime l'effet de BOX. De plus, la section verticale du silicium est ronde, aussi la structure complètement cylindrique du GAA permet d'avoir un comportement symétrique par rapport aux FinFET et TG MOSFET. Il n'y aura plus de problème de coins. Le contrôle du canal est meilleur donc le SCE et le DIBL sont minimisés. L'inconvénient de la technologie GAA MOSFET est qu'elle est très difficile à fabriquer et donc très chère.

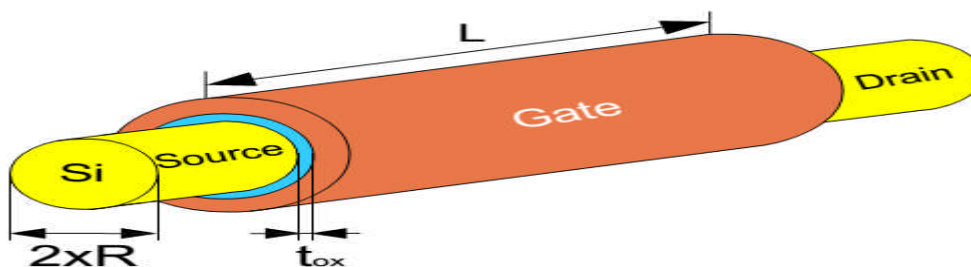


Figure II.8. : Structure du transistor GAA MOSFET [9]

III.4. MOSFET à nanofil

La dimension de la section du film de silicium est limitée par la technologie de fabrication. Un film de silicium ne peut pas être fabriqué aussi haut que désiré, tout en gardant une petite largeur (W_{Si}). Par conséquent, pour une surface donnée, et afin d'augmenter le courant, plusieurs fins peuvent être mis en matrice (Figure II.9).

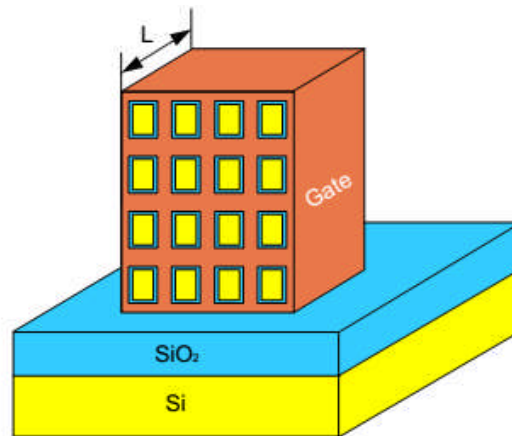


Figure II.9 Structure de Nanofil MOSFET [9]

Cela maximise l'efficacité de l'utilisation de la surface. De plus la dimension de la section du silicium est très petite (quelques nm^2), ainsi le contrôle de la grille est renforcé de la même manière que pour le GAA MOSFET. Les principaux désavantages de la technologie Nanofil MOSFET sont d'une part le coût de fabrication.

Avantage de Technologie multiples grilles

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de V_{ds} : la diminution drastique de l'épaisseur d'isolant devient moins cruciale.

Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons.

Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

Inconvénient des transistors à grilles multiples

L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions,

Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

Conclusion

La technologie SOI et multi-grilles a apporté beaucoup de bien fait au fonctionnement du transistor nombreux effets liés a la miniaturisation sont néfastes au bon fonctionnement des dispositifs sont réduit. Le SCE et le DIBL sont deux des principaux inconvénients. Succédant au MOSFET Bulk, la technologie multiple-grilles devrait permettre de continuer à suivre « la loi » de Moore.

L'avantages de cette technologie et que renforce le contrôle du canal par rapport au MOSFET bulk et au MOSFET SOI simple grille.

Chapitre III : Transistor FinFET

Introduction

La première structure FinFET était publiée sous le nom de « DELTA ». Le FinFET est construit à base d'un film de silicium fin sur un wafer SOI. La forme du film de silicium ressemble à un aileron (soit « fin » en anglais). C'est pourquoi on le nomme FinFET.

III.1 Propriétés électriques du FinFET

La structure du transistor FinFET est définie à la Figure III. 1. La grille enrobe le film de silicium. La section horizontale est similaire à un DG MOSFET (Figure III.1.b). L'oxyde de la grille supérieure est très épais afin de négliger l'influence de la grille associée. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET. Nous pouvons donc estimer que la largeur du canal total en forte inversion est équivalente à 2 fois la hauteur du Fin (H_{Si}).

Puisque le FinFET est similaire à un transistor DG MOSFET donc il est régi par la même équation du courant qui est comment suit :

$$I_{DS} \approx -\mu \cdot \frac{H_{Si}}{2 \cdot L \cdot C_{ox}} \cdot \vec{Q} \cdot \Delta Q \quad (III.1)$$

Q c'est la densité de charge, H_{Si} : la hauteur de fin, μ : la mobilité, C_{ox} : la capacité de l'oxyde et L : longueur de canal.

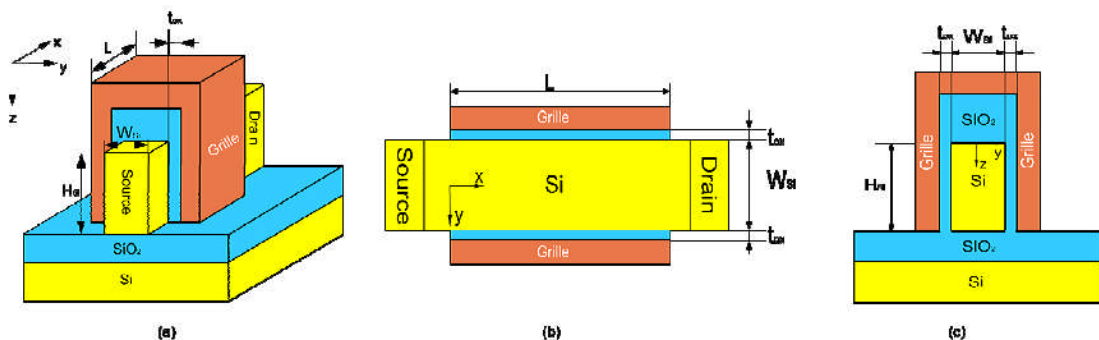


Figure III.1: (a) structure 3D d'un transistor FinFET, (b) Section horizontale et (c) Section verticale after [9]

Les propriétés électriques du FinFET sont liées aux paramètres géométriques technologiques, c'est à dire: la longueur du canal (L), la largeur du Fin (w_{si}), la hauteur du Fin (H_{si}), le dopage du Fin.

La longueur du canal (L) :

Comme dans le cas de la technologie MOSFET Bulk, la longueur du canal est le paramètre le plus important et l'indicateur clef de la génération de la technologie. Afin de fabriquer un circuit qui fonctionne le plus vite possible et qui consomme moins d'énergie et avec une surface la plus petite possible, il faut diminuer la longueur du canal de transistor. En réduisant la longueur du canal, la surface occupée par le transistor est donc réduite et la résistance série est diminuée permettant ainsi d'avoir un courant plus important. En même temps, la capacité (C_{gg}) est réduite, et donc la vitesse du circuit s'en trouve augmentée. Par contre, le SCE et le DIBL sont reliés directement avec la réduction de la longueur du canal. Plus petite est la longueur du canal, plus gênants sont ces effets SCE et DIBL.

La largeur (ou l'épaisseur) du Fin (W_{si}) :

L'épaisseur du film de silicium joue un rôle très important pour le fonctionnement du transistor. Pour que toute l'épaisseur du film de silicium soit déplétée, dans le cas où le dopage du substrat est faible ou intrinsèque, W_{si} doit être petite. Rappelons que pour une longueur du canal donnée, une petite valeur de W_{si} limite la dégradation des performances due aux effets SCE et DIBL. La réduction de W_{si} peut aussi limiter la pénétration des lignes électriques venant des grilles en traversant l'oxyde au-dessous du Fin. La diminution de W_{si} n'a pas que des conséquences bénéfiques. Elle impliquera l'apparition des effets de mécanique quantique. Cela fait dévier les porteurs de l'interface Si-SiO₂ vers le centre du Fin en augmentant le band-gap effectif. La tension de seuil va donc

augmenter et la capacité de l'oxyde de grille sera réduite. Par ailleurs, lorsque W_{Si} est réduite, sans considérer les effets quantiques, la section du film de silicium est plus petite, ce qui augmente la résistance série et réduit le courant. L'auto-échauffement s'en trouve également renforcé.

La hauteur du Fin (H_{Si}) :

La hauteur du Fin peut être assimilée à la largeur du canal dans le cas du transistor MOSFET bulk. Sauf qu'ici, en forte inversion, la largeur du canal peut être estimée à deux fois H_{Si} . Afin d'avoir un courant important, la hauteur H_{Si} doit être la plus grande possible. Cela limite aussi les effets de coin et les effets de mécanique quantiques dans la direction verticale. Cependant, à cause de difficulté de fabrication, H_{Si} ne peut pas toujours être augmentée comme on le souhaite. Quand H_{Si} est très grande, maintenir l'uniformité de la largeur du Fin tout au long de la direction verticale sera un challenge. Par conséquent, pour augmenter le courant, on peut multiplier les films de silicium en parallèle ce qui a donné l'idée de la l'élaboration a d'autre technologie.

Le dopage du film de silicium :

Dans la technologie MOSFET classique, il est néce

ssaire de doper le canal très fortement pour réduire le SCE pour un transistor de faible longueur de grille. Mais ce n'est plus le cas pour un FinFET. Le Fin est laissé non-dopé ou très faiblement dopé, permettant ainsi une mobilité plus importante et une tension de seuil fixée par le travail de sortie de la grille et par les dopages du film de silicium. Quand le film de silicium est très fortement dopé. Pour le SCE, l'impact du rapport (L/l) est plus important que l'impact du dopage du film de silicium.

Puisque le Fin reste intrinsèque ou faiblement dopé, le gradient de dopage de la source et du drain vers le canal est grand et la pénétration du dopage au canal est

donc plus profonde. La longueur d'overlap devient plus importante ce qui influence fortement la résistance série et dégrade le courant. Une jonction abrupte est nécessaire pour permettre une résistance plus faible.

Effets de coin

Les effets de coin sont des effets localisés aux deux coins du film de silicium (comme indiqué à la Figure III.2). L'allure du potentiel est changée dans ces coins du silicium. Ce changement résulte en un courant de fuite aux coins qui n'est pas sous le contrôle des grilles. Dans cette région, la tension de seuil est plus petite qu'ailleurs, ainsi avant que le transistor ne soit « activé », il existe déjà une somme de courant de coin, nommé courant de fuite. Cela augmente fortement le courant I_{off} . A la figure III.2. nous voyons que ces effets de coin ont lieu pour toutes les structures 3D généralement, la caractéristique $\frac{dgm}{dv_g}$ peut être utilisée pour identifier la tension de seuil, cette tension correspond au pic de la courbe. Mais pour les structures 3D, il existe deux pics pour chaque courbe. Le premier pic correspond la tension de seuil dans la région de coin et le deuxième pic correspond à la « vraie » tension de seuil du transistor. le canal aux coins est activé beaucoup plus vite que le centre de silicium. Pour le FinFET et le TG-MOSFET, les canaux aux coins sont des perturbations non négligeables.

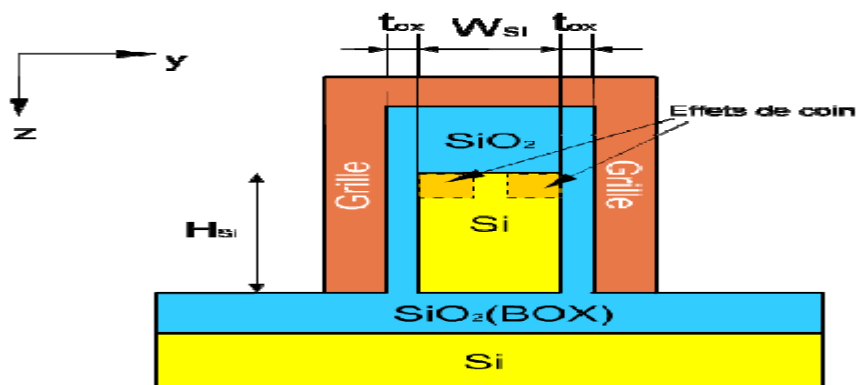


Figure III.2 les effets de coin after [9]

Les régions où les effets de coin se produisent dans la section verticale d'un FinFE La solution pour supprimer les effets de coin est proposée dans .Si le dopage du silicium est très faible ou intrinsèque, les effets de coin sont généralement négligeables. Une autre solution est d'arrondir le coin. C'est pourquoi le GAA (symétrique cylindriquement) n'a pas d'effet de coin .Une autre solution pour que les effets de coin soient négligeables sera d'augmenter la hauteur du Fin (H_{Si}). La raison est simple : si la partie de coin est suffisamment petite par rapport à tout le film de silicium, les effets de coins peuvent être négligés.

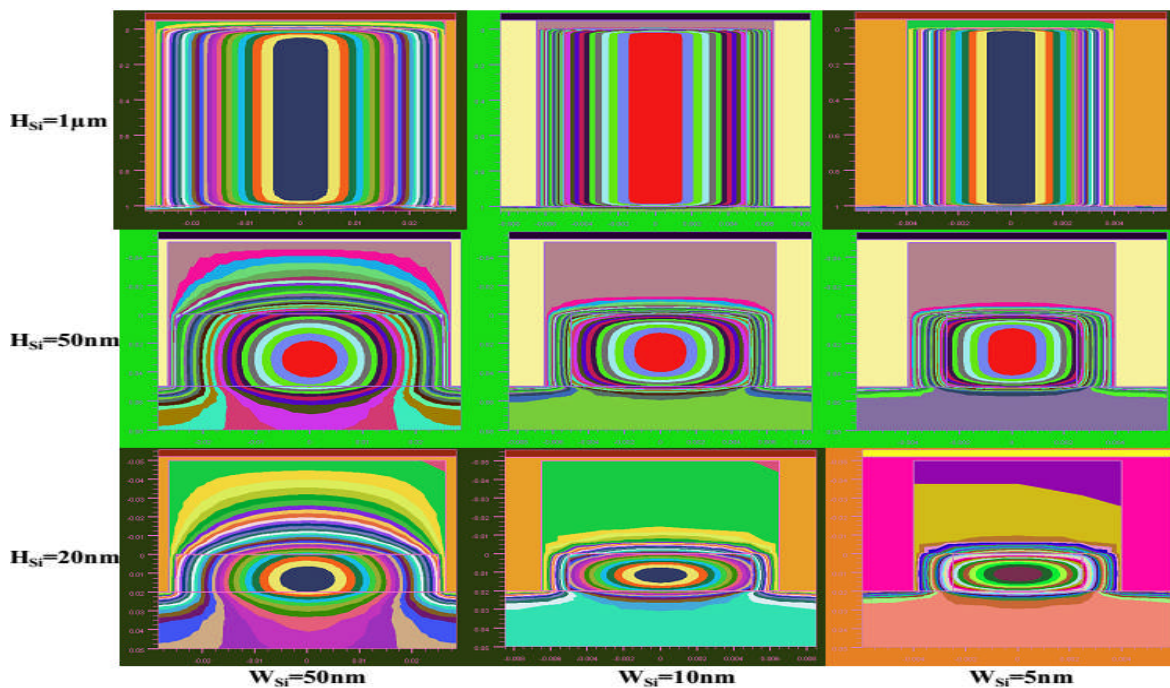


Figure III.3: Potentiel dans l'oxyde et le silicium (pour les FinFETs avec une longueur de canal de 1 μ m. VGS=0.3V) after [9]

D'après une comparaison du potentiel dans l'oxyde et le silicium à la section perpendiculaire à la circulation du courant pour différentes hauteurs et largeurs de silicium simulée avec le simulateur du dispositif d'Atlas de Silvaco, nous voyons que pour une hauteur très grande, i.e. $H_{Si}=1\mu\text{m}$, le potentiel dans le silicium est quasi-identique dans la direction verticale (Figure III.3). Il n'y a qu'une petite partie du potentiel qui n'est pas identique dans le sens vertical proche des interfaces entre le silicium et la grille au-dessus de silicium et l'oxyde du substrat. Ce dernier résulte de

la pénétration des influences de grilles latérales via l'oxyde au-dessus du silicium et l'oxyde de substrat. Car l'oxyde au-dessus de silicium ($t_{ox}t_{op}$) est très épais.

la grille au-dessus de silicium n'a qu'une très faible influence sur le silicium et peut être négligée par rapport aux grilles latérales. Quand la hauteur du silicium est diminuée jusqu'à 50nm, si la largeur du silicium est suffisamment petite ($W_{si}=10\text{nm}$ ou moins), le potentiel dans le sens vertical est encore quasi identique. Les parties du potentiel qui ne sont pas identiques dans le sens vertical sont négligeables par rapport à la partie du potentiel identique grâce au fort contrôle des grilles transversales. Quand la hauteur est très petite ($H_{si}=20\text{nm}$), nous ne pouvons plus considérer que le potentiel est identique dans le sens vertical quelle que soit la largeur de silicium. Les contours du potentiel sont arrondis. Nous avons parlé des effets de coins localisés dans les deux coins supérieurs. En fait, ils peuvent exister aussi dans les deux coins inférieurs. Les lignes électriques venant des grilles traversent l'oxyde en bas et arrivent au film de silicium. Elles influencent le potentiel en bas du silicium. Cet effet s'appelle aussi l'effet du BOX. Cet effet a une influence similaire à l'effet de coin et il peut être limité en réduisant la largeur du Fin (W_{si}).

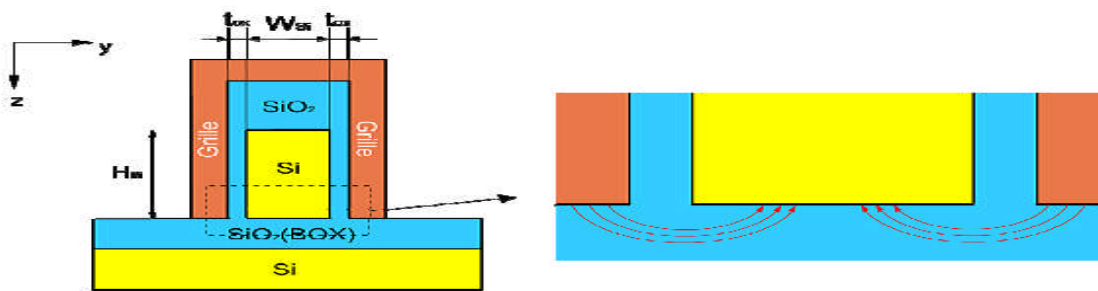


Figure III.4: Effet du BOX dans le FinFET after [9]

Les effets de coin dont nous avons parlé précédemment dépendent aussi du dopage du silicium. Bien qu'il existe une influence de la pénétration du champ venant de la grille via l'oxyde au-dessus et au-dessous du silicium et qu'il en résulte un gradient du potentiel dans le sens vertical aux coins supérieurs et inférieurs, cette

influence sera très réduite quand le dopage du silicium est très faible ou le silicium est intrinsèque. L'effet du BOX peut aussi se produire dans la direction X-Z (Figure III. 4). Les lignes électriques venant des sources et drain traversent l'oxyde en bas et arrivent dans le silicium. Cet effet est appelé également DIVSB (Drain-Induced Virtual Substrate Biasing). Le potentiel dans le film de silicium notamment à côté du drain est augmenté par la polarisation du drain. Il est similaire au DIBL et résulte en une diminution de la tension de seuil. Une couche moins épaisse d'oxyde en bas du film de silicium qu'on appelle BOX est donc préférée afin de limiter la pénétration du champ électrique du drain traversant le BOX et arrivant au silicium (Figure II.4). L'augmentation du potentiel de l'interface Fin/BOX induit par le drain est donc diminuée. L'effet DIVSB est donc moins important.

Underlap – Overlap

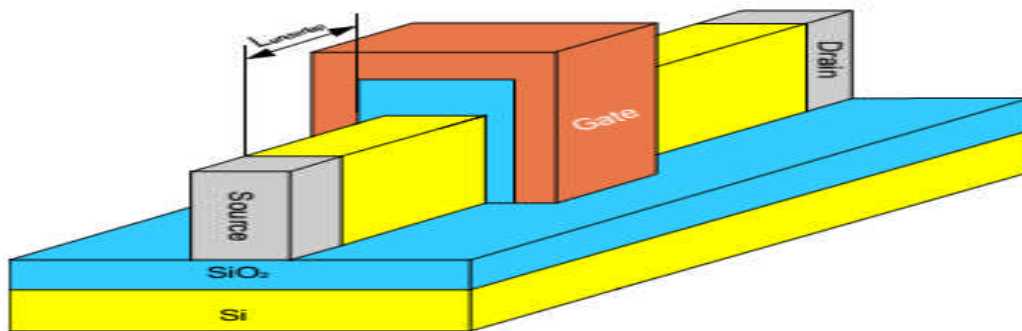


Figure III.5 : Structure d'un FinFET avec la région « underlap » after [9]

L'underlap (non-recouvrement) a été introduit pour faciliter le scaling du MOSFET Bulk pour des longueurs de grille inférieures à 20nm. Il est aussi utilisé dans la technologie FinFET. Comme montré en Figure III.5, les parties du silicium non couvertes par la grille correspondent à l'underlap. L'inconvénient de la technologie d'underlap est qu'elle augmente la longueur du dispositif. La densité d'intégration est donc diminuée. En technologie MOSFET Bulk, le silicium est très fortement dopé pour réduire les effets SCE et DIBL. Par contre, le champ latéral devient très important ce qui cause plus de collisions entre les électrons et les atomes, donc une faible mobilité et un courant de substrat plus important.

L'underlap sert à affaiblir le champ latéral et à supprimer la capacité d'overlap et donc réduire les retards (et permettre au circuit de fonctionner plus rapidement). De plus, l'underlap atténue l'influence du SCE et du DIBL. Mais par contre, le courant de l'état « on » sera diminué par une augmentation de la résistance série. Un compromis doit donc être trouvé selon les différentes applications.[10] Dans la technologie FinFET, le silicium reste intrinsèque ou très faiblement dopé donc le champ latéral est très faible. L'underlap n'a plus d'intérêt en ce qui concerne la réduction du champ latéral, mais il réduit le retard en supprimant la capacité d'overlap. Dans le régime de faible inversion, la longueur du canal est étendue dans les régions de l'underlap, donc les SCE et le DIBL sont naturellement réduits. L'inconvénient de la technologie d'underlap est qu'elle introduit une résistance d'accès très importante et réduit le courant de l'état « on ». Cette résistance n'est pas linéaire mais dépend de la polarisation de drain.

III. 2 Transistor FinFET (Triple-Gate)

Une règle simple permet de distinguer le FinFET et le TG MOSFET. Si $2 \times H_{Si} \gg W_{Si}$, nous sommes dans le cas du FinFET. Sinon, si $2 \times H_{Si}$ est comparable avec W_{Si} et si l'épaisseur de l'oxyde de la grille supérieure est égale à l'épaisseur de l'oxyde des deux cotés latéraux, nous sommes dans le cas du TG MOSFET. Au niveau de la fabrication, le TG MOSFET est plus simple. Dans l'étape de la Figure III.6, l'oxyde recouvrant le silicium peut être formé avec la même durée que pour les deux cotés latéraux. Avec trois grilles, le TG MOSFET renforce encore plus le contrôle du canal. Une estimation simple de la largeur « équivalente » du canal est de 2 fois la hauteur du silicium plus la largeur du silicium soit $(2 \times H_{Si} \gg W_{Si})$. Pour des mêmes dimensions, le TG MOSFET a donc un courant plus grand qu'un FinFET, si l'oxyde au-dessus du film de silicium est très fin, cela risque de court-circuiter les source et drain avec la grille.

Afin d'éviter ce risque, une extension du silicium (underlap) est nécessaire, l'introduction de cet underlap augmente la résistance d'accès. Il est à noter que la modélisation du TG MOSFET est plus compliquée que celle du FinFET, à cause des régions de « coins » proches de l'interface sous la grille supérieure où les influences des grilles horizontale et verticale se superposent. Le FinFET et le TG MOSFET sont basés toujours sur la technologie SOI. Les canaux se positionnent toujours sous l'oxyde de grille. Les lignes électriques des grilles verticales traversent le BOX lorsqu'elles sont dans le bas du silicium. On appelle cela l'effet de BOX qui influence le comportement du transistor et peut être négligé seulement lorsque la largeur du silicium (W_{si}) est petite. [6]

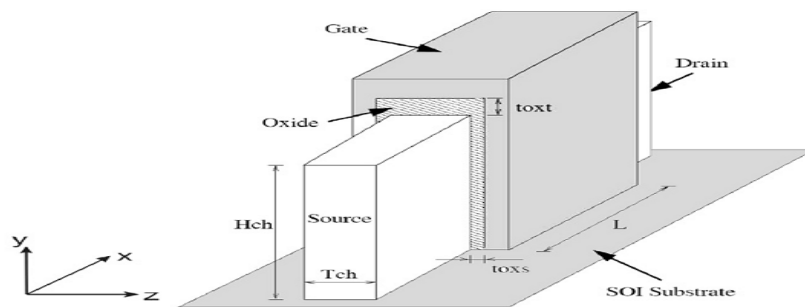


Figure III-6 : montre la structure 3D d'un triple-grille (TG FinFET) after [9]

III.3. Les étapes de fabrication d'un transistor FinFET

La fabrication d'un transistor FinFET démarre avec un wafer SOI (Figure III.7 a-1 et a-2). La qualité de fabrication d'un wafer Si est importante notamment pour obtenir un bon état d'interface Si-SiO₂. Le premier processus englobe les deux étapes de gravure de l'oxyde et du film de silicium (Figure III.7, b-1 et -2). Nous obtenons un film mince de silicium. Après une étape d'oxydation (Figure III.7, c-1 et -2), le silicium est déposé autour de l'oxyde (Figure III.7, d-1 et -2). La grille est formée par implantation ionique dans le silicium (Figure III-7 e-1 et e-2). Nous avons bien un transistor FinFET (Figure III.3,f-1 et f-2). La Figure III.7 (g-1 et g-2) montre les sections longitudinales et verticales.

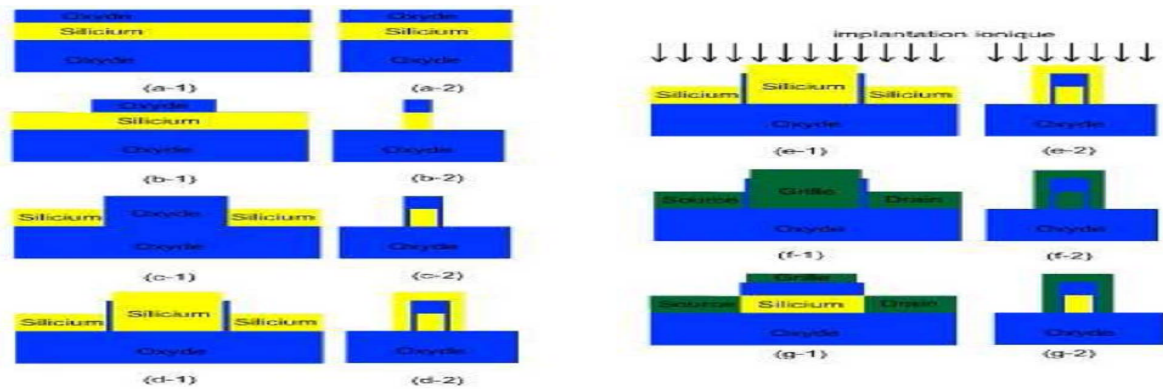


Figure III.7 : Procédé de fabrication des transistors FinFETs after [8]

Conclusion

Comparant le FinFET avec les autres dispositifs et notamment les principales technologies multiple-grille, nous voyons que le FinFET renforce le contrôle du canal par rapport, au Triple Grille et le GAA MOSFET Nanofil . Par contre, il est plus facile à fabriquer que les autres transistors multiple-grille. La largeur du Fin (W_{si}) est le paramètre très important dans le comportement électrique du FinFET. Il est responsable de la « réduction d'échelle» du FinFET.

La structure 3D du FinFET introduit de nouveaux effets indésirables comme l'effet de coins qui peut être bien éliminé par un dopage très faible du silicium ou un silicium intrinsèque. L'exigence d'une petite largeur du Fin pour obtenir les meilleures performances du FinFET.

Chapitre IV : simulation d'un transistor FinFET

Introduction

Notre travail a consisté à concevoir et à simuler les caractéristiques électriques nanométrique d'un transistor de type Tri-Gate FINFET. Cette étude a pu être effectuée par le biais du logiciel de simulation du dispositif et processus SILVACO-TCAD qu'on se propose tout d'abord de présenter brièvement avant de présenter les résultats de simulation que nous avons obtenus par son biais et qui ont permis la conception et simulation des caractéristiques de notre transistor.

IV.1 Présentation du logiciel TCAD-SILVACO

SILVACO est une société internationale Américaine, ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs SILVACO est l'acronyme de « Silicon Valley Corporation », c'est un environnement qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur. Cet outil sert à la modélisation des dispositifs à semi-conducteurs avant leur fabrication, beaucoup de projets de recherches ont été développés grâce à ATLAS SILVACO.[11]

IV.2. Présentation du paquet des programmes SILVACO

SILVACO présente un ensemble des outils de simulation interactifs permettant la conception et l'analyse de la plus part des dispositifs à semi-conducteurs VWF (Virtual Wafer Fabrication) [9]. Les composants de base de VWF (Figure III.1) sont :

1. Les outils de simulation : (VWF CORE TOOLS). Ces outils simulent soit leurs processus de fabrication ou soit leurs comportements électriques. Les outils de simulation sont ATHENA, ATLAS et SDUPEM3.

2. Les outils interactifs : (VWF INTERACTIVE TOOLS). Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (Graphical User Interface, GUI). Ainsi le travail de construction du fichier d'entrée devient plus efficace. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnement des outils d'automatisation.

3. Les outils d'automatisation : (VWF AUTOMATION TOOLS). Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales afin de créer des résultats pour l'analyse statistique suivante. Les outils automatiques se servent de la technologie de base de données réparties et des méthodes de logiciels de développement d'interprocessus.

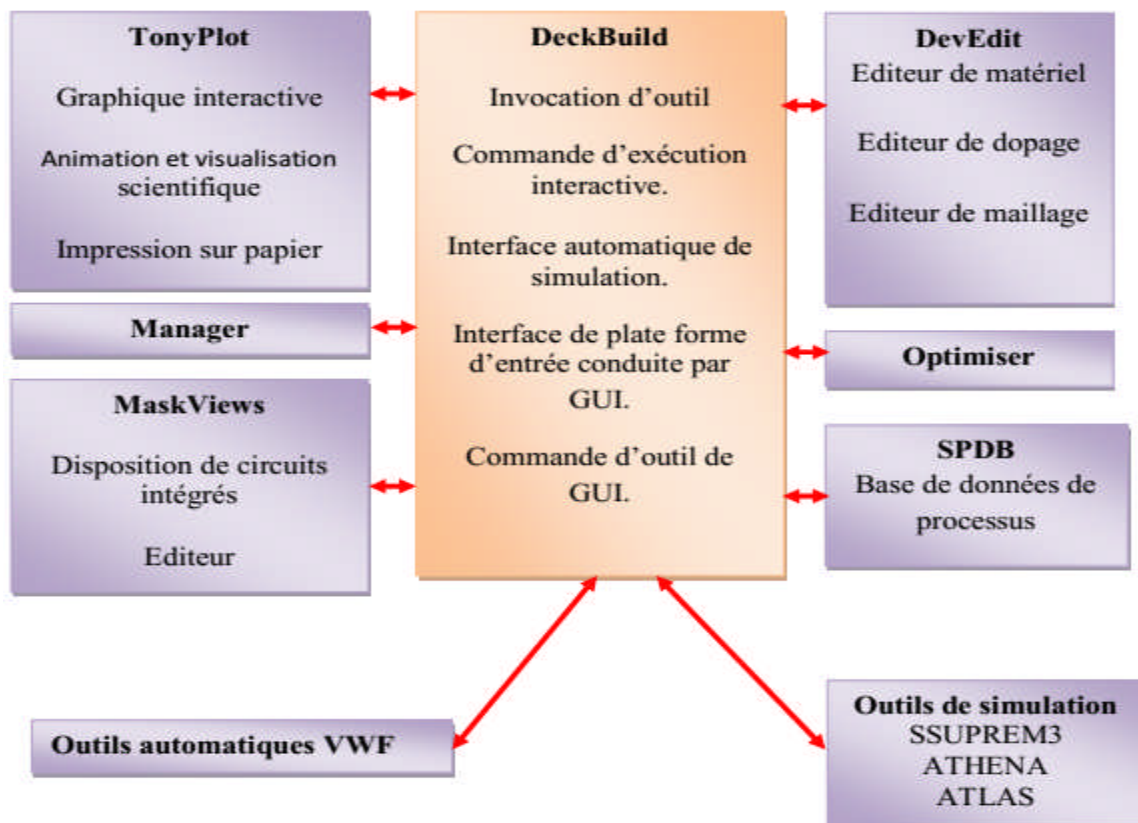


Figure IV.1 : Organigramme de la structure VWF after [11]

IV.2.1. Les outils de simulation

- **ATLAS** : simulateur physique de dispositifs à semi-conducteur 2D ou 3D qui permet de simuler le comportement électrique (statique ou dynamique) de structures spécifiées des dispositifs à semi-conducteur.
- **ATHENA** : simulateur 2D de procédés technologiques qui permet de développer et optimiser des processus de fabrication de semi-conducteur (les différentes étapes effectuées en Salle Blanche). Il fournit une plate-forme pour simuler l'implantation ionique, la diffusion, gravure à l'eau-forte, le dépôt, la lithographie, l'oxydation, et la sollicitation des matériaux semi-conducteurs. Il remplace des expériences coûteuses par des simulations.
- **SSUPEMS3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs.

IV.2.2. Les outils interactifs

- **DECKBUILD** : environnement où est défini le programme de simulation. DeckBuild offre un aide et une prise en charge qui permet d'éviter l'apprentissage d'une syntaxe de commande généralement très complexe. Il permet aussi une exécution automatique et très pratique des programmes et des sauvegardes systématiques des étapes intermédiaires d'exécution (il est l'interface avec les outils de simulation).
- **TONYPLOT** : environnement où sont visualisés les résultats des simulations (structure du composant, distribution de grandeurs divers dans celui-ci, caractéristiques électriques...).
- **DEVEDIT** : environnement où est destinée la structure. On peut créer des nouvelles structures ou même modifier des structures existantes. On peut aussi définir des maillages ou raffiner les maillages existants.

- **MASKVIEWS** : outil de dessin des masques (éditeur de layout).
- **OPTIMIZER** : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable.
- **MANAGER** : outil de gestion des fichiers utilisés et créés par VWF.
- **SPDB** : (Semi-conducteur Process Data Base), c'est un produit séparé, il n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement ainsi que les données qui décrivent les conditions des expériences. Le projet réalisé dans le cadre de ce travail de, a été basé principalement sur l'outil de simulation « Atlas » et sur l'environnement où est défini le programme de simulation « DeckBuild ». Une fois la simulation effectuée sous « ATLAS », la visualisation des résultats se fait via le logiciel « TonyPlot ». Par la suite nous allons développer la présentation de l'outil de simulation « ATLAS » que nous avons utilisé pour effectuer la simulation de notre structure.

IV.3. Présentation d'ATLAS

ATLAS est un simulateur physique 2D ou 3D des dispositifs basés sur la physique de semi-conducteur. Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes physiques internes associés au fonctionnement des dispositifs. Atlas peut être utilisé autonome ou comme un outil noyau dans le milieu de simulation VWF de SILVACO.

Un simulateur est composé de deux parties :

- une partie de traitement numérique (méthode d'intégration, de discrétisation...)
- une partie formée des modèles physiques des composants semi-conducteurs (modèles de recombinaisons, de mobilités, ...)

IV.3.1. Entrées et sorties d'ATLAS

La figure IV.2 montre les entrées et sorties d'ATLAS. La plupart des simulations réalisées par ATLAS utilisent deux fichiers d'entrée. Le premier est représenté par « Fichier de commande », c'est un fichier script contenant les commandes pour qu'ATLAS s'exécute. Le second fichier est un « Fichier de structure » qui définit la structure à simuler. A la sortie d'ATLAS, nous avons trois types de fichier. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le « fichier log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé. Le troisième fichier de sortie est le « fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné. Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

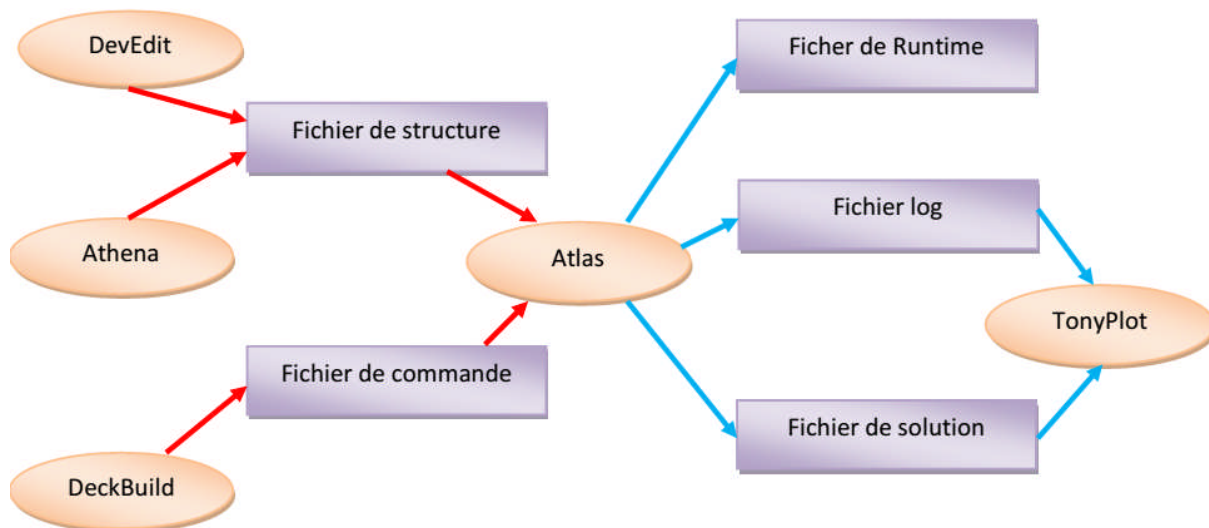


Figure IV.2 : Entrées et sorties d'ATLAS after [12]

IV.3.2. Commandes dans un programme ATLAS

Nous allons maintenant présenter l'ordre des commandes fondamentales dans un programme ATLAS (Figure IV.3).

Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement. Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte [4].

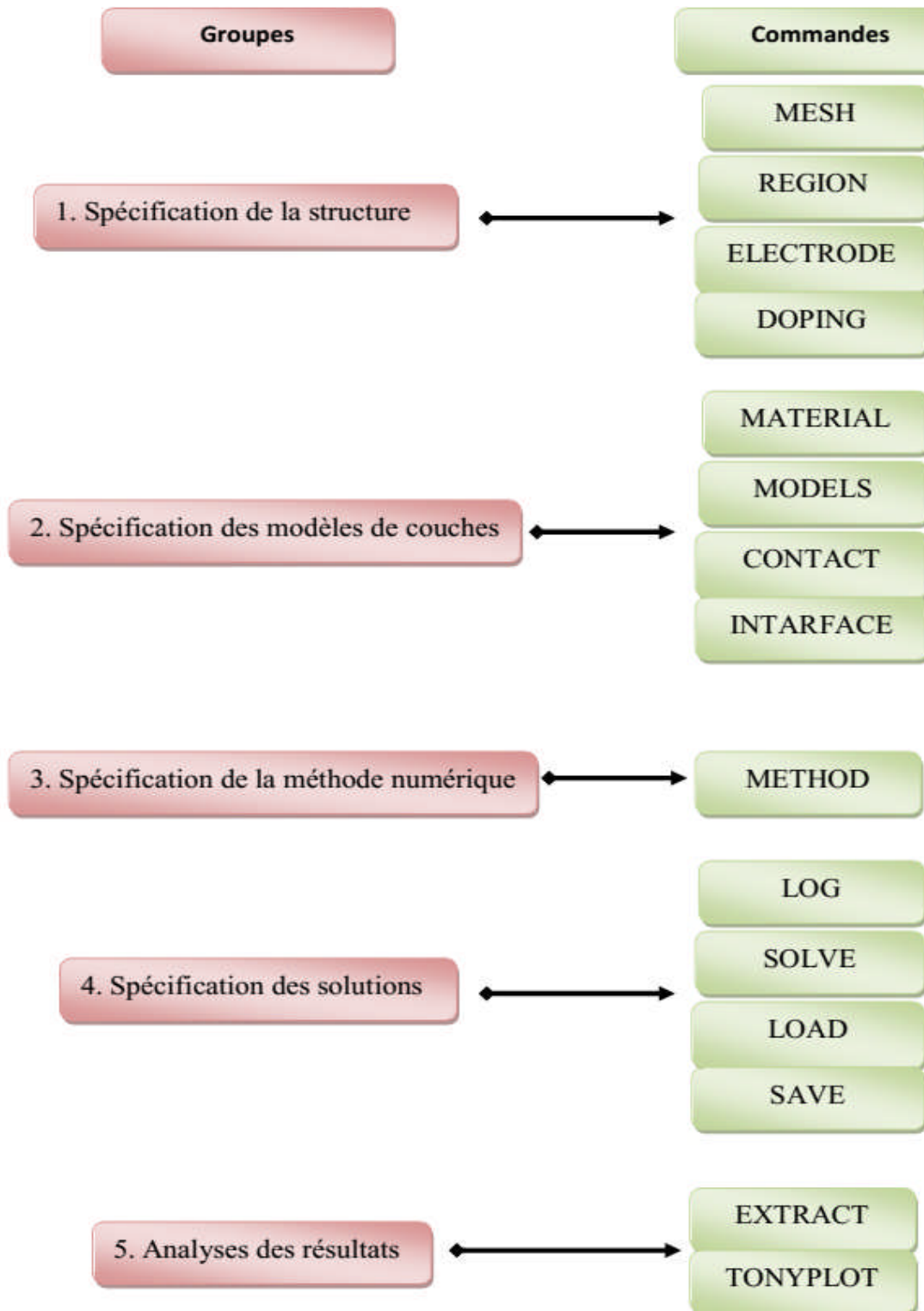


Figure IV.3 : Les commandes fondamentales dans un programme ATLAS after [13]

IV.3.3 Les commandes fondamentales

➤ **Spécification de la structure**

Il s'agit de définir la structure la plus réaliste. La construction de la structure consiste en quatre étapes : définition du maillage, définition des régions, définition des électrodes et définition des dopages

- **MESH** (définition du maillage) : Le maillage divise la structure simulée en petites Cellules pour pouvoir résoudre les équations fondamentales numériquement.

L'élément de maille utilisé est le triangle. Pour assurer une bonne précision lors de la simulation, il faut avoir le maillage le plus fin possible. Par contre si le maillage est très fin, le temps de calcul est très élevé, car il y a plus d'éléments à calculer. Il est donc nécessaire de trouver un compromis entre le temps et la précision de calcul.

La syntaxe général pour définir le maillage est :

X.MESH LOCATION=<VALUE> SPACING=<VALUE>

Y.MESH LOCATION=<VALUE> SPACING=<VALUE>

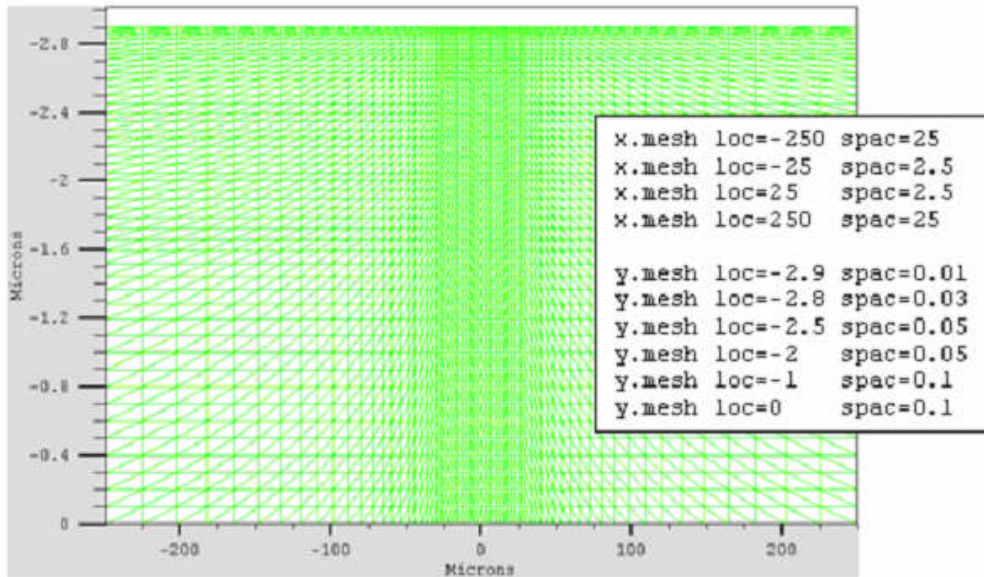


Figure IV.4: Définition du maillage avec Atlas à 2 dimensions after[13]

- **REGION** (définition des régions) : Après avoir défini le maillage, il est nécessaire de définir les régions. Dans cette partie nous définissons des régions rectangulaires, par exemple la région n1 est définie comme un matériau de type silicium et la région n2 comme de l'oxyde (SiO₂), etc...Ainsi que les différentes dimensions sont définies en micromètre.

La syntaxe pour définir des régions est la suivante:

REGION nombre = <integer><material_type> / < position des paramètres >

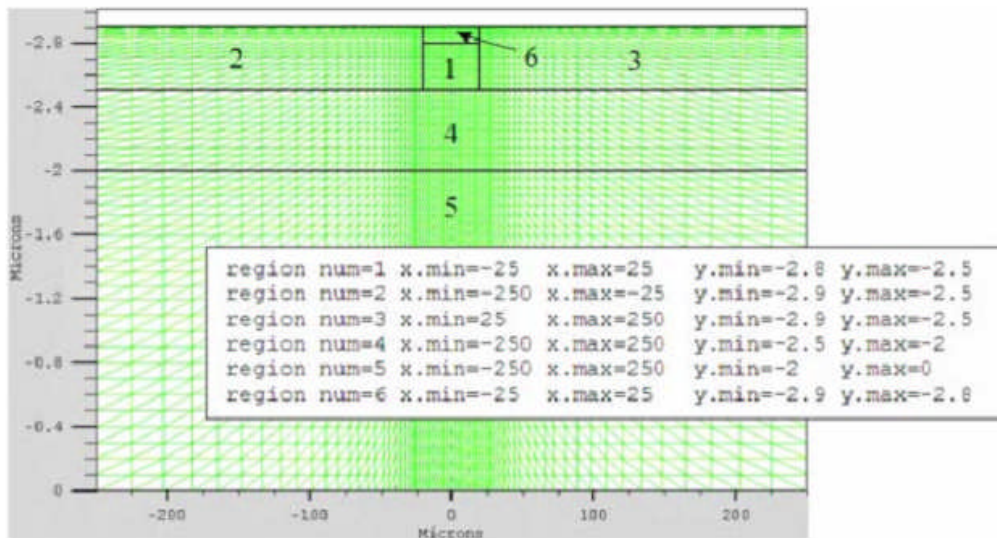


Figure IV.5: Définition des régions avec Atlas

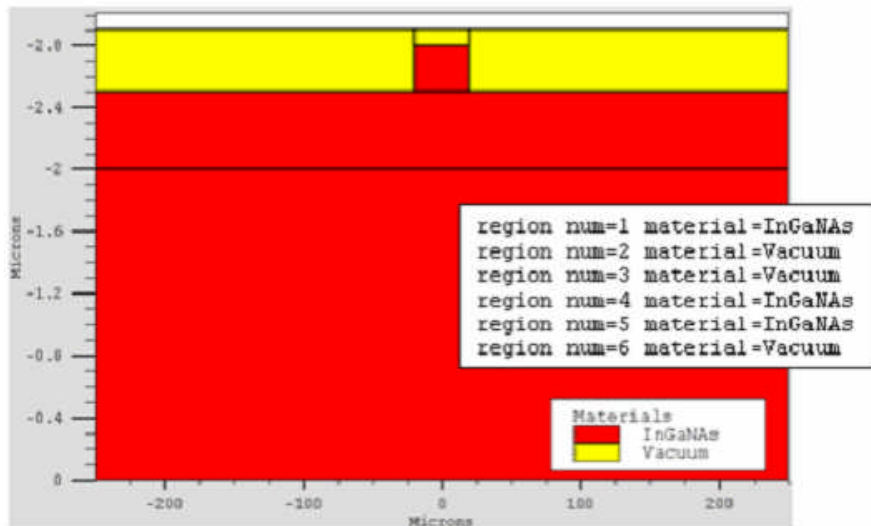


Figure IV.6: Attribution des matériaux a des régions avec Atlas

- **ELECTRODE** (définition des électrodes) : La définition des électrodes permet de réaliser les contacts Grille, Anode et Cathode.

La syntaxe de définition des électrodes est la suivante :

ELECTRODE NAME=<electrode name><position parameters>

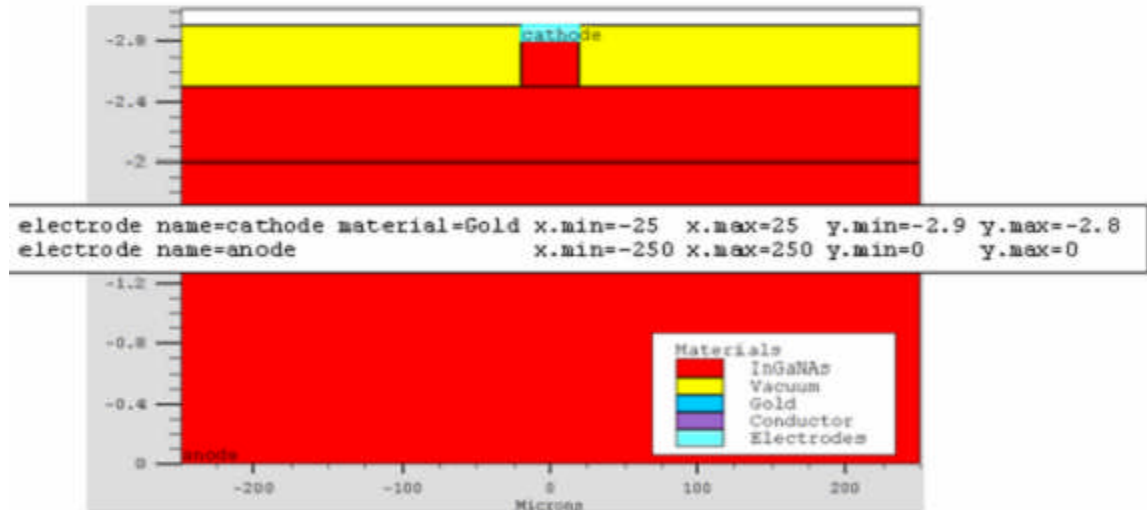


Figure IV.7: Définition des électrodes

- **DOPING** (définition des dopages) : Le dernier aspect de la construction de la structure est le dopage. Le dopage peut être de type n ou p, aussi la distribution peut être uniforme, gaussien, etc....[12]

La syntaxe de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPAGE < type de distribution >< type de dopant > / < position des paramètres >

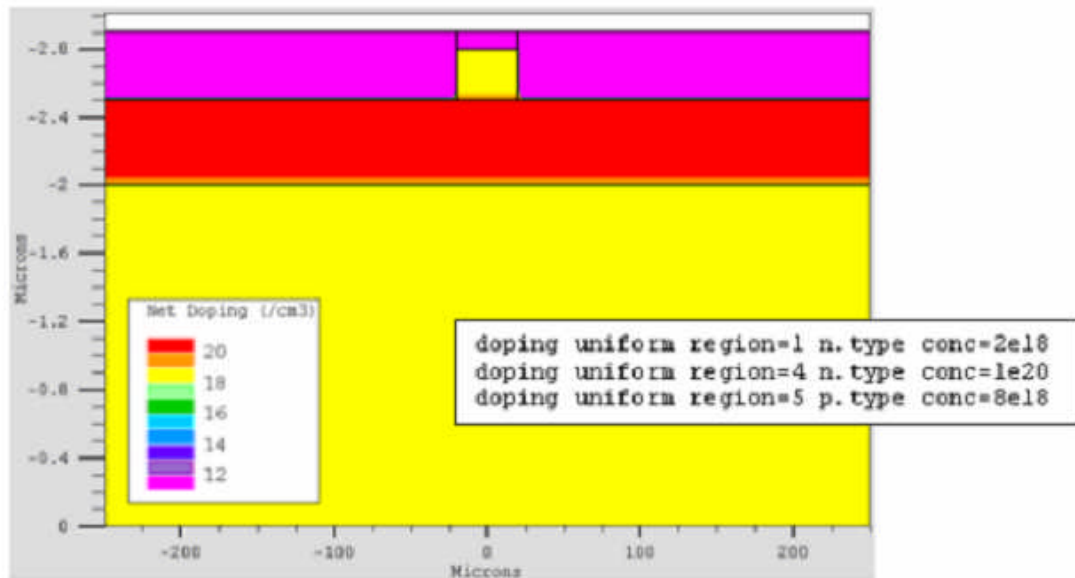


Figure IV.8: Types de dopage

- **Spécification des modèles physiques** : Après la construction de la structure, il est nécessaire de préciser les modèles physiques et de définir les matériaux.

La spécification de modèles et matériaux comporte quatre étapes:

- **MATERIAL** : associe des paramètres physiques aux matériaux dans la maille. Le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard.

La syntaxe de la déclaration du matériau est la suivante :

MATERIAL < localisation >< définition du matériau >

- **MODELS** : Ils indiquent les inclusions de différents mécanismes physiques (Recombinaison, mobilité, etc....). Le choix du modèle dépend des matériaux choisis pour la simulation.

La syntaxe de la déclaration du modèle est la suivante:

MODEL< paramètres générales > / < paramètres du modèle >

- **CONTACT** : indique les attributs physiques d'une électrode (résistivité, travail de Sortie,...).

La syntaxe du contact est la suivante :

Contact nombre = < n > | NOM = <name> | ALL

- **INTERFACE** : indique les paramètres d'interface aux frontières des semi-conducteurs ou des isolants. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.

La syntaxe de la déclaration d'une interface est la suivante:

INTERFACE [<parameters>]

➤ **Sélection de la méthode numérique**

METHOD : Dans ATLAS, il existe essentiellement deux méthodes numériques pour la résolution des équations : les méthodes dites de Newton et de Gummel. La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure. La méthode de Gummel consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de Newton réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet a priori de diminuer le temps de calcul.

➤ **Spécification des solutions**

Après avoir sélectionné la méthode numérique il est nécessaire de déterminer les solutions. La spécification de solution est donnée par les déclarations : LOG, SOLVE, LOAD, et SAVE.

- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log). Notons que log en minuscule veut dire le type de fichier et LOG en majuscule veut dire la commande dans le programme. Les informations sauvées sont de type électrique. Aussi n'importe quel paramètre spécifié par la commande PROBRE est stocké dans le fichier de type log. Si dans le programme, il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.
- **SOLVE** : La déclaration SOLVE fait suite à la déclaration LOG. SOLVE effectue une solution pour un ou plusieurs points de polarisation.
- **LOAD** : chargement des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.

- **SAVE** : sauvegarder toutes les informations d'un point (nœud) du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauveées correspondent à un état électrique bien précis.

➤ **Analyse des résultats**

Une fois la solution a été trouvée pour un problème de dispositif à semi-conducteurs, les informations peuvent être affichées graphiquement.[12]

- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien Précises des paramètres des deux types des fichiers log ou structure.
- **TONYPLOT** : démarre le programme « TonyPlot » permettant une représentation graphique des données.

IV.4.L'Algorithme de simulation

On commence notre algorithme par la définition de la structure.

Spécification de la Structure

Il s'agit de définir la structure de transistor on commence par :

- Définition du maillage (MESH) : le maillage la structure simulée en petite cellules pour pouvoir résoudre les équations fondamentales, et pour assurer une bonne précision lors de la simulation, le format générale pour définir le maillage est :

X.MESH LOCATIO =< VALUE> SPACTING=<VALUE>

Y.MESH LOCATION=< VALUE> SPACTING=<VALUE>

- Définition des régions (REGION): dans cette partie on définit les régions et le matériau.

Le format général pour définir les régions est :

RESION nombre=< integre>material_type>/<position des paramètres>

- Définition des électrodes(ELECTRODE) : la définition des électrodes permet de réaliser les contacte grille ,source drain, le format de définition des électrodes est :

ELECTRODE NAME=< electrode name>< position

- Définition des dopages (DOPAGE) : le dernier aspect de la construction de la structure est le dopage, le format de la déclaration de dopage dans <<atlas>> est :

DOPAGE<type de distribution><type de dopage>/<position des paramètres>.

Spécification des modèles physiques.

Après la construction de la structure on passer au modèles physique et les matériaux consiste cette structure.

➤ Définition des matériaux(MATERIAL)

Le logiciel a des paramètres de matériau définis par défaut pour le semi-conducteur standard, le format de la déclaration du matériau est :

MATERIAL<localisation><définition du matériau>

➤ Définition des modèles(MODELS) : le choix du modèle dépend des matériaux choisis pour la simulation, le format de la déclaration du modèle est :

MODEL<paramètres générale>/<paramètre du modèle>

➤ Définition des contacte (CONTACT) : indique les attributions physique d'une électrode (résistivité, travail de sortie), le format de déclaration des contacts est :

Contact nombre =<n>|NOM=<name>|ALL

➤ Définition de l'interface(INTERFACE) : indique les paramètres d'interface aux frontières des semi-conducteurs au des isolants , le format de déclaration des interfaces est :

INTERFACE[<parameters>]

Définition de la méthode numérique

➤ Méthodes (METHOD) : pour résoudre les équations on utilise la méthode de Newton de Gumel.

➤ Solutions : après avoir sélection une méthode il est nécessaire de déterminer les solutions que on déclare par :

LOG : sauvegardé les caractéristiques finales de simulation.

SOLVE : la déclaration SOLVE fait suite à la déclaration LOG.SOLVE effectue plusieurs points de polarisation.

LOAD : sauvegarde d'autres points de polarisation.

SAVE : sauvegarde tout les informations du la simulation.

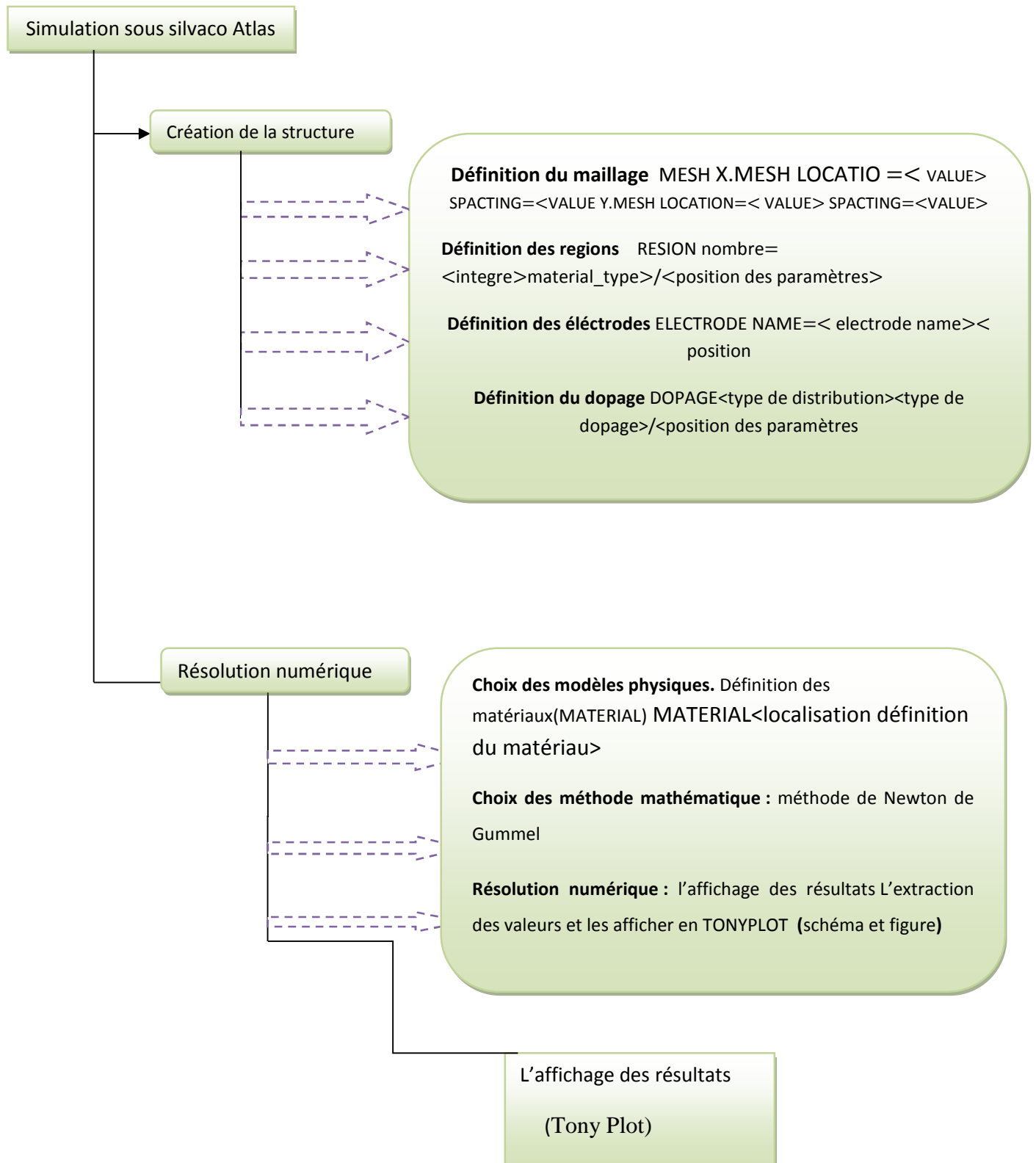
L'affichage des résultats

Après définir les différents étapes du programme de simulation on affiche les résultats ce forme des graphes.

➤ L'extraction des résultats : cette commande et utilise pour extraire les valeurs bien précises.

➤ TONYPLOT : c'est la représentation graphique des données par des schémas et des figures.

IV.5.L'organigramme de la simulation sous silvaco Atlas



IV.6. Structure FINFET simulée par SILVACO

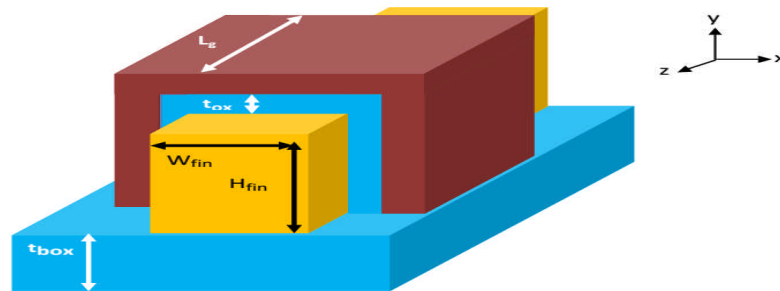


Figure IV.9 : structure d'un FINFET after [13]

Avant de présenter tous les résultats de simulation que nous avons obtenus, nous tenons tout d'abord à préciser que notre première tâche fut d'apprendre à utiliser ce logiciel de simulation de dispositif et de processus avec ses différents constituants. Nous avons alors utilisé Atlas. La seconde étape alors d'apprendre à faire des simulations 3D vu que le dispositif étudié, et simulé est un transistor de nouvelle génération 3D. Nous présentons dans ce qui suit les résultats de simulation et d'étudier les effets de la variation des paramètres géométriques de notre structure.

Sur son courant de drain.

Afin de mettre en évidence les différents constituants de notre dispositif une coupe 2D de la structure simulé sous environnement atlas Silvaco est représentée sur la figure qui suit.

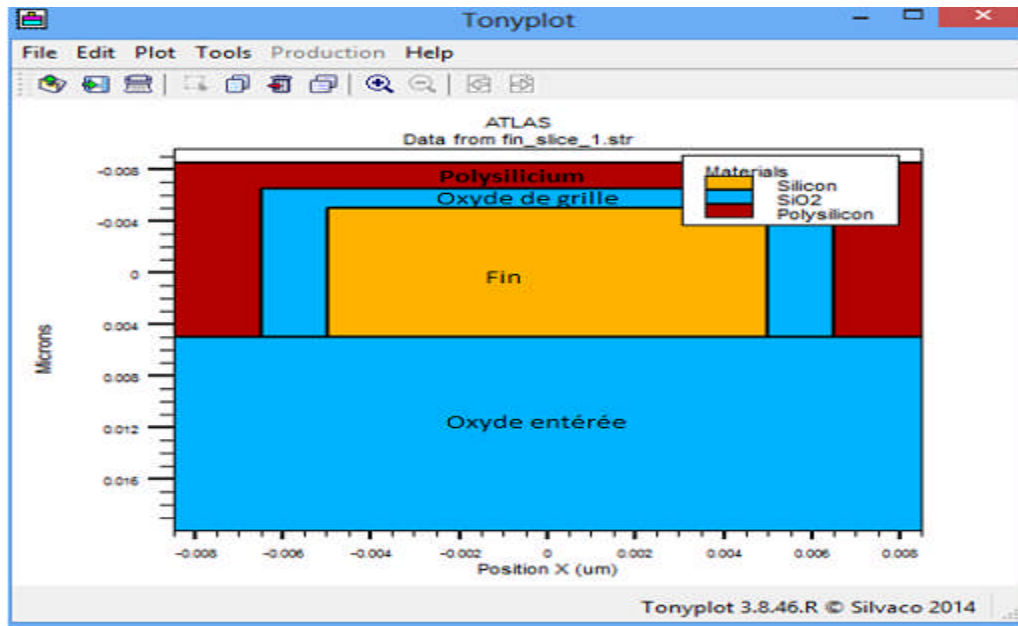


Figure IV.10: Coupe 2D du SOI Tri grille FINFET Simulé[13]

La figure qui suit permet d'apprécier le maillage de notre structure. Ce dernier est bien évidemment raffiné au niveau du FIN et à l'interface Si/SiO₂ et reste grossier ailleurs. Notons que ce maillage est important dans la simulation du dispositif et doit de ce fait être choisi adroitement.

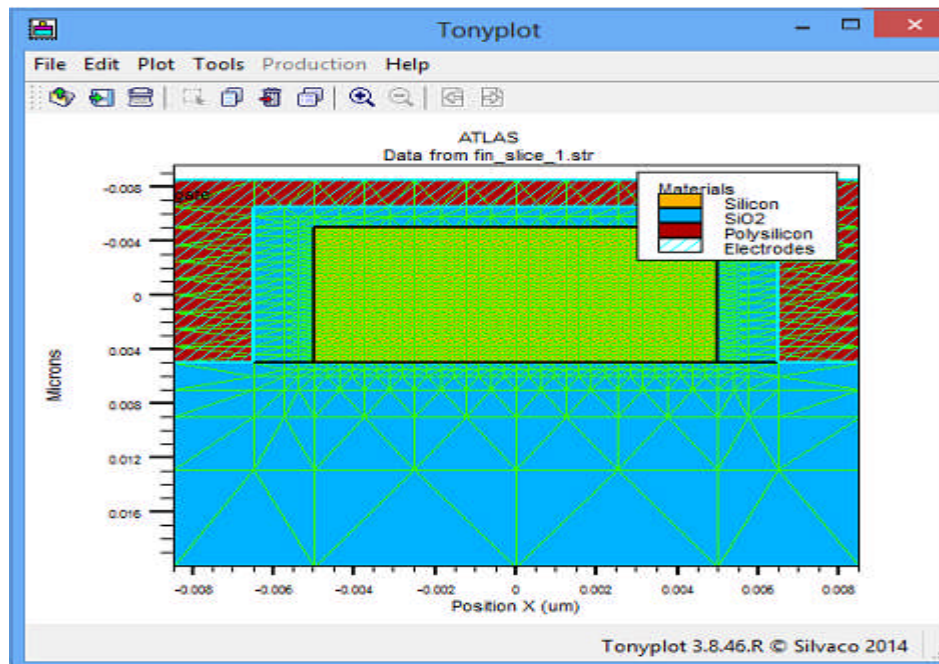


Figure IV.11: Mise en évidence du maillage de la structure FINFET simulée after [13]

IV.6. 1.Caractéristique électriques du transistor FINFET

Avant de présenter nos résultats de simulations nous tenons tout d'abord à préciser que les dimensions de notre transistor sont choisies en accord avec les exigences de L'ITRS. Nous tenons en plus à préciser que les effets quantiques ont été pris en Considération dans toutes nos simulations et ceci en choisissant en plus des modèles utilisés lors de nos simulations tels que celui de la mobilité CVT, génération recombinaison SRH, fermi-Dirac, le model adéquat permettant de prendre en considération les effets de confinement quantiques qu'on ne peut malheureusement plus négligés pour les composants de dimensions nanométrique et ceci est bien le cas de notre dispositif. Les divers résultats de simulation que nous avons ainsi obtenue sont représentés dans ce qui suit.[13]

IV.6.2. Caractéristique de transfert $I_{DS}V_{GS}$

La simulation physique d'un transistor FINFET nous a permis d'obtenir la caractéristique de transfère représenté dans la figure IV.12 La tension de polarisation V_{DS} de 0.01 V. Nous pouvons remarquer que note transistor à une tension de seuil de l'ordre de 0.3V.

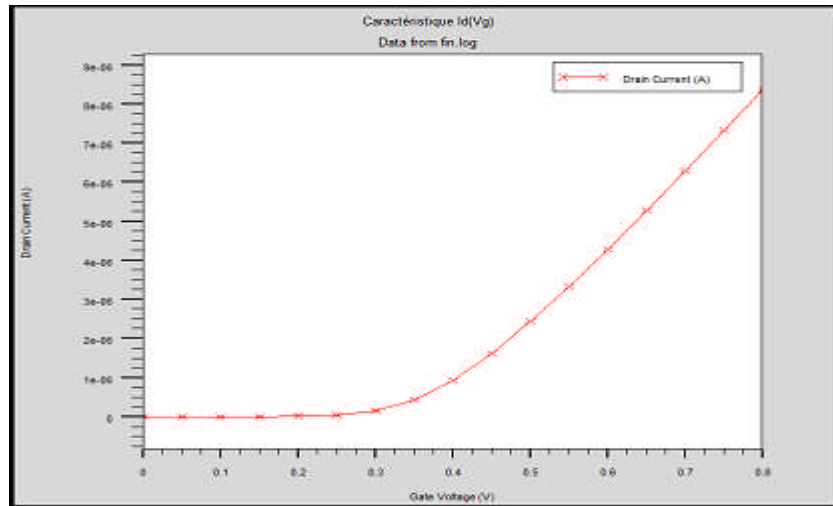


Figure IV.12: Caractéristique $I_{DS} - V_{GS}$ du transistor FINFET

IV.6.3. Caractéristique de sortie $I_{DS}V_{DS}$

La figure IV.13 représente la variation du courant du drain I_{DS} en fonction de la tension V_{DS} à différente tension de grille V_{GS} .

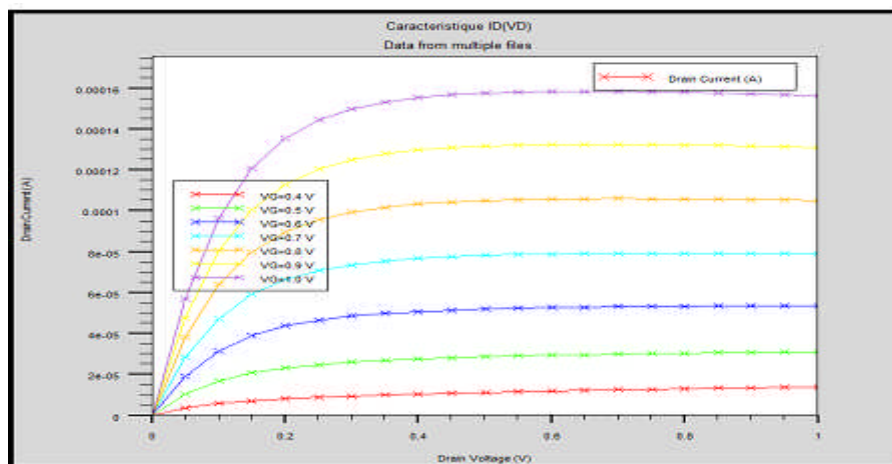


Figure IV.13: Caractéristique $I_{DS} - V_{DS}$ du transistor FINFET

Cette caractéristique a permis de mettre en évidence les différentes zones de fonctionnement. Afin d'observer les effets de la variation des paramètres géométriques de la structure conçue et simulée en fonction de la variation des paramètres géométriques, nous faisons varier indépendamment chacun des paramètres et on observe l'impact de cette variation sur le courant du drain.

Les résultats obtenus par le biais de la simulation sous environnement Atlas Silvaco sont représentés dans ce qui suit.

IV.7. Effet de la variation de la hauteur du Fin « H_{FIN} »

On rappelle tout d'abord que le courant circulant dans le FINFET en mode saturé a pour expression:

$$I_{DS} = \mu C_{OX} \frac{W}{L} \frac{(V_G - V_{TH})^2}{2 + 6 \frac{t_{ox}}{X_d}} \quad (IV.1)$$

On rappelle que l'épaisseur « W » du transistor dépend étroitement de sa hauteur H_{FIN} et varie proportionnellement avec la variation de cette hauteur. Cette hauteur est donc un paramètre très important dans les structures FinFETs. Son influence sur le courant du drain et la tension de seuil est représentée sur les figures IV.14 et IV.15.

IV.7.1. Effet de variation de la hauteur du fin sur la caractéristique I_{DS}, V_{GS}

L'effet de la variation de la hauteur du FIN sur la caractéristique de transfert est représenté par la figure IV.14.

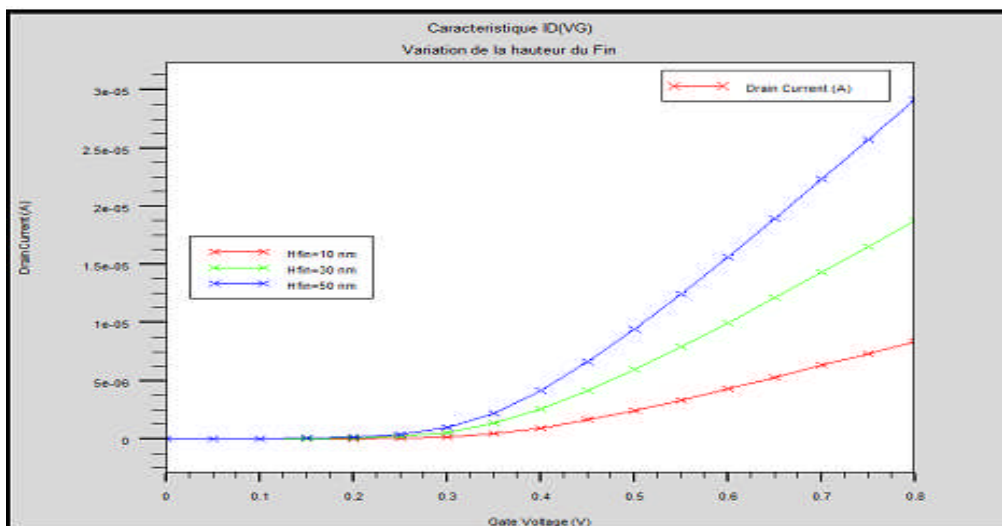


Figure IV.14: Caractéristique $I_{DS}V_{GS}$ à différente valeur de H_{fin} du FINFET

On remarque que l'augmentation de la hauteur du FIN fait augmenter la pente. On peut observer l'effet de la variation de la hauteur du FIN sur la tension de seuil qui diminue lorsque la hauteur du FIN augmente.

IV.7.2. Effet de variation de la hauteur du fin sur la caractéristique $I_{DS}V_{GS}$

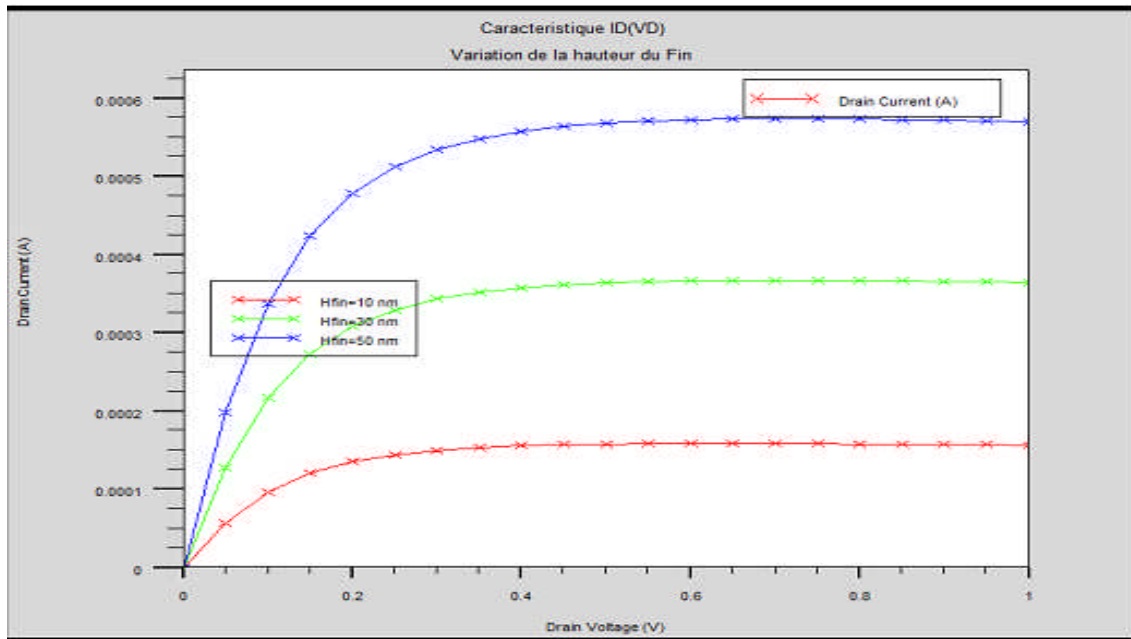


Figure IV.15 : Caractéristique $I_{DS}V_{DS}$ à différentes valeurs de H_{Fin} du FINFET

Sur la figure IV.15 représenté les caractéristiques de sortie du transistor pour différentes valeurs de la hauteur du FIN, il apparaît clairement que le courant du drain I_{DS} augmente avec l'augmentation de la hauteur du Fin. Cela était en fait prévisible en considérant l'équation du courant du drain du transistor qui d'après l'équation du courant est proportionnel à la hauteur du FIN.

IV.8. Effet de la variation de la largeur du Fin W_{Fin}

Afin de mettre en évidence l'effet de la largeur du Fin sur le courant du drain, on a choisi différentes valeurs de W_{Fin} . Les résultats de la simulation obtenus sont représentés au niveau des figures IV.16 et IV.17.

IV.8.1. Effet de variation de la largeur du fin sur la caractéristique $V_{DS}V_{GS}$

La figure IV.16 représente la caractéristique de transfert du FINFET avec différentes largeurs du FIN.

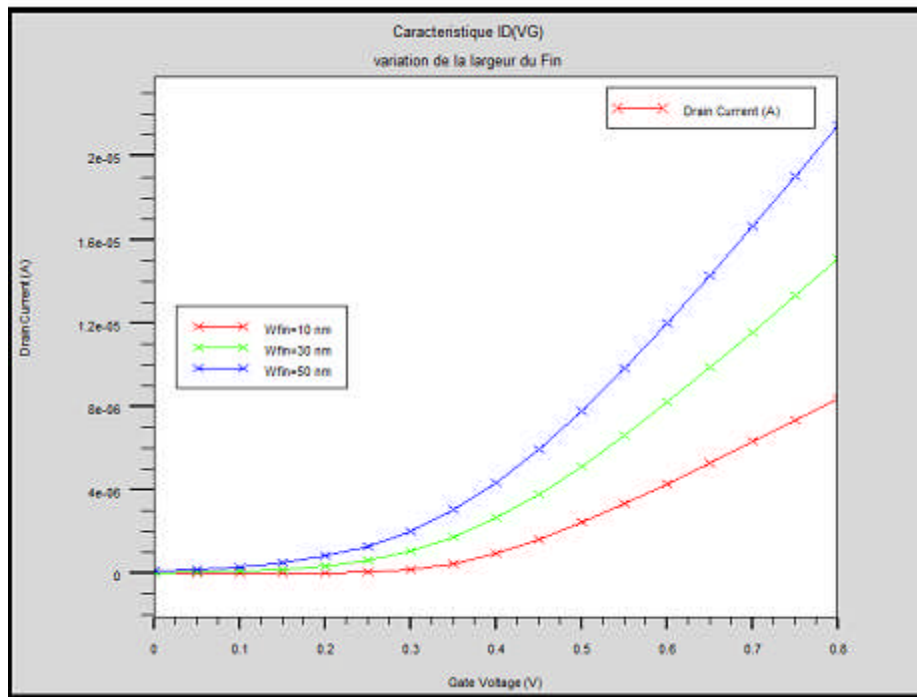


Figure IV.16: Caractéristique $I_{DS}V_{GS}$ à différente valeur de W_{Fin} du FINFET

On constate de cette figure que la largeur du Fin a une influence directe sur la tension de seuil du transistor. On constate alors de la caractéristique $I_{DS}V_{GS}$ une diminution de la tension de seuil du transistor avec une augmentation de la pente quand on augmente la largeur du Fin.

IV.8.2. Effet de variation de la largeur du fin sur la caractéristique $I_{DS}V_{GS}$

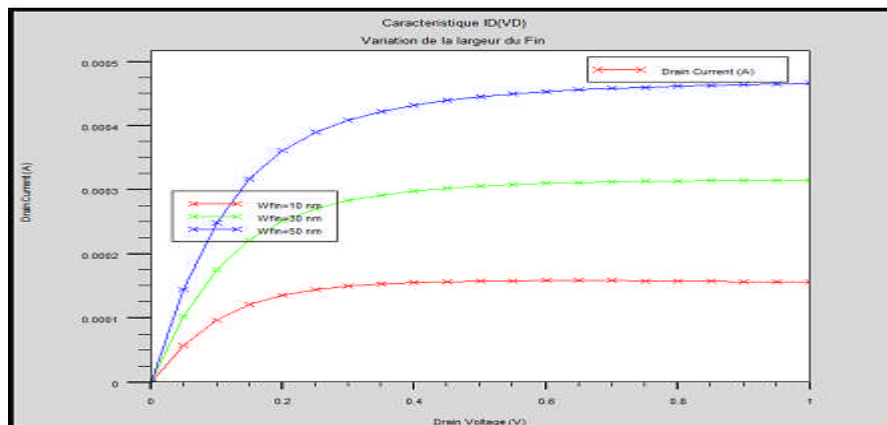


Figure IV.17: Caractéristique $I_{DS}V_{DS}$ à différente valeur de W_{Fin} du FINFET

Dans la figure IV.17 représentant la caractéristique de sortie de notre structure à différente largeur du Fin, on remarque que la largeur a une influence directe sur le courant du drain. En effet ce courant augmente avec l'augmentation de la largeur du FIN, résultat auquel on s'attendait car en analysant l'équation du courant du transistor on remarque que ce courant est proportionnel à la largeur du FIN et croit donc quand cette largeur augmente.

IV.9. Effet de la variation de la longueur de la grille sur le FinFET

De même que la hauteur et la largeur du Fin, la longueur de la grille est un paramètre très important dans la conception des transistors.

Afin de mettre en évidence les effets de la variation de la longueur du canal, on simule plusieurs dispositifs ayant la même hauteur du FIN ainsi que la même largeur et on maintient constants toutes les concentrations de dopage de la source, Drain et canal. On varie alors la longueur du canal qui est aussi celle de la grille.

IV.9.1. Effet de variation de la longueur de la grille sur la caractéristique $I_{DS}V_{GS}$

Les résultats de la simulation que nous avons obtenue pour la caractéristique $I_{DS}V_{GS}$ sont représentés dans la figure IV.18. On remarque que lorsque la longueur de la grille augmente la tension de seuil augmente alors que la pente diminue.

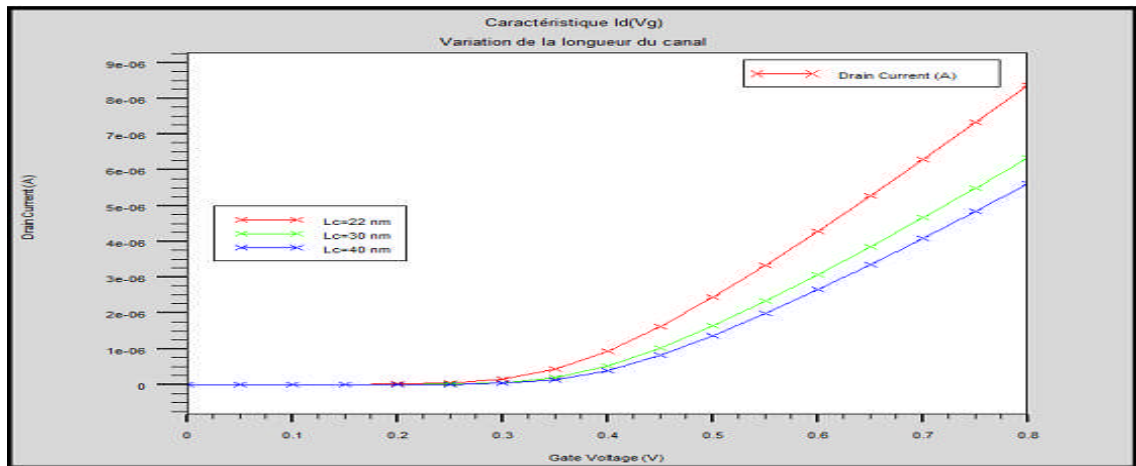


Figure IV.18: Caractéristique $I_{DS}V_{GS}$ à différente valeur de L_C du FINFET

On remarque d'après l'équation du courant du transistor que ce dernier est inversement proportionnel à la longueur de la grille. Les résultats de simulation permettant de déterminer l'impact de la variation de la longueur de la grille sur le courant du drain est représenté sur la figure qui suit :

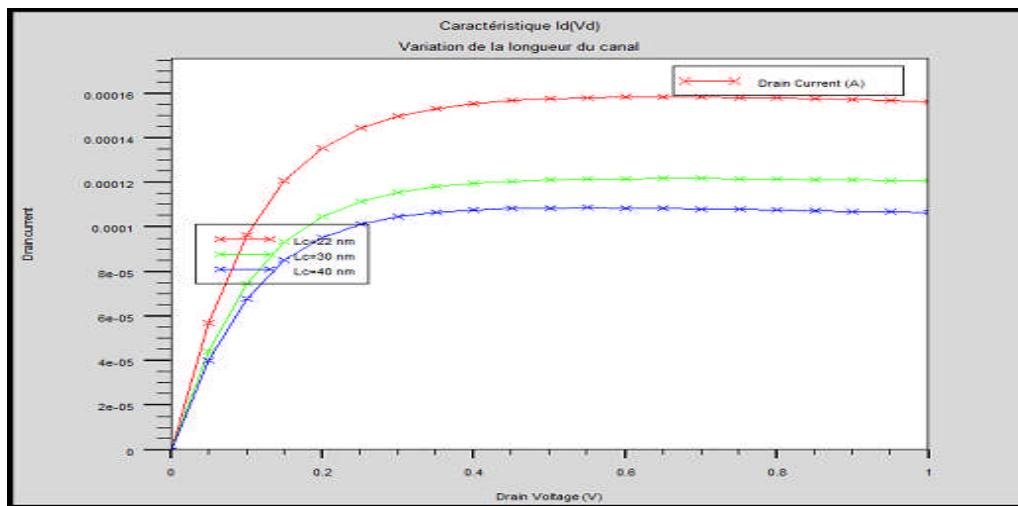


Figure IV.19: Caractéristique $I_{DS}V_{DS}$ à différente valeur de L_C du FINFET

On remarque en considérant la caractéristique $I_{DS}V_{DS}$ représentée sur la figure IV.19 que le courant du drain diminue avec l'augmentation de la longueur de grille qui est dans notre cas égale à celle du canal de conduction du transistor, ce qui était a mon sens prévisible.

Conclusion

En conclusion nous pouvons dire que les résultats de simulation que nous avons obtenus lors de simulation paraissent assez prometteurs. Les paramètres géométriques (la longueur, la largeur la hauteur) Influence sur le bon fonctionnement du transistor, et on remarque la géométrie de FinFET la plus idéale pour minimisées les effets indésirables, Plus performant par rapports à d'autre structure proposée.

Conclusion générale

L'évolution nanométrique des dispositifs CMOS s'est faite selon la loi de Moore. Aujourd'hui elle s'oriente vers les transistors multi grilles, notamment les structures FinFET.

Nous avons fait d'abord une brève présentation du transistor MOSFET. Nous avons pu aussi présenter quelques effets indésirables liés à la miniaturisation. Nous avons par la suite présenté différentes architectures qui peuvent solutionner ces problèmes.

Ce travail s'est finalisé par l'étude de la structure nanométrique de type FINFET. Nous avons alors examiné l'effet des variations de la géométrie du FIN sur le courant de drain et la tension de seuil des deux structures conçues, à l'aide de l'outil de simulation SILVACO Atlas.

Plusieurs améliorations peuvent être apportées en vue de concevoir des structures plus adaptées.

Liste des références

- [1] thèse Pascal MASSON << etude par pompage de charge et par mesures de bruit basse frequence de transistors MOS à oxynitrures de grille ultra-minces>> soutenu 1999
- [2] thèse thoms ERNST etude des structures MOSFET avancées sur SOI pour les applications basse consommation
- [3] : thèse Melle GUEDDA Hayat « Etude des Effets Indésirables dans les Transistors MOSFETS à Canaux Courts » soutenu en 2012
- [4] : thèse Sylvie Galdin-Retailleau « electronique ultime chapitre I »
- [5] :thèse Xiang-Lei HAN « Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux en silicium » soutenu 2011
- [6] :thèse Nidhal ABDELMALEK « Etude et modélisation du transistor VSG MOSFET nanométrique » soutenu 2010
- [7] : thèse Birahim Diagne « études et modalisation compacte d'un transistor MOS SOI double grille dédiée a la conception » soutenu 2007
- [8] : thèse MERAD FAIZA « Conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique à conduction latéral de type Tri-Gate (FinFET) » soutenu 2014.
- [9] : thèse Mingchun TANG « Études et Modélisation Compacte du Transistor FinFET » soutenu 2009
- [10] : thèse Nicolas Chevillon « Etude et mod´elisation compacte du transistor FinFET ultime » soutenu 2012
- [11] : Guide to usin TCAD with exmaples(PC VERSION)
- [12] : TCAD Tutorial and Examples Volume III
- [13] : thèse MERAD FAIZA « Conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique à conduction latéral de type Tri-Gate (FinFET) » soutenu 2014