

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
Université Mouloud MAMMERI
Faculté du Génie Électrique et de l'Informatique
Département d'Électronique



Mémoire de fin d'études

En vue de l'obtention du diplôme d'ingénieur d'état en électronique
Option : Communication

Thème

**Étude de la modélisation et de la simulation des
phénomènes de compatibilité électromagnétique des
circuits intégrés**

Proposé et dirigé par :
Mr. H. KANANE

Étudié par :
Mr. KADER Amar
Mr. HASSAINE Mohammed

Année universitaire 2009/2010

Remerciements :

Nous souhaitons témoigner toute notre reconnaissance à notre encadrant, Mr. Hocine Kanane pour le soutien et les conseils qu'il nous a apportés durant tout notre parcours. Pour cela, nous voudrions lui adresser de chaleureux remerciements pour la confiance qu'il nous a accordée mais aussi pour son enthousiasme, sa joie de vivre et la manière unique avec laquelle il a su encadrer notre travail. Nous le remercions enfin pour l'effort de correction qu'il a apporté à ce mémoire.

Nous remercions également les membres de jury qui nous feront l'effort de juger et de critiquer notre modeste contribution afin de l'améliorer davantage.

Dédicaces :

Je dédie ce travail à la mémoire de ma petite sœur RAZIKA ainsi qu'à mes parents qui n'ont eu cesse de m'encourager et de se dévouer afin que je réussisse mes études, un grand merci.

A mon frère et mes sœurs pour leurs soutiens et encouragements, bon courage et continuation pour vos études.

A mes Oncles Boussaâd, Ali, Saïd et leurs familles, vous aurais été pour moi des exemples d'humanité, respects.

A mes cousins et cousines Marzouk, Hocine, Massinissa, Hamid, Saïd, Ouiza, Djegdjiga, Malika, Nacima ...

A tout mes amis

A mon ami et binôme MOHAMMED

KADER Amar

Dédicaces :

Je dédie ce travail à la mémoire de mon grand-père HACENE et mon oncle MOHAMED OU RAMDAN ainsi qu'à toutes les personnes qui me sont proches et que j'aime :

- *Ma grand-mère*
- *Mes parents*
- *Mes frères*
- *Mes oncles et leurs familles*
- *Mes tentes et leurs enfants*
- *Mes cousins*
- *Mes amis*
- *A mon camarade AMAR*

HASSAINE MOHAMMED

SOMMAIRE

Introduction générale.....	1
Chapitre I: Généralités sur la compatibilité électromagnétique des circuits intégrés	
Introduction.....	3
I) Généralités sur les circuits intégrés.....	3
a) Contexte - Évolution technologique.....	3
b) Historique de la circuiterie logique.....	4
c) Composition d'un circuit intégré.....	5
II) Définitions préliminaires relatives à la compatibilité électromagnétique.....	7
a) La de la compatibilité électromagnétique.....	7
b) La perturbation électromagnétique.....	7
• Couplage en mode rayonné.....	7
• Couplage en mode conduit.....	7
c) La susceptibilité et l'immunité des circuits intégrés.....	7
III) sources de perturbations extérieures.....	8
IV) Origines des émissions parasites des circuits intégrés.....	8
a) Bruit de commutation simultanée(SSN).....	8
b) Sources d'émissions dans un circuit intégré.....	12
V) Propagation du bruit émis.....	13
a) Mécanismes de propagation conduite.....	13
b) Mécanismes de couplage rayonné.....	15
VI) Couplage des perturbations externes.....	16
VII) Effets des perturbations sur le comportement des circuits intégrés.....	17
a) Composants analogiques.....	18
1) Hors-bande de fréquence du composant.....	18
2) Dans la bande de fréquence du composant.....	18
b) Les circuits numériques.....	19
1) Phénomène de latchup.....	19
2) Effet sur les sorties.....	19
3) Effet sur les entrées.....	19

4) Changement d'état des bascules et mémoires.....	20
Conclusion.....	20

Chapitre II : Modèles d'émission des circuits intégrés

Introduction.....	2
1	
I) Aperçu sur les méthodes de mesure de l'émission des circuits intégrés en mode rayonné...	21
II) Estimation des éléments RLC.....	24
a) La résistance.....	24
b) La capacité.....	25
c) L'inductance.....	26
III) Standard IBIS et son utilisation en CEM des circuits intégrés.....	27
a) Description.....	27
b) Modèle IBIS d'une entrée.....	28
c) Modèle IBIS d'une sortie.....	29
d) Limitation du modèle IBIS.....	30
e) Modèle IMIC.....	31
IV) Modèle ICEM.....	32
a) Besoins d'un modèle de compatibilité électromagnétique.....	32
1) Format d'échange fabricant utilisateur.....	32
2) Standard international.....	33
3) Utilisation dans les outils de simulation.....	33
b) Apport scientifique du modèle ICEM.....	33
c) Description du modèle ICEM.....	34
d) Composition du modèle ICEM.....	35
1) Composant PDN.....	36
2) Composant IA.....	36
3) Composant IBC.....	37
e) Différentes formes du modèle.....	38

f) Conception du modèle ICEM.....	39
V) Modèle LECCS.....	41
Conclusion.....	42

Chapitre III : Modèles et critères de susceptibilité des circuits intégrés

Introduction.....	43
I) Méthodes de mesure de la susceptibilité des composants en mode conduit.....	43
a) Bulk Current Injection (BCI).....	43
b) Work Bench Faraday Cage (WBFC).....	45
c) Direct Power Injection (DPI).....	46
II) Modèle de susceptibilité des composants ICIM.....	47
a) Description du modèle.....	48
b) Structures de protection des entrées/sorties.....	49
1) Diodes de clamp.....	49
2) Transistor NMOS à grille couplée.....	50
3) Modélisation des protections.....	50
III) Critères de susceptibilité.....	51
a) Stress de l'alimentation.....	51
b) Diminution de la tension d'alimentation.....	53
c) Baisse de tension différentielle.....	55
d) Surconsommation de courant.....	56
IV) Modèle LECCS (Linear Equivalent Circuit and Current-Source models).....	57
V) Analyse de l'immunité interne.....	58
Conclusion.....	59

Chapitre IV : simulation des phénomènes de compatibilité électromagnétique avec le logiciel IC-EMC

Introduction.....	60
I) Présentation du logiciel IC-EMC.....	60
II) Comparaison de la simulation avec la mesure.....	61

a) Cas de l'émission.....	61
b) Cas de l'immunité.....	61
III) Simulation de l'émission.....	62
a) Cas de l'émission conduite (microcontrôleur HC12D60).....	62
b) Cas de l'émission rayonné.....	65
1) La puce CESAME.....	65
2) Modèle de la cellule TEM.....	66
3) Simulation de l'émission rayonnée par la cellule CESAM dans la cellule TEM.....	67
c) Cas du balayage du champ magnétique émis en champ proche.....	68
IV) Simulation de l'immunité.....	70
a) Mesure de puissance –modèle du coupleur directif.....	70
b) Simulation du coupleur dans le cas d'une charge adaptée et inadaptée.....	70
1) Charge adaptée.....	70
2) Charge non adaptée.....	72
c) Simulation de la DPI dans le cas d'une résistance de charge de 330 Ω	72
V) Étude du cas du microcontrôleur S12X.....	74
a) Aperçu sur le microcontrôleur S12X.....	74
b) Modèle d'émission du S12X.....	75
1) L'activité interne.....	75
2) Le PDN.....	76
c) Modèle d'entrée/sortie.....	77
d) Simulation de l'émission et comparaison avec la mesure dans une cellule TEM.....	78
e) Balayage du champ magnétique proche.....	79
f) Simulation de la DPI à travers un port d'entrée/sortie.....	81
1) Méthode d'agression et modèle de susceptibilité de l'entrée/sortie.....	81
2) Simulation de la susceptibilité de l'entrée/sortie en utilisant son modèle uniquement.....	82
3) simulation de la susceptibilité de l'entrée/sortie en utilisant le PDN.....	83
Conclusion.....	86
Conclusion générale.....	87
Glossaire.....	88
Bibliographie.....	91

Résumé :

La compatibilité électromagnétique des circuits intégrés étant devenue incontournable ces dernières années, la modélisation des circuits en vue de leur simulation du point de vue de l'émission et de l'immunité vis-à-vis des perturbations RF est primordiale. Les modèles ICEM et IBIS ont été mis au point dans ce but, ICEM intégrant le modèle du cœur et IBIS celui des entrées/sorties. Le modèle de susceptibilité ICIM est lui dérivé du modèle ICEM et dédié à l'extraction des niveaux de susceptibilité des circuits par simulation.

Enfin, le logiciel IC-EMC qui est un simulateur de ces différents phénomènes se basant sur ces différents modèles nous permet de réaliser une panoplie de simulation, entre autre l'émission, le balayage du champ proche et la susceptibilité des CI.

Introduction générale :

Le 29 juillet 1967, le porte-avion américain Forrestal croisait au large des côtes du Nord-Vietnam dans le golfe du Tonkin. Alors qu'un A4-Skyhawk s'apprêtait à décoller, l'une de ses roquettes fut mise à feu accidentellement. Cette dernière fit exploser un autre appareil qui s'embrasa et détruisit à son tour l'ensemble des avions stationnés sur le pont. Le feu se propagea ensuite au stock de munitions mettant le navire hors d'usage, et nécessitant plus de 7 mois de réparation. L'accident fit 135 victimes, des centaines de blessés et plusieurs centaines de millions de dollars de dégâts. L'enquête démontra que la cause de ce fait dramatique est un pur phénomène de compatibilité électromagnétique. En effet un des RADAR du porte avion avait induit accidentellement, sur les câblages des roquettes placées sous l'avion, une tension suffisante pour activer la mise à feu de l'une d'entre elles. [lamoureux]

Plus qu'en 1967, aujourd'hui les circuits intégrés sont soumis à des perturbations électromagnétiques provenant de sources bien plus nombreuses et variées. L'apparition de nouveaux protocoles de communication (GSM, UMTS, etc.), l'utilisation de radar de plus en plus puissant combiné au progrès de la microélectronique qui rend les CI de plus en plus fragiles vis-à-vis de ce genre de perturbations, augmentent considérablement les risques liés aux phénomènes de comptabilité électromagnétique. A juste titre donc l'étude de ce genre de phénomènes revêt une importance capitale.

Néanmoins le problème de compatibilité électromagnétique des circuits est particulièrement difficile, puisque ceux-ci sont en évolution rapide. En outre, les nouveaux circuits intégrés imposent de nouvelles contraintes, donc les normes de leur compatibilité doivent également évoluer. Cependant, avec des tailles plus petites qu'un micron, les contraintes actuelles sont très difficiles à satisfaire et celles du futur le seront encore plus.

Dans ce mémoire nous étudions différentes méthodes de spécification de l'émission et de la susceptibilité des circuits intégrés. Pour se faire, nous verrons dans un premier chapitre un ensemble de généralités importantes si l'on veut aborder et comprendre les problèmes liés à la compatibilité électromagnétique des circuits intégrés.

Un deuxième chapitre nous renseignera notamment sur les méthodes de mesure en mode rayonné et sur les modèles utilisés pour la prédiction des émissions d'un circuit intégré, il y sera question notamment du modèle ICEM et IBIS.

Le troisième chapitre sera consacré à la CEM dans son volet immunité, les méthodes de mesure en mode conduit ainsi qu'une perspective de modèle de prédiction des niveaux de susceptibilité des circuits intégrés aux bruits électromagnétiques.

Enfin le dernier chapitre de ce travail portera sur le logiciel de simulation à savoir le IC-EMC. Il sera décrit, un ensemble de simulation de l'émission et de l'immunité pour différents composants y sera présenté. Nous terminerons ce travail par le cas du microcontrôleur S12X pour lequel la panoplie de simulations sera effectuée et les résultats comparés à ceux obtenus par mesures, pour nommer la capacité du IC-ICEM a réaliser des simulations dont les résultats sont proches des mesures sans pour autant divulguer quelques secrets que se soit sur les circuits analysés.

Chapitre I :

Généralités sur la compatibilité électromagnétique des circuits intégrés

Introduction

De nos jours l'étude de la compatibilité électromagnétique est devenue incontournable pour l'assurance d'un bon fonctionnement des différents systèmes électroniques. En effet les systèmes électroniques sont de plus en plus exposés à ce genre de problèmes vu la multiplicité des sources de perturbations.

Ce chapitre sera consacré à un certain nombre de généralités qu'il faut connaître afin d'aborder correctement le domaine de la compatibilité électromagnétique des circuits intégrés. Nous y ferons une synthèse non exhaustive des problèmes qu'induisent les perturbations électromagnétiques sur le fonctionnement des différents composants.

I) Généralités sur les circuits intégrés

a) Contexte - Évolution technologique

La microélectronique a connu une grande évolution ces quarante dernières années qui s'est accompagnée d'une miniaturisation exponentielle. Cette évolution suit une loi appelée loi de Moore, qui prévoit que tous les 18 mois, le nombre de transistors sur une même surface de silicium double. Ainsi, nous sommes passés en l'espace de 30 ans d'un processeur élémentaire composé de quelques milliers de transistors à des processeurs très complexes composés de plusieurs centaines de millions de transistors. Les progrès continuels ont permis de produire des circuits de plus en plus performants et de réaliser des systèmes électroniques complexes nécessaires dans un grand nombre d'applications quotidiennes. La figure I.1 [1] donne une idée sur le progrès en microélectronique.

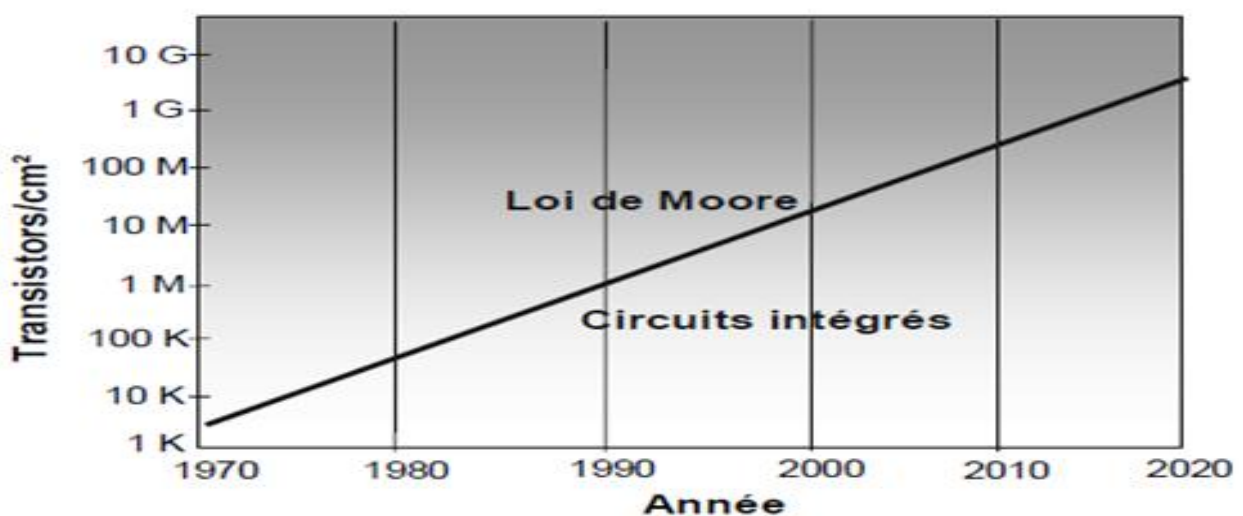


Figure I-1 : représentation de l'évolution du niveau d'intégration des circuits intégrés selon la loi de Moore.

Cette évolution ne s'est pas faite sans difficultés, en effet le nombre d'entrées sorties (E/S) et donc d'interconnexions entre circuits a augmenté, causant une dégradation de la qualité des signaux et une réduction de la bande passante des interfaces digitales rapides. Pour faire face à ces problèmes, la solution proposée vise à réduire les longueurs des interconnexions entre circuits en les rapprochant. Pour cela, deux types d'intégration ont été proposés :

_ L'intégration sur puce ou System on Chip (SoC), qui vise à réaliser sur le même substrat de plus en plus de fonctions électroniques. Il s'agit d'une conséquence de la miniaturisation suivant la loi de Moore.

_ L'intégration package ou System in Package (SiP), qui vise à assembler dans le même boîtier plusieurs circuits. La miniaturisation concerne tout le système, à la fois les composants discrets mais aussi la carte, qui se retrouve aussi dans le boîtier.

Cela permet d'atteindre un taux de réduction plus grand que celui prévu par loi de Moore.

En combinant l'évolution de l'intégration sur puce avec celle de l'intégration package, la miniaturisation des composants électroniques suivrait une tendance plus rapide que la loi de Moore, qu'on appelle « more than Moore ». Ces deux approches ont leurs avantages et leurs inconvénients. Cependant, dans les deux cas, les composants se comportent comme des sources et victimes de perturbations électromagnétiques. [1]

b) Historique de la circuiterie logique

Les premiers circuits logiques furent des circuits asynchrones à relais (l'additionneur Model K de G.R. Stibitz en 1937). Cette technologie issue de la téléphonie se développa entre les années 1930 et 1950. Des montages à tube à vide furent aussi utilisés pour le traitement en temps réel des images Radar dans les années 1940 et 1950. La différence importante de tension entre l'entrée (la grille) et la sortie (l'anode) des tubes à vide compliquait beaucoup la réalisation de couplages directs entre les étages successifs.

Cela conduisit à utiliser des couplages capacitifs et une représentation des grandeurs logiques sous la forme d'impulsions qui véhiculaient simultanément les valeurs. Les montages électroniques de cette époque se comportaient comme un réseau de fonctions parcourues par des impulsions d'activation.

La grande nouveauté des ordinateurs s'est située dans la réutilisation d'un petit ensemble de fonctions pour effectuer une grande variété de tâches. Les ordinateurs conçus au début des années 1960 étaient asynchrones et continuaient à utiliser la logique à impulsions, malgré le fait que l'utilisation de transistors permet de réaliser des couplages directs (comme par exemple dans la circuiterie RTL (pour Resistor-Transistor Logic).

Les durées allouées aux opérateurs pour fonctionner étaient déterminées par des batteries de monostables dont le réglage nécessitait un doigté certain. Pour « assainir » le fonctionnement

de ces machines, la logique synchrone à niveau fut utilisée à partir du milieu des années 1960. Elle déboucha sur la création de grandes familles logiques comme la TTL qui perdure encore jusqu'à maintenant après son passage en CMOS. [17]

L'arrivée des circuits VLSI « complexes » dans les années 1970 posa un nouveau problème. Leur technologie, complètement nouvelle, n'était pas réalisée avec une grande précision et des variations importantes de leurs caractéristiques étaient fréquentes entre les lots de circuits. Pour s'affranchir de ce problème, une logique polyphasée, basée sur le principe des écluses, fut utilisée. De plus, comme le nombre de transistors disponibles était toujours inférieur aux désirs des concepteurs, ceux-ci inventèrent des astuces pour en utiliser le moins possible. La logique dynamique et celle d'interrupteurs firent leur entrée (ou plutôt leur retour !). Pendant ce temps, la logique monophasée était devenue le classique des électroniciens qui l'utilisaient pour réaliser des cartes. L'augmentation constante de la complexité des circuits intégrés laissait prévoir la limite de la logique synchrone dès 1980. Deux familles de solutions furent proposées :

- La logique asynchrone « moderne » fut proposée dès 1980 sous la forme de l'utilisation de signaux impulsionnels transmis de manière différentielle par un protocole de poignée de main. Après plus de 25 ans d'efforts, cette proposition académique reste un sujet d'avenir. [17]

- Des techniques de synchronisation des circuits très complexes furent mises au point dans les années 1990 et conduisirent au développement des microprocesseurs modernes. Ces circuits sont constitués de blocs synchrones qui reçoivent une horloge centrale localement resynchronisée. Les contraintes de test dues à la complexité des circuits et aux risques de parasitage entre les lignes métalliques, associé au fait que le nombre de transistors n'est plus une contrainte, conduisirent à l'abandon de la logique polyphasée ainsi que des techniques de logique dynamique et d'interrupteurs qui posaient des problèmes de test, mais surtout qui n'entraient pas dans la culture classique des électroniciens malgré les avantages importants qu'elles auraient pu apporter. L'avenir de l'électronique est la réalisation de petits appareils très complexes, mais portables et de grande autonomie. [17]

c) Composition d'un circuit intégré

De manière simple, un circuit intégré digital ne comprend que des structures de calcul et des structures d'interface par lesquelles les résultats ou les requêtes sont échangés avec l'environnement extérieur. Tous les circuits intégrés remplissent ces fonctions à des degrés divers : les microprocesseurs traitent majoritairement des instructions logicielles, les DSP (Digital Signal Processor) traitent davantage les signaux par des calculs complexes et les microcontrôleurs sont quant à eux dédiés à la gestion et à la coordination d'autres circuits intégrés, ce qui implique le traitement d'instructions et de protocoles ainsi qu'un grand nombre d'interfaces de communication. La polyvalence des microcontrôleurs en fait des circuits employés dans de grands nombres d'applications. Leur architecture répond donc à ce besoin. [17] [18]

-La puce dont les rails d'alimentation ainsi que toutes les entrées sorties sont reliées à des pads, est composée de plusieurs éléments qui réalisent la fonction à laquelle est dédié le circuit, nous trouvons ainsi :

Cœur : L'architecture est organisée autour de l'unité de calcul et de traitement de données, que l'on nomme cœur du composant ou CPU (Central Processing Unit). Ce cœur comporte une Unité Arithmétique et Logique (ALU) où sont effectués les calculs. On y trouve aussi des registres de configuration, qui stockent les états du système à un instant donné, et des piles où l'on place et ordonne les instructions à exécuter.

Bus interne : Le cœur est relié par des bus de données ou de communication aux blocs dédiés à des fonctions spécifiques ou à des interfaces. La fréquence de ce bus est un des critères de rapidité d'exécution du composant. La taille d'adressage de ce bus permet de classer le microcontrôleur : nous trouvons ainsi des bus de 4, 8, 16, 32 voire 64 bits.

Mémoire : Le premier de ces blocs est la zone de mémoire, qui contient de la mémoire vive (RAM : Random Access Memory), utilisée pour stocker les données temporaires de calcul ou de transfert, et de la mémoire morte (ROM : Read Only Memory) qui sert à conserver des programmes et données de manière permanente une fois l'alimentation coupée. Les temps nécessaires pour lire ou écrire en mémoire RAM seront bien inférieurs à ceux de la mémoire ROM.

Autres blocs : nous citerons des convertisseurs ADC (Convertisseur Analogue Digital), des interfaces de communication spécifiques (SPI, SCI, I2C, ...), des ports d'interface génériques des (données)...[18]

-Un bonding reliant les pads de la puce aux pattes (les leads) du boîtier par l'intermédiaire de fils d'or qui peuvent atteindre quelque cm dans le cas des boîtiers de type PGA (Pin Grid Array).

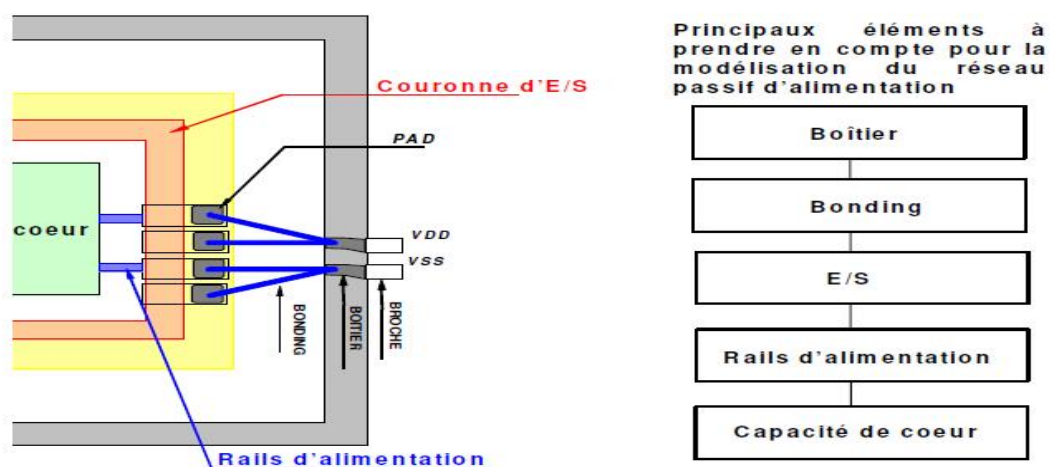


Figure I-2 : représentation des différentes parties constituant un circuit intégré

-Le boîtier : il est en quelque sorte la capsule du circuit, ces broches (ou billes pour les boîtiers BGA) sont reliées au pads par des accès dont les longueurs sont également importantes (même ordre que le bonding). La figure I-2 [18] rend compte de l'agencement de ces différents composants.

Lorsque la fréquence de fonctionnement du circuit augmente, ces composants deviennent des sources de perturbations non négligeables, qui affectent grandement la compatibilité du circuit avec les composants environnants.

II) Définitions préliminaires relatives à la compatibilité électromagnétique

a) La compatibilité électromagnétique

La CEM (Compatibilité ElectroMagnétique) est « l'aptitude d'un dispositif, d'un appareil ou d'un système à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement ». [6]

b) La perturbation électromagnétique

Les perturbations électromagnétiques englobent tous les signaux indésirables, involontaires susceptibles de nuire au fonctionnement des circuits et autres équipements électroniques. Une perturbation électromagnétique peut être soit rayonnée soit conduite, on parlera donc de couplage en mode rayonné ou conduit respectivement.

- Couplage en mode rayonné : c'est un couplage qui se fait par induction d'un courant électrique par une onde électromagnétique sur les interconnexions ainsi que sur le boîtier du circuit intégré.
- Couplage en mode conduit : c'est un couplage pour lequel les lignes d'alimentation ou de masse des cœurs digitaux ou des entrées/sorties sont les principaux vecteurs de propagation. Il faut donc disposer, au préalable, d'un schéma équivalent faisant apparaître tous les composants, même ceux qui ne sont pas intentionnellement destinés à faire partie du circuit (les composants modélisant des parasites). [19]

c) La susceptibilité et l'immunité des circuits intégrés

La susceptibilité d'un circuit intégré représente sa sensibilité ou le degré de fragilisation de son fonctionnement correct par différents types d'émissions extérieures. Il s'agit de fixer un seuil de contrainte sous lequel le circuit est dit immunisé contre les perturbations.

L'immunité est donc l'aptitude d'un équipement à ne pas être perturbé lorsqu'il est soumis à une perturbation électromagnétique d'amplitude définie. Les émissions génératrices de perturbation électromagnétique ont des origines variées. [19]

III) Sources de perturbations extérieures

Les circuits intégrés sont certes une source de perturbation comme remarqué mais malheureusement elle n'est pas la seule, en effet il existe de nombreuses sources de perturbation électromagnétique (figure I-3 [1]) dont certaines d'origine naturelles et qui ne seront pas citées dans ce travail. La liste de ces sources n'est pas exhaustive car leur nombre tend à augmenter avec l'évolution technologique. [1]

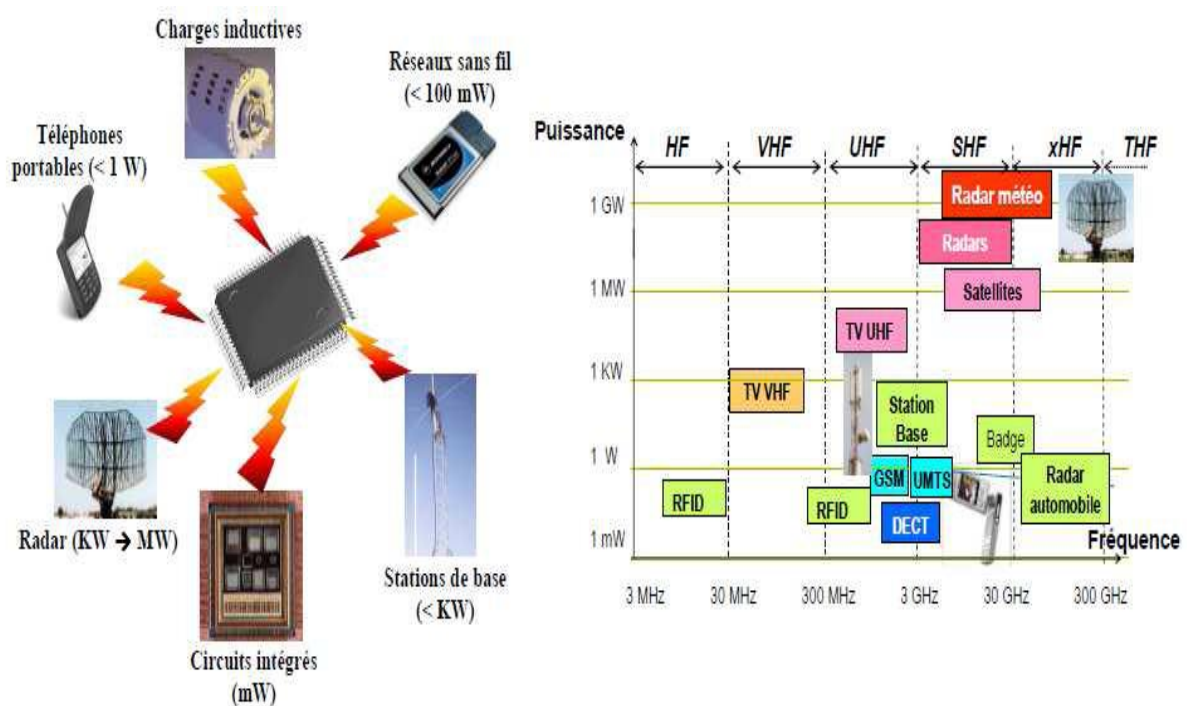


Figure I-3 : Exemple de sources de perturbation électromagnétique

IV) Origines des émissions parasites des circuits intégrés

a) Bruit de commutation simultanée(SSN)

Les émissions électromagnétiques des systèmes électroniques trouvent leur origine au cœur des circuits intégrés. Ce phénomène provient du bruit de commutation simultanée SSN (Simultaneous Switching Noise) généré par les appels de courant dus à la commutation des différentes portes logiques du circuit.

Les alimentations et les références de masse parviennent aux circuits par l'intermédiaire d'un ensemble d'interconnexions, formées par les broches des boîtiers et le réseau d'alimentation interne. Toutes ces lignes représentent autant d'inductances et de résistances parasites qui, dès

qu'elles sont traversées par un courant variable, induisent une variation de potentiel. Le boîtier représente le contributeur majeur à l'inductance parasite, tandis que le réseau d'alimentation interne est plus résistif. La figure I-4 [1] décrit l'ensemble des inductances et des résistances parasites à l'intérieur d'un circuit intégré qui sont responsables de l'apparition du SSN, avec les valeurs des éléments parasites introduits par différents types de boîtiers couramment utilisés.

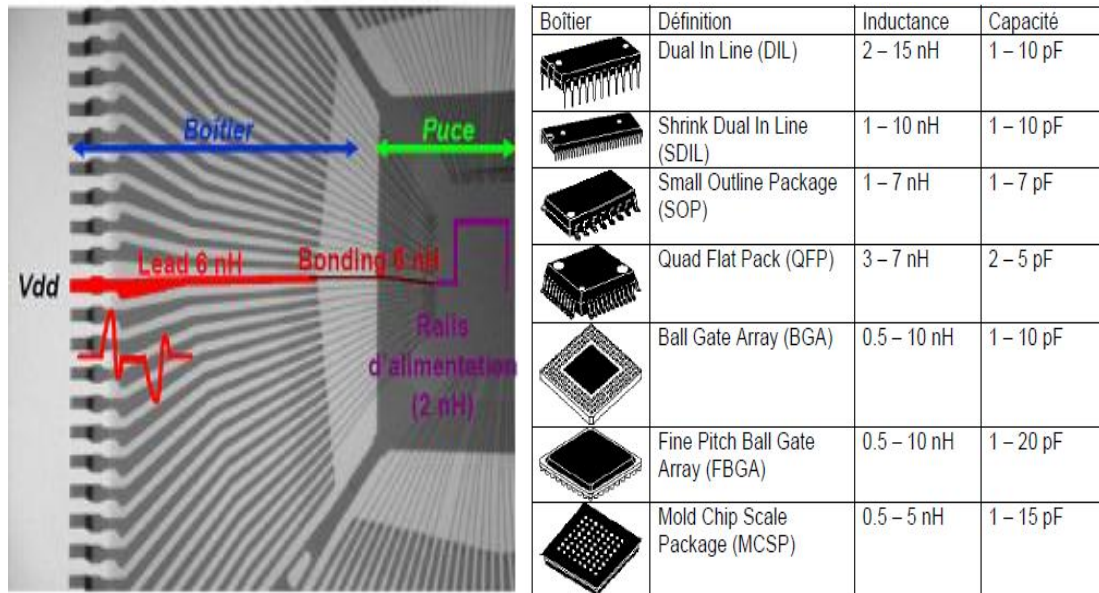


Figure I-4 : Inductances parasites liées aux interconnexions d'un circuit intégré (à gauche) et caractéristiques électriques des différents types de boîtiers (à droite).

Le bruit lié au passage du courant de commutation des circuits au travers des inductances parasites des différentes interconnexions est appelé ΔI noise dont l'amplitude peut être évaluée à partir de l'équation suivante [18] [1] :

$$V_{\Delta I \text{ noise}} \approx L \times \frac{di}{dt} \quad (\text{Équation I-1}) [1]$$

Avec : L : Inductance parasite du chemin d'alimentation.

di/dt : Pente du courant traversant les interconnexions.

Néanmoins, le chemin d'alimentation est aussi constitué d'une petite résistance parasite, variant de 100 m Ω à 10 Ω suivant la technologie et la taille du circuit. Le bruit lié au passage du courant appelé lors de la commutation des circuits au travers des résistances parasites est appelé IR noise. Avec l'augmentation de la résistance des interconnexions à chaque nœud, l'augmentation du courant IR noise devient un problème de plus en plus contraignant.

Alors que le ΔI noise entraîne une fluctuation de tension, le IR noise entraîne une chute de potentiel et dégrade les vitesses de commutation des portes logiques, faisant ainsi apparaître des délais parasites. Cependant, l'ajout de résistances sur les rails d'alimentation permet d'amortir les oscillations produites par le ΔI noise et de réduire le bruit de commutation. Ainsi, la cumulation de ces deux effets permet de calculer l'amplitude du bruit de commutation. [1]

$$V_{SSN} = R \times i + L \times \frac{di}{dt} \quad (\text{Équation I-2}) [1]$$

La figure I-5 [8] décrit le phénomène de génération de bruit de commutation simultanée et la variation de tension d'alimentation produite.

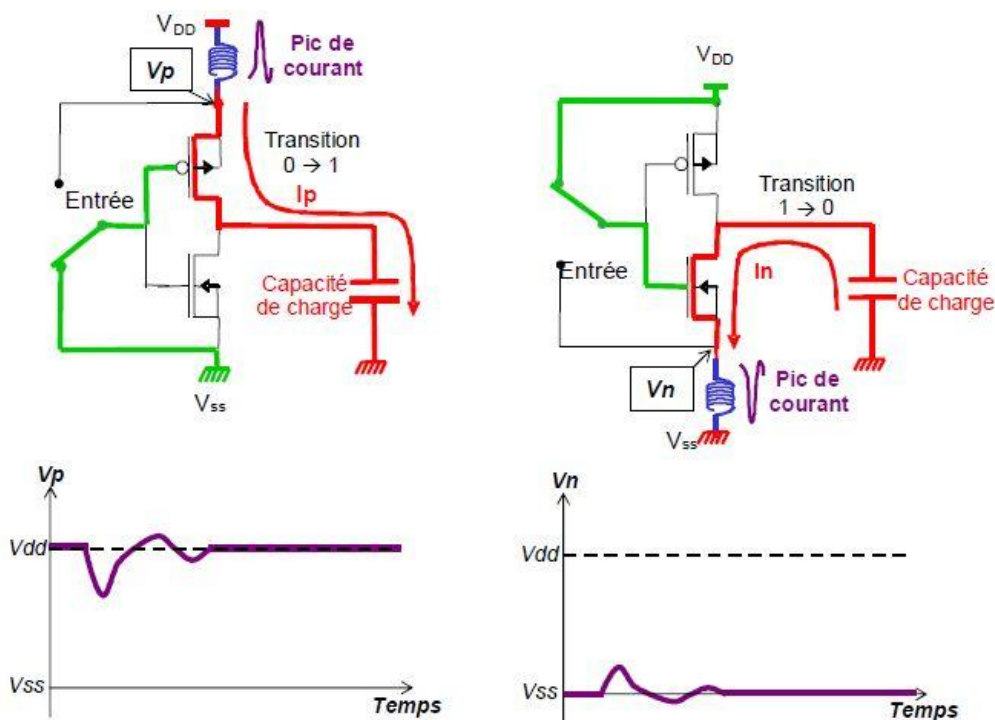


Figure I-5 : Courant circulant dans un inverseur CMOS lors de sa commutation et génération de bruit de commutation simultanée sur les lignes d'alimentation.

L'amplitude du bruit de commutation dépend d'un certain nombre de facteurs sur lesquels sont basés de nombreux modèles pour sa prédiction, elle dépend de :

- La forme de l'appel de courant
- Les paramètres technologiques et géométriques des transistors
- Le nombre de portes commutant simultanément
- L'impédance du chemin d'alimentation ou de masse

- La disposition des plans d'alimentation et de masse
- La capacité de charge

Le tableau I-1 [1] présente les appels de courant typiques en fonction des technologies. Il apparaît clairement que l'amplitude du pic de courant et donc le bruit de commutation simultanée augmentent avec l'évolution technologique. On peut remarquer que, même si le pic de courant généré par porte ainsi que la tension d'alimentation diminuent, l'appel de courant total augmente puisque les circuits deviennent de plus en plus denses.

Technologie	Tension d'alimentation (V)	Densité de portes (/mm ²)	Pic de courant (mA/porte)	Capacité (fF/porte)	Pic courant (A/mm ²)
1.2 μ m	5	8K	1.1	60	8.8
0.8 μ m	5	15 K	0.9	40	13.5
0.5 μ m	5	28 K	0.75	30	21
0.35 μ m	5 – 3.3	50 K	0.6	25	30
0.25 μ m	5 – 2.5	90 K	0.4	20	36
0.18 μ m	3.3 – 2	160 K	0.3	15	48
0.12 μ m	2.5 – 1.2	240 K	0.2	10	48
90 nm	2.5 – 1	480 K	0.1	7	48
65 nm	2.5 – 0.8	1000 K	0.07	5	50
45 nm	1.8 – 0.8	2000 K	0.05	3	55

Tableau I-1 : évolution des pics des courants en technologie CMOS.

La figure I-6 [1] présente un exemple de bruit de commutation simultanée ainsi que sa transformée de Fourier. La forme de cet appel de courant peut être représentée en première approximation par un triangle. Ce bruit est caractérisé par des temps de montée et de descente rapides lui conférant de nombreuses composantes harmoniques à haute fréquence. L'analyse de son spectre montre qu'il couvre quasiment deux décades du spectre radiofréquence.

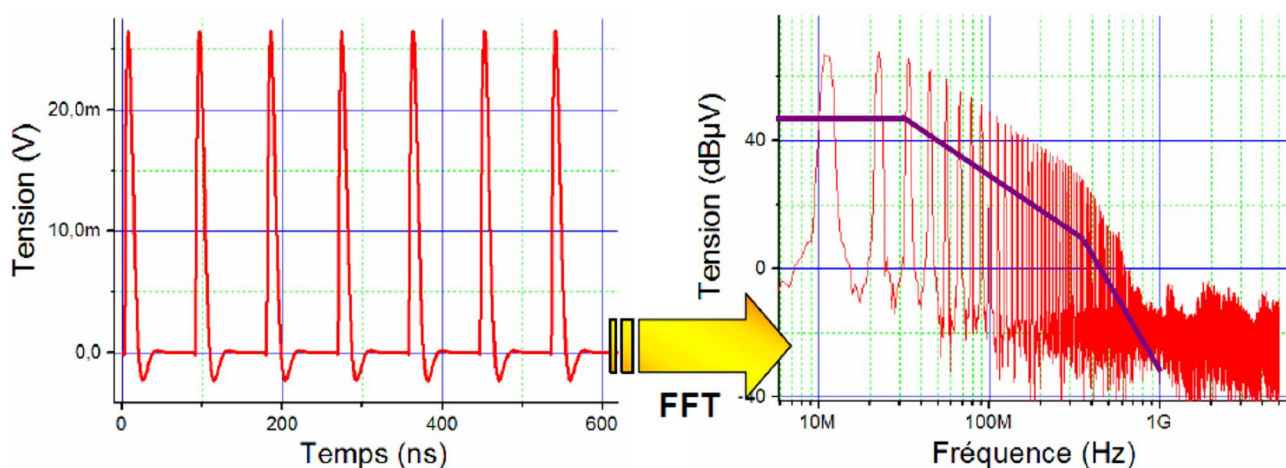


Figure I-6 : exemple de bruit de commutation simultanée et son spectre de fréquence.

Fort heureusement, des solutions ont été proposées pour réduire le SSN. Certaines sont empiriques tandis que d'autres proviennent d'analyses tirées des mesures et des simulations. Voici une liste non exhaustive des solutions existantes :

D'abord, pour réduire le SSN, il faut contrôler l'impédance des chemins d'alimentation, en réduisant les inductances parasites grâce à l'utilisation d'alimentations adaptées, d'assignation d'E/S ou l'utilisation de boîtiers faible inductance. L'impédance des chemins d'alimentation peut aussi être contrôlée en ajoutant des capacités de découplage. Plus celles-ci se trouvent à proximité de la source d'émission, plus elles sont efficaces, ce qui conduit à ajouter des capacités non seulement sur la carte ou Printed Circuit Board (PCB), mais aussi à l'intérieur des boîtiers et directement sur le silicium (capacité on-chip).

D'autres techniques consistent à isoler les blocs bruyants des blocs sensibles. Cela consiste principalement à séparer les alimentations des blocs de nature diverse et à isoler les blocs sur le silicium en créant des caissons d'isolation et des anneaux de garde.

Enfin, on peut aussi directement agir sur la source d'émission. Par exemple, en contrôlant l'appel de courant en étalant, dans le temps, la consommation en courant. Par exemple en ajoutant de la désynchronisation aléatoire ou jitter sur les signaux d'horloge ou en contrôlant le temps de commutation ou slew rate des E/S, sont très efficaces pour diminuer l'amplitude du pic de courant. D'autres stratégies plus récentes consistent à venir réduire localement les variations de tension en implantant des régulateurs de tension intégrés au plus près des blocs bruyants. [1]

b) Sources d'émissions dans un circuit intégré

Les circuits qui se caractérisent par des commutations nombreuses et simultanées, et en général, qui connaissent des variations de courants trop brusques et les appels de courant les plus importants, sont les plus bruyants. Certains blocs dans un circuit intégré sont plus bruyants que d'autres, et entre autre, les blocs les plus perturbateurs et qui sont donc assimilés aux sources des émissions parasites sont :

Les blocs digitaux synchrones qui créent un appel de courant à chaque front de l'horloge de synchronisation. Le bruit est causé principalement par l'activité des cœurs numériques qui augmente à chaque nouvelle génération de circuit.

Les entrées/sorties : Le bruit produit par la commutation des entrées/sorties est très important puisque celles-ci sont constituées de transistors MOS capables de fournir un courant important. Leurs états logiques dépendent des données qu'elles transportent à l'intérieur ou à l'extérieur du circuit intégré. Plus le nombre d'entrées/sorties commutant en même temps augmente et plus elles sont rapides, plus le bruit généré augmente.

Les arbres d'horloge, qui distribuent le signal d'horloge et propagent le bruit à l'ensemble du circuit.

Certains blocs analogiques tels que des amplificateurs de puissance ou des PLL, qui peuvent produire des émissions parasites concentrées sur quelques harmoniques. Ces différents blocs peuvent être intégrés à l'intérieur du même circuit, comme dans un microcontrôleur qui intègre des blocs digitaux, des entrées/sorties, des convertisseurs analogique numérique (ADC Analog Digital Converter), des PLL et des blocs analogiques. La figure I-7 [1] présente une vue du placement des différents blocs ou floorplan d'un microcontrôleur. 16 bits.

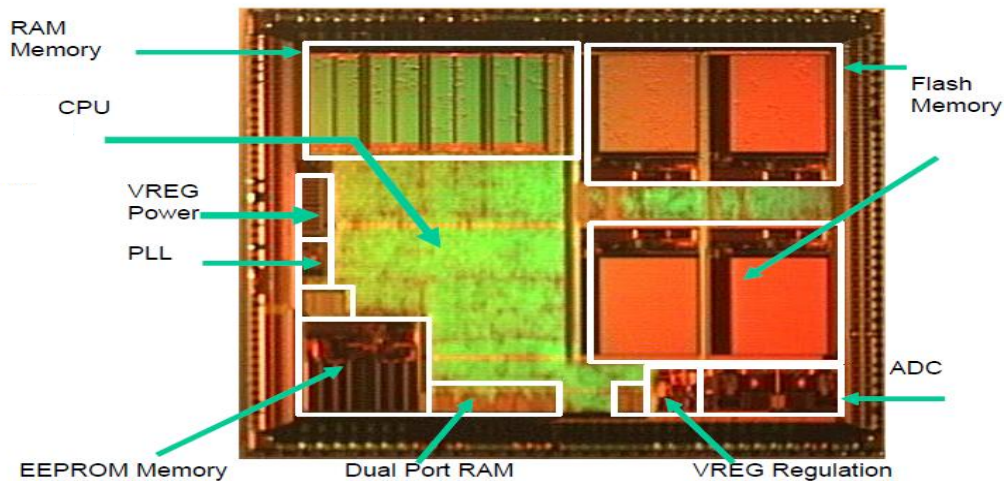


Figure I-7 : le floorplan (disposition des blocs) d'un microcontrôleur 16 bits.

V) Propagation du bruit émis

a) Mécanismes de propagation conduite

Le bruit se propage principalement à l'intérieur des circuits ou sur les PCB par couplage conduit. Les lignes d'alimentation ou de masse des cœurs digitaux ou des entrées sortie sont les principaux vecteurs de propagation, puisque la commutation des cœurs numériques ou des entrées sorties génère des fluctuations de tension sur les alimentations. Une modélisation complète des résistances et des inductances parasites des interconnexions permet de déterminer l'amplitude du bruit conduit. La propagation peut se faire aussi par couplage entre interconnexions voisines. Ce couplage, appelé aussi diaphonie ou crosstalk, peut être soit de nature inductive, soit de nature capacitive. La figure I-8 décrit le phénomène.

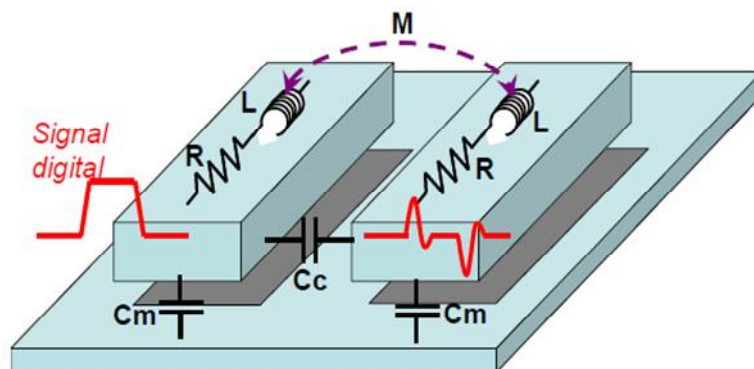


Figure I-8 : Couplage en mode conduit inductif et capacitif entre deux interconnexions.

A l'intérieur des circuits intégrés, puisque les interconnexions sont très peu inductives et très rapprochées, le couplage est capacitif, contrairement aux boîtiers où le couplage est plutôt de nature inductive. Celui-ci joue un rôle prépondérant dans la génération de couplages diaphoniques et peut être responsable de fluctuations de niveaux de tension internes. Le couplage entre interconnexions prend une importance cruciale dès que les fréquences des signaux des entrées/sorties augmentent. En effet, l'amplitude de tensions induites par la diaphonie dépend du temps de montée des signaux. De plus, plus les signaux sont rapides, plus ils sont sensibles à toute forme de dégradation.

A l'intérieur des circuits, un autre couplage est aussi à l'œuvre. L'ensemble des blocs d'un même circuit partage le même substrat. Du fait de son faible dopage, celui-ci présente une résistivité élevée offrant une bonne isolation entre les différents blocs. Cependant, les blocs bruyants tels que les blocs digitaux peuvent injecter du bruit dans le substrat, qui va se propager vers des blocs sensibles tels que les blocs analogiques et éventuellement les perturber. Ce phénomène appelé couplage substrat est un des principaux freins au développement de l'intégration de systèmes sur puce (SoC ou System on Chip) mixant des blocs analogiques et numériques. Différents mécanismes d'injection sont détaillés sur la figure I-9 [19] :

Par les contacts de polarisation du substrat ; si une alimentation bruitée vient polariser le substrat, alors le bruit est directement injecté dans le substrat à travers la résistance formée par le contact.

Le couplage capacitif entre le substrat et les différents éléments d'un circuit, tels que les jonctions PN au niveau des drains et des sources, les interconnexions des niveaux de métaux inférieurs, et les caissons d'isolation. Ce mode est particulièrement important pour les blocs digitaux rapides.

Le courant d'ionisation par impact, dû à la création de porteurs chauds formés entre le drain et la source des transistors mis en saturation et qui sont injectés dans le substrat. Ce phénomène est prépondérant jusqu'à quelques dizaines de mégahertz et prend de l'importance avec la réduction de la taille des circuits.

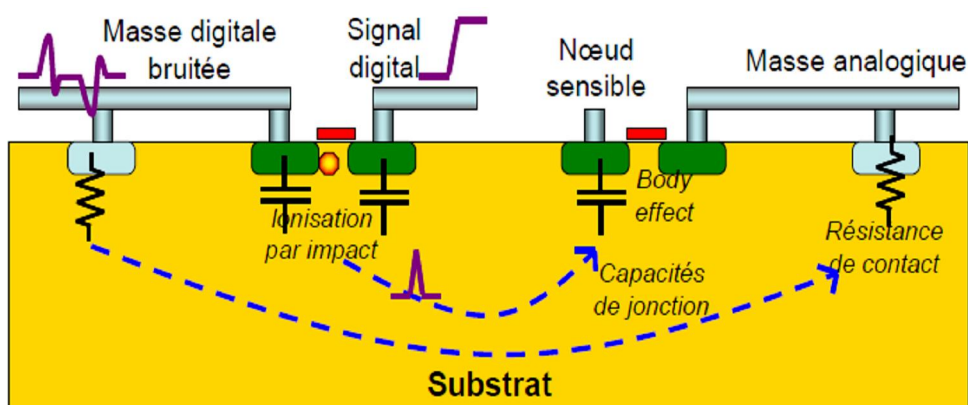


Figure I.9 : Mécanismes d'injection et de réception de bruit par couplage substrat

b) Mécanismes de couplage rayonné :

Toute interconnexion peut jouer le rôle d'antenne, de manière plus ou moins efficace à une fréquence donnée. Ainsi, dès que la longueur L d'une interconnexion s'approche de $L \approx \frac{\lambda}{4}$ celle-ci joue un rôle d'antenne et les courants qui la traversent ou la tension à ses bornes peuvent engendrer un champ électromagnétique. Le tableau I-2 [1] donne une idée des structures pouvant jouer le rôle d'antenne en fonction de la fréquence.

Fréquence	10 MHz	100 MHz	1 GHz	10GHz
Longueur d'onde λ	30 m	3 m	30 cm	3 cm
$\lambda/4$	7.5 m	75 cm	7.5 cm	7.5 mm
Antenne physique	Long câble	Câble	Piste PCB	Lead boîtier

Tableau I-2 : Dimension d'antenne en fonction de la fréquence et identification des parties susceptibles de jouer ce rôle.

La circulation d'un courant à l'intérieur d'une boucle (formée par exemple par un conducteur et son retour à la masse) constitue une source efficace de champ magnétique, alors que la variation de potentiel d'une interconnexion (par exemple la commutation d'une broche d'un port de microcontrôleur) constitue une source efficace de champ électrique. La figure I-10 [1] illustre les mécanismes de génération des champs électrique et magnétique à proximité des broches d'un boîtier.

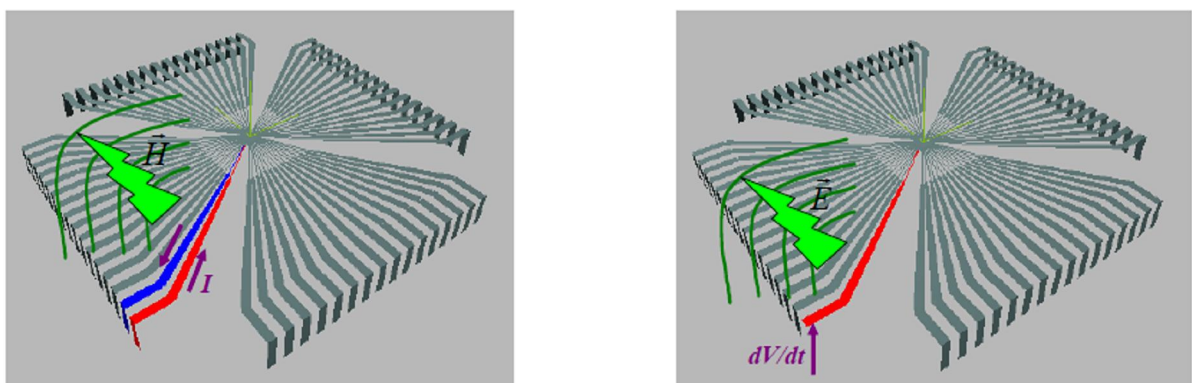


Figure I-10 : Mécanismes de génération des champs magnétique (à gauche) et champ électrique (à droite)

Le rayonnement produit par n'importe quelle antenne peut se séparer en trois zones, décrites sur la figure I-11. [1]

Nous distinguons les zones suivantes :

La zone de rayonnement en champ proche, qui se situe à proximité de l'antenne. A l'intérieur de cette zone, l'onde plane ne s'est pas encore formée et la distribution des composantes du champ dépend de la distance à l'antenne. L'amplitude des composantes du champ se met à décroître très rapidement à mesure qu'on s'éloigne de l'antenne.

La zone de Fresnel, qui est une zone intermédiaire.

La zone de champ lointain, où l'onde plane est localement formée. Celle-ci est qualifiée d'onde transverse électromagnétique ou TEM.

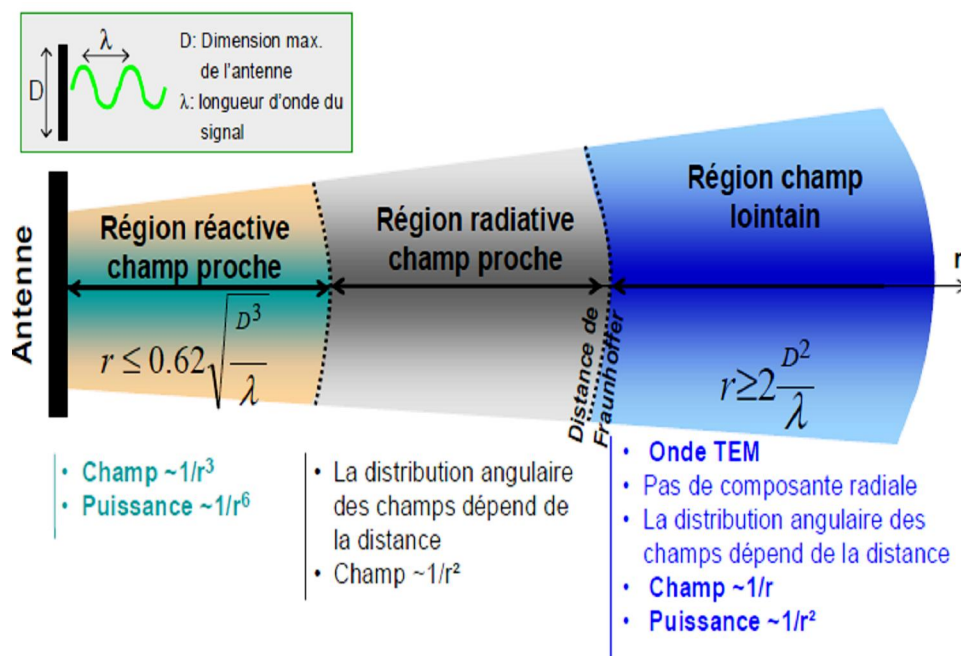


Figure I-11 : Régions électromagnétiques d'une antenne.

VI) Couplage des perturbations externes

Avant de perturber un circuit, la perturbation doit se coupler à celui-ci, soit de manière rayonnée, soit de manière conduite. Nous n'allons considérer ici que le bruit provenant d'une source extérieure. Tout l'environnement du circuit intégré peut coupler une partie de l'énergie d'une perturbation incidente par effet d'antenne et ainsi influencer la susceptibilité du système électronique. En effet, les structures de couplage vont être à l'origine de résonances dont les fréquences sont liées à leurs dimensions. En outre, chacune de ces structures est constituée d'éléments électriques parasites qui vont modifier la pénétration de l'onde à l'intérieur du

circuit en fonction de la fréquence. Nous allons décrire les différents niveaux du système électronique décrit par la figure I-12 [1] et leurs influences sur la susceptibilité

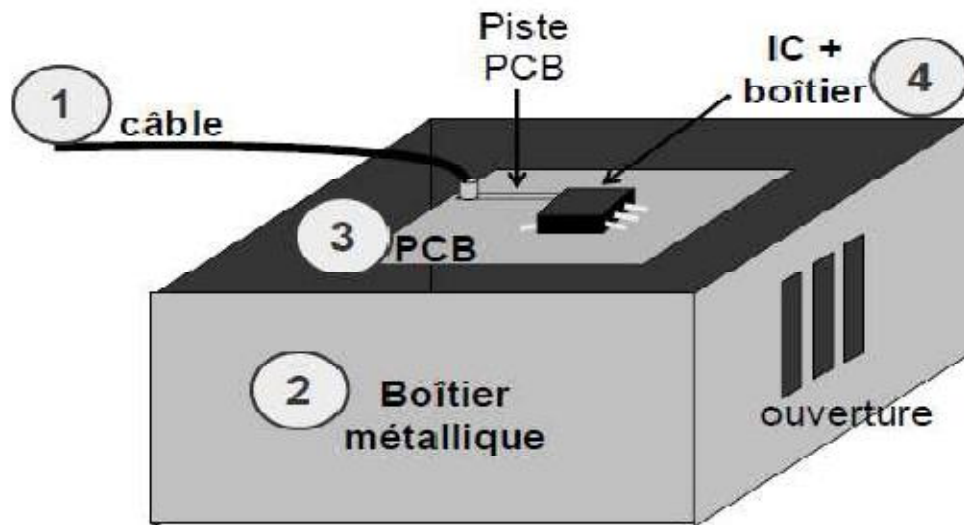


Figure I-12 : Les différents niveaux d'un système électronique.

Le mode de couplage principal sont les câbles, en effet ils sont considérés comme des antennes à des fréquences en dessous de 1 GHz qui permettent en suite aux perturbations de se propager de manière conduite aux différents circuits composants le système. On trouve ensuite à une échelle moindre le PCB (circuit imprimé), en effet les pistes de ces derniers forment des antennes à partir de quelques centaines de MHz et sont considérées comme des lignes de transmission miniature.

On peut aussi citer l'influence de structures telles que des radiateurs placés sur le capot des circuits dans le couplage du champ électrique incident. En effet, un radiateur peut former avec le plan de masse du PCB une cavité électromagnétique ou une antenne, qui couplera de manière efficace le champ incident.

Le boîtier est une partie inévitable du chemin de couplage, c'est le dernier étage avant le circuit même s'il constitue une antenne moins efficace que les câbles et les pistes du PCB. En effet les broches du circuit intégré représentent des résistances et des inductances parasites qui présentent des bandes passantes limitées dont les fréquences de coupures varient selon le type de boîtier. [1]

VII) Effets des perturbations sur le comportement des circuits intégrés

Après avoir abordé la génération, la propagation et les modes de couplage d'un champ électromagnétique, nous allons nous intéresser aux effets que les perturbations peuvent avoir sur les systèmes électroniques. Pour cela, nous distinguerons les composants analogiques des composants numériques puisque leurs réactions sont sensiblement différentes.

a) Composants analogiques

Selon la fréquence deux cas peuvent se présenter pour une perturbation électromagnétique dans le premier la fréquence de la perturbation est en dehors du domaine de fonctionnement normale du circuit intégré, dans le second cas elle est incluse dans ce domaine.

1) Hors-bande de fréquence du composant

Vu la caractéristique intrinsèque inhérente aux circuits intégrés en général et aux circuits analogiques plus particulièrement qui se comportent comme des filtres passes bas, pour qu'une perturbation dans le domaine de fréquence de fonctionnement du composant puisse générer le même dysfonctionnement hors bande, il lui faudrait une énergie plus élevée.

2) Dans la bande de fréquence du composant

Une perturbation caractérisée par une faible variation de tension ou de courant perturbera de manière sensible le fonctionnement d'un capteur de pression, de température et tout autre composant analogique. La perturbation va se superposer au signal utile créant de fait une tension d'offset, cette tension sera analysée avec le signal utile par le système de contrôle qui traitera donc des données erronées avec toutes les erreurs qui en découlent. La figure I-13 [19] montre le principe de couplage d'une perturbation à un circuit analogique ainsi que la tension d'offset qui en découle.

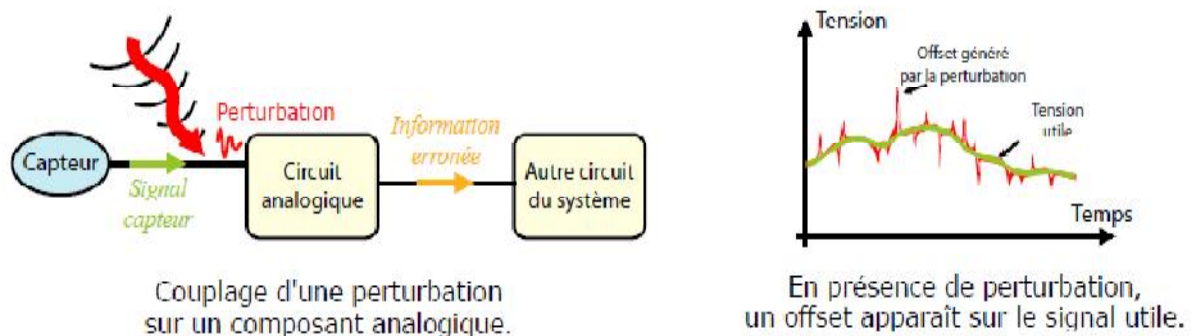


Figure I-13 : Couplage (à gauche) et génération d'offset (à droite) due à une perturbation électromagnétique sur un composant analogique.

D'autres effets peuvent exister, nous pouvons ainsi souligner une baisse de résolution, un gain plus faible, une baisse du rapport signal sur bruit, la distorsion des signaux et la fluctuation de la tension d'alimentation. En effet bon nombre de composants analogiques tels que les convertisseurs analogique/numérique ou numérique/analogique y sont particulièrement sensibles. La sensibilité des convertisseurs est due au fait que l'alimentation leur sert également de référence, par rapport à laquelle les données délivrées sont prises. De surcroît, plus la résolution porte sur un nombre important de bits, et plus la susceptibilité du composant est forte. Les perturbations induites sur les amplificateurs sont en général dues à des

fluctuations de leur alimentation car ces derniers tirent leur puissance de l'alimentation, des fluctuations des niveaux d'amplification sont des lors perceptibles d'autant plus s'il s'agit d'amplificateurs audio, ainsi l'étage différentiel des amplificateurs est un élément critique qui conduit les modes commun et différentiel.

Il est à noter que les bruits induits sur des composants analogiques sont la plus part du temps temporaires et disparaissent avec la disparition de la perturbation, malheureusement on ne peut pas dire autant des composants numériques.[19]

b) Circuits numériques

1) Phénomène de latchup

Le phénomène de latchup est dû à la mise en conduction involontaire (suite à une perturbation électromagnétique par exemple), d'une succession de jonctions PNPN formant un thyristor parasite entre l'alimentation et la masse (Figure I- 14 [1]). Le déclenchement du thyristor parasite provoque un court-circuit entre l'alimentation et la masse du circuit intégré qui peut être destructif. [8] [19]

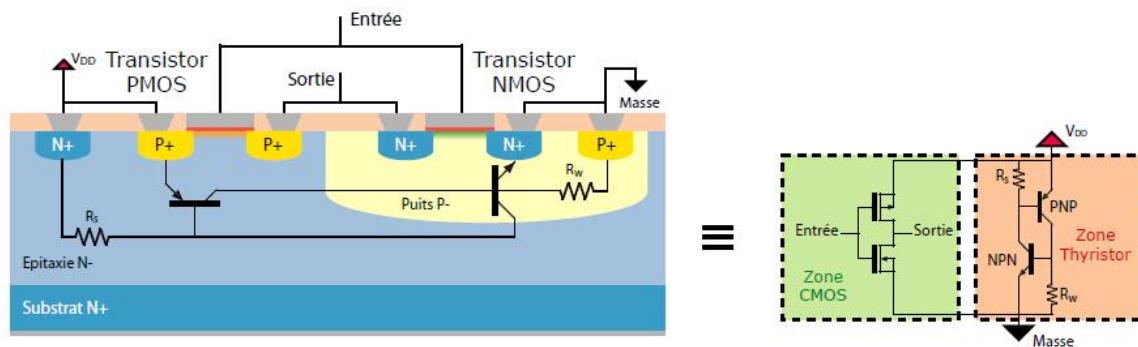


Figure I-14 : Phénomène du latchup dans les circuits intégrés numériques

2) Effet sur les sorties

Un autre élément des composants numériques peut s'avérer susceptible : la sortie d'un composant élémentaire. Du fait de sa faible impédance, une sortie numérique peut être perturbée par l'injection d'un courant parasite d'amplitude relativement faible (de l'ordre de la dizaine de milliampère). L'effet d'une telle perturbation se traduit généralement par un changement d'état de la sortie.

3) Effet sur les entrées

Bien que leur impédance soit relativement élevée en comparaison de celles des sorties, les entrées numériques peuvent également être perturbées. En effet, la réduction des tensions d'alimentation s'accompagne d'une réduction des seuils de commutation et par conséquent d'une diminution des marges de bruits en entrée. De ce fait, les entrées sont toutes aussi susceptibles. Et cette susceptibilité se traduit, comme pour les sorties, par une inversion du niveau de l'information d'entrée.

4) Changement d'état des bascules et mémoires

L'augmentation ou la diminution des tensions grille source des transistors due à une perturbation sur les alimentations crée une variation de courant causant de fait une modification du temps de transition (erreur de délai). Les perturbations des alimentations transmises sur les sorties des portes logiques peuvent induire un changement d'état suivant que la perturbation est supérieure au seuil de commutation ou pas (changement d'état logique).

Une conséquence des deux effets précédents peut être la mémorisation d'un niveau logique erroné dans une bascule ou une mémoire. En effet, les variations de délais peuvent provoquer des erreurs de temps d'arrivée et de maintien des données en entrée des bascules. De plus, une commutation erronée de l'horloge ou d'un signal peut également entraîner des erreurs de mémoires. Il est bien évident que de telles erreurs pourraient mettre à mal le fonctionnement d'un système. [19]

Conclusion

Ce chapitre est un résumé non exhaustif sur la compatibilité électromagnétique des circuits intégrés, nous y avons vu notamment certaines des problèmes qu'on peut rencontrer dans ce domaine ainsi que les différents modes de propagation des perturbations électromagnétiques et leurs influences sur le fonctionnement des circuits intégrés.

Les technologies à base de circuits intégrés sont partout, de la voiture à l'avion en passant par les satellites, elles sont de nos jours inévitables dans bien des applications dont l'utilité n'est plus à prouver, augmentant les risques de dysfonctionnement due à une éventuelle sensibilité des circuits aux agressions. Aussi la garantie du bon fonctionnement de ces équipements représente un gage de professionnalisme des fondeurs (fabriquant de circuits intégrés). En effet c'est dans le but de réduire les coûts de fabrication, de mettre sur le marché des circuits fiables que les différents fabricants de circuits intégrés ont mis aux points différentes méthodes d'analyse et de simulation dans le domaine des circuits intégrés. Les deux chapitres suivants vont traiter des modèles sur lesquels se base la simulation des problèmes de CEM, dans ces deux volets à savoir la modélisation et la simulation des émissions parasites et de la susceptibilité des circuits intégrés.

Chapitre II :

Modèles d'émission des circuits intégrés

Introduction

Ces dernières années les clients des fabricants de circuits intégrés imposent de plus en plus de contraintes du point de vue CEM, celle-ci doit être prise en compte le plus tôt possible dans les phases de fabrication. En effet, dans les années 90, la validation CEM d'un circuit ne se faisait qu'après fabrication et par mesure. Afin d'éviter des phases de rectifications, coûteuses en temps et en argent, la prédiction des niveaux de bruit généré par les circuits intégrés doit être mise en place au cours des étapes de conception, rendant nécessaire le développement de modèles de prédiction. Actuellement, les fabricants disposent d'outils et de flots de simulation permettant de prédire l'amplitude du SSN à partir d'informations telles que le « floorplan » et des « netlists » au niveau transistor, afin d'estimer les appels de courant et les parasites introduits par les interconnexions. Ainsi, il est possible de vérifier lors des phases de fabrication si les circuits respectent les marges de bruit requises.

Cependant, l'émission électromagnétique ne concerne pas seulement les circuits intégrés, mais aussi le système complet qui peut englober plusieurs circuits. Comme nous l'avons vu précédemment, des domaines comme l'automobile et l'aéronautique sont soumis à des contraintes très strictes au point de vue CEM et donc à la même problématique de prédiction du niveau d'émission durant les étapes de design. Pour prendre en compte l'émission des circuits intégrés dans l'émission globale du système et tester l'effet de techniques de réduction du bruit, les équipementiers exigent des fondeurs des modèles d'émission conduite et rayonnée de leurs composants. Cela pose plusieurs contraintes au niveau des modèles que doivent fournir les fondeurs :

- Non confidentialité des modèles, interdisant l'emploi de modèles au niveau transistor, de schématiques complètes des circuits
- Rapidité de simulation, ce qui oblige à réduire la complexité des modèles
- Compatibilité avec des outils standards tels que SPICE et VHDL-AMS

Le but de ce chapitre est d'étudier les modèles de prédiction de l'émission des circuits intégrés, notamment ceux sur les quelles se base la simulation des problèmes de compatibilité électromagnétique qu'effectue le logiciel IC-EMC.

I) Aperçu sur les méthodes de mesure de l'émission des circuits intégrés en mode rayonné

La réduction des dimensions des circuits intégrés et leur montée en fréquence s'est accompagné d'un certain nombre de problèmes. En effet leur activité interne engendre des émissions électromagnétiques qui peuvent être néfastes pour les circuits et autre composant environnants. Ainsi dans les réseaux de systèmes électroniques, les circuits intégrés et les circuits imprimés, l'énergie électrique et magnétique peuvent se représentées sous trois formes différentes :

- Une forme conduite dans la quelle le courant se propage à travers les fils et les lignes pour atteindre les composants.
- Une forme rayonnée en champ proche dans la quelle l'énergie est emmagasinée dans des capacités et des inductances.
- Une forme rayonnée en champ lointain dans laquelle l'énergie est rayonnée sous forme d'ondes électromagnétiques.
- Une source de bruit peut être incluse dans n'importe laquelle de ces formes néanmoins elles sont toutes décrites par le théorème du Poynting.

$$\frac{\partial u}{\partial t} + \nabla \cdot \mathbf{S} = \mathbf{J} \cdot \mathbf{E} \quad \text{Equation II-1 [8]}$$

Où « u » est la densité totale d'énergie, « S » le vecteur de Poynting, « J » la densité de courant et « E » le champ électrique.

Plusieurs méthodes de mesure ont été mises au point par plusieurs pays, principalement en France, en Allemagne, en Italie, aux Etats-Unis et au Japon. Conduites entre autres par l'industrie automobile, la mise au point de ces méthodes de mesures fut un début de réponse aux problèmes d'influences électromagnétiques que connaissait cette industrie, et qui s'amplifiaient avec l'augmentation du nombre de circuits embarqués sur les automobiles.

La SAE (Society of Automotive Engineers) a proposé une méthode utilisant une cellule TEM (figure II-1 [6]) pour la mesure des émissions rayonnées entre 150 kHz et 1 GHz. La cellule TEM, permet de réaliser les mesures d'émission propre d'un composant, en incluant la totalité de ses émissions, sans nécessiter l'utilisation d'une chambre anéchoïque ni d'antennes conventionnelles avec les limitations fréquentielles, les non-linéarités de phase, la directivité ou la polarisation qui leur sont propres. La cellule TEM (Transverse Electromagnetic Mode) est une ligne de transmission, adaptée 50Ω et élargie, qui propage l'onde TEM d'une source externe ou interne. Cette onde est caractérisée par des champs électriques (E) et magnétiques (H) orthogonaux entre eux et perpendiculaires à la direction de propagation le long de l'axe longitudinal de la cellule. [6]

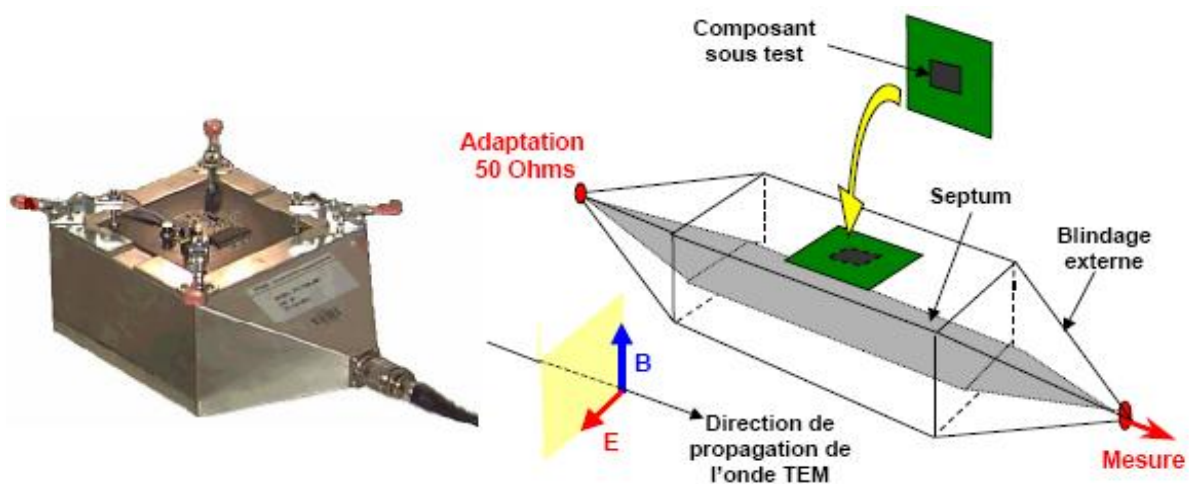


Figure II-1 : la cellule TEM

L'originalité de la méthode est que la carte carrée où est placé le circuit à tester ne sera pas mise à l'intérieur de la cellule, comme dans de nombreux tests de CEM, mais fera partie intégrante du blindage externe de masse de la cellule en le prolongeant. Seul le circuit intégré se trouve ainsi à l'intérieur de la cellule, les composants associés étant placés à l'extérieur (Figure II-2 [6]). Le septum, qui est la plaque métallique figurant l'âme de la ligne de transmission et assurant par sa géométrie l'adaptation 50Ω sur toute la longueur de la cellule, reçoit l'onde émise par le circuit et la propage vers le récepteur de mesure. [6]

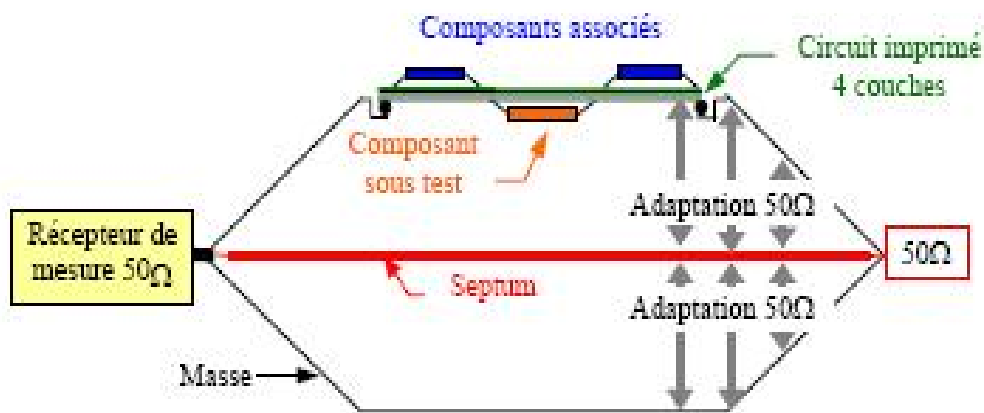


Figure : Vue en coupe de la mesure en cellule TEM.

Analogue à la cellule TEM la GTEM permet d'augmenter cette gamme jusqu'à 24 GHz selon les modèles et le volume utile interne. La (figure II-3 [1]) illustre une cellule GTEM.

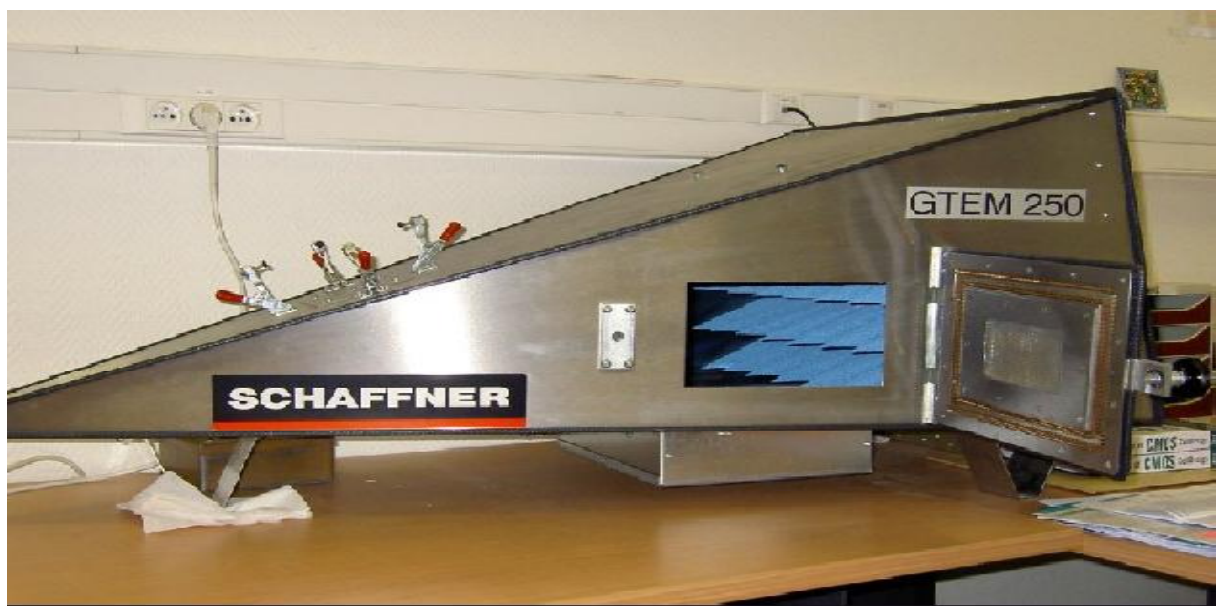


Figure II-3 : cellule GTEM

D'autres méthodes existent, nous pouvons ainsi citer celle basée sur le WBFC (Workbench Faraday Cage –voir figure II-4 [19]) qui a été proposée par un groupe néerlandais et qui reprend le principe de la cage de Faraday pour la mesure des émissions conduites entre 150 kHz et 1 GHz.

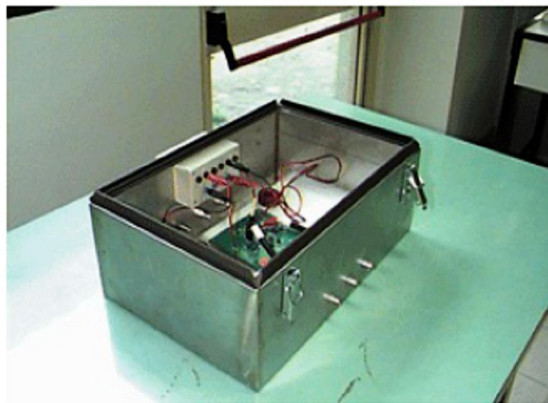


Figure II-4: Photo du Workbench Faraday Cage.

En octobre 1997, le sous-comité 47A de l'IEC a décidé de créer un groupe de travail (Working Group WG9) pour analyser les méthodes de mesure suggérées pour les circuits intégrés. Après une discussion approfondie, il a été décidé de créer une « boîte à outils » (tool box) de cinq méthodes pour évaluer la CEM des circuits intégrés : La mesure par une cellule TEM, la technique de scan surfacique, la méthode $1\Omega/150\Omega$, la technique de mesure utilisant la WBFC (Workbench Faraday Cage) et la méthode utilisant une sonde magnétique. [1]

II) Estimation des éléments RLC

La résistance, la capacité et l'inductance parasite des différents conducteurs peuvent être estimées à l'aide des équations suivantes :

a) La résistance

L'évaluation des paramètres résistifs peut être obtenue en appliquant les formules considérant la résistance par carré (figure II-5 [4]). La résistance par carré, $R_{\square}$, correspond à une portion de conducteur dont la longueur est égale à la largeur, vu de haut. La résistance par carré est d'autant plus grande que la section du conducteur est faible.

$$R_{\square} = \rho \cdot \frac{1}{S} = \rho \cdot \frac{W}{W \cdot e} = \frac{\rho}{e}$$

Équation II-2 [4]

Avec :

e : épaisseur du métal (μm)

w : longueur d'un carré élémentaire (μm)

l : longueur totale du conducteur (μm)

S : section du conducteur (μm^2)

ρ : résistivité du métal ($\Omega \cdot \mu\text{m}$)

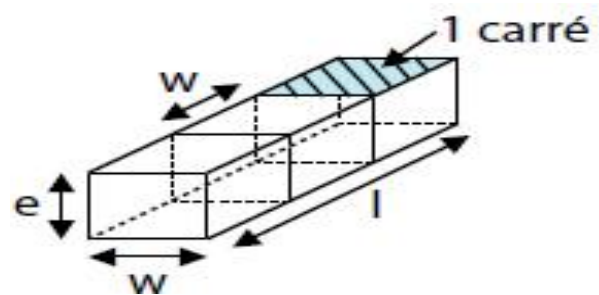


Figure II-5 : principe de la résistance par carré

$\rho_{\text{Al}} = 0,0277 \Omega \cdot \mu\text{m}$ résistivité de l'aluminium

$\rho_{\text{Cu}} = 0,0172 \Omega \cdot \mu\text{m}$ résistivité du cuivre

$\rho_{\text{Au}} = 0,022 \Omega \cdot \mu\text{m}$ résistivité de l'or

Quelque soit le type de boîtier considéré, la valeur de la résistance est généralement comprise entre 50 m Ω et 500 m Ω . A cause de l'effet de peau, la résistance tend à augmenter avec la fréquence. [4] [6]

b) La capacité

En considérant la figure II-6 [4] :

W : largeur du métal (μm)

e : épaisseur du métal (μm)

h : hauteur par rapport au substrat (μm)

d : distance séparant deux broches (μm)

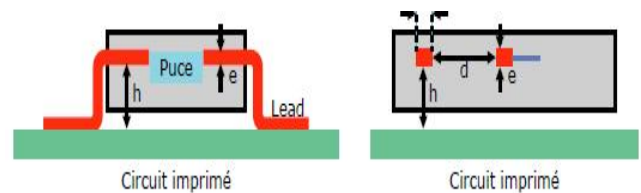


Figure II-6 : capacité entre un conducteur (lead) et le substrat

Afin d'estimer la capacité d'un conducteur, un (lead) par exemple, il est possible d'utiliser la formule suivante :

$$C_{\square} = \epsilon_0 \epsilon_r \frac{1.82}{\left(\frac{h}{e} \right)^2 + 1} \frac{1}{\left(\frac{d}{e} \right)^2 + 1} \approx 0.43 \text{ Equation II-3 [4]}$$

Avec :

ϵ_0 et ϵ_r sont respectivement la permittivité du vide ($\epsilon_0 = 8,85 \cdot 10^{-12}$ F/m) et la permittivité relative de l'isolant (pour SiO2 $\epsilon_r = 3,9$). De plus, ces formulations analytiques sont valables pour des rapports w/h et e/h supérieurs à 0,02 et inférieurs à 5,12. [4] [6]

c) L'inductance

De même que la capacité et la résistance une formule nous permet de rendre compte de l'inductance d'un conducteur (bonding) en considérant le substrat relié au plan de masse on a alors :

d : diamètre du fil (m)

h : hauteur par rapport au plan de masse (m)

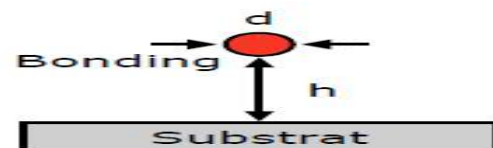


Figure II-7 : Calcul de l'inductance d'un bonding. [4]

$$L = \mu_0 \mu_r \frac{1}{2\pi} \ln \left(\frac{4h}{d} \right) \quad \text{Equation II-4 [4]}$$

Où μ_0 et μ_r sont respectivement la perméabilité du vide ($\mu_0 = 1,257 \cdot 10^{-6}$ H/m) et la perméabilité relative de l'air ($\mu_r = 1$). [4]

Il est aussi possible de calculer les paramètres inductifs des conducteurs de type interconnexion sur silicium en considérant l'équation II-5, illustrée par la figure II-8. [6]

$$L_{\text{int}} = \mu_0 \mu_r \frac{1}{2\pi} \ln \left(\frac{4h}{w} \right) \frac{w}{2h} \quad \text{Equation II-5 [6]}$$

W = largeur du métal (m)

h = hauteur par rapport au substrat (m)

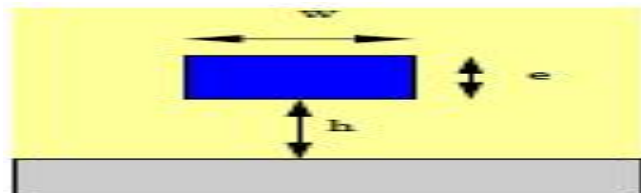


Figure II-8 : Calcul de l'inductance d'un conducteur de type interconnexion au dessus d'un plan de masse.

Les valeurs typiques de l'inductance et de la capacité des boitiers les plus utilisés sont présentés dans le tableau II-1. [4]

Boîtier	Description	Capacité d'un <i>lead</i>	Inductance d'un <i>lead</i>
	Dual in line (DIL)	1 – 10 pF	2 – 15 nH
	Shrink dual in line (SDIL)	1 – 10 pF	1 – 10 nH
	Small outline package (SOP)	1 – 7 pF	1 – 7 nH
	Quad flat package (QFP)	2 – 5 pF	3 – 7 nH
	Bold gate array (BGA)	1 – 10 pF	0.5 – 10 nH
	Fine pitch ball gate array (FBGA)	1 – 20 pF	0.5 – 10 nH
	Mold chip scale package (MCSP)	1 – 15 pF	0.5 – 5 nH

Tableau II-1 : Capacité et inductance de boîtiers usuels.

III) Standard IBIS et son utilisation en CEM des circuits intégrés

a) Description

Le modèle IBIS (Input/Output Buffer Information Specification) a été créé par INTEL pour son processeur 80386 afin de pouvoir fournir à ses clients les caractéristiques des circuits d'entrée/sortie, sans révéler d'information technologique. Ce type de modèle est publique depuis juin 93 (version 1.1), il est devenu un standard de l'Electronic Industry Association (EIA) en mars 95 et a subi des améliorations successives jusqu'à la 4ème version (juillet 2002).

Le modèle IBIS est un modèle comportemental qui caractérise uniquement les entrées/sorties des composants numériques. Il permet de décrire un étage d'entrée/sortie sans avoir son schéma électrique ce qui garantit au fondeur la confidentialité de la structure interne et des paramètres technologiques. Ce modèle est particulièrement destiné à la simulation de cartes ou de systèmes complets, notamment au niveau de l'intégrité de signal (synchronisation,

délais, diaphonie...). Le fichier IBIS contient ainsi, dans un format ASCII, toutes les informations sur chacun des composants de ces modèles :

- le boîtier : R_{pkg} , L_{pkg} et C_{pkg}
- les entrées et sorties : C_{pin}
- les tableaux I (V) pour les diodes de protection reliées à la masse et au VDD.
- les tableaux I (V) pour les transistors Pull-up et le Pull-down en sortie de l'inverseur.
- les tableaux des temps de montée (dV/dt_r) et de descente (dV/dt_f).

Pour la plupart de ces données, le modèle nécessite des valeurs typiques, minimum et maximum. [6] [18]

Un exemple de description IBIS (partie initiale) d'un composant est donné Figure II-9 [6]. Il s'agit d'un fichier texte décrivant les structures actives des paramètres parasites du boîtier.

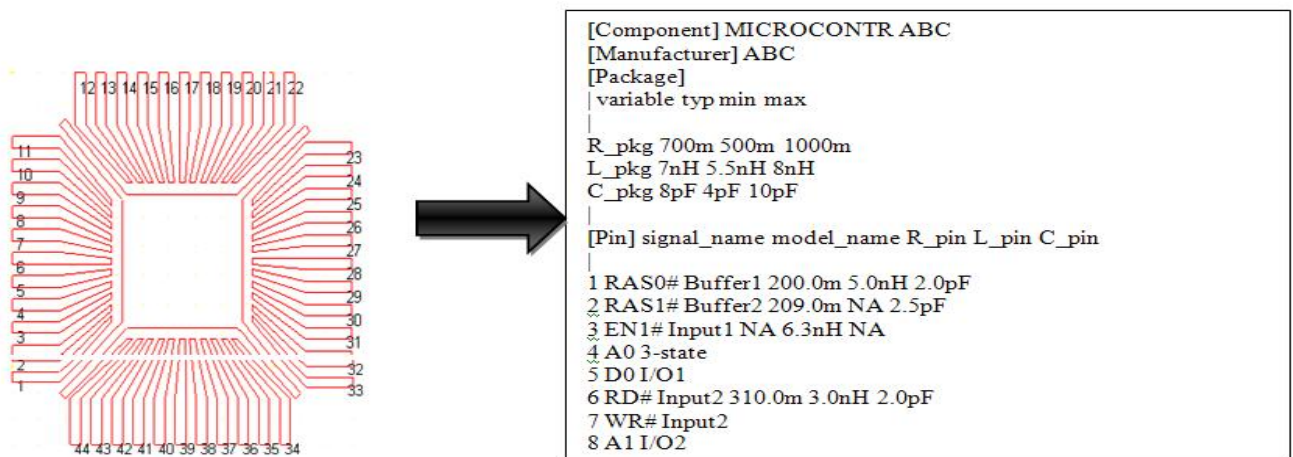


Figure II-9 : Description du boîtier et de la puce par le modèle IBIS.

b) Modèle IBIS d'une entrée

Le modèle d'une entrée, (Figure II-10 [6]) est généralement constitué de :

- la liaison entre la puce et la broche externe (boîtier) : elle se caractérise par une capacité de boîtier C_{pkg} , une résistance R_{pkg} et d'une inductance L_{pkg} incluant la piste du boîtier en fil d'or de liaison puce/boîtier (bonding).

- l'étage d'entrée de la puce : il est modélisé par deux diodes de protection l'une reliées à la masse et l'autre à l'alimentation VDD (VDD_{pin} et GND_{pin}) et par la capacité d'entrée du composant C_{pin} .

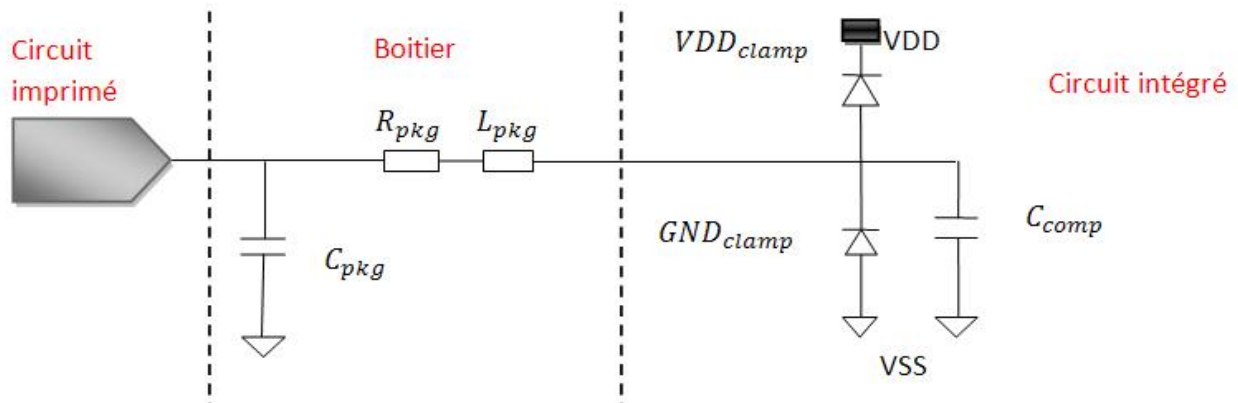


Figure II- 10 : Modèle IBIS d'une entrée.

c) Modèle IBIS d'une sortie

Plutôt que de fournir les paramètres SPICE pour différents modèles standards de dispositifs, le modèle IBIS donne la courbe de réponse I(V) de la sortie correspondant pour les buffers à $V_G = VDD$ (Figure II-11 [6]). Ceci permet une simulation assez précise tout en préservant le caractère confidentiel des paramètres technologiques et en étant indépendant du modèle et de son implémentation logicielle.

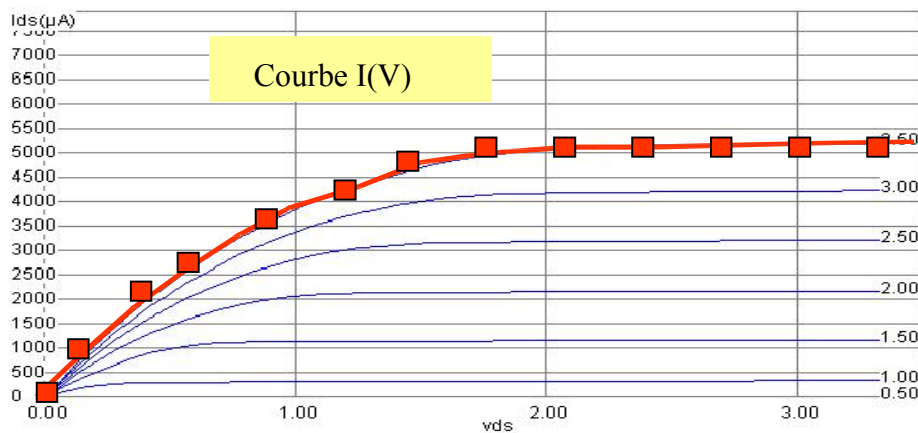


Figure II-11 : Caractéristique I(V) permettant de simuler la réponse d'une sortie tout en préservant la confidentialité des paramètres technologiques.

Ces données peuvent être déterminées soit par simulation réalisées par le fondeur pour $V_G = VDD$, soit par mesure, en injectant une tension à la sortie et en mesurant le courant.

Le modèle d'une sortie est alors généralement constitué de (Figure II-12 [6]) :

- La liaison entre la puce et la broche externe (boîtier)

-L'étage de sortie de la puce : il est modélisé par la capacité de sortie

C_{out} du composant, les diodes de protection l'une reliée à la masse et l'autre à l'alimentation VDD, et par les caractéristiques $I(V)$ de pull-up et de pull-down de l'inverseur de sortie.

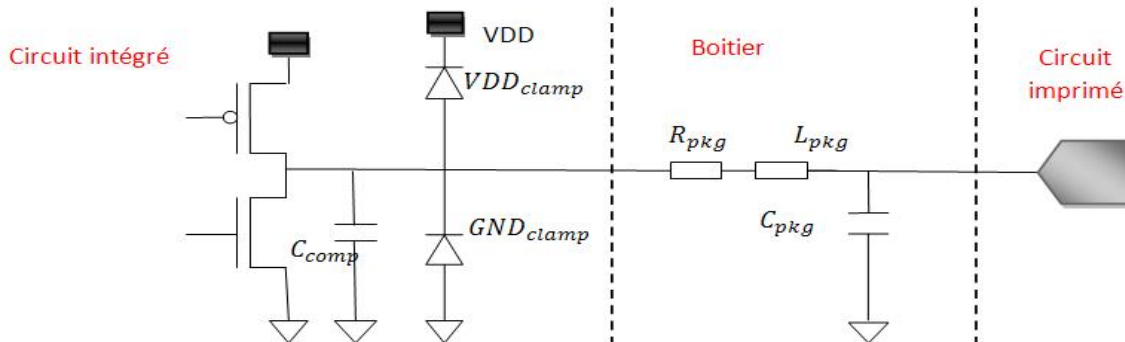


Figure II-12 : modèle IBIS d'une sortie.

Il est à noter que le modèle IBIS renseigne également sur les caractéristiques dynamiques du composant, temps de montée, temps de descente des signaux, retards etc. On calcule par exemple les pentes de ces signaux temporels pour la transition de 20% à 80% (ou inversement) de la tension finale.

d) Limites du modèle IBIS

Le modèle IBIS permet de simuler correctement les phénomènes d'intégrité des signaux malgré une représentativité limitée dans le domaine fréquentiel. Dans le cadre de composants simples, les résultats obtenus par la simulation sont en général relativement proches de ceux mesurés. Pour les simulations CEM le modèle IBIS est insuffisant. IBIS ne prend en effet pas en compte :

1. les sources de perturbations sur les entrées/sorties liées à l'activité interne du composant.

Pour les composants à forte intégration cette activité est souvent à des fréquences beaucoup plus élevées que celles des signaux E/S. La Figure II-13 [6] illustre le fait que le spectre simulé est plus pauvre que le spectre mesuré.



Figure II-13 : spectre mesuré et simulé pour des composants complexes.

2. les variations du courant d'alimentation dues à la commutation simultanée des buffers et à l'activité interne du composant ne sont pas modélisées. Ces perturbations véhiculées par les alimentations (« Ground bounce » Figure II-14 [6]) ont un rôle prépondérant sur le comportement en rayonnement des circuits imprimés.

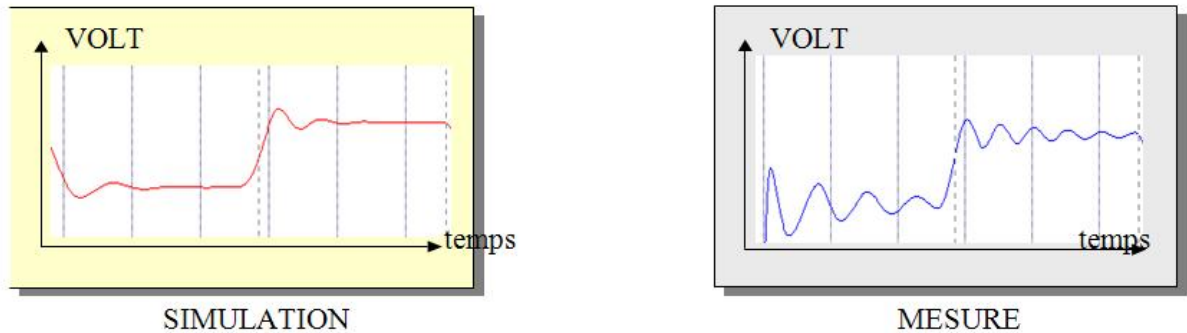


Figure II-14 : différence entre la forme d'onde simulée et celle mesurée.

3. le champ électromagnétique émis directement par le composant n'est pas traité. Les effets d'antenne des éléments boîtier, l'effet d'antenne du substrat de la puce, ou encore les boucles de courant interne à la puce notamment dans les rails d'alimentation ne sont pas modélisés.

e) Modèle IMIC

Le modèle IMIC (I/O Interface Model for Integrated Circuits) est proposé par l'Electronic Industries Association of Japan (EIAJ) comme une amélioration du modèle IBIS actuel.

Le modèle IMIC inclut la description des interconnexions qui lient à l'intérieur du composant les étages de sortie. Cette description des interconnexions est donnée au format SPICE. Il offre aussi la possibilité d'ajouter des stimuli sur les étages internes. De plus, il propose de dissocier le modèle en trois entités : la puce, le boîtier et le module (Figure II-15 [6]). Par ailleurs, il permet d'ajouter des informations de mutuelle inductance et mutuelle capacité entre les broches du boîtier. En outre, il est capable de générer un format IBIS. [18]

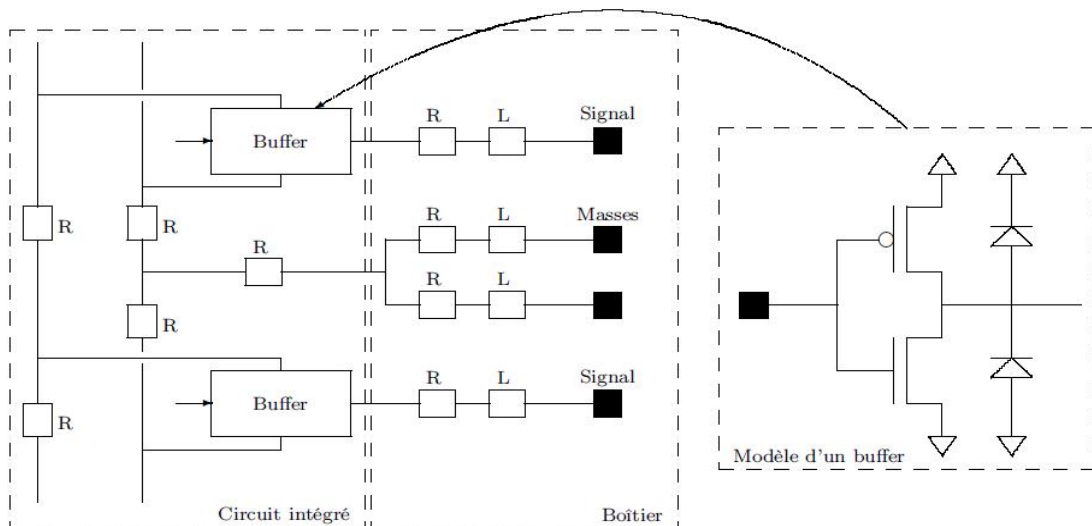


Figure II-15 : modèle IMIC

Le modèle IMIC propos

-Le niveau de base considère l'intégrité du signal, et permet donc d'évaluer le bruit des signaux en partant des hypothèses suivantes : les circuits de masse et d'alimentation sont parfaits, et les structures de boîtiers sont simples. En conséquence, ce niveau est équivalent au modèle IBIS.

-Le niveau intermédiaire est basé sur l'intégrité de l'alimentation. Ici, il est possible de simuler les phénomènes de ground bounce et VDD bounce. Ces simulations sont menées en considérant des masses non idéales ainsi qu'une structure de boîtier plus complexe.

-Le dernier niveau prend en compte les aspects CEM, ce qui en fait le niveau le plus précis. En effet, il ne se contente pas de couvrir uniquement les deux précédents niveaux, mais prend en compte les aspects tridimensionnels de la structure du boîtier, ainsi que l'ensemble des courants qui s'écoulent à travers le composant.

Étant plus proche de l'implémentation physique du composant, le modèle IMIC présente l'avantage d'offrir des simulations plus précises que le modèle IBIS. De plus, il est possible de rajouter des générateurs internes. Cependant, ce modèle ne propose aucun moyen d'identifier et de quantifier ces sources internes. Enfin, certaines données prises en compte dans le modèle peuvent être considérées par le fondeur comme confidentielles : c'est le cas pour les résistances d'accès entre le plot et le buffer.

IV) Modèle ICEM

a) Besoins d'un modèle de compatibilité électromagnétique

1) Format d'échange fabricant utilisateur

Être capable de fournir un modèle CEM d'émission d'un composant est aujourd'hui un argument commercial pour le fondeur car il permet à l'équipementier de simuler son système électronique complet avant même qu'il ne soit fabriqué. L'équipementier peut ainsi s'assurer, sans campagnes de mesures coûteuses, de la conformité de son système en cas d'évolution technologique, et peut aussi prendre les dispositions nécessaires (circuits imprimés, composants de découplage, filtres), pour satisfaire aux normes de son équipement.

Le modèle doit donc tenir compte des contraintes de cet échange. Il doit être :

- Non confidentiel

- Rapide à simuler

- Facile à mettre en œuvre

Les méthodes d'obtention des paramètres du modèle devront aussi être variées pour couvrir les situations diverses que sont le cas du fondeur, qui peut recourir à ses bibliothèques technologiques et utiliser le modèle pour des simulations prédictives d'émission du composant, et le cas de l'utilisateur disposant de peu d'information sur son composant et souhaitant obtenir par la mesure les paramètres de ce modèle.

2) Standard international

Cependant, afin que cet échange entre fabricants de circuits intégrés et utilisateurs soit possible de manière régulière, on aura intérêt à trouver un langage de communication commun entre fondeurs et clients : une norme peut remplir cette fonction. Pour cette raison, le modèle ICEM décrit ci-dessus a été proposé par le groupe UTE 47A (EMC Task Force) pour la normalisation à l'IEC (International Electrotechnical Commission), sous la référence « IEC 62014-3 : Models of integrated circuits for EMI behavioral simulation, ICEM ».

Tout comme les normes de mesure d'émission des circuits intégrés qui lui sont associées, le modèle ICEM n'a pas vocation à imposer des niveaux maximum d'émission, mais seulement à mettre sous un format commun des données qui pourront ensuite être comparées et mises en œuvre selon les besoins propres des utilisateurs. [6]

3) Utilisation dans les outils de simulation

L'intérêt d'une telle norme est aussi d'inciter à des évolutions, à des prises de conscience des problèmes de CEM, chez les fabricants, les utilisateurs ou encore chez les créateurs de logiciels de simulations d'émissions électromagnétiques de cartes électroniques. Ainsi, les logiciels évoqués ci-dessus ne prennent aujourd'hui pas encore en compte les alimentations des circuits intégrés et des cartes comme éléments importants d'émission.

b) Apport scientifique du modèle ICEM

Le modèle d'émission nommé ICEM (Integrated Circuit Electromagnetic Model) est complémentaire du modèle IBIS. Il peut notamment utiliser les mêmes modèles de boîtiers ou être inséré comme modèle spécifique.

Le modèle ICEM comprend l'activité interne du composant et les éléments parasites passifs. Son apport en comparaison des modèles IBIS et IMIC, est la prise en compte de l'activité

interne du composant, sous la forme d'éléments actifs. Dans les composants CMOS, la commutation simultanée des portes logiques due aux activités propres du composant (calcul, transferts en mémoire etc.) crée des appels de courants sur les alimentations : ce sont les bruits parasites générés par l'activité des circuits intégrés.

Ces bruits se propagent selon deux modes : un mode de conduction et un mode de rayonnement direct. On distingue dans la propagation en mode conduit le cas où ces perturbations se couplent aux alimentations, et le cas où elles se couplent aux entrées/sorties du composant. [6]

c) Description du modèle ICEM

Le modèle ICEM est dédié à la simulation de l'émission conduite et rayonnée due à l'activité interne des circuits et à la commutation des entrée/sortie, ainsi que l'analyse de l'auto-susceptibilité ou de l'immunité interne.

Le formalisme du modèle ICEM est basé sur l'architecture interne du circuit intégré. Il est bâti sur le modèle des différents blocs qui constituent un CI. Chaque'un de ces modèles de blocs est lui-même bâti sur plusieurs composants qui décrivent son fonctionnement. Nous trouvons ainsi, le PDN (Passive Distribution Network), le IA (Internal Activity) et le IBC (Inter Bloc Coupling), qui décrit le couplage entre deux différents blocs. Les différents blocs du modèle ICEM sont illustrés par la figure II-16 [8], alors que la figure II-17 [8] illustre les composants internes qui constitue un bloc ICEM.

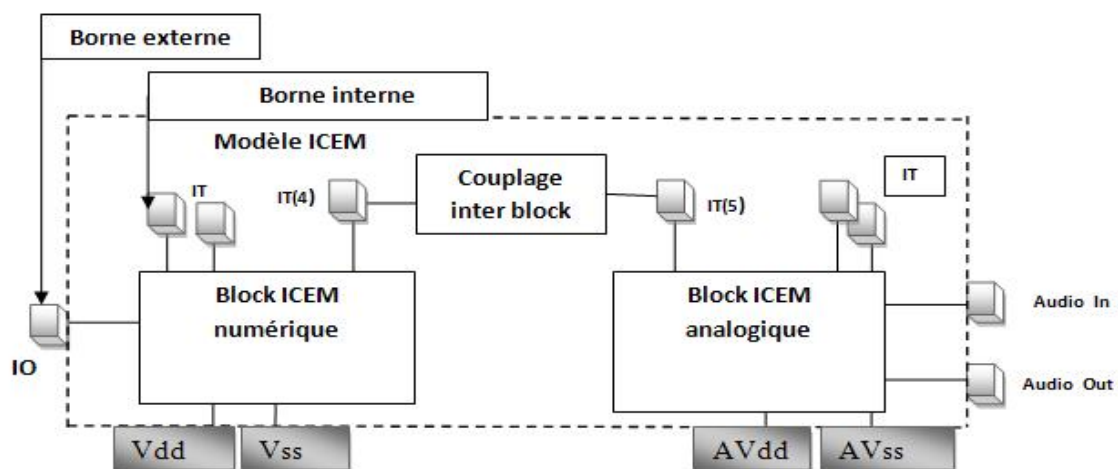


Figure II-16 : Les blocs constituant le modèle ICEM.

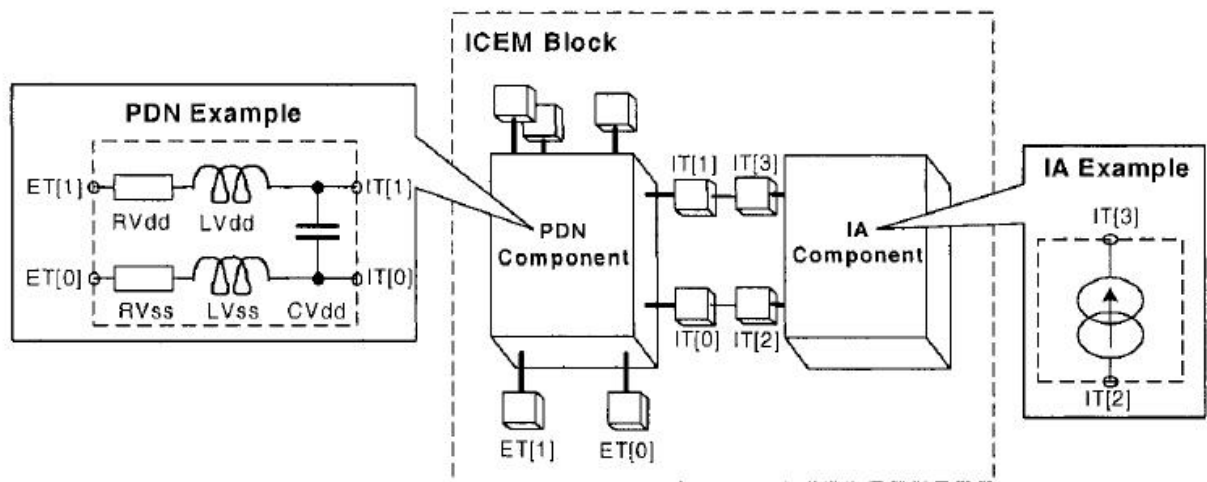


Figure II-17 : constituant d'un bloc ICEM.

d) Composition du modèle ICEM

La figure II-18 [6] [2] illustre un exemple de modèle ICEM, on y remarque qu'il est en majorité constitué d'éléments passifs représentant les différentes parties du circuit intégré du boîtier jusqu'au cœur qui lui est représenté par une source de courant, voici donc la liste de ces éléments :

- $R_{packV_{dd}}$ et $R_{packV_{ss}}$ sont respectivement la résistance de boîtier de l'alimentation positive V_{dd} , et la résistance de boîtier de la masse V_{ss} .

- C_d : représente une capacité de découplage interne entre les rails d'alimentation interne V_{DD} et V_{SS} elle schématise un couplage physique entre la phase et la masse sa valeur est inférieure à 100nf pour les petits circuits intégrés.

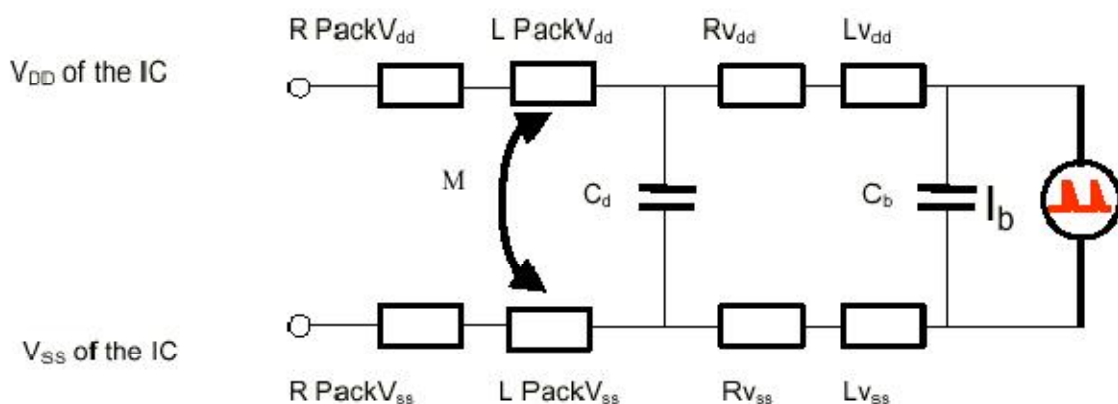


Figure II-18 : Une représentation du modèle ICEM.

-LPackVdd et LpackVss : représentent les inductances équivalentes des rails d'alimentations VDD et VSS respectivement leur valeur est approximativement de 0.1 nH dans les cas des petites connections avec l'alimentation jusqu'à 10 nH dans le des longues connections.

-Lvdd, Lvss : ce sont les inductances séries internes des railles VDD et VSS respectivement, placées en série avec la capacité Cb, elles constituent un circuit résonant avec de grandes fréquences de résonance. Respectivement la valeur de ces inductances est la même que pour LPackVdd et LpackVss

-M, inductance mutuelle entre LpackVdd et LpackVss

-Rvdd, Rvss : ce sont les résistances du réseau d'alimentation, elles modélisent les connections entre le bloc d'alimentation et la boucle d'alimentation. Leur valeur varie entre 0.5 et 50 Ohm.

-Cb : c'est une capacité de découplage de bloc elle schématise un couplage entre la broche d'alimentation et la masse, en parallèle avec la source de courant représentant l'activité interne du circuit intégré, c'est une capacité de découplage de cette source. Sa valeur varie de 10 pF à 1 nF.

- Ib : générateur de courant.

Ces différents éléments sont compartimentés en composant dont voici la liste et les caractéristiques :

1) Composant PDN

Le réseau de distribution passif PDN (passive distribution network) représente une structure d'impédance, généralement un circuit R, L, C, vu entre les bornes d'un circuit. Il faut bien faire la différence entre le PDN du boîtier généralement inductif et le PDN interne du circuit généralement résistif. La figure II-19 [14] représente une modèle ICEM très simple. On y remarque notamment un PDN du boîtier représenté par de simples inductances représentant les rails d'alimentation (LPackVdd, LpackVss), alors que le PDN interne au circuit est lui représenté par un circuit R, L, C.

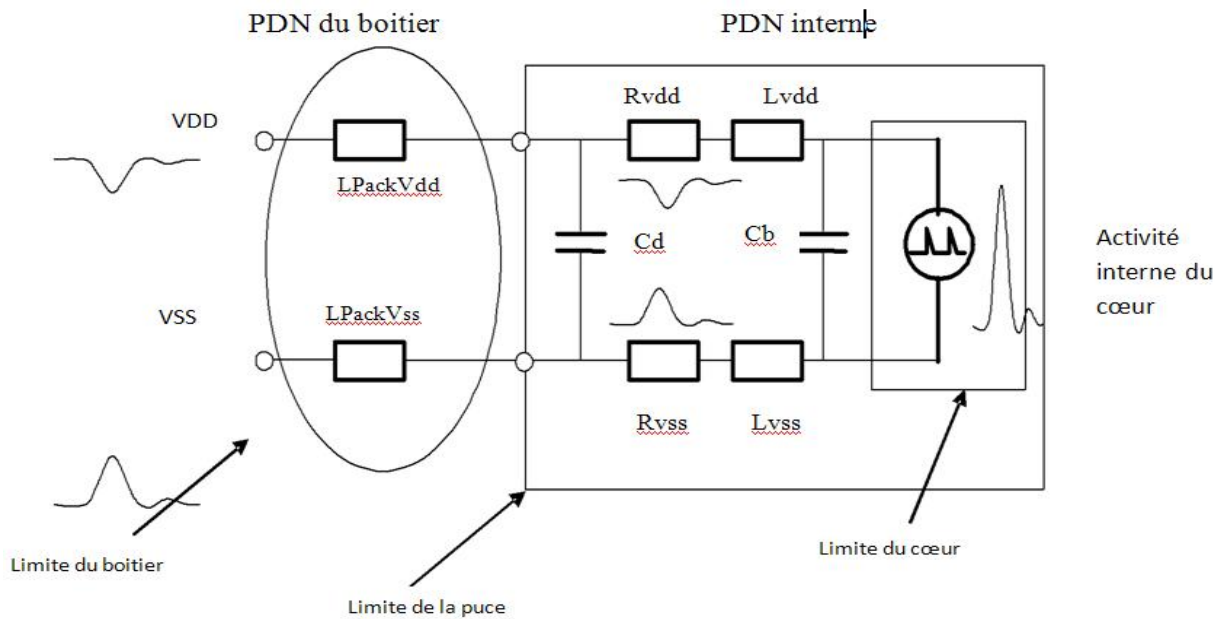


Figure II-19 : modèle de l'activité interne (IA) ainsi que les réseaux de distribution passifs PDN.

2) Composant IA

Le composant IA (internal activity, activité interne) décrit l'activité interne en terme de courant, la norme ICEM n'imposant pas de façon de la modéliser, on peut donc le faire par une source de courant triangulaire ou bien, une source linéaire par morceaux PWL (Piece Wises Linear). Ce composant décrit plus particulièrement le basculement simultané des nombreuses portes logiques qui constituent un circuit intégré. Par exemple pour un microprocesseur constitué de 3000 à 300000 portes logiques, une partie seulement des ces portes est simultanément activée (jusqu'à 10%). Le tableau II-2 [14] donne une idée sur le nombre de ces portes selon la génération du microprocesseur.

Génération du microprocesseur	Nombre de portes logiques	Nombre de portes activés par cycle d'horloge
8 bits	3000-5000	300-500
16 bits	15000-100000	1500-10000
32 bits	50000-300000	5000-30000

Tableau II-2 : nombre de portes totales et actives selon la génération du microprocesseur.

Le tableau II-3 [14] détaille la tension d'alimentation, la densité de portes par mm^2 , la fréquence d'horloge, l'intensité du courant pour chaque porte ainsi que la vitesse de basculement pour les technologies CMOS les plus courantes.

Année	Tension d'alimentation en volt (V)	Densité de porte (K/mm ²)	Fréquence d'horloge (MHz)	Intensité du courant par porte (mA/portes)	Temps de basculement
1990	5	15	4-90	0.9	0.5 ns
1993	5	28	8-120	0.7	0.3 ns
1995	5-3.3	50	16-300	0.6	0.2 ns
1997	5-2.5	90	40-450	0.4	0.12 ns
1999	3.3-2	160	100-900	0.3	0.1 ns
2001	2.5-1.2	240	150-1200	0.2	70 ps
2004	2.5-1	480	300-2000	0.15	40 ps
2007	2.5-1	900	500-3000	0.1	25 ps
2009	2.5-0.7	1500	800-5000	0.08	15 ps
2011	1.8-0.7	2500	1000-7000	0.06	10 ps
2014	1-0.6	4000	1000-10000	0.05	7 ps

Tableau II-3 : intensité de courant par porte et temps de basculement correspondant pour différentes technologies.

3) Composant IBC

Le composant IBC (Inter Bloc Coupling, couplage inter bloc) décrit une connexion interne entre deux bornes. Un exemple d'IBC est donné par la figure II-20 [8], il représente le lien entre deux bornes de masse interne (numérique IT4 et analogique IT5), il peut être une simple résistance ou bien tout un réseau d'impédance. Les liaisons internes et externes ne sont pas des composants d'ICEM mais juste un ensemble de nœuds, les externes permettent aux composants externes d'être liés au circuit, ils sont soit des broches d'alimentation ou bien d'entrées sorties, les internes permettent de lier les autres modules d'ICEM (PDN, IA, IBC). Avec ces trois composantes le modèle ICEM est à même de décrire l'architecture complète d'un circuit intégré, le module PDN décrivant les entrées sorties pour les impédances d'entrée et sortie et le module IA celle de l'activité interne et le IBC pour les différents couplages qui peuvent exister entre les différents blocs de ce circuit. [8]

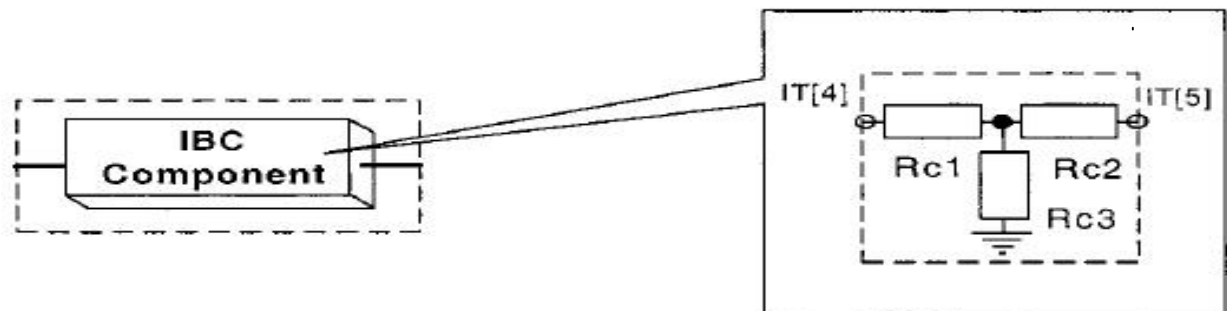


Figure II-20 : exemple de modèle du couplage inter bloc (IBC).

e) Différentes formes du modèle

A partir des éléments décrits ci-dessus, le modèle ICEM peut suivre certaines variations selon le type et la structure de ses alimentations.

-Cas d'une alimentation commune aux parties digitales et aux entrées/sorties (Figure II-21 [6]) :

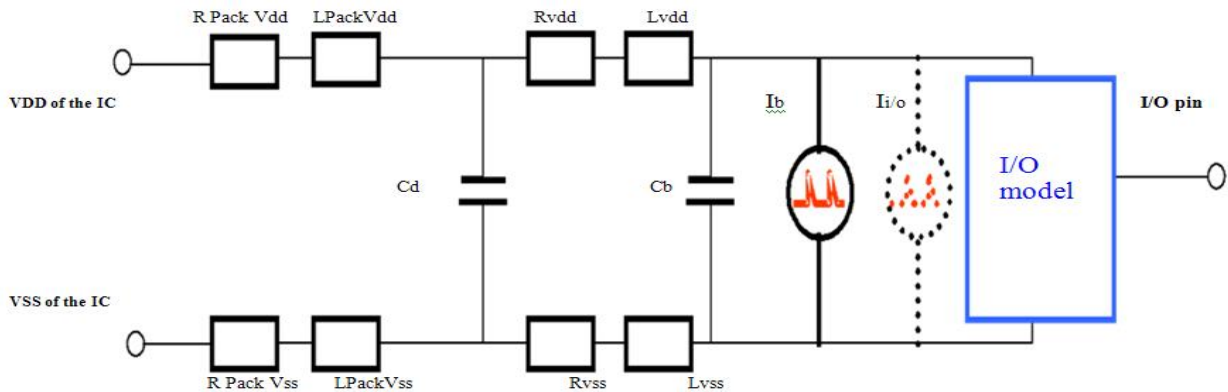


Figure II- 21 : Alimentation unique pour le digital et les entrées/sorties.

Dans ce cas, le modèle des entrées/sorties peut être identique à celui décrit dans IBIS. Nous pouvons aussi représenter l'activité des entrées/sorties de la même manière que l'activité interne c'est-à-dire par un générateur de courant équivalent.

-Cas d'alimentations séparées (Figure II-22 [6]) :

Lorsque les alimentations sont séparées, on utilise des structures identiques pour la partie digitale et pour la partie I/Os. Ces deux alimentations sont reliées par une impédance Z_{sub} qui rend compte de l'impédance du substrat de silicium, qui est commun à toute la puce. Les valeurs typiques de l'impédance de substrat sont de 1 à 10 Ohms.

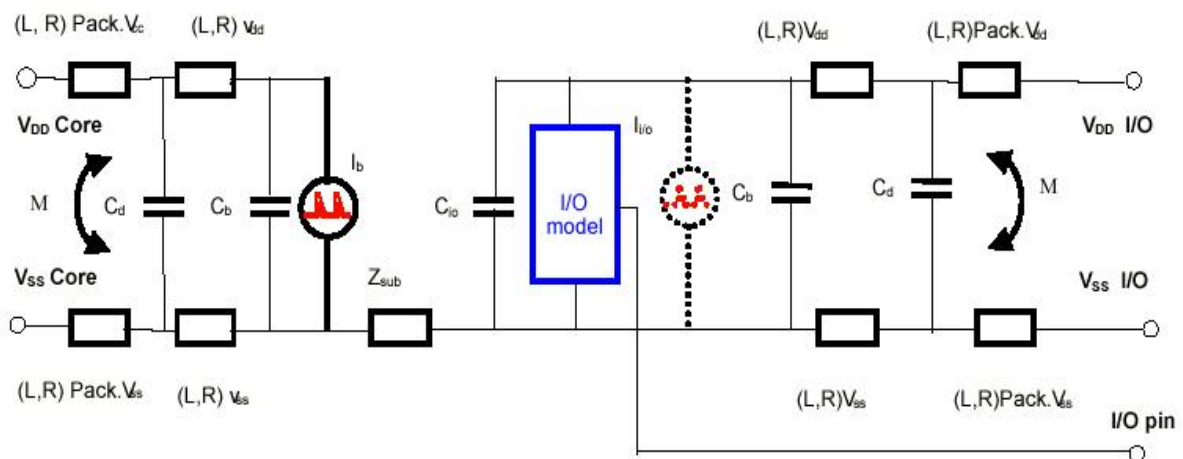


Figure II-22 : Alimentations séparés pour le digital et les entrées/sorties.

-Cas d'alimentation avec régulateur de tension intégré sur la puce (Figure II- 23 [6]) :

Lorsqu'un régulateur de tension a été placé sur la puce afin de transformer une tension d'alimentation élevée (+5V par exemple) en alimentation plus basse tension pour la partie digitale (cœur du composant), on peut avoir recours à la résistance R_{vdd} pour assurer cette chute de tension.

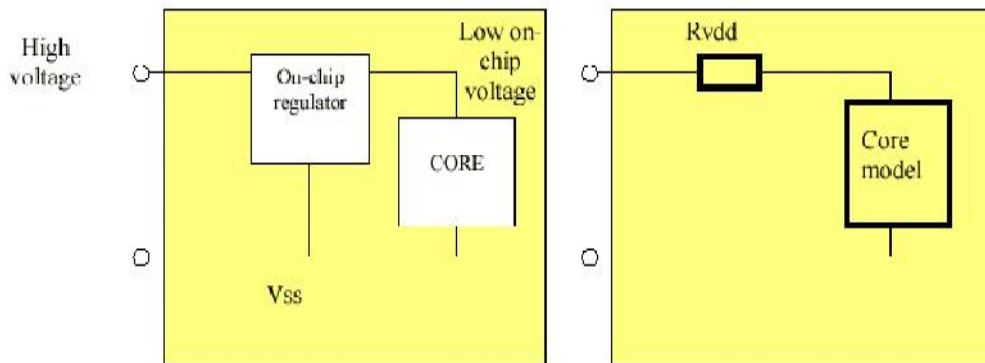


Figure II- 23 : Alimentation avec régulateur de tension incorporé au silicium.

f) Conception du modèle ICEM

Pour établir le modèle ICEM, différentes données sont nécessaires. Celles-ci peuvent être extraites directement du layout du circuit par le fondeur, obtenu par mesures, simulation ou bien fournies par des fichiers type IBIS. La conception du modèle ICEM peut se diviser en quatre parties représentées par la figure II-24 [1] :

-Modèle de boîtier : un modèle électrique des broches du boîtier peut être déduit directement du fichier IBIS ou extrait de mesures (analyseur de réseau, réflectométrie) ou de simulation électromagnétique.

-Modèle des E/S : en émission, on ne s'intéresse qu'aux E/S configurées en sortie. Le modèle ICEM réutilise le formalisme d'IBIS dans lequel une sortie est représentée par deux transistors équivalents de pull up et de pull down. Les paramètres de taille et du modèle de ces deux transistors peuvent être déduits des caractéristiques $I(V)$, données par IBIS ou obtenues par mesure.

-Modèle du réseau d'alimentation : l'extraction d'un modèle précis du réseau d'alimentation interne du circuit peut se faire en simulation à condition de disposer d'informations concernant le routage du circuit. Il peut aussi être extrait par mesure de paramètres S entre les différentes broches du boîtier.

-Modèle du cœur : il s'agit d'extraire la source de courant équivalente représentant l'activité interne et la capacité associée C_b . Ces paramètres peuvent être extraits d'une simulation du

courant de cœur, mais il est nécessaire de disposer du layout ou de netlist du circuit. Cependant, en mesurant le courant d'alimentation en externe du circuit, il est possible de construire un modèle de cœur. La structure d'ICEM permet à la fois de faire de l'analyse de l'émission conduite et rayonnée. La structure du PDN permet la simulation de l'impédance du réseau d'alimentation interne et de faire apparaître les différentes résonances qui vont affecter le bruit conduit. Par contre, la prédiction de l'émission rayonnée nécessite de simuler le comportement électrique du circuit et le rayonnement électromagnétique du circuit associé à son activité. [1]

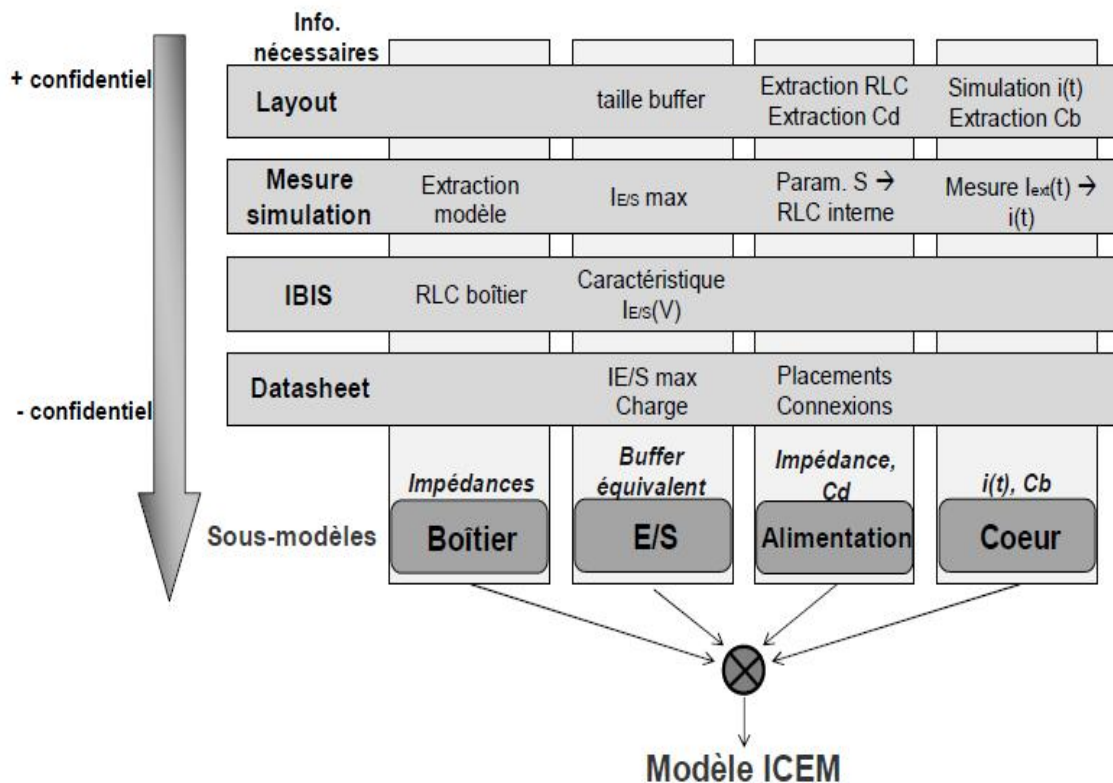


Figure II-24 : Flot de conception du modèle ICEM.

V) Modèle LECCS

Le modèle LECCS (Linear Equivalent Circuit and a Current Source model) a été développé par l'université d'Osaka au Japon. D'abord destiné à la modélisation du bruit RF sur les plots d'alimentation (LECCS-core, le modèle a été étendu à la modélisation des E/S (LECCS-I/O. Ce modèle, très proche du modèle ICEM, contient les mêmes éléments que ce dernier (Figure II-25 [8]). Il intègre donc des sources de courant, représentant l'activité du cœur et des E/S, et des impédances $Z(f)$ ou R , L , C , représentant les différentes parties du circuit intégré (impédance du cœur, des E/S, du boîtier, de la carte...). Par rapport à ICEM, ce modèle est uniquement fréquentiel, même s'il pourrait facilement intégrer des éléments temporels.

Aujourd'hui, du fait d'un plus grand avancement de la standardisation de l'ICEM au niveau international, LECCS devrait être intégré dans l'un de ces modèles. [6]

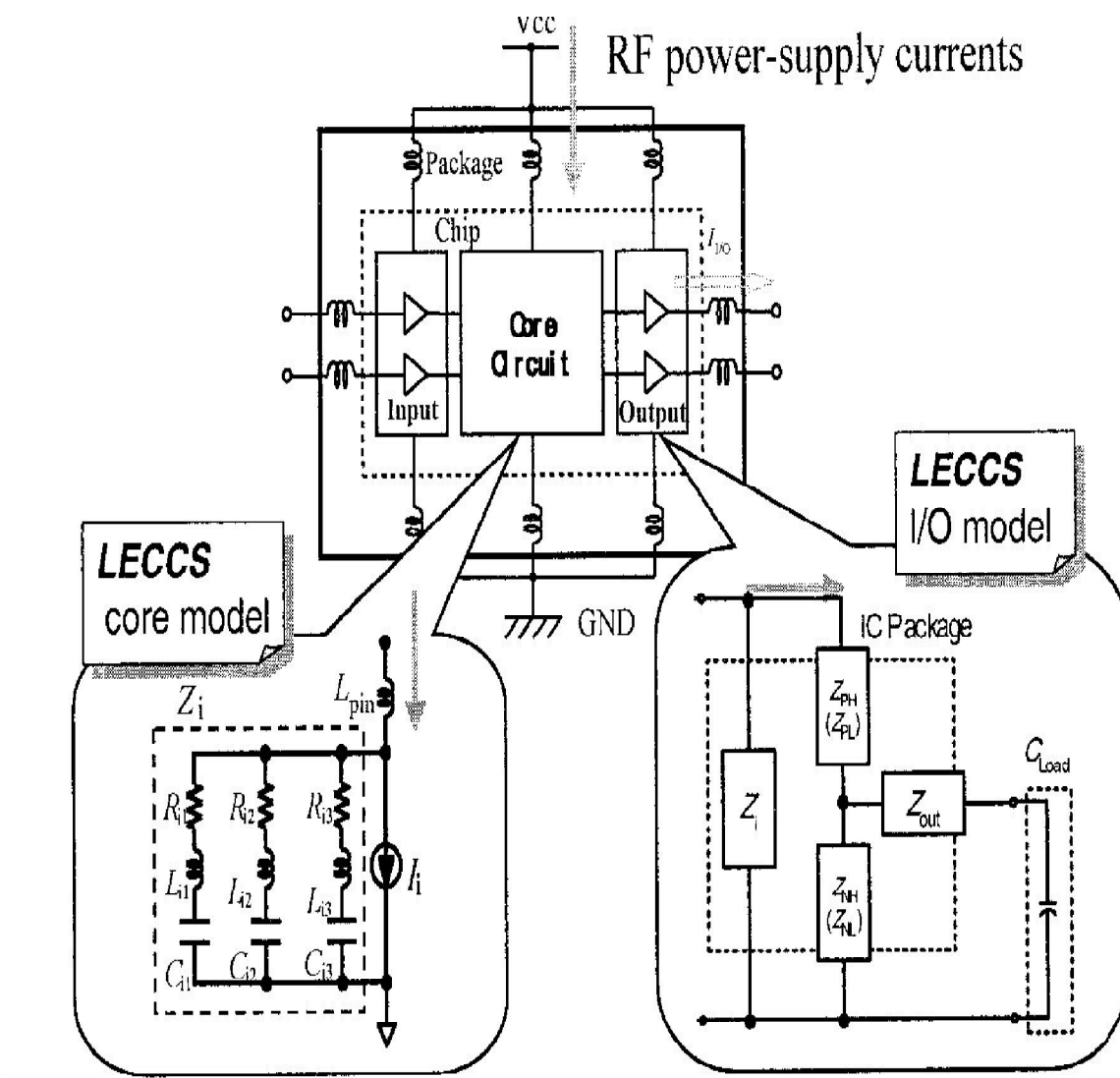


Figure II-25 : modèle LECCS d'un circuit intégré.

Conclusion

La modélisation des problèmes de compatibilité électromagnétique des circuits intégrés est devenue ces dernières années incontournable si l'on veut éviter des phases de rectification très coûteuses lors de la fabrication des circuits.

Dans ce chapitre l'accent a été mis sur les modèles ICEM et IBIS, vu leur niveau de diffusion auprès des fabricants et utilisateurs de circuits intégrés et leur importance pour la simulation des problèmes d'émission avec l'outil logiciel IC EMC. Ce dernier exploitant la complémentarité entre ICEM avec son modèle de l'activité interne et IBIS avec sa description des différentes entrées et sorties permettant de faire toute une panoplie de simulation sur les problèmes d'émissions que connaissent les circuits intégrés.

La modélisation des problèmes de compatibilité électromagnétique ne se limite pas uniquement aux émissions parasites. En effet nous devons disposer d'un certain nombre d'outils pour spécifier les caractéristiques d'immunité des circuits intégrés vis-à-vis de ces émissions : c'est l'objet du chapitre suivant.

Chapitre III :

Modèle et critères de susceptibilité des circuits intégrés

Introduction

Les modèles de compatibilité électromagnétique se divisant en deux parties, ceux concernant l'immunité sont en effet aussi important que les modèles d'émissions parasites même s'ils ne sont pas aussi répandus et développés que ces derniers.

Ce chapitre traitera donc des modèles d'immunité des circuits intégrés, l'accent y sera mis notamment sur le modèle ICIM qui dérive du modèle ICEM, en outre nous présenterons aussi les méthodes de mesure en mode conduit.

I) Méthodes de mesure de la susceptibilité des composants en mode conduit

Les méthodes de mesure normalisées sont très importantes, de ce fait nous nous sommes intéressés dans le chapitre précédant aux méthodes dites en mode rayonné, nous nous intéresserons donc dans ce paragraphe aux méthodes de mesures en mode conduit. Elles sont au nombre de trois et sont actuellement en cours de normalisation dans le cadre de la proposition de standard IEC 62132.[4]

a) Bulk Current Injection (BCI)

L'injection par boucle de courant, ou bulk current injection en anglais, est une proposition française dérivée de la norme d'équipement automobile. La Figure III-1 [4] présente de manière schématique le principe de la mesure. Elle consiste à injecter un courant perturbateur sur une ou plusieurs entrées/sorties d'un composant à l'aide d'une pince de couplage inductif. Une seconde pince inductive, dite de relecture, permet de mesurer le courant effectivement injecté dans le fil de test. C'est cette valeur qui est considérée lorsque le point de défaillance est atteint. Ce point est quant à lui détecté par un système externe de contrôle du fonctionnement du composant sous test.

Comme nous pouvons le voir sur la partie de droite de la Figure III-1, la carte de test présente quelques spécificités. En effet, l'injection et la relecture devant être effectuées au plus proche du composant, pour limiter les effets d'atténuation, le circuit imprimé est évidé en son centre pour permettre l'insertion des deux pinces inductives. La longueur du ou des fils conduisant le courant perturbateur vers le composant sous test ne doit pas excéder 18 cm. Enfin, un support spécifique est requis afin que tous les éléments, que ce soit les pinces ou la carte de test, soient maintenus en place de façon à obtenir une bonne reproductibilité de la mesure.

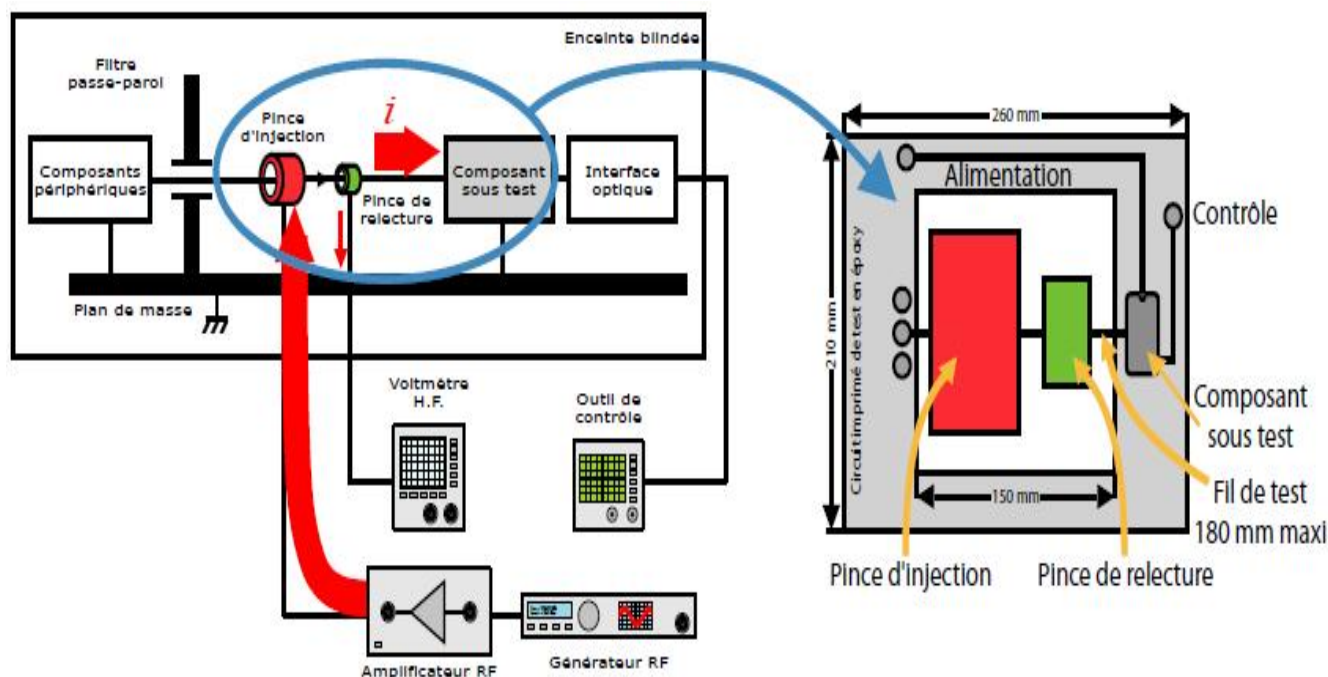


Figure III-1 : Principe de la mesure d'injection de perturbation par boucle de courant.

Actuellement, la proposition de norme est valide pour une bande de fréquences allant de 1 MHz jusqu'à 1 GHz. Cette limitation est due aux caractéristiques de la pince d'injection. De nouvelles pinces existent et ont la capacité d'injecter des perturbations dont la fréquence peut atteindre 1 GHz, ce qui devrait permettre d'étendre la bande passante de la mesure, sans toutefois atteindre la zone 1 GHz – 10 GHz. En ce qui concerne les points négatifs, il faut noter que la génération du courant perturbateur demande une puissance considérable. En effet, la valeur du couplage de la pince d'injection est très faible, à peine 10% de la puissance injectée dans la pince inductive sert à créer le courant perturbateur. Ce choix a été fait dans le but de limiter l'influence de la pince d'injection sur le fil de test, et plus particulièrement pour modifier le moins possible l'impédance de ce même fil. De plus, au regard du niveau du champ électromagnétique généré, il s'avère que la mesure doit être effectuée dans une enceinte blindée pour non seulement limiter l'ajout d'agressions externes mais encore pour ne pas provoquer de dysfonctionnement dans l'environnement proche. Enfin, se pose le problème de la carte elle-même, puisque même si elle a l'avantage d'isoler le composant, ses caractéristiques sont très loin des circuits imprimés que l'on rencontre généralement : l'évidement dans le plan de masse fait que l'on obtient une magnifique boucle susceptible de servir d'antenne réceptrice.

b) Work Bench Faraday Cage (WBFC)

La Work Bench Faraday Cage est une proposition néerlandaise qui se base sur l'hypothèse selon laquelle les circuits intégrés sont fortement atteints par les perturbations issues de câbles directement connectés au circuit imprimé. De ce fait, le principe (Figure III-2 [4]) repose sur une méthode de mesure de l'immunité des circuits intégrés aux agressions électromagnétiques de mode commun.

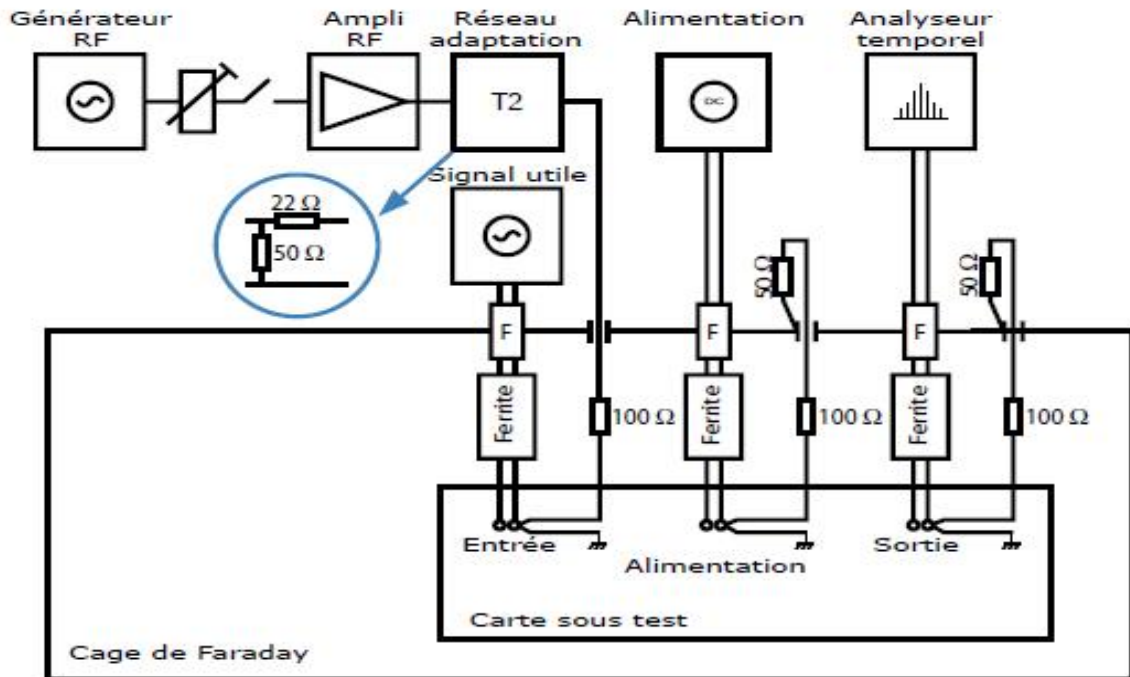


Figure III-2 : Principe de la mesure sur banc de test à cage de Faraday.

La perturbation RF est injectée vers le composant sous test à travers une impédance de $150\ \Omega$ représentative de la longueur de câble actuellement rencontrée dans les équipements. La carte sur laquelle est monté le circuit intégré est placée à l'intérieur d'une cage de Faraday. Tous les signaux nécessaires au fonctionnement du composant ainsi que les signaux de contrôle entrent et sortent de l'enceinte métallique via des filtres (notés F sur la Figure III-2).

La méthode de mesure est proposée pour une bande de fréquences s'étalant de $150\ \text{kHz}$ jusqu'à $1\ \text{GHz}$, et permet de superposer de manière relativement simple une perturbation de mode commun sur un composant. En contre partie, les résultats obtenus sont fortement dépendants de la conception de la carte de test. En effet, si des précautions ont été prises pour réduire les phénomènes de mode commun, cette méthode risque de cacher certaines lacunes du composant.

Par ailleurs, la réciproque est également vraie, un mauvais circuit imprimé peut pénaliser fortement le comportement d'un composant. Enfin, la cage de Faraday peut se comporter comme une cavité résonante dans le cas où l'enceinte métallique ou la carte sous test ont des dimensions non négligeables vis-à-vis de la longueur d'onde de l'interférence.

c) Direct Power Injection (DPI)

L'injection directe de puissance, communément appelée DPI (Direct Power Injection), est une méthode dont le principe (Figure III-3[4]) repose sur l'utilisation d'une capacité de couplage pour transmettre une perturbation électromagnétique au composant sous test. L'interférence peut avoir des caractéristiques fréquentielles dans une large gamme de fréquences (10 kHz – 1 GHz).

Afin d'isoler au mieux le composant sous test et de limiter les effets de l'injection de la perturbation sur les équipements externes, les signaux d'alimentation et de contrôle de fonctionnement du composant sont amenés via des réseaux de découplages. Ces réseaux de découplages peuvent notamment être de type résistifs.

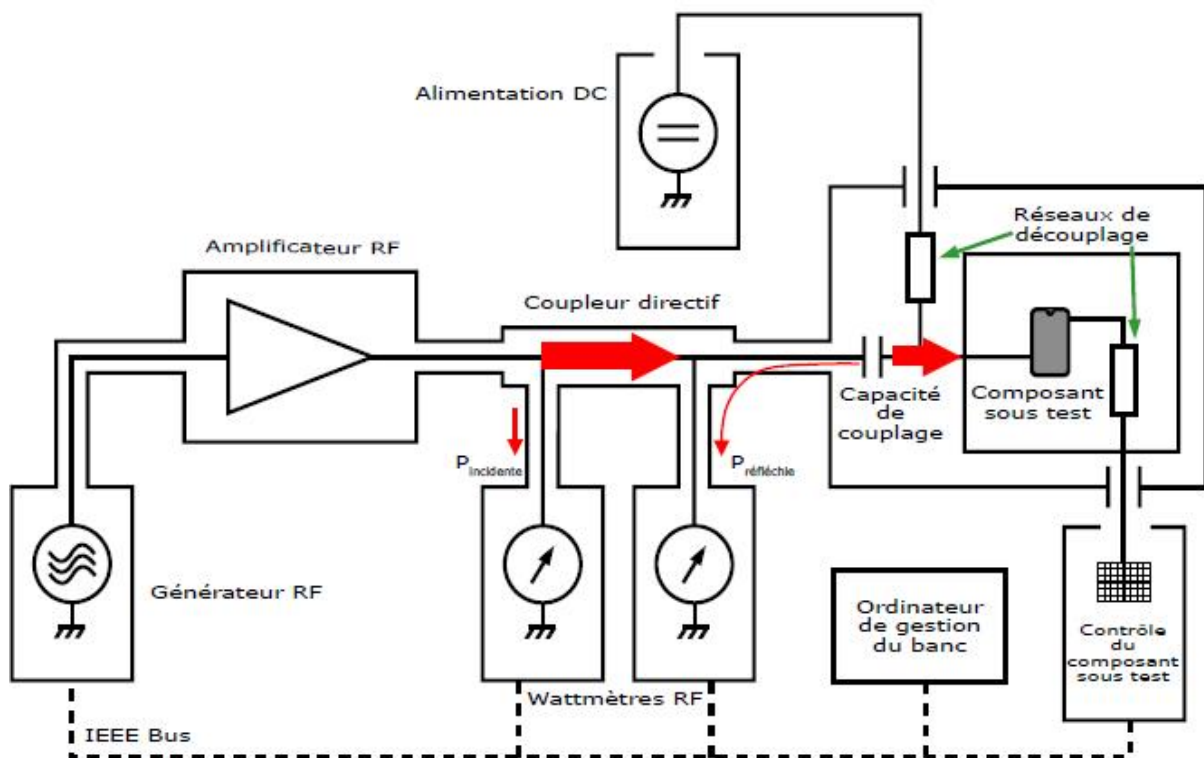


Figure III-3 : Principe de la mesure par injection directe de puissance.

Dans le but d'obtenir une mesure indépendante de la carte de test supportant le composant, la méthode préconise l'utilisation d'un coupleur directif. Ainsi, la puissance réellement injectée dans le circuit intégré au moment de sa défaillance peut être déterminée de façon précise.

De plus, cela permet également de s'affranchir des variations du comportement fréquentiel de la capacité de couplage. La Figure III.4 [4] présente le comportement d'une capacité en fonction de la fréquence : le comportement capacitif observé aux basses fréquences se transforme en comportement inductif pour les hautes fréquences.

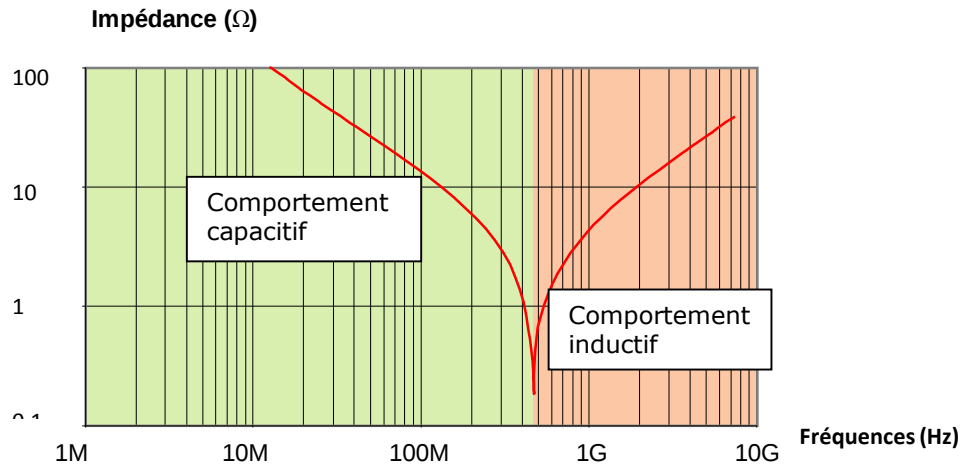


Figure III-4 : comportement d'une capacité en fonction de la fréquence.

Pour conclure sur les méthodes de mesure de susceptibilité en mode conduit, nous pouvons affirmer qu'elles sont bien adaptées aux problèmes posés par les circuits intégrés. En effet, elles permettent d'injecter la perturbation RF à l'intérieur du composant sous test du fait d'un couplage bien adapté à la problématique. Le principal inconvénient qu'elles présentent vient du fait qu'elles ne permettent pas d'agresser le composant dans sa globalité comme pourrait le faire une méthode rayonnée. Cette lacune peut être en partie contournée en injectant la perturbation RF sur le réseau d'alimentation par exemple.

Ces méthodes ont l'avantage de pouvoir cibler les perturbations sur des blocs particuliers de circuits intégrés par leurs entrées ou sorties associées, option qui est très intéressante dans le cas de test de microcontrôleurs. En effet, cela peut permettre de mettre en exergue les lacunes de certaines fonctions d'un tel composant. Enfin, exception faite de la méthode BCI, les méthodes de mesures conduites requièrent des équipements de test dont le coût financier est assez modéré. [4]

II) Modèle de susceptibilité des composants ICIM

L'émergence de circuits intégrés toujours plus complexes et dont la densité de transistors ne cesse d'augmenter, associée à la croissance des problèmes liés à l'immunité de ces mêmes composants font ressentir le besoin d'un modèle de susceptibilité. Ce modèle se doit d'être prédictif, pour que les fondeurs puissent simuler le comportement de leur puce avant l'envoi en fabrication, tout en restant suffisamment simple dans le but de limiter le temps de simulation et faciliter l'intégration du modèle dans le flot des outils de conception.

En outre, les mesures de susceptibilité effectuées au laboratoire reposant sur la méthode d'injection directe de puissance, nous avons opté pour un modèle de susceptibilité conduite dont la gamme de fréquence est comprise entre 1 MHz et 1 GHz. Le principal intérêt de cela est bien évidemment de comparer les résultats de simulation avec ceux de la mesure afin de valider le modèle ICIM (Integrated Circuit Immunity Model) proposé.

Dans cette section, nous décrivons ce modèle de susceptibilité, puis nous nous intéresserons aux critères de susceptibilité. [4] [8]

a) Description du modèle

Vue les bons résultats obtenues pour la modélisation de l'émission parasite en utilisant le modèle ICEM, on a pensé à concevoir un modèle de susceptibilité des composants qui s'inspire de ce dernier, ICIM en l'occurrence. De plus la gamme de fréquence couverte par le modèle ICEM est sensiblement identique à celle couverte par la mesure DPI (Direct Power Injection), la description physique des éléments peut de nouveau être effectuée à l'aide de paramètres RLC. Par conséquent l'ensemble des éléments passifs décrit par le modèle ICEM ont été repris pour le modèle de susceptibilité IMIC.

La problématique de l'immunité étant relativement différente à celle de l'émission, l'utilisation d'un générateur de courant n'est plus nécessaire. Par contre du point de vue du générateur de perturbation RF, le cœur du circuit intégré est considéré comme une charge terminale de la chaîne agressive. Par conséquent, le générateur de courant a été remplacé par une résistance de charge comme l'illustre la Figure III-5 [4]. L'ordre de grandeur de cette résistance est de $10\ \Omega$ à $100\ \Omega$ pour un cœur de microcontrôleur 16 bits par exemple.

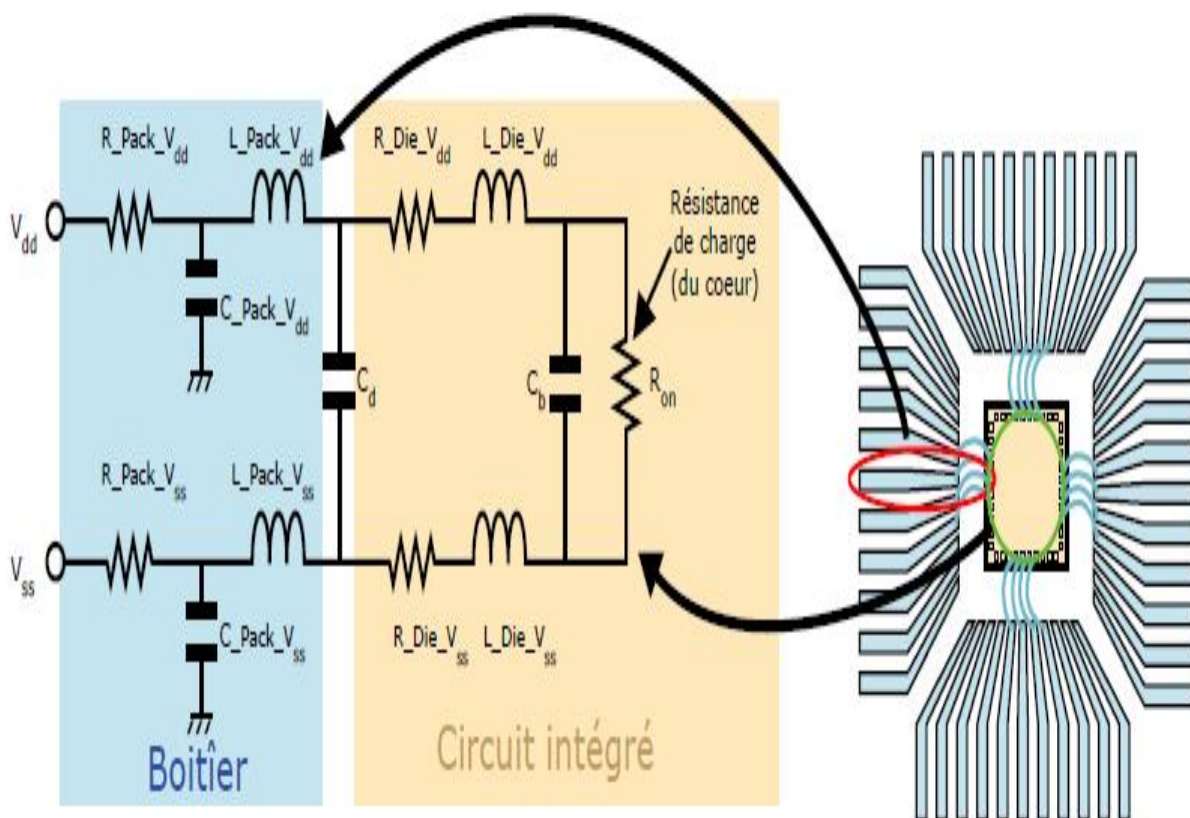


Figure III-5: Modèle de susceptibilité du circuit intégré – ICIM.

b) Structures de protection des entrées/sorties

Lors d'injection de perturbations RF sur une broche d'entrée/sortie, certaines précautions supplémentaires doivent être prises. En effet, les fondeurs ont développé des structures pour protéger les circuits intégrés contre les décharges électrostatiques. Ces fortes sous et surtensions peuvent être à l'origine de dégradation voire de destruction de la faible épaisseur d'oxyde de grille dans le cas de la structure d'entrée. C'est pourquoi, nous allons décrire brièvement deux protections parmi les plus communément utilisées puisque ces dispositifs sont traversés par la perturbation RF.[4] [8]

1) Diodes de clamp

L'une des protections les plus simples que l'on puisse rencontrer est communément appelée diodes de clamp (Figure III-6 [4]). En fait, ce dispositif est constitué d'une résistance, et de deux diodes qui précèdent le premier élément de l'étage d'entrée.

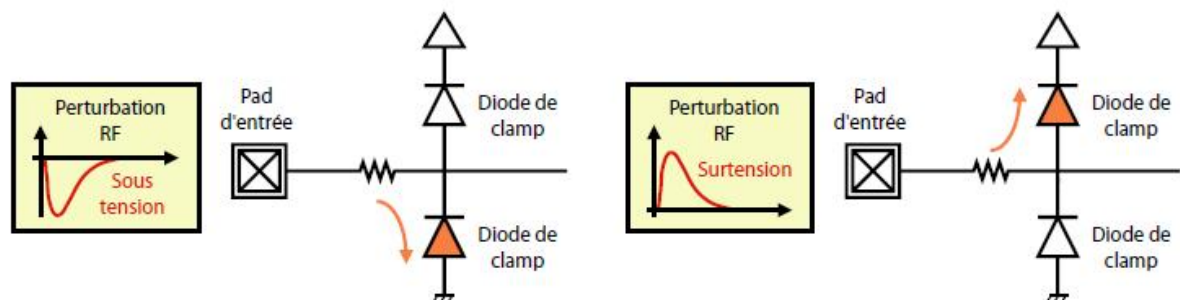


Figure III-6 : Protection d'entrée par des diodes de clamp.

La résistance est généralement en poly silicium ou en NWell, dont la valeur est comprise entre quelques dizaines d'ohms et quelques kilo-ohms. Cette résistance a pour rôle essentiel de limiter la tension directement injectée sur la grille du transistor de l'étage d'entrée. Dans le cas d'une résistance en poly silicium, c'est l'épaisseur de la couche de poly silicium qui détermine la valeur du courant maximum qui pourra circuler.

En fonctionnement nominal, les diodes de clamp ne jouent aucun rôle du fait que la tension de la broche d'entrée sera comprise en VSS et VDD. Par contre, si une forte sous-tension (partie gauche de la Figure III-6) apparaît, la diode de clamp basse va se mettre à conduire et donc injecter la perturbation vers le substrat. Dans le cas d'une surtension (partie de droite de la Figure), c'est la diode de clamp supérieure qui entre en conduction et fait circuler l'agression sur le réseau VDD de l'alimentation. [4]

2) Transistor NMOS à grille couplée

Ce dispositif est illustré à la Figure III-7 [4] est relativement intéressant pour protéger les circuits intégrés contre les décharges électrostatiques. Les éléments qui le constituent sont répartis en deux étages. Le premier va conduire la plus grande partie du courant vers le substrat du circuit intégré, tandis que le second étage se chargera d'évacuer le surplus de courant. Un tel dispositif s'avère efficace même pour des surtensions de plusieurs kilovolts (5 - 7kV).

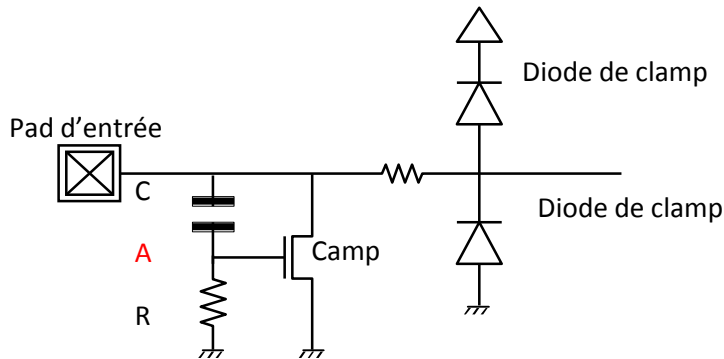


Figure III-7 : Protection d'entrée par transistor NMOS à grille couplée.

Le circuit RC d'entrée agit comme un filtre passe haut dont le point A est par défaut nul puisque la résistance R le tire au VSS. Par conséquent en fonctionnement nominal, le transistor NMOS est bloqué et le dispositif inactif. L'apparition d'une surtension très brutale va venir se coupler sur ce nœud A et imposer au transistor NMOS d'entrer en conduction. De ce fait, l'essentiel du courant va traverser ce transistor pour être acheminé vers le substrat du composant. Tant que la surtension n'a pas atteint un niveau suffisamment faible, le transistor de clamp continue de conduire. Le retour à la normale s'effectue donc en fonction de la baisse de la surtension.

3) Modélisation des protections

Dans le cas de la simulation de la susceptibilité des circuits intégrés, la perturbation injectée est supposée d'amplitude suffisamment grande pour activer ces différents dispositifs de protection. Leur modélisation est donc nécessaire et peut se résumer à mettre une résistance en lieu et place des composants actifs. Dans le cas des diodes de clamp, il faut considérer seulement la diode conductrice puisque les deux ne peuvent conduire simultanément. En ce qui concerne le transistor NMOS de clamp, sa résistance d'entrée est suffisante. Dans les simulations que nous avons effectuées, nous avons considéré des protections intégrées de type diodes de clamp. [4]

III) Critères de susceptibilité

Dans ce paragraphe nous allons présenter une liste non exhaustive de critères de susceptibilité reposant sur la génération de fautes physiques au niveau du circuit intégré. Parmi eux nous nous

intéresserons plus particulièrement au stress de l'alimentation, la diminution de la tension d'alimentation, la baisse de tension différentielle et la surconsommation de courant. Ces critères ont l'avantage d'être relativement faciles à mettre en œuvre dans un environnement de simulation. Le but recherché est de pouvoir prédire la susceptibilité d'un circuit intégré dès la phase de conception. [4] [8]

a) Stress de l'alimentation

En présence d'une perturbation radio fréquence (Figure III-8 [4]), la tension d'alimentation peut fluctuer. Cette fluctuation est communément appelée ground bounce lorsqu'elle est perçue sur la masse de la puce (V_{ss} Die), et supply bounce quand elle est provient de l'alimentation (V_{dd} Die). En dessous d'une certaine limite, ces effets sont tolérés par les blocs actifs du circuit et aucune erreur n'est observée. Au delà de cette limite, la différence de potentiel entre les références de masse externe et interne à la puce est telle qu'une information en provenance de l'extérieur peut être mal interprétée par les parties actives du circuit et générer des fautes logiques. Nous venons de considérer la référence de masse, mais de façon similaire, ce phénomène peut se produire sur la référence d'alimentation (V_{dd}) du circuit.

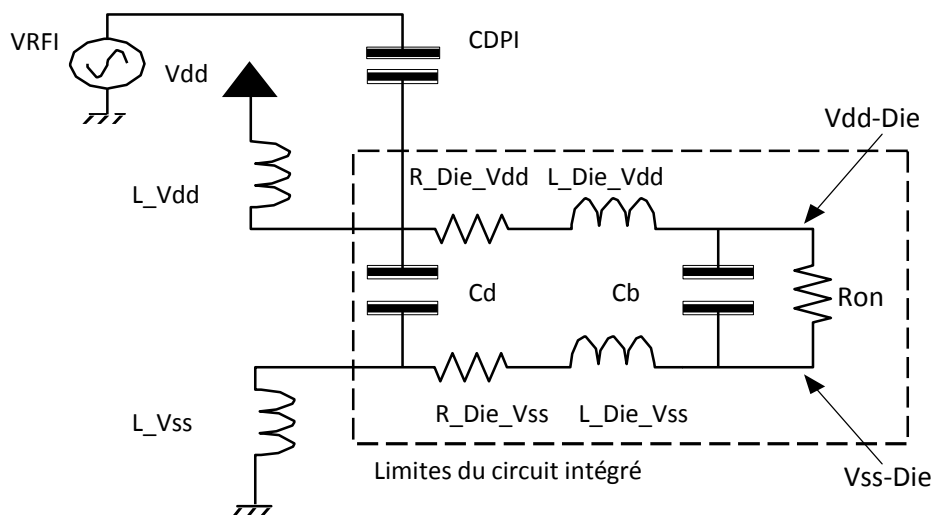


Figure III-8 : Stress due à des rebonds de l'alimentation interne.

En d'autre termes, quand un "1" logique est présent sur la broche d'une entrée du circuit intégré, le cœur de la puce considèrera ce "1" logique comme un "0" logique. Ce phénomène est illustré à la Figure III-9 [4] au temps T1. La faute logique apparaît et est ensuite traitée, propageant ainsi une erreur dans l'ensemble du circuit. De la même façon, un "0" logique peut être considéré comme un "1" logique, comme présenté au temps T2 de la Figure III-9.

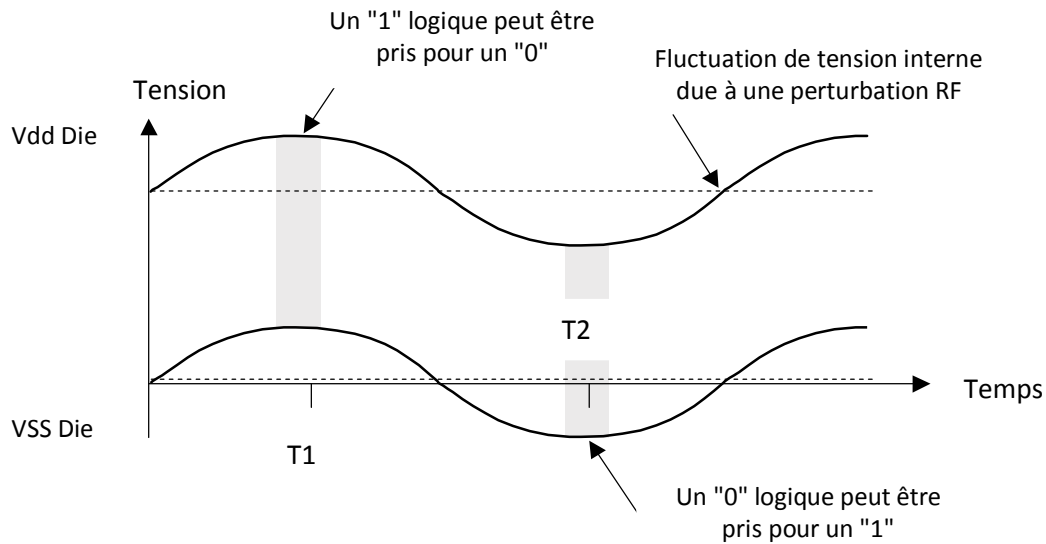


Figure III-9 : Génération de fautes logiques due à un stress excessif de l'alimentation interne d'un composant.

Dans le cas des simulations analogiques, l'idée est de réaliser des simulations itératives en faisant varier les caractéristiques fréquentielles de la tension d'agression (VRFI). Pour chaque fréquence, l'amplitude de la perturbation est accrue jusqu'à ce que la fluctuation de la référence de masse interne soit supérieure ou égale à 20% de la tension d'alimentation nominale. A partir de cet instant, nous considérons que le critère de susceptibilité est atteint (Figure III-10 [4]).

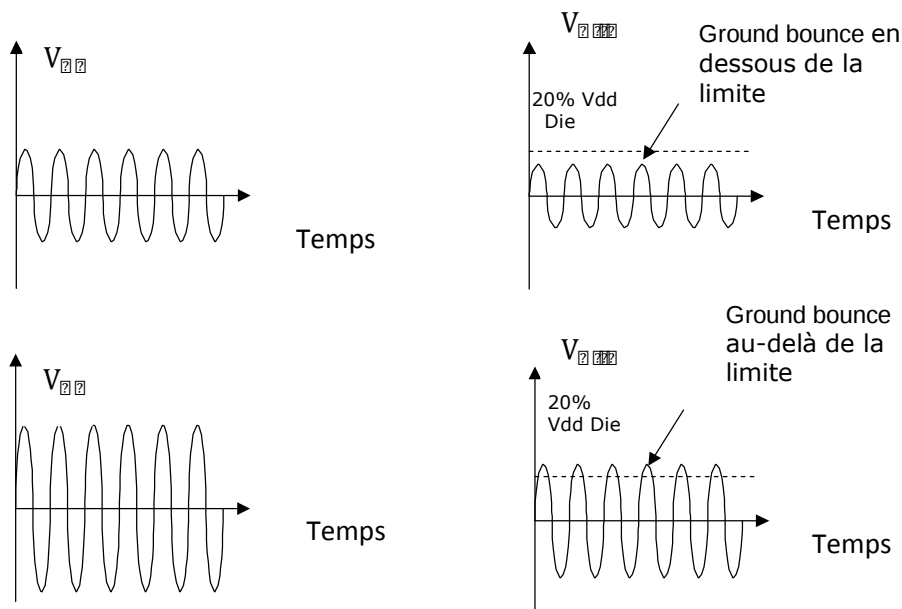


Figure III-10 : amplitude de la perturbation RF et dépassement du seuil de susceptibilité.

Pour simuler la croissance de l'amplitude de la perturbation radio fréquence, deux solutions peuvent être indifféremment mises en œuvre :

La première consiste à faire des simulations paramétriques en faisant varier, pour une fréquence donnée, l'amplitude du signal d'agression radio fréquence. Ceci peut être effectué sous SPICE en utilisant l'option .PARAM. Les résultats obtenus sont alors fonction du pas d'amplitude défini. Le temps de simulation et la précision désirée sur ces résultats ont une croissance qui est inversement proportionnelle à ce pas.

La seconde solution consiste à générer un signal perturbateur dont l'amplitude croît durant la simulation. Pour cela, il suffit d'introduire un facteur modulant. Ce qui peut facilement être réalisé en multipliant le signal unitaire d'agression par une rampe dont les caractéristiques définissent la variation d'amplitude (Figure III-11 [4]).

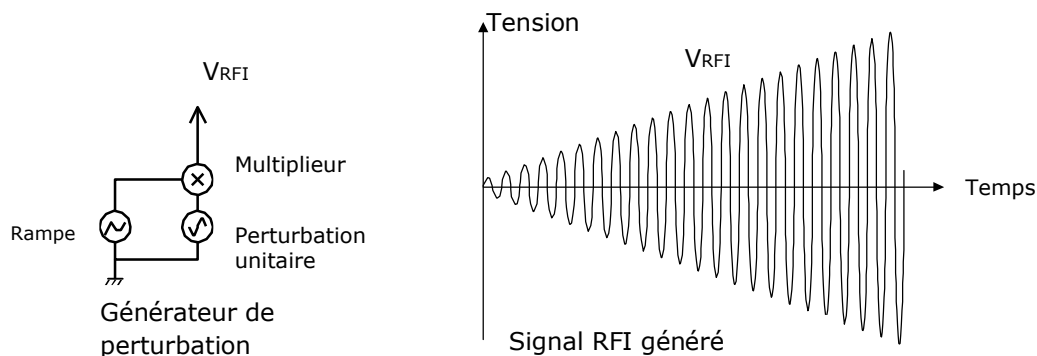


Figure III-11 : Exemple de générateur de perturbation RF sous SPICE (gauche) – Signal de sortie obtenu (droite).

b) Diminution de la tension d'alimentation

Un critère de susceptibilité important réside dans la diminution de la tension d'alimentation interne (Figure III-12 [4]). Cette notion correspond à la différence qui existe entre les tensions de références V_{dd} Die et V_{ss} Die. En dessous d'une certaine marge, qui peut être définie à 30% de VDD, la commutation des circuits logiques est significativement ralentie. Ce phénomène est à l'origine de retards au niveau de la propagation des signaux, et peut entraîner la perte de fonctionnalités pour certains circuits logiques ou analogiques.

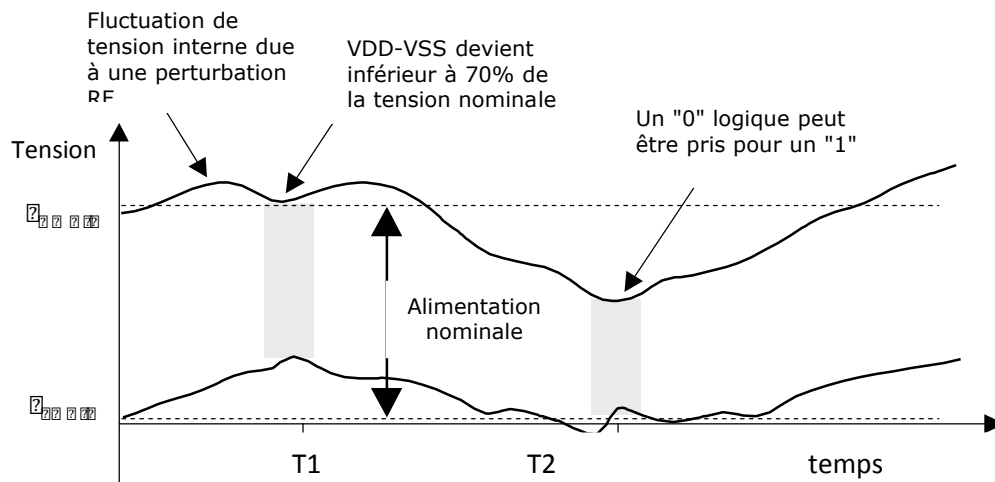


Figure III-12 : Origine de fautes logiques due à une réduction d'alimentation.

La Figure III-13 [4] présente les retards de commutation en fonction de la chute de la tension d'alimentation. Cette simulation a été effectuée pour un inverseur CMOS réalisé en technologie 0.25 μm dans des conditions de charge typique. Elle montre qu'une diminution de 30% de la tension d'alimentation (de 2.5V jusqu'à 1.75V) correspond à une augmentation du délai de commutation d'environ 60%. Une diminution de 50% de la tension VDD génère un délai de commutation supérieur à 150%. De telles augmentations font que certains blocs fonctionnels ne sont plus opérationnels ou ne sont plus correctement synchronisés et donc générer des fautes au niveau du composant.

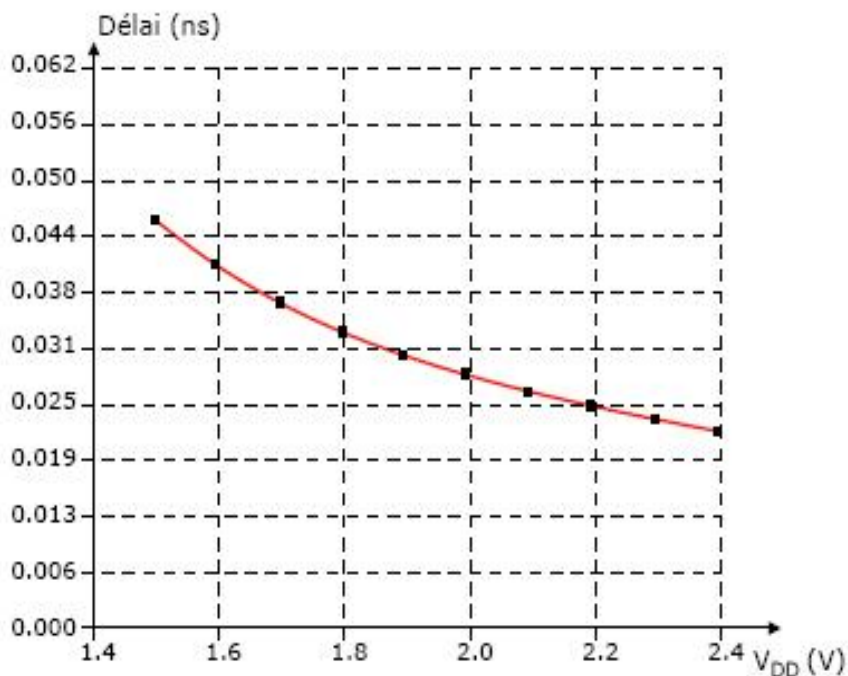


Figure III-13 : délai de propagation en fonction de la tension d'alimentation.

c) Baisse de tension d'alimentation

Lorsque plusieurs blocs fonctionnels sont distincts, leurs réseaux d'alimentation peuvent être faiblement interdépendants. La Figure III-14 [4] considère une ALU et une mémoire embarquée associée, exemple fréquemment rencontré dans les microcontrôleurs. L'alimentation commune à l'extérieur de la puce, est divisée en deux réseaux à l'intérieur du composant (V_{DD} Die1 pour l'ALU et V_{DD} Die2 pour la mémoire). Ceci nous conduit à émettre l'hypothèse d'un nouveau critère de susceptibilité à savoir la différence de tension entre deux réseaux d'alimentation interne au circuit intégré. Si la différence de tension entre V_{SS} Die1 et V_{SS} Die2 est suffisamment importante (typiquement au-delà de 20% de V_{DD}) les délais de propagation entre les deux blocs peuvent être erronés et donc perturber le fonctionnement global du microcontrôleur.

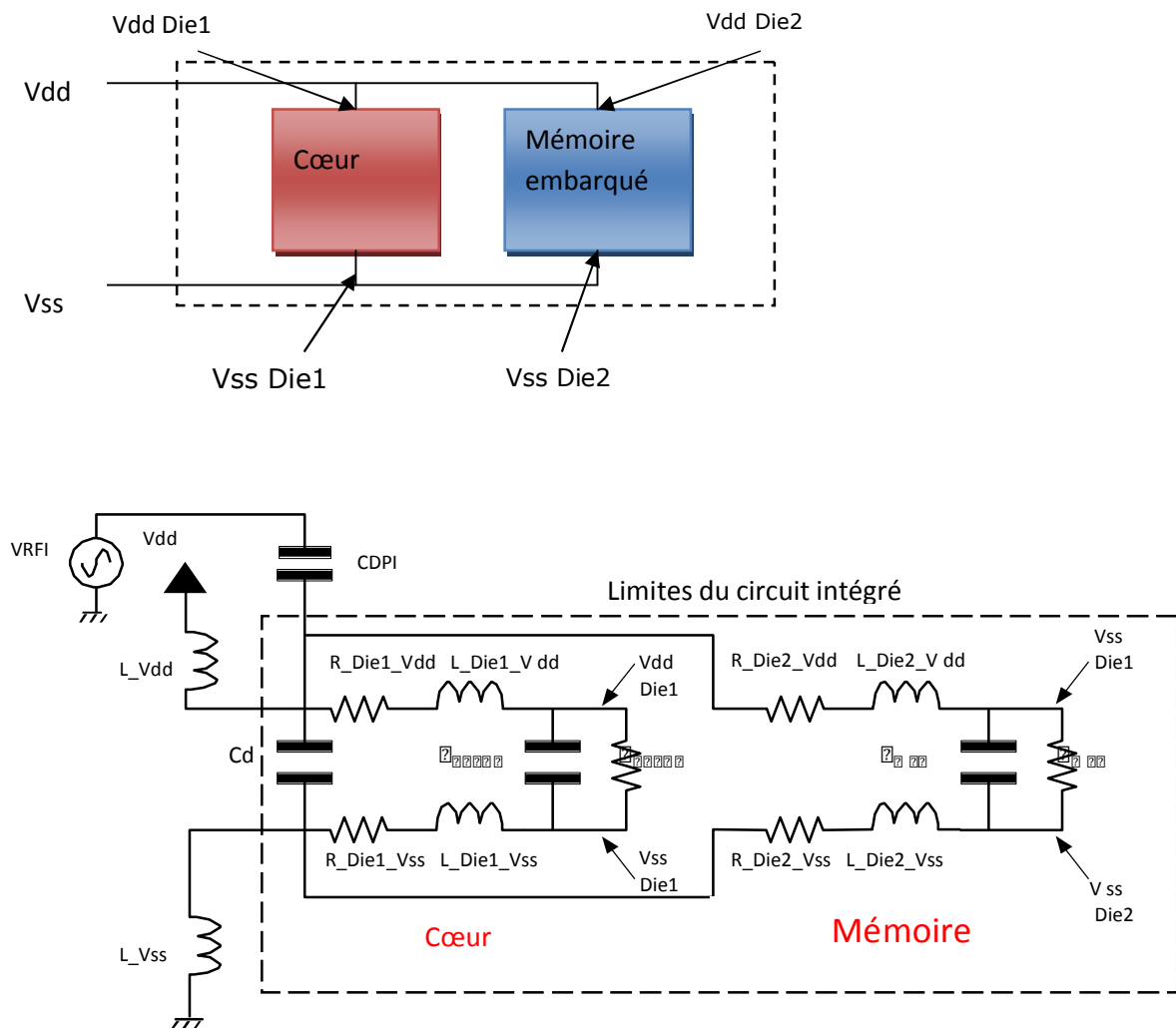


Figure III-14 : Les modèles de cœur et de mémoire distincts

d) Surconsommation de courant

L'injection d'une perturbation sur le réseau d'alimentation d'un circuit imprimé peut générer des effets parasites sur le réseau interne du composant, tel que la circulation de courant de très forte intensité. La Figure III-15 [4] décrit trois de ces courants :

- Un courant, noté I_C , qui circule à travers de la capacité de découplage interne du circuit intégré (C_d).
- Un courant I_r circulant sur le réseau d'alimentation interne de la puce.
- Un dernier courant noté I_l qui circule en dehors du composant sur le réseau d'alimentation du circuit imprimé.

De part les éléments physiques qu'ils parcourent, ces courants sont contraints à certaines limitations. L'intensité qu'il est possible de faire circuler nominalement dans un fil de bonding en or de 15 μm de rayon peut être évaluée à l'aide de l'équation III-1 [4]. On trouve alors un courant maximal avoisinant 2A. Par contre, il est à noter que la dépendance en température n'est pas prise en compte. Par conséquent, en fonctionnement nominal, ce courant maximum est certainement inférieur à la valeur proposée.

$$I_{\text{max}} = I_{\text{max}} \cdot r^2 \quad \text{Équation III-1.}$$

Avec : I_{max} : densité de courant maximale en $\text{A}/\mu\text{m}^2$ ($3.10^{-3} \text{ A}/\mu\text{m}^2$ à 27°C).

r : le rayon du conducteur en μm (15 μm pour un bonding typique).

I_{max} : courant maximal circulant avant destruction du conducteur.

Par conséquent, ces limites peuvent être exploitées afin de définir un nouveau critère de susceptibilité dans le cadre de simulations analogiques.

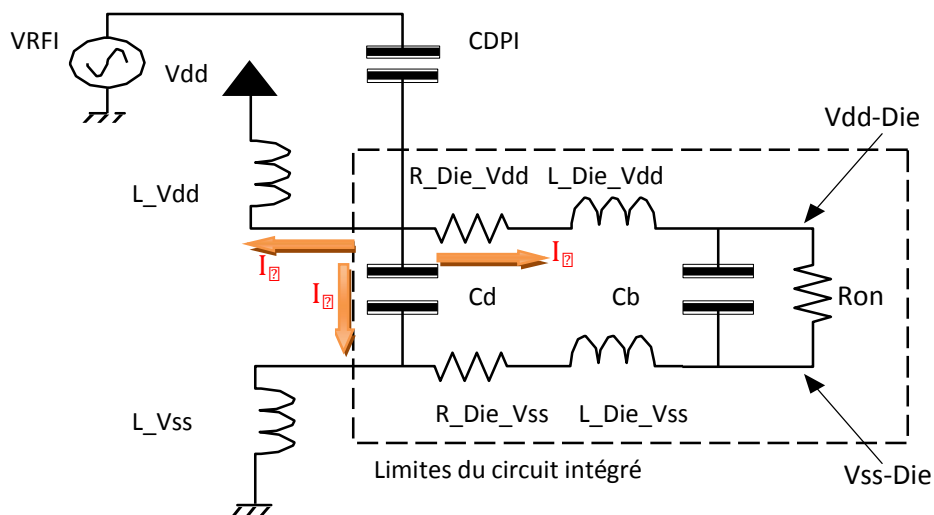


Figure III-15 : La surconsommation de courant à l'intérieur de la puce.

Si l'on considère un circuit intégré dont le courant nominal (I_{nom}) consommé est situé aux alentours de 100 mA, nous pouvons supposer qu'il soit capable de supporter des fluctuations transitoires allant jusqu'à 500 mA soit $5 \times I_{\text{nom}}$. De plus, des courants, même transitoires, dont l'intensité est supérieure à l'ampère ont une très forte probabilité de détruire les éléments les plus fragiles de la puce. Ainsi, à partir de ces différents niveaux, l'on peut définir des zones de fonctionnement comme

l'illustre la Figure III-16 [4]: une zone normale comprise entre 0 et $5 \times I_{nom}$, une zone où apparaissent des erreurs fonctionnelles ($5 \times I_{nom}$ à $10 \times I_{nom}$) et une zone de destruction du circuit intégré au-delà de $10 \times I_{nom}$.

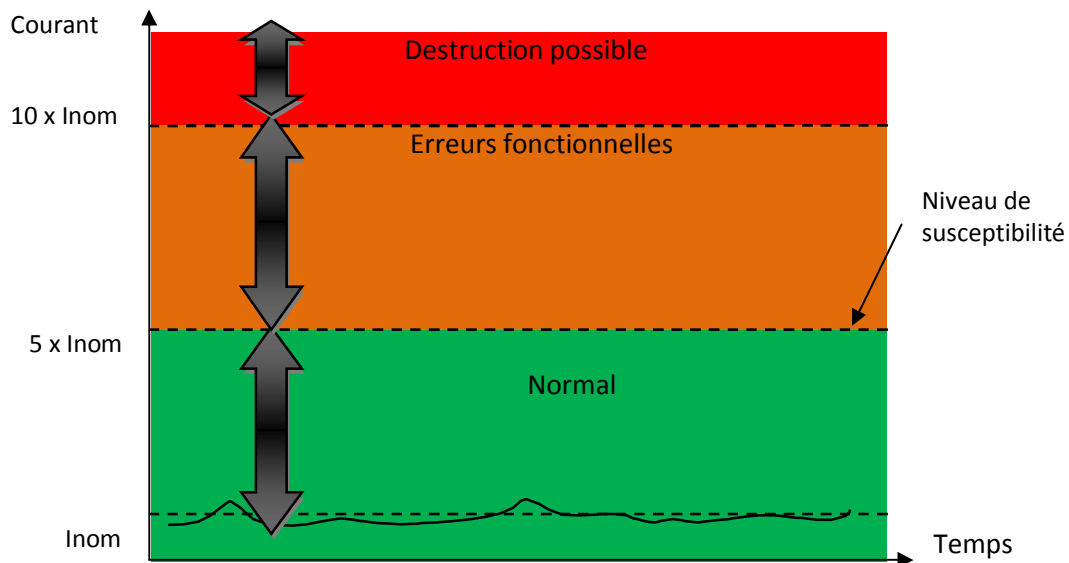


Figure III-16 : Définition du seuil de surconsommation de courant.

IV) Modèle LECCS (Linear Equivalent Circuit and Current-Source models)

Ce modèle est utilisable pour l'évaluation de l'immunité des circuits intégrés (LSI). Les résultats obtenus par simulation convergent avec ceux de la méthode de test DPI (directe RF power injection). Pour la simulation, l'impédance interne du composant Z_{LSI} ainsi que les impédances des connections d'alimentation et de masse Z_V et Z_G sont séparément évaluées et modélisées (figure III-17 [2]). Dans le cas de la méthode de test DPI les perturbations RF sont injectées à travers le pore d'alimentation et l'intensité de la perturbation est mesurée au dysfonctionnement du circuit intégré. [2]

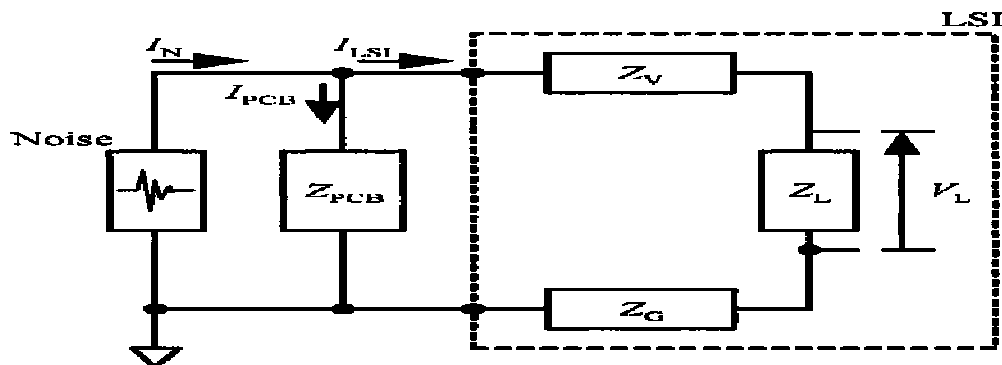


Figure III-17 : Modelé d'évaluation de l'immunité des CI, LECCS.

V) Analyse de l'immunité interne

Dans le cas de l'immunité interne, les bruits sont générés à l'intérieur même de la puce. Le modèle ICEM nous permet donc d'analyser l'auto-compatibilité interne de la puce. Pour ce faire nous allons nous aider d'un exemple qui traite de l'immunité d'un amplificateur audio analysé par le modèle ICEM. La figure III-19 [8] montre le PDN de l'amplificateur et son modèle d'immunité.

Le modèle ICEM de la partie digitale est représenté par la source de bruit $VnDig$, le composant IBC du modèle est une simple résistance pour les faibles fréquences et fait la liaison entre la source $VnDig$ à la terminaison interne $IT[0]$.

Les fonctions de transfert $G1$ et $G2$ caractérisent le niveau de fluctuation du niveau du bruit transmis par l'activité digitale à la sortie audio, sous ces conditions la tension de la sortie audio peut être exprimée par la formule suivante :

$$v_{out} = v_{in} \cdot G0 + Av_{dd2} \cdot G1 + Av_{ss2} \cdot G2 \quad \text{Équation III-2 [8]}$$

Le niveau de la sortie est dégradé par la présence de bruit dans les rails V_{dd2} et V_{ss2} . Quelques dizaine de millivolts sont générés par l'activité interne, l'oreille humaine pouvant entendre quelques millivolts, un bon PSRR est donc nécessaire pour une bonne reproduction sonore. [8]

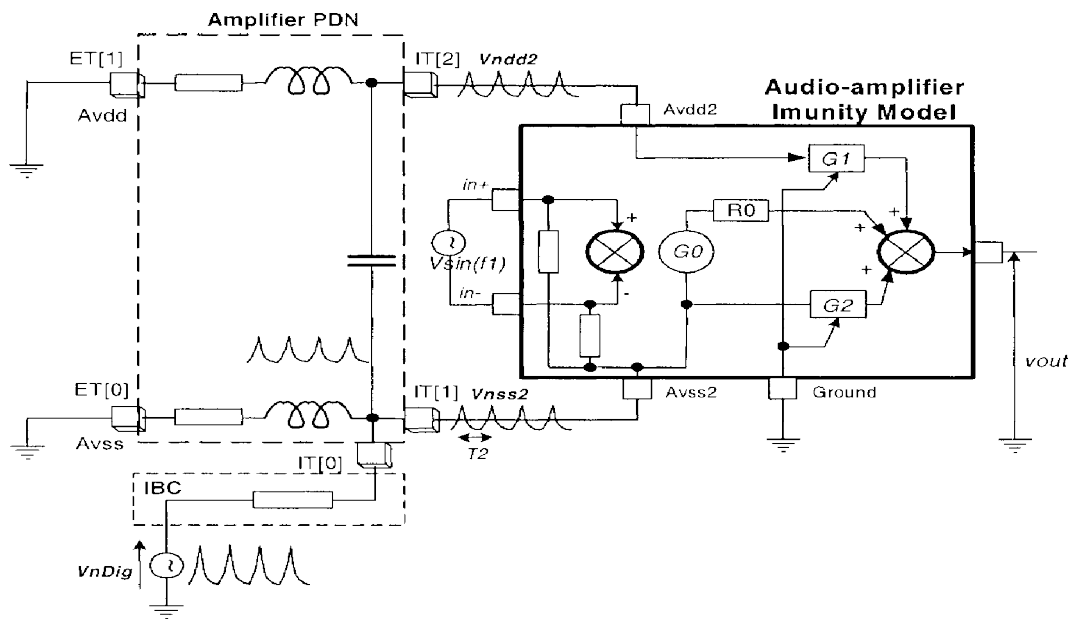


Figure III-19 : exemple d'analyse de l'immunité s'appuyant sur Les composants PDN et IBC du modèle ICEM et sur le modèle d'immunité de 'amplificateur

Conclusion

Avec la présentation des modèles d'immunité des circuits intégrés, les deux aspects que prend la modélisation de la compatibilité électromagnétique des circuits intégrés sont donc définis. Néanmoins il faut noter que la simulation de l'émission comme de l'immunité ne se fait pas directement. En effet pour pouvoir réaliser une simulation en compatibilité électromagnétique comme dans n'importe quel autre domaine on a de plus en plus recourt à l'outil logiciel. C'est dans cette optique que le logiciel IC- EMC que nous allons traiter dans le chapitre suivant est conçu.

Chapitre IV :

**Simulation des phénomènes de compatibilité électromagnétique des circuits intégrés
avec le logiciel IC-EMC**

Introduction

Le but de cette partie est de simuler la compatibilité électromagnétique des circuits intégrés en émission et en immunité. Pour se faire nous commencerons par une présentation du logiciel IC-EMC, puis nous étudierons le cas d'un microcontrôleur le S12X en l'occurrence. La simulation en soit est basée sur les différents modèles présentés dans les chapitres précédents et notamment le modèle ICEM et IBIS.

I) Présentation du logiciel IC-EMC

Le logiciel IC-EMC [11] est un outil de simulation développé à l'INSA de Toulouse dans le cadre des recherches dans le domaine de la compatibilité électromagnétique des circuits intégrés. [14]

Il intègre une panoplie de modèles qui permet une approche de la simulation des phénomènes de compatibilité électromagnétique. En appuyant sur l'icône du logiciel sur le bureau nous avons l'écran de démarrage du logiciel, présenté par la figure IV-1[14].

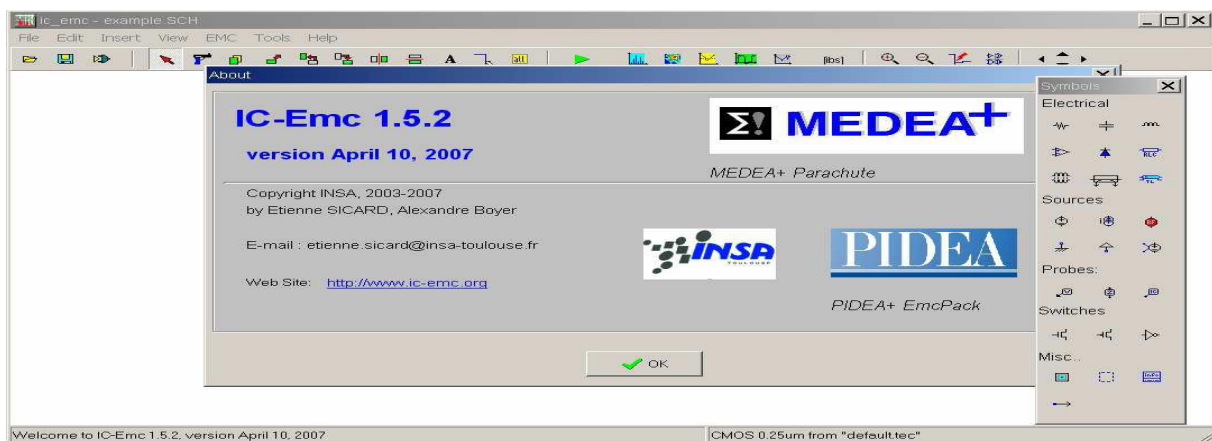


Figure IV-1 : photo de l'écran de démarrage d'IC-EMC

Les commandes principales du logiciel sont présentées par la figure IV-2[15]. A partir de la gauche nous avons l'icône de simulation Spice qui permet de traduire les schémas des composants en fichiers texte de type Spice, les autres icônes donnent accès à la fenêtre d'analyse spectrale de l'émission, la fenêtre d'impédance en fonction de la fréquence, la fenêtre de simulation d'immunité et à celle de simulation de l'mission parasite en champ proche.

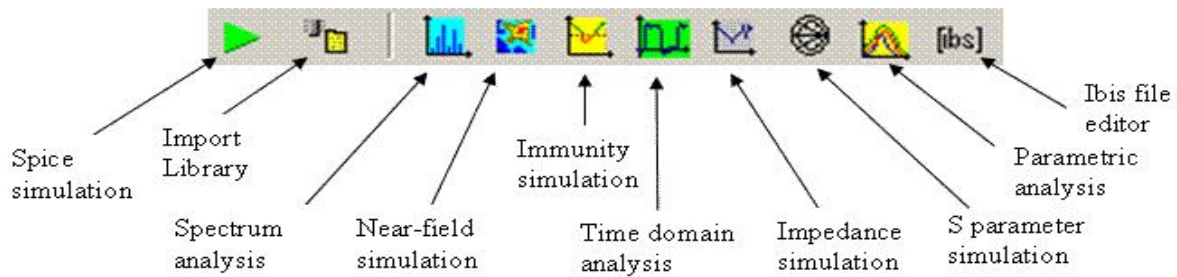


Figure IV-2 Les commandes de base du logiciel IC-EMC

I

Le logiciel IC-EMC permet de faire des comparaisons entre les mesures et les résultats des simulations d'immunité, d'émission conduite et rayonnée et les résultats des simulations de l'émission en champ proche.

a) Cas de l'émission

Dans le cas de l'émission nous avons besoin du modèle IBIS du boîtier, le modèle ICEM pour l'activité interne et de l'analyse temporelle du circuit effectuée par le logiciel Winspice [12]. L'outil IC-EMC permet, comme le montre la figure IV-3 [14] l'exploitation de la simulation dans le cadre d'une comparaison des résultats avec ceux obtenus par mesure en mode conduit comme en mode rayonné.

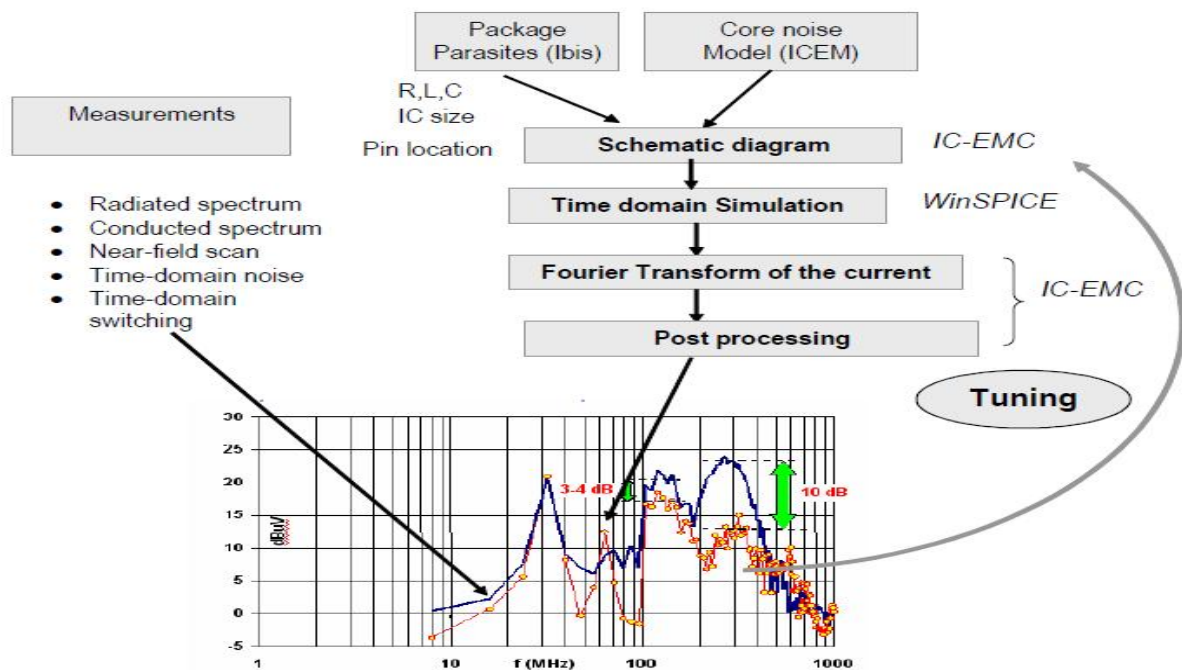


Figure IV-3 : exploitation de ICEM et d'IBIS- comparaison simulation- mesure.

b) Cas de l'immunité

Dans le cas de l'immunité, comme l'illustre la figure IV-4 [14] , ICEM et IBIS sont utilisés, de plus, il est nécessaire d'avoir le modèle du chemin d'injection en incluant le générateur de

perturbations RF, les câbles, le coupleur, la capacité de couplage et toutes les traces du circuit imprimé utilisés.

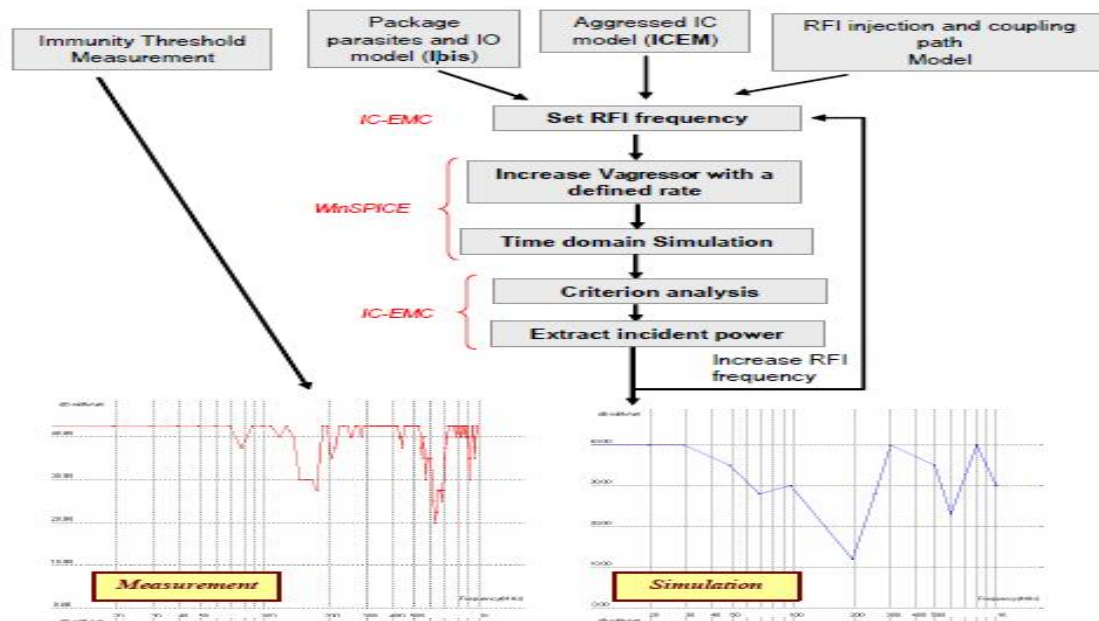


Figure IV-4 : méthode de comparaison de la simulation et de la mesure de l'immunité d'un CI pour la DPI.

III) Simulation de l'émission

a) Cas de l'émission conduite (microcontrôleur HC12D60)

Pour commencer il faut charger le fichier « d60_vde.sch » correspondant à la figure VI-6. [14] On y constate que le PDN interne de ce microcontrôleur 16 bits est représenté par des éléments RLC, alors que celui du boîtier est composé d'inductances. La méthode de mesure 1Ω est représentée par de simples résistances comme le montre la figure IV-6.

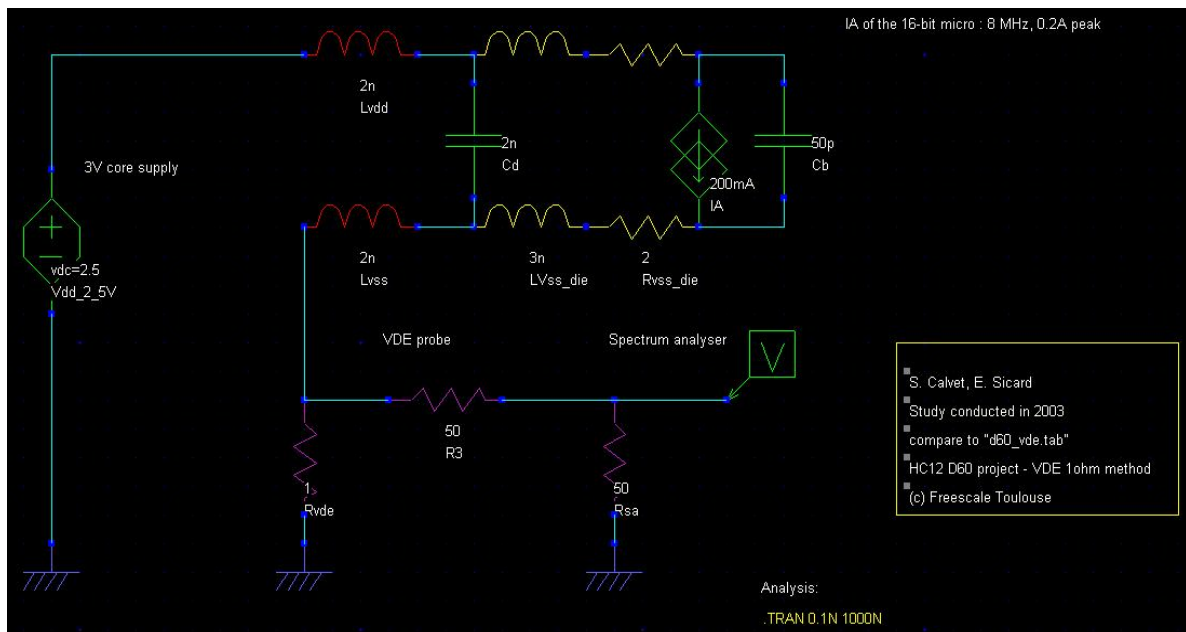


Figure IV-6 : modèle ICEM du microcontrôleur 16 bits HC12D60.

Paramètres	Description	Remarques
IA	Source de courant	Courant périodique triangulaire (0.2 A max)
Cd	Capacité de découplage	$C_d = 2\text{nF}$
Lvdd_die, Lvss_die	Inductance série interne	L'inductance périodique est accordée à 3 nH, ce qui provoque un effet de résonance avec des Cb autour 400 mégahertz.
Rvdd_die, Rvss_die	Resistance série interne	Environ 2 Ω
Cb	Capacité de découplage de bloc	Capacité locale de bloc, autour 50 pf

Tableau IV-1 : information sur les éléments du modèle. [14]

Sachant que l'émission est maximale à la résonance nous simulons un effet de résonance avec le circuit LC à environ 410 MHz, pour se faire il faut appuyer sur « Tools » puis « LC Resonant Frequency », nous obtenons ainsi l'écran de la figure IV-7.

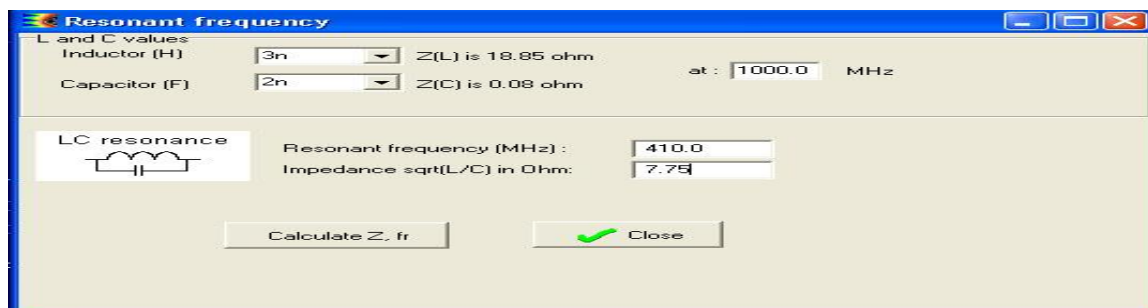


Figure IV-7 : évaluation de la fréquence de résonance du circuit LC.

En utilisant la commande « File → Generate Spice file » un fichier Spice compatible est généré et l'écran de la figure IV-8 apparaît.

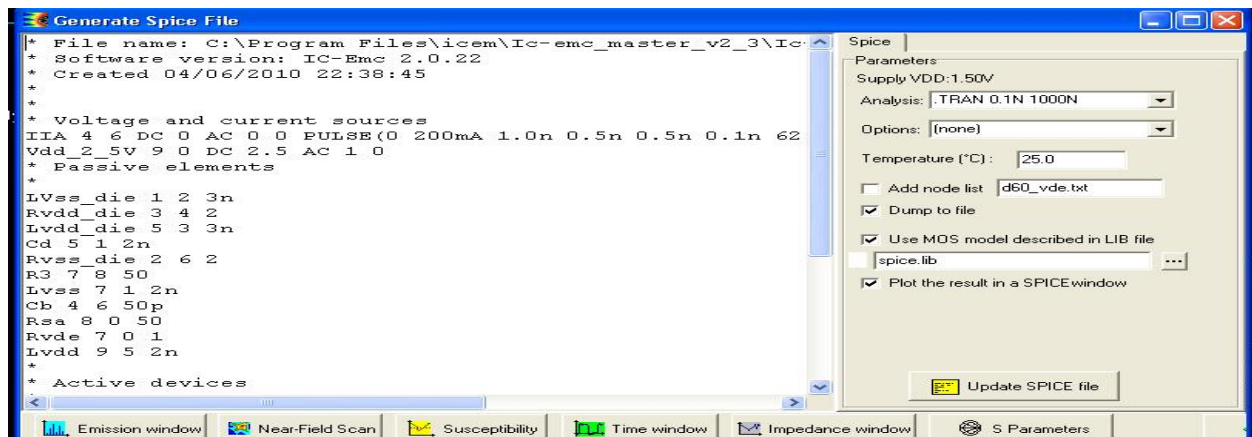


Figure IV-8 : génération du fichier Spice à partir du schéma du modèle (d60_vde.CIR).

fichier d60_vde. CIR déjà généré. La simulation est ainsi faite pour une durée de 1 μ s et l'écran de la figure IV-9 apparaît.

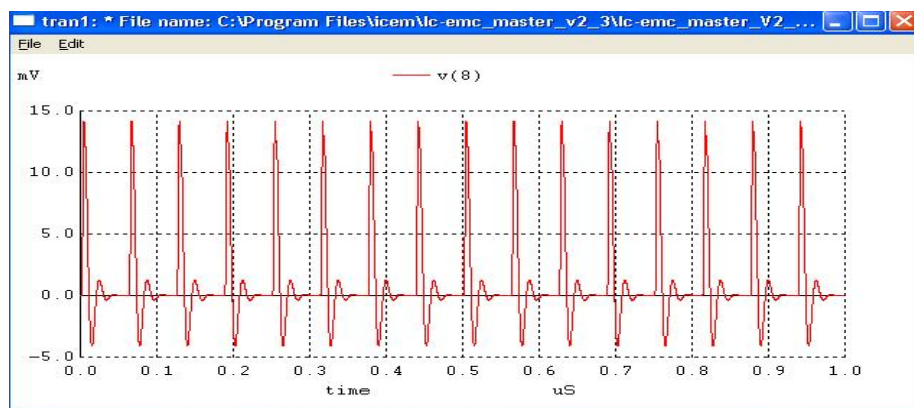
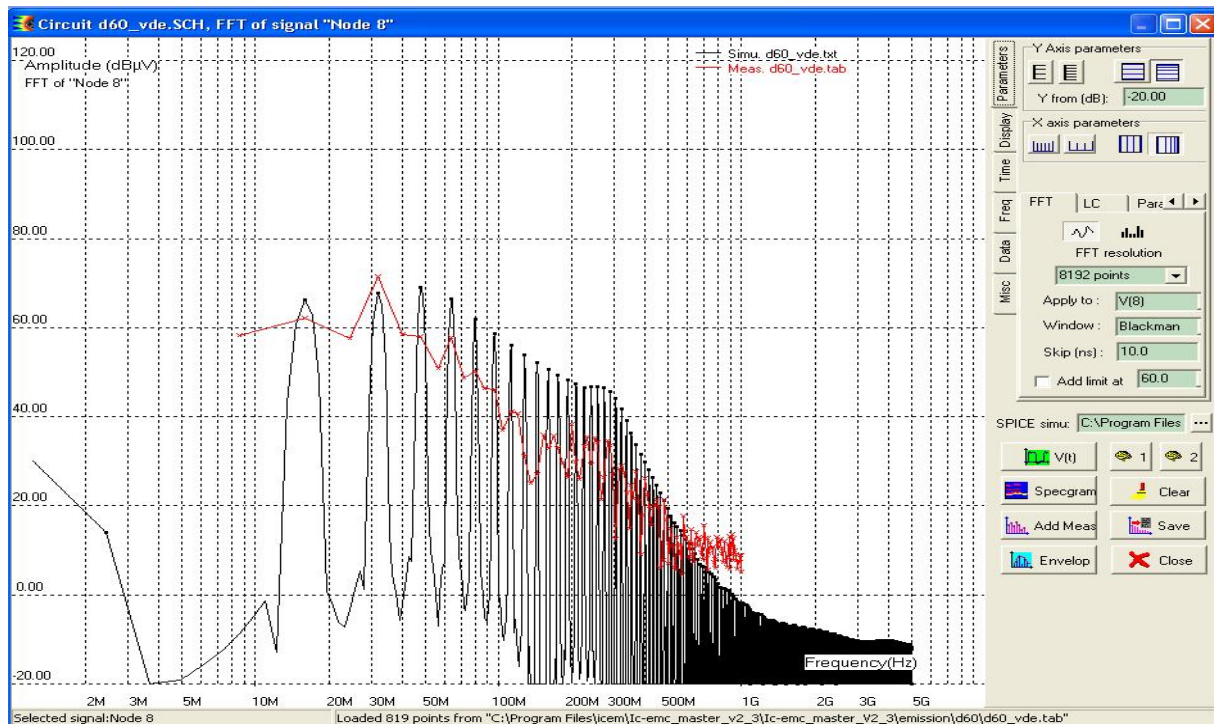


Figure IV-9 : résultat de l'analyse effectuée avec WinSpice (d60_vde.cir).

Dans le menu « SPICE generator menu » nous cliquons sur « Emission Window », le spectre apparaît comme le montre la figure IV-10. Il s'agit de la FFT du signal de sortie décrit par le fichier WinSpice « d60_vde.txt ». En cliquant sur « Add Measurements » et en sélectionnant le fichier « d60_vde.tab », les résultats des mesures sont superposés à celui de la simulation pour la comparaison.



Nous constatons à partir de la figure IV-10 que les résultats de la mesure correspondent à ceux de la simulation. La majeure partie du spectre d'énergie est concentrée dans une gamme de fréquence s'étalant de 10 à 300 MHz, avec un faible niveau d'énergie au delà de 500 MHz. Le modèle ICEM prédit remarquablement les harmoniques entre 50 et 500MHz .Même si une différence subsiste au delà de 500MHz, le modèle ICEM peut approcher ces valeurs en opérant quelque changement au modèle, plusieurs approches sont possibles :

- Modifier les paramètres de la source de courant, en effet le temps de montée (TR), le temps de descente (TF) peuvent être modifiés ainsi que l'intensité de l'impulsion de courant.
- Ajouter une résistance série parasite à la capacité de découplage Cb, d'une valeur de quelque Ohms, elle limitera l'effet de découplage à partir de quelques MHz.
- Remplacer la source de courant impulsionnel par une PWL (Piece-Wise-Linear). La PWL contient plus d'informations qui peuvent changer le contenu des harmoniques et améliorer la correspondance entre la mesure et la simulation.
- Changer la valeur de la capacité Cb et des inductions Lvdd_die, LVss_die. Choix qui modifie l'effet de résonance. [14] [15]

b) Cas de l'émission rayonnée

1) La puce CESAME

La cellule CESAME est une puce test, conçue par Mr COURAU à ST Microelectronics Crolles, dans le cadre du projet européen MEDEA+ "MESDIE" et dédiée à l'étude des

émissions électromagnétiques. Insérée dans un boîtier TQFP 144 broches, la puce CESAME est constituée de 6 cœurs logiques (voir figure IV-5 [14]) ayant le même fonctionnement. Pour bien séparer et isoler chaque cœurs, les blocs logiques et les E/S ont chacun une paire d'alimentation de 1,8V. [14] [18] [7]

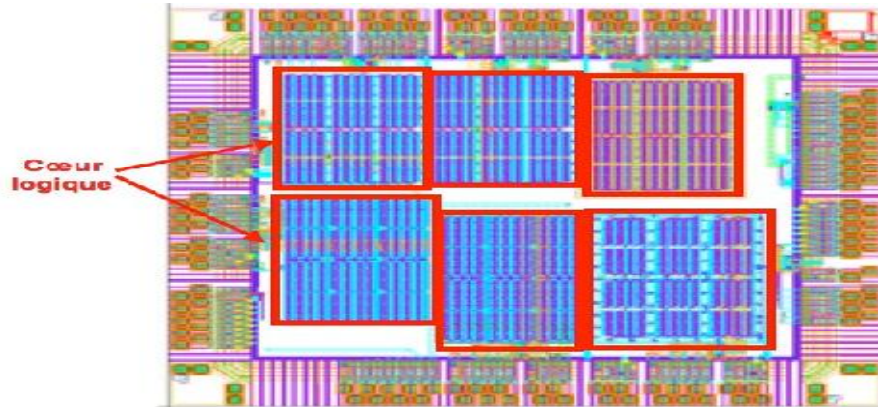


Figure IV-5 : Layout de la puce CESAME regroupant ses 6 cœurs

Pour obtenir un comportement électronique et des consommations en courant similaires à celles d'un circuit synchrone comme un microcontrôleur, la puce CESAME se compose de plusieurs cellules de base constituées de portes NAND et de bascules D. La puce CESAME est disposée sur une carte dont le format est adapté aux cellules TEM (dimension de 10,3 x 10,3 cm) pour effectuer des mesures d'émissions. [7]

2) Modèle de la cellule TEM

Ce paragraphe traite de l'utilisation du logiciel IC-EMC pour prédire la mesure par une cellule TEM ou GTEM de l'émission rayonné. La méthode à suivre pour effectuer la comparaison entre la mesure et la simulation est illustrée par la figure IV-11[15]. Nous devons considérer les modèles de l'activité interne, du boîtier, de la cellule TEM et celui du couplage. Une fois le modèle complété une simulation est réalisée dans le domaine temporelle. Pour la comparaison, le résultat de cette simulation est translaté dans le domaine fréquentiel et représenté sur une échelle logarithmique avec le résultat de la mesure.

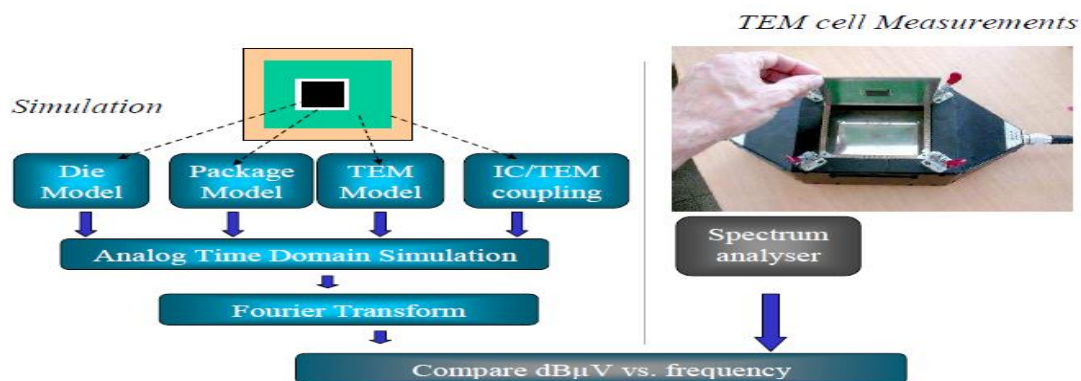


Figure IV-11 : simulation de la mesure avec la cellule TEM

Il a noté qu'il est possible d'utiliser le même modèle de boîtier et d'activité interne pour la simulation de l'émission rayonné et conduite. La figure IV-12 [15] représente le modèle de la cellule TEM.

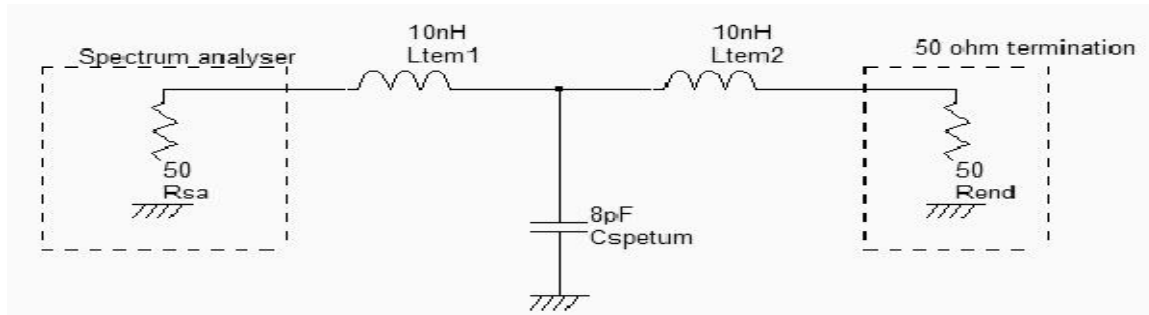


Figure IV-13 : modèle de la cellule TEM (temModel.SCH)

Le couplage entre le septum de la cellule et le circuit intégré s'effectue de deux manières différentes. En effet le couplage avec le boîtier est inductif alors qu'avec l'intérieur du circuit il est capacitif. L'inductance mutuelle est décrite par la formule suivante :

$$k = \frac{L_{12}}{\sqrt{L_1 L_2}} \quad \text{Équation IV-1 [14]}$$

Avec : k le coefficient de couplage (entre 0 et 1), L_{12} l'inductance mutuelle, L_1 et L_2 les valeurs de la première et de la seconde inductance.

La capacité de couplage entre le circuit intégré et le septum est représentée par la capacité C_{spetum} d'une valeur de 100 PF, le couplage entre L_{tem1} et les inductances de la cellule L_{dd1} et L_{dd2} est représenté par le coefficient de couplage K qui peut être représenté par un élément appelé « Mutual Coupling » qui se trouve dans la table des composants comme il peut être ajouté comme label sous la syntaxe suivante :

```
Kxxx Lyyy Lzzz coef
Example: K1 Ltem2 Lvdd1 0.03
```

3) Simulation de l'émission rayonné par la cellule CESAM dans la cellule TEM

La figure IV-14 [15] rend compte du modèle de la puce CESAM dans une cellule TEM. Pour modifier la valeur du couplage il suffit de double cliquer sur le composant ou le label.

La figure IV-15 représente la simulation du modèle de la puce CESAM en noir et le résultat des mesures en rouge, nous y constatons une concordance notable jusqu'à environ 1GHz. Notons que les harmoniques créés par le basculement des entrées sorties à partir de 10 MHz sont ignorés dans le cas de la simulation. Remarquons aussi que le modèle SESAM peut être utilisé pour l'émission conduite comme nous l'avons fait dans le cas du microcontrôleur HC12D60.

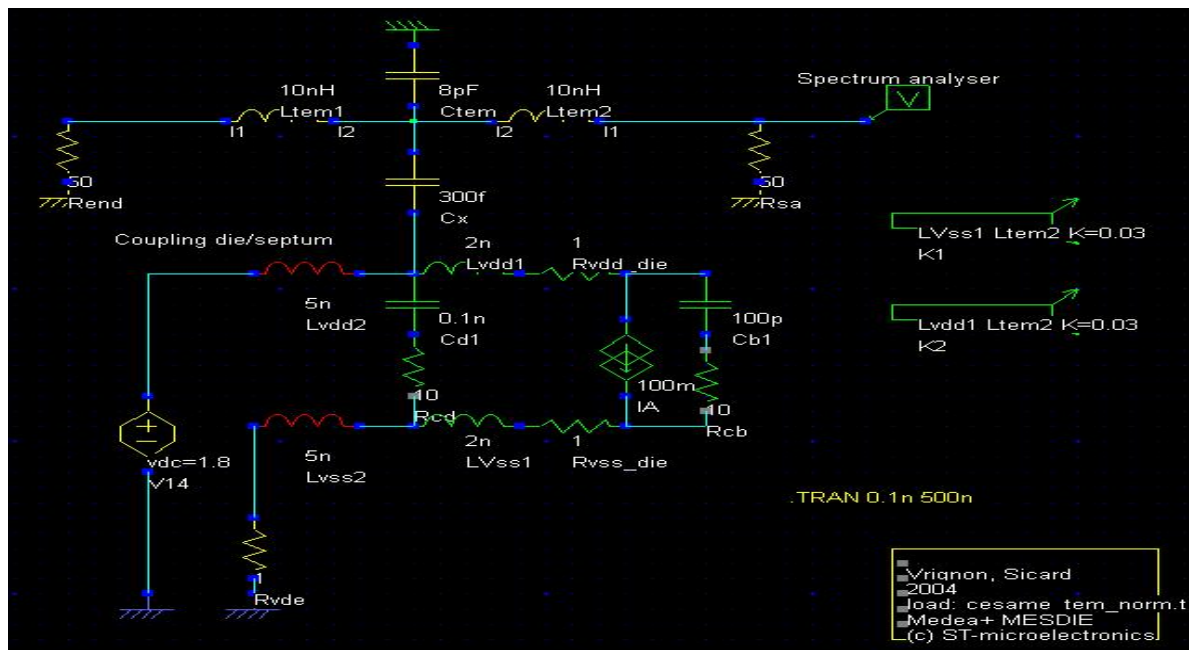


Figure IV-14 : modèle du véhicule de test CESAM dans une cellule TEM (cesame_tem_norm.sch).

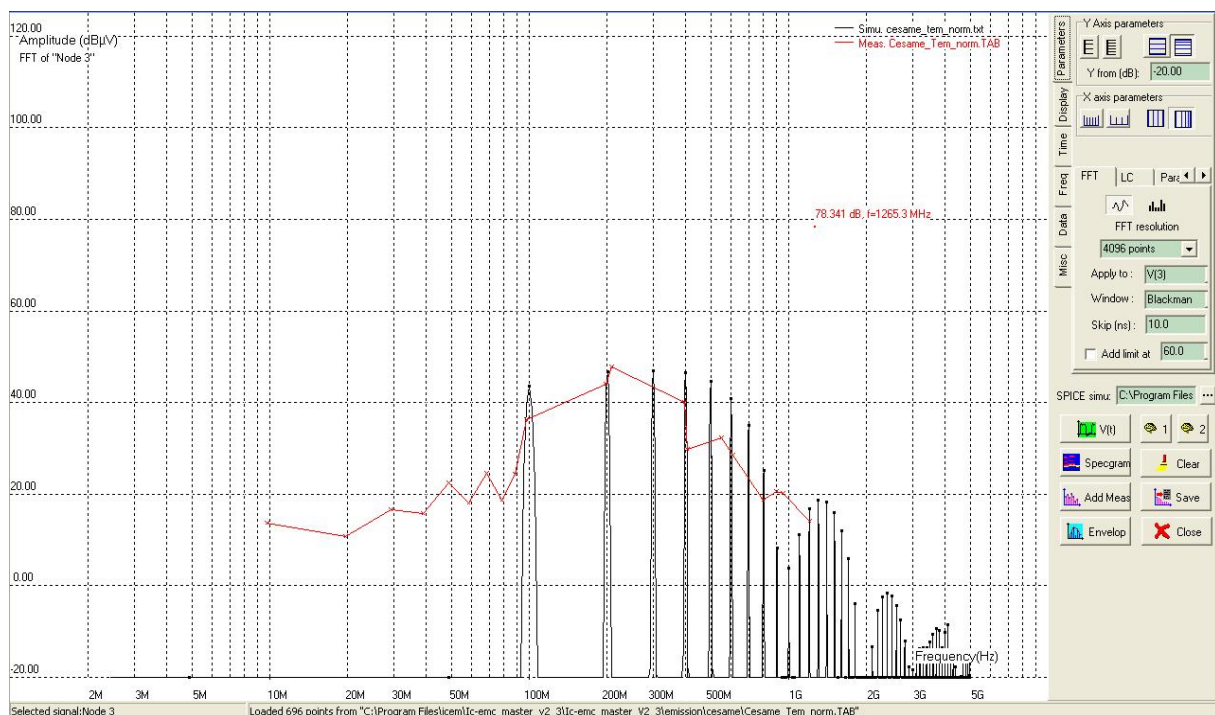


Figure IV-15 : comparaison des résultats de mesure et de simulation de l'émission rayonnée.

c) Cas de la mesure par balayage du champ magnétique émis en champ proche

La mesure du champ magnétique proche s'effectue grâce à une sonde de mesure, la figure IV-16 [14] illustre la simulation de la mesure du champ magnétique proche, ainsi qu'un aperçu sur les modalités de la simulation. Dans les paragraphes précédant, nous avons remarqué une bonne corrélation entre les résultats obtenus par mesure et ceux obtenus par simulation du

modèle du véhicule de test CESAM dans le cas de l'émission rayonnée. Nous allons utiliser dans ce paragraphe la même cellule à fin de simuler le balayage du champ magnétique proche.

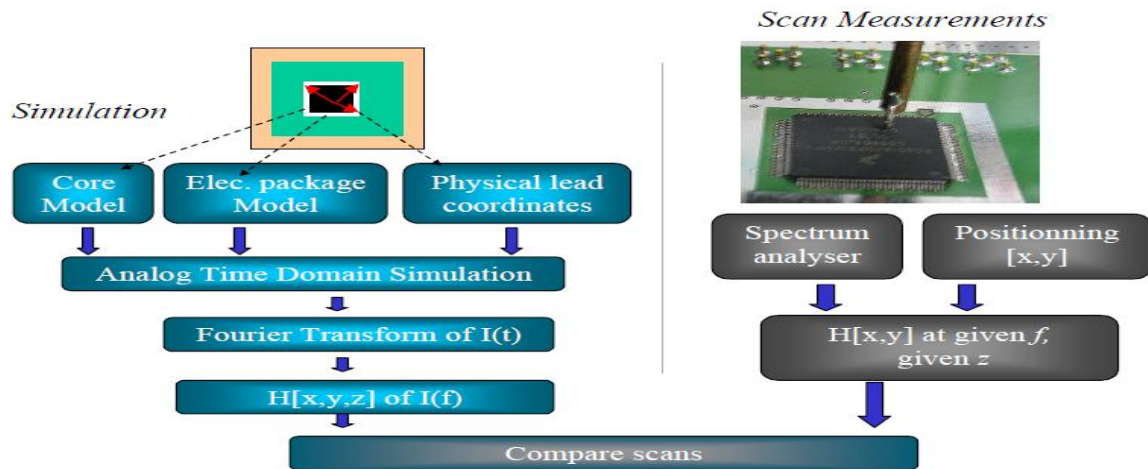


Figure IV-16 : simulation et mesure par balayage du champ magnétique proche.

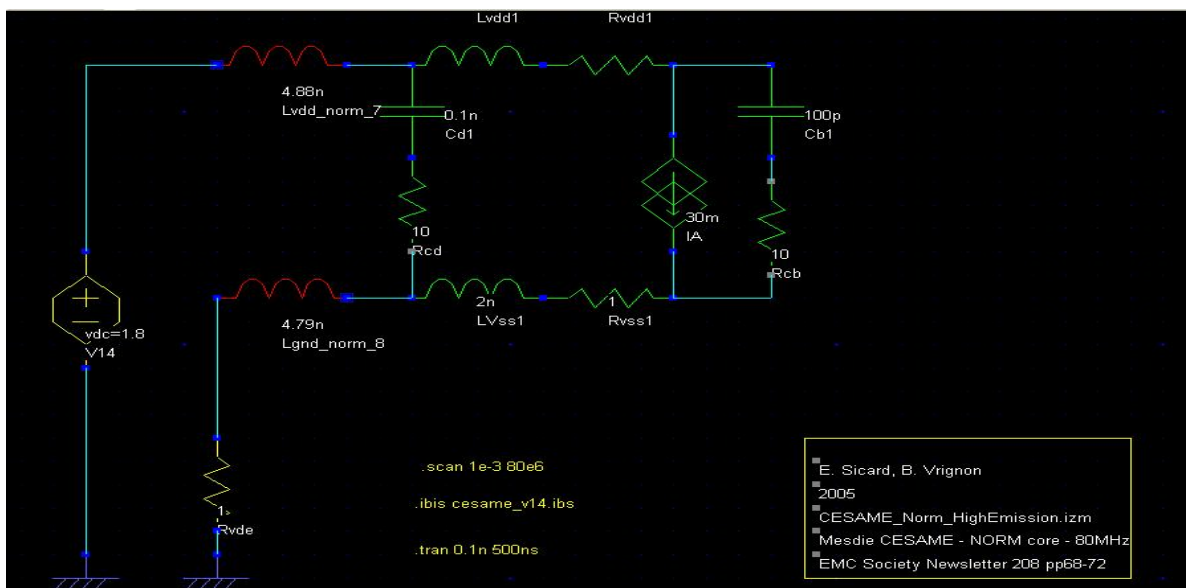


Figure VI- 17 modèle CESAM utilisé pour la prédiction des résultats de mesure du balayage du champ magnétique proche (cesame_norm_scan.sch).

Après avoir réalisé la simulation temporelle avec Winspice il faut revenir dans le menu « genrate spice file » de IC-EMC, puis cliquer sur « near field scanning », la fenêtre de simulation du champ proche apparaît. Il faut alors paramétrer la simulation (champ électrique, magnétique, fréquence ...), puis sélectionner sur « simul. scan » pour avoir le résultat illustré par la figure IV-18.

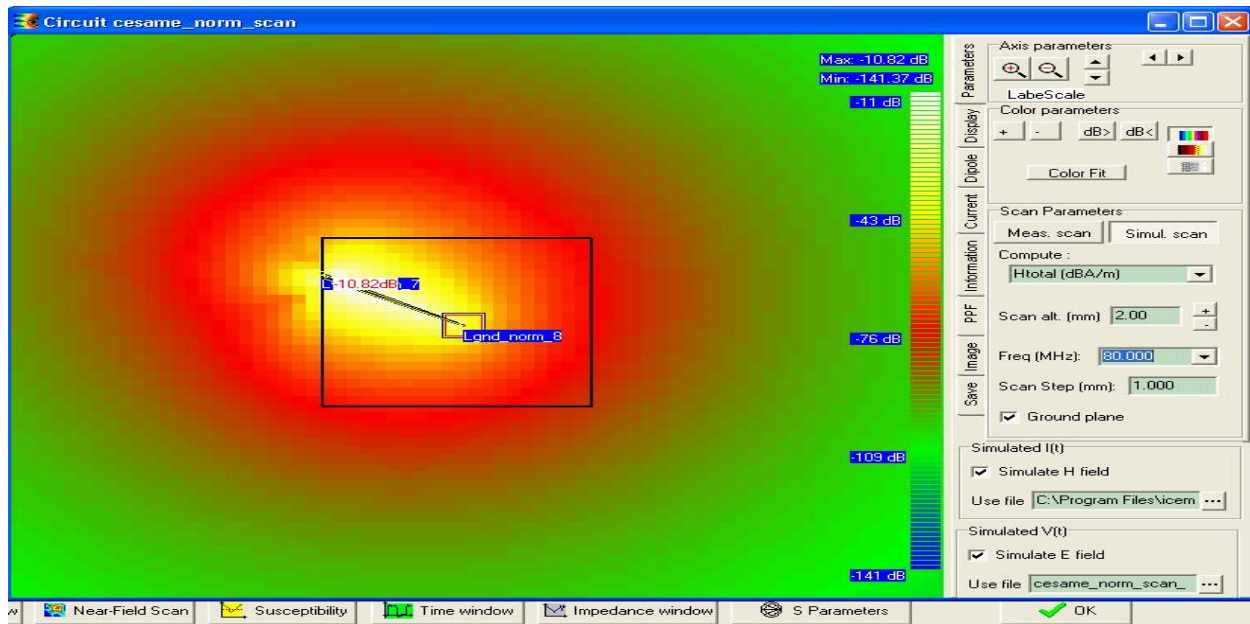


Figure IV-18 : simulation du champ magnétique proche H total avec le modèle de la puce CESAM.

IV) Simulation de l'immunité

a) Mesure de puissance modèle du coupleur directif

Un coupleur directif est un élément passif qui permet la séparation et la mesure des ondes réfléchiées et incidente qui le traverse, l'entrée du coupleur est connectée à l'amplificateur de puissance alors que sa sortie l'est à la charge. L'impédance caractéristique du coupleur est de 50Ω . La figure IV-19[15] illustre le principe de mesure en utilisant un coupleur directif ainsi que le symbole du coupleur dans IC-EMC.

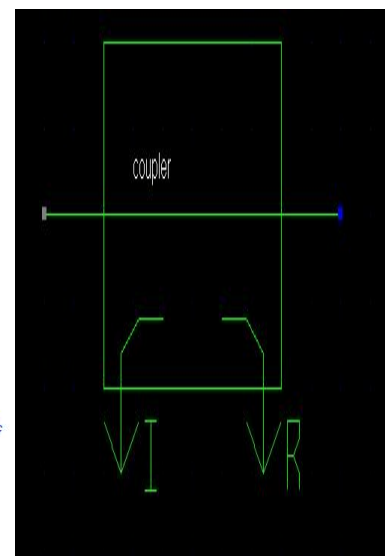
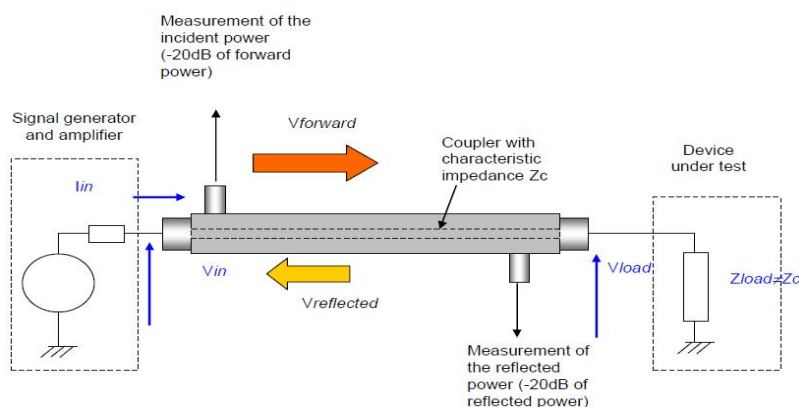


Figure IV-19 : utilisation d'un coupleur pour la mesure et schéma du coupleur dans IC-EMC

b) Simulation du coupleur dans le cas d'une charge adaptée et inadaptée

Le but de la simulation est de connaître le niveau de puissance émise et réfléchi dans le cas d'une charge adaptée de 50Ω et non adaptée de 150Ω.

1) Charge adaptée

La figure IV-20 [14] illustre l'exemple du coupleur à simuler. La charge étant adaptée, la puissance réfléchi est nulle. Le traitement fait par Winspice nous donne la description de la puissance incidente et réfléchi en se basant sur les équations IV-1 et VI-2. La figure IV-22 donne le résultat de la simulation, dans le cas d'une source de tension de 1V et une charge de 50Ω, la puissance incidente devrais être de l'ordre de 13dBm.

$$P_{forward} = 10 \times \log \left[\frac{1}{Z_c} \times \left(\left(\frac{\text{real}(V_{in}) + Z_c \times \text{real}(I_{in})}{2} \right)^2 + \left(\frac{\text{imag}(V_{in}) + Z_c \times \text{imag}(I_{in})}{2} \right)^2 \right) \right] + 30 \quad \text{Équation IV-1 [15]}$$

$$P_{reflected} = 10 \times \log \left[\frac{1}{Z_c} \times \left(\left(\frac{\text{real}(V_{in}) - Z_c \times \text{real}(I_{in})}{2} \right)^2 + \left(\frac{\text{imag}(V_{in}) - Z_c \times \text{imag}(I_{in})}{2} \right)^2 \right) \right] + 30 \quad \text{Équation IV-2 [15]}$$

Avec :

Z_c : l'impédance caractéristique du coupleur

V_{in} et I_{in} : respectivement la tension et le courant complexe à l'entrée du coupleur

$P_{forward}$ et $P_{reflected}$: respectivement la puissance incidente et réfléchi

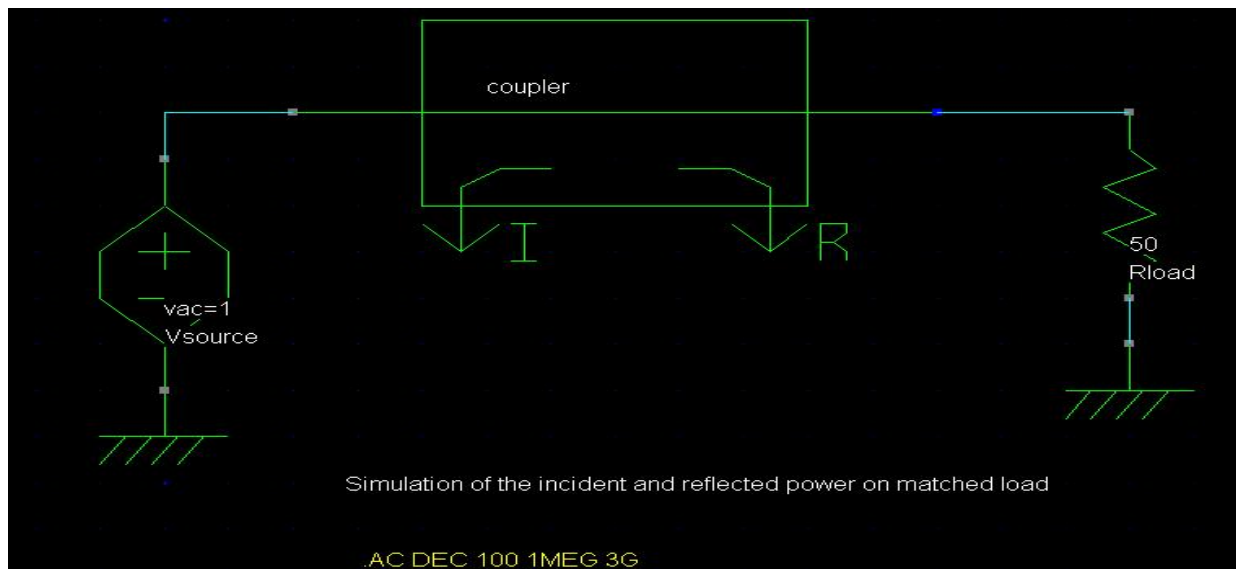


Figure IV-20 : exemple de simulation du coupleur dans le cas d'une charge adaptée (coupler_power.SCH).

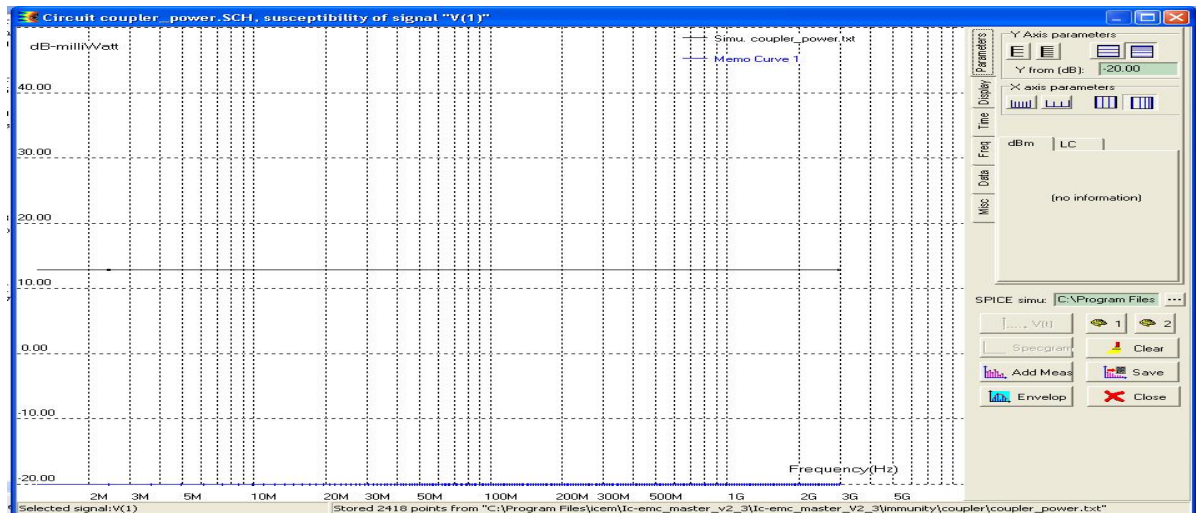


Figure IV-21 : puissance incidente et réfléchiée dans le coupleur (coupler_power.SCH).

A cause de la désadaptation l'onde réfléchiée n'est plus nulle. Dans ce cas on utilise le même exemple que celui de la figure IV-20 sauf que cette fois la charge est de $150\ \Omega$. La figure IV-22 illustre le résultat de cette simulation.

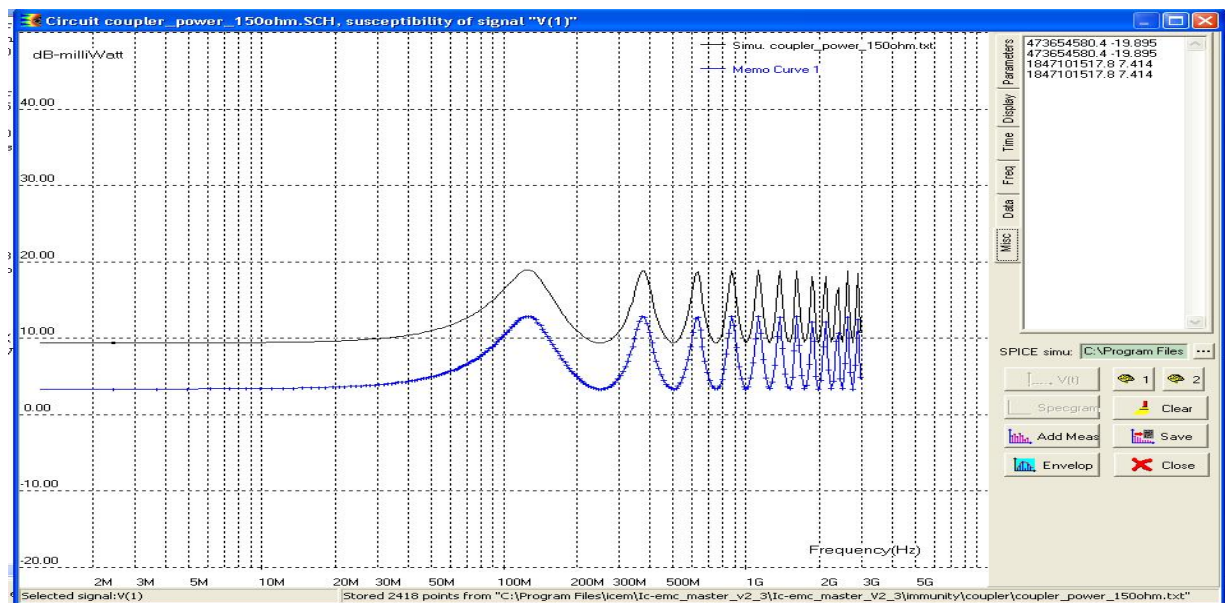


Figure IV-22 : simulation de la puissance incidente et réfléchiée dans un coupleur avec une charge de $150\ \Omega$.

c) Simulation de la DPI dans le cas d'une résistance de charge de $330\ \Omega$

La méthode DPI est une méthode de mesure décrite dans le chapitre II. Dans ce cas nous allons prendre une résistance de charge de $330\ \Omega$ car elle correspond à l'impédance d'entrée d'un circuit intégré. La figure IV-23 [15] donne le modèle de la chaîne de mesure, on y retrouve notamment le modèle du coupleur directif.

Par simulations successives à différentes fréquences, il est possible d'extraire les niveaux de puissance incidente et de les comparer aux résultats obtenus par la mesure avec DPI, chose mise en évidence par la figure IV-25. Nous y constatons que les résultats de la simulation diminuent à partir de 200 MHz alors que c'est le contraire qui se produit dans le cas de la mesure, la raison est que le modèle ne prend pas en compte tous les éléments parasites.

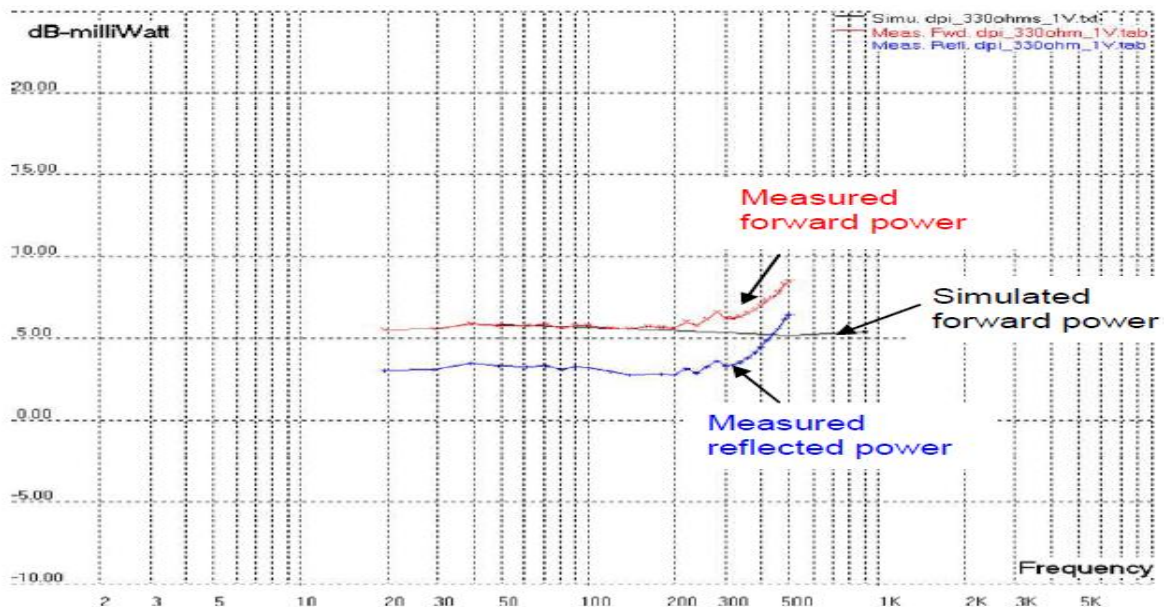


Figure IV-26 : comparaison des résultats de la mesure et de la simulation de la DPI à travers une charge de 330Ω.

V) Étude du cas du microcontrôleur S12X

Le but de ce paragraphe est de décrire et de simuler le modèle d'immunité et d'émission du microcontrôleur S12X [13]. L'émission rayonnée dans une cellule TEM basée sur le standard IEC 61967-2 comme le balayage de l'émission en champ proche standard IEC 61967-3 y sera simulés et comparés aux mesures pour une gamme de fréquence allant de 10 MHz à 1 GHz.

a) Aperçu sur le microcontrôleur S12X

LE S12X est un microcontrôleur important pour l'instrumentation automobile, en effet la famille S12X dispose d'une CPU 16 bits épaulée par un coprocesseur nommé XGATE, qui s'occupe entre autre de l'activité des portes et des processus liés à la périphérie. L'architecture interne du S12X conçu par Freescale [13] est illustré par la figure IV-27[14]. Il est à noter que le cœur est placé au milieu de la partie gauche du circuit, les régulateurs sont repartis dans deux places différentes et que la place la plus importante est affectée aux différents modules de mémoires (RAM, Flash, EEPROM, Dual port RAM). [14]

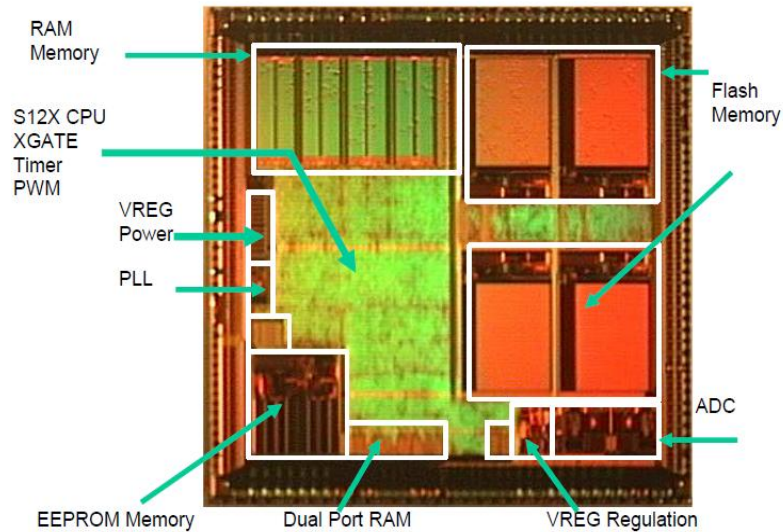


Figure IV-27 : Structure interne du S12X.

b) Le modèle d'émission du S12X

Le but de ce paragraphe est de décrire la façon dont a été élaboré le modèle non confidentiel du S12X, le modèle en soit étant décrit par la figure IV-29.

1) L'activité interne

Le modèle utilisé pour décrire l'activité interne du S12X est constitué d'une ou de plusieurs sources de courant nommées IA (ICEM), la source de courant décrit l'activité interne du cœur logique. Sachant que les fondeurs de circuit intégré ne donnent pas d'informations sur cette source, elle a été approximée à une source triangulaire (figure IV-28 [14]). Sachant que la fréquence d'horloge est de 16MHz, des pics de courant apparaissent durant les phases de montées et de descentes de l'horloge, leur période est de 31.2ns soit une fréquence de 32MHz. Les pics de courant ont une amplitude de 450mA. Un modèle plus poussé de la source de courant exigerait une connaissance plus approfondie de l'agencement des composants de la puce. [14] [15]

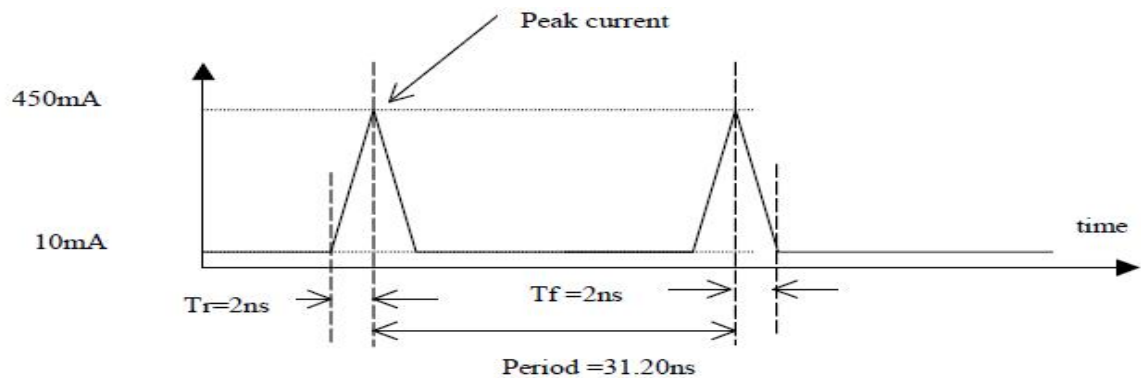


Figure IV-28 : caractéristiques de la source de courant utilisé dans le modèle ICEM du S12X.

2) Le PDN : la source de courant est associée à des éléments passifs qui décrivent les rails d'alimentation interne. Les éléments RLC utilisés pour construire le PDN du S12X sont listés dans le tableau IV-2 [14]. La figure IV-29 [15] donne la position de ces éléments dans le modèle et leur connections avec la source de courant, c'est le modèle ICEM du S12X. Les éléments du modèle du réseau d'alimentation ont été évalués par calcul en utilisant des formules mathématiques qui se basent sur les dimensions physiques des pistes VDD et VSS. Les valeurs des capacités de découplages Cdiec1 et Cdiec2 sont fournies par l'équipe de Freescale. [14]

Paramètres	Description	Valeur
C_onchip	Capacité distribuée au niveau des portes logiques	200 pF
R_onchip	Résistance distribuée entre les portes logiques	1 ohm
Ldie_Vi	Inductance série	1 nH
Rdie_Vi	Résistance série	0.5 ohm
C_diedec1, C_diedec2	Capacités de découplage	0.5 nF
R_die1, R_die2	Resistance parasite entre VDD et VSS	0.5 ohm
Lpack_Vi	Inductance d'accès série du boîtier	4-5 nH
Rpack_Vi	Résistance d'accès série du boîtier	1 ohm

Tableau IV-2 : description des éléments du PDN.

La résistance Rreg de 56 Ω modélise le régulateur. Pour palier aux problèmes rencontrés dans le cas des hautes fréquences une capacité Creg_ByPass fut ajoutée. L'inductance Ldieregul représente la distance (2mm) entre le régulateur et le cœur logique.

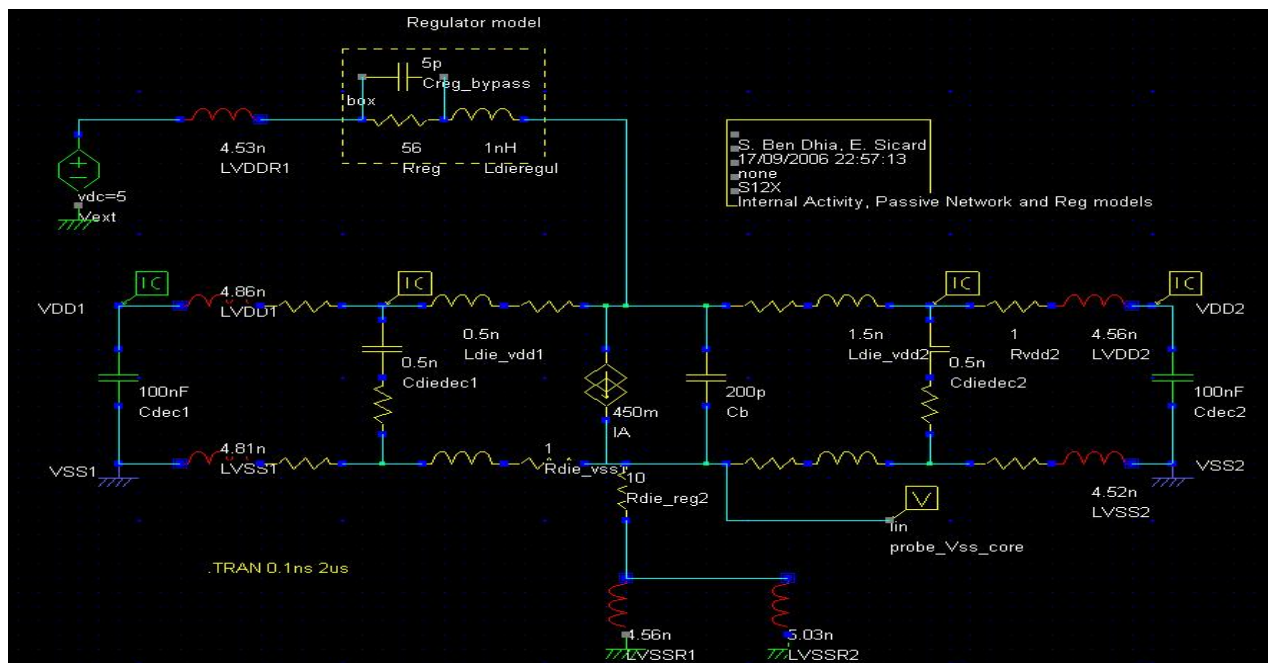


Figure IV-29 : les composant IA et PDN du modèle du S12X (s12x_ia_pdn.sch).

c) **Modèle d'entrée sortie** : La figure IV-30 [15] représente le réseau d'alimentation du S12X.

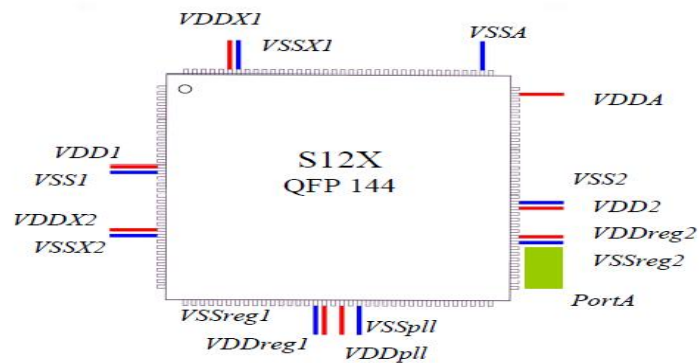


Figure IV-30 : réseau d'alimentation du S12X.

Le réseau d'alimentation du block d'entrée/sortie est constitué des ports VDDX1/VSSX1 et VDDX2/VSSX2. Les ports J, K, M, P, S et T sont alimentés par VDDX1 et VDDX2 alors que les ports A, B, C, D et E le sont par VDD2 [14]. Le port actif dans le cas de la mesure de l'émission est le port A. Un modèle simplifié de ce port est préféré pour réduire la complexité de la simulation. Dans d'autres cas les 8 lignes de basculement constituant le réseau d'alimentation sont intégrées dans un seul buffer qui émet un bruit équivalent. Néanmoins le modèle simplifié de l'entrée/sortie reproduit raisonnablement les temps de montée et de descente observés avec la sonde de mesure. La consommation de courant est représentative du basculement des 8 buffers et le courant qui traverse l'inductance L_{pack} est la somme des courants qui traversent les 8 broches du boîtier.

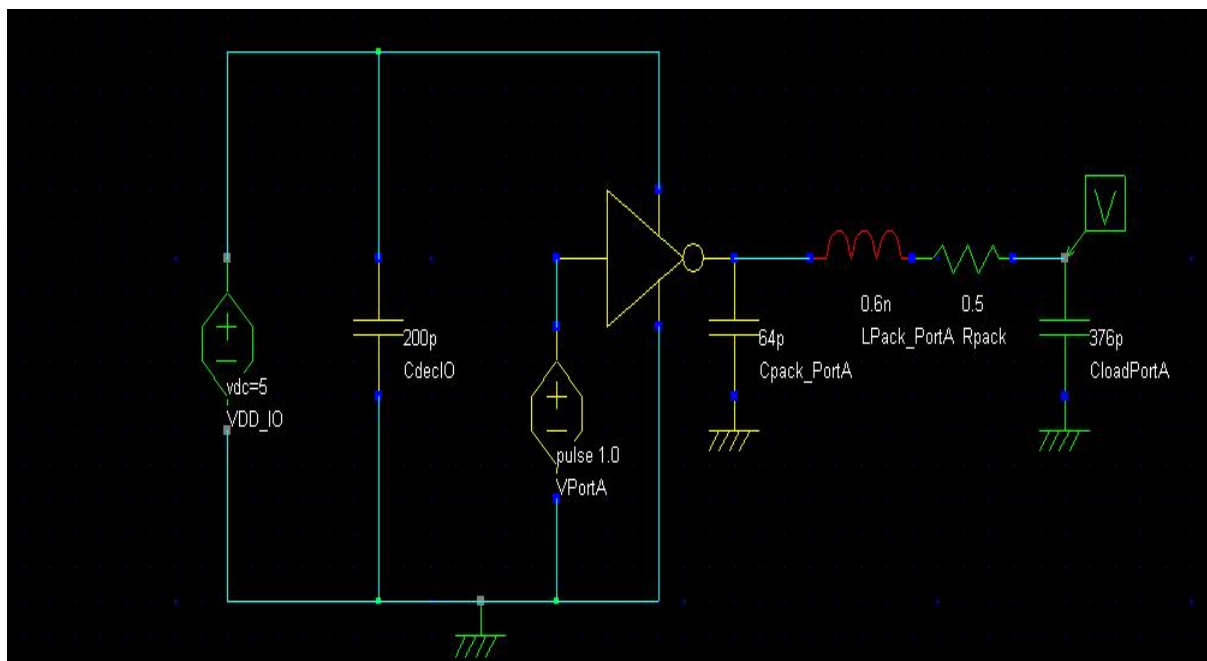


Figure IV-31 : le modèle du buffer de sortie (pull-up, pull-down) (s12x_portA.sch) [15]

Figure IV-32 : modèle de simulation de l'émission rayonné dans une cellule TEM par le S12X

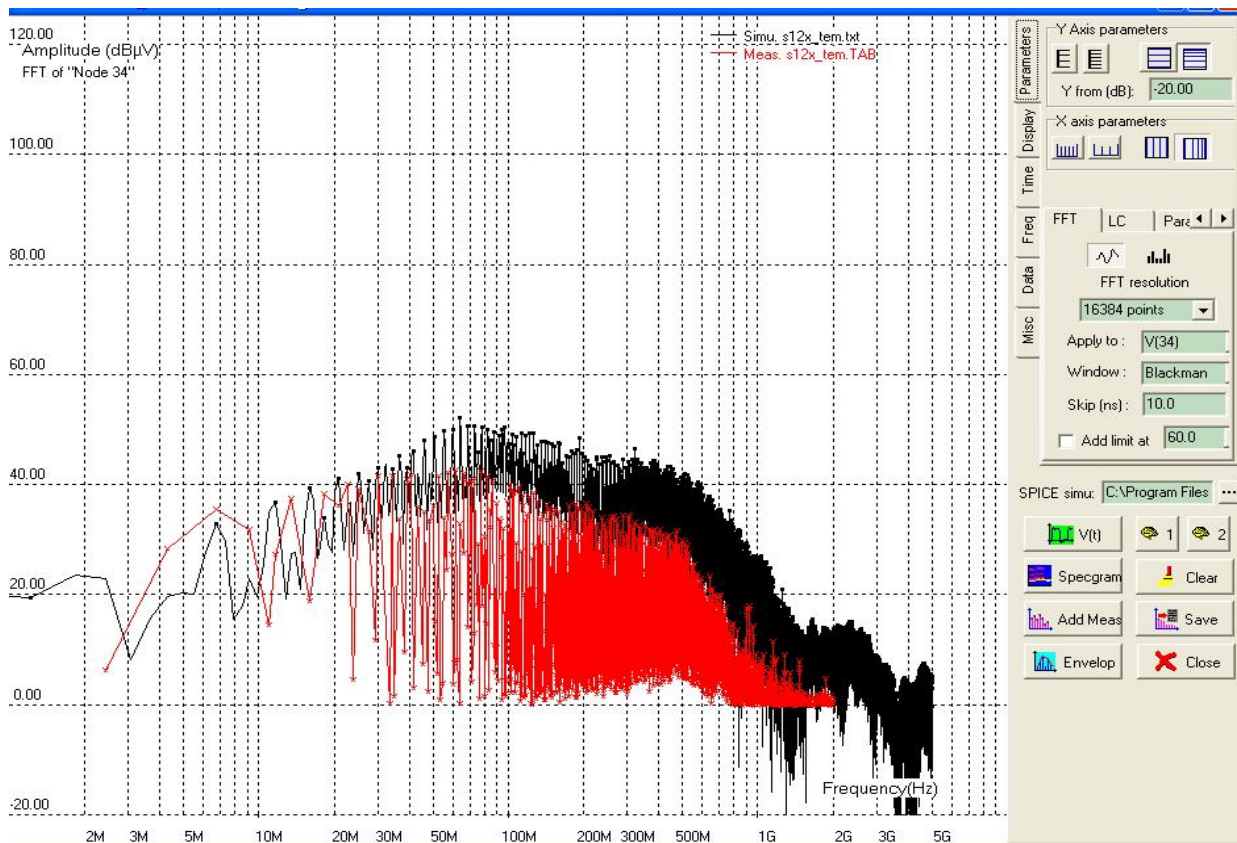


Figure IV-33 : résultats de la simulation (noire) comparés à ceux de la mesure (rouge).

e) Balayage du champ magnétique proche

La figure IV-35 illustre le résultat de la simulation et de la mesure du scan de la composante H_x du champ magnétique proche, alors que la figure IV-36 fait de même pour H_y . Le résultat de la simulation est obtenu pour une fréquence de basculement du port A de 2.25MHz, le champ magnétique est ainsi représenté pour une hauteur de 2.4mm. Après fixation de ces paramètres le schéma électrique figure IV-34[15] qui représente le modèle qui nous permet de prédire le champ magnétique émis par le composant. Il ressemble à celui utilisé précédemment sauf qu'il inclut les 8 entrées/sorties du port A, représentées individuellement, nous y accédons en appuyant sur « open case_study/s12x/s12x_scan_portA.sch ».

La répartition du champ magnétique sur la surface scannée est pratiquement identique entre la mesure et la simulation, nous constatons ainsi un niveau maximum mesuré de la composante H_x égale à -8.14dBA /m alors que la simulation donne -7.62dBA /m, tandis que pour la composante H_y le niveau max mesuré est de -8.83 dBA /m alors que la simulation donne -6.63 dBA /m. Cette disparité peut être induite par les erreurs de mesures et les limites du modèle.

L'émission du champ magnétique étant liée à la circulation du courant, cette simulation est intéressante dans la mesure où elle nous renseigne sur les pistes prises par les courants concernés par l'activité interne du circuit.



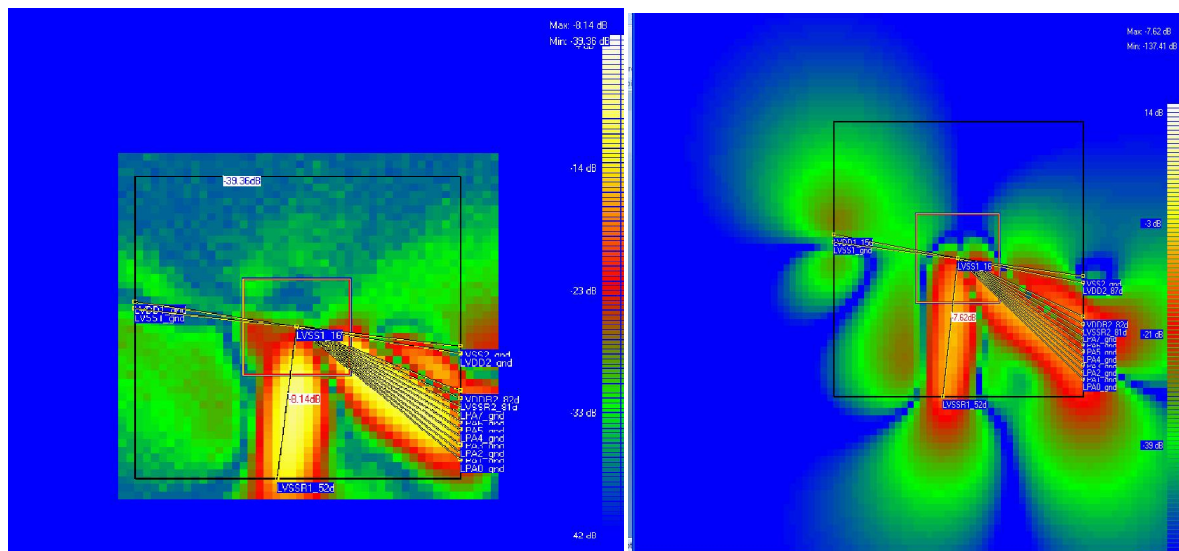


Figure IV-35 : résultats de la mesure (gauche) et de la simulation (droite) du scan de la composante Hx du champ magnétique proche.

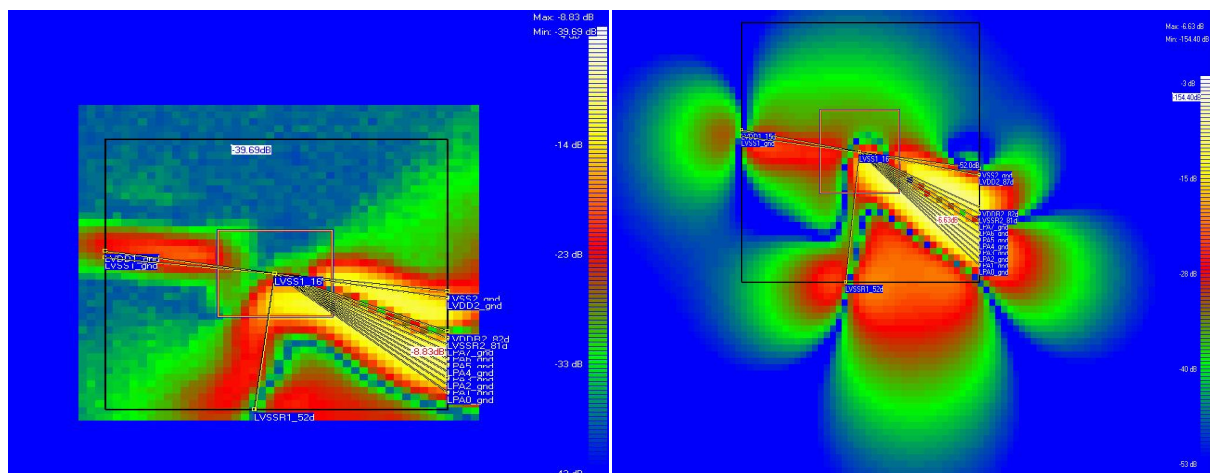


Figure IV-33 : résultat de la mesure (gauche) et de la simulation droite de la composante Hy du champ magnétique proche.

f) Simulation de la DPI à travers un port d'entrée/sortie

Ce paragraphe présente une comparaison entre la susceptibilité mesurée et simulée de l'un des ports du S12X au DPI (injection directe de puissance).

1) Méthode d'agression et modèle de susceptibilité de l'entrée/sortie

Le microcontrôleur étant placé sur un support de test, une capacité de couplage d'une valeur de 6.8nF est placée aussi proche que possible de l'entrée/sortie sous test. Une agression RF est générée par un synthétiseur de signaux et amplifiée par un amplificateur de puissance 10W. Le bruit est appliqué à l'entrée de la capacité de couplage à travers un coupleur directif est un connecteur SMA adapté. Un programme test est implémenté dans la mémoire programme du microcontrôleur, il lit l'état logique de l'entrée et le transmet à une sortie. Une LED connectée

à cette dernière nous renseigne sur l'état logique, si elle est éteinte alors nous sommes dans l'état normale « 0 » alors que si elle s'allume, ce qui signifie un changement d'état vers le « 1 » qui correspond à notre critère de susceptibilité. La figure IV-37 [14] décrit le procédé.

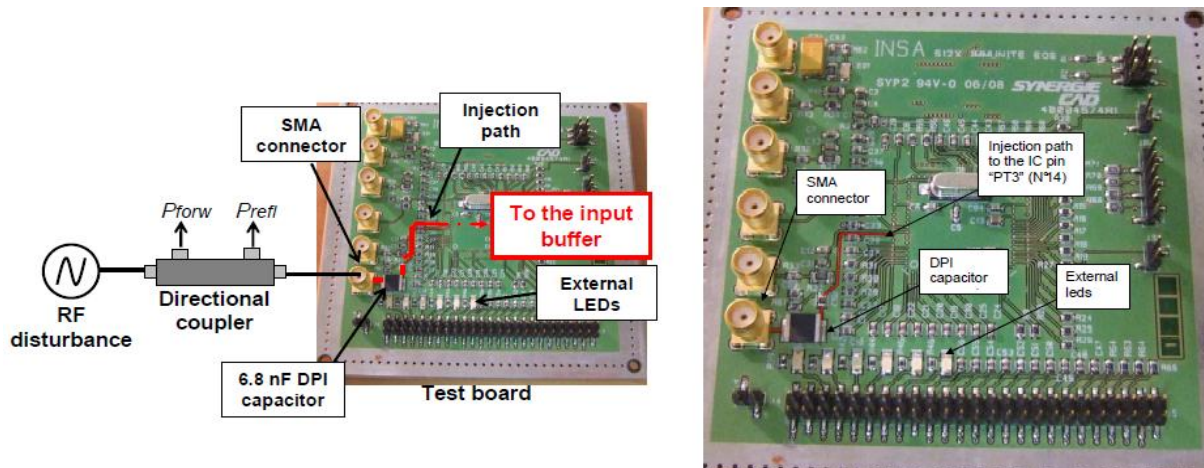


Figure IV-37 : description du procédé de la DPI

Le schéma de la figure IV-38 [14] décrit les différentes parties que comporte le modèle de susceptibilité d'une entrée/sortie du microcontrôleur. [15]

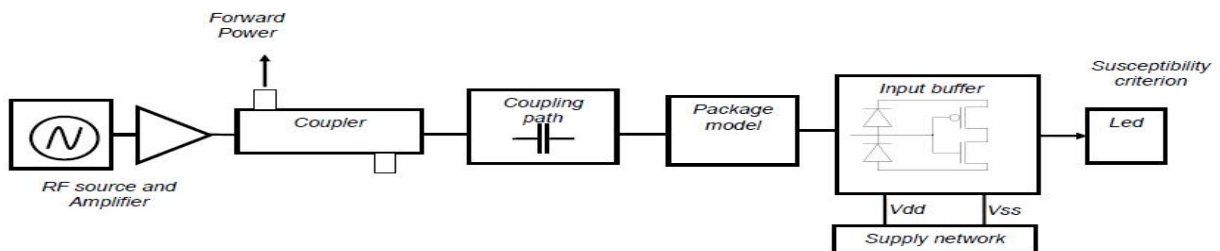


Figure IV-38 : composant du modèle de susceptibilité d'une entrées/sortie

2) Simulation de la susceptibilité en utilisant le modèle de l'entrée/sortie uniquement

Le modèle est constitué d'une source de bruit radio fréquence et d'un coupleur directif qui se présente à l'entrée du modèle. L'impédance de sortie de la source est de $50\ \Omega$ et le retard induit par le coupleur est de 2ns qui correspond à une longueur de ligne de 40 cm. Le critère de susceptibilité est déclaré par le label « fail 2.5 » qui signifie une tension de 2.5V sur la sonde de tension à droite du modèle. Entre le coupleur et la sonde nous avons : la capacité DPI, les traces du circuit imprimé, le modèle du boîtier et l'impédance d'entrée du buffer. La figure IV-39 [15] illustre ce modèle.

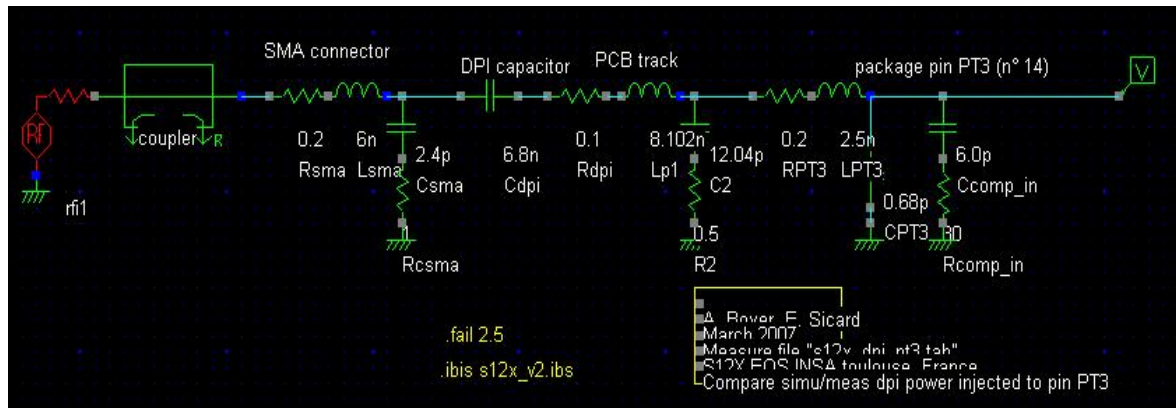


Figure IV-39 : modèle de simulation de la susceptibilité d’une entrée du S12X au DPI (case_study\s12X\s12X_DPI_pt3.sch).

En suivant les étapes déjà décrites dans le paragraphe IV de ce chapitre, le domaine dans lequel la fréquence va varier est choisi entre 10MHz et 1GHz, nous faisons varier l’amplitude de la perturbation entre 10 et 30dBm et le temps de simulation sous Spice est fixé à 100 périodes par rapport à la fréquence de la perturbation RF. La figure IV-40 [15] illustre le résultat de la simulation confronté à celui de la mesure.

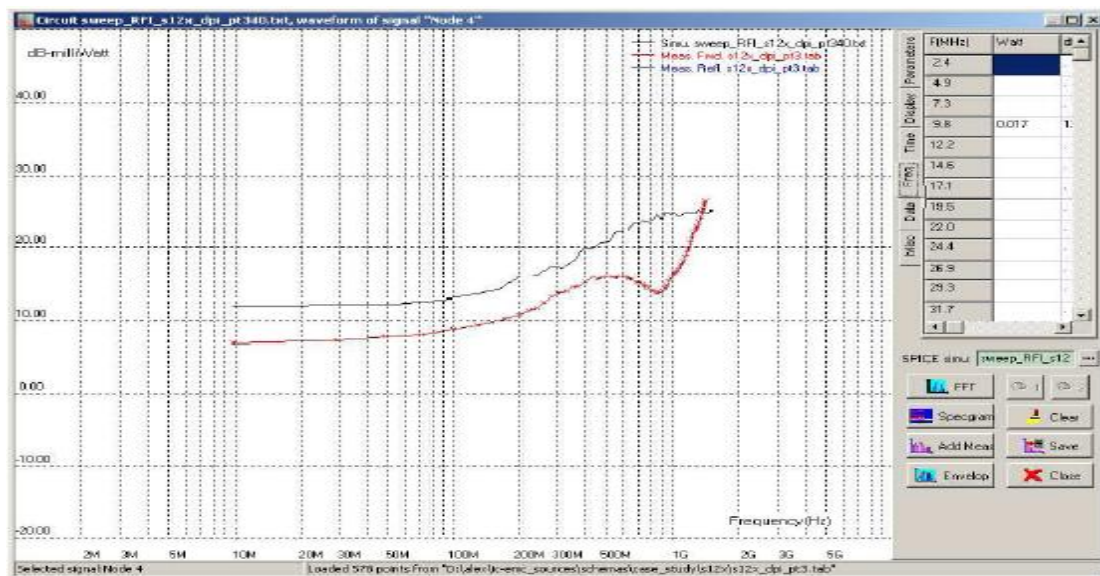


Figure IV-40 : résultats de la simulation et de la mesure de la susceptibilité (S12X_dpi_pt3.sch, s12X_dpi_pt3.tab).

3) Simulation de la susceptibilité de l’entrée/sortie en utilisant le PDN

La figure IV-41[15] illustre le modèle de l’entrée/sortie auquel nous avons connecté le PDN du réseau d’alimentation du port d’entrée/sortie. Le modèle résultant est simulé en gardant les mêmes paramètres de la source de perturbation RF que précédemment ainsi que le même seuil de rupture de 2.5V. Nous remarquons à la figure IV-42 [15] que le PDN du réseau

d'alimentation influence le résultat de la simulation de manière remarquable, en effet ce dernier rend le résultat de la simulation plus proche de la mesure.

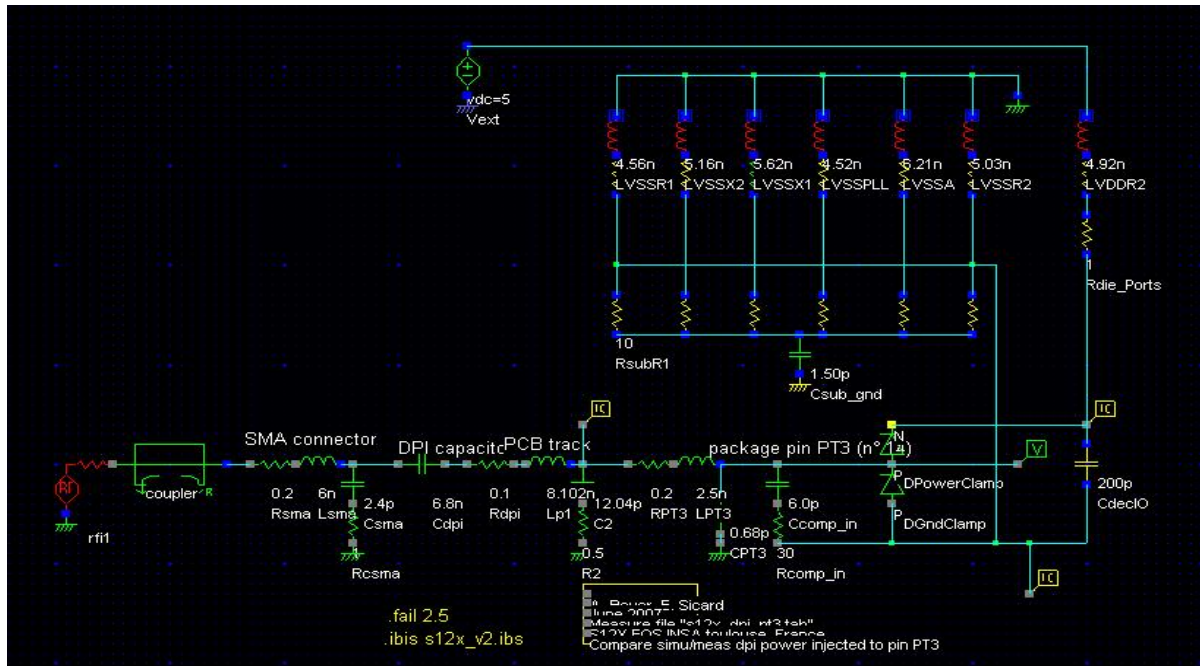


Figure IV-41 : simulation de l'immunité d'une entrée/sortie du S12X en utilisant le PDN (case_study\s12X\s12x_dpi_pt3_iosupply.sch)

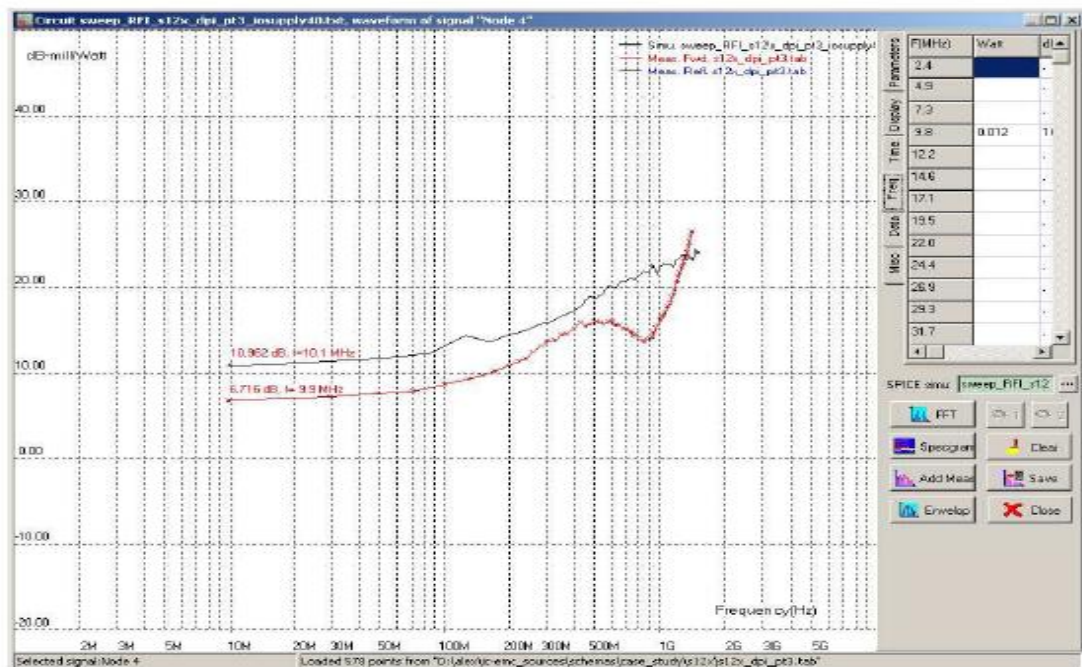


Figure IV-42 : résultat de la simulation en utilisant le PDN

Un modèle bien plus complexe a été développé par A. BOYER il intègre le réseau d'alimentation interne, l'alimentation externe, le modèle du buffer d'entrée, le boîtier et les différentes pistes et autre connecteur, le modèle est représenté par le figure IV-43 [1]. La

figure IV-44 [1] présente le résultat de la simulation de susceptibilité qui est comparée au seuil de susceptibilité mesuré de l'E/S. Une bonne corrélation apparaît jusqu'à 1.45 GHz, fréquence à laquelle plus aucune défaillance n'est observée en mesure. [1]

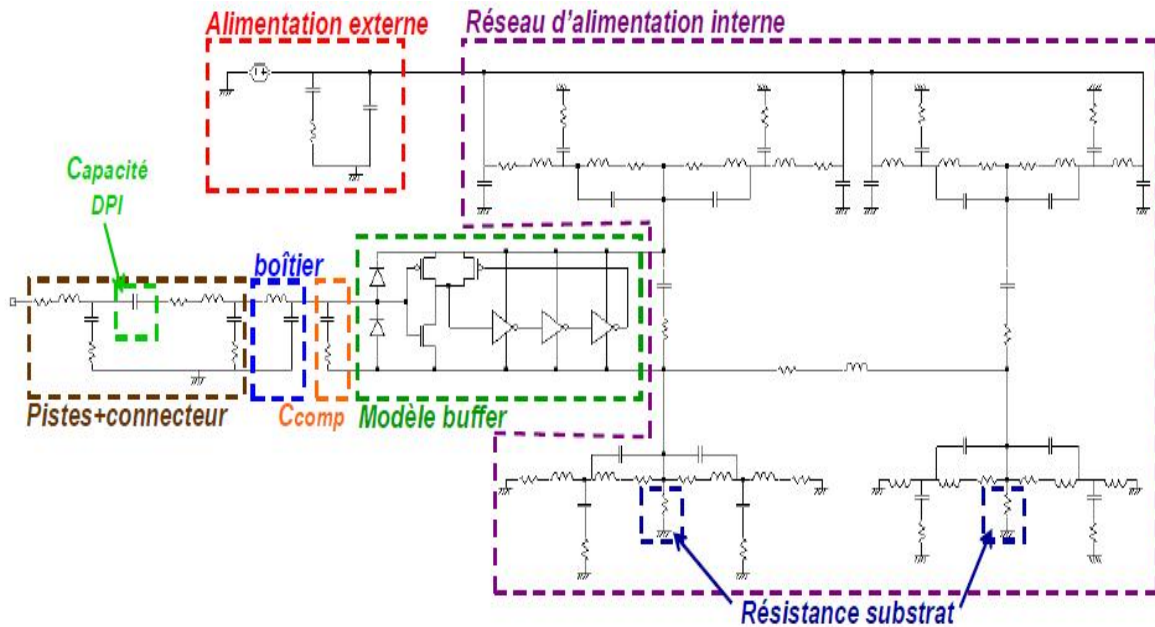


Figure IV-44 – Modèle de l'entrée du S12X agressée en DPI.

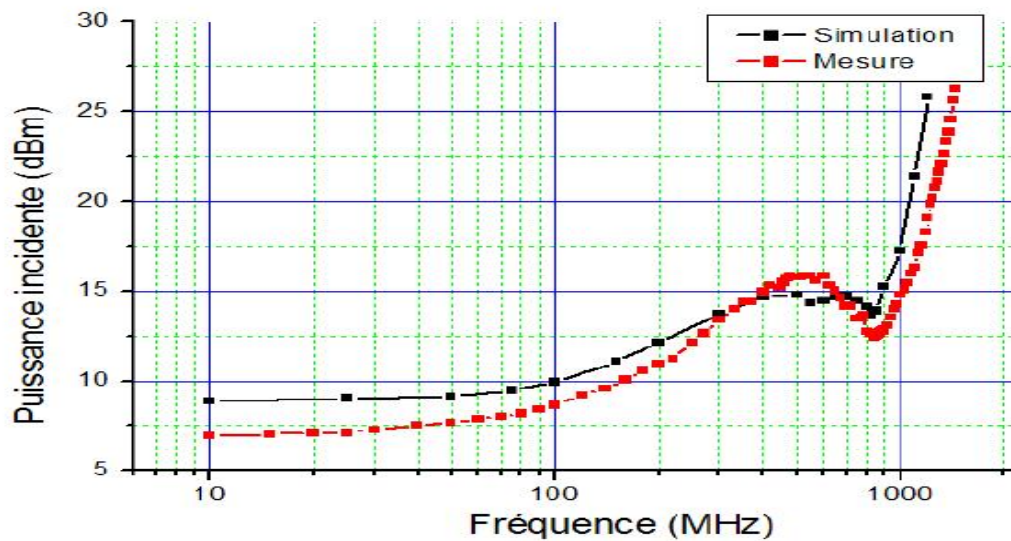


Figure IV-44 : résultat de la simulation du modèle de l'entrée agressé en DPI comparé à la mesure

Conclusion

Dans ce dernier chapitre nous avons confronté des résultats de simulation et de mesure de l'émission rayonnée et conduite, du champ proche et de susceptibilité. Nous avons pour ainsi dire remarqué une bonne concordance entre les résultats obtenus par simulation et ceux de la mesure notamment dans le cas du HC12D60 et de la cellule CESAM. Enfin l'exemple du microcontrôleur S12X achève de montrer la qualité des résultats des simulations avec le IC-EMC et de fait l'intérêt de la simulation des phénomènes de compatibilité électromagnétique des circuits intégrés pour les fondeurs et autres utilisateurs.

Conclusion générale :

La prédiction des niveaux d'émissions et des seuils de susceptibilité des circuits intégrés est primordiale du fait de leurs omniprésences dans bon nombre de systèmes automatisés et embarqués modernes. Notre étude s'est intéressé à la modélisation et à la simulation des phénomènes de compatibilité électromagnétique du fait de la perspective qu'elles offrent en matière de gain de temps et d'argent pour les fondeurs et autre utilisateurs de circuits intégrés.

Dans le chapitre deux nous avons détaillé les modèles d'émissions, exploité par le IC-EMC qui offre la possibilité de simuler les différents phénomènes de compatibilité sans avoir à connaître ou à divulguer un quelconque secret de fabrication du circuit intégré en question. D'ailleurs dans le chapitre quatre nous avons effectué une panoplie de simulation avec ce logiciel et avons comparé les résultats obtenus avec ceux des mesures existantes. Nous y avons remarqué une assez bonne corrélation entre les résultats obtenus par mesure et ceux de la simulation.

Dans le chapitre trois nous avons présenté des modèles d'immunité dérivant du ICEM détaillé au chapitre deux. Il est à noter que dans le chapitre quatre l'extraction des seuils de susceptibilité a été faite en considérant uniquement l'impédance d'entrée du circuit intégré se laisse présager des résultats qui seront obtenus en considérant tout le circuit intégré avec le IMIC.

Dans le chapitre quatre nous avons décrit l'exécution du modèle d'émission et d'immunité des circuits intégrés avec le logiciel IC-EMC qui s'inscrit dans une évolution logique des moyens de spécification des niveaux d'émissions et des seuils de susceptibilité des CI. Des simulations d'émission et de susceptibilité ont été détaillées toutes en comparant leurs résultats avec ceux de mesures sauvegarder dans le logiciel IC-EMC. Par ailleurs le contexte de fonctionnement des systèmes électroniques est de plus en plus sévère, ce qui rend les exigences fixées par les normes CEM de plus en plus difficiles à respecter. Cela présuppose qu'il faille encore explorer ce domaine, toujours fertile, et mettre au point de nouveaux modèles et techniques de simulation plus à même à satisfaire les normes de plus en plus contraignantes.

Bibliographie

- [1] Alexandre BOYER : Méthode de prédiction de la compatibilité électromagnétique des systèmes en boîtier, thèse pour l'obtention du grade de docteur.
- [2] Enrike LAMOUREUX : Étude de la susceptibilité des circuits intégrés numériques aux agressions hyper-fréquences, thèse pour l'obtention du grade de docteur.
- [3] Richard PERDRIAU : Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS, thèse pour l'obtention du grade de docteur.
- [4] Stéphane BAFFREAU : Susceptibilité des microcontrôleurs aux agressions électromagnétiques, thèse pour l'obtention du grade de docteur.
- [5] Ali ALAELDIN : Contribution à l'étude des méthodes de modélisation de l'immunité électromagnétique des circuits intégrés, thèse pour obtenir le grade de docteur en sciences appliquées spécialité : Électronique.
- [6] Sébastien CALVET : Contribution à la réduction de l'émission parasite des microcontrôleurs en CMOS submicronique, thèse pour l'obtention du grade de docteur.
- [7] Nicolas LACRAMPE : Méthodologie de modélisation et de caractérisation de l'immunité des cartes électroniques vis-à-vis des décharges électrostatiques (ESD), thèse pour l'obtention du grade de docteur.
- [8] Sonia Ben DHIA, Mohamed RAMDANI, Etienne SICARD, "Electromagnetic compatibility of integrated circuits, Techniques for low emission and suscpetibility", Springer Edition, ISBN: 0-387-26600-3, 2006.
- [9] www.lesia.insa-toulouse.fr
- [10] www.lattis.univ-toulouse.fr
- [11] www.icemc.org
- [12] www.winspice.com
- [13] www.freescale.com
- [14] Etienne SICARD, Alexandre BOYER, IC-Emc User's Manual, publié par l'INSA TOULOUSE, France 2007, ISBN <new ISBN> (v1.0 was 2-87649-048-X).

- [15] Etienne SICARD, Alexandre BOYER, IC-Emc User's Manual V 2.0, publié par l'INSA, université de Toulouse, France 2009, ISBN : 978-2-87649-056-7.
- [16] Stan GIBILISCO, The Illustrated Dictionary of Electronics, supervise par Pamela PELTON, édité par Techbooks, ISBN 0-07-137236-9.
- [17] François Anceau Professeur au Conservatoire National des Arts et Métiers, Yvan Bonnassieux Maître de conférences à l'École Polytechnique. "CONCEPTION DES CIRCUITS VLSI DU COMPOSANT AU SYSTÈME", édition Dunod, Paris, 2007 ISBN 978-2-10-050036-9.
- [18] Bertrand VRIGNON : Caractérisation et optimisation de l'émission électromagnétique de systèmes sur puce, pour l'obtention du grade de docteur.
- [19] Dehbia HABARE, Mohand Said KHENNOUCHE : Étude de la compatibilité électromagnétique des circuits intégrés. Mémoire de fin d'étude présenté Présenté en vue de l'obtention du diplôme d'Ingénieur d'état en électronique option : Communication, 2008/2009.

GLOSSAIRE :

CEM : Compatibilité ElectroMagnetique

SOC : Système On Chip type d'intégration qui vise a réalisé plusieurs fonctions électroniques sur le même substrat.

SIP : System In Package type de d'intégration qui vise a assemblé dans le même boîtier plusieurs circuit.

Moore : Gordon Earle Moore, né le 3 janvier 1929 à San Francisco est un docteur en chimie et un chef d'entreprise américain. Il est le cofondateur avec Robert Noyce et Andrew Grove de la société Intel en 1968 (fabricant n°1 mondial de microprocesseurs). Il est connu pour avoir énoncé la loi de Moore en 1965.

RTL : abréviation de Resistor-Transistor Logic, circuit pour les quels la fonction logique est réalisée grâce a des résistances et la sortie est inversé avec des transistors.

TTL : Transistor Transistor Logic, technologie de circuit intégré logique basée sur les transistors bipolaires

VLSI : Very Large Scale of Integrated circuits, circuit à haut degré d'intégration.

DSP : Digital Signal Processor.

ADC : Analogic Digital Converter, convertisseur analogique numérique.

UMTS Universal Mobile Telecommunications Service, norme de télécommunication sans fil utilisée par les téléphones cellulaires dits de troisième génération.

GSM : Global System for Mobile communication, protocole de communication

DECT : Digital European Cordless Telephone, c'est un système de communication opérant dans la bande 1.88 à 1.90 GHz et atteignant un débit de 1152kb/s.

FFT : Fast Fourier Transforme, transformé de Fourier rapide.

PCB : Printed Circuit Board, circuit imprimé.

PLL : Phase Locked Loop ou boucle à verrouillage de phase. Montage électronique permettant d'asservir la phase instantanée de sortie sur la phase instantanée d'entrée, mais aussi d'asservir une fréquence de sortie sur un multiple de la fréquence d'entrée.

Layout : schéma qui spécifie l'emplacement et les connexions des différents composants sur un circuit imprimé

Floorplan : Emplacement des blocs, des entrées sorties et des alimentations sur la surface de la puce.

VHDL : VHSIC Hardware Description Language, langage normalisé de description matériel utilisé en micro-électronique numérique et pour la construction des systèmes numériques.

VHDL-AMS : VHDL - Analog Mixed Systems, langage normalisé dérivé du VHDL permettant de simuler en plus du VHDL classique des grandeurs analogiques

SAE: Society of Automotive Engineers

IEC: International Electro-technical Commission

EIA: Electronic Industries Alliance

dI/dt , dV/dt : Variation du courant et de la tension qui sont les principales causes des émissions électromagnétiques du circuit lors de son passage dans les éléments inductifs et capacitifs. Plus les variations du courant sont brusques, plus le circuit génère des émissions électromagnétiques.

EIAJ : Standard of Electronic Industry Association of Japan

UTE: Union Technique Electrotechnique

LECCS : Linear Equivalent Circuit and Current-Source models.

TR : Time Rise, temps de montée.

TF : Time Fall, temps de descente.

PWL: Piece-Wise-Linear

Winspice : c'est un simulateur de composants qui peuvent être constitués d'éléments RLC, de sources de courant et de tension indépendantes et de tronçons de lignes de transmission.

CMOS : Complementary Metal Oxyde Semiconductor – Technologie qui repose sur

l'utilisation de transistor à canal N et P pour réaliser des portes élémentaires.

NMOS : N canal transistor Metal Oxyde Semiconductor – Transistor MOS dont le canal est constitué d'électrons.

PMOS : P canal transistor Metal Oxyde Semiconductor – Transistor MOS dont le canal est constitué de trous.

ALU : Arithmetic and Logic Unit – L'unité arithmétique et logique est un ensemble de circuits électroniques qui permettent d'effectuer des opérations élémentaires sur des registres binaires.

ΔI noise : Bruit produit par le passage du courant à travers des inductances, telles que les inductances boîtier.

IR noise : Bruit produit par le passage du courant à travers des résistances, telles que les résistances des rails d'alimentation des circuits.

Jitter : Phénomène de fluctuation d'un signal numérique qui implique une variation de la phase, c'est-à-dire une variation des instants d'apparition des fronts montants ou descendants. Il peut conduire à des erreurs d'interprétation du signal de sortie.

Les unités utilisées :

L'unité de puissance la plus utilisée est le dBm (dB milli-Watt) tel que :

$$P_{dBmW} = 10 \times \log \left(\frac{P_w}{1mW} \right) = 10 \times \log(P_w) + 30$$

Les unités de tension $dB\mu V$ tel que :

$$V_{dB\mu V} = 20 \times \log \left(\frac{V}{1\mu V} \right) = 20 \times \log(V) + 120$$

$$dBV = 20 \times \log(V)$$

$$dBA = 20 \times \log(A)$$

Power (Watt)	Power (dBm)	Milli Volt	$dB\mu V$	Volt	dBV
1 MW	90	1	60	100	40
1 KW	60	0.1	40	10	20
1 W	30	0.01	20	1	0
1 mW	0	0.001	0	0.1	-20
1 μW	-30	0.0001	-20	0.01	-40
1 nW	-60	0.00001	-40	0.001	-60

