

**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE**

**UNIVERSITE MOULOD MAMMARI DE TIZI-OUZOU
FACULTE DE GENIE ELECTRIQUE ET DE L'INFORMATIQUE
DEPARTEMENT D'ELECTRONIQUE**



Mémoire de fin d'études

En Vue d'Obtention Du Diplôme d'Ingénieur d'Etat en Electronique,
Option : Contrôle

Thème

**Etude d'un système de supervision piloté par
un microcontrôleur 80C535.**

**Proposé et Dirigé par :
M^r M. ABDELLI.**

**Présenté par :
M^{lle} AGRED Sadia.**

M^{lle} DJETTOU Zahra

Promotion: 2009/2010

Remerciements

A dieu, le tout puissant, nous rendons grâce pour nous avoir donné santé, patience, volonté pour réaliser ce modeste travail.

Nos remerciements vont exceptionnellement à notre encadreur Monsieur M. ABDELLI enseignant à l'université Mouloud Mammeri, département électronique, pour son aide, son suivi, ses conseils et directives et pour son dévouement.

Nous tenons à remercier Monsieur M. LAGHROUCHE, Maître de conférences à l'université Mouloud Mammeri, département d'électronique, d'avoir accepté de présider le jury.

Nos remerciements vont aussi à Monsieur M.LAZRI et Monsieur M.TAHANOUT, d'avoir bien voulu accepter d'examiner notre travail.

Nous remercions tous les enseignants et le personnel de la faculté de Génie Electrique.



Dédicaces

*A mes chers parents,
A mes sœurs Nadia, Farida et
Nouara,
A toute la famille AGRED,
A Zahra,
A tous mes amis(es),
A toute ma promotion,
A tous ceux qui me sont chers, ...*

Sadia

*A mes chers parents,
A ma sœur Wafia,
A mes frères Chafaa, Tarek et Amine,
A toute la famille DJETTOU et DJELLAL,
A Sadia, Safia, Kamélia et Zineb,
A ma cousine Fazia,
A tous mes amis(es),
A toute ma promotion,
A tous ceux qui me sont chers, ...*

Zahra



Liste des figures

CHAPITRE I : DESCRIPTION MATERIELLE

Fig.I.1.	Synoptique du système	03
Fig.I.2.	schéma synoptique de l'alimentation.....	04
Fig.I.3.	Schéma électrique de l'alimentation.....	05
Fig.I.4.	Le microcontrôleur SAB 80C535.....	07
Fig.I.5.	Circuit de l'interface série externe.....	12
Fig.I.6.	Synoptique du bloc mémoire.....	13
Fig.I.7.	Schéma synoptique du multiplexage.....	13
Fig.I.8.	Schéma synoptique du circuit de décodage.....	14
Fig.I.9.	Circuit de la clé de codage.....	15
Fig.I.10.	Schéma électrique des entrées capteurs.....	17
Fig.I.11.	Circuit de conditionnement des capteurs.....	18
Fig.I.12.	Schéma électrique du clavier.....	19
Fig.I.13.	Schéma électrique des sorties.	20
Fig.I.14.	Schéma électrique des sorties.....	21
Fig.I.15.	Schéma synoptique de l'afficheur.....	22
Fig.I.16.	Schéma électrique du bloc affichage.....	23
Fig.I.17.	Schéma électrique du superviseur.....	24
Fig.I.18.	Circuit conditionneur pour l'indicateur de charge de la batterie.	26

CHAPITRE II : DESCRIPTION LOGICIELLE.

Fig. II.1.	Aperçu d'une fenêtre du logiciel de simulation.....	28
Fig. II.2.	Organigramme principal.....	29
Fig. II.3.	Organigramme de l'interruption du timer1.....	32
Fig. II.4.	Organigramme du sous programme d'interruption externe#2.....	33

Sommaire

INTRODUCTION GENERALE	01
CHAPITRE I : DESCRIPTION MATERIELLE	
I.1. Introduction	02
I.2. Schéma synoptique du système	02
I.3. L'alimentation	03
I.4. Le microcontrôleur	06
I.4.1. Le noyau MCS51	06
I.4.2. Présentation fonctionnelle	06
I.4.3. Présentation matérielle	07
I.4.3.1. Description des broches	07
I.4.3.2. Les timers	10
I.4.3.3. Les interruptions	11
I.4.3.4. L'interface série	11
I.5. Bloc mémoire	12
I.6. Le multiplexage et le décodage	13
I.6.1. Le multiplexage	13
I.6.2. Le décodage d'adresse	14
I.7. Les entrées	15
I.7.1. La clé de codage	15
I.7.2. Les capteurs	16
I.7.2.1. Unité de commande (Le clavier)	18
I.8. Les sorties	19
I.8.1. L'affichage	22
I.9. Le système de surveillance du microcontrôleur	23
I.10. Conclusion	26
CHAPITRE II : DESCRIPTION LOGICIELLE	
II.1. Introduction	27
II.2. Description du logiciel	27
II.3. L'organigramme du programme principal	28
II.4. Les interruptions	30
II.4.1. Interruption RESET	31
II.4.2. Interruption du timer1	31
II.4.3. Interruption externe#2	32
II.5. Conclusion	34
CONCLUSION GENERALE	35
BIBLIOGRAPHIE	
ANNEXES	

Résumé :

C'est une étude de supervision d'un système piloté par le microcontrôleur SAB 80C535. Ce système surveille constamment le fonctionnement de la machine et alerte l'opérateur si des conditions anormales surviennent.

Ce dernier est constitué du microcontrôleur qui représente le cerveau du système qui traite et convertit des signaux provenant des capteurs en entrée et les affiche en sortie sur un afficheur LCD ou actionner les différents actionneurs ou encore alerter l'utilisateur d'une alerte sonore ou visuelle.

Ce système sera commandé par une unité de commande qui est le clavier matriciel, et pour la sécurité du système une clé de codage est indispensable.

Comme tout dispositif électronique, une alimentation est nécessaire pour alimenter les différents boîtiers.

INTRODUCTION GENERALE

Les exigences récentes en matière de fonctionnalité, sécurité, confort et respect de l'environnement ont amenés les constructeurs de véhicules et engins à mettre en œuvre des concepts de commande et de régulation à la pointe du progrès.

La plupart des véhicules et engins sont aujourd'hui équipés de calculateurs. Ces derniers sont dédiés aux applications qui ne nécessitent pas une grande quantité de calculs complexes, mais qui demandent beaucoup de manipulation d'entrées / sorties.

En effet, ils gèrent de nombreuses informations destinées à l'affichage et la régulation des systèmes embarqués, qui sont défini comme un système électronique et informatique autonome, dédié à une tâche bien précise.

Notre travail consiste à effectuer une étude d'un système de supervision à base de microcontrôleur 80C535 qui pilotera l'ensemble du système embarqué. Il est répartie en deux parties : matérielle et logicielle.

- **Matérielle :** Cette partie se portera sur l'explication du principe de fonctionnement de tous les circuits qui forment le système en donnant des schémas synoptiques simplifiés.
- **Logicielle :** Cette partie sera caractérisée par l'ensemble des organigrammes qui explique le déroulement du processus et la supervision du système.

CHAPITRE I:

DESCRIPTION

MATERIELLE

I.1. Introduction :

Le système étudié que l'on appellera dans toute la suite le DISPLAY, surveille constamment le fonctionnement de la machine et alerte l'opérateur si des conditions anormales surviennent.

Un maximum de vingt (20) indicateurs d'alerte sont disponibles sur le DISPLAY.

Le DISPLAY comporte deux connecteurs DB 37 plus un troisième en option et dispose d'un connecteur DB 15 pour une clef de codage pour la gestion de la machine. Ces connecteurs serviront pour rentrer et sortir les données (Data In et Data out).

Les signaux d'entrées sont transmis, soit par des contacteurs, soit par des capteurs.

Les contacteurs, au nombre de seize, émettent un signal vers le Display, soit par rupture de masse, soit par rupture d'alimentation.

Les capteurs, au nombre de trois, envoient un signal qui change proportionnellement en fonctions des variations d'état de la machine.

Après le traitement des entrées, le Display envoie des signaux électriques vers ses diverses sorties. Ces sorties déclenchent une action ou fournissent une information.

I.2. Schéma synoptique du système :

Le schéma synoptique illustré ci-dessous représente l'ensemble du système. Il est composé de l'unité de traitement et calcul qui est le microcontrôleur SAB80C535, les périphériques d'entrée / sortie, la clef de codage, en fin une alimentation pour tout le système.

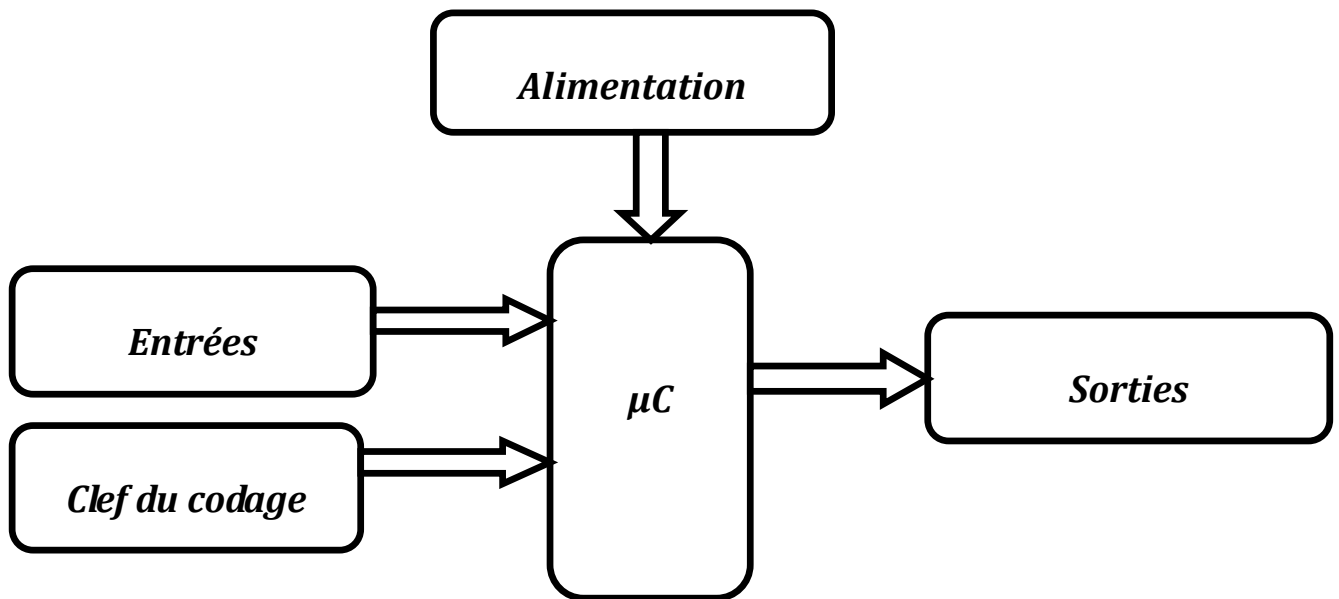


Fig. I.1. Synoptique du système.

I.3. L'alimentation :

Comme tout montage électrique une alimentation est essentielle pour son fonctionnement.

La figure ci-dessous représente le schéma synoptique de l'alimentation. Cette dernière permet de délivrer à partir de $V_{\text{batt}} = +24^{\text{V}}$ les tensions nécessaires au bon fonctionnement du display.

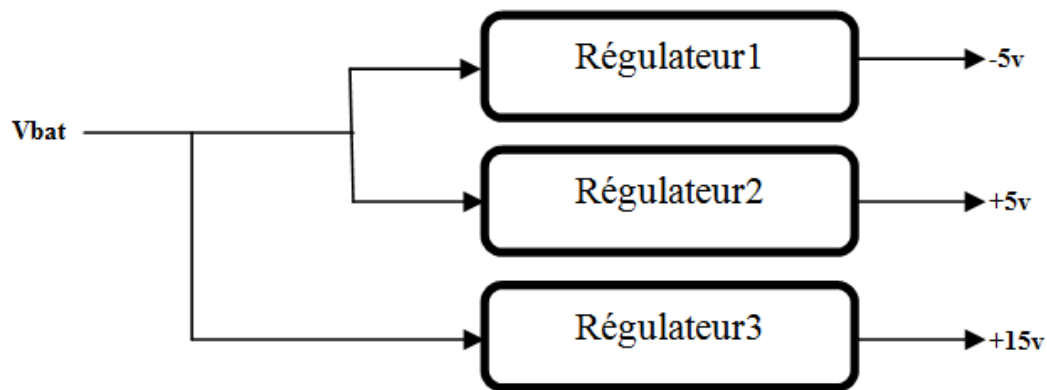


Fig. I.2. Schéma synoptique de l'alimentation.

L'alimentation est constituée d'un ensemble de régulateurs, à fin d'obtenir des tensions régulées en sortie.

- Le premier est du type 7805 qui génère une tension de $+5^V$ pour alimenter le clavier et l'afficheur LCD.

- Le second est un 7815, il fournit une tension de $+15^V$ nécessaire pour les amplificateurs opérationnels LM224.

- Le dernier est le L4962H, qui est 1,5A power switching regulator configuré en $+5^V$ pour alimenter le microcontrôleur et les circuits périphériques de la carte à microcontrôleur (Ram, Eprom, Eeprom...).

Une tension négative de -5^V est générée à partir du L4962 nécessaire pour l'amplificateur LM224 par l'intermédiaire d'un transformateur suivi d'un redressement et filtrage.

Le schéma illustré ci-après représente le bloc alimentation.

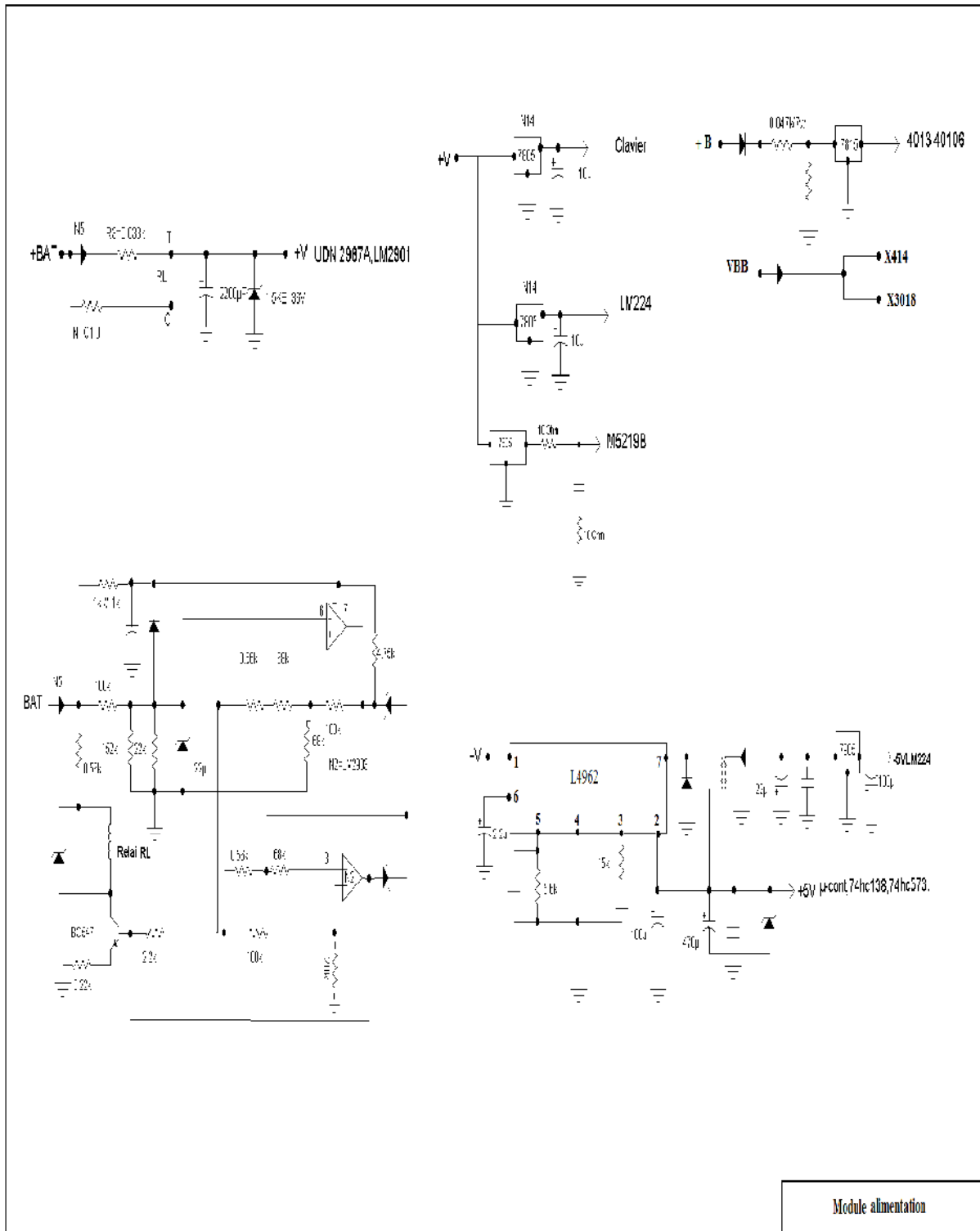


Fig. I.3. Schéma électrique de l'alimentation.

I.4. Le microcontrôleur :

Notre choix s'est porté sur le SAB 80C535. Ce choix s'est effectué par rapport à la simplicité de la mise en œuvre et ces fonctionnalités diverses.

I.4.1. Le noyau MCS51 :

La famille MSC51 est considérée comme un standard industriel proposé par Intel. Au début des années 80 elle proposa la série qui comprend au départ le 8051 à mémoire ROM, le 8751 à mémoire EPROM et enfin le 8031 qui est dépourvu de la mémoire ROM, mais le succès du 8051 l'emporta et l'emmena à une déclinaison qui verra le jour en la baptisant sous la référence 8052 qui complète et enrichi le 8051 d'un périphérique (timer2) et de 128 octets de RAM interne.

Le microcontrôleur utilisé dans le display est le SAB 80c535 de chez SIEMENS qui est une amélioration du 8052.

I.4.2. Présentation fonctionnelle :

Ce microcontrôleur comporte essentiellement :

- Unité centrale de traitement. .
- 256 octets de RAM.
- Six ports parallèles E /S de 8 bits chacun. (P0...P5)
- Un port série en full-duplex, 4 modes de fonctionnement avec une vitesse de transmission variable.
- Port d'entrée digitale (port6).
- Convertisseur A/N, 8 entrées analogiques multiplexées et une tension de référence interne programmable.
- 3 compteurs /temporisateurs de 16 bits (T0, T1, et T2).
- Temporisateur à 16 bits dédié à la fonction watchdog (chien de garde).
- Processeur booléen.
- 12 interruptions (7 externes, 5 internes) avec 4 niveau de priorité.
- Profondeur de pile jusqu'à 256 octets.
- Durée de cycle d'instruction de 1 μ s pour une fréquence d'horloge de 12MHz.
- Adressage mémoire de données et de programme de 64 Ko chacune.

- 256 bits adressable en mode direct.
- Jeu d'instruction assez développé.

I.4.3. Présentation matérielle :

I.4.3.1. Description des broches :

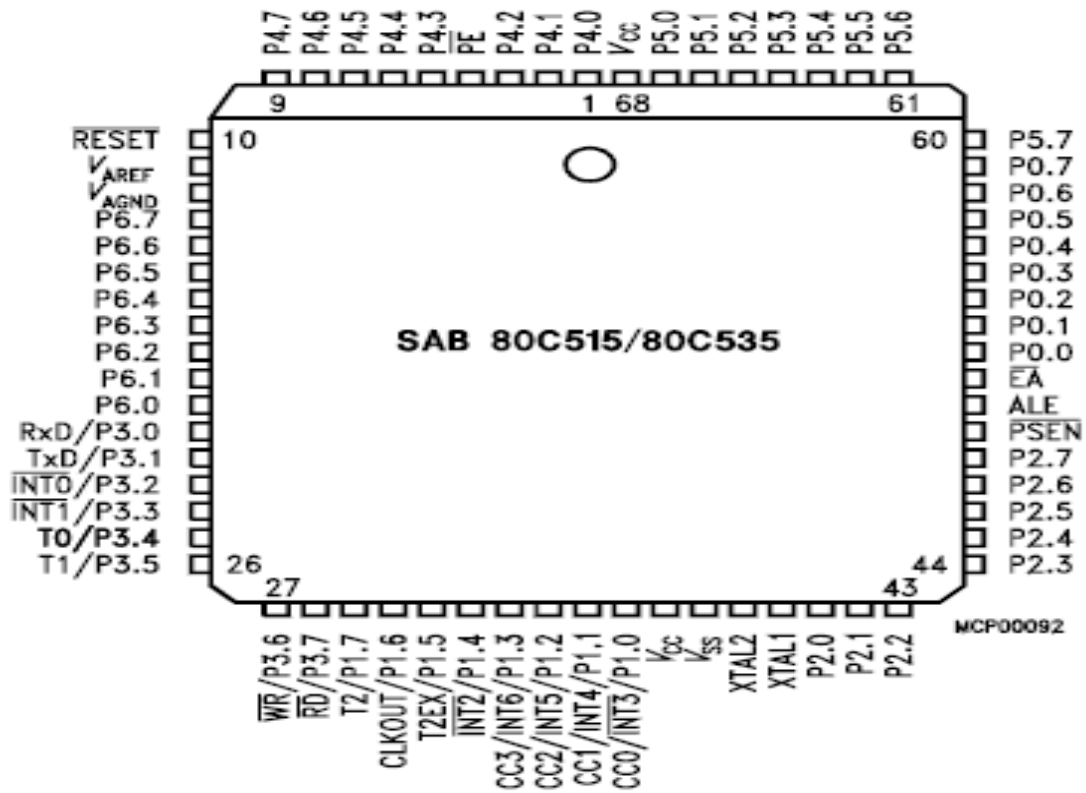


Fig. I.4. Le microcontrôleur SAB 80C535.

symbole	Broches P-LCC-68	Fonction
P4.0-P4.7	1-3,5-9	Bidirectionnel port de 8bit d'entrée sortie, doté des résistances du rappel interne.
\overline{PE} I (input)	4	Validation des modes « power down » et « idle ». un niveau logique 1 (PE=0) interdit ces modes, un niveau 0 les autorise.

$\overline{\text{RESET}}$ I (input)	10	Entrée d'initialisation. Un état haut (RESET=1) pendant deux cycles machines sur cette broche entraine une initialisation du microcontrôleur.
V_{AREF}	11	Tension de référence pour le convertisseur A/N.
V_{GND}	12	Potentiel de masse servant de référence pour le convertisseur A/N.
P6.0-P6.7 I (input)	13-20	8 broches d'un port unidirectionnel utilisable comme entrée logique ou comme entrée analogique du multiplexeur pour la conversion analogique numérique.
P3.0-P3.7 I/O	21-28	Port bidirectionnel avec résistances de rappel au +5V intégrées. P3.0 : RxD entrée de l'interface série. <ul style="list-style-type: none"> • P3.1 : TxD sortie de l'interface série. • P3.2 : INT0 entrée pour interruption externe. • P3.3 : INT1 entrée pour interruption externe. • P3.4 : T0 entrée de comptage pour le timer0. • P3.5 : T1 entrée de comptage pour le timer1. • P3.6 : WR sortie d'écriture de la mémoire externe. • P3.7 : RD sortie de lecture de la mémoire externe.
P1.0-P1.7 I/O	29-36	<ul style="list-style-type: none"> • P1.0 : INT3 / CC0 → NMI • P1.1 : INT4 / CC1 • P1.2 : INT5 / CC2 • P1.3 : INT6 / CC3 • P1.4 : INT2 • P1.5 : T2EX • P1.6 : CLKOUT • P1.7 : T2

V_{CC}	37 et 68	Broche d'alimentation. La broche V_{CC} doit recevoir une tension de +5V.
V_{SS}	38	La broche V_{SS} doit recevoir une tension de 0V.
XTAL1 XTAL2	40 39	Représentent respectivement l'entrée et la sortie de l'amplificateur inverseur destiné à l'oscillateur d'horloge.
P2.0-P2.7	41-48	Bidirectionnel port de 8 bit d'entrée /sortie, l'étage de sortie est équipé d'une résistance de rappel +5v, sa fonction secondaire est de fournir la partie haut de l'adresse (A8-A15) lors d'un accès a la mémoire interne.
\overline{PSEN} O (output)	49	<p>\overline{PSEN} passe à l'état logique 0 dès que le microcontrôleur entreprend la récupération d'une instruction dans la mémoire externe. Cette sortie n'est donc pas activée que si EA=0, elle doit être utilisée comme signal de sélection des circuits mémoires ROM ou EPROM. Il faut noter que lors d'un accès à la mémoire externe de données, cette sortie reste à l'état 1.</p> <p>Par contre, \overline{PSEN} passe deux fois à l'état 0 durant un cycle machine correspondant à l'accès de la mémoire programme externe.</p>
ALE O (output)	50	La broche ALE est une sortie prévue pour commander le démultiplexage du port P0, lorsque celui-ci est validé dans sa fonction secondaire (poids faible du bus de données et bus d'adresses).Lorsqu'ALE est à l'état 1, le port P0 présente la partie A0/A7 de l'adresse. Lors de la transition de 1 vers 0 d'ALE, l'adresse toujours présente, doit être mémorisée grâce à un circuit externe. Durant la période ou ALE=0, le port P0 devient alors bus de données.
\overline{EA}	51	La broche EA permet de fixer le mode de récupération du code

I (input)		exécutable. L'état de cette entrée est testé durant la phase d'initialisation du microcontrôleur. Si EA=0, les instructions sont alors recherchées dans une mémoire programme externe. Les ports P0 et P2 présentent l'adresse de 16 bits de l'instruction à récupérer, puis le signal PSEN passe à l'état 0 pour sélectionner la mémoire programme. L'instruction est récupérée à travers le port.
P0.0-P0.7	52-59	Port bidirectionnel d'entrée / sortie de résolution 8 bit, de type drain ouvert cette particularité est justifier par la fonction secondaire attribuer a ce port : il présente les 8 bits inférieur multiplexé de bus de donnée et adresse lors d'un accès a une mémoire externe (RAM, EPROM). Lorsqu'il est utilisé en tant que sortie il faut l'équiper d'un réseau de résistances de rappel +V _{cc} .
P5.7-P5.0	60-67	Bidirectionnel port de 8bit d'entrée sortie, doté des résistances du rappel interne.

Tableau I.1. Brochage du 80C535.

I.4.3.2. Les timers :

Le SAB 80C535 est doté de trois timers à 16 bits, chaqu'un est muni d'un SFR à 16 bits constitué de deux registres de 8bits chacun respectivement (TH0, TL0), (TH1, TL1) et (TH2, TL2).

Les timers 0 et 1 peuvent fonctionner en compteur ou temporisateur. Ils sont configurés via le registre SF TMOD par le bit \overline{C} /T et contrôlés par le registre TCON. Le comptage consiste à incrémenter le contenu des registres (TH0, TL0), (TH1, TL1) à chaque détection d'événement externe sur les broches P3.4/ T0, P3.5 /T1. Lorsqu' ils sont configurés en temporisateur, le contenu de leurs registres est incrémenté à chaque cycle machine.

Ces deux timers fonctionnent en quatre modes différents, définis par la combinaison des deux bits (M0, M1) du registre TMOD.

Le SAB 80C535 possède un timer supplémentaire, c'est le timer2, qui est un compteur/temporisateur à 16 bits. Configuré par le bit $C/\overline{T2}$ du registre T2CON, il fonctionne en compteur d'événement externe sur la broche T2/P1.7 ou en temporisateur. Il a trois modes de fonctionnement : capture, compare et auto reload.

Le débordement du contenu des registres (THX, TLX), positionne le bit TFX à 1ce qui provoque une interruption du timer correspondant, si elle est autorisée.

I.4.3.3. Les interruptions :

Le 80C535 possède 12 sources d'interruptions avec 4 niveaux de priorités. Cinq sources d'interruptions peuvent être générées par de différents périphériques (timer 0,1 et 2, interface Série et le convertisseur) et sept par des événements externes. Le mécanisme des interruptions permet à un processeur de réagir à un ensemble d'événements sans pour autant surveiller par programme leur apparition.

Une interruption est un événement capable d'interrompre le déroulement d'un programme pour exécuter immédiatement et automatiquement une routine de service en réponse à cet événement.

I.4.3.4. L'interface série :

Afin d'assurer le dialogue entre le microcontrôleur et l'ordinateur, le 80c535 intègre une interface série « full duplex » qui peut émettre et recevoir les données simultanément, ces fonction sont assurées par les broches RXD(P3.0) et TXD(P3.1).

La configuration de cette dernière ce fait par le registre SCON et la lecture /écriture dans l'interface se fait par le registre SBUF. Elle fonctionne en quatre modes différents. L'interface série transforme les niveaux de tension TTL en niveaux de tension compatibles RS-232 et réciproquement. Et pour assurer la compatibilité un circuit externe TC232 est intégré. Le schéma illustré ci-dessous représente le schéma électrique du circuit.

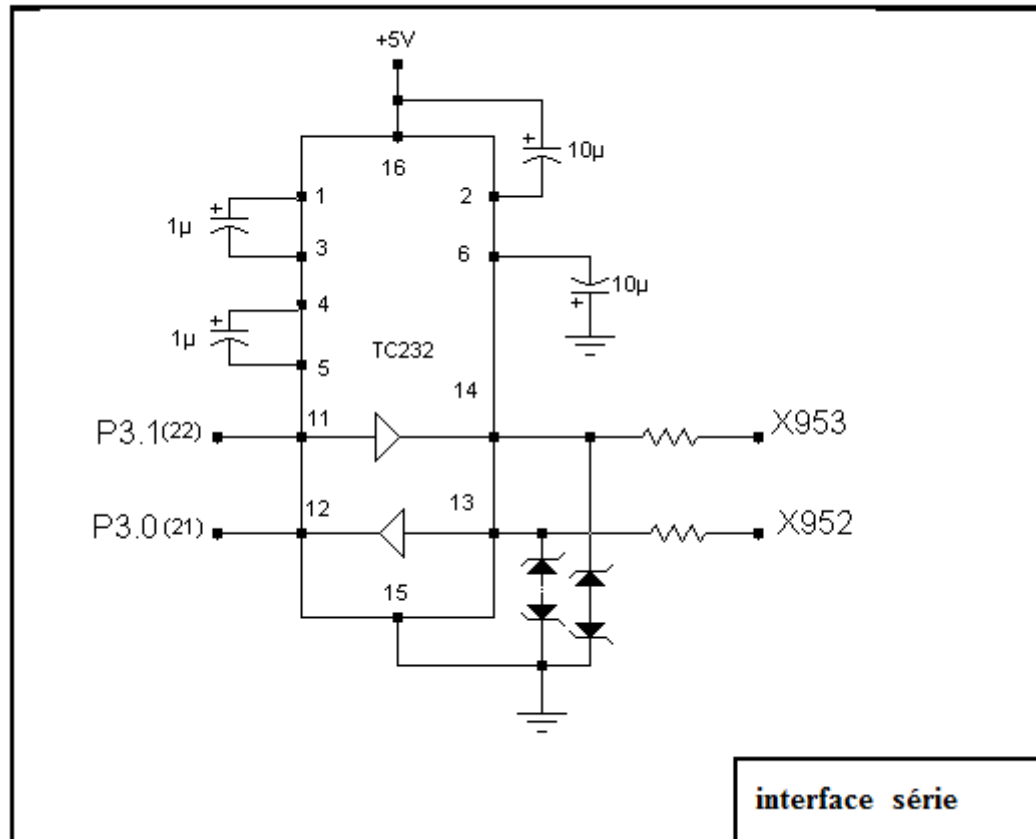


Fig. I.5. Circuit de l'interface série externe.

I.5. Bloc mémoire :

Le synoptique ci-dessous illustre le bloc mémoire associé au microcontrôleur « 80c535 ».

Une EEPROM « 24C02 » qui utilise le protocole I2C de capacité 256 octet où des opérations de lectures et d'écritures sont effectuées. Elle contient toutes les données ne devant pas être perdues lors d'une coupure d'alimentation. Elle est contrôlée par les bits P4.6 (SCL) et P4.7 (SDA).

Une SRAM « TC62256 » de capacité 32ko et une EPROM « 27C512 » de 64 ko qui représentent respectivement la mémoire externe de donnée et de programme.

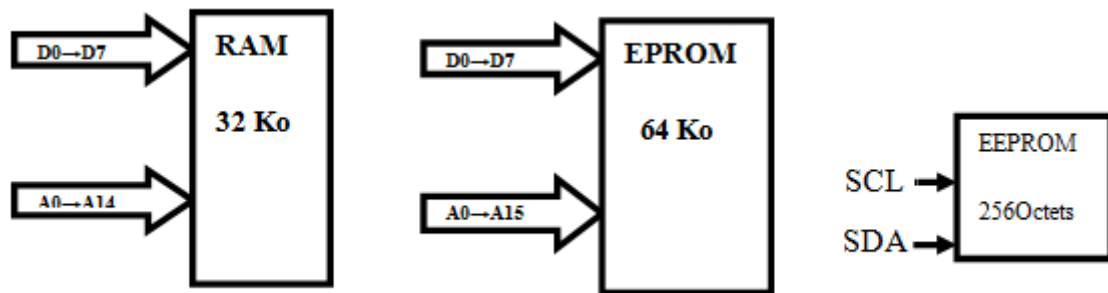


Fig. I.6. Synoptique du bloc mémoire.

I.6. Le multiplexage et le décodage :

I.6.1. Le multiplexage :

Le bus de données/adresse est disponible sur les broches attribuées au port P0 et P2. Il est constitué de 16 bits d'adresses et 8 bits de données.

Lors de l'utilisation du bus externe, un multiplexage du port P0 est effectué pour fournir les 8 bits d'adresse de poids faible et les 8 bits de données. Le multiplexage de ce dernier s'effectue en faisant une copie du bus A0-A7 qui sera mise à disposition du système, à l'aide d'un verrou 74HC573. La commande de mémorisation de l'adresse se fait par le signal ALE généré par le microcontrôleur. En revanche le bus d'adresse de poids fort A8-A15 est fourni par le port P2.

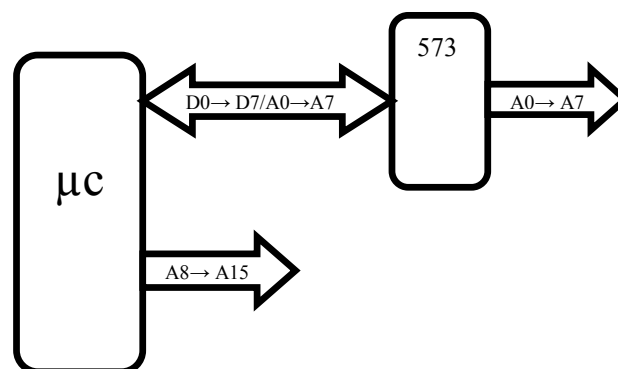


Fig. I.7. Schéma synoptique du multiplexage.

I.6.2. Le décodage d'adresse :

Le décodage d'adresse doit permettre de satisfaire l'échange entre le microcontrôleur et ses périphériques, ceci dans les meilleures conditions afin d'éviter les conflits. Le schéma ci-après comporte deux circuits décodeurs « 74HC138 » destinés au décodage d'adresses.

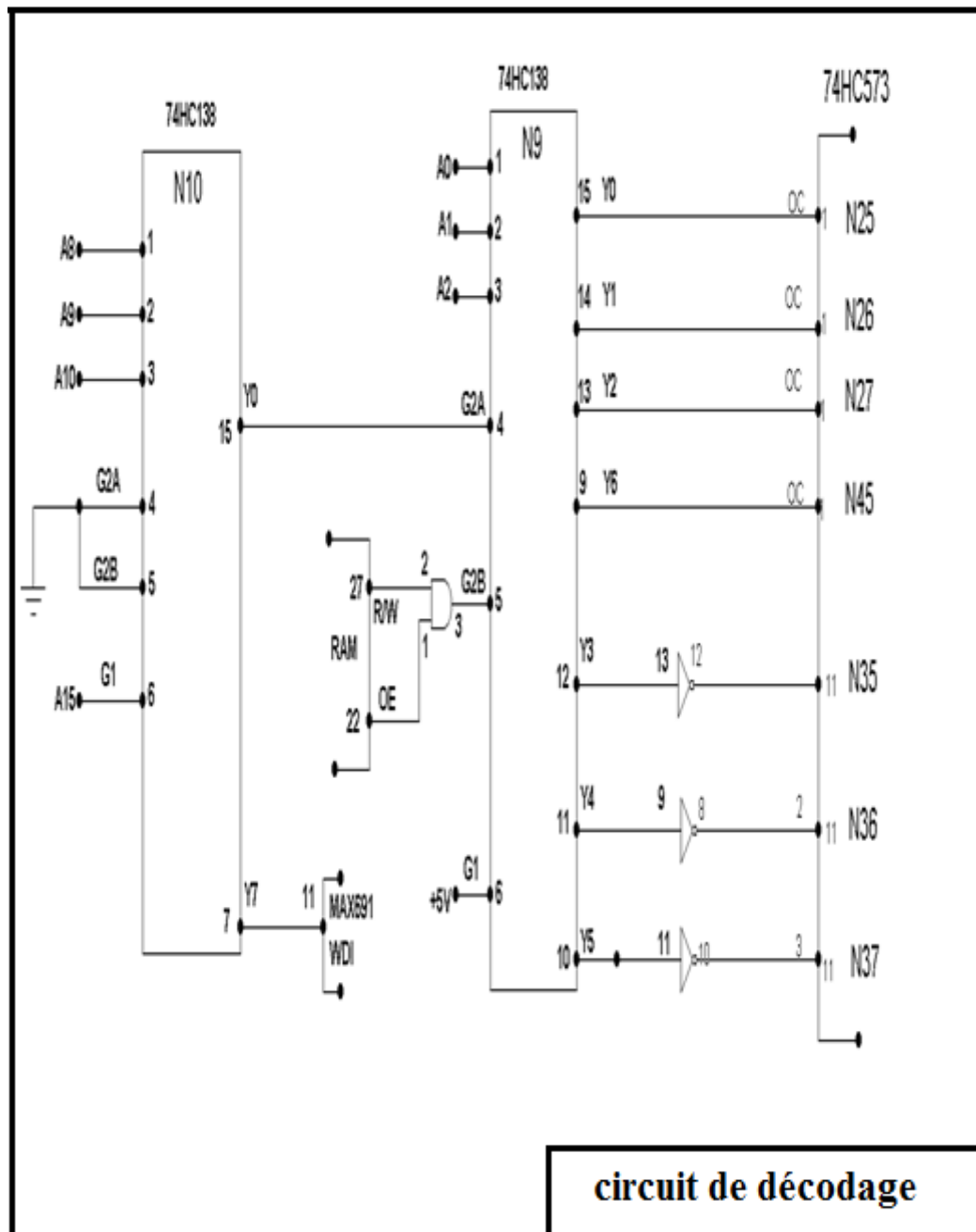


Fig. I.8. Schéma synoptique du circuit de décodage.

I.7. Les entrées :

Le DISPLAY comporte deux connecteurs DB 37 notés X6 et X30 permettant l'acheminement des différents signaux fournis par les capteurs installés sur la machine. Un troisième connecteur est utilisé comme clef de codage.

I.7.1. La clé de codage :

Afin de faire fonctionner le système et assurer sa sécurité, une clé de codage est utilisée. Ce dernier est exploitable sous forme d'un connecteur DB15 qui sera connecté via des résistances à un verrou « 74HC573 » dont le schéma de principe est ci-dessous.

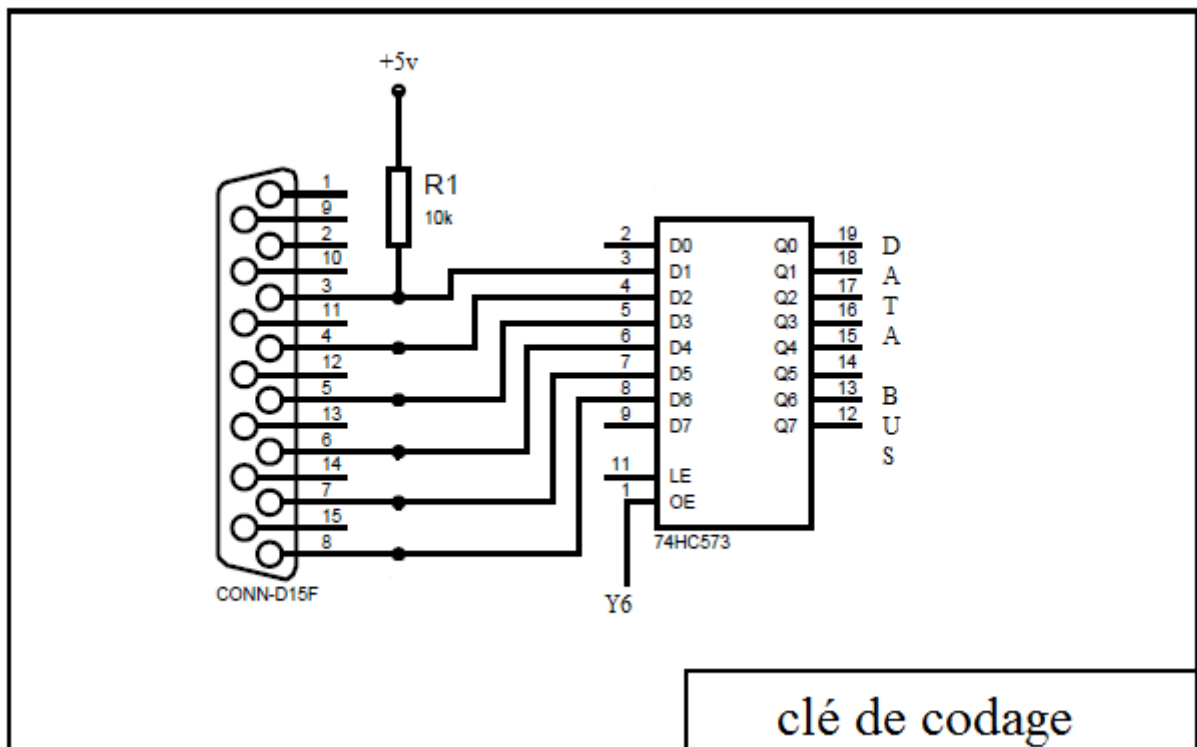


Fig. I.9. Circuit de la clé de codage.

I.7.2. Les capteurs :

Ils se divisent en catégories de contacteurs et de transmetteurs.

Les contacteurs, qui sont des capteurs TOR (Tout ou Rien), émettent un signal vers le Display, soit par rupture de masse, soit par rupture d'alimentation.

En fonctionnement normal le contacteur est ouvert. En cas d'anomalie il se ferme reliant à la masse l'entrée du comparateur. La sortie bascule du niveau haut au niveau bas entraînant en sortie une alarme qui sera enregistrée et visualisée sur un afficheur LCD.

Les capteurs, au nombre de trois, envoient un signal qui change proportionnellement en fonction des variations d'état de la machine.

Les informations prélevées par les capteurs sont principalement de nature électrique transmises vers le microcontrôleur via le port P6, pour être traitées et converties en signaux numériques afin d'être affichés en information pour l'utilisateur.

Ils permettent d'informer l'opérateur tout au long de l'utilisation de la machine. Citons l'exemple de la température d'huile, température eau moteur...etc.

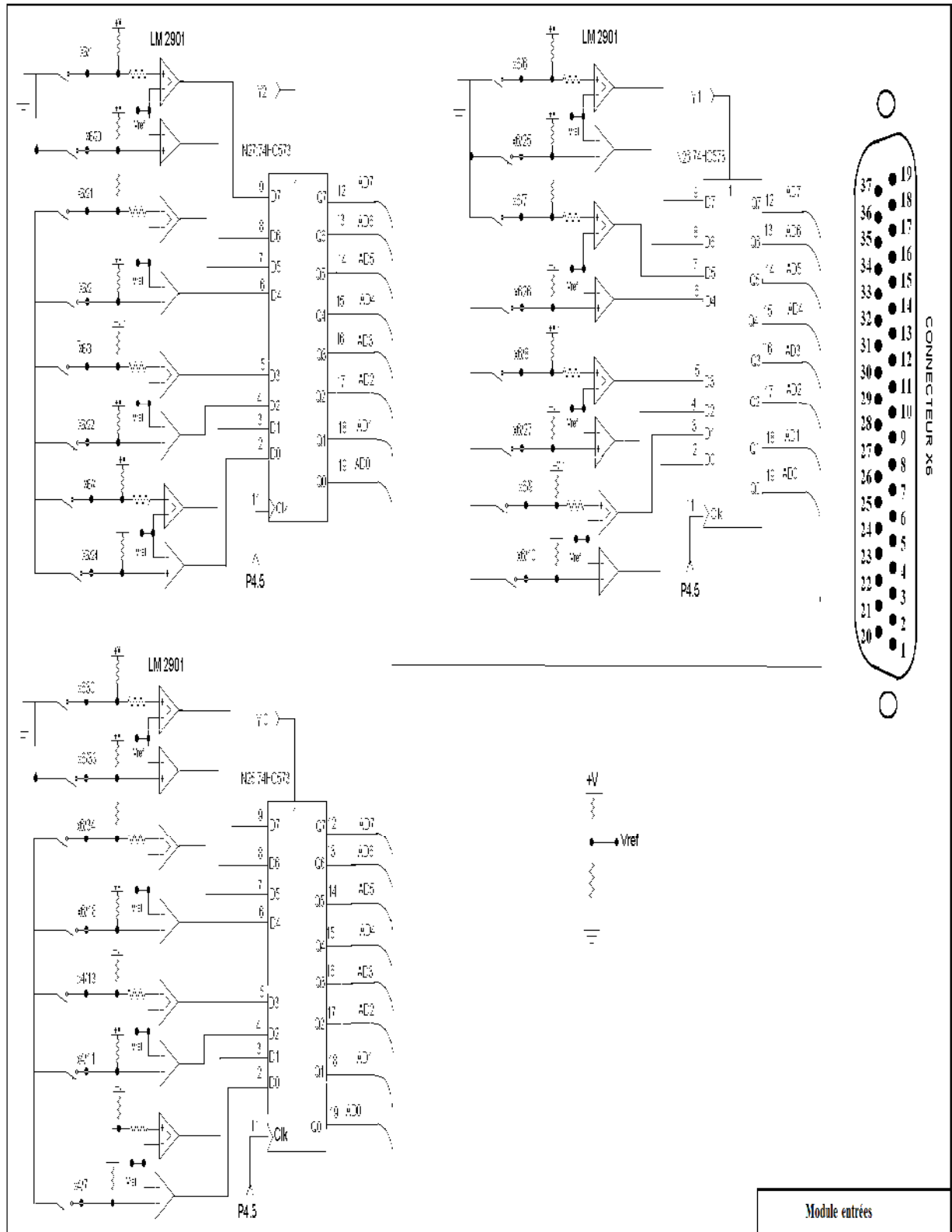


Fig. I.10. Schéma électrique des entrées capteurs.

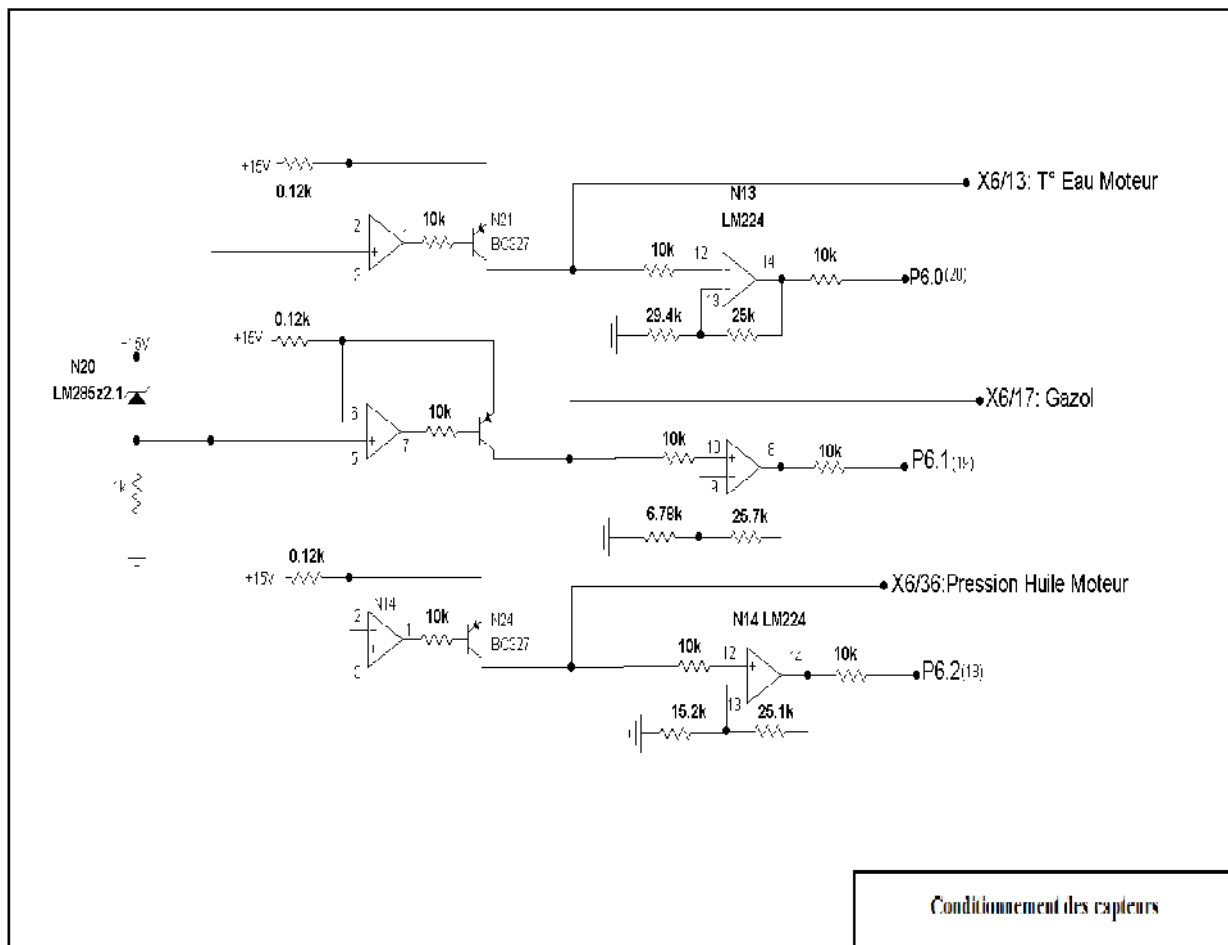


Fig. I.11. Circuit de conditionnement des capteurs.

I.7.2.1. Unité de commande (Le clavier) :

L'unité de commande est constituée de vingt quatre (24) touches servant notamment :

- frein de translation
- frein de rotation
- mise au ralenti automatique de la machine. etc...

Le clavier utilise un réseau matriciel permettant d'identifier chaque touche grâce à une ligne et une colonne.

A chaque pression d'une touche du clavier, un signal spécifique est transmis au microcontrôleur via les ports P4.0... P4.3 et P5.0...P5.5.

Lorsqu'une touche est pressée, un contact électrique s'établit entre la ligne et la colonne, envoyant de la sorte un niveau bas sur la ligne correspondante à la touche pressée.

La scrutation du clavier se fait toutes les dix millisecondes (10ms) et ceci durant chaque interruption externe INT2.

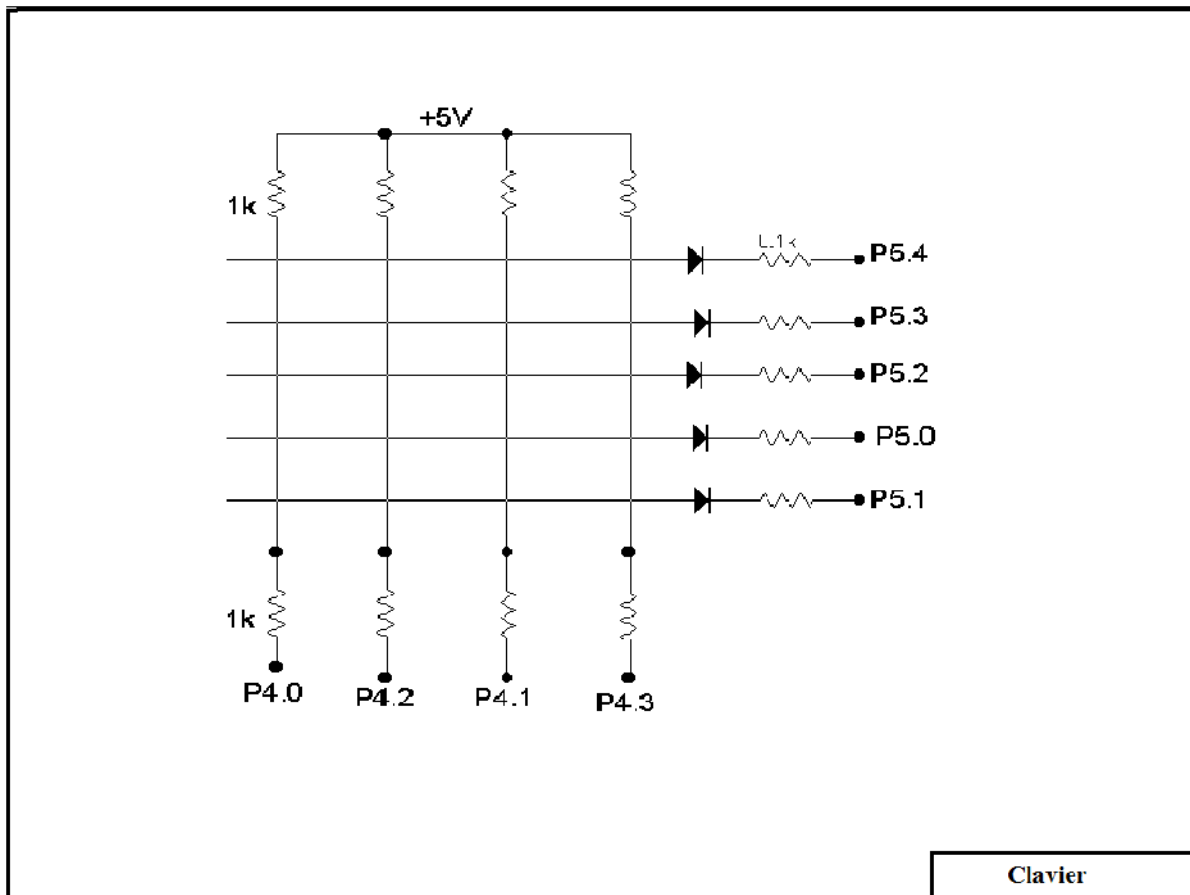


Fig. I.12. Schéma électrique du clavier.

I.8. Les sorties :

Le schéma de principe des différentes sorties commandées par l'unité de commande est donné par la figure ci-dessous. Il est réalisé principalement avec deux verrous 74HC573 et trois drivers UDN 2987A avec protection.

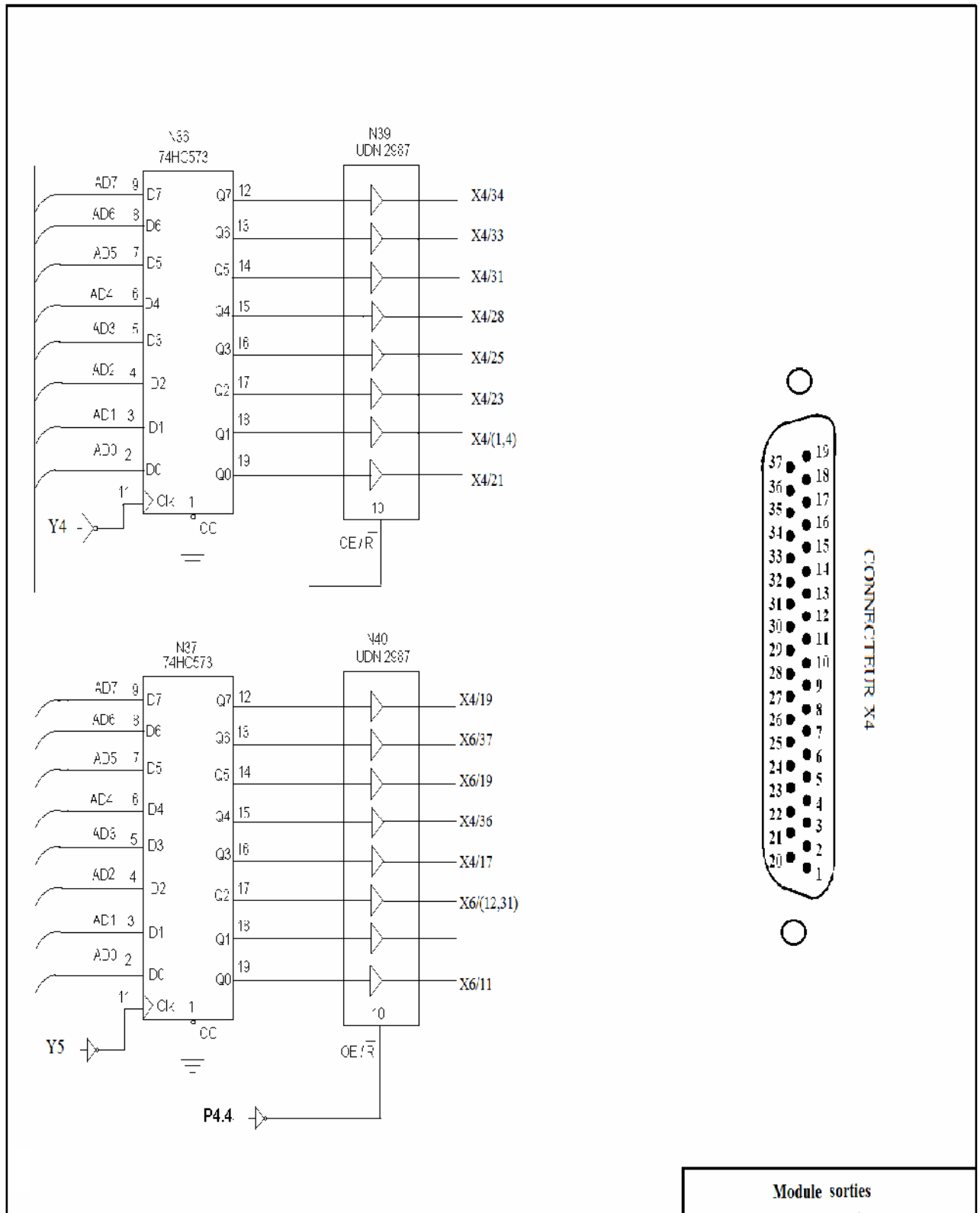


Fig. I.13. Schéma électrique des sorties.

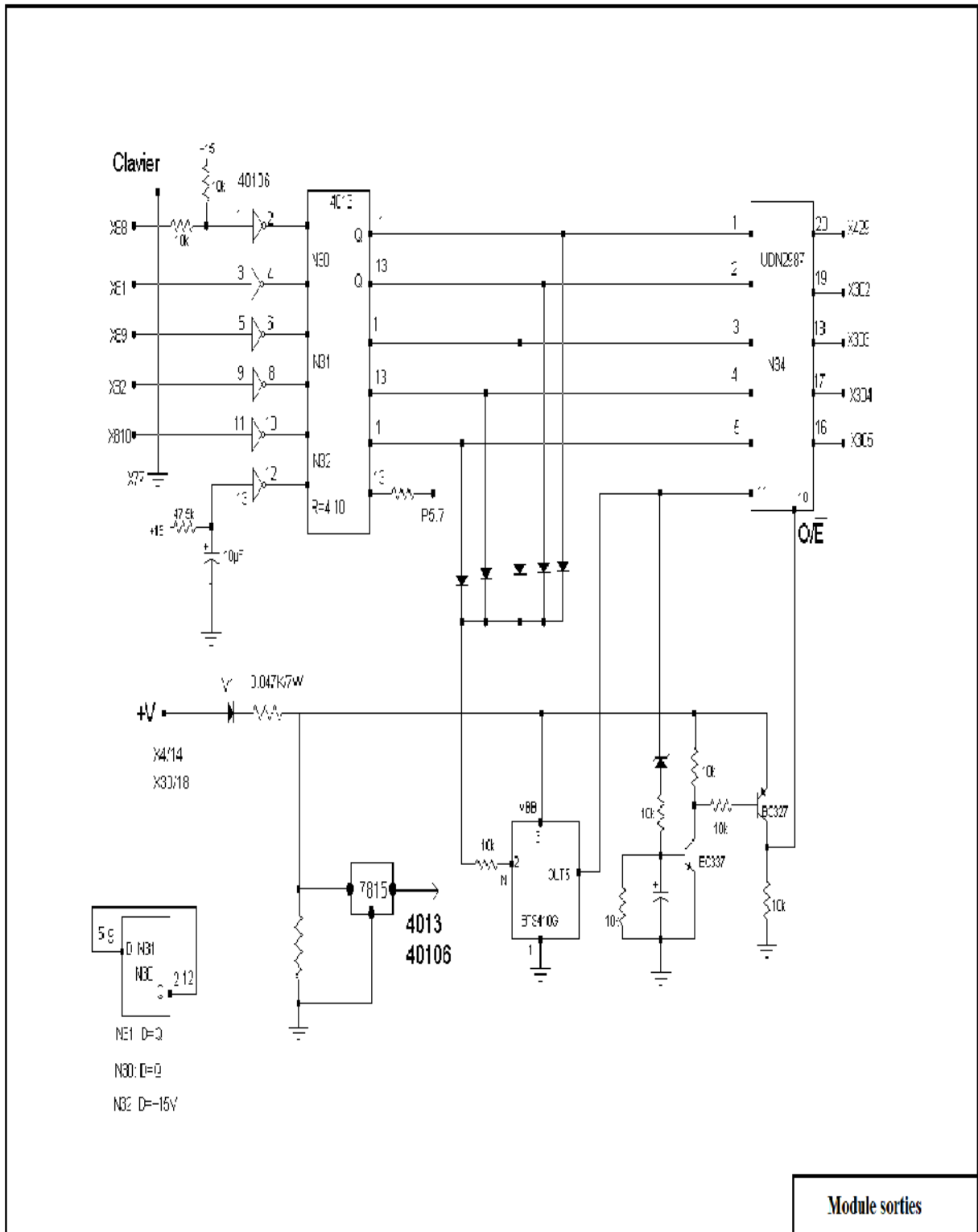


Fig. I.14. Schéma électrique des sorties.

I.8.1. L'affichage :

Pour visualiser les différents paramètres du système, un module d'affichage à cristaux liquides de 92 segments, permet d'afficher les différents résultats numériques de calculs et mesure sous forme de barre graphs et d'icônes :

- La température du moteur,
- La pression d'huile
- Compte tours
- charge batterie...

Le schéma synoptique ci-dessous présente le bloc affichage. Le module est alimenté par une tension de 5v, le rétro éclairage est assuré par deux lampes de 12V en série placées à l'arrière de l'afficheur. L'afficheur comporte 92 segments qui sont alimentés par deux circuits M5219BG montés en cascade. Chaque circuit M5219 comportent 48 sorties.

L'affichage des informations se fait chaque 80ms durant le sous programme d'interruption externe#2.

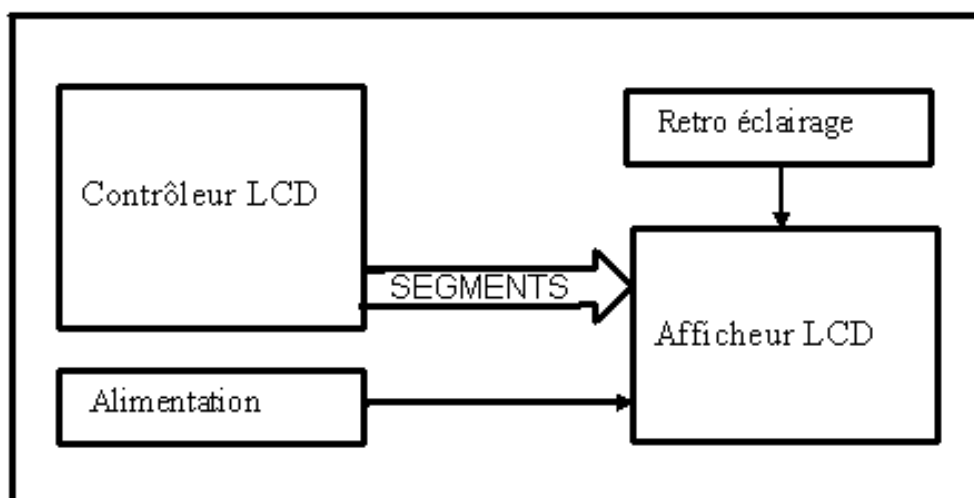


Fig. I.15. Schéma synoptique de l'afficheur.

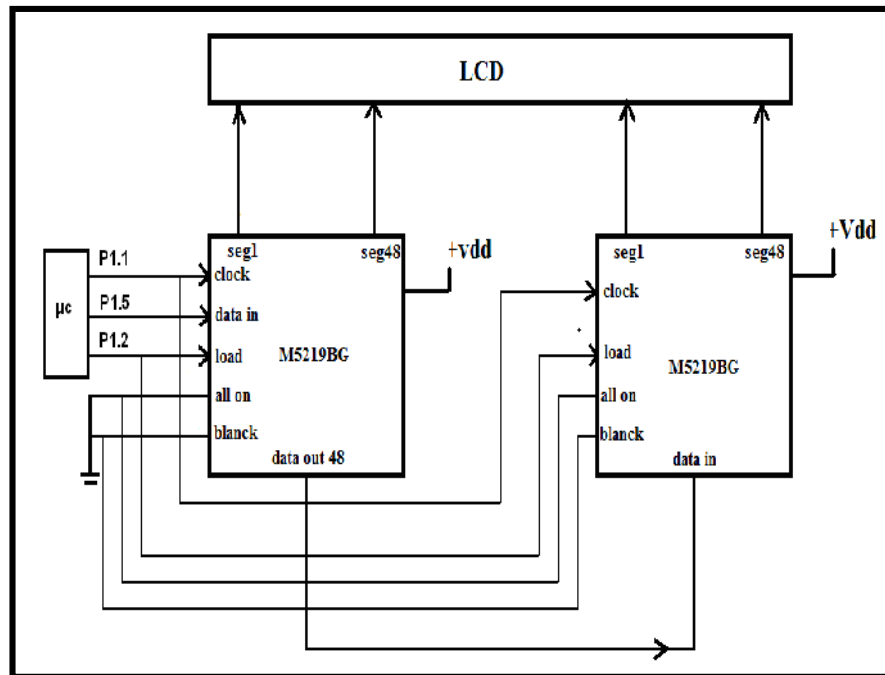


Fig. I.16. Schéma électrique du bloc affichage.

I.9. Le système de surveillance du microcontrôleur :

L'architecture du système étant à base d'un microcontrôleur un système de supervision de ce dernier est ajouté. Le circuit qui se charge de cette fonction est le MAX691.

La mémoire de données (RAM) est alimentée à travers Vout. Vout est relié intérieurement à Vcc lorsque les 5V sont présents sinon à VBATT.

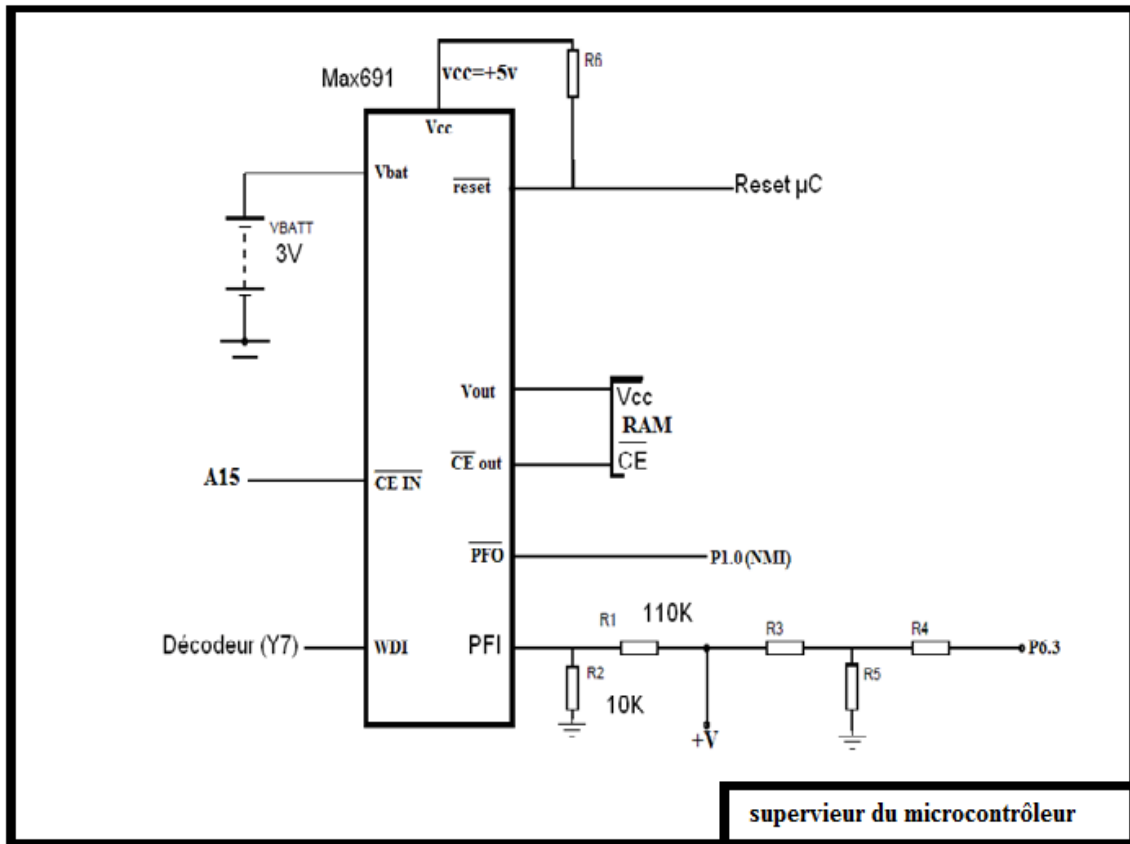


Fig. I.17. Schéma électrique du superviseur.

La tension de sous voltage sera déterminée par le pont diviseur constitué de R1 et R2 par la formule :

$$\frac{V \times R2}{(R1 + R2)} < 1,3 \quad \Rightarrow \quad V < 15,6V \quad (I.1)$$

Avec :

R1 Et R2 : résistances

V : Tension

Dans le cas où la tension de la batterie descend en dessous de **15,6V** la sortie PF0 sera portée au niveau bas entrainant une interruption non masquable dont la conséquence est la réinitialisation de microcontrôleur.

La tension de survoltage sera déterminée par le pont diviseur constitué de R3 et R5 par la formule :

$$\frac{V \times R5}{(R5 + R3)} < V_{Max} \quad \text{(I.2)}$$

Avec :

R3 et R5 : résistances.

V_{Max} : Tension Maximale tolérée par le microcontrôleur.

V :

En plus de la surveillance extrême, un circuit de charge de la batterie est intégré pour avertir le conducteur en cas d'anomalie.

Le circuit LM2901 monté en comparateur réalise cette fonction. La tension fournie par l'alternateur est comparée constamment à celle de la batterie et le résultat est envoyé sur le port P1.6 :

- Niveau 0 pour pas de charge
- Niveau 1 pour charge OK

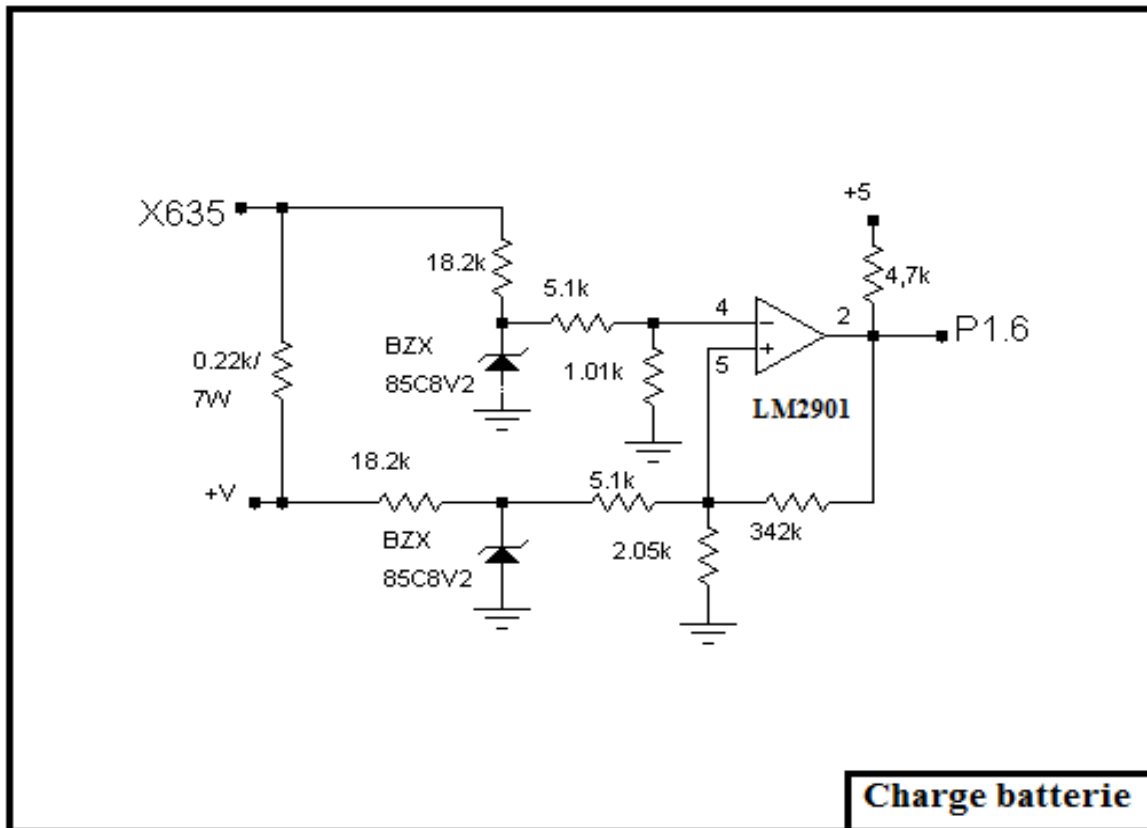
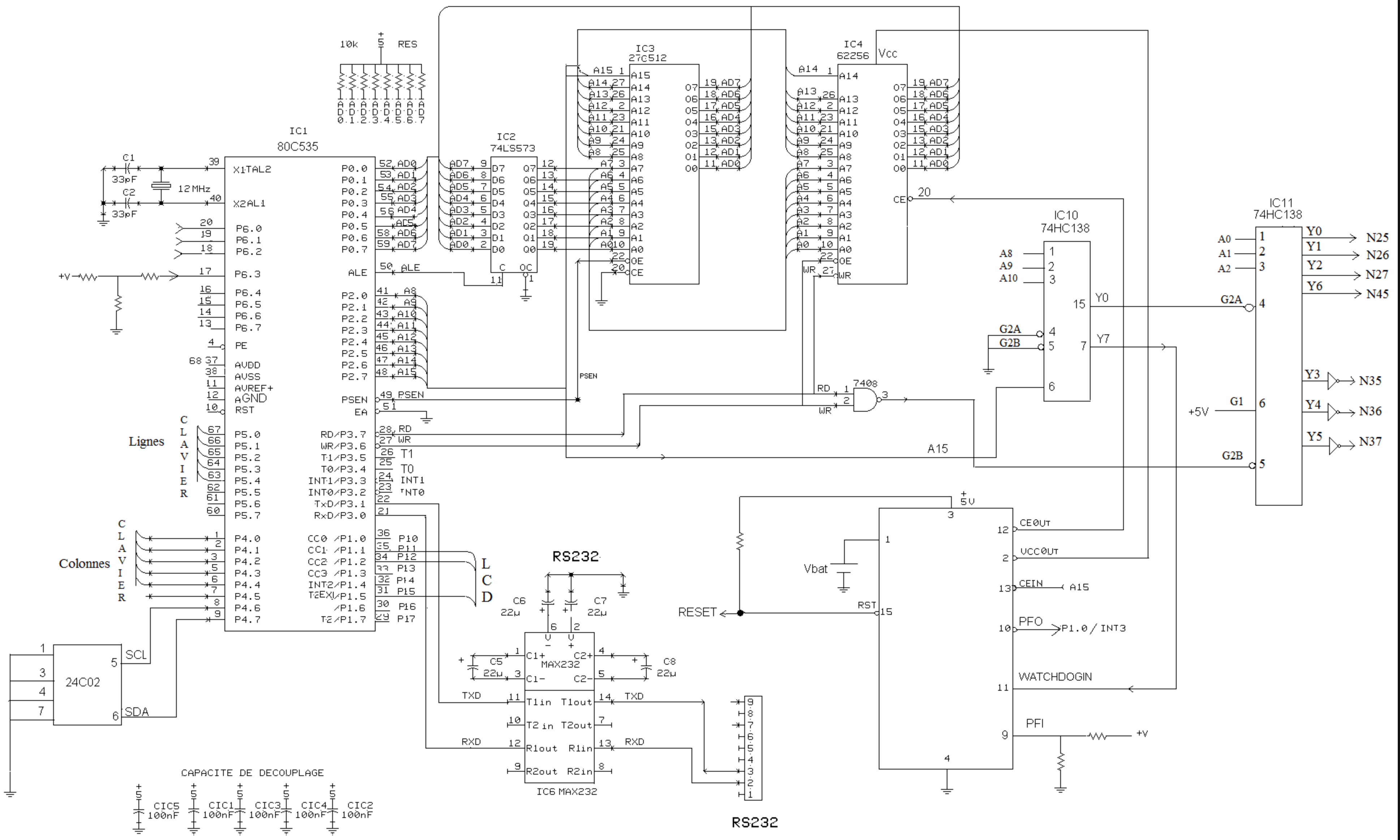


Fig. I.18. Circuit conditionneur pour l'indicateur de charge de la batterie.

I.10. Conclusion :

Tout au long de cette partie, l'étude de différents composants ont permis d'identifier les principes clés devant être mise en œuvre pour une architecture de contrôle et vérification du processus supervisé, piloté par un calculateur dont on a découvert le fonctionnement et les blocs qui le composent.



Carte 80C535

CHAPITRE II:

DESCRIPTION

LOGICIELLE

II.1. Introduction :

Chaque programmeur a sa sensibilité, de même qu'il existe une multitude de microcontrôleurs. Il est donc difficile de trouver deux programmes identiques pour une même application. On a donc eu recours à un langage universel qui permet de rendre compréhensible, de tous, le déroulement d'un processus. Ce langage est ALGORITHMIQUE.

Cette phase de l'étude vient juste après l'étude matérielle et tiendra compte de tous les mouvements prévus dans le comportement dynamique du fonctionnement de la machine.

En effet dans cette partie on définit par une succession finie, ordonnée dans le temps un nombre d'opérations et étapes. Pour décrire ce mécanisme et comprendre ce qui se passe dans le DISPLAY, on a besoin de connaître toutes les structures de contrôle pour la supervision du système.

La structure matérielle étudiée dans la partie précédente ne peut fonctionner telle quelle car, étant à base de microcontrôleur un logiciel y est indispensable.

II.2. Description du logiciel :

Afin de simuler le programme on a eu recours au logiciel de simulation « Emulator 8051 version 1.00 TS-control ».

Ce logiciel permet de simuler le fonctionnement du microcontrôleur. Les programmes à tester peuvent être exécutés en surveillant à tout moment le contenu des registres internes et mémoires. Cette exécution s'effectue complètement ou en mode pas à pas. C'est donc un outil particulièrement précieux lors de la mise au point de programmes complexes.

Son utilisation est recommandée dans les applications délicates où la mise au point du programme est très liée au support matériel du projet.

Ce logiciel est destiné au microcontrôleur 8051/8052 qu'on a adapté au SAB 80C535 dont on a apporté des modifications nécessaires.

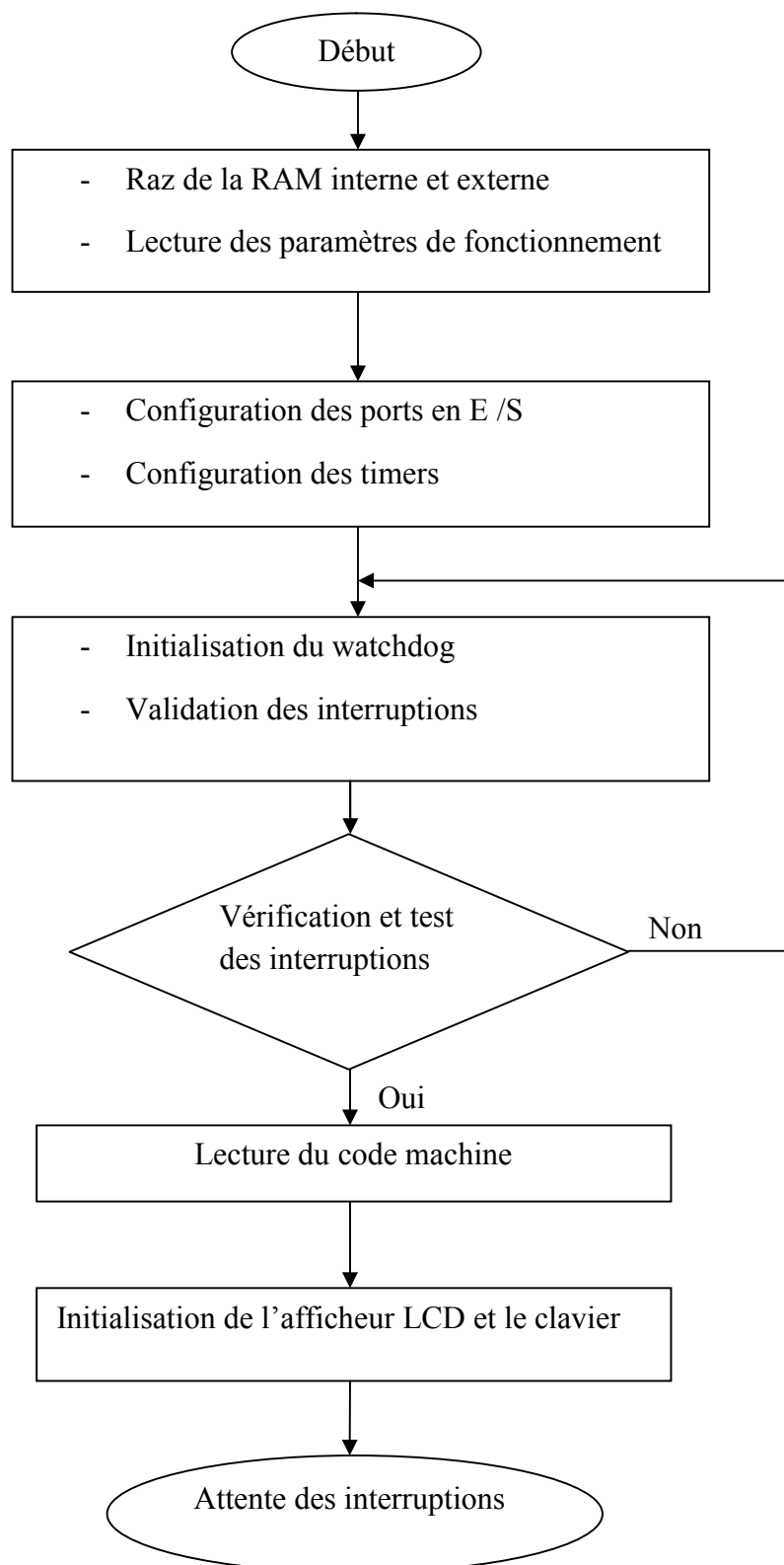


Fig. II.2. Organigramme principal.

Ce programme principale est mise en œuvre afin de superviser tout le système et interpréter et traiter les données pour les afficher enfin à l'utilisateur, il comprend :

- La remise à zéro des mémoires (RAM interne et externe).
- La lecture des paramètres de fonctionnement du système situés dans la mémoire programme.
- La configuration des ports en entrées /sorties tels que P₀ et P₂ sont utilisés pour l'adressage des données, P₆ comme entrée analogique du convertisseur et enfin les autres ports sont configurés selon leurs utilisation.
- Les timers sont configurés comme suite : T0 comme compteurs 16 bits, T1 comme temporisateur 16 bits et enfin le T2 est utilisé comme étant un compteur d'événements externes.
- Vérification et test des interruptions.
- La lecture et test du code machine.
- Initialisation de l'afficheur LCD et du clavier.

II.4. Les interruptions :

Définition :

Comment prendre en compte un événement, comment provoquer une rupture de séquence d'exécution d'un processus dans un délai très court ? Une solution : les interruptions.

Une interruption est un signal déclenché par un événement interne à la machine ou externe, provoquant l'arrêt d'un programme en cours d'exécution à la fin de l'opération courante, au profit d'un programme plus prioritaire appelé programme d'interruption. Ensuite, le programme interrompu reprend son exécution à l'endroit où il avait été interrompu.

Dans notre système, les interruptions principalement utilisées sont :

- Interruption RESET.
- interruption du timer1.
- interruption externe 2.

II.4.1. Interruption RESET :

Le lancement d'un programme après la mise sous tension ou après une réinitialisation suite à un défaut est souvent appelé procédure de RAZ ou RESET. Selon ce microcontrôleur cette procédure s'apparente à une interruption non masquée.

La commande externe de RAZ peut être effectuée automatiquement à la mise sous tension, par le superviseur d'alimentation « MAX691 » suite à la détection d'une tension d'alimentation insuffisante pour garantir un bon fonctionnement.

II.4.2. Interruption du timer1 :

Cette interruption est générée suite au débordement du Timer1, sa période est d'une milliseconde. Les étapes de l'interruption sont représentées sur l'organigramme ci après



Fig. II.3. Organigramme de l'interruption du timer1.

Ce sous programme d'interruption sert principalement à mettre à jour les données à afficher dans le cas où la machine est en marche et générer l'interruption externe 2 au bout de la 10^{ème} interruption 1 c'est-à-dire au bout de 10 ms

II.4.3. Interruption externe#2 :

Cette interruption est primordiale car la plupart des étapes importantes du programme sont effectuées dans cette dernière. Elle est d'une périodicité de 10ms. Ces étapes sont représentées dans l'organigramme ci-dessus :

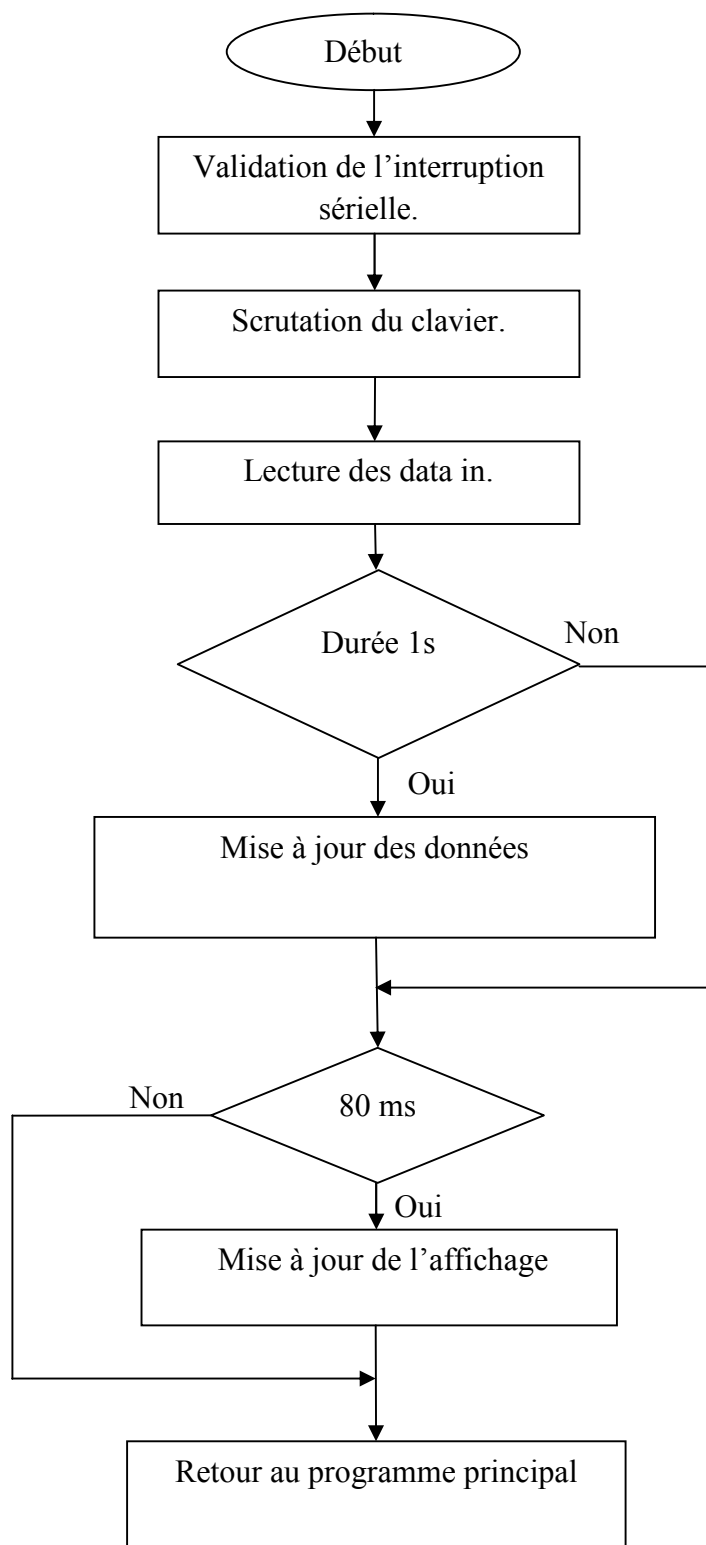


Fig. II.4. Organigramme du sous programme d'interruption externe#2.

Cette séquence d'interruption gère principalement :

L'interruption sérielle en vérifiant les données présentes sur le port série. Ainsi la scrutation du clavier c'est-à-dire il vérifie si une touche est appuyée ou pas. En suite une lecture des data in est effectuée. En fin il termine par une mise à jour des données affichées au bout d'une seconde et de l'affichage après 80 ms.

II.5. Conclusion :

Au cours de cette partie on a élaboré des organigrammes simples dont on a représenté l'essentiel car ce système est plus complexe qu'il parait et aussi pour donner le libre choix de programmation.

CONCLUSION GENERALE

Le progrès technologique connaît un essor effervescent, en particulier, le développement électronique et informatique. Il permet l'évolution rapide des systèmes embarqués qui remplacent à présent des systèmes mécaniques et électroniques complexes et encombrants afin d'apporter de nouvelles fonctionnalités en terme de fiabilité, rapidité, aisance de maintenance et de contrôle,...etc.

Au cours de cette étude de supervision qu'on a mené, on a appris en principe la constitution d'un tel système « le DISPLAY » qui est assimilé à la structure interne d'un automate en terme d'entrées /sorties, le fonctionnement de ses composants et les protocoles de contrôle à utiliser.

De plus, il est caractérisé par la notion du temps réel car les informations et les mesures qui sont affichées évoluent en temps réel et par la réactivité c'est-à-dire que le système doit réagir à l'arrivée d'informations extérieures non prévues.

Actuellement, la complexité et l'encombrement du câblage de tels systèmes électroniques sont améliorés et remplacés par bus CAN.

Ce parcours riche parmi des applications très diversifiées des Systèmes Embarqués montre à l'évidence le potentiel que représente ce secteur pour y développer des parcours professionnels foisonnants et variés.

Bibliographie

- **Bernard Odant**, Microcontrôleur 8051 et 8052 : description et mise en œuvre, DUNDO, Paris 1993.
- **Siemens AG**, Microcomputer components, SAB 80C515/80C535, 8-bit single-Chip Microcontroller Family, édition 08.95.
- **Philippe kauffmann**, mise en œuvre et application du microcontrôleur 8051, Masson, paris ,1996.
- Site web :
 - www.datasheetcatalogue.com
 - http://giovanni.delfranco.pagesperso-OCONTROLEUR_CI10.pdf

ANNEXES

Les registres à fonction spéciale utilisés du microcontrôleur 80C535 :

- **TMOD (Registre de contrôle du mode) :**

Gate	C/\bar{T}	M_1	M_0	Gate	C/\bar{T}	M_1	M_0
------	-------------	-------	-------	------	-------------	-------	-------

Gate : bit du contrôle, ce bit a pour fonction de valider le timer utilisé selon les changements d'état ou des transitions détectées sur la broche externe INT0 ou INT1.

C/\bar{T} : bit de sélection du mode compteur ou temporisateur, mis à 1 pour le mode compteur et à 0 pour le mode temporisateur.

M_1 et M_0 : ces bits assurent le choix entre les quatre modes de fonctionnement.

- **TCON (registre de contrôle des compteurs / temporisateur) :**

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

TF1 : sémaphore du débordement de timer1.

TR1 : bit de déclenchement de timer1, 1 pour lancer le timer1 et 0 pour l'arrêter.

TF0 : sémaphore du débordement de timer0.

TR0 : bit de déclenchement de timer0, 1 pour lancer le timer1 et 0 pour l'arrêter.

IE1 : Sémaphore de transition de l'interruption 1. Mis électroniquement lors de la détection d'une transition descendante de l'interruption externe. Effacé lorsque l'interruption est exécutée.

IT1 : Bit de contrôle de type de l'interruption 1. Mis/effacé par logiciel pour spécifier la réaction à une transition descendante/niveau bas de l'interruption externe.

IE0 : Sémaphore de transition de l'interruption 0. Mis électroniquement lors de la détection d'une transition descendante de l'interruption externe. Effacé lorsque l'interruption est exécutée.

IT0 : Bit de contrôle de type de l'interruption 0. Mis/effacé par logiciel pour spécifier la réaction à une transition descendante/niveau bas de l'interruption externe.

- **T2CON (registre de contrôle de compteurs2 / temporisateur2) :**

T2PS	I3FR	I2FR	T2R1	T2R0	T2CM	T2I1	T2I0
------	------	------	------	------	------	------	------

T2PS : bit de sélection de prescaler.

I3FR : sémaphore d'interruption externe 3.

I2FR : sémaphore d'interruption externe 2.

T2R1, T2R0 : bit de sélection du mode recharge.

T2CM : bit de sélection du mode capture.

T2I1, T2I0 : bit de sélection de la fonction du timer2.

- **SCON (registre de contrôle du port série) :**

SM0	SM1	SM2	REN	TB8	RB8	T1	R1
-----	-----	-----	-----	-----	-----	----	----

SM0 et SM1 : SM0, SM1 définissent le mode du port série.

SM2 : Valide le dispositif de communication multiprocesseur en mode 2 et 3.

REN : Valide la réception série. Mis par logiciel pour valider la réception. Effacé par logiciel pour inhiber la réception.

TB8 : C'est le 9ème bit qui sera émis en modes 2 et 3. Mis ou effacé par logiciel comme désiré.

RB8 : En modes 2 et 3, c'est le 9ème bit de donnée reçu. En mode 1, si SM2 = 0, RB8 est le bit d'arrêt reçu. En mode 0 RB8 n'est pas utilisé.

T1 : C'est le sémaphore d'interruption d'émission. Il est mis électroniquement à la fin du temps du 8ème bit en mode 0, ou au début du bit d'arrêt dans les autres modes, dans toutes les transmissions série. Il doit être effacé par logiciel.

R1 : C'est le sémaphore d'interruption de réception. Il est mis électroniquement à la fin du temps du 8ème bit en mode 0, ou au milieu du bit d'arrêt dans les autres modes, dans toutes les réceptions série (sauf exception voir SM2). Il doit être effacé par logiciel.

- SBUF : est le registre de réception/transmission du buffer de port série.



24C01SC/02SC

1K/2K 5.0V I²C Serial EEPROMs for Smart Cards

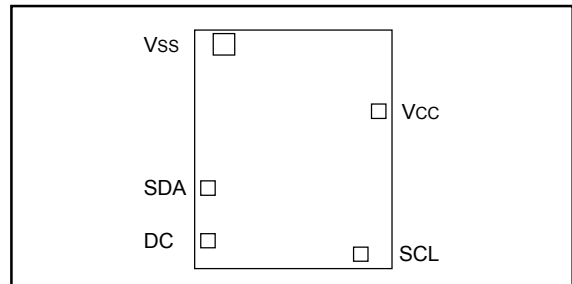
FEATURES

- **ISO Standard 7816 pad locations**
- Low power CMOS technology
 - 1 mA active current typical
 - 10 μ A standby current typical at 5.5V
- Organized as a single block of 128 bytes (128 x 8) or 256 bytes (256 x 8)
- Two-wire serial interface bus, I²C™ compatible
- 100 kHz and 400 kHz compatibility
- Self-timed write cycle (including auto-erase)
- Page-write buffer for up to 8 bytes
- 2 ms typical write cycle time for page-write
- ESD protection > 4 kV
- 1,000,000 E/W cycles guaranteed
- Data retention > 200 years
- Available for extended temperature ranges
 - Commercial (C): 0°C to +70°C

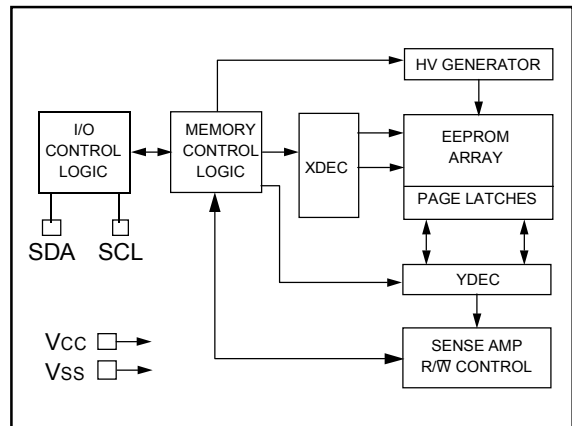
DESCRIPTION

The Microchip Technology Inc. 24C01SC and 24C02SC are 1K-bit and 2K-bit Electrically Erasable PROMs with bondpad positions optimized for smart card applications. The devices are organized as a single block of 128 x 8-bit or 256 x 8-bit memory with a two-wire serial interface. The 24C01SC and 24C02SC also have page-write capability for up to 8 bytes of data.

DIE LAYOUT



BLOCK DIAGRAM



I²C is a trademark of Philips Corporation.

24C01SC/02SC

1.0 ELECTRICAL CHARACTERISTICS

Maximum Ratings*

V_{CC}..... 7.0V
 All inputs and outputs w.r.t. V_{SS}..... -0.6V to V_{CC} +1.0V
 Storage temperature-65°C to +150°C
 Ambient temp. with power applied.....-65°C to +125°C
 ESD protection on all pads≥ 4 kV

***Notice:** Stresses above those listed under "Maximum ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operational listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

TABLE 1-1: PAD FUNCTION TABLE

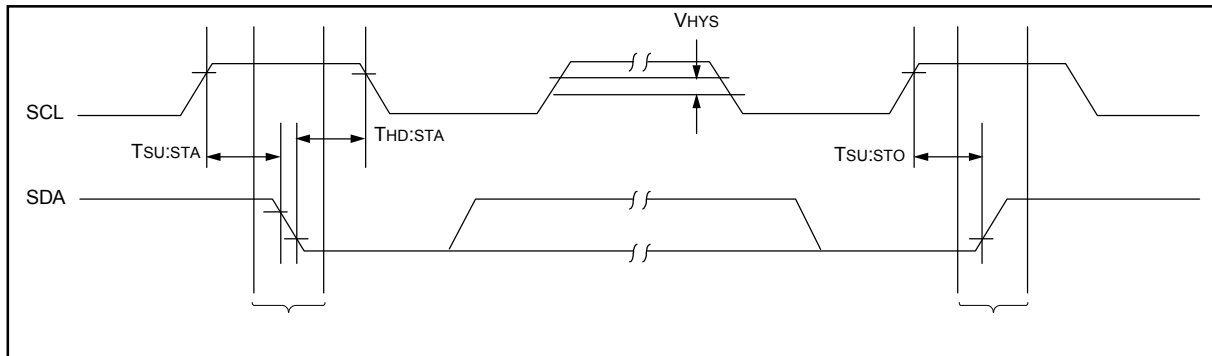
Name	Function
V _{SS}	Ground
SDA	Serial Address/Data I/O
SCL	Serial Clock
V _{CC}	+4.5V to 5.5V Power Supply
DC	Don't connect

TABLE 1-2: DC CHARACTERISTICS

V _{CC} = +4.5V to +5.5V Commercial (C): T _{amb} = 0°C to +70°C					
Parameter	Symbol	Min.	Max.	Units	Conditions
SCL and SDA pads: High level input voltage	V _{IH}	.7 V _{CC}	—	—	(Note)
Low level input voltage	V _{IL}	—	.3 V _{CC}	V	
Hysteresis of Schmidt trigger inputs	V _{HYS}	.05 V _{CC}	—	V	
Low level output voltage	V _{OL}	—	.40	V	
Input leakage current (SCL)	I _{LI}	-10	10	μA	V _{IN} = .1V to 5.5V
Output leakage current (SDA)	I _{LO}	-10	10	μA	V _{OUT} = .1V to 5.5V
Pin capacitance (all inputs/outputs)	C _{IN} , C _{OUT}	—	10	pF	V _{CC} = 5.0V (Note 1) T _{amb} = 25°C, F _{CLK} = 1 MHz
Operating current	I _{CC} Write	—	3	mA	V _{CC} = 5.5V
	I _{CC} Read	—	1	mA	V _{CC} = 5.5V, SCL = 400 KHz
Standby current	I _{CCS}	—	100	μA	V _{CC} = 5.5V, SDA = SCL = V _{CC}

Note: This parameter is periodically sampled and not 100% tested.

FIGURE 1-1: BUS TIMING START/STOP



W27C512



64K 8 ELECTRICALLY ERASABLE EPROM

GENERAL DESCRIPTION

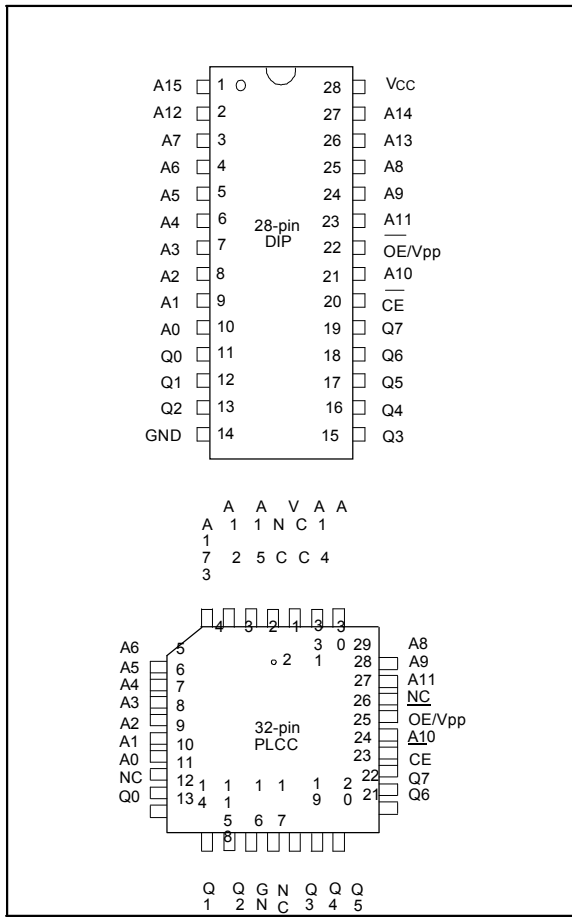
The W27C512 is a high speed, low power Electrically Erasable and Programmable Read Only Memory organized as 65536 8 bits that operates on a single 5 volt power supply. The W27C512 provides an electrical chip erase function.

FEATURES

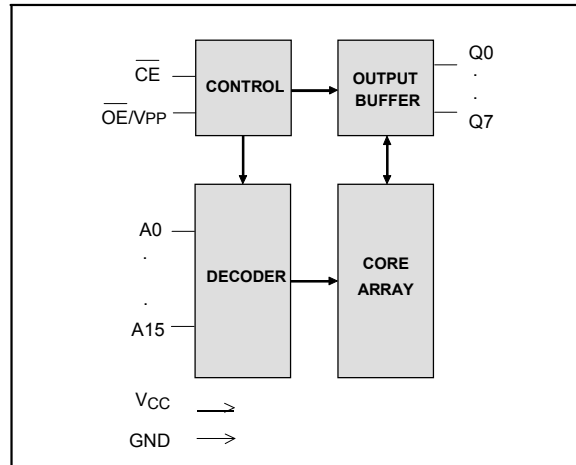
- High speed access time:
45/70/90/120 nS (max.)
- Read operating current: 30 mA (max.)
- Erase/Programming operating current
30 mA (max.)
- Standby current: 1 mA (max.)
- Single 5V power supply

- +14V erase/+12V programming voltage
- Fully static operation
- All inputs and outputs directly TTL/CMOS compatible
- Three-state outputs
- Available packages: 28-pin 600 mil DIP, 330 mil 32-pin PLCC

PIN CONFIGURATIONS



BLOCK DIAGRAM



PIN DESCRIPTION

SYMBOL	DESCRIPTION
A0 A15	Address Inputs
Q0 Q7	Data Inputs/Outputs
\overline{CE}	Chip Enable
\overline{OE}/V_{PP}	Output Enable, Program/Erase Supply Voltage
VCC	Power Supply
GND	Ground
NC	No Connection

Publication Release Date: November 1999

FUNCTIONAL DESCRIPTION

Read Mode

Like conventional UVEPROMs, the W27C512 has two control functions, both of which produce data at the outputs. \overline{CE} is for power control and chip select. \overline{OE}/V_{PP} controls the output buffer to gate data to the output pins. When addresses are stable, the address access time (T_{ACC}) is equal to the delay from \overline{CE} to output (T_{CE}), and data are available at the outputs T_{OE} after the falling edge of \overline{OE}/V_{PP} , if T_{ACC} and T_{CE} timings are met.

Erase Mode

The erase operation is the only way to change data from "0" to "1." Unlike conventional UVEPROMs, which use ultraviolet light to erase the contents of the entire chip (a procedure that requires up to half an hour), the W27C512 uses electrical erasure. Generally, the chip can be erased within 100 mS by using an EPROM writer with a special erase algorithm.

Erase mode is entered when \overline{OE}/V_{PP} is raised to V_{PE} (14V), $V_{CC} = V_{CE}$ (5V), $A_9 = V_{PE}$ (14V), A_0 low, and all other address pins low and data input pins high. Pulsing \overline{CE} low starts the erase operation.

Erase Verify Mode

After an erase operation, all of the bytes in the chip must be verified to check whether they have been successfully erased to "1" or not. The erase verify mode ensures a substantial erase margin if $V_{CC} = V_{CE}$ (3.75V), \overline{CE} low, and \overline{OE}/V_{PP} low.

Program Mode

Programming is performed exactly as it is in conventional UVEPROMs, and programming is the only way to change cell data from "1" to "0." The program mode is entered when \overline{OE}/V_{PP} is raised to V_{PP} (12V), $V_{CC} = V_{CP}$ (5V), the address pins equal the desired addresses, and the input pins equal the desired inputs. Pulsing \overline{CE} low starts the programming operation.

Program Verify Mode

All of the bytes in the chip must be verified to check whether they have been successfully programmed with the desired data or not. Hence, after each byte is programmed, a program verify operation should be performed. The program verify mode automatically ensures a substantial program margin. This mode will be entered after the program operation if \overline{OE}/V_{PP} low and \overline{CE} low.

Erase/Program Inhibit

Erase or program inhibit mode allows parallel erasing or programming of multiple chips with different data. When \overline{CE} high, erasing or programming of non-target chips is inhibited, so that except for the \overline{CE} and \overline{OE}/V_{PP} pins, the W27C512 may have common inputs.

HM62256B Series

256k SRAM (32-kword \times 8-bit)

HITACHI

ADE-203-135F (Z)

Rev. 6.0

Nov. 13, 1997

Description

The Hitachi HM62256B Series is a CMOS static RAM organized 32,768-word \times 8-bit. It realizes higher performance and low power consumption by employing 0.8 μ m Hi-CMOS process technology. The device, packaged in 8 \times 14 mm TSOP, 8 \times 13.4 mm TSOP with thickness of 1.2 mm, 450 mil SOP (foot print pitch width), 600 mil plastic DIP, or 300 mil plastic DIP, is available for high density mounting. It offers low power standby power dissipation; therefore, it is suitable for battery backup systems.

Features

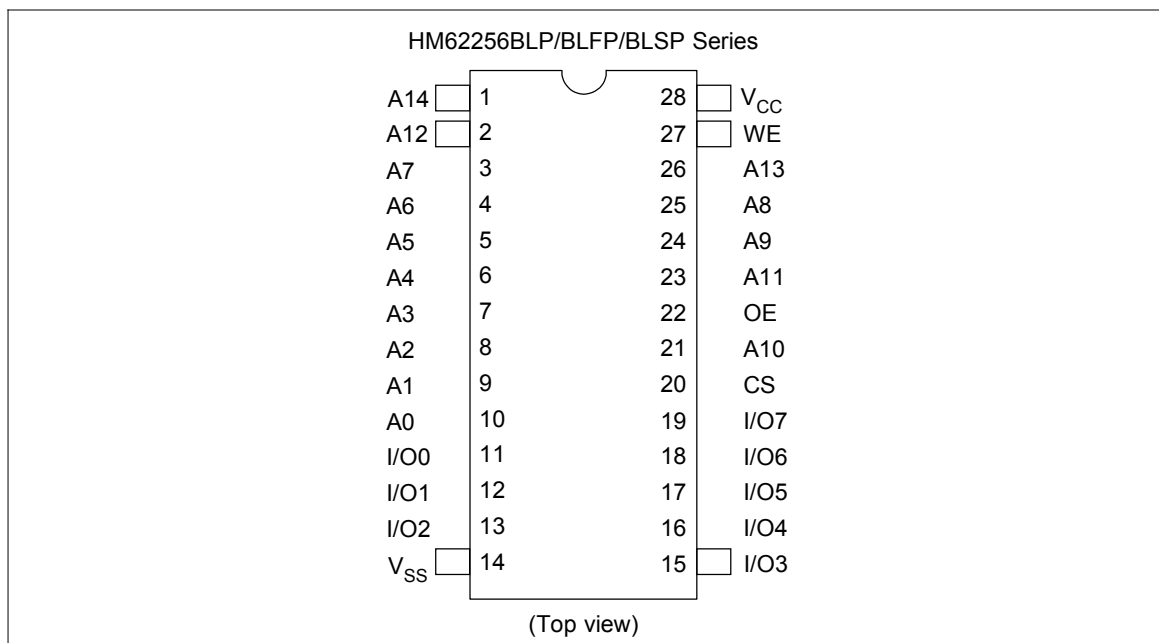
- Single 5.0 V supply: 5.0 V \pm 10%
- Access time: 55 ns/70 ns/85 ns (max)
- Power dissipation:
 - Active: 25 mW (typ) (f = 1 MHz)
 - Standby: 1.0 μ W (typ)
- Completely static memory
 - No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
 - Three state output
- Directly TTL compatible all inputs and outputs
- Battery backup operation

HM62256B Series

Ordering Information

Type No.	Access time	Package
HM62256BLP-7	70 ns	600-mil 28-pin plastic DIP (DP-28)
HM62256BLP-7SL	70 ns	
HM62256BLSP-7	70 ns	300-mil 28-pin plastic DIP (DP-28NA)
HM62256BLSP-7SL	70 ns	
HM62256BLFP-7T	70 ns	450-mil 28-pin plastic SOP (FP-28DA)
HM62256BLFP-5SLT	55 ns	
HM62256BLFP-7SLT	70 ns	
HM62256BLFP-7ULT	70 ns	
HM62256BLT-8	85 ns	8 mm × 14 mm 32-pin TSOP (TFP-32DA)
HM62256BLT-7SL	70 ns	
HM62256BLTM-8	85 ns	8 mm × 13.4 mm 28-pin TSOP (TFP-28DA)
HM62256BLTM-5SL	55 ns	
HM62256BLTM-7SL	70 ns	
HM62256BLTM-7UL	70 ns	

Pin Arrangement



(Top
view)

Pin Description

Pin Name	Function
A0 to A14	Address input
I/O0 to I/O7	Data input/output
CS	Chip select
WE	Write enable
OE	Output enable
V _{CC}	Power supply
V _{SS}	Ground
NC	No connection

MM74HC138 3-to-8 Line Decoder

General Description

The MM74HC138 decoder utilizes advanced silicon-gate CMOS technology and is well suited to memory address decoding or data routing applications. The circuit features high noise immunity and low power consumption usually associated with CMOS circuitry, yet has speeds comparable to low power Schottky TTL logic.

The MM74HC138 has 3 binary select inputs (A, B, and C). If the device is enabled, these inputs determine which one of the eight normally HIGH outputs will go LOW. Two active LOW and one active HIGH enables (G1, G2A and G2B) are provided to ease the cascading of decoders.

The decoder's outputs can drive 10 low power Schottky TTL equivalent loads, and are functionally and pin equivalent to the 74LS138. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

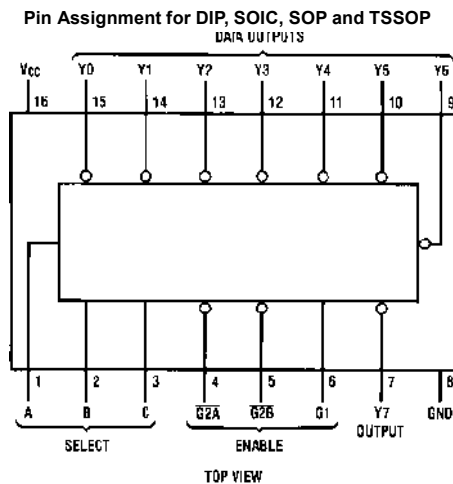
- Typical propagation delay: 20 ns
- Wide power supply range: 2V–6V
- Low quiescent current: 80 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads

Ordering Code:

Order Number	Package Number	Package Description
MM74HC138M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC138SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC138MTC	MTC16	16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC138N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

Connection Diagram



Octal D-type transparent latch; 3-state

74HC/HCT573

FEATURES

Inputs and outputs on opposite sides of package allowing easy interface with microprocessors
 Useful as input or output port for microprocessors/microcomputers
 3-state non-inverting outputs for bus oriented applications
 Common 3-state output enable input
 Functionally identical to the "563" and "373"
 Output capability: bus driver
 I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT573 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT573 are octal D-type transparent latches featuring separate D-type inputs for each latch and 3-state outputs for bus oriented applications.

A latch enable (LE) input and an output enable (\overline{OE}) input are common to all latches.

The "573" consists of eight D-type transparent latches with 3-state true outputs. When LE is HIGH, data at

the D_n inputs enter the latches. In this condition the latches are transparent, i.e. a latch output will change state each time its corresponding D-input changes.

When LE is LOW the latches store the information that was present at the D-inputs a set-up time preceding the HIGH-to-LOW transition of LE.

When \overline{OE} is LOW, the contents of the 8 latches are available at the outputs. When \overline{OE} is HIGH, the outputs go to the high impedance OFF-state.

Operation of the \overline{OE} input does not affect the state of the latches.

The "573" is functionally identical to the "563" and "373", but the "563" has inverted outputs and the "373" has a different pin arrangement.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL} / t _{PLH}	propagation delay	C _L = 15 pF; V _{CC} = 5 V			
	D _n to Q _n		14	17	ns
	LE to Q _n		15	15	ns
C _I	input capacitance		3.5	3.5	pF
C _{PD}	power dissipation capacitance per latch	notes 1 and 2	26	26	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in W):

$$P_D = C_{PD} V_{CC}^2 f_i + (C_L V_{CC}^2 f_o) \text{ where:}$$

f_i = input frequency in MHz; f_o = output frequency in MHz

(C_L V_{CC}² f_o) = sum of outputs

C_L = output load capacitance in pF; V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}; for HCT the condition is V_I = GND to V_{CC} - 1.5 V

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

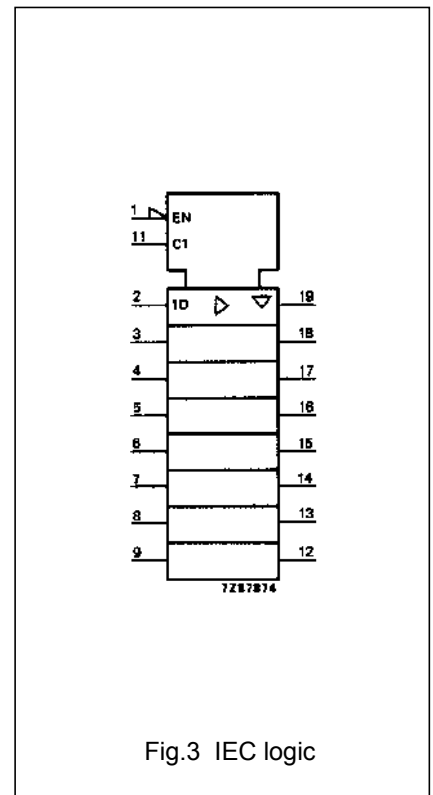
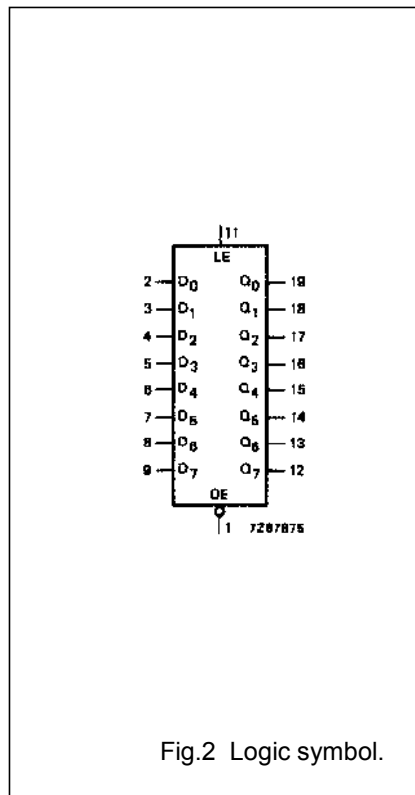
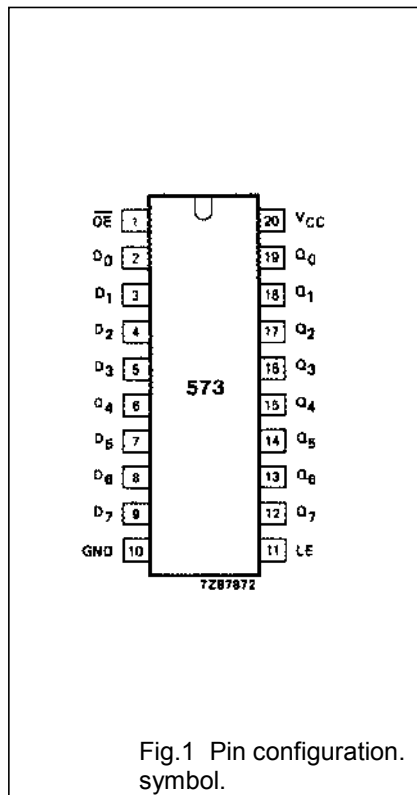
Octal D-type transparent latch; 3-state

74HC/H

CT573

PIN DESCRIPTION

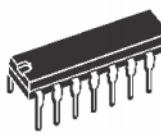
PIN NO.	SYMBOL	NAME AND FUNCTION
2, 3, 4, 5, 6, 7, 8, 9	D ₀ to D ₇	data inputs
11	LE	latch enable input (active HIGH)
1	OE	3-state output enable input (active LOW)
10	GND	ground (0 V)
19, 18, 17, 16, 15, 14, 13, 12	Q ₀ to Q ₇	3-state latch outputs
20	V _{CC}	positive supply voltage



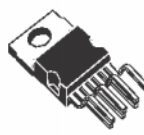


1.5A POWER SWITCHING REGULATOR

- 1.5A OUTPUT CURRENT
- 5.1V TO 40V OUTPUT VOLTAGE RANGE
- PRECISE ($\pm 2\%$) ON-CHIP REFERENCE
- HIGH SWITCHING FREQUENCY
- VERY HIGH EFFICIENCY (UP TO 90%)
- VERY FEW EXTERNAL COMPONENTS
- SOFT START
- INTERNAL LIMITING CURRENT
- THERMAL SHUTDOWN



POWERDIP
(12 + 2 + 2)



HEPTAWATT

ORDERING NUMBERS : L4962/A (12 + 2 + 2 Powerdip)
 L4962E/A (Heptawatt Vertical)
 L4962EH/A (Horizontal Heptawatt)

DESCRIPTION

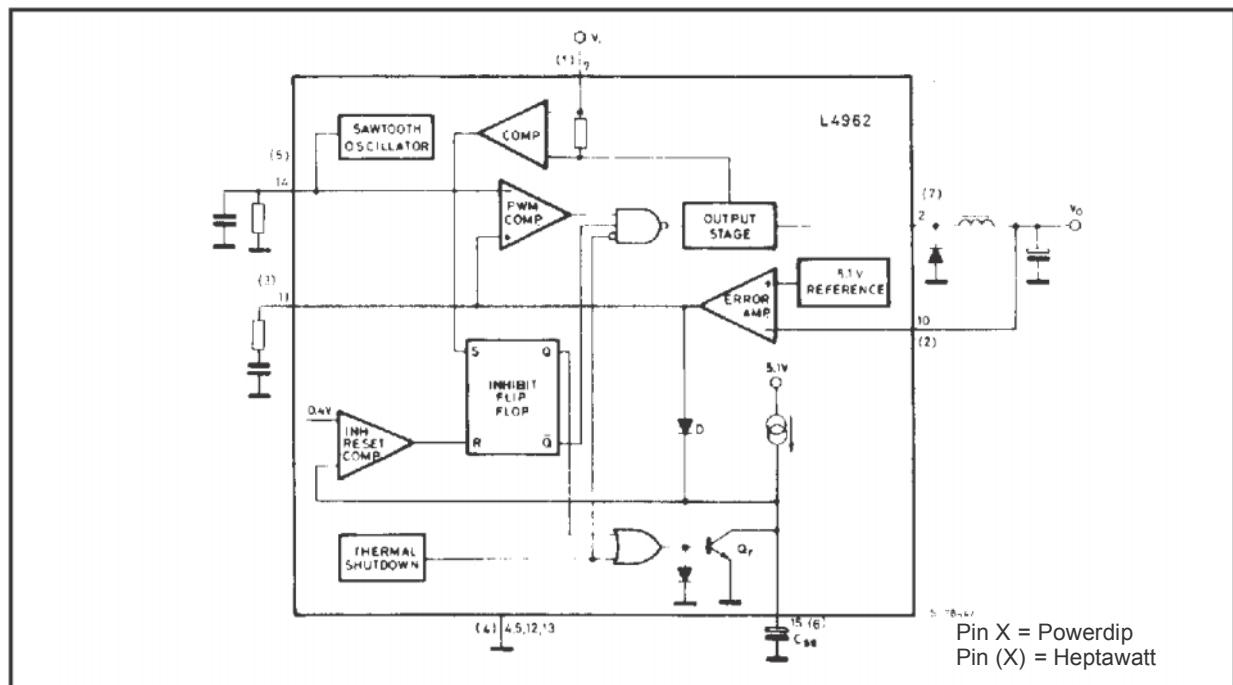
The L4962 is a monolithic power switching regulator delivering 1.5A at a voltage variable from 5V to 40V in step down configuration.

Features of the device include current limiting, soft start, thermal protection and 0 to 100% duty cycle for continuous operating mode.

The L4962 is mounted in a 16-lead Powerdip plastic package and Heptawatt package and requires very few external components.

Efficient operation at switching frequencies up to 150KHz allows a reduction in the size and cost of external filter components.

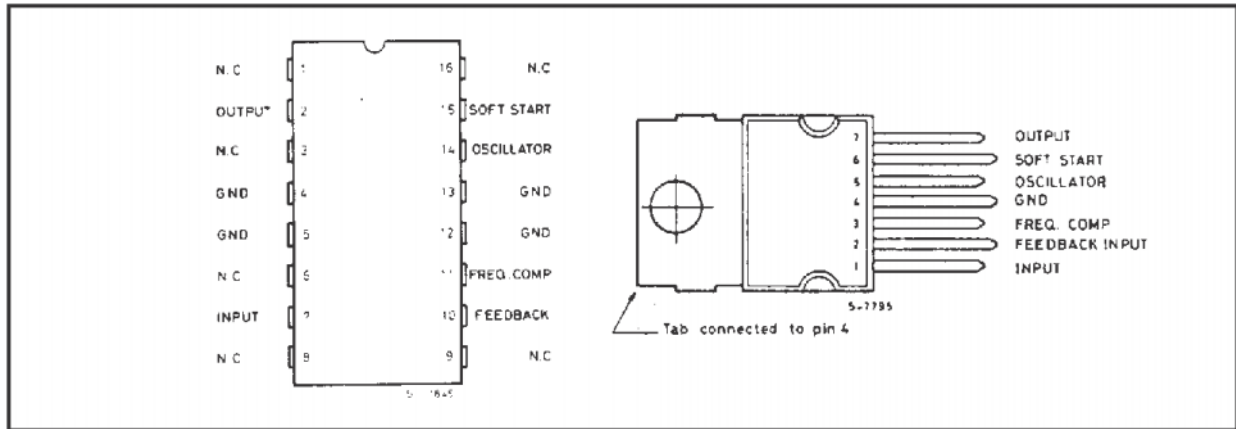
BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_7	Input voltage	50	V
$V_7 - V_2$	Input to output voltage difference	50	V
V_2	Negative output DC voltage	-1	V
	Output peak voltage at $t = 0.1 \mu s$; $f = 100KHz$	-5	V
V_{11}, V_{15}	Voltage at pin 11, 15	5.5	V
V_{10}	Voltage at pin 10	7	V
I_{11}	Pin 11 sink current	1	mA
I_{14}	Pin 14 source current	20	mA
P_{tot}	Power dissipation at $T_{pins} \leq 90^\circ C$ (Powerdip)	4.3	W
	$T_{case} \leq 90^\circ C$ (Heptawatt)	15	W
T_j, T_{stg}	Junction and storage temperature	-40 to 150	$^\circ C$

PIN CONNECTION (Top view)



THERMAL DATA

Symbol	Parameter		Heptawatt	Powerdip
$R_{th j-case}$	Thermal resistance junction-case	max	4 $^\circ C/W$	-
$R_{th j-pins}$	Thermal resistance junction-pins	max	-	14 $^\circ C/W$
$R_{th j-amb}$	Thermal resistance junction-ambient	max	50 $^\circ C/W$	80 $^\circ C/W^*$

* Obtained with the GND pins soldered to printed circuit with minimized copper area.

PIN FUNCTIONS

HEPTAWATT	POWERDIP	NAME	FUNCTION
1	7	SUPPLY VOLTAGE	Unregulated voltage input. An internal regulator powers the internal logic.
2	10	FEEDBACK INPUT	The feedback terminal of the regulation loop. The output is connected directly to this terminal for 5.1V operation; it is connected via a divider for higher voltages.
3	11	FREQUENCY COMPENSATION	A series RC network connected between this terminal and ground determines the regulation loop gain characteristics.

PIN FUNCTIONS (cont'd)

HEPTAWATT	POWERDIP	NAME	FUNCTION
4	4, 5, 12, 13	GROUND	Common ground terminal.
5	14	OSCILLATOR	A parallel RC network connected to this terminal determines the switching frequency. This pin must be connected to pin 7 input when the internal oscillator is used.
6	15	SOFT START	Soft start time constant. A capacitor is connected between this terminal and ground to define the soft start time constant. This capacitor also determines the average short circuit output current.
7	2	OUTPUT	Regulator output.
	1, 3, 6, 8, 9, 16		N.C.

ELECTRICAL CHARACTERISTICS (Refer to the test circuit, $T_j = 25\text{ }^\circ\text{C}$, $V_i = 35\text{V}$, unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
--------	-----------	-----------------	------	------	------	------

DYNAMIC CHARACTERISTICS

V_o	Output voltage range	$V_i = 46\text{V}$	$I_o = 1\text{A}$	V_{ref}		40	V
V_i	Input voltage range	$V_o = V_{ref}$ to 36V	$I_o = 1.5\text{A}$	9		46	V
V_o	Line regulation	$V_i = 10\text{V}$ to 40V	$V_o = V_{ref}$ $I_o = 1\text{A}$		15	50	mV
V_o	Load regulation	$V_o = V_{ref}$	$I_o = 0.5\text{A}$ to 1.5A		8	20	mV
V_{ref}	Internal reference voltage (pin 10)	$V_i = 9\text{V}$ to 46V	$I_o = 1\text{A}$	5	5.1	5.2	V
$\frac{V_{ref}}{T}$	Average temperature coefficient of refer. voltage	$T_j = 0^\circ\text{C}$ to 125°C	$I_o = 1\text{A}$		0.4		mV/°C
V_d	Dropout voltage	$I_o = 1.5\text{A}$			1.5	2	V
I_{om}	Maximum operating load current	$V_i = 9\text{V}$ to 46V $V_o = V_{ref}$ to 36V		1.5			A
I_{2L}	Current limiting threshold (pin 2)	$V_i = 9\text{V}$ to 46V $V_o = V_{ref}$ to 36V		2		3.3	A
I_{SH}	Input average current	$V_i = 46\text{V}$; output short-circuit			15	30	mA
	Efficiency	$f = 100\text{KHz}$	$V_o = V_{ref}$		70		%
		$I_o = 1\text{A}$	$V_o = 12\text{V}$		80		%
SVR	Supply voltage ripple rejection	$V_i = 2V_{rms}$ $f_{ripple} = 100\text{Hz}$ $V_o = V_{ref}$	$I_o = 1\text{A}$	50	56		dB

L4962

OKI semiconductor

MSM5219B

48-DOT STATIC LCD DRIVER

GENERAL DESCRIPTION

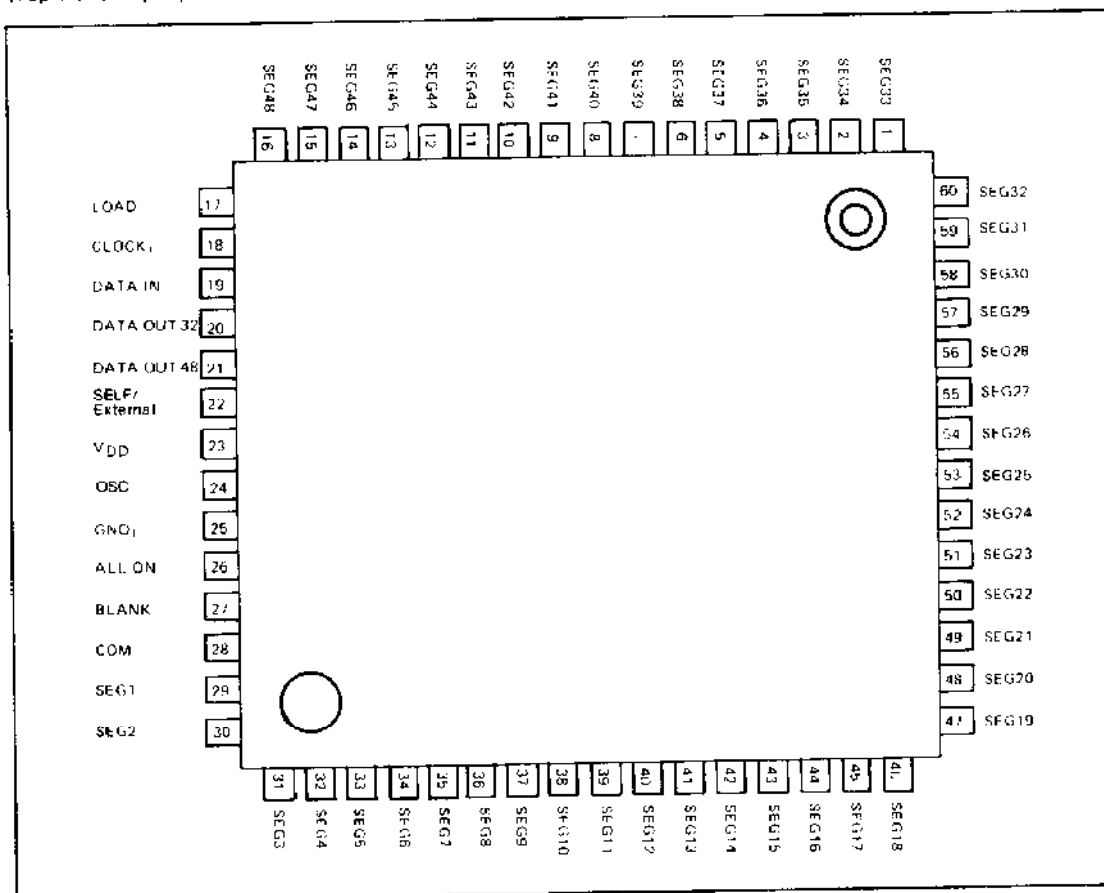
The OKI MSM5219BGS is a 48 dot static LCD driver which is fabricated by low power CMOS metal gate technology. This LSI consists of 48-bit shift register, 48-bit latch and 48-bit LCD driver. The display data, which was input to the 48-bit shift register, is shifted to the 48-bit latch by the LOAD signal. Then the data is output to the LCD panel through the 48-bit LCD driver.

FEATURES

- 48 dots static LCD driving capability
- Simple interface with microcomputer chip (controlled by three input signals)
- Bit-to-bit correspondence between the input and the output
- Cascade connection capability
- LCD driving AC frequency is directly input externally
- Applicable as an output expander
- Supply voltage: 3 ~ 7V
- 60 pin plastic QFP (QFP60-P-1519-K)
- 60 pin -V plastic QFP (QFP60-P-1519-VK)

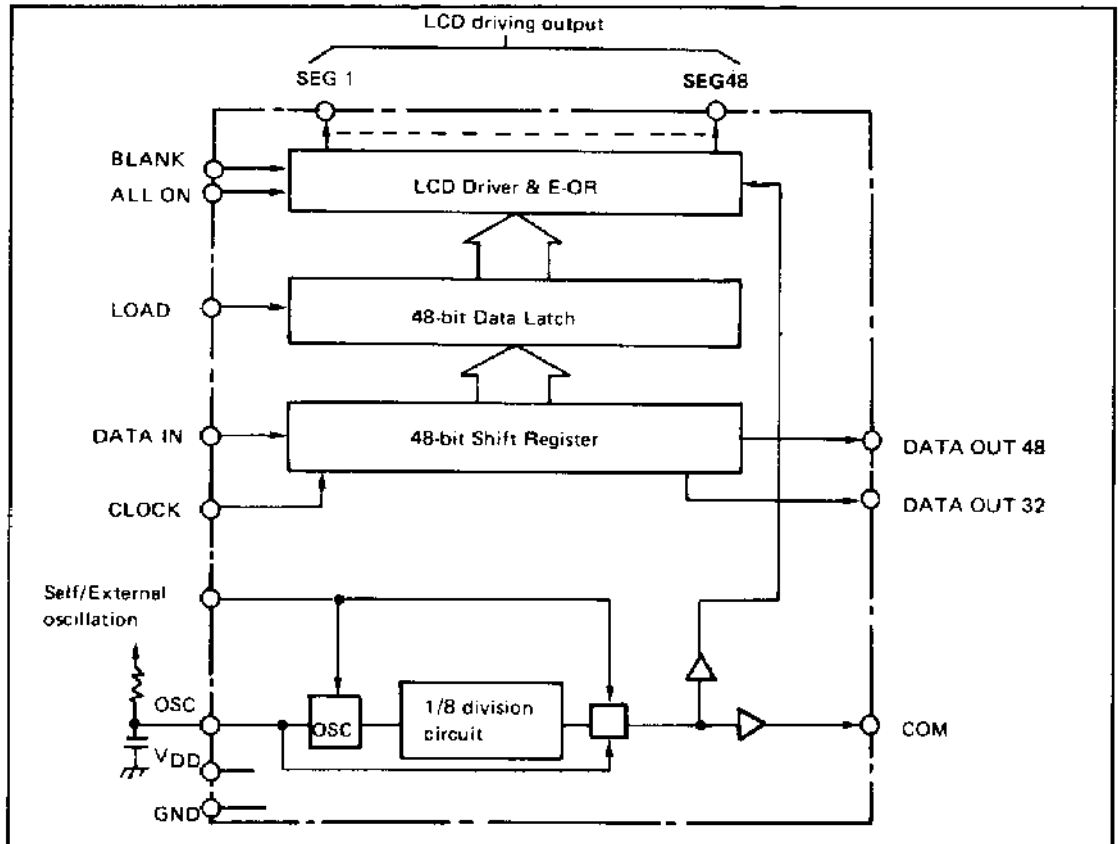
PIN CONFIGURATION

(Top view) 60 pin plastic QFP



■ STATIC LCD DRIVER · MSM5219B ■

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

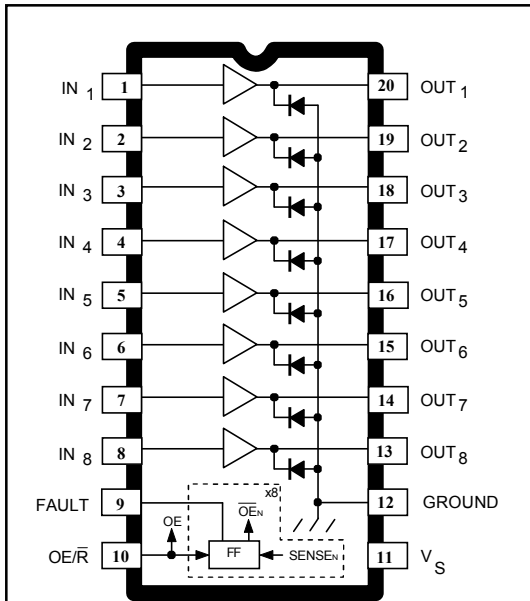
Parameter	Symbol	Condition	Limits	Unit
Supply voltage	$V_{DD} - V_{SS}$	$T_a = 25^\circ\text{C}$	$-0.3 \sim +7$	V
Input voltage	V_I	$T_a = 25^\circ\text{C}$	$V_{SS} - 0.3 \sim V_{DD} + 0.3$	V
Storage temperature	T_{stg}	—	$-55 \sim +150$	$^\circ\text{C}$

OPERATING RANGE

Parameter	Symbol	Condition	Limits	Unit
Supply voltage	$V_{DD} - V_{SS}$	Self-Oscillation circuit	$4 \sim 7$	V
		External oscillation	$3 \sim 7$	V
Operating temperature	T_{op}	—	$-40 \sim +85$	$^\circ\text{C}$

2987

8-CHANNEL SOURCE DRIVER WITH OVER-CURRENT PROTECTION



Dwg. PP-067

Note that the UDN2987A (DIP) and the UDN2987LW (SOIC) are electrically identical and share a common terminal number assignment.

ABSOLUTE MAXIMUM RATINGS at $T_A = +25^\circ\text{C}$

Driver Supply Voltage, V_S	35 V
Output Sustaining Voltage, $V_{CE(sus)}$	35 V
Continuous Output Current, I_{OUT}	-500 mA*
FAULT Output Voltage, V_{CE}	35 V
FAULT Output Current, I_C	30 mA
Input Voltage, V_{IN}	15 V
Package Power Dissipation, P_D	See Graph
Operating Temperature Range, T_A	-20°C to $+85^\circ\text{C}$
Storage Temperature Range, T_S	-55°C to $+150^\circ\text{C}$

* Outputs are disabled at approximately -500 mA per driver.

Providing over-current protection for each of its eight sourcing outputs, the UDN2987A and UDN2987LW drivers are used as an interface between standard low-level logic and relays, motors, solenoids, LEDs, and incandescent lamps. The device includes thermal shutdown and output transient protection/clamp diodes for use with sustaining voltages to 35 V.

In these drivers, each channel includes a latch to turn OFF that channel if the maximum channel current is exceeded. All channels are disabled if the thermal shutdown is activated. A common FAULT output is used to indicate either chip thermal shutdown or any over-current condition. All outputs are enabled by pulling the common OE/R input high. When OE/R is low, all outputs are inhibited and the eight latches are reset.

Under normal operating conditions, each of eight outputs will source in excess of 100 mA continuously at an ambient temperature of 25°C and a supply of 35 V. The over-current fault circuit will protect the device from short-circuits to ground with supply voltages of up to 35 V.

The inputs are compatible with 5 V and 12 V logic systems—TTL, Schottky TTL, DTL, PMOS, and CMOS. In all cases, the output is switched ON by an active high input level. The UDN2987A is supplied in a 20-pin dual in-line plastic package; the UDN2987LW is supplied in a 20-lead small-outline plastic package.

FEATURES

- 350 mA Output Source Current
- Over-Current Protected
- Internal Ground Clamp Diodes
- Output Breakdown Voltage 35 V, Minimum
- TTL, DTL, PMOS, or CMOS Compatible Inputs
- Internal Thermal Shutdown
- Automotive Capable

Always order by complete part number:

Part Number	Package
UDN2987A	20-Pin DIP
UDN2987LW	20-Lead Wide-Body SOIC



MAXIM Microprocessor Supervisory Circuits

MAX690/91/92/93/94/95

General Description

The MAX690 Family of supervisory circuits reduce the complexity and number of components required for power supply monitoring and battery control functions in microprocessor systems. These include μ P reset and backup-battery switchover, watchdog timer, CMOS RAM write protection, and power-failure warning. The MAX690 Family significantly improves system reliability and accuracy compared to that obtainable with separate ICs or discrete components.

The MAX690, MAX692 and MAX694 are supplied in 8-pin packages and provide four functions:

- 1) A Reset output during power-up, power-down and brownout conditions.
- 2) Battery backup switching for CMOS RAM, CMOS microprocessor or other low power logic.
- 3) A Reset pulse if the optional watchdog timer has not been toggled within a specified time.
- 4) A 1.3V threshold detector for power fail warning, low battery detection, or to monitor a power supply other than +5V.

The MAX691, MAX693 and MAX695 are supplied in 16-pin packages and perform all MAX690/692/694 functions, plus:

- 1) Write protection of CMOS RAM or EEPROM.
- 2) Adjustable reset and watchdog timeout periods.
- 3) Separate outputs for indicating a watchdog timeout, backup-battery switchover, and low V_{CC} .

Applications

Computers
Controllers
Intelligent Instruments
Automotive Systems
Critical μ P Power Monitoring

Features

- ◆ Precision Voltage Monitor
4.65V in MAX690, MAX691, MAX694 and MAX695
4.40V in MAX692 and MAX693
- ◆ Power OK/Reset Time Delay – 50, 200ms, or adjustable
- ◆ Watchdog Timer – 100ms, 1.6 sec, or adjustable
- ◆ Minimum Component Count
- ◆ 1 μ A Standby Current
- ◆ Battery Backup Power Switching
- ◆ Onboard Gating of Chip Enable Signals
- ◆ Voltage Monitor for Power Fail or Low Battery Warning

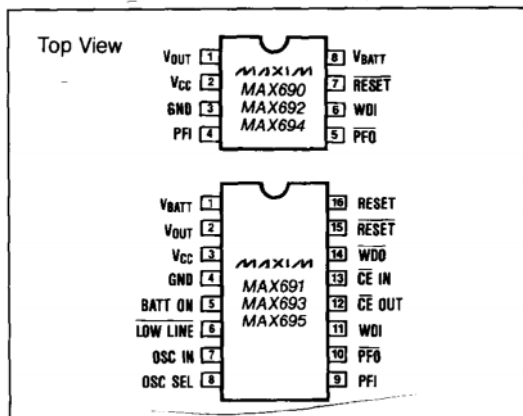
Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX690CPA	0°C to +70°C	8 Lead Plastic DIP
MAX690C/D	0°C to +70°C	Dice*
MAX690EPA	-40°C to +85°C	8 Lead Plastic DIP
MAX690EJA	-40°C to +85°C	8 Lead CERDIP
MAX690MJA	-55°C to +125°C	8 Lead CERDIP
MAX691CPE	0°C to +70°C	16 Lead Plastic DIP
MAX691CWE	0°C to +70°C	16 Lead Wide SO
MAX691C/D	0°C to +70°C	Dice*
MAX691EPE	-40°C to +85°C	16 Lead Plastic DIP
MAX691EWE	-40°C to +85°C	16 Lead Wide SO
MAX691EJE	-40°C to +85°C	16 Lead CERDIP
MAX691MJE	-55°C to +125°C	16 Lead CERDIP

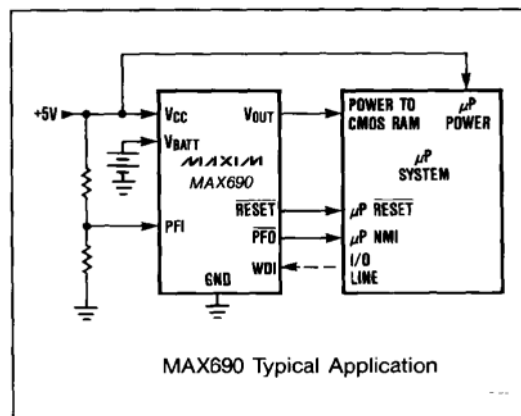
Ordering Information continued on last page.

*Contact factory for dice specifications.

Pin Configuration



Typical Operating Circuit



MAXIM

Maxim Integrated Products 1

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

Microprocessor Supervisory Circuits

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)	
V _{CC}	-0.3V to 6.0V
V _{BATT}	-0.3V to 6.0V
All Other Inputs (Note 1) ..	-0.3V to (V _{OUT} + 0.5V)
Input Current	
V _{CC}	200mA
V _{BATT}	50mA
GND	20mA
Output Current	
V _{OUT}	short circuit protected
All Other Outputs	20mA
Rate-of-Rise, V _{BATT} , V _{CC}	
100V/μs	
Operating Temperature Range	
C suffix	0°C to +70°C
E suffix	-40°C to +85°C
M suffix	-55°C to +125°C

Power Dissipation	
8-Pin Plastic DIP	(Derate 5mW/°C above +70°C)
8-Pin CERDIP	(Derate 8mW/°C above +85°C)
16-Pin Plastic DIP	(Derate 7mW/°C above +70°C)
16-Pin Small Outline	(Derate 7mW/°C above +70°C)
16-Pin CERDIP	(Derate 10mW/°C above +85°C)
Storage Temperature Range	
-65°C to +160°C	
Lead Temperature (Soldering, 10s)	
300°C	

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = full operating range, V_{BATT} = 2.8V, T_A = 25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
BATTERY BACKUP SWITCHING					
Operating Voltage Range MAX690, MAX691, MAX694, MAX695 V _{CC} MAX690, MAX691, MAX694, MAX695 V _{BATT} MAX692, MAX693 V _{CC} MAX692, MAX693 V _{BATT}		4.75 2.0 4.5 2.0		5.5 4.25 5.5 4.0	V
V _{OUT} Output Voltage	I _{OUT} = 1mA I _{OUT} = 50mA	V _{CC} -0.3 V _{CC} -0.5	V _{CC} -0.1 V _{CC} -0.25		V
V _{OUT} in Battery Backup Mode	I _{OUT} = 250μA, V _{CC} < V _{BATT} - 0.2V	V _{BATT} - 0.1	V _{BATT} - 0.02		V
Supply Current (excludes I _{OUT})	I _{OUT} = 1mA I _{OUT} = 50mA		2 3.5	5 10	mA
Supply Current in Battery Backup Mode	V _{CC} = 0V, V _{BATT} = 2.8V		0.6	1	μA
Battery Standby Current (+ = Discharge, - = Charge)	5.5V > V _{CC} > V _{BATT} + 1V T _A = 25°C T _A = Full Operating Range	-0.1 -1.0		+0.02 +0.02	μA
Battery Switchover Threshold V _{CC} - V _{BATT}	Power Up Power Down		70 50		mV
Battery Switchover Hysteresis			20		mV
BATT ON Output Voltage	I _{SINK} = 3.2mA			0.4	V
BATT ON Output Short Circuit Current	BATT ON = V _{OUT} = 4.5V Sink Current BATT ON = 0V Source Current	0.5	25 1	25	mA μA
RESET AND WATCHDOG TIMER					
Reset Voltage Threshold	T _A = Full Operating Range MAX690, MAX691, MAX694, MAX695 MAX692, MAX693	4.5 4.25	4.65 4.4	4.75 4.5	V V

Note 1: The input voltage limits on PFI and WDI may be exceeded provided the input current is limited to less than 10mA.

Microprocessor Supervisory Circuits

MAX690/91/92/93/94/95

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = full operating range, V_{BATT} = 2.8V, T_A = 25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Reset Threshold Hysteresis			40		mV
Reset Timeout Delay (MAX690/91/92/93)	Figure 6. OSC SEL HIGH, V_{CC} = 5V	35	50	70	ms
Reset Timeout Delay (MAX694/95)	Figure 6. OSC SEL HIGH, V_{CC} = 5V	140	200	280	ms
Watchdog Timeout Period, Internal Oscillator	Long Period, V_{CC} = 5V	1.0	1.6	2.25	sec
	Short Period, V_{CC} = 5V	70	100	140	ms
Watchdog Timeout Period, External Clock	Long Period	3840		4097	Clock Cycles
	Short Period	768		1025	Clock Cycles
Minimum WDI Input Pulse Width	V_{IL} = 0.4, V_{IH} = 0.8 V_{CC}	200			ns
\overline{RESET} and LOW LINE Output Voltage	I_{SINK} = 1.6mA, V_{CC} = 4.25V I_{SOURCE} = 1 μ A, V_{CC} = 5V	3.5		0.4	V
RESET and WDO Output Voltage	I_{SINK} = 1.6mA I_{SOURCE} = 1 μ A, V_{CC} = 5V	3.5		0.4	V
Output Short Circuit Current	RESET, \overline{RESET} , WDO, LOW LINE	1	3	25	μ A
WDI Input Threshold	V_{CC} = 5V (Note 2)	Logic Low		0.8	V
		Logic High	3.5		
WDI Input current	WDI = V_{OUT} WDI = 0V	-50	20 -15	50	μ A
POWER FAIL DETECTOR					
PFI Input Threshold	V_{CC} = +5V, T_A = Full	1.2	1.3	1.4	V
PFI Input Current			± 0.01	± 25	nA
PFO Output Voltage	I_{SINK} = 3.2mA I_{SOURCE} = 1 μ A	3.5		0.4	V
PFO Short Circuit Source Current	PFI = V_{IH} , PFO = 0V	1	3	25	μ A
CHIP ENABLE GATING					
\overline{CE} IN Thresholds	V_{IL} V_{IH}	3.0		0.8	V
			3		μ A
\overline{CE} IN Pullup Current			3		μ A
\overline{CE} OUT Output Voltage	I_{SINK} = 3.2mA I_{SOURCE} = 3.0mA I_{SOURCE} = 1 μ A, V_{CC} = 0V			0.4	V
\overline{CE} Propagation Delay	V_{CC} = 5V		50	200	ns
OSCILLATOR					
OSC IN Input Current			+2		μ A
OSC SEL Input Pullup Current			5		μ A
OSC IN Frequency Range	OSC SEL = 0V	0		250	kHz
OSC IN Frequency with External Capacitor	OSC SEL = 0V C_{OSC} = 47pF		4		kHz

Note 1: The input voltage limits on PFI and WDI may be exceeded provided the input current is limited to less than 10mA.

Note 2: WDI is guaranteed to be in the mid-level (inactive) state if WDI is floating and V_{CC} is in the operating voltage range. WDI is internally biased to 38% of V_{CC} with an impedance of approximately 125 kilohms.

Microprocessor Supervisory Circuits

Pin Description

NAME	PIN		FUNCTION
	MAX690/ 692/694	MAX691/ 693/695	
V _{CC}	2	3	The +5V input.
V _{BATT}	8	1	Backup battery input. Connect to Ground if a backup battery is not used.
V _{OUT}	1	2	The higher of V _{CC} or V _{BATT} is internally switched to V _{OUT} . Connect V _{OUT} to V _{CC} if V _{OUT} and V _{BATT} are not used. Connect a 0.1 μ F or larger bypass capacitor to V _{OUT} .
GND	3	4	0V Ground reference for all signals.
RESET	7	15	RESET goes low whenever V _{CC} falls below either the reset voltage threshold or the V _{BATT} input voltage. The reset threshold is typically 4.65V for the MAX690/691/694/695, and 4.4V for the MAX692 and MAX693. RESET remains low for 50ms after V _{CC} returns to 5V, (except 200ms in MAX694/695). RESET also goes low for 50ms if the Watchdog Timer is enabled but not serviced within its timeout period. The RESET pulse width can be adjusted as shown in Table 1.
WDI	6	11	The watchdog input, WDI, is a three level input. If WDI remains either high or low for longer than the watchdog timeout period, RESET pulses low and WDO goes low. The Watchdog Timer is disabled when WDI is left floating or is driven to mid-supply. The timer resets with each transition at the Watchdog Timer Input.
PFI	4	9	PFI is the non-inverting input to the Power Fail Comparator. When PFI is less than 1.3V, PFO goes low. Connect PFI to GND or V _{OUT} when not used. See Figure 1.
PFO	5	10	PFO is the output of the Power Fail Comparator. It goes low when PFI is less than 1.3V. The comparator is turned off and PFO goes low when V _{CC} is below V _{BATT} .
CE IN	—	13	The input to the CE gating circuit. Connect to GND or V _{OUT} if not used.
CE OUT	—	12	CE OUT goes low only when CE IN is low and V _{CC} is above the reset threshold (4.65V for MAX691 and MAX695, 4.4V for MAX693). See Figure 6.
BATT ON	—	5	BATT ON goes high when V _{OUT} is internally switched to the V _{BATT} input. It goes low when V _{OUT} is internally switched to V _{CC} . The output typically sinks 25mA and can directly drive the base of an external PNP transistor to increase the output current above the 50mA rating of V _{OUT} .
LOW LINE	—	6	LOW LINE goes low when V _{CC} falls below the reset threshold. It returns high as soon as V _{CC} rises above the reset threshold. See Figure 6, Reset Timing.
RESET	—	16	RESET is an active high output. It is the inverse of RESET.
OSC SEL	—	8	When OSC SEL is unconnected or driven high, the internal oscillator sets the reset time delay and watchdog timeout period. When OSC SEL is low, the external oscillator input, OSC IN, is enabled. OSC SEL has a 3 μ A internal pullup. See Table 1.
OSC IN	—	7	When OSC SEL is low, OSC IN can be driven by an external clock to adjust both the reset delay and the watchdog timeout period. The timing can also be adjusted by connecting an external capacitor to this pin. See Figure 8. When OSC SEL is high or floating, OSC IN selects between fast and slow Watchdog timeout periods.
WDO	—	14	The Watchdog Output, WDO, goes low if WDI remains either high or low for longer than the Watchdog timeout period. WDO is set high by the next transition at WDI. If WDI is unconnected or at mid-supply, WDO remains high. WDO also goes high when LOW LINE goes low.