

**République Algérienne Démocratique et populaire**  
**Ministère de l'enseignement supérieur et de la recherche scientifique**

**Université Mouloud Mammeri de Tizi-Ouzou**  
**Faculté de Génie électrique et de l'informatique**  
**Département d'Electronique**



# Mémoire

De fin d'études

**En vue de l'obtention du diplôme d'ingénieur d'état en électronique**

**Option : Instrumentation**

## Thème

Etude et caractérisations électriques  
de transistors MOSFET submicroniques

**Présenté par :**  
M.Azedine Belhiteche

**Proposé par :**  
M.Hakim Tah  
**Dirigé par :**  
M. R.Zirmi

**Promotion 2009**

## Remerciements

En premier lieu, je tiens à remercier chaleureusement mon promoteur, monsieur Rachid Zirmi, qui a dirigé cette thèse dans la continuité. Avec une grande disponibilité, il a su orienter mon travail de thèse tout en me transmettant sa passion pour la recherche. J'ai eu la chance d'avoir été dirigé au cours de ces travaux par monsieur Hakim Tah, ingénieur au centre de développement des technologies avancées (CDTA). J'ai énormément appris de lui, de sa longue expérience du domaine, et de sa faculté à rendre simple ce qui ne l'est pas.

Que leurs dévouement et leurs patience en soient ici remerciés.

A ma famille et amis pour leurs soutiens.

Merci à tous.

<b>Remerciements</b>	1
<b>Table des matières</b>	2
<b>Table des notifications</b>	5
<b>Introduction générale</b>	7

**Chapitre I : la structure Metal-Oxyde-Semiconducteur**

<b>I.1.Introduction</b>	11
<b>I.2.structure</b>	11
<b>I.3.diagramme de bandes d'énergie</b>	11
<b>I.4.Influence des travaux de sortie</b>	12
<b>I.5.regimes de fonctionnement</b>	12
a. régime d'accumulation	15
b. régime de bandes plates	16
c. régime de déplétion	16
d. régime d'inversion et de forte inversion	18
e. évolution de la charge à l'interface isolant-semiconducteur avec la polarisation de la grille	21
f. expression du potentiel de surface $V_s$ avec la tension de grille $V_g$	23
<b>I.6.Le transistor MOS</b>	24
<b>I.6.1.structure</b>	24
<b>I.6.2.technologie de fabrication</b>	24
<b>I.7.conclusion du chapitre</b>	24

**Chapitre II : Transistor MOSFET, fonctionnement et caractéristiques**

<b>II.1.Introduction</b>	26
<b>II.2.principe de fonctionnement</b>	26
a. état bloqué	26
b. état passant	26
<b>II.3.caracteristique courant-tension des MOSFETs « long »</b>	27
<b>II.3.1.zone bloquée</b>	27
<b>II.3.2.zone ohmique</b>	27
<b>II.3.3.zone source de courant</b>	27
<b>II.4.principaux paramètres des Mosfet</b>	28
<b>II.5.loi d'échelle</b>	30
<b>II.6.effets de canal court</b>	31
<b>II.6.1.courants de fuite</b>	31
• Courant de fuite du drain induit par la grille (GIDL)	32
• Abaissement de la barrière de potentiel par le drain (DIBL)	32

• Courant de polarisation inverse de la jonction p-n	32
• Courant de conduction sous le seuil	32
II.6.2.effet de la géométrie du transistor sur la tension de seuil	34
II.7.conclusion du chapitre	36
<b>Chapitre III : le système Si-SiO<sub>2</sub>: propriétés physique et électriques</b>	
III.1.Introduction	38
III.2.propriétés physico-chimiques du SiO <sub>2</sub>	38
III.2.1.obtention du SiO <sub>2</sub>	38
III.2.2.structure du SiO <sub>2</sub>	39
III.2.3.Nature physico-chimique des défauts du SiO <sub>2</sub>	39
III.2.3.1.defauts intrinsèques	40
III.2.3.2.defauts extrinsèques	40
III.3.propriétés électriques du SiO <sub>2</sub>	40
III.3.1.caracteristiques électriques	40
III.3.1.1. Diagramme de bandes	40
III.3.1.2.Caractéristiques électriques de l'oxyde	41
III.3.2.Comportement électrique des défauts	41
III.3.2.1 Introduction de nouveaux niveaux d'énergie	41
III.3.2.2.Influences des défauts sur le fonctionnement MOS	41
III.3.2.3.Notion de piège	42
III.3.2.4.Notion de section de capture	43
III.3.3.Différents types de charges dans l'oxyde	44
III.3.3.1. Les charges volumiques	44
La charge fixe d'oxyde $Q_f$	44
La charge piégée dans l'oxyde $Q_{ot}$	44
III.3.3.2. Charges situées à l'interface	44
Les charges mobiles $Q_m$	44
Les charges d'interfaces piégées $Q_{ss}$	44
III.3.3.3.Bilan de la charge totale $Q_{OX}$	44
III.4.Propriétés de l'interface Si-SiO <sub>2</sub>	45
III.4.1.Nature des défauts à l'interface	45
III.4.2.Propriétés des états d'interface	45
III.4.2.1.Distribution énergétique	45
III.4.2.2.Section de capture à l'interface	46
III.4.3.Etats rapides / états lents	46

<b>III.5. Propriétés de transport dans l'oxyde</b>	46
<b>III.5.1. Différents types de conduction dans l'oxyde</b>	47
<b>III.5.1.1. Mécanisme de transport dans l'oxyde</b>	47
• Effet pool frenkel-conduction par saut ou « hoping »	47
• Effet schottky-emission tunnel	48
<b>III.5.1.2. Mécanismes de dégradation dans l'oxyde sous injection FN</b>	49
<b>III.6. Conclusion</b>	50
 <b>Chapitre IV : Caractérisations électriques du transistor MOS</b>	
<b>IV.1. Introduction</b>	52
<b>IV.2. Mesures capacitives en fréquence (Méthode C (V))</b>	52
<b>IV.2.1. Principe</b>	52
<b>IV.2.2. Méthodes d'extraction des paramètres utiles à l'évaluation de la qualité du système si/sio<sub>2</sub></b>	55
<b>IV.2.2.1. Méthode du 1/C<sup>2</sup></b>	55
• Capacité et épaisseur d'oxyde	55
• Le dopage	56
• Tension de bandes plates V <sub>fb</sub>	57
<b>IV.2.2.2. Méthode du C<sub>max</sub>/C<sub>min</sub></b>	57
<b>IV.2.2.3. Méthode de la fonction de Maserjian</b>	58
<b>IV.4. Limites</b>	59
<b>IV.5. La méthode I (V)</b>	59
<b>IV.5.1. Principe</b>	59
<b>IV.5.1.2. Analyse des caractéristiques I-V des dispositifs MOSFETS Si classique</b>	60
<b>IV.5.2 Limites</b>	62
<b>IV.5.3. Evaluation de la tension de seuil par mesure I<sub>D</sub> -V<sub>G</sub></b>	62
<b>IV.5.3.1. Protocole expérimental</b>	62
<b>IV.5.3.2. Résultats et extraction de la tension de seuil</b>	63
<b>IV.5.4. Conclusion</b>	65
<b>Conclusion générale</b>	66
<b>Référence bibliographique</b>	69

Symbole	Unité	Dénomination
$\psi_s$	V	Potentiel de surface du semiconducteur
$C$	F	Capacité électrique de la structure MOS
$C_{FB}$	F	Capacité de bandes plates dans une structure MOS
$C_{HF}$	F	capacité haute fréquence
$C_{inv}$	F	Capacité due aux porteurs minoritaires dans une structure
$C_{ox}$	F	Capacité de l'oxyde par unité de surface, $C_{ox} = \epsilon_{ox}/T_{ox}$
$C_{sc}$	F	Capacité de l'interface isolant-semiconducteur dans une structure MOS
$C_w$	F	Capacité due à la ZCE dans une structure MOS
$C_{zce}$	F	Capacité de substrat par unité de surface associée à la zone de charge d'espace c'est-à-dire à la couche de déplétion.
$d$	m	Epaisseur de l'oxyde dans une structure MOS
$D_{it}$	$eV^{-1}cm^{-2}$	densité d'états d'interface
$D_n$	$m^2/s$	Coefficient de diffusion des électrons
$e$	C	Charge de l'électron
$E_C$	eV	Energie de la bande de conduction du semiconducteur
$E_{Ci}$	eV	Energie de la bande de conduction de l'isolant
$E_F$	eV	Energie du niveau de Fermi
$E_{Fi}$	eV	Energie du niveau de Fermi intrinsèque
$E_{Fm}$	eV	Energie du niveau de Fermi du métal
$E_{Fn}$	eV	Energie du niveau de Fermi du semiconducteur de type N
$E_{Fp}$	eV	Energie du niveau de Fermi du semiconducteur de type P
$E_g$	eV	Energie de la bande interdite du semiconducteur ( <i>Gap</i> )
$E_T$	eV	Energie qui sépare le niveau énergétique des dopants d'une bande permise
$E_V$	eV	Energie de la bande de valence du semiconducteur
$E_{Vi}$	eV	Energie de la bande de valence de l'isolant
$e\Phi_{Fi}$	eV	Travail de sortie du métal
$e\Phi_m$	eV	Travail de sortie du métal
$e\Phi_{sc}$	eV	Travail de sortie du semiconducteur
$e\chi$	eV	Affinité électronique
$e\chi_i$	eV	Affinité électronique de l'isolant
$g_d$	S ou S/m	Conductance de drain
$g_m$	S ou S/m	transconductance du transistor MOSFET
$h$	J.s	Constante de Planck
$I_d$	A/m	Courant drain-source dans un transistor MOS (TMOS)
$I_D$	A/m	Courant de drain
$I_{DiBL}$	A/m	courant dû à l'abaissement de la barrière de potentiel par le drain
$I_{DS}$	A/m	Courant drain-source
$I_{Ds_{at}}$	A/m	Courant de saturation de drain
$I_{GiDL}$	A/m	courant de fuite du drain induit par la grille
$I_{ii}$	A/m	courant de grille dû à l'injection de porteurs chauds
$I_{off}$	A/m	Courant de fuite tunnel
$I_{on}$	A/m	Courant de saturation
$I_{ox}$	A/m	courant tunnel à travers l'oxyde de grille
$I_{pT}$	A/m	courant de perforation

<b>IR</b>	<b>A/m</b>	<b>courant de fuite de la jonction p-n du drain polarisée en inverse</b>
<b>Isth</b>	<b>A/m</b>	<b>courant de conduction sous le seuil</b>
<b>JfN</b>	<b>A/m<sup>2</sup></b>	<b>la densité fowler- nordheim</b>
<b>Jpf</b>	<b>A/m<sup>2</sup></b>	<b>densité du courant pool frenkel</b>
<b>Jth</b>	<b>A/m<sup>2</sup></b>	<b>densité de courant du à l'Effet schottky</b>
<b>k</b>		<b>Constante diélectrique du matériau</b>
<b>k<sub>B</sub></b>	<b>J.K<sup>-1</sup></b>	<b>Constante de Boltzmann k<sub>B</sub> = 8,617385.10<sup>-5</sup> eV/K</b>
<b>L<sub>D</sub></b>	<b>m</b>	<b>Longueur de Debye</b>
<b>L<sub>G</sub></b>	<b>m</b>	<b>Longueur de la grille d'un transistor</b>
<b>n</b>	<b>m<sup>-3</sup></b>	<b>Densité des électrons dans un semiconducteur</b>
<b>N<sub>a-</sub></b>	<b>m<sup>-3</sup></b>	<b>Densité des accepteurs dans un semiconducteur</b>
<b>N<sub>d+</sub></b>	<b>m<sup>-3</sup></b>	<b>Densité des donneurs dans un semiconducteur</b>
<b>N<sub>V</sub></b>	<b>eV</b>	<b>Niveau du vide (énergie d'un électron dans le vide sans vitesse initiale Surface de grille</b>
<b>p</b>	<b>m<sup>-3</sup></b>	<b>Densité des trous dans un semiconducteur</b>
<b>Q<sub>f</sub></b>	<b>C</b>	<b>Quantité de charge fixe dans le volume d'oxyde</b>
<b>Q<sub>i</sub></b>	<b>C</b>	<b>Quantité totale de charge dans le volume d'oxyde</b>
<b>Q<sub>inv</sub></b>	<b>C</b>	<b>Quantité de charge dans le métal dans une structure MOS</b>
<b>Q<sub>m</sub></b>	<b>C</b>	<b>Quantité de charge dans le métal dans une structure MOS</b>
<b>Q<sub>m</sub></b>	<b>C</b>	<b>Quantité de charge mobile dans le volume d'oxyde</b>
<b>Q<sub>ot</sub></b>	<b>C</b>	<b>Quantité de charge piégée dans le volume d'oxyde</b>
<b>Q<sub>sc</sub></b>	<b>C</b>	<b>Quantité de charge issue des porteurs minoritaires à l'interface isolant-semiconducteur dans une structure MOS</b>
<b>Q<sub>ss</sub></b>	<b>C</b>	<b>Quantité de charge d'interface piégée l'interface oxyde-semiconducteur</b>
<b>Q<sub>w</sub></b>	<b>C</b>	<b>Quantité de charge dans l'épaisseur de la ZCE dans une structure MOS</b>
<b>s</b>	<b>m<sup>2</sup></b>	<b>Surface de grille</b>
<b>S</b>	<b>mV/dec</b>	<b>Pente sous le seuil</b>
<b>T</b>	<b>K</b>	<b>Température</b>
<b>V<sub>d</sub></b>	<b>V</b>	<b>Différence de potentiel entre le drain et la source dans un TMOS</b>
<b>V<sub>F<sub>B</sub></sub></b>	<b>V</b>	<b>Différence des travaux de sortie dans une structure MOS</b>
<b>V<sub>g</sub></b>	<b>V</b>	<b>Potentiel de grille dans une structure MOS</b>
<b>V<sub>ox</sub></b>	<b>V</b>	<b>Différence de potentiels supportée par l'oxyde dans une structure MOS</b>
<b>V<sub>s</sub></b>	<b>V</b>	<b>Potentiel de surface à l'interface isolant-semiconducteur</b>
<b>V<sub>TH</sub></b>	<b>V</b>	<b>Tension de seuil d'une structure MOS</b>
<b>W</b>	<b>m</b>	<b>Epaisseur de la zone de charge d'espace (ZCE) à l'interface isolant-semiconducteur dans une structure MOS</b>
<b>W<sub>max</sub></b>	<b>m</b>	<b>Epaisseur maximale de la ZCE à l'interface isolant-semiconducteur</b>
<b>δ</b>	<b>m<sup>2</sup></b>	<b>Section de capture dans l'oxyde</b>
<b>ε<sub>0</sub></b>	<b>F.m<sup>-1</sup></b>	<b>Permittivité du vide</b>
<b>ε<sub>ox</sub></b>	<b>F.m<sup>-1</sup></b>	<b>Permittivité diélectrique de l'oxyde</b>
<b>ρ</b>	<b>Ω.cm</b>	<b>Résistivité du matériau</b>
<b>σ</b>	<b>Ω<sup>-1</sup>.cm<sup>-1</sup></b>	<b>Conductivité du matériau</b>
<b>Φ<sub>m</sub></b>	<b>J</b>	<b>Travail de sortie du métal</b>
<b>Φ<sub>ms</sub></b>	<b>J</b>	<b>Différence des travaux de sortie dans une structure MOS</b>
<b>Φ<sub>sc</sub></b>	<b>J</b>	<b>Travail de sortie du semi-conducteur</b>

## **Introduction générale**

## -Introduction générale-

La micro-électronique consiste en la réalisation miniaturisée de fonctions électroniques de plus en plus complexes sur un seul support (du silicium en général).

Au départ, le but de la micro-électronique était la réduction du poids et du volume des appareils, mais ces deux critères sont devenus secondaires face à l'amélioration de la fiabilité et la réduction du prix de revient que permet l'intégration. Pour ces diverses raisons, la micro-électronique connaît une expansion industrielle exceptionnelle puisque l'on peut estimer que, depuis 1963, la production double tous les ans.

Cette évolution, caractérisée par l'augmentation du nombre de composants à volume constant, conjugue une baisse des prix des systèmes avec l'augmentation régulière des performances.

. En 2006, les industriels de la microélectronique intègrent plusieurs millions de composants élémentaires sur une surface de quelques millimètres carrés. Il est remarquable que la célèbre « loi de Moore » (a volume égal, le nombre de transistors double tous les trois ans) soit vérifiée depuis quarante ans. La Figure 1-1 rend compte du nombre de transistors intégrés en fonction de temps, pour les processeurs Intel, depuis 1970 [INTEL2006].



*Illustration de la loi de Moore pour les processeurs Intel.*

L'histoire récente a démontré le bien fondé de cette prédiction, et nous pouvons supposer que cette loi continuera à être vérifiée pour une dizaine d'années encore.

Ce mémoire s'inscrit dans le domaine de la caractérisation électrique de l'interface Si-SiO<sub>2</sub>, permettant l'étude de la distribution en profondeur des défauts de l'interface Si-SiO<sub>2</sub>.

Dans le premier chapitre, nous allons commencer par rappeler les principales caractéristiques physiques et électriques des structures MOS. Ce rappel nous permettra de décrire le comportement de la charge électrique dans la structure MOS en fonction de la tension appliquée sur le métal.

Dans le second chapitre, nous prolongeons l'étude sur le fonctionnement et les caractéristiques électriques des transistors à effet de champ de type MOS.

Nous dégagerons ainsi les motivations de la course effrénée à la miniaturisation des composants et ses principaux enjeux

Le troisième chapitre est consacré à une brève présentation du système Si-SiO<sub>2</sub>. Les propriétés physico-chimiques et électriques du volume de l'oxyde ainsi que celles de l'interface Si-SiO<sub>2</sub>. Nous serons amenés à considérer la nature et l'importance des défauts d'interface et à introduire la notion d'états rapides et d'états lents.

Nous verrons ensuite les propriétés de transport dans l'oxyde et les conditions dans lesquelles des charges peuvent pénétrer dans l'oxyde et le dégrader.

Le dernier chapitre est dédié à la présentation des principales techniques de caractérisation électriques qui ont contribué à modifier l'approche que l'on avait de cette interface, et les méthodes d'extraction des paramètres utiles à l'évaluation de la qualité du système si/sio<sub>2</sub>. Le reste de ce chapitre sera consacré aux résultats expérimentaux obtenus.

# **CHAPITRE I**

## **La structure Métal-Oxyde-Semiconducteur**

**I.1.Introduction :**

La structure Métal-Oxyde-Semiconducteur (MOS) est une structure très répandue en microélectronique et en électronique de puissance car elle constitue une partie fondamentale du transistor.

Afin de simplifier l'étude de la structure par la théorie des bandes, le modèle suivant ne prend pas en compte la charge électrique contenue dans l'isolant électrique de la structure.

**I.2.structure :**

La structure Métal-Oxyde-Semiconducteur (MOS) présentée dans la Figure 1-1 se compose d'un semi-conducteur surmonté d'un isolant (le plus souvent un oxyde) et d'une électrode métallique dénommée *grille*.

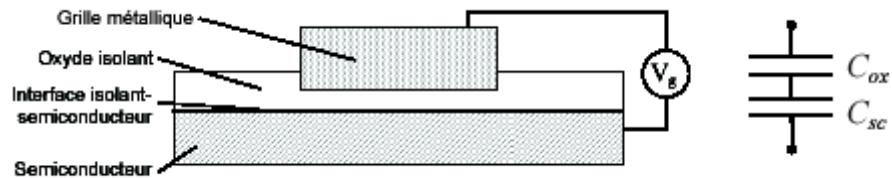


Figure 1-1 - Structure Métal-Oxyde-Semiconducteur.

**I.3. Diagramme de bandes d'énergie :**

Le schéma de bandes d'une telle structure, en l'absence de polarisation de grille et pour une capacité idéale ( $\phi_m = \phi_{sc}$ ) est représenté sur la figure (1-2)

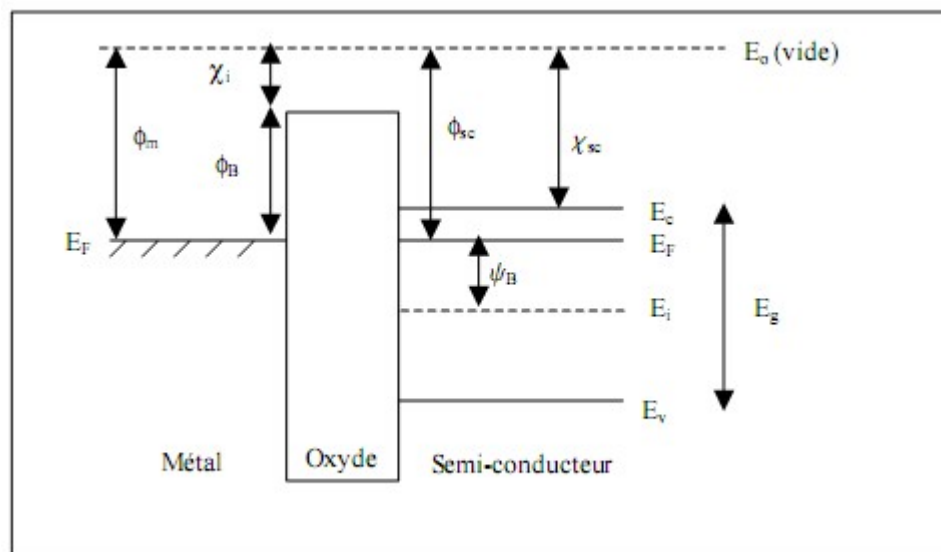


Figure 1-2- Schéma de bandes d'une capacité MOS idéale de type n sous polarisation nulle

La structure MOS est équivalente à la mise en série de deux capacités, celle de l'isolant  $C_{ox}$  et celle créée à l'interface isolant- semi-conducteur  $C_{sc}$

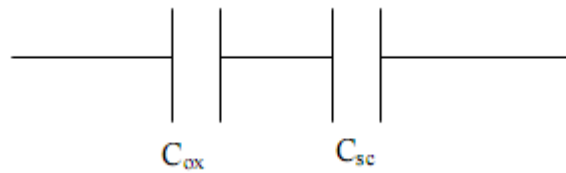


Schéma équivalent d'une structure MOS idéale (état d'interface non pris en compte)

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \quad [1-1]$$

I.4. Influence des travaux de sortie

Si le métal et le semi-conducteur sont reliés électriquement, leurs niveaux de Fermi s'alignent et une différence de potentiels apparaît, Créée par les différences de travaux de sortie.

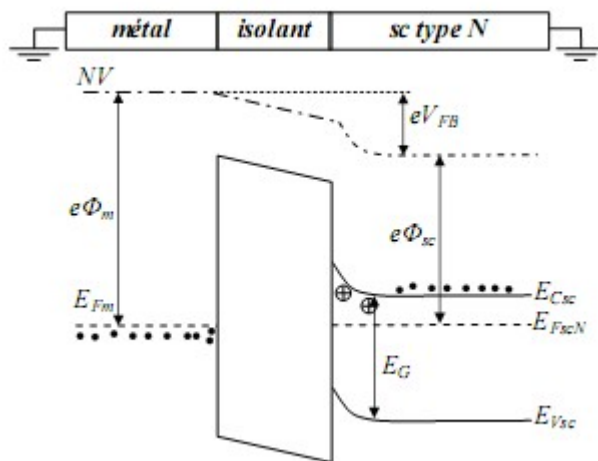


Figure 1-3 - Diagramme de bandes d'énergie d'une structure MOS sur substrat de type N pour  $e\Phi_{sc} < e\Phi_m$

Le diagramme de bande montre que, en court circuit (Figure 1-3), la densité de charge à l'interface isolant-semiconducteur a évolué. En effet, pour  $-e\Phi_{sc} < e\Phi_m$ , il y a une déplétion des électrons à l'interface isolant- semi-conducteur de type N en court-circuit. Inversement, si,  $e\Phi_{sc} > e\Phi_m$  il y a une accumulation d'électrons à l'interface isolant semi-conducteur de type N.

Le même raisonnement peut être tenu sur une structure MOS avec un semi-conducteur de type P. Une synthèse de l'état de la densité des porteurs à l'interface isolant-semiconducteur pour les deux types de semi-conducteur et pour chaque cas est présentée dans le Tableau 1-1.

	MOS sur substrat N	MOS sur substrat P
$e\Phi_{sc} < e\Phi_m$	Déplétion d'électrons ( $Q_{sc} > 0$ )	Accumulation de trous ( $Q_{sc} > 0$ )
$e\Phi_{sc} > e\Phi_m$	Accumulation d'électrons ( $Q_{sc} < 0$ )	Déplétion de trous ( $Q_{sc} < 0$ )

**Tableau 1-1 : Etat de l'interface isolant- semi-conducteur dans une structure MOS en court-circuit.**

On définit alors la *tension de bandes plates*  $V_{FB}$  comme étant la tension de grille  $V_g$  à appliquer à la structure pour que les bandes d'énergie soient plates. Cela signifie que le potentiel de surface  $V_s$  est nul. Si l'isolant est parfait, la tension de bandes plates correspond alors à la différence des travaux de sortie :

$$V_{FB} = \phi_{ms} = \phi_m - \phi_{sc} \quad [1-2]$$

Avec le travail de sortie pour chaque semi-conducteur donné par :

$$\begin{cases} \phi_{scN} = X + \frac{E_g}{2e} - \phi_{Fi} \\ \phi_{scP} = X + \frac{E_g}{2e} + \phi_{Fi} \end{cases} \quad [1-3]$$

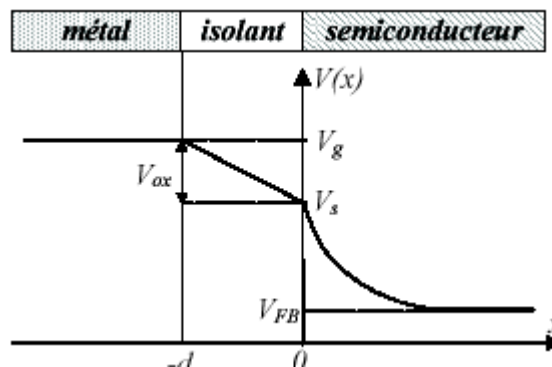
Le potentiel  $\phi_{Fi}$  est défini par :

$$\phi_{Fi} = \frac{E_F - E_{Fi}}{e} \quad [1-4]$$

**1.5. Régimes de fonctionnement**

Quand une différence de potentiels  $V_g$  est appliquée entre la grille et le substrat d'une structure MOS, il apparaît quatre régimes de fonctionnement : *l'accumulation, la déplétion, l'inversion* et *la forte inversion*.

Le potentiel de grille  $V_g$  se décompose alors en une somme de différences de potentiels



**Figure 1-4 - Potentiels dans une structure MOS en déplétion.**

Le potentiel de grille dans une structure MOS est donc la somme des potentiels :

$$V_g = V_{ox} + V_s + V_{FB} \quad [1-5]$$

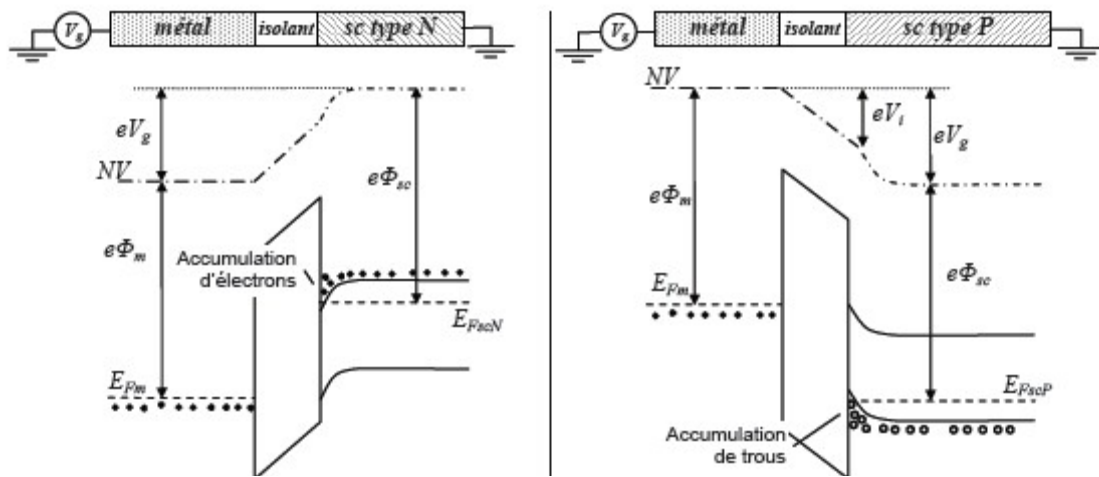
où  $V_{ox} = V_g - V_s$  est la différence de potentiels supportée par l'oxyde d'épaisseur  $d$ ,  $V_s$  est le potentiel de surface (différence de potentiels entre le substrat et l'interface isolant-semiconducteur) et la tension de bandes plates  $V_{FB}$ .

**a. Régime d'accumulation**

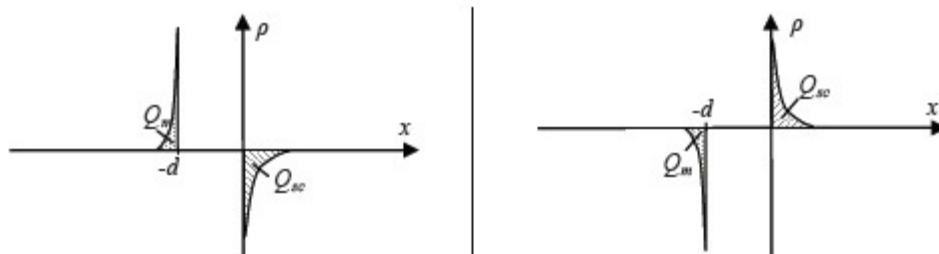
Par influence, les porteurs majoritaires sont attirés vers l'interface isolant-semiconducteur :

Une accumulation de porteurs majoritaires se forme à l'interface isolant-semiconducteur.

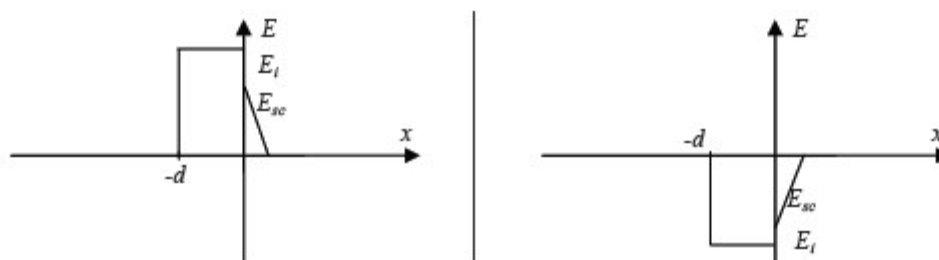
Pour les semi-conducteurs dont les porteurs majoritaires sont les électrons (semi-conducteur de type N), le régime d'accumulation apparaît pour  $V_g > V_{FB}$ . De même, pour les semi-conducteurs dont les porteurs majoritaires sont les trous (semi-conducteur de type P), le régime d'accumulation apparaît pour  $V_g < V_{FB}$ .



-- Diagramme de bandes d'énergie



-- Répartition de la charge --



-- Répartition du champ électrique --

MOS sur substrat N ( $V_g > V_{FB}$ )

MOS sur substrat P ( $V_g < V_{FB}$ )

Figure 1-5 - Structures MOS idéales en régime d'accumulation.

Comme dans un condensateur, la charge accumulée dans le substrat est égale à la charge Accumulée sur la grille :

$$Q_m = -Q_{sc} = \frac{\epsilon_{ox}}{d} V_g [c.m^{-2}] \tag{1-6}$$

Avec  $\epsilon_o$  la permittivité diélectrique de l'oxyde et  $d$  l'épaisseur de l'oxyde.

Etant donné que les porteurs sont accumulés à l'interface isolant-semiconducteur, 'dans une première approximation', la capacité de l'interface peut être négligeable et la capacité équivalente de la structure s'écrit alors :

$$\frac{1}{C} = \frac{1}{C_{ox}} \quad [1-7]$$

**b. Régime de bandes plates**

Lorsque le potentiel de surface à l'interface isolant-semiconducteur est nul ( $V_s=0$ ), c'est le régime de *bandes plates*.

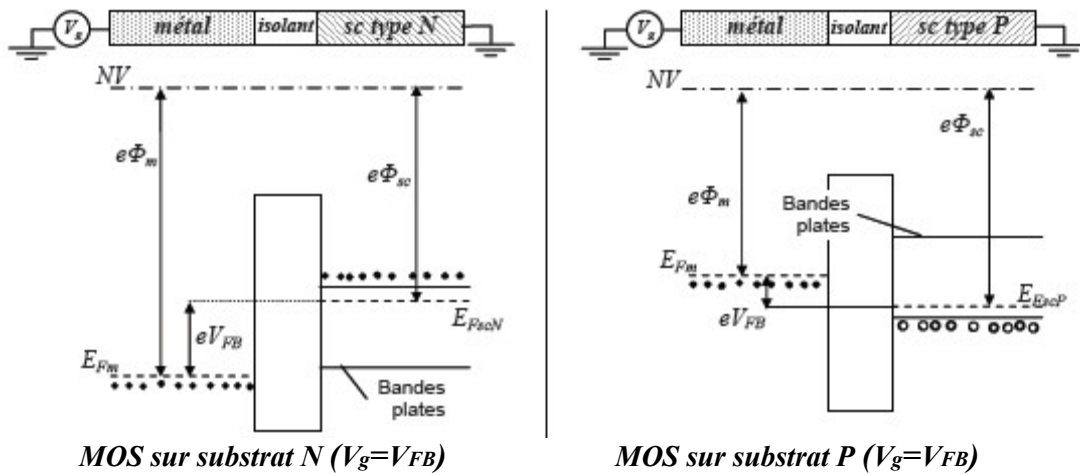


Figure 1-6 - Structures MOS idéales en régime de bandes plates.

Dans le modèle idéal, il n'y a pas de charges dans l'isolant donc la chute de potentiel est nulle dans l'isolant ( $V_i=0$ ). La tension de grille définie à l'équation [1-5] correspond donc à la tension de bandes plates:

$$|V_g| = |V_{FB}| = |\phi_{ms}| = |\phi_m - \phi_{sc}| \quad [1-8]$$

Cependant on peut définir la capacité de bandes plates par :

$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \frac{L_D}{\epsilon_{sc} S} \quad [1-9]$$

avec  $S$  la surface de grille,  $\epsilon_{sc}$  la permittivité diélectrique du semi-conducteur et  $L_D$  la longueur de Debye, correspondant à la longueur de diffusion des porteurs due la discontinuité causé par l'interface [MATHIEU2001] :

$$L_D = \sqrt{\frac{\epsilon_{sc} kT}{e^2 N}} \quad [1-10]$$

**c. Régime de déplétion**

En polarisant au-delà de  $V_{FB}$ , les porteurs majoritaires sont repoussés de l'interface isolant semi-conducteur par influence. Il apparaît alors une zone de charge d'espace (ZCE) d'épaisseur  $W$  dans le semi-conducteur. Il y a une déplétion des porteurs majoritaires à l'interface isolant semi-conducteur.

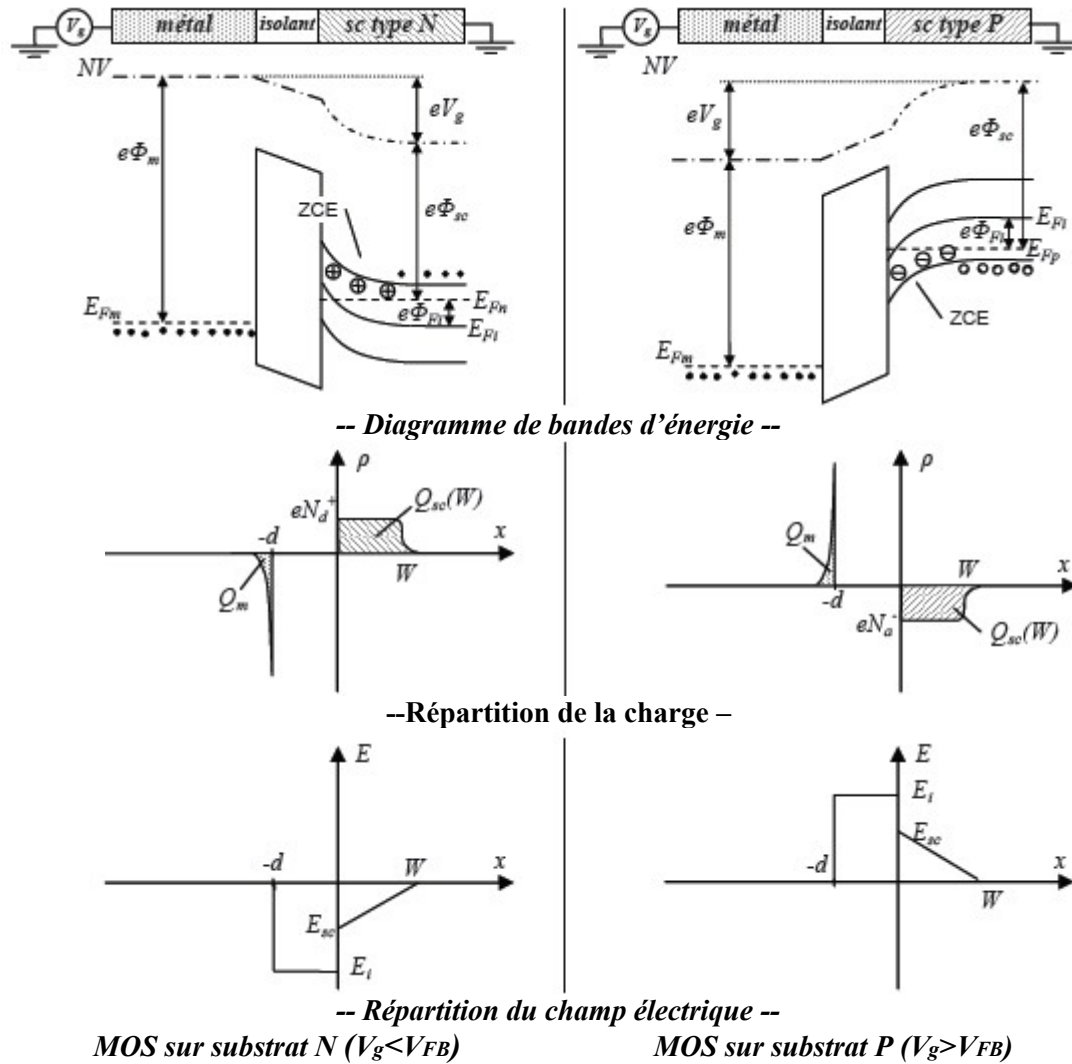


Figure 1-7 - Structures MOS idéales en régime de déplétion.

La ZCE créée à l'interface comprend une charge  $Q_{sc}$  qui provient des dopants du semi-conducteur. La répartition des dopants étant considérée comme homogène, la répartition de la charge dans la ZCE est considérée constante dans tout le semi-conducteur.

La quantité de charge dans le semi-conducteur en régime de déplétion est donnée par :

$$Q_{sc}(W) = -eNW \quad [1-11]$$

avec  $N$  la concentration des dopants dans le semi-conducteur et  $W$  l'épaisseur de la ZCE.

En régime de déplétion, la ZCE est assimilable à une capacité à l'interface isolants semi-conducteur, qui varie en fonction de  $W$ ,  $C_{sc}(W)$ . La capacité équivalente de la structure s'écrit alors :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}(W)} \quad [1-12]$$

La charge totale de la zone désertée devient donc maximale lorsque la ZCE est maximum.

La valeur maximale de la ZCE vaut alors [MATHIEU2001] :

$$W_{max} = \sqrt{\frac{2\epsilon_{sc}}{eN}} 2\phi_{Fi} \quad [1-13]$$

avec  $\epsilon_{sc}$  la permittivité diélectrique du semi-conducteur et  $\phi_{Fi}$  donné par l'équation [1-4].

Nous définirons alors la quantité de charge maximale dans la ZCE due aux dopants du semi-conducteur par :

$$Q_w = -eN W_{max} \quad [1-14]$$

#### d. Régime d'inversion et de forte inversion

En continuant la polarisation, les porteurs majoritaires sont de plus en plus repoussés de l'interface isolant-semiconducteur, l'épaisseur de la ZCE est alors maximum  $W=W_{max}$  [1-15].

La courbure des bandes d'énergie s'accroît, et pour une certaine tension, le niveau de Fermi intrinsèque  $E_{Fi}$  passe sous le niveau de Fermi  $E_{Fsc}$  du semi-conducteur dopé.

Le potentiel de surface  $V_s$  atteint un seuil pour lequel la densité de porteurs majoritaires à l'interface est égale à la densité de porteurs minoritaires dans le semi-conducteur (Figure 1-7).

Le seuil correspondant à la transition entre le régime de déplétion et le régime d'inversion est défini par [1-16] :

$$V_s = |\phi_{Fi}| \quad [1-16]$$

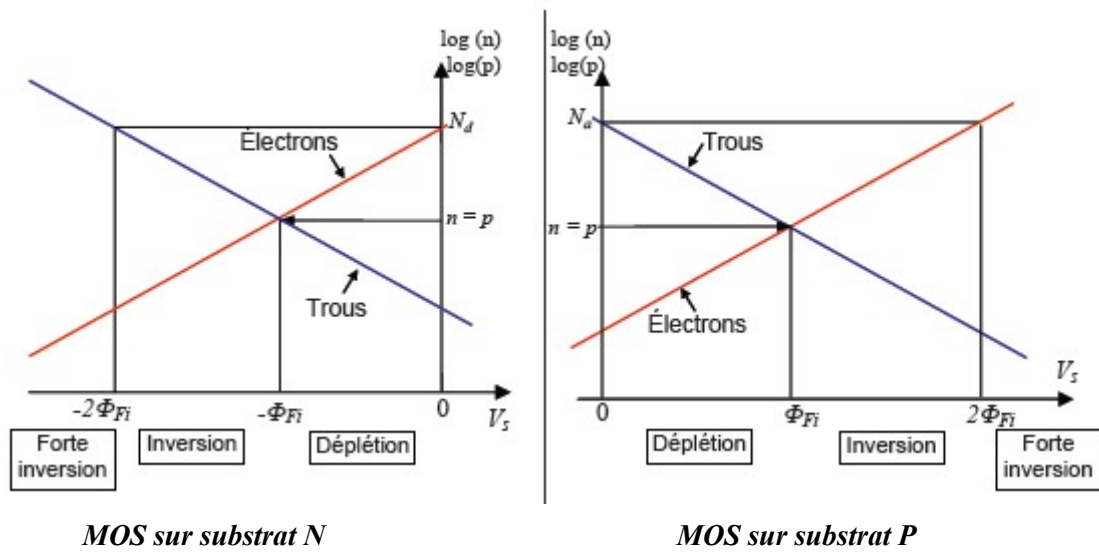


Figure 1-8 - Logarithme de la densité des électrons et des trous à l'interface en fonction du potentiel de surface Vs.

En régime d'inversion, la charge à l'interface est conditionnée par les charges de déplétion car les porteurs minoritaires sont en quantité négligeable devant la densité des dopants.

Au contraire, en régime de forte inversion, la charge à l'interface est conditionnée par les porteurs minoritaires dont la densité, en surface, est beaucoup plus grande que la densité des dopants. Le seuil de  $V_s$ , pour lequel la densité de porteurs minoritaires est équivalente à la densité des dopants ( $p=N_d$  pour le type N ou  $n=N_a$  pour le type P), est défini par [1-17] :

$$V_s = 2|\phi_{Fi}| \tag{1-17}$$

La tension de grille correspondant à cette condition est appelée *tension de seuil*  $V_{TH}$  (seuil : *threshold* en anglais) [MATHIEU2001] :

$$V_{TH} = 2|\phi_{Fi}| + \frac{\sqrt{4\epsilon_{sc} eN|\phi_{Fi}|}}{C_{ox}} \tag{1-18}$$

avec  $C_{ox}$  la capacité surfacique de l'oxyde exprimée en  $F.m^{-2}$

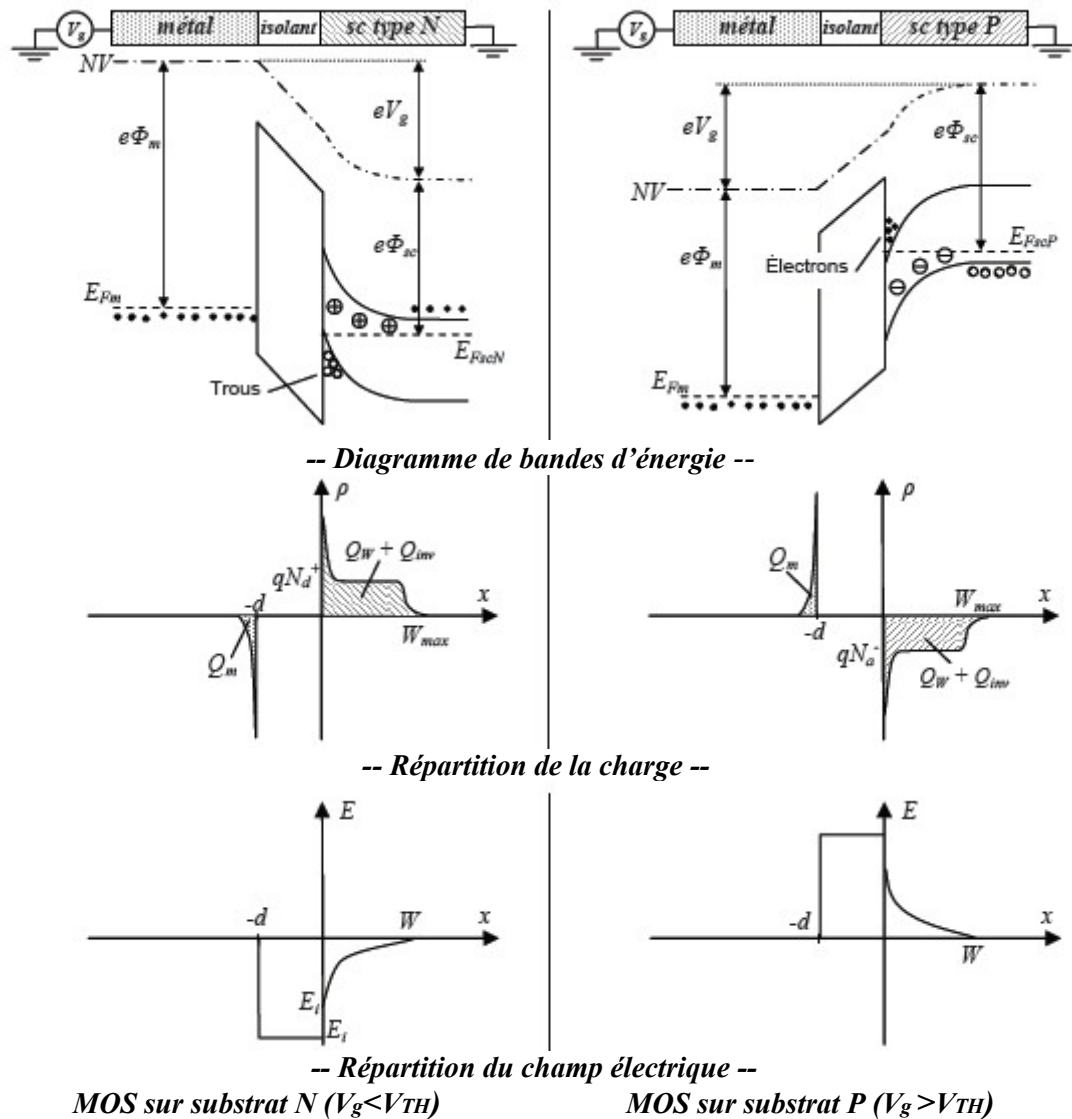


Figure 1-9 - Structures MOS idéales en régime d'inversion.

La charge totale dans le substrat est la somme des charges issues des dopants du semi-conducteur  $Q_W$  [1-15] dans la ZCE et des porteurs minoritaires accumulés à l'interface isolant-semiconducteur  $Q_{inv}$ .

$$Q_{sc} = Q_W + Q_{inv} \quad [1-19]$$

$$C_{sc} = -\frac{dQ_{sc}}{dV_s} = -\frac{dQ_W}{dV_s} - \frac{dQ_{inv}}{dV_s} \quad [1-20]$$

Avec

$$\begin{cases} Q_W = -eNW \\ C_W = -\frac{dQ_W}{dV_s} \end{cases} \quad [1-21]$$

La capacité de l'interface  $C_{sc}$  est maximale en régime d'inversion, car la ZCE est maximale ( $W=W_{max}$  [1-16]). La capacité totale de la structure [1-13] s'écrit alors

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_W + C_{inv}} \quad [1-22]$$

avec  $C_{ox}$  la capacité de l'oxyde,  $C_W$  capacité due la ZCE et  $C_{inv}$  capacité due aux porteurs minoritaires accumulés à l'interface isolant-semiconducteur (Figure 1-21).

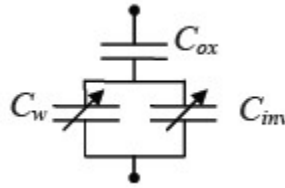


Figure 1-10 - Schéma équivalent de la structure MOS

**e. Evolution de la charge à l'interface isolant-semiconducteur avec la polarisation de la grille**

Dans un premier temps, étudions la charge à l'interface isolant-semiconducteur dans les différents régimes de fonctionnement des structures MOS idéales en fonction du potentiel de surface  $V_s$ , et non en fonction du potentiel de grille  $V_g$ . L'effet de l'isolant ou des éventuelles charges dans l'isolant n'ont dans ce cas pas d'influence sur la charge dans le semi-conducteur. Nous pouvons écrire la quantité de charge à la surface d'un semi-conducteur  $Q_{sc}$  en fonction de son potentiel de surface  $V_s$ .

$$\text{Type N : } Q_{sc} = -\text{Sign}(V_s) \left\{ 2 \epsilon_{sc} e N_d^+ \left[ \underbrace{\frac{kT}{e} \left( e^{+eV_s/kT} - 1 \right)}_{\text{electrons}} - \underbrace{V_s}_{N_d^+} + \underbrace{\frac{kT}{e} e^{e(-V_s + 2\phi_{Fi})/kT}}_{\text{trous}} \right] \right\}^{\frac{1}{2}} \quad [1-23]$$

$$\text{Type P : } Q_{sc} = -\text{Sign}(V_s) \left\{ 2 \epsilon_{sc} e N_a^- \left[ \underbrace{\frac{kT}{e} \left( e^{-eV_s/kT} - 1 \right)}_{\text{trous}} + \underbrace{V_s}_{N_a^-} + \underbrace{\frac{kT}{e} e^{e(V_s - 2\phi_{Fi})/kT}}_{\text{electrons}} \right] \right\}^{\frac{1}{2}} \quad [1-24]$$

Les courbes représentant la variation de la charge dans le semi-conducteur  $Q_{sc}$  en fonction du potentiel de surface  $V_s$  est représentée dans la Figure 1-21 dans le cas d'un semi-conducteur de type N et d'un semi-conducteur de type P. On observe les différents régimes de

fonctionnement (l'accumulation, la déplétion et l'inversion), ainsi que la tension de bandes plates et la tension de seuil.

L'étude de  $Q_{sc}=f(V_s)$  ne fait appel ni au métal ni à l'oxyde. Prenons maintenant en compte les caractéristiques de l'oxyde ainsi que le potentiel de grille  $V_g$ .

En l'absence de charges dans l'isolant et en considérant la tension de bandes plates  $V_{FB}$  nulle, la chute de potentiels dans l'isolant  $V_i$  peut s'écrire à partir de [1-5],

$$V_i = V_g - V_s = E_{ox} d = \frac{Q_m}{\epsilon_{ox}} d \tag{1-25}$$

avec,  $E_{ox}$  le champ électrique dans l'oxyde,  $d$  l'épaisseur de l'isolant et  $\epsilon_{ox}$  la permittivité diélectrique de l'oxyde. Comme la charge accumulée dans le métal est la même que la charge accumulée dans le semi-conducteur, en l'absence de charges dans l'isolant l'équation [1-25] s'écrit :

$$Q_{sc} = \frac{\epsilon_{ox}}{d} (V_s - V_g) \tag{1-26}$$

Si on trace la droite  $Q_{sc}=f(V_s)$  de l'équation [1-26], dont la pente matérialise  $\epsilon_{ox}/d$ , sur le même graphique que  $Q_{sc}=f(V_s)$  (obtenu à partir des équations [1-23] et [1-24]), on visualise sur un même graphique l'état de la structure MOS (Figure 1-11). On peut remarquer qu'une même valeur de  $V_g$  conduit à des régimes différents pour les deux types de semi-conducteurs.

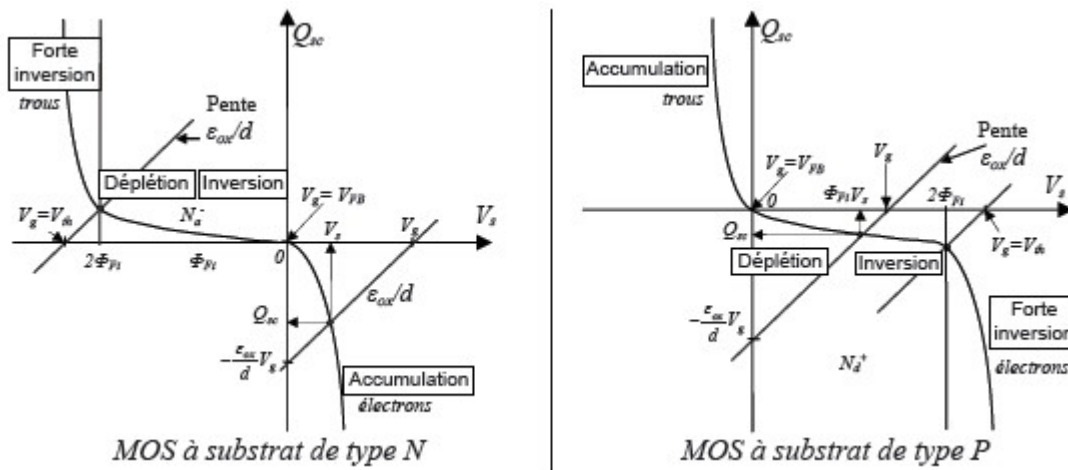


Figure 1-11 - Evolution de la charge totale  $Q_{sc}$  à la surface des deux types semi-conducteurs idéaux en fonction de  $V_s$  et représentation de la chute de potentiel dans l'oxyde.

**f. Expression du potentiel de surface  $V_s$  avec la tension de grille  $V_g$**

L'expression quantitative du potentiel de surface  $V_s$  du semi-conducteur en fonction de la tension de polarisation de grille  $V_g$  de la structure s'obtient en reprenant l'équation [1-27] et en exprimant  $Q_{sc}$  par les équations [1-24]-[1-25], on obtient :

$$\text{Type N: } V_g = V_s + \mathbf{Sign}(V_s) \left\{ 2 \epsilon_{sc} e N_d^+ \left[ \underbrace{\frac{kT}{e} \left( e^{+eV_s/kT} - 1 \right)}_{\text{electrons}} - \underbrace{\frac{V_s}{N_d^+} + \frac{kT}{e} e^{(-V_s + 2\phi_{Fi})/kT}}_{\text{trous}} \right] \right\}^{\frac{1}{2}} \quad 1-27$$

$$\text{Type P: } V_g = V_s + \mathbf{Sign}(V_s) \left\{ 2 \epsilon_{sc} e N_a^- \left[ \underbrace{\frac{kT}{e} \left( e^{-eV_s/kT} - 1 \right)}_{\text{trous}} + \underbrace{\frac{V_s}{N_a^-} + \frac{kT}{e} e^{(V_s - 2\phi_{Fi})/kT}}_{\text{electrons}} \right] \right\}^{\frac{1}{2}} \quad 1-28$$

Si l'on représente  $V_s$  en fonction de  $V_g$  pour les deux types de structures (Figure 1-12) on observe une variation sensiblement linéaire de  $V_s$  en régime de déplétion et une quasi-saturation dans les régimes d'accumulation et d'inversion.

Si l'on représente  $V_s$  en fonction de  $V_g$  pour les deux types de structures (Figure 1-12) on observe une variation sensiblement linéaire de  $V_s$  en régime de déplétion et une quasi-saturation dans les régimes d'accumulation et d'inversion.

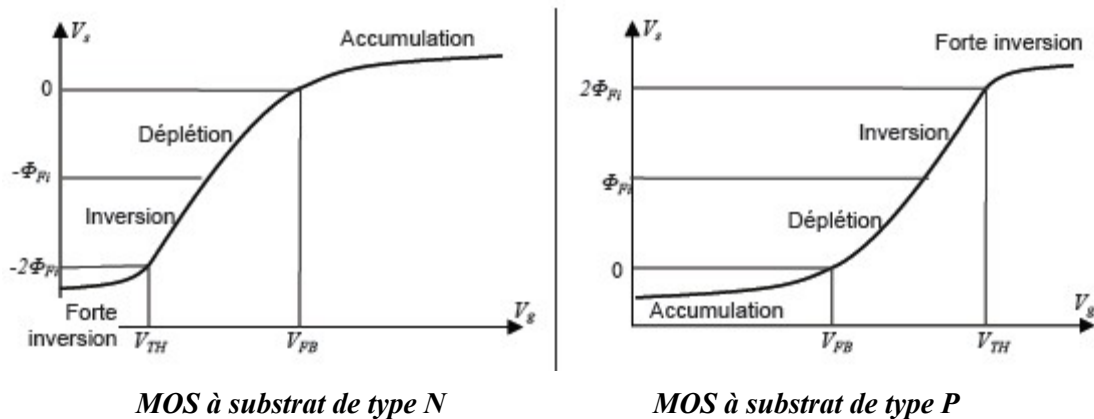


Figure 1-12 - Potentiel de surface  $V_s$  du semi-conducteur en fonction de la tension de grille  $V_g$  pour les deux types de structure MOS.

## I.6. Le Transistor MOS

### I.6.1. Structure

Aussi appelé *transistor à effet de champ*, le TMOS est essentiellement une structure MOS sur laquelle deux contacts latéraux, appelés *source* et *drain*, ont été intégrés (Figure 1-12). D'un dopage opposé à celui du substrat, les contacts sont constitués de semi-conducteurs fortement dopés, assurant ainsi un bon contact ohmique avec la source et le drain. L'interface isolant-semiconducteur entre les deux contacts fortement dopés constitue le *canal* dans lequel circule un courant dénommé *courant drain source*  $I_d$ .

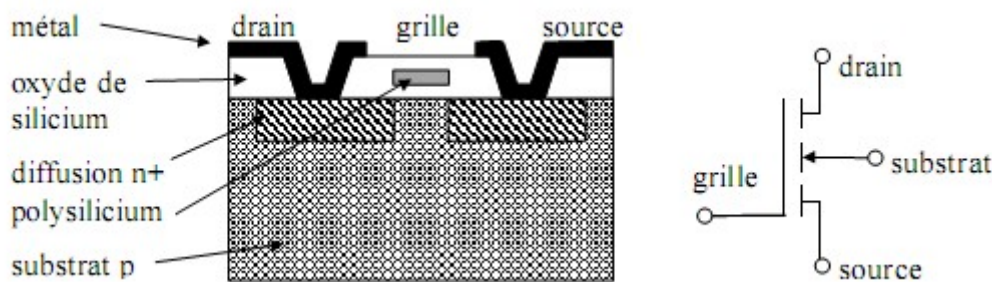


Figure 1-12 - Schéma d'un Transistor MOS à canal N.

### I.6.2. Technologie de fabrication

L'intégration de cet élément se fait, schématiquement, de la façon suivante:

- dépôt de l'oxyde de grille et croissance du polysilicium
- diffusion des régions n+
- oxydation et ouverture des contacts
- métallisation

Deux technologies utilisant le silicium peuvent être distinguées suivant le type de supports sur lesquels sont implantés : la technologie bulk, Et la technologie silicium sur isolant. Dans le cas d'un transistor MOS conventionnel en technologie Si-bulk ou massif les zones dopées (=zones actives) sont directement implantées dans une masse (bulk) de silicium épaisse dénommée « substrat ».

#### Conclusion :

Dans Le transistor MOSFET ("Métal Oxyde Semi-conducteur Field Effet Transistor") appelé également MOST ou simplement MOS, la grille ne forme pas une jonction avec le canal drain source mais est isolée de celui-ci par un dépôt d'oxyde de silicium. On constate que, pour cette structure du MOS, le drain et la source forment une jonction avec le substrat (c'est-à-dire le "support" du transistor).

Dans un circuit intégré, cette jonction est toujours polarisée en sens inverse mais la différence de potentiel à ses bornes modifie le comportement du MOS.

## Chapitre II

Le transistor MOS : Fonctionnement et caractéristiques

### II.1. Introduction :

Un transistor n'est pas un interrupteur idéal : non seulement sa résistance n'est pas nulle lorsqu'il est passant, mais elle n'est pas non plus infinie lorsqu'il est bloqué. Il existe un courant  $I_{OFF}$  lorsque le transistor est dans un état bloqué. Ce courant est fonction du profil de dopage et des dimensions physique et effective du canal, de la profondeur des jonctions drain/source, de la tension de seuil  $V_T$ , de la tension d'alimentation  $V_{DD}$  et de la température.

### II.2. Principe de fonctionnement :

L'effet transistor consiste à contrôler le courant drain-source par la tension appliquée sur la grille. La figure 2-1- montre la structure d'un TMOS à canal N (ce sont les électrons qui assurent la circulation du courant drain-source quand le transistor est dans l'état passant).

#### a. Etat bloqué

En l'absence de tension de grille, la diode source-substrat est non polarisée, donc aucun courant ne la traverse, et le courant inverse de la diode drain-substrat est très faible. La structure MOS est en régime de déplétion ou d'accumulation, il n'y a donc pas de porteurs minoritaires et le canal n'est pas conducteur. (Figure 2-1.a).

#### b. Etat passant

Comme nous l'avons vu à dans l'étude de la structure MOS en régime d'inversion, une tension de grille  $V_g$ , au-delà de la tension de seuil, peuple de porteurs minoritaires l'interface isolant-semi-conducteur. Les deux zones peuplées d'électrons, la source et le drain sont reliées par un canal rempli de porteurs minoritaires : le courant de drain  $I_d$  circule et le transistor est passant (Figure 2-1.b).

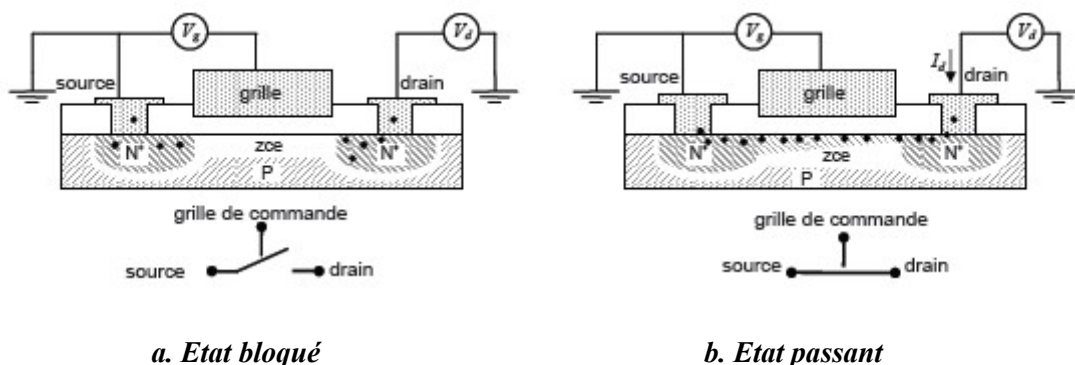


Figure 2-1 - Deux états du Transistor MOS à canal N.

### II.3 Caractéristiques Courant/Tension des MOSFET « longs »

#### II.3.1. Zone bloquée : $v_{fb} < v_g < v_{th}$ :

La capacité MOS se trouve en régime de déplétion .la conduction du canal tend à s'annuler et le courant de drain est très majoritairement d'origine diffusive [DOLL01] :

$$I_D \propto q \cdot D_n \overline{\text{grad}(n)} \quad [2-1]$$

avec  $n$  concentration en électrons libres et  $D_n$  coefficient de diffusion. On peut écrire [GAUT03] :

$$I_D = I_{D0} \exp\left(\frac{V_{GS} - V_T}{S} \ln 10\right) \left[1 - \exp\left(-\frac{qV_{DS}}{k_B T}\right)\right] \quad [2-2]$$

où  $S$  est le paramètre nommé pente sous le seuil.

#### II.3.2. Zone ohmique : $v_g > v_{th}$

On atteint le régime d'inversion, il y a création d'un canal formé par les porteurs libres injectés par les réservoirs de source et de drain. Pour de faibles tensions de drain  $V_{DS}$ , la vitesse  $v$  des charges libres varie linéairement avec le champ électrique parallèle à la direction source-drain  $E//$  (variant comme  $V_{DS}/L_G$ ) :  $v = -\mu_{eff} \times E//$ , où  $\mu_{eff}$  est appelée mobilité effective des porteurs dans le canal. Le transistor a alors un comportement équivalent à celui d'une résistance commandée par  $V_{GS}$

. En modélisant habilement le contrôle de charge dû à l'effet de champ et le courant de conduction dans le canal [MATH04], on obtient :

$$I_D = \frac{W}{L_G} \mu_{eff} C_{ox} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad [2-3]$$

pour  $V_{DS} < V_{DSsat}$  et  $V_{GS} > V_T$  Avec  $C_{ox} = \epsilon_{ox}/T_{ox}$  capacité surfacique de la structure MOS

Il est à noter que le terme en  $V_{DS}^2$  provient de la variation de la charge d'inversion le long de la grille sous l'effet de la tension de drain qui tend à dépeupler le canal. Quand, dans l'expression du courant  $I_D$ , le terme  $V_{DS}^2$  n'est plus négligeable devant  $(V_{GS} - V_T) \times V_{DS}$ , on sort du régime purement ohmique, il s'agit d'une zone de transition où l'augmentation du courant avec  $V_{DS}$  croissant tend à diminuer.

#### II.3.3. Zone source de courant :

Lorsque  $V_{DS} > V_{DSsat}$ , un phénomène de saturation du courant  $I_D$  apparaît : pincement du canal, saturation de la vitesse des porteurs... Alors  $I_D$  ne dépend plus de  $V_{DS}$  mais seulement de  $V_{GS}$ . Le transistor se comporte alors comme une source de courant commandée par  $V_{GS}$  Pour le cas d'une saturation par pincement,  $I_D$  devient [MATH04] :

$$I_{Dsat} = \frac{W}{L_G} \mu_{eff} C_{ox} \frac{(V_{GS} - V_T)^2}{2} \quad \text{pour } V_{DS} > V_{GS} - V_T \quad \text{et } V_{GS} > V_T \quad [2-4]$$

Sur cette formule du courant de saturation, on découvre l'atout majeur du transistor MOS. Le courant de saturation du transistor MOS est directement lié à ses dimensions géométriques : réduire la longueur  $L_G$  d'un transistor MOS entraîne automatiquement l'amélioration de ses performances électriques. Cette relation justifie la course à la miniaturisation des composants et explique la très forte augmentation des performances des composants MOS.

**II.4.principaux paramètres des MOSFET**

L'état passant d'un transistor (zone ohmique et source de courant) MOSFET se caractérise principalement par :

- La résistance à l'état passant  $R_{on}$  : inverse de la pente de courbe  $I_D (V_{DS})$  à  $V_{GS}=V_{DD}$  et faible  $V_{DS}$  où  $V_{DD}$  est la tension d'alimentation du transistor (cf. Figure 2-2).
- Le courant de saturation :  $I_{on}$ , c'est-à-dire le courant  $I_D$  à  $V_{GS}=V_{DD}$  et  $V_{DS}=V_{DD}$ .
- la transconductance  $G_m$ .  $G_m$  correspond à la pente de la courbe  $I_D (V_{GS})$  à fort  $V_{DS}$  soit :

$$G_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=cste} \quad [2-5]$$

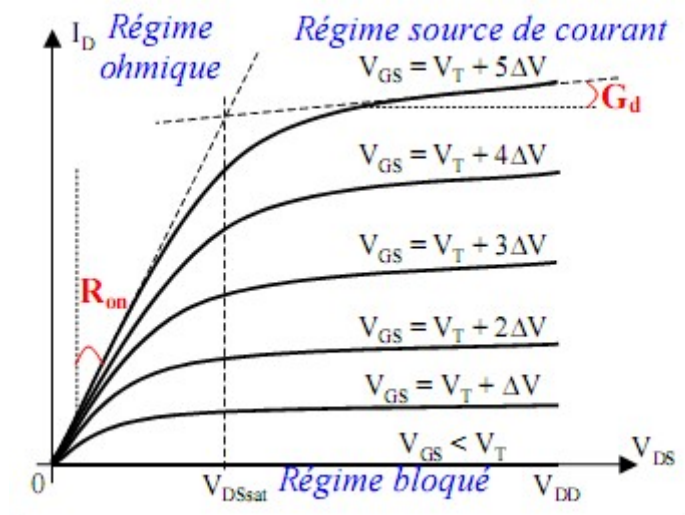


Figure 2-2 : Caractéristiques  $I_D (V_{DS})$  typiques à différents  $V_{GS}$  d'un transistor NMOS

- la conductance  $G_d$  quantifie l'imperfection de la saturation. Elle est égale à la pente de la courbe  $I_D(V_{DS})$  à  $V_{DS} > V_{DSsat}$  soit :

$$G_d = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} = cste} \quad \text{en source de courant.} \quad [2-6]$$

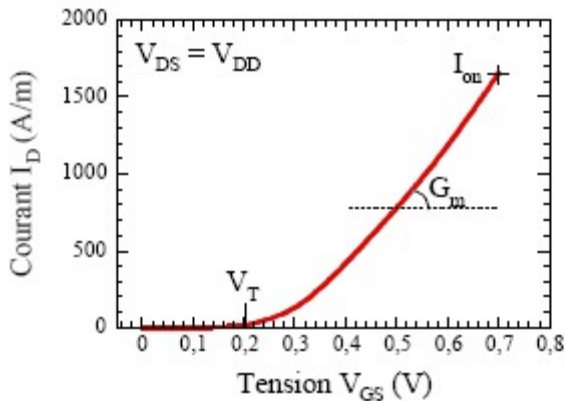


Figure 2-3 : Caractéristique  $I_D(V_{GS})$  à  $V_{DS} = V_{DD}$  typique d'un NMOS.  $I_{on}$ ,  $I_{off}$  et  $S$  sont indiqués.

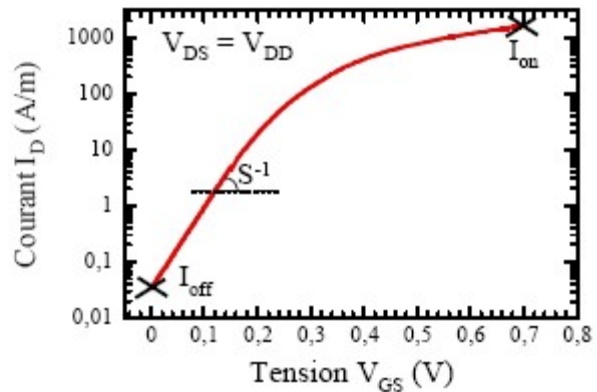


Figure 2-4 : Caractéristique  $\log[I_D(V_{GS})]$  typique d'un NMOS.  $I_{on}$ ,  $G_m$  et  $V_T$  sont indiqués

Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ( $I_D \neq 0$ ). Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif, d'où la dépendance exponentielle de la caractéristique  $I_D(V_{GS})$  sous le seuil illustrée en Figure (2-4).

- le courant à l'état bloqué  $I_{off}$  correspond au courant  $I_D$  à  $V_{GS} = 0$  V et  $V_{DS} = V_{DD}$  (cf. Figure (2-4)).
- de plus on définit la pente sous le seuil  $S$  comme l'inverse de la pente  $\log [I_D(V_{GS})]$  à faible  $V_{GS}$

$$S = \left( \left. \frac{\partial \log(I_D)}{\partial V_{GS}} \right|_{V_{DS} = cste} \right)^{-1} \quad [2-7]$$

La modélisation du courant sous le seuil [GAUT03] donne une pente

$$S = \frac{k_B T}{q} \ln(10) \left( 1 + \frac{C_{ZCE}}{C_{ox}} \right) \quad [2-8]$$

Où  $k_B$  est la constante de Boltzmann,  $T$  la température,  $q$  la charge élémentaire,  $C_{ox}$  la capacité d'oxyde et  $C_{ZCE}$  la capacité de la zone de charge d'espace.

Pour  $C_{ox} \gg C_{ZCE}$  on obtient la pente  $S$  idéale  $S_{idéale} = k_B \times T / q \times \ln(10)$ , c'est-à-dire égale à 60 mV par décade à 300 K.

II.5. Loi d'échelle

La réduction de la taille du composant, c'est-à-dire de sa longueur de grille  $L_G$ , le rend intrinsèquement plus rapide car le temps de transit des porteurs dans le canal diminue :

$$t = L_G^2 / (\mu_{eff} \cdot V_{DS}) \quad \text{à faible } V_{DS}. \quad [2-9]$$

Cette miniaturisation doit être effectuée sans dégrader les caractéristiques du transistor. Pour cela, il faut adapter les paramètres géométriques (épaisseur d'oxyde  $T_{ox}$ , largeur de canal  $W$ ...), électriques ( $V_{DD}$ ...), et physiques (dopages) en fonction de la longueur de grille visée. Ces paramètres de dimensionnement suivent ce que l'on appelle les lois d'échelle.

Les lois d'échelle idéales permettent de conserver l'équation de Poisson invariante par rapport à la miniaturisation c'est-à-dire que les champs électriques présents dans un transistor court sont toujours identiques à ceux apparaissant dans des transistors plus longs.

On vérifie facilement que l'équation de Poisson :

$$\frac{\partial^2 V}{\partial x^2} + \frac{\partial^2 V}{\partial y^2} + \frac{\partial^2 V}{\partial z^2} = - \frac{\rho}{\epsilon_{Si}} \quad [2-10]$$

( $V$  potentiel électrostatique,  $\tilde{n}$  densité de charge) reste invariante si l'on substitue les variables par  $V' = 1/K \times V$ ,  $x' = 1/K \times x$ ,  $y' = 1/K \times y$ ,  $z' = 1/K \times z$  et  $\tilde{n}' = K \times \tilde{n}$ . On obtient ainsi les lois d'échelle détaillées au Tableau 2 : si toutes les dimensions et les tensions sont réduites d'un facteur  $1/K$  il faut augmenter les dopages des caissons et du substrat d'un facteur  $K$ .

	Transistor MOS et circuit	Facteur multiplicatif $K > 1$
<b>Dimensionnement du transistor</b>	Dimensions du transistor : $T_{ox}, L_G, W \dots$	$1/K$
	Tension	$1/K$
	Concentrations de dopants	$K$
<b>Effets sur les transistors</b>	Courant [A]	$1/K$
	Capacité [F]	$1/K$
<b>Effets sur les circuits</b>	Temps de retard (CV/I)	$1/K$
	Puissance dissipée par circuit (VI)	$1/K^2$
	Densité Puissance (P/Surface)	1

Tableau 2 : Lois d'échelle des transistors MOS [TAUR98]

La densité d'intégration est augmentée d'un facteur  $K_2$  ( $\propto W \times L_G$ ), la puissance surfacique diminuée du même facteur :  $P = U \times I$  et la vitesse ( $\propto I / (C_G \times V)$ ) progressent d'un facteur  $K$ .

Cela a, entre autres, permis une augmentation exponentielle du nombre de transistors par puce au cours du temps, nommée communément loi de Moore.

## II.6. Effets de canal court

la loi d'échelle laissant invariants les champs électriques, n'est pas suivie pour des longueurs de grille submicroniques. En effet, dans les transistors courts, l'augmentation du courant sous le seuil, est problématique. La contrainte sur la réduction des tensions d'alimentation VDD est trop forte. Par conséquent, les champs électriques présents dans le transistor augmentent avec la miniaturisation et certaines caractéristiques des transistors se dégradent.

### II.6.1. Courants de fuite

Un transistor est affecté par huit courants de fuite différents [Kesh97] qui sont illustrés Figure (2-5) :

- le courant de conduction sous le seuil  $I_{STH}$ ,
- le courant dû à l'abaissement de la barrière de potentiel par le drain  $I_{DIBL}$ ,
- le courant de fuite du drain induit par la grille  $I_{GIDL}$ ,
- le courant de fuite de la jonction p-n du drain polarisée en inverse  $I_R$ ,
- le courant tunnel à travers l'oxyde de grille  $I_{OX}$ ,
- le courant de grille dû à l'injection de porteurs chauds  $I_{II}$ ,
- le courant de perforation  $I_{PT}$ ,
- le courant de surface du canal dû à un effet de canal étroit.

Il faut noter que le courant tunnel à travers l'oxyde de grille  $I_{OX}$  ne se manifeste que lorsqu'un potentiel non nul est appliqué sur la grille, c'est-à-dire lorsque le transistor est passant. Quant au courant de grille dû à l'injection de porteurs chauds  $I_{II}$ , il traduit un vieillissement du transistor, à la suite de l'introduction d'électrons et de trous dans l'oxyde.

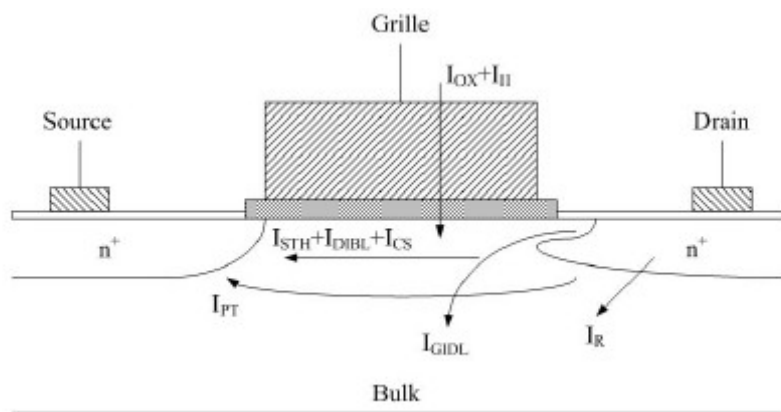


Figure 2-5- Illustration des différents courants de fuite présents dans un transistor fortement sousmicronique.

Les courants de fuite dominants qui composent le courant  $I_{OFF}$  sont :

- le courant sous-seuil  $I_{STH}$ ,
- le courant de polarisation inverse de la jonction p-n au niveau du drain  $I_R$ ,
- le courant  $I_{DIBL}$ ,
- et le courant  $I_{GIDL}$ .

- **Courant de fuite du drain induit par la grille (GIDL)**

Le courant GIDL trouve son origine au niveau du chevauchement du drain par la grille : il est dû à un effet tunnel de bande à bande et dépend fortement du champ électrique transverse et du profil de dopage de la jonction. Il se manifeste pour des polarisations de grille négatives et des valeurs élevées de  $V_{DS}$ , comme on peut le voir Figure 5.

- **Abaissement de la barrière de potentiel par le drain (DIBL)**

Le DIBL se produit lorsqu'un potentiel élevé est appliqué au drain : la région de déplétion du drain interagit avec la source près de la surface, abaissant la barrière de potentiel. La source introduit alors plus de porteurs dans le canal sans variation du potentiel de grille. L'effet DIBL se manifeste d'autant plus que la tension  $V_{DS}$  est élevée et la longueur effective  $L_{eff}$  du transistor courte : il est proportionnel à  $V_{DS}/L_{eff}^2$

[Veen98]. L'effet DIBL abaisse la tension de seuil du transistor mais ne modifie pas la pente sous le seuil : le DIBL peut être mesuré comme la variation du courant  $I_{DS}$  pour une variation de la tension  $V_{DS}$ , à tension  $V_{GS}$  constante. L'effet DIBL est illustré Figure 2-5 : il déplace la courbe vers le haut et la gauche lorsque la tension  $V_{DS}$  augmente.

- **Courant de polarisation inverse de la jonction p-n**

Le courant de polarisation inverse  $I_R$  a deux composantes principales : la première est la diffusion de porteurs minoritaires près du bord de la région de déplétion, la deuxième provient de la génération de paires électrons-trous dans la région de déplétion. Le courant de fuite de la jonction en inverse dépend de la surface de la jonction et de la concentration du dopage.

- **Courant de conduction sous le seuil**

Le courant de conduction sous le seuil ou courant en inversion modéré est le courant entre la source et le drain qui a lieu lorsque la tension  $V_{GS}$  est nulle. C'est un courant de porteurs minoritaires le long de la surface du canal : il est fonction de la tension de seuil  $V_T$  et de la pente sous le seuil  $S$  et a pour expression [Hori93] :

$$I_{fuite} = W \cdot \frac{I_0}{W_0} \cdot 10^{-\frac{V_T}{S}} \quad [2-11]$$

où  $I_0/W_0$  représente la référence de densité de courant. Ce courant de fuite varie exponentiellement avec la tension de seuil comme indiqué Figure 2-6 :

Cette figure représente le courant  $I_{DS}$  en fonction de la tension de grille  $V_{GS}$  d'un transistor NMOS pour deux polarisations de substrat,  $V_{BS}=0V$  et  $V_{BS}=0,6V$ , et pour une tension  $V_{DS}=1,2V$ .

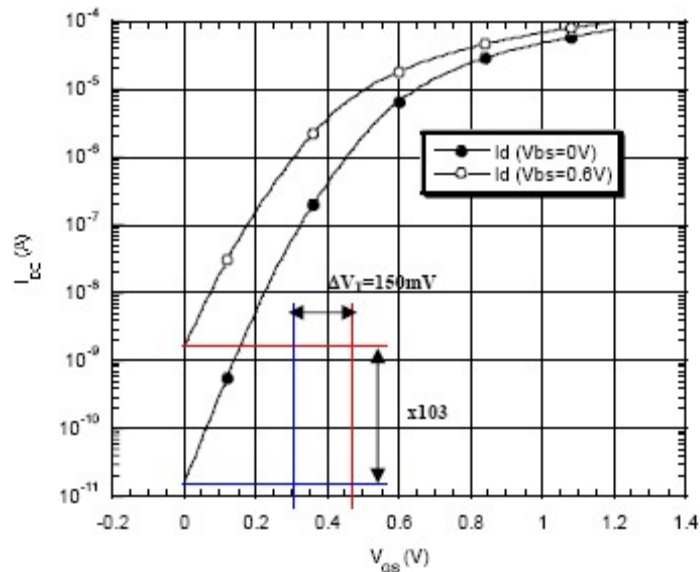


Figure 2-6-Influence de la tension de seuil sur les courants de fuite d'un transistor NMOS.

La tension de seuil d'un transistor dépend de la tension substrat-source  $V_{BS}$  selon l'expression suivante :

$$V_T = V_{T0} + \gamma \left( \sqrt{2\psi_F - V_{BS}} - \sqrt{2\psi_F} \right) \quad [2-12]$$

Où le paramètre  $\gamma$  représente le coefficient d'effet de substrat et le paramètre  $\psi_F$  le potentiel de

Fermi dans le substrat. Mais la tension de seuil d'un transistor dépend aussi de la tension drain-source  $V_{DS}$ . Deux effets entrent en jeu. Le premier est la « rétroaction statique du drain ». La zone de déplétion sous la grille est influencée par le potentiel de canal, qui varie du drain à la source, et est donc influencée par la tension  $V_{DS}$ . Un potentiel de drain plus élevé va augmenter la zone de déplétion, augmenter le nombre de porteurs minoritaires et réduire la barrière que le potentiel de grille doit surmonter pour créer une couche d'inversion.

L'augmentation de la tension  $V_{DS}$  a donc pour conséquence de réduire la tension de seuil  $V_T$ . Le deuxième effet est un effet que l'on a vu précédemment, l'« abaissement de la barrière de potentiel par le drain » ou DIBL.

La figure 2-7 montre l'évolution du courant de fuite d'un transistor en fonction de sa tension substrat-source  $V_{BS}$ , Figure 7a, et de sa tension drain-source  $V_{DS}$ , Figure 7b. L'échelle des ordonnées étant logarithmique dans les deux cas, on remarque que le courant de conduction sous le seuil varie exponentiellement tant avec la polarisation du substrat que la tension drain-source, qui est proportionnelle à la tension d'alimentation  $V_{DD}$ .

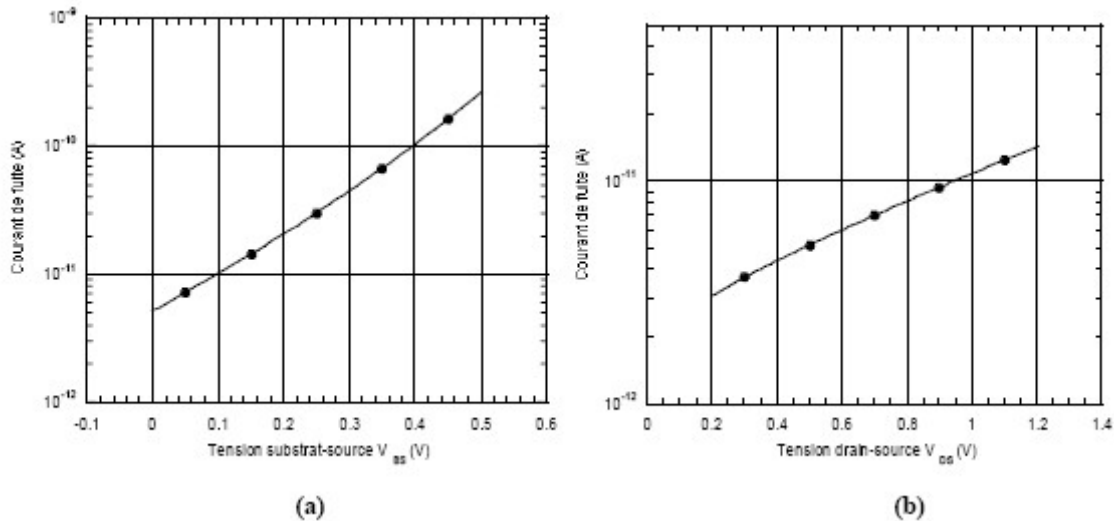


Figure 2-7- Simulations Eldo de l'évolution du courant de fuite d'un transistor en fonction (a) de la polarisation du substrat et (b) de la tension drain-source.

**II.6.2.Effet de la géométrie du transistor sur la tension de seuil**

La tension de seuil ne reste pas la même si les dimensions W et L sont réduites. Ce genre de phénomène peut être modélisé en utilisant un logiciel de simulation par éléments finis à deux dimensions comme ATLAS en vue de résoudre des équations telles que les équations de Poisson et de transport.

Toutefois, un modèle plus simple, développé par Yau [YAU74], a permis de déterminer « graphiquement » les relations qui lient la répartition de la charge de déplétion et la tension de seuil. Ce modèle porte le nom de répartition de charge (Charge-sharing model).

La vue en coupe à la figure 2.8 montre la répartition de la charge de déplétion d'un transistor MOS à canal court. La relation habituellement utilisée pour la tension de seuil des transistors à canal long est la suivante :

$$V_t = V_{FB} + 2\phi_F \pm \frac{Q_D}{C_{ox}} \tag{2-13}$$

Avec + pour un nMOST  
 - pour un pMOST

V<sub>FB</sub> est la tension de bande plate

2Φ<sub>F</sub> est le potentiel de surface maximum en forte inversion (V<sub>GS</sub>>V<sub>t</sub>)

Q<sub>D</sub> = -q X<sub>dm</sub> NA (Cb / m<sup>2</sup>). où X<sub>dm</sub> est la profondeur de la charge de déplétion.

La ZCE est créée par un champ qui possède une composante longitudinale (-) et transverse (l). Pour les transistors à canal long, la composante transverse du champ, c'est-à-dire le champ créé par la grille, contrôle pratiquement toute la charge de déplétion. La composante longitudinale du champ, c'est-à-dire le champ créé par le drain, n'a que peu d'effet sur la charge de déplétion (cf.fig.2.8). Si la longueur du canal diminue, la charge de déplétion contrôlée par le drain prend de plus en plus d'importance par rapport à celle contrôlée par la grille. Cette diminution de la charge de déplétion va entraîner une diminution de la tension de seuil.

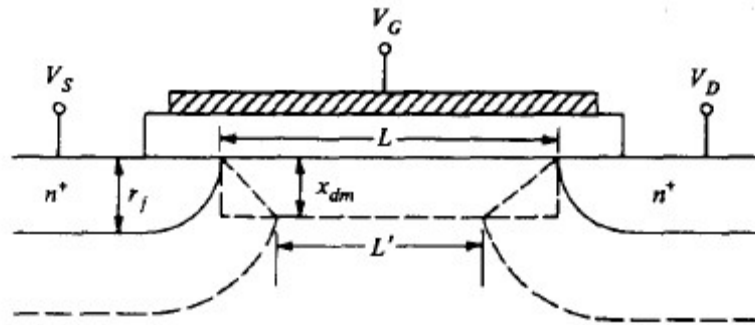


Figure2-8- Partage de la charge de déplétion entre grille, source et drain.

En effet, la charge de déplétion effective  $Q'_D$  qui est représentée par le trapèze de surface,

$$S' = X_{dm} \frac{(L + L')}{2} \quad [2-14]$$

est inférieure à la surface de la charge de déplétion qui est utilisée en première approximation pour les canaux longs ( $S = X_{dm} * L$ ).

La charge  $Q'_D$  contrôlée par la grille est donnée par :

$$Q'_D L = q N_A X_{dm} \frac{(L + L')}{2} \quad [2-15]$$

Par des considérations d'ordre géométrique, on peut prouver que :

$$\frac{(L + L')}{2L} = 1 - \left( \sqrt{1 + \frac{2 X_{dm}}{r_j}} - 1 \right) \frac{r_j}{L} \quad [2-16]$$

La tension de seuil est donc une fonction du dopage, de L et de la profondeur de la jonction (r<sub>j</sub>).

En remplaçant  $Q_D$  par  $Q'_D$  (2.12) dans l'expression de la tension de seuil (2.10), on obtient :

$$V_T = V_{FB} + 2\phi_F \pm \frac{Q_D}{C_{ox}} \left[ 1 - \left( \sqrt{1 + \frac{2 X_{dm}}{r_j}} - 1 \right) \frac{r_j}{L} \right] \quad [2-17]$$

Le modèle de Yau prévoit avec assez de justesse la chute de tension de seuil expérimentale (cf. Fig. (2.9))

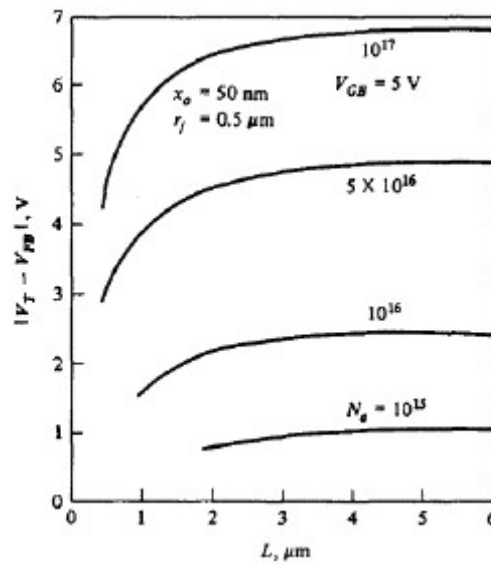


Figure 2-9- Evolution de la tension de seuil théorique en fonction de la longueur de canal selon le modèle de Yau.

## CONCLUSION

Une perspective certaine de la microélectronique est l'utilisation généralisée de composants de taille submicronique. La réduction progressive des dimensions géométriques est accompagnée par effet d'échelle « scaling » d'une diminution de l'épaisseur de l'oxyde et de la profondeur des jonctions et d'une augmentation correspondante du dopage. Pour contrer les effets de canal ultracourt, les solutions conventionnelles ne sont plus adaptées. Pour poursuivre la miniaturisation, il faudra avoir recours à des alternatives au MOSFET massif.

## **Chapitre III**

**Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques**

### III.1. - INTRODUCTION

Quelque soit le soin apporté à l'élaboration de l'oxyde, la présence de défauts est inévitable. En tant qu'oxyde de grille du transistor MOS, le film de SiO<sub>2</sub> ainsi que l'interface qu'il forme avec le silicium sous-jacent, jouent un rôle crucial dans le fonctionnement des dispositifs. En effet, la commande de l'ouverture et de la fermeture du canal se fait par application d'un champ électrique à travers cet oxyde, tandis que la mobilité des porteurs dans le canal, ainsi que le bruit du dispositif sont directement fonction de la qualité structurale de l'interface Si-SiO<sub>2</sub>. Il est donc particulièrement important de contrôler à la fois l'épaisseur de la couche, sa qualité structurale et la qualité de l'interface Si-SiO<sub>2</sub>.

### III.2. Propriétés physico-chimiques du SiO<sub>2</sub>

#### III.2.1. Obtention du SiO<sub>2</sub> :

L'oxydation thermique du silicium. C'est la technique la plus couramment utilisée depuis les années 50, car c'est elle qui donne les oxydes de meilleure qualité, même si d'autres procédés tels que le dépôt chimique en phase vapeur (CVD) permettent aujourd'hui d'obtenir des oxydes de qualités équivalentes.

L'oxydation thermique du silicium est effectuée à hautes températures (800 à 1200°C) à l'intérieur d'un four parcouru par un courant gazeux oxydant (O<sub>2</sub> ou H<sub>2</sub>O). Afin de limiter certains effets liés à la redistribution des impuretés de dopage, on cherche à diminuer ces températures. La croissance de l'oxyde se fait en consommant du silicium (environ 1 nm de silicium consommé pour 2 nm d'oxyde formé). Selon la nature de l'oxydant on a :



Pour obtenir une épaisseur de 2000 Å à 1000°C, il faut près de 8 heures en oxydation sèche, contre moins d'une heure en oxydation humide. L'oxydation sèche, qui donne un oxyde de meilleure qualité et d'épaisseur mieux contrôlée, est réservée à l'obtention d'oxydes minces (de grille, piédestal des LOCOS...), tandis que l'oxydation humide est utilisée pour la formation d'oxydes épais (de masquage, de champ, d'isolation de grands substrats...).

La croissance de l'oxyde et sa qualité dépendent de la qualité du substrat de silicium et en particulier de sa surface, à partir de laquelle il doit croître. Une surface rugueuse donnera un oxyde de mauvaise qualité. C'est pour cela que des procédés de nettoyage sont mis en oeuvre avant l'oxydation afin d'assurer une surface propre et lisse [Lai94].

### III.2.2. Structure du SiO<sub>2</sub>

La silice peut se trouver sous trois formes allotropiques (même composition chimique, mais arrangements atomiques différents) : cristalline (ordre cristallographique à longue distance), vitreuse (ordre à courte distance) et amorphe (absence d'ordre) [Ball86]. La structure obtenue par oxydation thermique est la silice vitreuse. Elle est amorphe dans le cas d'un mauvais contrôle de la croissance de l'oxyde.

L'unité structurale de base de la silice est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre.

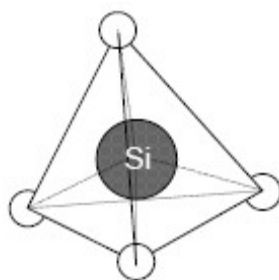


Figure 3.1: Motif de base de la silice

La silice est constituée d'un arrangement de tétraèdres SiO<sub>4</sub> reliés entre eux par l'intermédiaire des sommets oxygènes. Ces tétraèdres sont caractérisés par la distance atomique Si-O (de 1,6 à 1,63 Å), et par la valeur de l'angle entre les liaisons O-Si-O (Varie de 110° à 180°, avec une valeur moyenne de 144° pour la silice amorphe [Mozz69]).

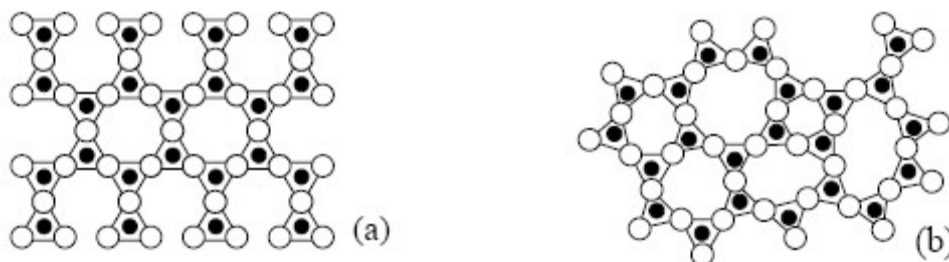


Figure 3.2 : Représentation plane du réseau de la silice  
(a) cristalline et (b) amorphe

### III.2.3. Nature physico- chimique des défauts du SiO<sub>2</sub> :

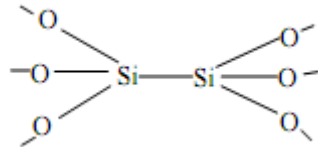
Le SiO<sub>2</sub> est un matériau amorphe qui n'est pas exempt des défauts structuraux. Ces défauts résultent des conditions de croissance de l'oxyde, mais aussi des traitements que subit le transistor, antérieurs (qualité de la surface sur laquelle l'oxyde va croître) et postérieurs

(implantations, diffusion, traitements thermiques, contraintes mécaniques...) à la croissance de l'oxyde.

## CHAPITRE III Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques

### III.2.3.1. Défauts intrinsèques

Des oxydes intermédiaires ( $Si^{3+}$ ,  $Si^{2+}$ ,  $Si^{+}$ ) sont couramment induit par un défaut de type lacune d'oxygène qui modifie les états de liaison du réseau tétraédral de base du  $SiO_2$  amorphe. Leurs propriétés diélectriques sont moins bonnes que celle de la silice ( $Si^{4+}$ ) qui correspond au plus fort degré d'oxydation (silicium relié à 4 atomes d'oxygène).



**Figure 3.3: Représentation schématique d'une lacune d'oxygène à l'origine d'un degré d'oxydation moindre  $Si^{3+}$**

D'autres défauts peuvent être cités parmi lesquels l'interstitiel d'oxygène dissocié, l'interstitiel d'oxygène non dissocié, l'interstitiel de silicium ou la lacune de silicium.

### III.2.3.2. Défauts extrinsèques

Ce sont généralement des impuretés telles que des ions alcalins, des espèces dopantes, l'hydrogène, le chlore, l'azote. Ils proviennent souvent du substrat et diffusent dans l'oxyde lors des traitements thermiques ; une pollution accidentelle ou résiduelle lors des différentes étapes technologiques peut également être à l'origine d'une partie de ces impuretés.

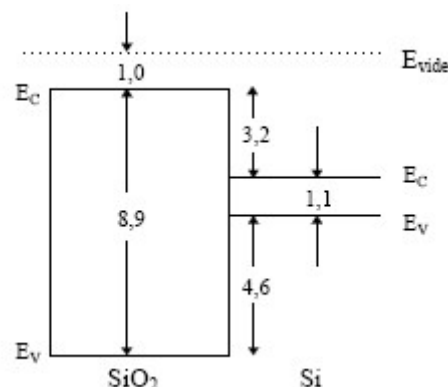
## III.3. Propriétés électriques du SiO<sub>2</sub>

### III.3.1. Caractéristiques électriques

#### III.3.1.1. Diagramme de bandes

Le premier diagramme de bandes du système Si-SiO<sub>2</sub> a été obtenu par Williams à partir de mesures de photo-émission [Will65].

Ce diagramme est représenté ci-dessous :



**CHAPITRE III****Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques**

La largeur de la bande interdite de l'oxyde est relativement importante, ce qui est à l'origine du caractère isolant du SiO<sub>2</sub>

. Les valeurs des hauteurs de barrière vues par les porteurs sont élevées : 3,2 eV pour les électrons et 4,6 eV pour les trous. L'oxyde est donc assez bien protégé contre les injections de porteurs, en particulier de celle des trous.

**III.3.1.2. Caractéristiques électriques de l'oxyde**

La résistivité élevée de l'oxyde (de l'ordre de  $10^{15}$  à  $10^{16}$  Ω.cm), confirme sa propriété d'isolant électrique.

A température ambiante, les valeurs de la conductivité et de la diffusivité thermique, sont assez faibles (respectivement  $0,014$  Wcm<sup>-1</sup>°C et  $0,006$  cm<sup>2</sup>s<sup>-1</sup>).

La mobilité des porteurs dans le SiO<sub>2</sub> thermique et à la température ambiante, est de  $10$  à  $20$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> pour les électrons et de l'ordre de  $10^{-5}$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> pour les trous. Ces valeurs sont très nettement inférieures à celles généralement rencontrées dans le silicium cristallin

(typiquement  $1400$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> pour les électrons, et  $400$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> pour les trous).

**III.3.2. Comportement électrique des défauts****III.3.2.1 Introduction de nouveaux niveaux d'énergie**

Les défauts entraînant une perte locale de la périodicité du réseau, introduisent des niveaux d'énergie supplémentaires qui peuvent se situer à l'intérieur de la bande interdite du SiO<sub>2</sub> [Ball89]. Si le porteur (électron ou trou) est faiblement lié au défaut, alors le niveau d'énergie associé ET est proche de EC dans le cas d'un électron, ou de EV dans le cas d'un trou. Ce défaut est qualifié de " peu profond " ou d'état de " queues de bandes ". Si au contraire, le porteur se retrouve fortement lié au défaut, alors le niveau ET est situé loin de EC et EV, c'est-à-dire relativement proche du milieu de la bande interdite. On qualifie ce défaut de " profond ".

**III.3.2.2. Influences des défauts sur le fonctionnement MOS**

L'oxyde de la structure MOS supporte pratiquement tout le champ électrique. La présence de charges à l'intérieur de l'oxyde a une incidence directe sur le potentiel de surface  $V_s$ . Les charges situées près de l'interface isolant-semiconducteur jouent un rôle particulièrement important. Pour prendre en compte la présence de charges dans l'oxyde il faut remplacer, dans toutes les équations précédentes,  $V_g$  par  $V_g - V_{FB}$

Les charges d'interface et les charges présentes dans l'oxyde provoquent un décalage de la tension de bandes plates que l'on notera  $\Delta V_{FB}$  :

$$\Delta V_{FB} = \frac{Q_{ox}}{C_{ox}} = \frac{Q_{ss}}{C_{ox}} + \int_0^d \frac{\rho(x)x}{\epsilon_{ox}} dx \quad [3.1]$$

avec  $\rho(x)$  la distribution continue quelconque de la charge dans le volume de l'oxyde,  $C_{ox}$  la capacité de la structure MOS en accumulation [1-20],  $Q_{ox}$  la charge totale présente dans l'oxyde [1-42] et  $Q_{ss}$  les charges d'interface.

### III.3.2.3. Notion de piège

Dans le système si-sio<sub>2</sub>, il est probable que certains pièges d'oxydes localisés proches de l'interface aient leurs niveaux énergétiques bien au-dessus de la bande de conduction du silicium, et ne soient donc pas électriquement actifs. Par contre, Les défauts qui introduisent des niveaux d'énergie à l'intérieur de la bande interdite de l'oxyde sont électriquement actifs, car assimilables à des puits de potentiel capables de capturer des porteurs. Un défaut peut se comporter comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande, ou comme un lieu de recombinaison s'il peut échanger des porteurs avec les bandes de conduction et de valence. Les différents mécanismes de piégeage possibles sont illustrés sur la figure 1.4 [Ball89]. Selon l'état de sa charge, un piège peut être accepteur ou donneur. Dans le premier cas il est chargé négativement s'il est occupé par un électron et neutre s'il est vide. Dans le second cas il est neutre s'il est occupé par un électron et chargé positivement s'il est vide.

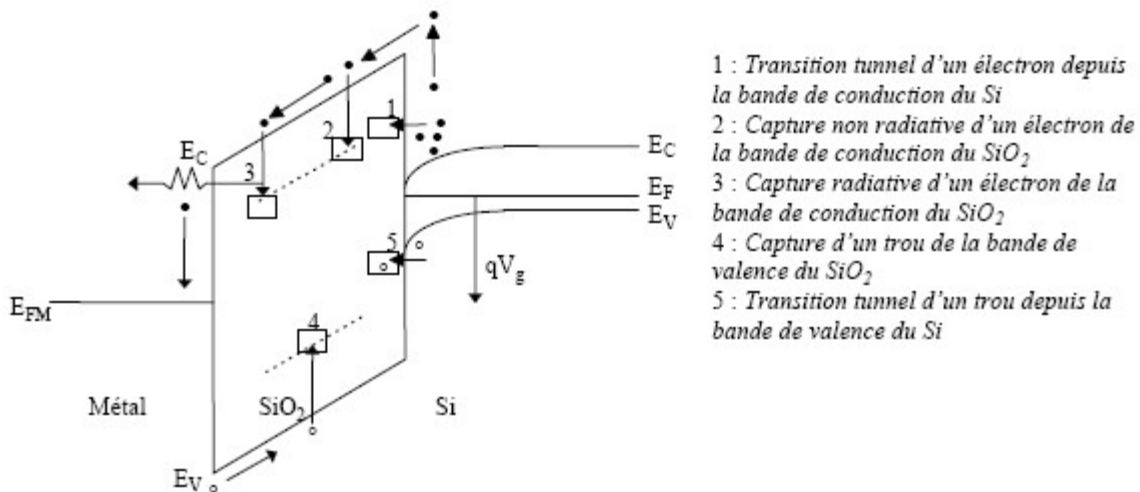


Figure 3.4 : Illustration des différents mécanismes de piégeage

**III.3.2.4. Notion de section de capture**

La section de capture exprime la facilité avec laquelle un défaut peut capturer un porteur. Elle est notée  $\sigma$ , s'exprime en cm<sup>2</sup>, et correspond à une aire critique perpendiculaire au flux de porteurs à l'intérieur de laquelle peut se faire la capture du porteur par le piège.

Elle varie en fonction de la température et du champ appliqué. La gamme de valeurs mesurée est large (de 10<sup>-22</sup> à 10<sup>-12</sup> cm<sup>2</sup>) [DiMa78].

La charge initiale du défaut et le signe du porteur à capturer permettent de situer l'ordre de grandeur de la section de capture considérée. Dans le cas d'un électron, si le défaut est initialement chargé positivement, alors il est attractif coulombien et sa section de capture est grande (10<sup>-14</sup> cm<sup>2</sup> <  $\sigma$  < 10<sup>-12</sup> cm<sup>2</sup>). Au contraire s'il est chargé négativement, il est répulsif coulombien et sa section de capture est petite (10<sup>-22</sup> cm<sup>2</sup> <  $\sigma$  < 10<sup>-18</sup> cm<sup>2</sup>). Enfin si le défaut est neutre, il peut capturer aussi bien un électron qu'un trou, sa section de capture est moyenne (10<sup>-18</sup> cm<sup>2</sup> <  $\sigma$  < 10<sup>-14</sup> cm<sup>2</sup>) et correspond aux dimensions atomiques (un rayon de 1 Å donne 10<sup>-16</sup> cm<sup>2</sup>). La majorité des défauts dans le SiO<sub>2</sub> serait de ce type [DiMa78].

**III.3.3. Différents types de charges dans l'oxyde****III.3.3.1. Les charges volumiques****La charge fixe d'oxyde  $Q_f$  :**

C'est une charge positive invariante en fonction de la polarisation sauf si des conditions thermiques ou électriques particulières dégradent le dispositif (radiations ionisantes, contraintes électriques). la charge positive est attribuée à un excès de silicium figé à la fin du processus d'oxydation sous forme d'interstitiel Si<sub>i</sub>. le silicium interstitiel peut alors piéger un trou pour devenir un centre Si<sub>i</sub><sup>+</sup>. [Klau89]

La présence éventuelle d'une charge fixe à l'interface Si-SiO<sub>2</sub> est un fait important, puisqu'elle va induire à la surface du silicium une charge image négative qui modifie le potentiel de surface du semi-conducteur et donc les tensions de seuil et de bandes plates du dispositif.

**La charge piégée dans l'oxyde  $Q_{ot}$  :** C'est une charge stockée par les pièges du volume de l'oxyde (interfaces non comprises). Ce type de piègeages est dû à une modification interne de la structure de l'oxyde sous l'effet d'un stress ou d'un stimulus extérieur. Si une paire

électron-trou est créée ou injectée dans l'oxyde, les électrons et les trous peuvent être piégés par des puits de potentiels [NING1975] (Figure 1-30).

## CHAPITRE III Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques

Elle peut être positive ou négative. Cette charge n'est pas permanente au même titre que la charge fixe, puisqu'un apport thermique ou un champ électrique appropriés peuvent favoriser sa diminution (dépiégeage des charges stockées).

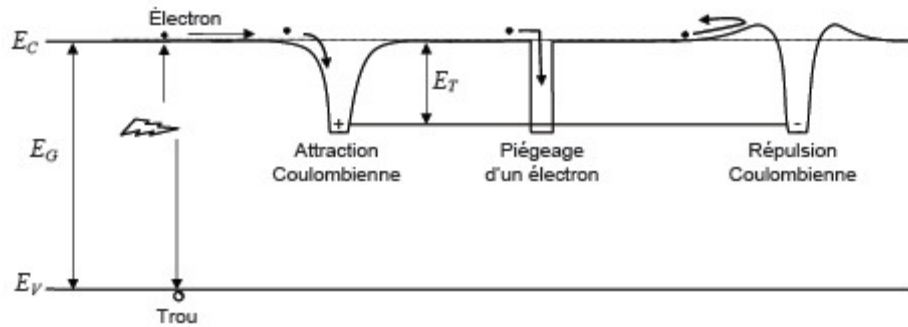


Figure 3.5 : Bande interdite avec pièges à électrons.

### III.3.3.2. Charges situées à l'interface

#### Les charges mobiles $Q_m$ :

C'est une charge due à la contamination de l'oxyde par des impuretés ioniques (métaux alcalins : K<sup>+</sup>, Li<sup>+</sup>, Na<sup>+</sup>...). Ces impuretés, localisées à l'interface Si-SiO<sub>2</sub>, peuvent migrer d'une interface à une autre sous l'effet d'un champ électrique ou de la température.

**Les charges d'interfaces piégées  $Q_{ss}$  :** Elle est piégée par les défauts qui résultent de la discontinuité de réseau à l'interface Si-SiO<sub>2</sub>. Ces défauts appelés états d'interface jouent un rôle primordial dans le fonctionnement du transistor MOS, car contrairement aux défauts de volume de l'oxyde, ils sont en communication électrique directe avec le semiconducteur. Le signe de cette charge dépend des conditions de polarisations appliquées au dispositif, qui font que selon sa nature (donneur ou accepteur) et sa position par rapport au niveau de Fermi, un état d'interface est chargé négativement, positivement ou neutre.

**III.3.3.3. Bilan de la charge totale  $Q_{ox}$  :** La quantité totale de charges dans l'oxyde sera donc la somme de tous les types de charges présents dans l'oxyde.

$$Q_{ox} = Q_{ss} + Q_f + Q_m + Q_{ot} \quad [3.2]$$

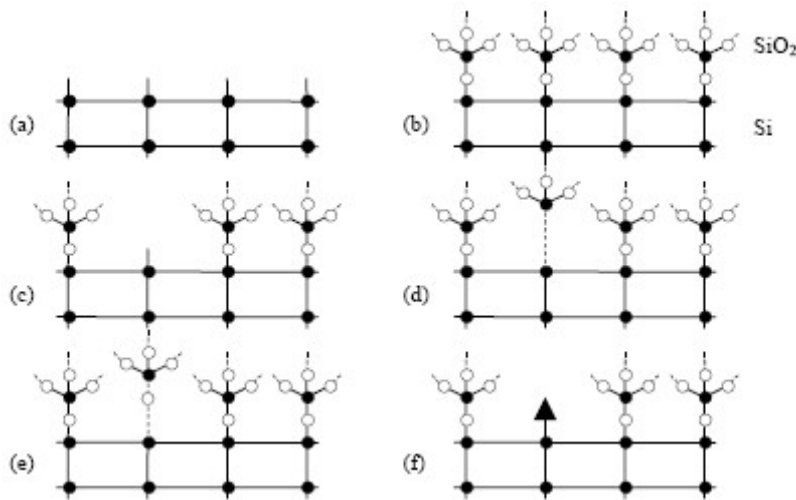
$$Q_{ox} = Q_{ss} + Q_i = Q_{ss} + \int_0^d \rho(x) dx \quad [3.3]$$

avec  $Q_i$  la charges dans le volume d'oxyde et  $\rho(x)$  la distribution quelconque de la charge dans le volume de l'oxyde.

### III.4. Propriétés de l'interface Si-SiO<sub>2</sub>

#### III.4.1. Nature des défauts à l'interface :

Cette région est propice à la formation d'oxydes intermédiaires SiO<sub>x</sub>, en raison des fortes contraintes dues au raccordement des mailles cristallines et de la rupture de la périodicité du réseau cristallin du semiconducteur. L'interface présente donc beaucoup plus de liaisons contraintes, distordues, pendantes... qu'il n'y en a dans le volume de l'oxyde. Les liaisons chimiques les plus probables à l'interface Si-SiO<sub>2</sub> sont représentées sur la figure 1.6 [Saku81]



**Figure 3.6 : Liaisons chimiques de l'interface Si-SiO<sub>2</sub> [Saku81]**  
 (a) surface Si libre, (b) interface parfaite, (c) liaison Si<sub>3</sub>≡Si- pendante,  
 (d) liaison Si-On a Si faible, (e) liaison Si-O faible, (f) impureté à l'interface

#### III.4.2. Propriétés des états d'interface

La densité d'états d'interface, notée  $N_{ss}$  ou  $D_{it}$ , représente le nombre de défauts électriquement actifs par unité de surface et d'énergie ( $eV^{-1}cm^{-2}$ ) situés à l'interface Si-SiO<sub>2</sub>.

Ces défauts sont susceptibles de capturer ou de réémettre des porteurs. Leur densité est mesurable à l'aide de techniques de caractérisation électriques (voir le prochain chapitre).

Les valeurs moyennes de  $N_{ss}$  généralement rencontrées sont comprises entre quelques  $10^9 eV^{-1}cm^{-2}$  pour une interface de qualité et quelques  $10^{12} eV^{-1}cm^{-2}$  pour une interface fortement dégradée. Ceci correspond respectivement à environ  $10^{-6}$  et  $10^{-3}$  défauts par atome de silicium à l'interface

##### III.4.2.1. Distribution énergétique

Les états d'interface introduisent un continuum de niveaux d'énergie dans la bande interdite du semiconducteur. Ils sont de type donneur dans la partie basse de la bande interdite et de type accepteur dans sa partie haute [Kno182]. Ce continuum d'états pourrait s'expliquer par le

### **CHAPITRE III**

### **Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques**

nombre important de liaisons Si-Si et Si-O faibles, distordues ou pendantes à l'interface [Saku81].

La densité d'états d'interface obtenue varie assez rapidement de part et d'autre du centre de la bande interdite en donnant un profil en forme de U. Sakurai et al ont calculé les niveaux d'énergie associés aux différentes liaisons chimiques possibles et montré que la forme en U du profil  $N_{ss}(E)$ , peut s'expliquer par une distribution des longueurs et des angles des liaisons faibles Si-Si et Si-O [Saku81].

#### **III.4.2.2. Section de capture à l'interface**

La section de capture à l'interface dépend du niveau d'énergie ; les sections de capture pour les électrons sont constantes vers le milieu de la bande interdite et diminuent de plusieurs ordres de grandeur près de la bande de conduction, et les sections de capture pour les trous sont constantes dans la partie inférieure de la bande interdite [VanO75], [Schu80].

Les sections de capture interviennent dans le calcul de la densité d'états d'interface dans de nombreuses techniques, (DLTS, pompage de charges...).

Une valeur moyenne, proche de  $10^{-16}$  cm<sup>2</sup> (dimensions atomiques) est généralement utilisée

#### **III.4.3. Etats rapides / états lents**

La notion d'états rapides ou lents est liée au temps de réponse des pièges à l'application d'une sollicitation électrique. On appelle états lents, par opposition aux états rapides situés à l'interface, les états situés dans l'oxyde, à une certaine distance de l'interface et qui communiquent avec le semiconducteur par effet tunnel [Heim65]. Quant aux pièges de l'oxyde qui n'ont pas le temps d'interagir avec le semiconducteur pendant la mesure, ils sont qualifiés par Fleetwood et al d'états fixes [Flee93].

#### **III.5. Propriétés de transport dans l'oxyde**

Bien que l'oxyde soit un très bon isolant, l'injection et le transport de porteurs à partir des interfaces reste possible pendant le fonctionnement du dispositif. Ceci est d'autant plus vrai que l'épaisseur des oxydes diminuant, une même tension de grille y crée un champ plus important.

III.5.1. Différents types de conduction dans l'oxyde

III.5.1.1. Mécanisme de transport dans l'oxyde

Différents mécanismes de conduction entrent en jeu lorsque des porteurs sont injectés dans l'oxyde (figure 1.7), ils dépendent à la fois de la qualité et de l'épaisseur de l'oxyde, de la hauteur de la barrière vue par les porteurs et du champ électrique appliqué à la structure MOS

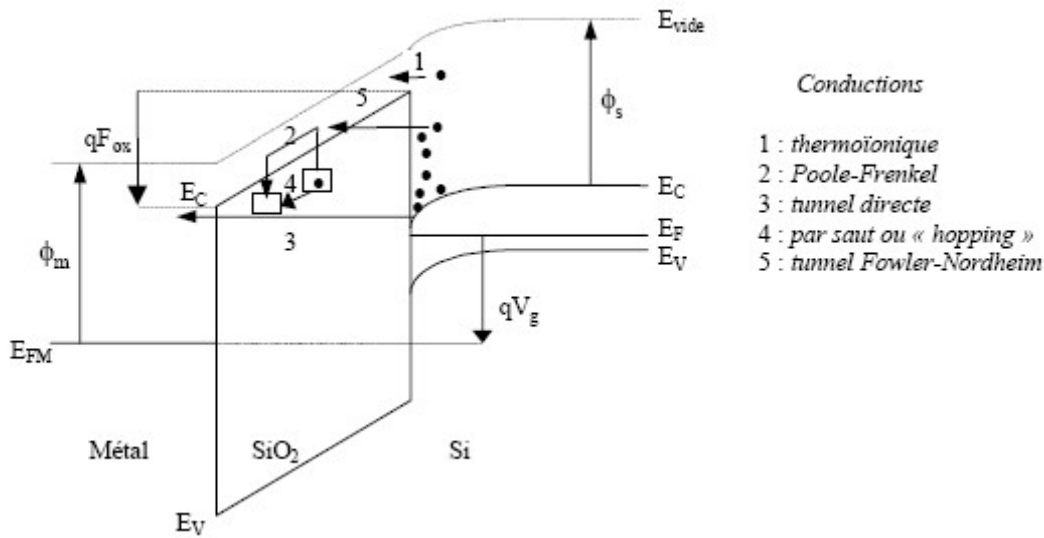


Figure 3.7 : Différents types de conduction dans l'oxyde d'une structure MOS sur substrat p, polarisée positivement

**Effet pool frenkel-conduction par saut ou « hopping » :**

La conduction Poole-Frenkel se produit lorsque l'énergie de l'électron est supérieure à la hauteur de barrière entre deux pièges. Dans ce cas l'électron passe d'un piège à un autre par conduction thermoionique locale. La densité du courant pool frenkel est donnée par [Bar 86]:

$$J_{PF} = q N_c \mu_{ox} E_{ox} \exp\left(-\frac{\Phi_{PF}}{kT}\right) \exp\left(\sqrt{\frac{q}{\pi \epsilon_0 \epsilon_{ox} \frac{q\sqrt{E_{ox}}}{kT}}}\right) \quad [3.4]$$

Ou  $N_c$  est le nombre d'états dans la bande de conduction,  $\mu_{ox}$  la mobilité des électrons dans l'oxyde,  $\Phi_{pf}$  la profondeur du puit du potentiel dans l'isolant, et  $E_{ox}$  le champ électrique dans l'oxyde.

Lorsque les pièges sont situées loin de la bande de conduction et que l'énergie thermique est alors inférieure à la hauteur de barrière entre deux états, il y a conduction par saut (ou « hopping »).

### **CHAPITRE III Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques**

Dans ce cas, la conduction s'effectue d'un site à l'autre par effet tunnel local. elle s'exprime par [Hes86] :

$$J_h = \frac{q^2 a^2}{kT \tau_0} n^* E_{ox} \exp\left(-\frac{4\pi m_{ox}}{h} \Phi_m a\right) \quad [3.5]$$

**Effet schottky-emission tunnel** : L'émission par effet thermoélectronique ou *effet Schottky*, a lieu lorsque l'énergie de l'électron (l'énergie thermique  $kT$ ) est supérieure à la hauteur de la barrière isolant-semiconducteur. Dans ce cas, le porteur pénètre dans l'oxyde en surmontant la barrière. La densité de courant correspondante est fournie par l'équation Richardson Schottky [Hest86] :

$$J_{th} = \frac{4\pi m_{ox} q}{h^3} (kT)^2 \exp\left(-\frac{\Phi_{C/I}}{kT}\right) \exp\left(\frac{1}{kT} \sqrt{\frac{q E_{ox}}{4\pi \epsilon_{ox}}}\right) \quad [3.6]$$

Où  $\Phi_{C/I}$  est la hauteur de la barrière cathode/isolant

L'émission tunnel à travers la barrière énergétique intervient si les électrons disposent d'une énergie inférieure à la hauteur de barrière cathode /isolant. Dans le cas d'un faible champ électrique et d'une très faible épaisseur d'oxyde, la barrière énergétique est trapézoïdale : c'est l'effet tunnel directe. Dans le cas d'un fort champ électrique, la barrière énergétique peut être schématisée par un triangle : il s'agit de l'effet tunnel Fowler- nordheim (FN).

L'expression générale de la densité fowler- nordheim est donnée par [O'dw73, chan84] :

$$J_{FN} = \frac{4\pi m_{sc} kT}{h^3} \int_0^{\phi} \ln\left(1 + \exp\left(\frac{E_F - E}{kT}\right)\right) \exp\left(\frac{-4\sqrt{2 m_{ox} (\Phi - E)^3}}{3\hbar q E_{ox}}\right) dE \quad [3.7]$$

Ou  $m_{sc}$  est la masse effective du semi conducteur dans le plan normal à celui de l'interface,  $E_f$  l'énergie de fermi,  $E_{ox}$  le champ électrique à travers l'oxyde, et  $\Phi$  la hauteur de barrière entre la bande de conduction de l'oxyde et du métal à l'interface.

L'injection Fowler-Nordheim peut être intentionnelle (stockage d'information : effet mémoire [Euze81]), ou non souhaitée (oxydes de grille minces). Dans tous les cas, elle s'accompagne d'une dégradation des propriétés isolantes de l'oxyde, d'un stockage de charges avec évolution des tensions de seuil pour les transistors MOS et éventuellement du claquage de l'oxyde [Wolt85a].

### CHAPITRE III Le système Si-SiO<sub>2</sub> : propriétés physiques et électriques

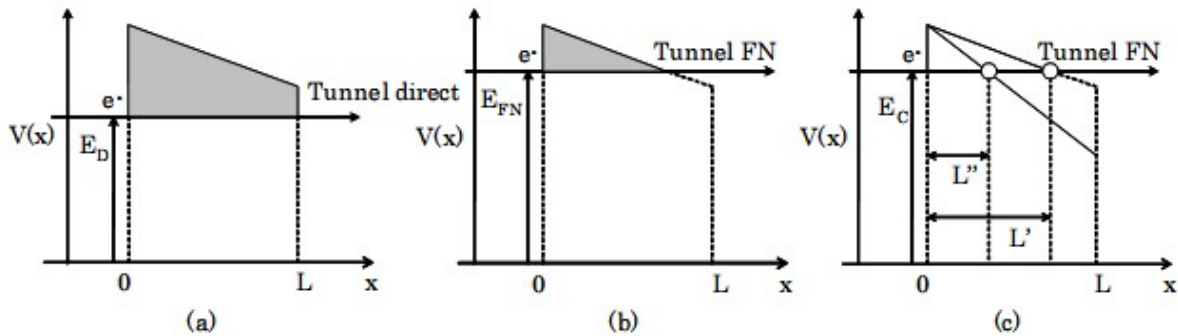


Figure 3-8 : Barrière, (a) trapézoïdale, (b) triangulaire, (c) en augmentant la polarisation, vue par les électrons lors de la traversée de l'oxyde de grille d'une structure MOS

#### III.5.1.2. Mécanismes de dégradation dans l'oxyde sous injection FN

L'injection et le transport de porteurs dans l'oxyde s'accompagnent du piégeage de charges (négative ou positive) et de la génération de pièges.

La génération de pièges est due aux porteurs qui sous l'action d'un fort champ électrique peuvent casser des liaisons inter-atomiques fragiles de l'interface Si-SiO<sub>2</sub> (génération d'états d'interface) [Hori85] ou du volume de l'oxyde [Hara78]. Le piégeage joue également un rôle important dans le vieillissement de l'oxyde car il augmente le champ électrique dans la couche isolante, et favorise par suite l'accélération de la génération de charges positives et d'états d'interface. Ces principaux mécanismes de piégeage et/ou génération de charges positives sont schématisés sur la figure



de la barrière tunnel, tout en gardant un EOT extrêmement faible, ce qui est possible en utilisant des matériaux diélectriques à haute permittivité (high K,  $K=\epsilon$ ).

## **Chapitre IV**

### **Caractérisations électriques du transistor MOS**

**IV.1.Introduction :**

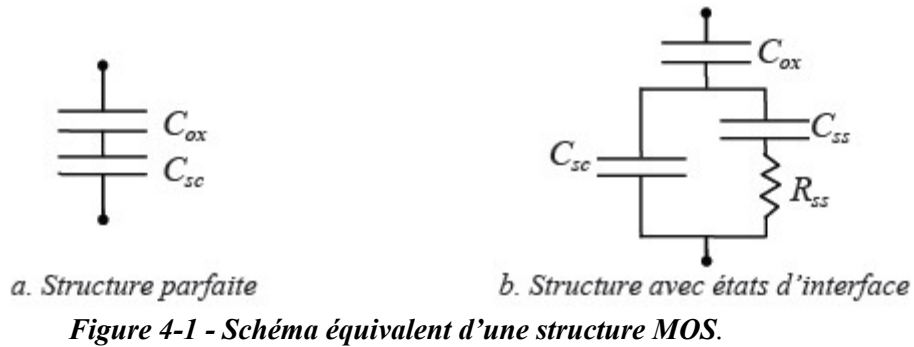
Il existe de nombreuses techniques de caractérisation électriques permettant d'avoir des informations sur les états d'interface (densité moyenne ou répartition en énergie, section de capture...). Parmi elles, certaines s'appliquent à l'étude de capacités MOS : C(V), conductance, DLTS capacitive ; d'autres s'appliquent aux transistors MOS : pente en inversion faible, transconductance dynamique, DLTS en courant, bruit, pompage de charges... Parmi ces techniques, certaines ont connu des extensions permettant de mettre en évidence les états lents et d'extraire certaines de leurs caractéristiques.

**IV.2.Mesures capacitives en fréquence (Méthode C (V))****IV.2.1. Principe**

La mesure de la capacité de la structure MOS s'effectue avec un impédancemètre en appliquant une tension alternative de quelques millivolts superposée à une tension continue. La capacité de la structure MOS varie avec la composante continue appliquée  $V_g$  : ainsi, la structure est étudiée pour les différents régimes de fonctionnement.

. La structure MOS parfaite (sans états d'interface) est modélisée par l'association en série de deux capacités : la capacité de l'oxyde  $C_{ox}$  et celle du semi-conducteur  $C_{sc}$  (Figure 4-1-a). La contribution des états d'interface complique légèrement ce schéma, avec la mise en parallèle de  $C_{sc}$ , d'une capacité  $C_{ss}$  en série avec une résistance  $R_{ss}$  (Figure 4-1-b)

[NICOLLIAN1982].



## Chapitre IV Caractérisations électriques du transistor MOS

Suivant la polarisation de la grille et de la fréquence de mesure, la structure MOS fonctionne dans plusieurs régimes différents qui peuvent être distingués sur la figure (4-2) :

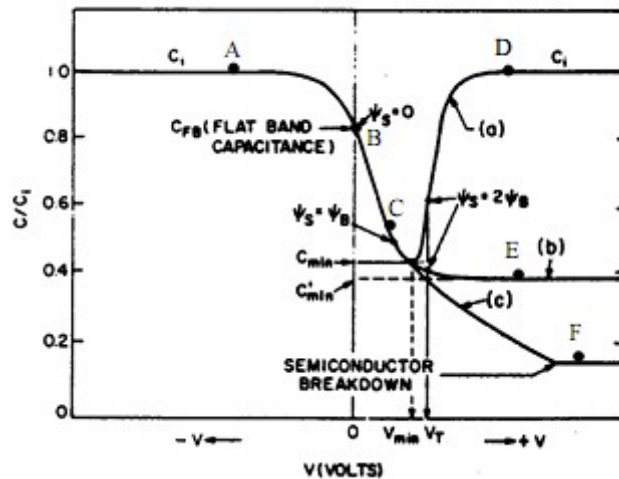


Figure 4-2- Capacité normalisée d'une structure MOS de type p en fonction de la polarisation de la grille (a) basse fréquence. (b) haute fréquence. (c) déplétion profonde.

Sous polarisation négative, la structure est en régime d'accumulation (point A, fig (4-2)). Sous polarisation positive, la structure est en régime de déplétion. Et la capacité totale est donnée par la relation (point C, fig (4-2))

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}}$$

avec

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{e_{ox}} \quad \text{et} \quad C_{sc} = - \frac{dQ_{sc}}{d\psi_s}$$

Ou  $\epsilon_0$  est la permittivité du vide,  $\epsilon_{ox}$  la permittivité relative de l'oxyde;  $e_{ox}$  l'épaisseur de l'oxyde,  $Q_{sc}$  la charge dans le semi-conducteur et  $\psi_s$  le potentiel de surface dans le semi-conducteur.

Pour  $V_g \gg 0$ , la structure est en régime d'inversion, l'augmentation de la charge sur la grille peut être contrebalancée de deux façons : soit par l'extension de la zone de charges, soit par l'augmentation de la charge d'inversion. Suivant la fréquence du signal de mesure, l'un ou l'autre de ces deux mécanismes va contrôler la réponse capacitive de la structure :

- -à basse fréquence, les porteurs minoritaires ont le temps d'être générés dans le volume du semi-conducteur et d'arriver sous la grille de la structure ; il y'a formation d'une couche d'inversion et la structure est équivalente à un condensateur de capacité identique à celle obtenue en accumulation ( $C_{inv} = C_{ox}$  point D)

## Chapitre IV

## Caractérisations électriques du transistor MOS

➤ -à haute fréquence, la génération de porteurs minoritaires étant trop lente ,ces derniers ne parviennent pas à suivre les fluctuations du signal ,les porteurs majoritaires assurent donc dans un premier temps la variation de charges ; et ce par extension de la ZCE ; puis, lorsque la composante continue de la tension de grille augmente, la densité de porteurs minoritaires augmente de façon exponentiel, ce qui leur permet à nouveau de compenser la variation de charge du signal (flux et reflux des porteurs minoritaires en limite de ZCE).quant à la ZCE, elle ne varie pratiquement plus. On obtient  $C_{inv} = C_{min}$ . (point E)  
Dans une structure idéale,  $\Phi_{ms}=0$  ; l'interface  $Si/SiO_2$  est dépourvue d'états d'interface et l'isolant est supposé parfait (pas de charges fixes ou mobiles).sans aucune polarisation, le potentiel de surface  $\psi_s$  est alors nul et la capacité est alors dite en régime de bandes plates :  $C_t = C_{fB}$  (point B).

Dans une structure réel,  $\Phi_{ms} \neq 0$ , et l'oxyde est affecté comme nous l'avons décrit au chapitre II par la présence de charges ; un champ électrique existe donc dans l'isolant et à l'interface oxyde/semi-conducteur à  $v_g=0$ . Pour rétablir les conditions de bandes plates, il est nécessaire d'appliquer sur la structure une polarisation  $v_{fb}$  dite de bandes plates, généralement négative pour les charges positives et positive pour des charges négatives. On assiste alors à une translation de la caractéristique C-V initiale (obtenue pour une structure idéale).vers les

tensions négatives ou positives, suivant le type de charges en présence. suivant la vitesse de balayage de la tension et de la fréquence de modulation, les charges - autres que les charges fixes- peuvent également être responsables d'un étalement et/ou d'une déformation des courbes C-V ainsi qu'un phénomène d'hystérésis.

En effet, une courbe expérimentale peut être caractérisée par les différents points suivants, illustrés dans la figure 4-3:

- Le décalage de la courbe  $C(V)$ , décalage de la tension de bandes plates indique la présence de charges dans l'isolant et à l'interface isolant-semiconducteur (Figure 4-3-a).
- Un cycle d'hystérésis. Suivant le sens de l'hystérésis, on peut savoir s'il s'agit de charges mobiles ou bien de pièges lents situés proches de l'interface [Nicollian1982]. La présence de charges mobiles n'est facilement détectable que vers des températures élevées généralement supérieures à 200°C (Figure 4-3-b).
- Un élargissement de la zone de désertion. Cet élargissement est dû aux charges d'interface  $Q_{ss}$ , Figure 4-3-c).

#### **Chapitre IV** **Caractérisations électriques du transistor MOS**

- Une dispersion en fréquence de la capacité d'accumulation, lorsque l'on fait varier la fréquence de mesure. Cette dispersion est généralement attribuée à un effet de résistance série [Nicollian1982] due au mauvais contact en face arrière du semi-conducteur (contact non ohmique) (Figure 4-3-d).

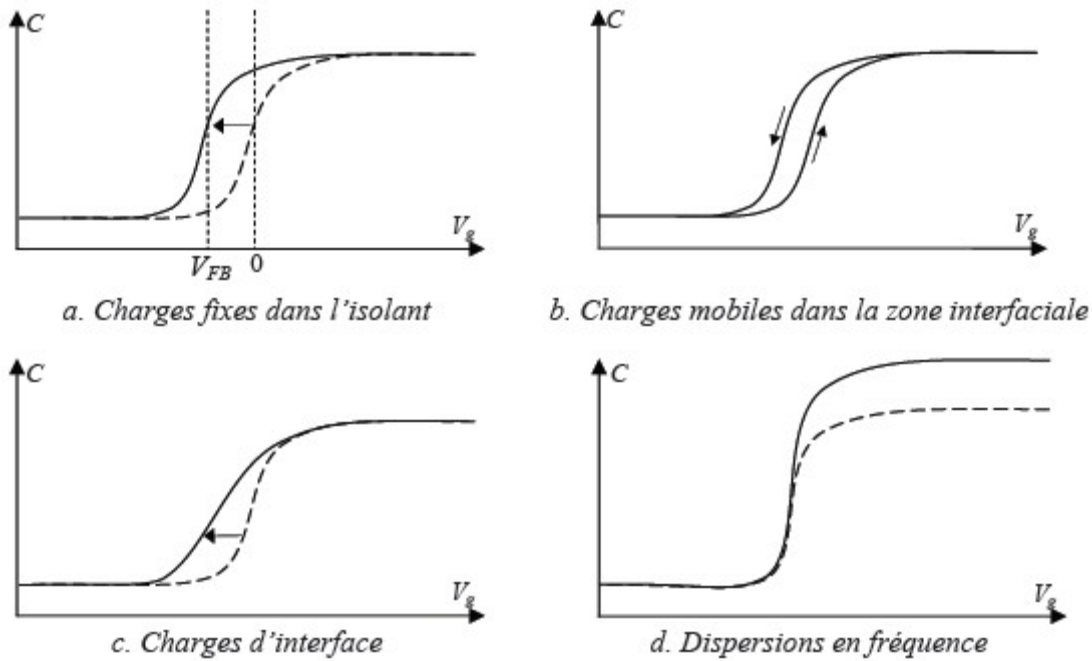


Figure 4-3 - Ecart de la courbe  $C(V)$  idéale (en traits pointillés) d'une MOS sur substrat de type N.

## IV.2.2. Méthodes d'extraction des paramètres utiles à l'évaluation de la qualité du système si/sio<sub>2</sub> :

### IV.2.2.1. Méthode du $1/C^2$ :

- **Capacité et épaisseur d'oxyde :**

La capacité mesurée en accumulation correspond à la capacité de l'oxyde  $C_{ox}$ . L'épaisseur de l'oxyde  $e_{ox}$  est alors directement déduit de la relation :

$$e_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{C_{ox}} \quad [4-1]$$

Si l'influence de la résistance série est importante, elle peut perturber la valeur du plateau d'accumulation à haute fréquence. Dans un tel cas, il sera alors préférable d'extraire la valeur de la capacité  $C_{ox}$  à partir d'une mesure réalisée à basse fréquence.

## Chapitre IV

## Caractérisations électriques du transistor MOS

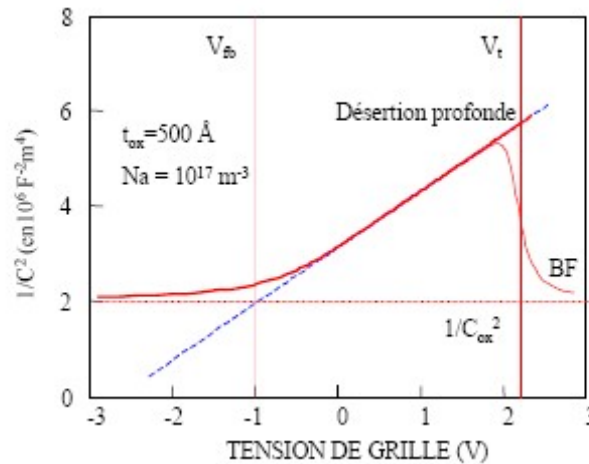
- **Le dopage**

En exprimant la neutralité de la charge entre le métal et le semi-conducteur en régime de déplétion, il est possible de montrer que la dépendance de  $1/C_{HF}^2$  avec  $V_g$  suit la relation suivante :

$$\frac{1}{C^2(V_g)} = \frac{1}{C_{ox}^2} + \frac{2}{N_a e \epsilon_s} (V_g - V_{FB}) \quad [4-2]$$

Ou  $C_{HF}$  est la capacité haute fréquence,  $V_{FB}$  la tension de bandes plates et  $\epsilon_s$  la permittivité du Substrat.

On peut donc déduire de cette courbe (voir Figure 6) la tension de bande plate et le niveau de dopage moyen.



**Figure 4-4- Simulation d'une courbe  $1/C^2$  en fonction de la tension de grille. La droite en pointillée représente la loi théorique attendue.**

Dans le cas d'un dopage  $N_a$  uniforme, le calcul de la pente de la courbe

$$\left( \frac{C_{ox}}{C_{HF}} \right)^2 - 1 = f(V_G) \quad [4-3]$$

Permet alors de remonter à la valeur de  $N_a$

Si le dopage n'est pas homogène, le profil de dopage dans la zone désertée  $W$  peut s'obtenir à partir de l'expression ci-dessous :

$$N(W) = 2 \left[ q \epsilon_0 \epsilon_r \frac{d}{dV_g} \left( \frac{1}{C_{HF}^2} \right) \right]^{-1} \quad [4-4]$$

Avec

$$W = \epsilon_0 \epsilon_r \left( \frac{1}{C_{HF}} - \frac{1}{C_{ox}} \right) \quad [4-5]$$

## Chapitre IV Caractérisations électriques du transistor MOS

- **Tension de bandes plates  $V_{FB}$  :**

La méthode choisie pour ce paramètre consiste à calculer dans un premier temps à partir de la valeur de dopage obtenue, la longueur de Debye  $LD$  définie par :

$$L_D = \sqrt{\frac{\epsilon_0 \epsilon_r kT}{N_{a,d} q^2}} \quad [4-6]$$

La capacité de bandes plates du semi-conducteur  $C_{scFB}$  et la capacité totale de la structure MOS  $C_{FB}$  sont ensuite obtenues à partir des relations

$$C_{scFB} = \frac{\epsilon_0 \epsilon_r}{L_D} \quad [4-7]$$

$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \frac{1}{C_{scFB}} \quad [4-8]$$

Il suffit finalement de lire sur la caractéristique C-V la valeur de la tension de grille correspondant à  $C_{fb}$ , c'est-à-dire  $V_g = V_{fb}$ .

#### IV.2.2.2. Méthode du $C_{max}/C_{min}$

La technique d'extraction la plus simple consiste à procéder de la façon suivante :

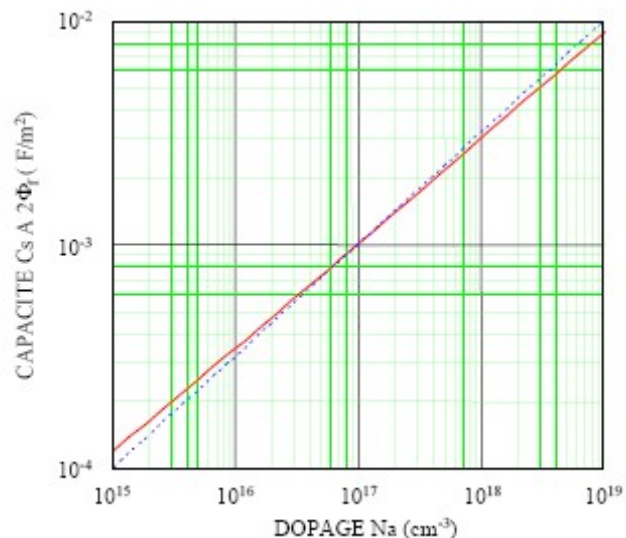
- On mesure la valeur maximale  $C_{max}$  de la courbe  $C(V)$ . Celle-ci est approximativement égale à la capacité intrinsèque de l'oxyde  $C_{ox}$ . Puisque  $C_{ox} = \epsilon_{ox}/t_{ox}$ , on en déduit l'épaisseur d'oxyde  $t_{ox}$ .
- On mesure la valeur minimale  $C_{min}$  de la courbe  $C(V)$ . Si on n'est pas en régime de désertion profonde, en inversion forte, le potentiel de surface est fixé aux alentours de  $2\Phi_f$ , donné par :

$$\Phi_f(N_a) = \frac{kT}{e} \ln\left(\frac{N_a}{n_i}\right). \quad [4-11]$$

$$\text{on a donc : } \frac{1}{C_{min}} = \frac{1}{C_{ox}} + \frac{1}{C_{scmin}}. \text{ avec } C_{scmin} = \sqrt{\frac{\epsilon_s e N_a}{4\Phi_f(N_a)}} \quad [4-12]$$

## Chapitre IV Caractérisations électriques du transistor MOS

Connaissant  $C_{scmin}$ , on peut déterminer  $N_a$  à l'aide de la courbe  $C_{scmin}(N_a)$  ci-dessous



**Figure 4-5-Capacité Cs pour un potentiel de surface Vs égal à 2 Ff en fonction du dopage Na**

- Si l'on connaît le dopage, on peut calculer la capacité en condition de bande plate  $C_{scFB}$  par la formule :

$$C_{scFB} = \frac{\epsilon_{sc}}{L_D} \text{ avec } L_D = \sqrt{\frac{\epsilon_{sc} kT}{N_a e^2}} \quad [4-13]$$

La capacité totale en bande plate est donc égale à :

$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \frac{1}{C_{scFB}}$$

Connaissant  $C_{FB}$ , on peut donc en déduire la tension de bande plate  $V_{FB}$ .

#### IV.2.2.3.Méthode de la fonction de Maserjian

La méthode du  $C_{max}/C_{min}$  comme celle du  $1/C_2$  sont relativement imprécises, parce qu'elles nécessitent toutes les deux de connaître a priori la valeur de  $C_{ox}$ . Or  $C_{max}$  ne correspond pas tout à fait à  $C_{ox}$ , et ceci en particulier pour les structures MOS à oxyde ultra mince, dans lesquels les effets quantiques et l'effet de champ dans les grilles en poly silicium rendent particulièrement difficile la mesure et l'extraction de  $C_{ox}$ .

Il est néanmoins possible d'extraire  $N_a$  et  $V_{FB}$  sans connaître  $C_{ox}$ , en utilisant la fonction Y de Maserjian. Cette fonction est définie comme :

$$Y = \frac{1}{C^3} \cdot \frac{dC}{dV_g} \quad [4-14]$$

On peut montrer que cette fonction est rigoureusement égale à :

$$Y = \frac{1}{C_s^3} \cdot \frac{dC_s}{dV_s} \quad [4-15]$$

C'est à dire qu'elle ne dépend pas ni de  $V_g$ , ni de  $C_{ox}$ . Si on utilise l'approximation de désertion totale, on peut montrer que la fonction  $Y$  présente un plateau pour  $V_{FB} < V_g < V_T$ , dont la valeur est donnée par :

$$Y_{min} = -\frac{1}{q \epsilon_{si} N_a} \quad [4-16]$$

De la même façon, pour  $V_g = V_{FB}$ , on peut montrer que  $Y$  prend pour valeur

$$Y = \frac{Y_{min}}{3} = -\frac{1}{3q \epsilon_{si} N_a} \quad [4-17]$$

On peut donc de cette façon en déduire  $V_{FB}$ .

#### IV.4. Limites

La méthode  $C(V)$  reste la méthode la plus répandue pour caractériser rapidement les structures MOS, cependant les paramètres de mesures restent délicats à déterminer et dépendent grandement de la structure étudiée. L'épaisseur de l'oxyde et la qualité du contact Métal-semiconducteur influent sur l'impédance mesurée : ainsi, un mauvais choix de la fréquence de la mesure provoque des dispersions. Des modèles existent pour corriger ces phénomènes, mais restent délicats à utiliser. La méthode  $C(V)$  atteint ses limites face à des épaisseurs d'oxydes actuellement étudiés de l'ordre de 1 nm. Sur de telles épaisseurs, l'effet tunnel étant très important la mesure de la capacité s'avère très délicate.

#### IV.5. La méthode $I(V)$ :

##### IV.5.1.1. Principe

La méthode courant-tension  $I(V)$  consiste à mesurer le courant de drain  $I_d$  (courant circulant dans le canal) en fonction de la tension drain-source  $V_d$ , ou bien en fonction de la tension de grille  $V_g$ . Le courant de drain varie d'abord proportionnellement à la tension drain-source  $V_{ds}$  : c'est le *régime linéaire*. Après une certaine valeur de  $V_{ds}$  le courant sature : c'est le *régime de saturation* (Figure 4-6-a) [MATHIEU2001].

Le réseau de caractéristiques ainsi obtenu permet d'établir directement la valeur de la tension de seuil  $V_{TH}$  (figure 4-6-b)

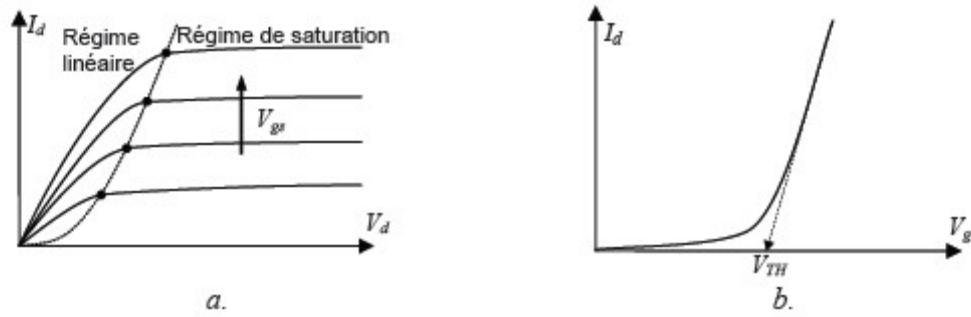


Figure 4-6-Réseau de caractéristiques du MOSFET sur substrat type P.

#### IV.5.1.2. Analyse des caractéristiques I-V des dispositifs MOSFETS Si classique

La figure (4.7) représente l'allure de la caractéristique  $I_D$ - $V_D$  à  $V_G$  donnée pour un transistor MOS Si classique fonctionnant à l'état conducteur ( $V_G > V_{th}$  : présence d'un canal d'inversion sous l'isolant). l'équation générale de cette caractéristique est la suivante :

$$I_D = \mu C_{ox} \frac{W}{L} V_D \left( V_G - V_{th} - \frac{V_D}{2} \right) \quad [4-24]$$

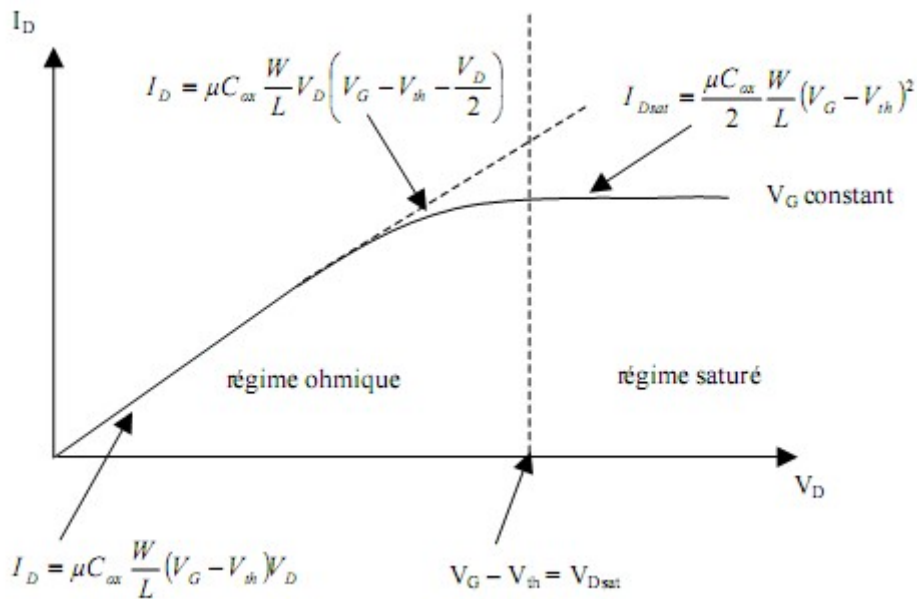


figure 4-7- Représentation schématique d'une caractéristique  $I_D$ - $V_D$  à  $V_G$  donnée pour un transistor MOS Si classique.

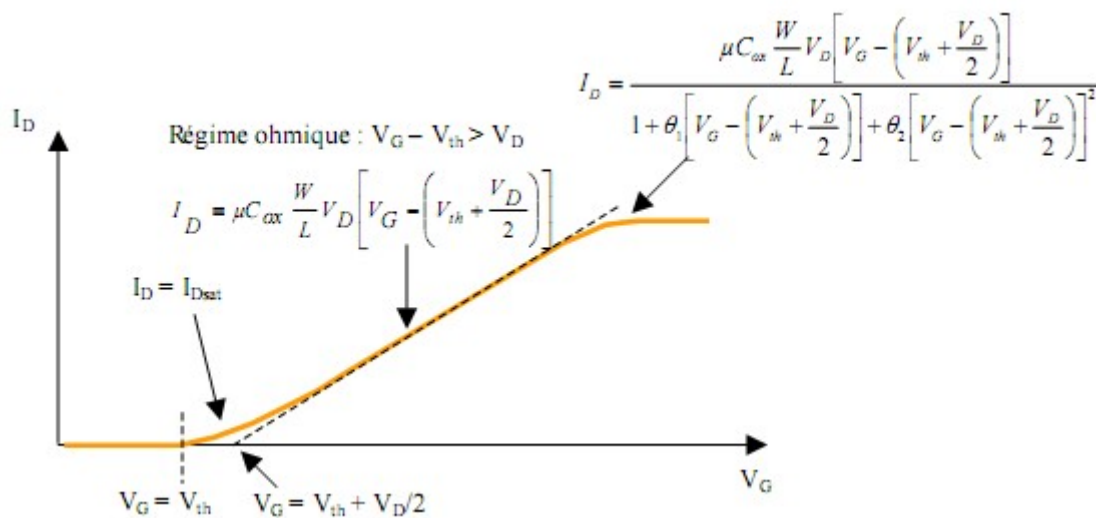
On distingue sur cette caractéristique les trois régimes principaux :

-le régime ohmique si la condition  $V_g - V_{th} > V_d$  est respectée. Dans ce cas le terme  $V_d/2$  de la relation (4-24) est négligeable, et l'équation du courant  $I_d - V_d$  peut être approchée par une droite (cf.figure 4-7).

-le régime intermédiaire dans lequel le terme  $V_d/2$  n'est plus négligeable. Aucune approximation ne peut être faite sur l'équation du courant de la relation (4 -24).

A  $V_g - V_{th} = V_{dsat}$  (seuil de saturation), il y'a pincement du canal. Au delà, c'est-à-dire pour  $V_g - V_{th} < V_d$ , la région voisine du drain n'est plus en inversion ce qui se traduit par un régime de saturation du courant : la tension aux bornes du canal conducteur reste constante et égale à  $V_{dsat}$ . Le courant ne croit donc plus avec  $V_d$ , et en première approximation (faible saturation) reste constant et égal à  $I_{dsat}$  (cf.figure 4-7)

Une autre représentation de la caractéristique courant -tension est obtenue en maintenant  $V_d$  constante et en faisant varier la polarisation de grille (cf.figure 4-8). Sur cette caractéristique le courant reste nul tant que  $V_g < V_{th}$  (état bloqué du transistor).comme précédemment, pour  $V_g > V_{th}$  et  $V_g - V_{th} < V_d$ , le courant augmente d'une façon linéaire avec  $V_g$  selon la relation (4-24)



4-8- Représentation schématique d'une caractéristique  $I_d - V_d$  à  $V_d$  donnée pour un transistor Si classique.

## IV.5.2 Limites

Ce type de mesure permet de déterminer avec une grande précision la tension de seuil  $V_{TH}$  d'une structure MOS (Figure 1-12), mais requiert l'existence d'un drain et d'une source (Figure 1-23) qui demande des étapes de fabrications coûteuses lorsqu'il s'agit de caractériser le matériau seul.

### IV.5.3. Evaluation de la tension de seuil par mesure Id-VG

#### IV.5.3.1. Protocole expérimental

L'acquisition de la caractéristique courant de drain-tension de grille  $I_{ds}(V_{gs})$  des dispositifs mosfet est effectuée à l'aide du système HP4156. une rampe de tension  $V_g$  est appliquée sur la grille tout en imposant une polarisation  $V_d$  constante sur le drain, la source et le substrat étant connectées à la masse. Pour un MOSFET à canal N par exemple, dont la tension de seuil vaut  $V_{th}$ , le dispositif passe du régime bloqué pour  $V_{gs} < V_{th}$  au régime linéaire pour  $V_{gs} > V_{th}$ . Les conditions de polarisation sont regroupées dans le tableau

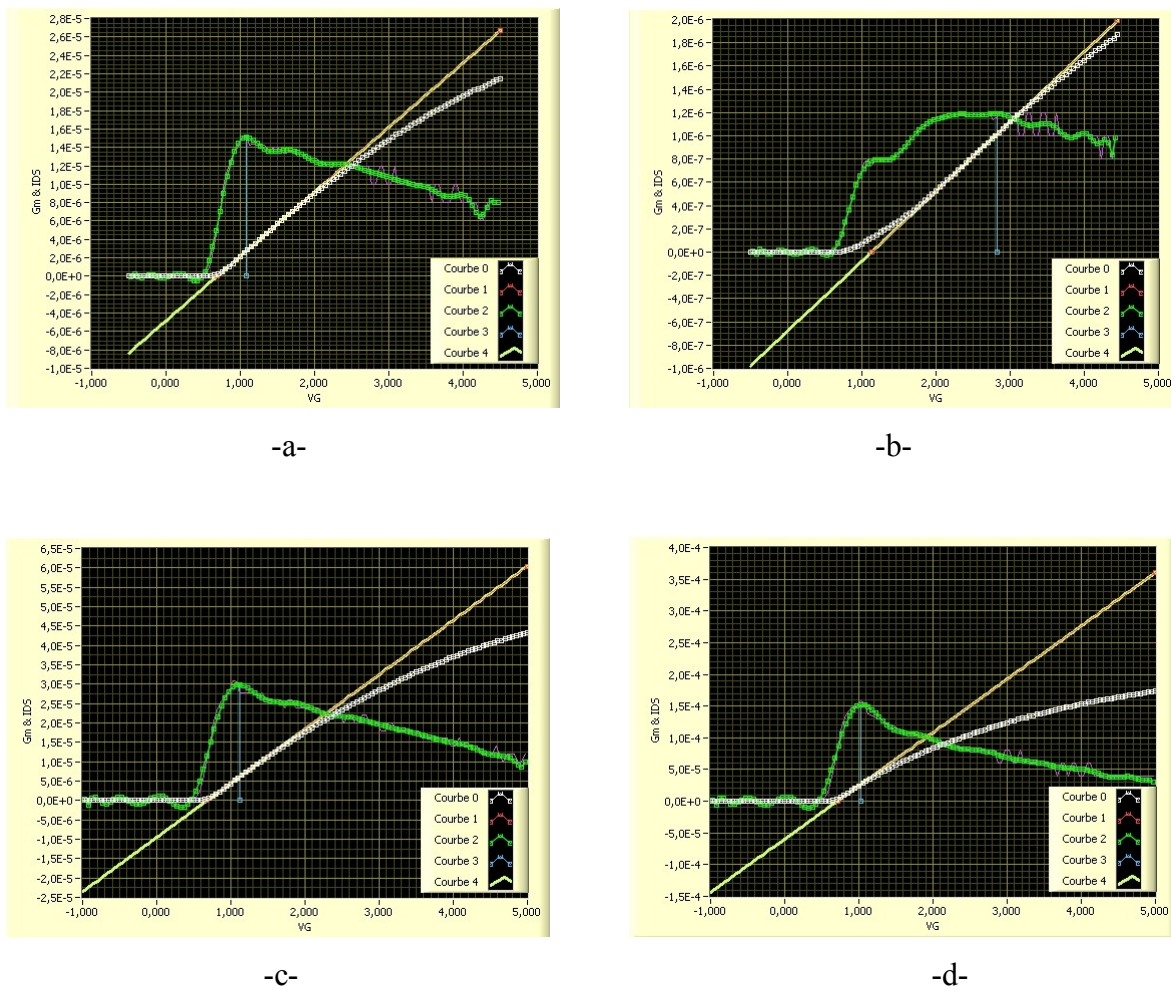
$V_{source}$	$V_s=0v$
$V_{drain}$	MOSFET type N : $V_d=+50mv$ MOSFET type P : $V_d=-50mv$
$V_{grille}$	MOSFET type N : $V_g$ rampe de 0à+5v MOSFET type P : $V_g$ rampe de 0à-5v
$V_{substrat}$	$V_{sub}=0v$

#### **Polarisation appliquée pour l'acquisition des caractéristiques $I_{ds}(V_{gs})$ en régime linéaire.**

Les mesures se sont faites à l'ambiante sur les transistors de dimensions  $W(\mu m)/L(\mu m)$  différentes. (1/10, 2/10, 5/10, 10/1, 10/2, 10/5 et 10/10).

### IV.5.3.2. Résultats et extraction des paramètres

La figure (4-9) montre certaines des caractéristiques IDS-VGS expérimentales d'un N Mosfet issues des mesures électriques. La tangente, et La transconductance  $g_m = d I_{DS}/d V_{GS}$  sont également représentées



**Figure4-9 : exemple d'acquisition IDS(VGS) (blanc).et de la transconductance  $g_m = d I_{DS}/d V_{GS}$  (rouge).pour un MOSfet type N. a(W=10,l=10) ;b(W=5,l=10) c(W=10,l=5).d(W=10,l=1)**

Il convient de remarquer en premier lieu et de manière qualitative que l'allure générale de ces courbes est conforme à des caractéristiques transistors. L'analyse de ces courbes montre que le comportement du courant de drain en fonction de la polarisation de grille a deux particularités qui sont en fait indissociables :

-la première porte sur le courant de drain à fort  $V_G$ . Pour une certaine tension de grille élevée, nous assistons à la saturation du courant  $I_D$ .

-la deuxième apparaît en calculant la transconductance  $g_m$ . On remarque que la transconductance augmente avec  $V_G$  et atteint une valeur maximale, pour ensuite décroître.

Cela signifie que le régime linéaire et nettement établi sur nos caractéristiques ID-VG, et on peut donc voir le régime de saturation du courant de drain.

La tension de seuil du dispositif est obtenue en traçant la transconductance  $g_m = d I_{DS}/d V_{GS}$  du dispositif. La courbe de la transconductance présente un pic qui correspond au point d'inflexion de la caractéristique Ids(Vgs). l'intersection de la tangente à la courbe Ids(Vgs) en ce point d'inflexion avec l'axe des abscisse donne une bonne estimation du Vth après soustraction de VDS/2 .les valeurs des tensions de seuil extrapolées des dispositifs nMOSFET testés sont données par le tableau

W/L	1/10	2/10	5/10	10/1	10/2	10/5	10/10
V <sub>th</sub>	1,1333	0,7548	0,7062	0,7107	0,7107	0,6814	0,6914
g <sub>mmax</sub>	1,19.10 <sup>-6</sup>	2,17.10 <sup>-6</sup>	6,93.10 <sup>-6</sup>	1,53.10 <sup>-4</sup>	1,52.10 <sup>-4</sup>	2,98.10 <sup>-5</sup>	1,51.10 <sup>-5</sup>

On remarque que Pour les dispositifs à canaux longs, la tension de seuil est indépendante de la longueur de canal. Toutefois, pour les transistors à canal court, la tension de seuil décroît fortement lorsque L devient inférieur à 2µm. On se trouve donc en présence d'une chute de la tension de seuil lorsque la longueur de canal diminue en dessous de 2µm. En dessous de 0.8µm, la tension de grille ne contrôle plus le courant de drain et le transistor ne peut plus être utilisé comme interrupteur.

En vue d'expliquer les observations précitées pour les transistors à canal court, nous devons nous référer aux :

- effets liés à la réduction de la largeur de grille : il s'agit de l'effet NCE (Narrow- width Channel Effect), et RNCE (reverse NCE).

- l'effet de canal court inverse (RSCE reverse short chanel effect), qui se traduit par une augmentation anormale de la tension de seuil lorsque la longueur de canal diminue, ce qui va à l'encontre des effets de canal court dans les transistors submicroniques décrits précédemment

- l'effet Punch-through (subsurface DIBL) : Le courant de drain en régime sous seuil peut augmenter lorsque il trouve un « passage » entre la source et le drain plus en profondeur dans le substrat. Plus ce courant est localisé en profondeur dans le substrat, moins la grille pourra le contrôler.

#### **IV.5.4. Conclusion**

Nous avons vu qu'avec les méthodes électriques, les paramètres important peuvent être extraits rapidement  $\epsilon_{ox}$ ,  $V_{FB}$ ,  $V_{th}$ ...

Les paramètres impliqués dans la réduction des dimensions sont interdépendants, la miniaturisation doit s'appuyer sur les règles d'échelle.

La miniaturisation est encore envisageable, à cette échelle, toutefois, on ne peut réduire les dimensions sans prendre en compte certains effets particuliers propres aux dispositifs de petites tailles.

# **Conclusion générale**

Pour continuer la course à la miniaturisation des composants, la microélectronique ne cesse, depuis ses débuts, de surmonter des obstacles considérés initialement comme infranchissables.

Les travaux présentés dans ce mémoire concernent l'étude de transistors MOSFET, à savoir l'élaboration et la caractérisation électrique des structures.

Le premier chapitre, consacré à la description de la structure MOS, et introduit les bases de la compréhension de tout ce qui a motivé cette étude

Le nombre de défis à relever actuellement pour lutter contre les effets de canal court dans les prochaines générations de transistors MOS est particulièrement impressionnant. Comme il a été détaillé dans le second chapitre de ce mémoire. Après qu'on a rappelé les grands principes de fonctionnement des circuits intégrés CMOS (Complementary Metal Oxide Semiconductor), dans le but de mettre en évidence les paramètres importants régissant leur conception et les règles de mise à l'échelle utilisées jusqu'à présent pour réduire LG tout en conservant un bon fonctionnement des MOSFET.

Ainsi nous comprenons pourquoi, aujourd'hui, les défis de la microélectronique sont et seront difficiles à relever. Pourquoi des effets parasites font leur apparition lorsque les dimensions sont réduites, pourquoi certains éléments en place depuis plus de trente ans doivent être changés...

Le troisième chapitre a permis de rappeler dans quel contexte se place l'isolant électrique dans la structure MOS et la structure du transistor MOS conventionnels. Dans ce chapitre, nous avons détaillé la structure cristallographique du SiO<sub>2</sub> et de ses nombreuses propriétés physique et électriques, ainsi que celle de l'interface Si-SiO<sub>2</sub>. on est emmenée à considérer l'importance des défauts de l'interface et les conditions dans lesquelles des charges peuvent entrer dans l'oxyde et le dégrader.

Dans le dernier chapitre nous avons présenté tout d'abord les principales techniques de caractérisation électriques (C-V, I-V), et quelques méthodes utilisées pour l'extraction des paramètres utiles pour l'évaluation des performances des transistors. Ensuite, nous avons appliqué la technique I-V.

Comme observé expérimentalement, la tension de seuil ne reste pas la même si les dimensions W et L sont réduites.

---

## **Conclusion générale**

Lorsque les dimensions d'un transistor sont réduites, on peut distinguer trois particularités en ce qui concerne les caractéristiques du dispositif.

Premièrement, le courant de drain augmente considérablement avec la tension de drain au-delà de la zone de pincement (saturation) en comparaison avec des dispositifs dits à canal long où l'on peut considérer que le courant reste constant en saturation (si on néglige l'effet Early). Le courant de drain d'un transistor à canal court ne sature pas

En outre, le courant de drain n'est pas nul pour une tension de grille nulle

En deuxième lieu, On se trouve donc en présence d'une chute de la tension de seuil lorsque la longueur de canal diminue en dessous de  $2\mu\text{m}$

Finalement, nous constaterons le changement de la tension de seuil avec la longueur et la largeur de canal

La miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur de canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites (DIBL, punch-through, modification de la tension de seuil, augmentation du phénomène de porteurs chauds) qui détériorent les caractéristiques courant-tension. Toutefois, les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver ces caractéristiques (technologie SOI, ..).

[MATHIEU2001] : Mathieu H., « Physique des semi-conducteurs et des composants électroniques », Dunod 5<sup>e</sup> édition, (2001).

[DOLL01] : **Philippe DOLLFUS** et **Sylvie GALDIN-RETAILLEAU** « Physique des dispositifs à Semiconducteurs », Cours de DEA, mars 2001.

[MATH04] : **Henry MATHIEU** « Physique des semiconducteurs et des composants électroniques », Dunod, 2004

[GAUT03] : **Jacques GAUTIER et al.** « Physique des dispositifs pour circuits intégrés silicium », Hermès, 2003.

[DiMa78]. Dimaria D.J.pandelides S.T the physics of SiO<sub>2</sub> and its interface. Newyork pergament.1978.660 pages.

[Knol82].M Knol.generation of oxide charge and interface states by ionizing radiation and by tunnel injection experiments.1982

[NING1975]: Ning T.H., Osburn C.M., Yu H.N., « Electron trapping at positived charged center in SiO<sub>2</sub> », Vol. 26, Appl. Phys. Lett, pp.248-250, (1975).

[SAKA87] **H. SAKAKI et al.** « Interface roughness scattering in GaAs/AlAs quantum wells », Applied Physics Letters 51, Vol. 23, p. 1934-1936, 1987.

Nicollian1982]. E. H. Nicollian, J. R. Brews, « Metal Oxide Semiconductor Physics and Technology, » edition J. Wiley & Sons, (1982).

[Hes86] Hesto P the nature of electronic conduction in thin insulating layers

[MOZZI1969] R. L. Mozzi, B. E. Warren, « The structure of vitreous silica », J. Appl. Cryst. 2, pp.164-172, (1969).

[O'dw73] O'dwyer J.J. The theory of electrical conduction and break down in solid dielectrics.clarendon press Oxford, 1973 pp 75-78.

[Hes86] Hesto P. the nature of electronic conduction in thin insulating layers.voll. Amsterdam, Netherlands: North Holland 1986. pp 263-314

[Will65] R .Williams. phy.Rev.A, vol 56(9).p 140,1965

[Wolt85a] Dr Walters J.J.Van der schoot Dielectric breakdown in MOS devices –part III :the damage leading to breakdown .phillips J Res vol,40. p,164.1985

[Saku81] T.Sakurai,T.Sugano Theory of continuously distributed trap states at Si-SiO<sub>2</sub> interfaces.j. appl .phy ,vol 52.1981.

[Euze81] B euzent. N. borota reliability aspect of a floating gate Eprom.1981

---

## **Bibliographie**

[SCHRODER1998] D. K. Schroder, « Semiconductor Material and Device Characterization », Wiley-Interscience; 2<sup>eme</sup> edition, (1998).

[HARR03] **S. HARRISON et al.** « Highly performant double gate MOSFET realized with SON process », IEDM Tech. Dig., p. 449–452, 2003.

[HEST84] **Patrice HESTO** « Simulation Monte Carlo du transport non stationnaire dans les dispositifs submicroniques : importance du phénomène balistique dans GaAs à 77 K », Thèse d'état de l'Université Paris-Sud, Orsay, 1984.

[LANG1986] S.B.et Das-Gupta D.K., « Laser-intensity-modulation method: a technique for determination of spatial distributions of polarization and space charge in polymer electrets », j. Appl. Phys., vol. 59, n°6, pp. 2151-2160, (1986).

[MA1975] T.P. Ma, G. Scoggan and R. Leone, « Comparison of interface-state generation by 25-keV electron beam irradiation in p-type and n-type MOS capacitors », Applied Physics Letters, Vol. 27, n°2, (1975).

[MA1989] T.P. Ma and P.V. Dressendorfer, « Ionizing radiation effect in MOS devices and circuits », Wiley-Interscience, (1989).

[MATALLANA2001] J. Matallana, « Etude des propriétés de transport et de charge d'espace d'un nouveau matériau à base de polyéthylène pour l'isolation des câbles Haute Tension à courant continu », Thèse, Université Montpellier II, (2001)

[GREEN2001] Green M.L., Gusev, E.P., Degraeve R., Garfunkel E.L., « Ultra thin (<4nm) SiO<sub>2</sub> and Si–O–N gate dielectric layers for silicon microelectronics : Understanding the processing, structure, and physical and electrical limits », J. Appl. Phys, pp.2057-2121, Vol. 90, (2001).

[GROVE1964] A.S. Grove, O. Leistiko, and C.T. Sah, « Redistribution of acceptor and donor impurities during thermal oxidation of silicon », J. Appl. Phys. vol.35, (1964).

[INTEL2006] Intel Corporation,  
<http://www.intel.com/technology/mooreslaw/index.htm>, (2006).

[ITRS2005] International Technology Roadmap for Semiconductors,  
<http://www.itrs.net/reports.html>, (2005).