

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri de Tizi-Ouzou
Faculté De Génie Electrique et d'Informatique
Département d'électronique



Mémoire de fin d'études
En vue de l'obtention du diplôme de MASTER en
Génie Biomédical
Spécialité : Instrumentation Biomédicale

Etude de la fiabilité transistor MOSFT

Présenté par :

- Chahrazed MASSAID

Soutenu publiquement, le 04/ 10 / 2023, devant le jury composé de :

M. Takfaeinas CHALLI	MCB	UMMTO	Président
M. Madjid MAZIANI	MCB	UMMTO	Examineur
Mml. Ouiza BOUSSOUM	MCB	UMMTO	Promoteur

Année Universitaire : 2022-2023

Remerciements

Arrivé au terme de ce travail, nous tenons à remercier, tout d'abord,

Dieu le tout puissant de nous avoir donné la santé et le courage d'effectuer ce projet de fin d'étude dans les meilleures conditions.

Nos premiers remerciements s'adressent à notre encadreur Madame BOUSSOUM Ouiza qui a suivi et veillé sur le bon déroulement de ce travail avec ses conseils et ses remarques constructives et surtout pour sa compréhension et son encouragement.

Nos infinies remerciements à tous les enseignants qui ont contribué à notre formation durant notre cursus universitaire, par le riche savoir qu'ils nous ont transmis avec rigueur et dévouement.

Dans le souci de n'oublier personne, nous remercions vivement tous ceux qui ont aidé de près ou de loin au bon déroulement de nos études. Qu'ils puissent trouver ici l'expression de nos profondes reconnaissances.

Nous remercions aussi, tous les membres du jury d'avoir accepté d'examiner ce travail.

Dédicaces

Je dédie ce modeste travail à mes très chers parents Arbiha et Essaid envers qui je serai à jamais reconnaissante pour leur dévouement, leurs amours, leurs sacrifices et leurs encouragements et sans eux je ne serais pas là aujourd'hui. Ce travail soit pour eux, un faible témoignage de ma profonde affection et tendresse.

A mes frères « Massinissa et Djaffar »

A mes sœurs « Nour el Houda »

Pour leur compréhension et leurs encouragements, qu'ils trouvent ici l'expression de ma sincère amitié.

A tout ma famille Massaid, petite et grande.

Enfin,

Je dédie ce mémoire à tous ceux qui me connaissent, qu'ils trouvent ma sincère reconnaissance.

Sommaire

Introduction générale :

CHAPITRE I : La fiabilité.

I.1 Introduction.....	4
I.2 Définition de la fiabilité.....	4
I.3. Notion de fiabilité.....	4
I.4. Taux de défaillance.....	5
I.4.1 Période de défaillance précoce ou de jeunesse.....	5
I.4.2 Période de défaillance à taux constant ou période de vie utile.....	6
I.4.3 Période de défaillance par vieillissement ou période de fin de vie.....	6
I.5 MTBF (mean time between failures).....	6
I.6 Fiabilité des systèmes.....	8
I.6.1 Systèmes en série.....	9
I.6.2 Systèmes en parallèle.....	10
I.7 Détermination de taux de défaillance d'un transistor.....	11
I.8 Conclusion.....	12

CHAPITRE II : Transistor bipolaire MOSFT

II.1 Introduction.....	14
II.2. Historique.....	14
II.3 Description du transistor MOSFET.....	15
II.3.1. Différents Types de transistors MOSFET.....	16
II.3.2. Conditions de conduction du transistor MOSFET.....	17
II.3.3. Principe de fonctionnement des transistors à effet de champ 'MOSFET' s'	17
II.4. Principe de fonctionnement d'un transistor MOSFET de puissance.....	20
II.4.1 L'état passant.....	22
II.4.2 L'état bloqué.....	22
II.5. Conclusion.....	22

CHAPITRE III : étude de fiabilité transistor.

III.1 Introduction.....	25
III.2 L'oxyde du silicium SiO_2	25
III.2.1 La structure l'oxyde de silicium.....	25
III.2.2 Oxydation du silicium.....	27
III.3 Défauts dans extrinsèques	28
III.3.1 Les défauts a l'interface $SiO_2/$ SI (les états d'interface)	29
III.4 Instabilité en température (Négative / Positives Bias Température Instabilité).....	30
III.4.1 Définition du NBTI/ PBTI.	30
III.4.2 Pièges responsable de la dégradation NBTI	31
III.5 Technique d'indentification des défauts de SiO_2	31
III.6 Conclusion	33

Bibliographie

Conclusion générale

Liste des figures

CHAPITRE I : La fiabilité.

Figure I.1 : allure typique du graphe $\lambda(t)$ en fonction du temps.	5
Figure I.2 : La présentation des différentes grandeurs en fonction du temps.	7
Figure I.3 : Courbes de F(t) et R(t).	8
Figure I.4 : résistance en série..	10
Figure I.5 : résistance en parallèle.	11

CHAPITRE II: Transistor MOSFET

Figure II.1 : Evolution du nombre de transistors dans les microprocesseurs Intel illustrant la loi de Moore	15
Figure II.2 : Schéma simplifié représentant un transistor MOS à effet de champ de type n (n MOSFET).	16
Figure II.3 : Types fondamentaux de transistors MOSFET s et symboles.a) MOSFET de type n / b) MOSFET de type p	18
Figure II.4 : Effet de champ dans le transistor MOSFET.	18
Figure II.5 : Exemple de structure de bande sur n MOS.	19
Figure II.6 : Symbole d'un MOSFET de puissance.....	20
Figure II.7 : a) Représentations symboliques possibles du MOSFET de puissance avec et sans diode structurelle. b) Coupe d'une cellule élémentaire d'un MOSFET de puissance.....	22

CHAPITRE III : étude de fiabilité transistor.

Figure III.1 : silice cristalline(a) et silice amorphe (b).	26
Figure III.2 : Tétraèdre de base de SiO ₂ (a) et l'angle des liaisons Si-O-Si (b)..	26
Figure III .3 : Oxydation du silicium SiO ₂	28
Figure III.4 : Représentation schématique de quelques défauts du système Si-SiO ₂	28
Figure III.5 : Liaisons chimiques de l'interface Si-SiO ₂ (a) surface Si libre, (b) interface parfaite, (c) liaison Si ₃ ≡Si- pendante,(d) liaison Si-Si faible, (e) liaison Si-O faible, (f) impureté à l'interface.	30
Figure III.6 : défauts à l'interface SiO ₂ : le centre Pb.....	32

Liste des symboles :

λ : le taux de défaillance

$R(t)$: Reliability (la fiabilité)

$F(t)$: fonction de probabilité

λ_b : Facteur de défaillance de base.

Π_s : facteur du point de fonctionnement.

Π_C : complexité.

Π_F : fonctionnement logique/analogique.

Π_B : boîtier.

Π_E : environnement.

Π_Q : qualification.

ρ : facteur de charge.

Q : qualification.

T_0 : température.

θ : angle entre liaison.

Ψ_s : potentiel de surface.

V_{FB} : tension de bandes plates.

N_A : concentration relative aux impuretés « accepteurs ».

N_D : concentration relative aux impuretés « donneurs ».

P : concentration en trous.

V_{Th} : tension de seuil.

I_{DS} : courant de drain/source.

V_D : tension du drain.

V_{DS} : tension drain/source.

V_G : tension de grille.

V_{GS} : tension grille/source.

R : résistance.

V_{DD} : tension nominale.

N_G : dopage de grille.

I_{ON} : courant de drain.

I_{OFF} : Tension d'aliment.

Introduction générale :

La miniaturisation des dispositifs électroniques a été l'un des défis majeurs de l'industrie des semi-conducteurs au cours des dernières décennies. Cette tendance, motivée par la demande croissante d'appareils plus compacts, rapides et économes en énergie, a conduit à des avancées significatives dans la conception et la fabrication des composants électroniques. Parmi ces composants, le transistor à effet de champ à oxyde métal-semi-conducteur (MOSFET) occupe une place prépondérante en raison de sa polyvalence et de ses performances élevées.

Dans le première Chapitre On a exploré en profondeur les concepts fondamentaux de fiabilité et de défaillance dans les systèmes, en mettant particulièrement l'accent sur le taux de défaillance précoce ou de jeunesse, ainsi que sur la période de défaillance à taux constant, parfois désignée comme la période de vie utile. Nous abordons également la période de défaillance par vieillissement, souvent caractérisée comme la période de fin de vie, et examinons le concept crucial de MTBF (Mean Time Between Failures) qui mesure la fiabilité d'un système. En outre, nous étudions les implications de la fiabilité des systèmes en série et en parallèle, en analysant les méthodes pour déterminer le taux de défaillance d'un transistor. Enfin, nous nous penchons sur les enjeux et les problèmes de fiabilité qui émergent dans divers contextes technologiques et industriels, éclairant ainsi l'importance critique de garantir des systèmes robustes et fiables dans un monde où la défaillance peut avoir des conséquences significatives.

Dans le deuxième chapitre de ce mémoire, nous présentons dans l'histoire fascinante et l'évolution des transistors MOSFET, en explorant leurs origines et leur développement au fil des années . Nous examinons également les différents types de transistors MOSFET , en mettant en lumière leurs caractéristiques distinctives et leurs applications spécifiques. En outre, nous analysons leurs conditions de conduction d. Nous abordons également en profondeur leur fonctionnement.

Dans le troisième chapitre, Nous avons présenté une analyse approfondie de la fiabilité des transistors, en mettant l'accent sur l'oxyde de silicium qui joue un rôle crucial dans leur structure et leur fonctionnement. Nous explorons en détail la structure de l'oxyde de silicium, ainsi que les méthodes d'obtention de cette composante essentielle des transistors. De plus, nous examinons les différents types de défauts qui peuvent se produire dans l'oxyde

de silicium, qu'ils soient intrinsèques ou extrinsèques, en mettant particulièrement l'accent sur les défauts à l'interface SiO_2 / Si qui peuvent avoir un impact significatif sur la performance et la fiabilité des transistors. Nous abordons également les phénomènes d'instabilité en température, en décrivant les variations de comportement dues à des variations de température, qu'elles soient négatives ou positives. De plus, nous définissons le NBTI (Negative Bias Temperature Instability) et le PBTI (Positive Bias Temperature Instability), en identifiant les pièges responsables de la dégradation associée au NBTI.

Enfin, les techniques d'identification des défauts de l'oxyde de silicium, sont décrites, qui est essentielles pour garantir la fiabilité et la performance des transistors dans des environnements opérationnels variés.

CHAPITRE I :

La fiabilité.

I.1.Introduction

Lors du développement d'un système, l'anticipation de la fiabilité est d'une importance cruciale dans la conception des composants. Cette prévision agit comme un indicateur quantitatif permettant d'évaluer les perspectives de développement du point de vue de la fiabilité attendue. En général, la prédiction de la fiabilité englobe l'évaluation de la faisabilité des systèmes, un aspect fondamental de l'ingénierie. La certitude est déterminée par la probabilité qu'un dispositif accomplisse sa mission sans défaillance dans des conditions et pendant une période de temps spécifiques [1]. Cette notion est souvent confondue avec la qualité, laquelle mesure le degré d'adéquation du produit aux besoins du client.

Ainsi, un dispositif fiable est celui qui fonctionne de manière ininterrompue pendant une longue période, sans aucune défaillance. La durée de vie d'un composant électronique dépend des conditions de travail, notamment de l'application spécifique. [2].

I.2. Définition de la fiabilité

La fiabilité est la caractéristique d'un dispositif exprimée par la probabilité que ce dispositif accomplisse une fonction requise dans des conditions d'utilisation prévues et pour une période de temps déterminée. Aussi, la notion de fiabilité correspond à la confiance de l'utilisateur dans l'appareil qu'il utilise ou qui lui est proposé.

I.3. Notion de fiabilité

Le comportement d'un composant ou d'une fonction est associé à un unique mode de fonctionnement à chaque instant, susceptible de ne plus répondre à sa fonction attendue. La notion de défaillance est une spécialisation de la notion des défauts qui influent la notion de mode de fonctionnement (sûreté de fonctionnement).

La notion de défauts est conçue comme une variation anormale d'un paramètre ou d'un comportement.

Ce qui implique une déviation non permise d'au moins d'une propriété ou d'un paramètre caractéristique du système [3].

La défaillance est exprimée alors comme une altération ou cessation de l'aptitude d'accomplir un ensemble de ses fonctions requises avec les performances définies dans les spécifications techniques [4]. Autrement dit c'est l'interruption permanente de la capacité d'un système à assurer une fonction requise dans des conditions opérationnelles spécifiées [3].

La défaillance est liée à la fiabilité par une mesure de la probabilité qu'un dispositif d'avoir une défaillance entre les instants 0 et t (fonction mathématique du temps t variant entre 0 et 1) paramétré par un taux de défaillance sous la forme [5] :

$$R(t)=1 -F(t) \quad (\text{I.1})$$

I.4. Taux de défaillance

On désigne par $\lambda(t)$ le taux de défaillance instantané d'un composant ceci présente la probabilité ramenée à l'unité de temps que le composant tombe en panne entre l'instant t et (t+dt) , tout en sachant qu'il fonctionnait correctement à l'instant t ([6] [5]).

Le taux de défaillance est exprimé par:

$$\lambda = \frac{\text{Le nombre total de défaillances pendant le service}}{\text{La durée totale de bon fonctionnement}} \quad (\text{I.2})$$

Il représente le taux de défaillance ou d'avarie, il caractérise la vitesse de variation de la fiabilité aux cours du temps, la durée de bon fonctionnement est égale a la durée totale en service moins la durée des défaillances [5] comme il est illustré dans la figure ci-dessous :

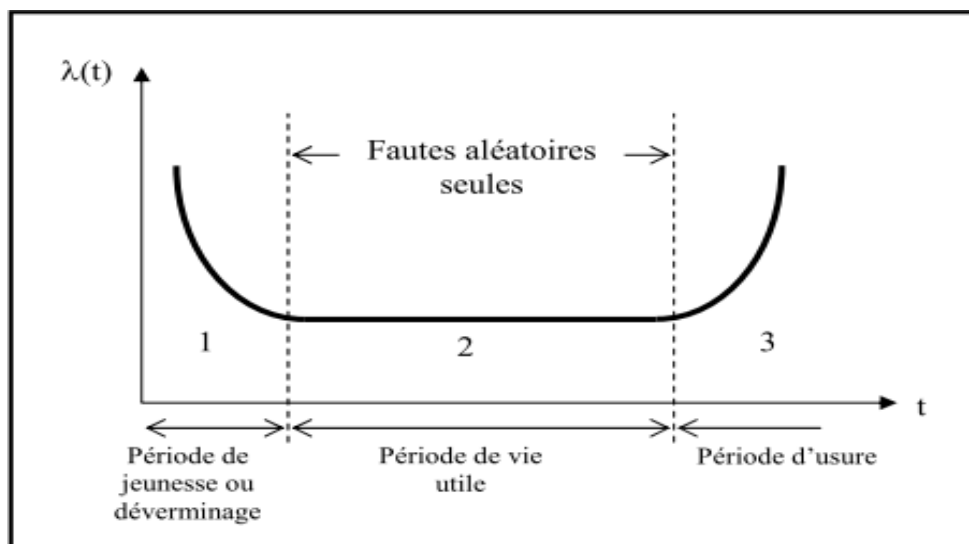


Figure I.1 : allure typique du graphe $\lambda(t)$ en fonction du temps [5].

I.4.1 Période de défaillance précoce ou de jeunesse

C'est le début de la vie du produit, quand un système est neuf les défaillances sont dites précoces ou de jeunes se elles sont dues aux défauts intrinsèque ou des fautes de

conception [7] (composants neufs présentant des défauts de fabrication.). Le taux de défaillance λ décroît rapidement au cours du temps. il est plus important au début de la vie du système et peut être diminué par une phase de rodage de l'équipement (déverminage dans le cas de systèmes à dominante électronique : pré-vieillessement des composants) [5] [6].

I.4.2 Période de défaillance à taux constant ou période de vie utile

C'est la zone de maturité ou de pleine activité du produit pour laquelle le taux de défaillance λ est sensiblement constant. C'est également le domaine des défaillances imprévisibles se produisant de façon aléatoire. En étude de probabilité, la loi de fiabilité adaptée à cette zone ($\lambda=\lambda(t)=\text{constante}$) est la distribution exponentielle, forme $R= e^{-\lambda t}$ Le phénomène d'arrivée des pannes dans le temps est dit poissonnier ou encore appelé processus de poisson.

Cette moindre fiabilité s'exprime par le phénomène d'usure plus accentué et rapide sur les systèmes mécaniques que sur les systèmes électriques (contraintes de fonctionnement, d'usure, efforts, chocs, frottements) [5] [6].

I.4.3 Période de défaillance par vieillissement ou période de fin de vie

C'est la période de fin de vie du produit caractérisée par des défaillances dues à l'âge ou à l'usure des composants. Le taux de défaillances λ croît rapidement avec le temps du fait de la dégradation du matériel (usures mécanique, phénomènes de fatigue, dérive des composants électroniques...). les lois de fiabilité adaptées à cette zone sont : les lois normale, gamma, log- normale ou encore weibull (avec $\beta > 2$ et $t_0 > 0$).

La fiabilité décroît avec l'âge du système. Cette période pourrait être réduite par un remplacement systématique des composants particulièrement chargés en électronique ou ayant un taux de fatigue important en mécanique (cela prolongerait d'autant la période de vie utile) [5] [6].

I.5 MTBF (mean time between failures)

MTBF, ou Temps Moyen de Bon Fonctionnement (Mean Time Between Failures en anglais), est un paramètre crucial pour évaluer la fiabilité d'un produit ou d'un système réparable. Il mesure le taux de défaillances aléatoires, excluant les pannes systématiques

telles que les erreurs de conception ou de fabrication, ainsi que l'usure due à l'utilisation.

Cette mesure est généralement exprimée en nombre d'heures et dépend fortement des conditions d'utilisation et de l'environnement. Par exemple, le MTBF d'un produit peut varier selon qu'il est utilisé à des températures ambiantes différentes. Plus le MTBF est élevé, plus le produit ou le système est considéré comme fiable.

Le MTBF représente ainsi la moyenne des temps de bon fonctionnement entre deux défaillances d'un système réparable, ou encore le temps moyen entre les défaillances. [5]

Les pannes ne sont qu'une des sources d'indisponibilité du système. Ce qui intéresse l'entreprise, c'est la durée effective de production, qui prend en compte d'autres facteurs comme l'organisation (disponibilité des personnes), la logistique (approvisionnements, flux des biens produits) et les non-qualités [6].

- MTTF: durée moyenne de fonctionnement avant la première défaillance (Mean Time To Failure).
- MTTR: durée moyenne de réparation (Mean Time To Repair).
- MTBF: durée moyenne entre deux défaillances consécutives d'une entité réparée.

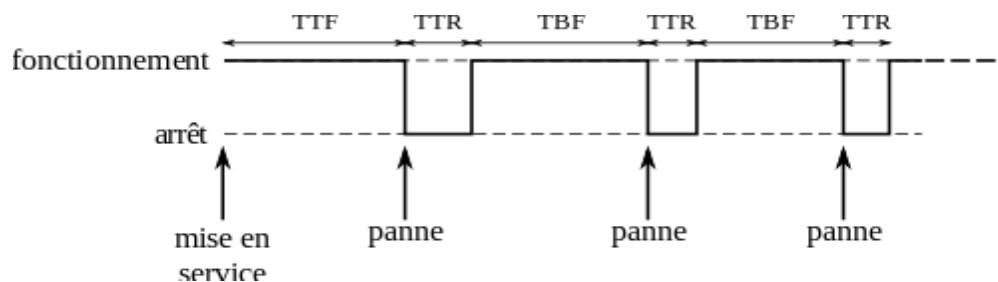


Figure I.2 : La présentation des différentes grandeurs en fonction du temps. [8]

$$\text{MTBF} = \frac{\Sigma \text{des temps de bon fonctionnement}}{\text{nombre des temps de bon fonctionnement (nb défaillance)}} \quad (\text{I.3})$$

Et si λ est constant :

$$\text{MTBF} = \frac{1}{\lambda} \quad (\text{I.4})$$

I.6 Fiabilité des systèmes

Le terme "fiabilité" est un néologisme introduit dans les années soixante pour traduire le terme anglo-saxon "Reliability". La Commission Électronique Internationale donne à la fiabilité la définition suivante : "Aptitude d'un dispositif à accomplir une fonction requise dans des conditions données, pendant une durée donnée"[9]. La fiabilité $R(t)$ d'un composant élémentaire à l'instant t est généralement mesurée par la probabilité qu'il n'y ait pas de défaillance sur l'intervalle de temps $[t_0, t]$ sous des conditions de fonctionnement données, sachant que le système est en bon fonctionnement à l'instant t_0 .

D'autres fonctions peuvent être déterminées à partir de $R(t)$ par exemple $F(t) = 1 - R(t)$: la fonction complémentaire de la fiabilité définie par la probabilité qu'un composant soit défaillant entre t_0 et t . Par ailleurs, le taux de défaillance $\lambda(t)$ permet d'estimer la probabilité conditionnelle qu'une défaillance se produise sur le composant élémentaire pendant un temps δt à l'instant t , en sachant que le composant n'a pas eu de défaillance sur $[t_0, t]$ [10][11].

Exemple:

- **Loi de défaillance exponentielle**

La fiabilité est souvent modélisée par : $R(t) = e^{(-\lambda t)}$ où λ est le taux de défaillance exprimé comme le pourcentage de défauts pour 1000 heures ou par heure. Quand le produit " λt " est petit, $R(t) = 1 - \lambda t$ [12].

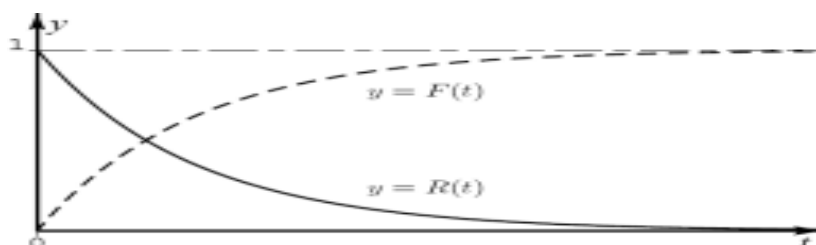


Figure I.3 : Courbes de $F(t)$ et $R(t)$ [12].

- **Cas de la loi exponentielle**

Les lois de fiabilité $R(t)$ sont en réalité connues par l'intermédiaire de leurs densités de défaillance $f(t)$.

Celles-ci sont très variées et reposent sur le traitement statistique d'un nombre le plus grand possible d'échantillons.

D'ores et déjà, selon l'approche du problème de la fiabilité que nous allons adopter, pour obtenir des données de fiabilité valables, nous devons inévitablement procéder à des essais sur un nombre important d'entités (composants ou systèmes). Cette contrainte fondamentale va avoir une incidence très importante sur le vecteur de test que nous allons définir par la suite.

Dans le domaine de la mécanique, les lois de type Gaussienne sont utilisées surtout pour modéliser des composants sujets à l'usure. En électronique, hors cyclage thermique, beaucoup de campagnes d'essais de fiabilité ont montré que le taux de défaillance élémentaire des composants est constant (cf. zone centrale de la courbe en baignoire). Dans ce cas là, la densité de défaillance est décrite par une simple loi exponentielle :

$$f(t) = \lambda \cdot e^{-\lambda t} \quad (\text{I.5})$$

Avec $\lambda > 0$ et $t \in [0, +\infty[$

Le tableau suivant nous donne l'expression des différentes données de fiabilité :

Densité de défaillance $f(t) = \lambda \cdot e^{-\lambda t}$	Fiabilité	$e^{-\lambda t}$
	Taux de défaillance	λ
	MTBF	$1/\lambda$

On peut constater que le MTBF est égal à l'inverse du taux de défaillance. Cela veut dire qu'à $t = \text{MTBF}$, il y a 63% de chances que le composant soit défaillant.

I.5.1 Systèmes en série

Un système est dit en série si son fonctionnement est assujéti au fonctionnement

simultané de tous ses composants. Si un seul de ses composants est en panne, alors le système sera en panne [13] [14].

La fiabilité R_{sys} d'un ensemble de n constituants connectés en série est égale au produit des fiabilités respectives R_1, R_2, \dots, R_n de chaque composant.

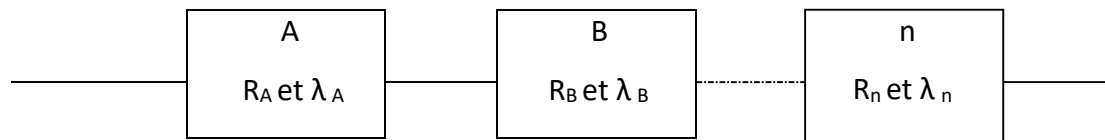


Figure I.4 : résistance en série [15]

Donc la fonction de fiabilité est donnée par:

$$R_{\text{Sys}}(t) = R_1(t) \times R_2(t) \times \dots \times R_n(t) \quad (\text{I.6})$$

Si les n composants sont identiques et tous de même fiabilité R , alors:

$$R_{\text{Sys}}(t) = [R]^n \quad (\text{I.7})$$

Avec : $R_i(t)$ la fiabilité du composant i pour $i \in \{1, n\}$.

I.6.2 Systèmes en parallèle

Le fonctionnement de ce système est assuré si au moins un de ses composants est en bon état, le système sera en panne si et seulement si tous ses composants sont en panne simultanément [15]. La fiabilité d'un système peut être augmentée en plaçant les composants en parallèle. Un dispositif constitué de n composants en parallèle ne peut tomber en panne que si les n composants tombent en panne au même moment.

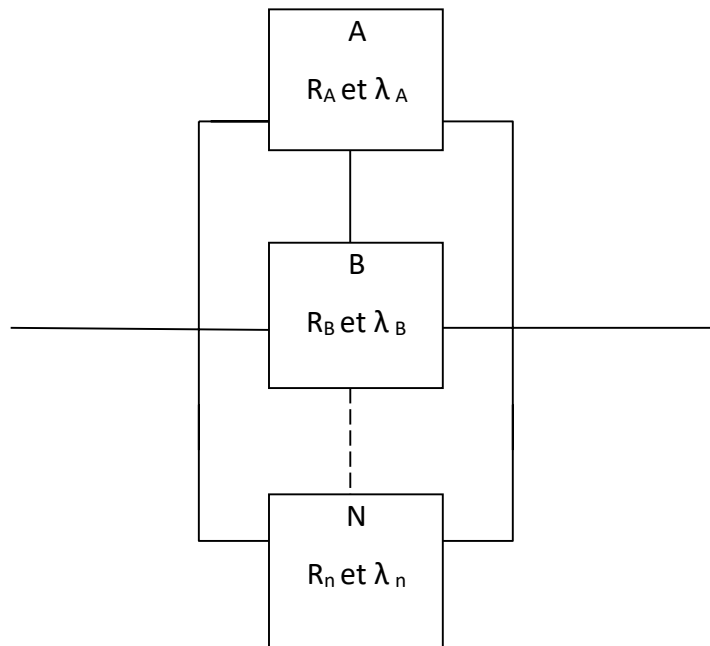


Figure I.5: résistance en parallèle [16]

La fiabilité de l'ensemble est donnée par la relation [14] [17]:

$$R_{sys}(t) = 1 - (1 - R_1(t)) \times (1 - R_2(t)) \times \dots \times (1 - R_n(t)) \quad (\text{I.8})$$

Alors:

$$R_{sys}(t) = 1 - \prod (1 - R_i(t)) \quad (\text{I.9})$$

Pour: $R_i(t)$ la fiabilité du composant et $i \in \{1, n\}$

I.7. Détermination de taux de défaillance d'un transistor :

$$\lambda = \lambda_b \cdot \pi_S \cdot \pi_Q \cdot \pi_F \cdot \pi_B \cdot \pi_E \cdot \pi_C \cdot 10^{-9}/h \quad (\text{I.10})$$

λ : facteur de défaillance de base de pendant du facteur de charge ρ talque [17]:

π_S : Facteur du point de fonctionnement.

π_C : Complexité.

π_F : Fonctionnement logique/analogique.

π_B : Boitier.

π_E : Environnement.

π_Q : Qualification.

I.8 Conclusion :

En conclusion, nous avons exploré en profondeur la notion de fiabilité et ses diverses implications. À travers notre analyse, nous avons défini la fiabilité comme la mesure de la capacité d'un système ou d'un processus à maintenir son bon fonctionnement dans des conditions données, sur une période de temps spécifique. Nous avons également examiné les différentes dimensions de la fiabilité, notamment sa composante technique et humaine, ainsi que ses liens étroits avec la confiance des utilisateurs.

Nous avons discuté du concept de taux de défiance comme un indicateur clé de la fiabilité, soulignant l'importance de minimiser les défaillances et les pannes pour garantir un niveau élevé de performance et de satisfaction des utilisateurs. Nous avons également examiné les différents systèmes de fiabilité, tels que les systèmes de sauvegarde, de redondance et de surveillance, qui sont essentiels pour renforcer la fiabilité et assurer la continuité des opérations.

CHAPITRE II :

Le Transistor MOSFET

II.1 Introduction

Le transistor est comme un petit interrupteur qui aide à contrôler le courant dans les circuits électroniques. Il en existe plusieurs types, mais dans ce chapitre, nous nous intéressons particulièrement à un type appelé MOSFET. Nous allons examiner comment il fonctionne et à quoi il ressemble. Nous allons également utiliser des équations pour mieux le comprendre. D'autre part, une partie du chapitre est consacrée à l'étude des limites de la miniaturisation de ce dernier.

Et une brève présentation des transistors MOSFET de puissance, plus précisément les architectures verticales, est également incluse, détaillant ultérieurement leur principe de fonctionnement.

II.2. Historique

Le MOSFET, inventé théoriquement par Julius Edgar Lilienfeld en 1920, a été conçu pour contrôler le courant dans les circuits électroniques. Cependant, ce n'est qu'à partir des années 1950 que les techniques de fabrication nécessaires ont été développées. En 1960, M. Atalla et Dawon Khang des laboratoires Bell ont construit le premier MOSFET, qui a été intégré dans des circuits en 1963. L'avènement de la technologie CMOS a ensuite garanti le succès commercial et technologique du MOSFET dans l'électronique intégrée.

La réduction de la taille des transistors MOS au fil des générations a rendu les circuits intégrés de plus en plus performants, avec des dimensions de plus en plus petites. Cette évolution a été le moteur principal de la microélectronique, comme l'a remarqué Gordon Moore en 1973, en constatant que la densité des transistors sur une surface donnée pouvait doubler tous les deux ans.

Cependant, la réduction de la taille des transistors MOS ne vise pas uniquement à augmenter la densité d'intégration. Elle vise également à améliorer la vitesse de commutation des dispositifs, ce qui constitue un enjeu majeur dans la course à la miniaturisation des MOSFET. [18]

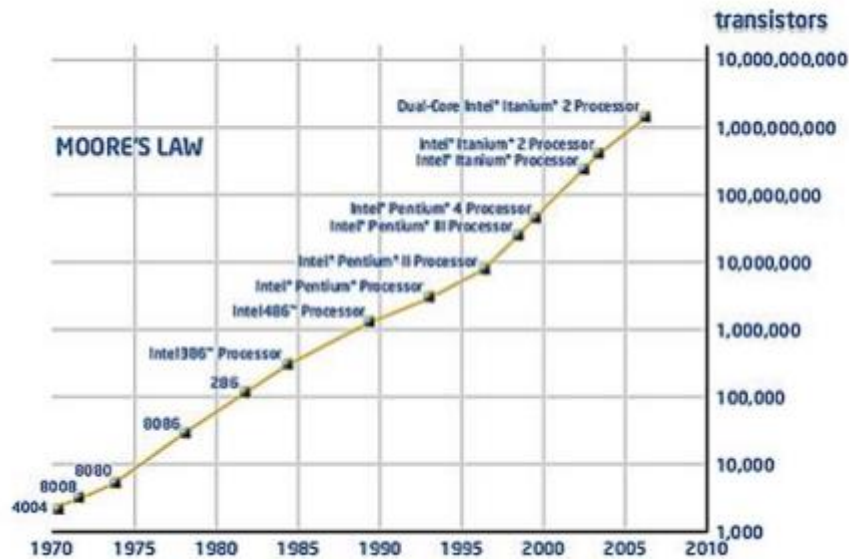


Figure II.1 : Evolution du nombre de transistors dans les microprocesseurs Intel illustrant la loi de Moore [19]

II.3 Description du transistor MOSFET

Le transistor MOS (Métal Oxyde Semi-conducteur) est la brique élémentaire de la technologie CMOS. Son fonctionnement repose sur le principe d'un interrupteur commandé. Deux réservoirs de porteurs de charge, la source et le drain (S/D), sont séparés par une barrière de potentiel constituée par le canal. De ce fait on peut dire qu'il en existe deux types de transistor : le transistor n MOSFET où le courant est fourni par les électrons, et le transistor p MOSFET où le courant est assuré par les trous [20].

Dans le cas d'une technologie conventionnelle sur silicium massif, le transistor est fabriqué sur un substrat de silicium dopé de type P dans lequel on crée par implantation ionique ou diffusion, deux zones très fortement dopées du type opposé (n+), appelées région de source et de drain. Une couche d'oxyde de silicium est ensuite élaborée par oxydation au-dessus de la zone du substrat non recouverte par les régions de source et drain [20].

Finalement, la grille en poly silicium est déposée sur la couche d'oxyde pour constituer le dernier élément de commande du dispositif, d'où, on retient que le transistor MOSFET comporte trois principales électrodes (contacts de la source, du drain et de la grille) auxquelles sont associées trois polarisations indépendantes (V_S , V_D et V_G respectivement). Dans une utilisation standard, le contact de source est relié électriquement à la masse et la tension V_S et

nulle. La figure I.4 nous montre la représentation schématique bidimensionnelle du transistor n MOSFET [21].

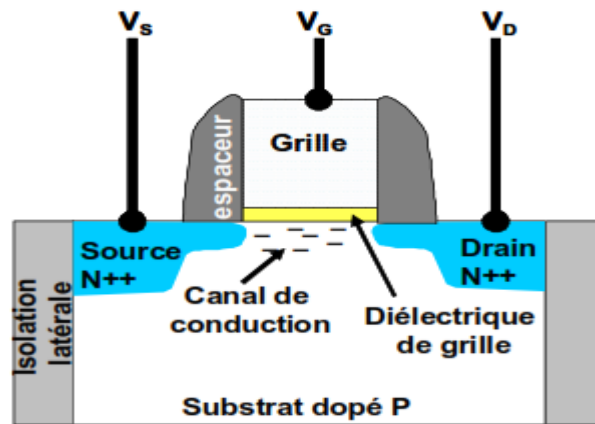


Figure II.2 Schéma simplifié représentant un transistor MOS à effet de champ de type n (n MOSFET). [22]

I.3.1. Différents Types de transistors MOSFET

On distingue deux types fondamentaux de transistors MOSFET's illustrés par la figure II.3 [23]:

- Les n MOS dont le canal d'inversion est constitué d'électrons. Le canal est alors dopé de type P et les zones de source et de drain sont dopées N. figure II.3.a
- Les p MOS dont le canal d'inversion est constitué de trous. Le canal est dopé N et les zones de source et de drain sont dopées P. figure II.3.b et dans ces deux types on inclut deux modes pour chacun d'eux qui sont le transistor à mode enrichissement ou à appauvrissement.

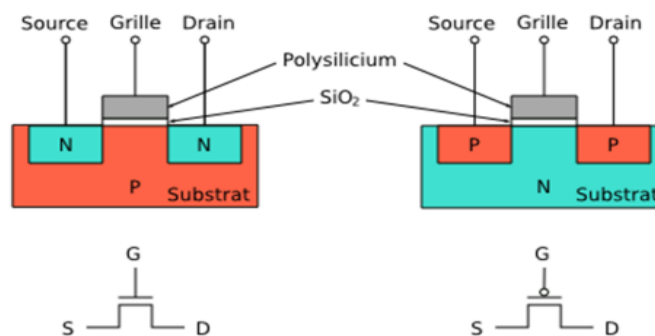


Figure II.3 : Types fondamentaux de transistors MOSFETs et symboles.
a) MOSFET de type n / b) MOSFET de type p. [24]

I.3.2. Conditions de conduction du transistor MOSFET :

Les transistors MOSFET à enrichissement sont bloqués sans tension de commande sur la grille (normale off), ils deviennent passants à partir d'une certaine tension de grille V_{TH} . Plus $|V_{GS}| > |V_{TH}|$ plus le transistor MOSFET devient passant. Les transistors MOSFET à appauvrissement sont passants sans tension de commande sur la grille (normally on), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au delà d'une tension de blocage V_{GS} . Ce qu'il faut retenir est que le canal conducteur existe si la tension de grille est supérieure (cas du transistor nMOS) ou inférieure (cas du transistor pMOS) à une tension de seuil V_{TH} , et ça pour un transistor à enrichissement et l'inverse est juste pour un transistor à appauvrissement ceci est illustré [25]

II.3.3. Principe de fonctionnement des transistors à effet de champ :

Comme son nom l'indique, le fonctionnement du transistor à effet de champ (MOSFET) repose sur l'action d'un champ électrique vertical. Ce champ permet de moduler localement la concentration des porteurs (Les porteurs sont des électrons pour un transistor n MOSFET et des trous pour un transistor pMOSFET) dans une zone semi-conductrice appelée canal de conduction ou canal d'inversion, située entre deux réservoirs de charges (la source et le drain). Le champ électrique est régi par une électrode de commande, appelée grille, à travers une couche isolante que constitue le diélectrique de grille la figure II.4 illustre l'effet de champ dans le transistor MOSFET [26].

Le fonctionnement de cette électrode s'apparente à un interrupteur contrôlant le passage de l'état passant à l'état fermé. Cette propriété explique son utilisation massive, principalement dans la conception des circuits logiques.

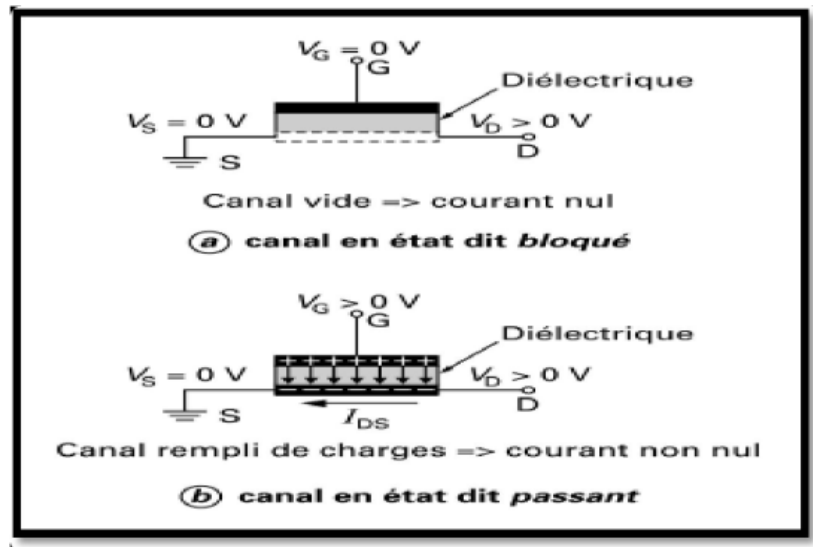


Figure II.4 :
Effet de champ dans le transistor MOSFET. [27]

Les deux réservoirs de porteurs de charge, la source et le drain (S/D), sont séparés par une barrière de potentiel constituée par le canal. Cette barrière est contrôlée par la troisième électrode, la grille, qui est séparée du canal par l'oxyde de grille constituant ainsi une capacité MOS. Si la barrière est suffisamment élevée, les porteurs ne peuvent pas passer de la source au drain, le transistor est bloqué. Si la barrière est basse, un canal se forme et le transistor est passant. Le passage des porteurs d'un réservoir à l'autre peut alors avoir lieu si un champ électrique latéral les entraîne de la source au drain, d'où la polarisation de drain [26]. Une telle configuration est obtenue sur Si avec deux jonctions NPN tête-bêche formant un système NPN : source et drain sont dopés N, et le canal dopé P entre les deux constitue la barrière. La grille est dopée N comme la source et le drain (S/D) et le transistor constitué est alors un nMOS : les porteurs de charge assurant la conduction sont des électrons (Figure II.5.a). Avec le système symétrique PNP et une grille P, c'est un pMOS, et les trous assurent la conduction.

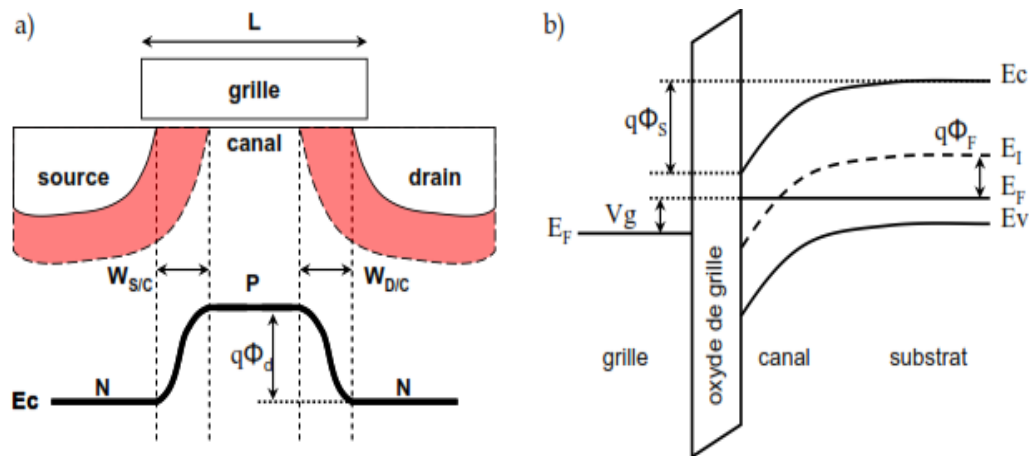


Figure II.5 :

Exemple de structure de bande sur n MOS. [28]

- Configuration NPN et obtention d'une barrière énergétique dans la zone P entre les 2 zones N.
- Capacité MOS constituée par la grille, l'oxyde et le canal. Le couplage électrostatique entre grille et canal module la hauteur de la barrière entre source et drain à l'interface oxyde/silicium. Un canal peut alors se former à cette interface et autoriser le passage des électrons de la source vers le drain.

$W_{S/C}$ et $W_{D/C}$ représentent la largeur des zones de charge d'espace pour chacune des jonctions PN, source/canal et drain/canal, et Φ_d est la hauteur de barrière de la jonction (Figure II.5.a).

En ce qui concerne la capacité MOS (Figure II.5.b), Φ_s est le potentiel de surface, indiquant la courbure de bande, Φ_f le potentiel de Fermi et V_g la polarisation de grille. Le champ vertical de la grille peut ainsi modifier la concentration des porteurs libres à l'interface oxyde/Si. Dans le cas d'un n MOS, il peut accumuler des trous, porteurs majoritaires du volume dopé P, augmentant ainsi la barrière Φ_d à la surface du Si. On parle alors d'accumulation. Au contraire, le champ peut repousser les trous de la surface et c'est la désertion (ou déplétion).

Lorsqu'il est suffisamment fort, des électrons libres minoritaires des réservoirs S/D sont attirés vers l'interface. Pour un nombre suffisant d'électrons, on parle d'inversion surfacique de la population car le silicium dopé P au départ devient N en surface. On a alors une configuration (N +) en surface. Plus l'inversion sera forte et plus la barrière sera diminuée, jusqu'à être annulée [29].

Les deux types de transistors (n/p MOSFET) ayant un fonctionnement symétrique, on ne détaillera que le transistor n MOSFET par la suite.

Dans un cas idéal, lorsque la tension appliquée sur la grille est nulle ($V_G=0V$), le champ électrique est nul, il n'y a aucun porteur dans le canal et le courant de drain (I_{DS}) équivaut au courant de fuite (I_{OFF}): le transistor est bloqué. Au contraire, quand la polarisation de grille

V_G est égale à celle du drain V_D , un champ électrique est créé, les porteurs affluent dans le canal, et peuvent alors transiter librement d'un réservoir à l'autre, générant un courant de drain non nul I_D : le transistor est alors passant. Le passage de l'état bloqué à l'état passant est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire pour une tension $V_G = V_T$.

II.4. Principe de fonctionnement d'un transistor MOSFET de puissance

Les transistors de puissance MOS à effet de champ mettent en jeu les mêmes principes physiques que les composants MOS. La structure est différente, pour répondre aux exigences de capacité en courant et la tenue en tension propres aux applications de puissance. La figure 3 représente un le symbole d'un transistor de puissance.

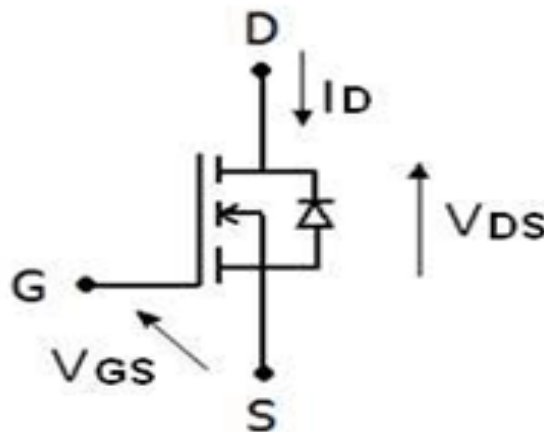


Figure II.6 : Symbole d'un MOSFET de puissance. [30].

Le transistor MOSFET (Metal Oxide Semi-conducteur Field Effet Transistor) est un transistor MOS à effet de champ qui agit comme un interrupteur permettant de commuter entre un état passant et un état bloqué. Ce composant utilisé pour des applications de

puissance doit être suffisamment robuste pour supporter de fortes tensions et conduire d'efforts courants. Le MOSFET est un transistor dit unipolaire car la conduction du courant se fait par un seul type de porteurs de charge, soit par les électrons (transistors NMOS) soit par les trous (transistors PMOS).

La mobilité des électrons étant supérieure à celle des trous, pour les semi-conducteurs de puissance on utilise préférentiellement des NMOS, c'est pourquoi dans la suite de ce mémoire tous les MOSFETs présentés seront des transistors NMOS.

Les NMOS ont une source et un drain de même type N⁺ séparés par une zone dopée P. Pour les MOSFETs de puissance, source et drain se trouvent généralement sur des faces opposées du cristal de silicium, le drain étant formé du substrat N⁺ sur lequel est épitaxiée une couche N⁻ dont l'épaisseur et le dopage dépendent de la tenue en tension souhaitée. La jonction PN- n'est rien d'autre qu'une diode appelée diode structurelle qui est caractéristique des MOSFETs de puissance et qui peut apparaître dans la représentation symbolique du MOSFET de puissance vertical afin de le différencier d'un MOSFET coplanaire (figure II.7.a).

Le MOSFET est un transistor à effet de champ dont le principe est de forcer un canal semi-conducteur de type P à devenir localement N grâce à un champ électrique extérieur qui va attirer les porteurs minoritaires et repousser les majoritaires. Ainsi dans cette zone d'inversion le canal permettra le passage des électrons entre source et drain. C'est une grille en silicium poly cristallin, aussi appelé poly silicium, fortement dopée et isolée par une fine couche d'oxyde de la surface du cristal de silicium, qui va contrôler l'ouverture ou la fermeture du canal dans la zone P et moduler le courant dans le canal. Le transistor MOS de puissance est composé d'une cellule MOS élémentaire représentée sur la (figure II.7.b2) répétée plusieurs milliers de fois sur le même cristal. La métallisation de source couvre toute la face supérieure de la puce de façon à ce que chaque cellule élémentaire soit mise en parallèle, ce qui permet aussi une bonne répartition de la température sur la surface de la puce.

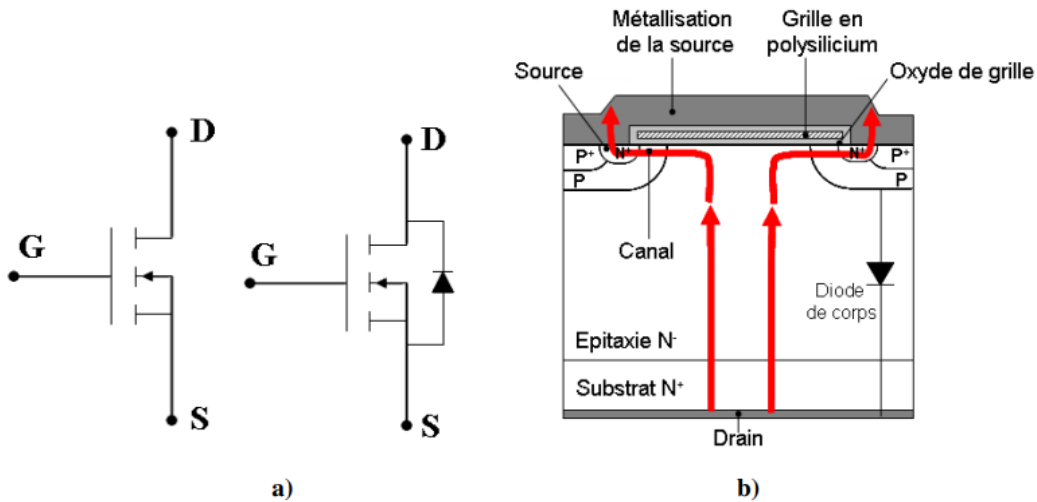


Figure II.7 : a) Représentations symboliques possibles du MOSFET de puissance avec et sans diode structurale. b) Coupe d’une cellule élémentaire d’un MOSFET de puissance.

II.4.1 L’état passant :

Pour que le MOSFET soit dans un état passant, aussi appelé état de conduction ou état fermé, il faut que la tension appliquée sur la grille par rapport à la tension de la source supérieure à une certaine tension de seuil V_G . Cette tension positive entre la grille et la source permet la formation du canal d’inversion qui va permettre le passage du courant de drain. Dans cet état de conduction le MOS se comporte comme une résistance variable dont la valeur dépend de la tension de grille appliquée.

II.4.2 L’état bloqué :

Lorsque la tension entre la grille et la source est inférieure à la tension de seuil, le courant ne peut plus circuler à travers le canal, le MOS est alors à l’état ouvert ou bloqué. Il n’y a pas de courant entre le drain et la source. La tension appliquée sur le composant est supportée par la jonction entre le drain et la source et peut croître jusqu’à une valeur correspondant à la tension d’avalanche. Cette tension dépend de l’épaisseur de la couche épitaxie du composant.

II.5 Conclusion :

Le transistor MOSFET est un composant électronique essentiel qui a révolutionné le monde de l’électronique. Sa capacité à contrôler le courant avec précision et efficacité en a fait un élément indispensable dans une large gamme d’applications.

Ce chapitre a exploré en profondeur le fonctionnement du transistor MOSFET, en examinant sa structure physique, ses caractéristiques électriques et ses équations de base. Nous avons également discuté des limites de la miniaturisation des transistors MOSFET et des défis technologiques qu'il faut relever pour poursuivre la miniaturisation. Enfin, nous avons présenté une brève introduction aux transistors MOSFET de puissance et à leurs principes de fonctionnement.

En conclusion, le transistor MOSFET est un composant remarquable qui a eu un impact profond sur la société moderne. Sa simplicité, sa polyvalence et ses performances en font un élément crucial de l'électronique moderne, et il continuera à jouer un rôle essentiel dans les technologies futures.

CHAPITRE III :

Etude de fiabilité transistor MOS

III.1 Introduction

Les fabricants de puces électroniques sont contraints de respecter des lois d'échelle rigoureuses afin de maintenir les champs électriques internes au niveau optimal et garantir le bon fonctionnement du composant. Cependant, ce modèle n'est pas toujours respecté, ce qui entraîne des effets indésirables tels que l'effet tunnel, la dégradation de la mobilité et d'autres défauts de fabrication. Pour pallier à ces problèmes, l'oxyde de silicium (SiO_2) doit être d'une qualité irréprochable, avec un nombre minimal de défauts.

Le SiO_2 est un élément fondamental de la technologie CMOS, des fibres optiques, des cellules solaires et d'une multitude d'autres applications industrielles. Son rôle crucial dans le domaine technologique ne fait aucun doute. Afin d'assurer la fiabilité des composants électroniques, il est indispensable de maîtriser parfaitement les propriétés du SiO_2 .

Ce chapitre s'articule autour d'une étude approfondie du SiO_2 , en explorant sa structure, ses défauts et sa dégradation par les biais du NBTI (Negative Bias Temperature Instability). Pour conclure, nous mettrons en lumière l'impact de la dégradation de l'oxyde et de son interface sur les performances des composants électroniques.

III.2. l'oxyde du silicium SiO_2

III.2.1 La structure de l'oxyde de silicium

Le (SiO_2) se trouve largement répandue dans les roches et constitue environ 59% de la masse de la croûte terrestre. Ce matériau revêt une grande importance dans divers domaines industriels, notamment l'électronique, où il est utilisé comme diélectrique de grille pour les structures MOS. Trois formes allotropiques de la silice existent, partageant la même composition chimique mais présentant des arrangements atomiques différents : cristalline (avec un ordre cristallographique à longue distance), vitreuse (avec un ordre à courte distance) et amorphe (sans ordre). La silice vitreuse est obtenue par oxydation thermique et peut être amorphe en cas de contrôle insuffisant de la croissance de l'oxyde. La figure (III.1) illustre les structures cristalline et amorphe de la silice.

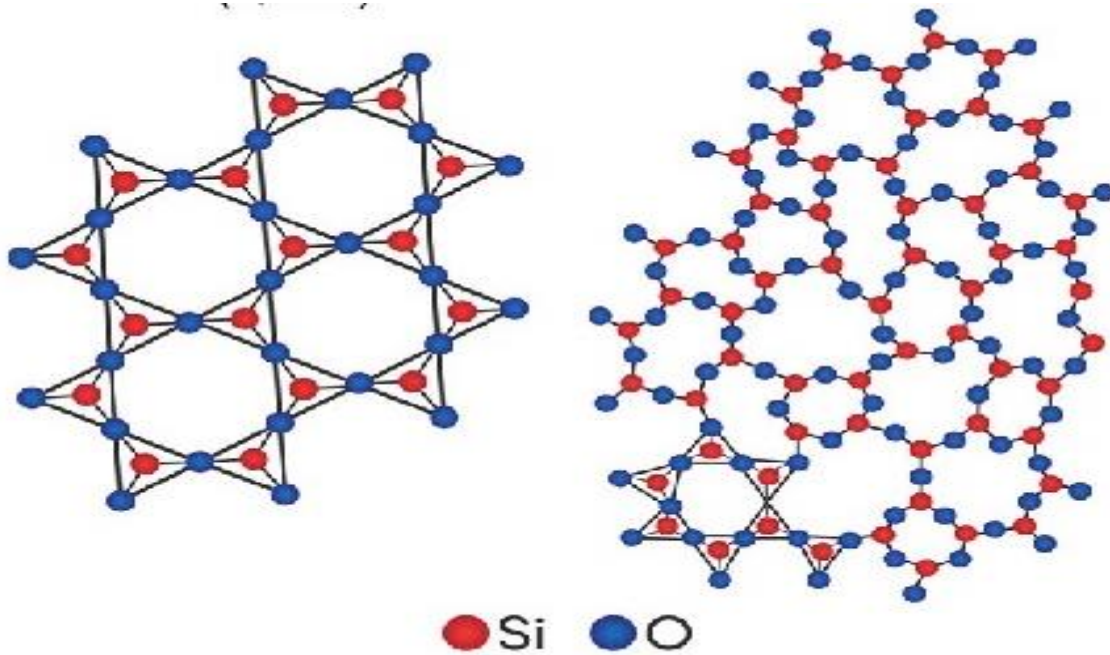


Figure III.1 : silice cristalline(a) et silice amorphe (b) [31]

La configuration de SiO_2 , présente une structure cristalline. Cette substance cristalline se décline en diverses variations et présente un arrangement qui maintient une organisation sur une longue distance.

L'ossature fondamentale de la silice se compose d'un noyau de silicium entouré de quatre atomes d'oxygène, formant les sommets d'un tétraèdre SiO_4 (voir figure III .2) configuration est caractérisée par une distance atomique Si-O variant entre 1,6 et 1,63 Å, ainsi que par l'angle θ entre les liaisons O-Si-O (θ varie de 110° à 180°) [32] [33].

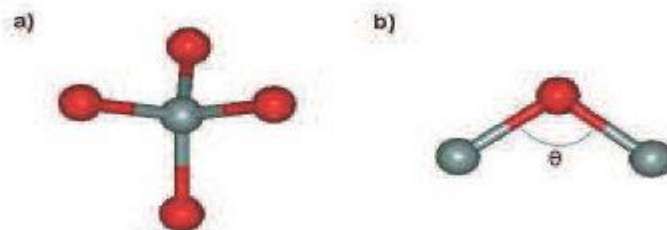
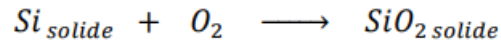


Figure III.2 : Tétraèdre de base de SiO_2 (a) et l'angle des liaisons Si-O-Si (b) [34]

III.2.2 Oxydation de silicium

L'oxydation thermique du silicium peut se faire sous flux d'oxygène pur (oxydation sèche) ou d'oxygène chargé de vapeur d'eau (oxydation humide) à des températures généralement comprises entre 900°C et 1200°C.

Les réactions chimiques qui ont lieu dans les deux cas sont : Oxydation sèche (Dry oxidation) :



Oxydation humide (Wetoxidation):



L'oxydation sèche à haute température (> 1100°C) produit des oxydes fins présentant de bonnes propriétés électriques à l'interface SiO₂/Si qui sont utilisés par exemple comme oxyde de grille de transistors MOSFET. Les oxydes humides épais présentent de faibles qualités électriques mais sont utilisés comme isolants (oxydes de champ) entre le substrat et les lignes de métallisation.

La figure (III.3) illustre la vaporisation du silicium pour la formation de SiO₂, et il est important de noter que pendant ce processus, du silicium est consommé et l'interface Si-SiO₂ se déplace.

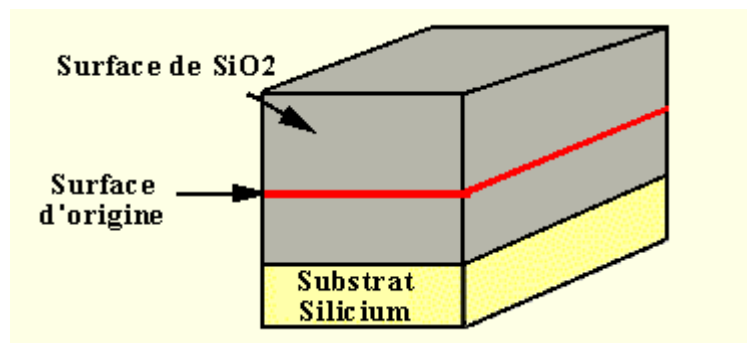


Figure III.3 : Oxydation du silicium SiO₂ [34]

III.3 Défauts dans le SiO₂

Les imperfections sont ce résultat des conditions de formation de la vapeur, ainsi que des processus auxquels le transistor est soumis, tant en amont (qualité de la surface où la

vapeur se forme) qu'en aval (implantations, diffusion, traitements thermiques, contraintes mécaniques...) de la formation de la vapeur.

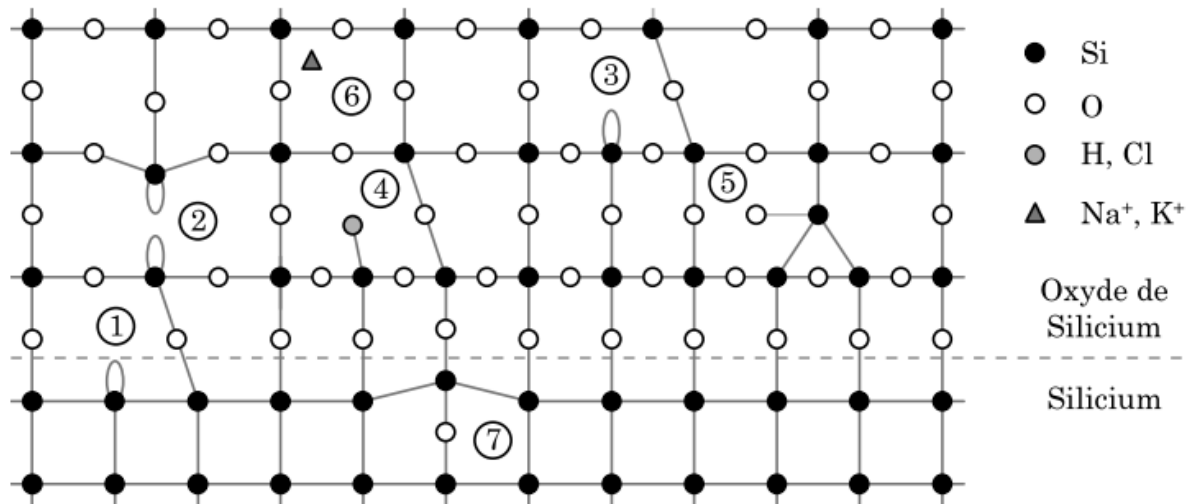


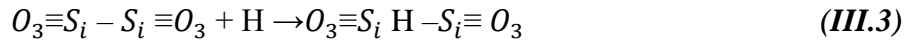
Figure III. 4 : Représentation schématique de quelques défauts du système $\text{Si}_1\text{-Si}_i\text{O}_2$. [35]

Les défauts intrinsèques sont liés à l'arrangement des atomes de silicium et d'oxygène entre eux. Si la structure présente localement des variations dans les distances et les angles entre les atomes, mais sans rupture de liaison, on parle alors de micro-irrégularités (un réseau continu mais avec une orientation aléatoire). Sinon, des anomalies ponctuelles peuvent apparaître (imperfections perturbant la régularité du réseau sur un ou deux sites atomiques), lesquelles, combinées les unes aux autres, conduisent à la formation d'anomalies complexes. Qu'elles soient ponctuelles ou complexes, ces anomalies sont dues à des interstices (substitution d'un atome du réseau par un autre) ou à des lacunes (de carbone ou d'hydrogène) associées à des liaisons contractées, brisées ou pendantes.

III. 3.2 Les défauts extrinsèques

Les défauts extrinsèques sont de la présence dans la matière de particules étrangères qui s'intègrent au réseau de diverses manières, en fonction de leur taille atomique, de leur ionisation et des conditions thermodynamiques de leur introduction. Par exemple, un atome de carbone peut remplacer un atome de type accepteur (groupe III) ou donneur (groupe V), tandis qu'un atome d'hydrogène peut substituer un autre anion. De manière similaire aux anomalies intrinsèques, on distingue des anomalies ponctuelles ou complexes.

Les défauts extrinsèques sont principalement associés à la présence d'azote, qui est introduit lors des procédés de fabrication. L'azote est incorporé pendant la formation de la matière ou lors de la passivation des liaisons en excès de silicium, qui à leur tour agissent comme des centres de piégeage de charges.



Les impuretés peuvent pénétrer à l'intérieur de l'oxyde à différents moments du processus Technologique :

Ce type d'anomalies peut être représenté par la réaction chimique suivante [36]:

- Durant l'oxydation thermique, si elles sont déjà présentes dans le substrat de silicium (cas d'atomes dopant A_s , B, P...) ou si elles avaient été introduites, volontairement ou non, dans le gaz oxydant (cas de l'eau et des composés chlorés).
- Durant la croissance de la silice, si elles sont présentes dans l'ambiance (cas des ions alcalins C_a , K, N_a ...).
- Durant les étapes qui suivent la croissance ou bien la déposition de l'oxyde [métallisation, implantation ionique, traitement hautes températures (A_r, H_2 ...)]

III.3.2 Les défauts à l'interface S_iO_2/S_i (Les états d'interface)

Ces défauts proviennent du raccordement des deux matériaux. Pour la substance A, la distance moyenne entre deux atomes est de 3,05 Å, alors que pour la substance B, elle est de 2,35 Å. Autrement dit, l'interaction d'un atome de la substance A avec la substance B entraîne une augmentation relative du volume d'un facteur d'environ 2,3. Par conséquent, l'interface présente un nombre beaucoup plus élevé de liaisons sous contrainte, distordues, ou pendantes que ce que l'on trouve dans le volume de la substance. Les liaisons chimiques les plus fréquentes à l'interface sont représentées dans la figure (III.5).

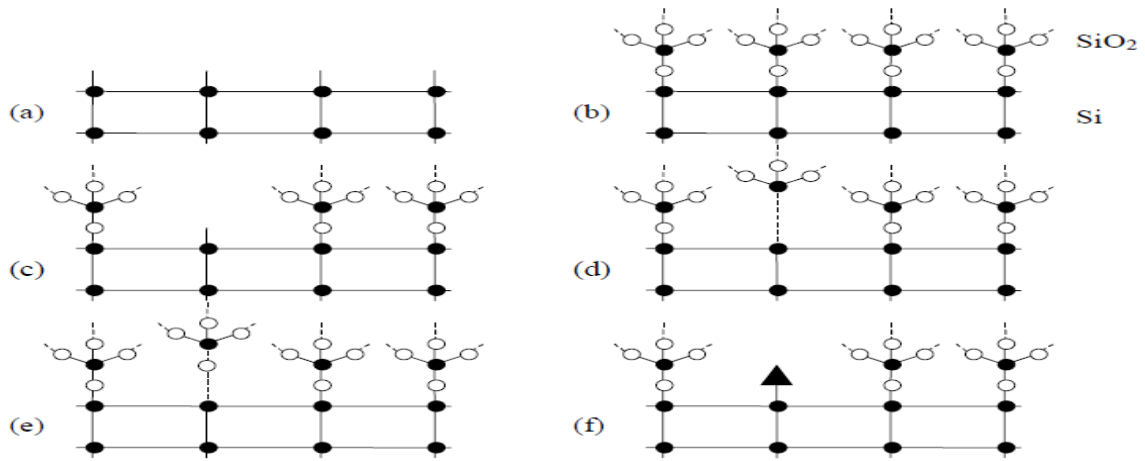


Figure II.5 : Liaisons chimiques de l'interface $S_i-S_iO_2$ [37]

- (a) surface S_i libre, (b) interface parfaite, (c) liaison $S_i\equiv S_i-$ pendante,
 (d) liaison $S_i - S_i$ faible, (e) liaison S_i-O faible, (f) impureté à l'interface

III.4. Instabilité en température (Négative/Positive Bias Température Instabilité)

III. 4.1 Définition du NBTI et PBTS

La contrainte NBTI ou NBTS vient de l'anglais « Negative Bias Temperature Stress », sous-entendu un potentiel électrique négatif appliqué sur la grille d'un transistor MOS dans un milieu à haute température. Concrètement, le dispositif est placé dans un four ou dans un environnement chaud, et les quatre connecteurs qui sont la grille, la source, le drain et le substrat sont reliés à un générateur de tension appliquant une tension négative entre la grille et l'ensemble Source-Substrat-Drain.

Une contrainte PBTS (Positive Bias Temperature Stress) ou PBTS est, par analogie, une contrainte avec un potentiel positif sur la grille et à haute température. Plus généralement, le BTS (Bias Temperature Stress) correspond à l'ensemble des contraintes NBTS et PBTS. La contrainte NBT-inhomogène fait référence à une contrainte pour laquelle le potentiel électrique du drain est plus élevé (ou moins élevé) que le potentiel électrique de la source.

La dérive de type NBTI/PBTI est provoquée par l'application d'un potentiel négatif ou positif sur la grille. A l'origine le terme BTI a été créé au départ pour désigner des défauts ioniques dans la structure du dispositif, particulièrement sensibles à la température. Par extension, le terme désigne toutes les dégradations liées à une contrainte en température et à l'application d'un stress sur la grille. Le mécanisme du BTI a été séparé en deux parties,

d'une part à faible champ où la dégradation est limitée par la diffusion et d'autre part à fort champ où l'injection de porteurs et le piégeage de trous est le mécanisme dominant. Une partie de cette dégradation peut être compensée par l'application d'un stress électrique contraire, ce qui révèle un phénomène de piégeage puis dé piégeage des trous. [38].

III.4.2 Pièges responsable de la dégradation NBTI

Malgré le nombre important de travaux sur microstructure des défauts induit par le NBTI, les microscopiques des pièges restent jusqu'à aujourd'hui inconnus.

III.5. Technique d'identification des défauts du SiO₂

La technique de spectroscopie EPR (Electron Paramagnetic Resonance), également connue sous le nom de résonance de spin électronique (ESR), est utilisée pour examiner les espèces chimiques contenant des électrons non appariés. Elle est particulièrement pertinente dans l'étude des radicaux organiques et inorganiques, des complexes de métaux de transition et des biomolécules.

L'observation réalisée par cette méthode implique l'absorption d'énergie par un électron non apparié exposé à un champ magnétique en balayage continu. Les atomes paramagnétiques possèdent un électron non apparié. La différence d'énergie entre les deux états quantiques de l'équation $E = h\nu = g\beta H$. Ici, ν représente la fréquence des micro-ondes, h est la constante de Planck, H est la valeur du champ magnétique, β est le magnéton de Bohr ($\beta = eh/4\pi mc$), et g est un tenseur fournissant des informations sur la symétrie du défaut. Par conséquent, un défaut ne peut être détecté que s'il possède une liaison pendante, c'est-à-dire s'il est paramagnétique.

Le défaut diamagnétique, qui présente un moment électronique nul, ne produit aucun signal détectable par EPR. Cependant, cette absence de signal n'est généralement pas un problème majeur car la charge d'un défaut peut varier, ce qui peut le rendre paramagnétique dans certaines configurations. Certains de ces défauts paramagnétiques peuvent être neutres, tandis que d'autres peuvent être chargés positivement ou négativement. Cette variabilité rend difficile l'établissement d'une corrélation directe entre la densité de défauts paramagnétiques et la densité totale de charge piégée.

Trois versions de ces défauts paramagnétiques ont été identifiées par EPR : Pb, Pb0 et Pb1. Leur présence dépend de l'orientation cristalline du substrat de silicium. Le "centre Pb",

qui est associé à une liaison pendante, est principalement trouvé dans les substrats orientés (111), tandis que le "centre Pb1" et le "centre Pb0" sont observés dans les substrats orientés (100), comme illustré dans la figure (III.6).

La structure microscopique du "centre Pb0" est similaire à celle du défaut Pb décrit précédemment. En revanche, la structure microscopique du "centre Pb1" n'est pas précisément définie, bien qu'une proposition soit avancée.

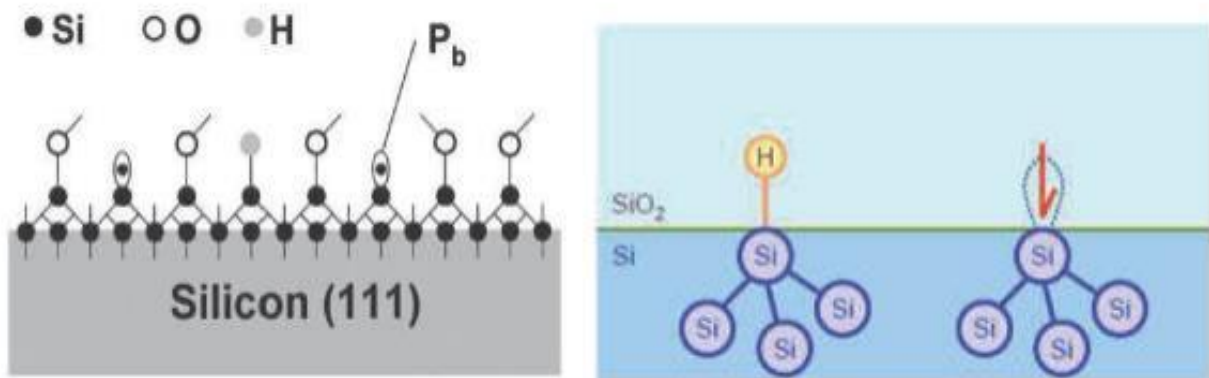


Figure III. 6 : Défauts à l'interface SiO₂ : le centre Pb

III.6. conclusion

Dans ce chapitre nous avons présenté l'oxyde de silicium SiO₂ le dioxyde de carbone (CO₂) et exploré les principaux défauts qui lui sont associés, ainsi que les techniques courantes pour les identifier. En conclusion, il est également mentionné d'autres méthodes de dégradation induite par la température, connues sous le nom d'instabilité de température sous tension positive/négative.

Conclusion générale

Ce mémoire montre combien il est crucial que les transistors, surtout les MOSFET, soient fiables pour bien concevoir et fabriquer nos appareils électroniques modernes. Comme ces appareils deviennent de plus en plus petits, c'est de plus en plus difficile de les rendre fiables. On a étudié les bases de cette fiabilité, en mettant en avant les différents problèmes qui peuvent arriver et comment ça affecte les appareils.

On a aussi regardé comment les transistors MOSFET ont évolué avec le temps et comment ils sont super importants pour rendre nos appareil plus petits. On a creusé dans la manière dont le silicium, dont sont faits les transistors, est arrangé et quels problèmes peuvent apparaître à cause de ça.

Et on a montré que pour bien s'assurer que nos appareils fonctionnent bien, il faut avoir des moyens avancés pour repérer et réparer les problèmes qui peuvent apparaitre. Ce qui montre bien que la fiabilité des transistors est très importante, Il est impératif de continuer à chercher pour améliorer la fiabilité des composants en particulier et systèmes en général solides et fiables.

Bibliographie :

- [1] **J. Cabochoub** « Etude de fiabilité d'un détecteur intelligent des vapeurs de système » IEEE, Université de Québec, 1998.
- [2] **S. barnat** « étude de prédictive de fiabilité de nouveaux concepts d'assemblage pour des systèmes package hétérogène » Thèse de doctorat, Université Bordeaux, 2011.
- [3] **R. Iserman , P.Balle** « Trends in the application of model based fault detection and diagnosis of technical processes » , control engines,1997.
- [4] **Afnor** « Conception et définition des activités de maintenance » ,1994.
- [5] [http:// fr.wikipedia.org/wiki/discussion_Temps_Moyen_Entre_Pannes](http://fr.wikipedia.org/wiki/discussion_Temps_Moyen_Entre_Pannes).
- [6] [http:// fr.wikipedia.org/wiki/temps-moyen-entre-pannes](http://fr.wikipedia.org/wiki/temps-moyen-entre-pannes).
- [7] **O.Gaudoin** «Fiabilité des systèmes et des logiciels »...
- [8] **F.Moncly** «Maintenance méthodes et organisations » Pris ,2023.
- [9] **M.Mouny** «Estimation de la fiabilité d'un système et de système et de ses composants» magister en mathématique option processus stochastique, Université Mentour, 2009.
- [10] **J.Roudoutey** «Les transistor a effets de champs MOS »central, Marcseille
- [13] file: ///D/Picture /www/Transistor Effet.
- [14] <http://iut-tice.ujf.grenoble.fr>.
- [15] **Abdalkhak.E, Bouchaib.R** « Incertitude,optimasation et fiabilité des structure »2006.
- [16] **C. Yanich** «Calcul de la fiabilité d'un système composite selon dépendance entre les composants » école nationale des sciences géographique ,2004.
- [17] Cours de monsieur automatique.
- [18] **C.Bertolini** «Estimation a haut niveau des dégradations température dans les processeurs » Université science et technologie, bordeaux, 2013.
- [19] <https://wikipedia.org/wiki/Moor>.
- [20] **A.Fredi** « Modélisation et identification paramétrique du transistor MOSFET en utilisation la logique floue » Université Batna, 2011.
- [21] **A.Bournel** «Composants pour la microélectronique ultime et la nanoélectronique » Université de paris, 2006.
- [22] <http://www.liguee.fr/France-anglais/traduction>.
- [23] **B.Diagne** « Etude et modalisation compote d'un transistor MOS double grille dédié a la conception »Université France, 2007.
- [24] **J.Michel** « Des composants à l'application » 2016.

- [25] **N.Amrani** « Automatisation d'un banc de caractérisation sur principe de fonctionnement des transistors effets de champs MOSEFTs » ...
- [26] **A.Larabi** « Etude des performances d'un MOS nanométrique application au DGFET » Université Abou Belkaid Tlemcen, 2010.
- [27] **D.kahng** « A new solid state electronic device» IEEE electron device letters, 1960.
- [28] **G.Ghabaudo**« transition on electronic devices» IEEE Tlemcen, 1983.
- [29] **D.Chahemogme** «Conception et fabrication de nouvelle architecteurs CMOS et étude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON » IEEE Université layon, 2005.
- [30] **G.Moore** «Progress intégrante électronique » IEEE national devices meeting techical .
- [31] **Y. Manegle**, « Analyse en profondeur des défauts de l'interface Si-SiO₂ par la technique du pompage de charges ».. Institut National Polytechnique de Grenoble INPG , 1998.
- [32] **L. Mozzi and B.. Warren**. «The structure of vireous silica. Journal of applied. Crystallography», 1969.
- [33] **T. Bakos**. «Defects in amorphous SiO₂: reaction dynamics structures». Thèse de doctorat, Vanderbilt university, 2003.
- [34] **A. Foucaran**. «Technologies de circuit intégré au silicium» ; cours 2005
- [35] **C. Nicklaw**.. «Multi level modeling of total ionizing dose in a SiO₂: first principals to circuits», these de doctorat, Vanderbilt University, 2003
- [36] **T. Sakurai T. Sugao**, . « Theorie of continuously distributed trap states at Si SiO₂»1981
- [37] **C.Bertolini**. «. Estimation a haut-niveau des dégradations temporelles dans les processeurs méthodologique et mise en œuvre logicielle». Other. Universite science et technologies – Bordeaux 1, 2013. French