

République Algérienne Démocratique et Populaire  
Ministère de L'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri De Tizi-Ouzou



Faculté De Génie Electrique Et D'informatique  
DEPARTEMENT D'AUTOMATIQUE

**Mémoire de Fin d'Etude  
De MASTER ACADEMIQUE**  
Spécialité : **Génie Microélectronique**

Présenté par :  
**BELHARET Ali**

Thème

**Conception de structure de test pour  
l'étude de la fiabilité des composants  
MOS.**

Thème proposé par le CDTA

Devant le jury :

Mr. M.DAOUI	Maitre de conférences	A Président	UMMTO
Mr. A.BENFDILA	Professeur	Examineur	UMMTO
Mr. A.LAKHLEF	Maître Assistant	Examineur	UMMTO
Mr. M.GOUDJIL	D.Chercheur	Promoteur	CDTA

Copromoteur : TAHI Hakim  
HAMOUCHE Khelas

Première Promotion 2014

---



## Remerciements

Je remercie Allah le tout puissant de m'avoir  
donné le courage, la volonté et  
la patience pour mener à terme ce présent travail.

Je tiens à remercier

Tous ceux qui m'ont aidé et pris en charge  
théoriquement

Et pratiquement.

M<sup>r</sup> Arezki Benfdila, Lakhlef Ahcene, Maida Ahmed.

Ainsi le personnel de CDTA, M<sup>r</sup> Tahi Hakim,  
Hamouche khelas, Ghoudjil Mohamed .

Enfin merci à toutes les personnes  
Ayant Contribué de loin ou de près à ce travail.



# *Dédicace*

*Ce modeste travail est dédié à :*

- *Ma très chère mère, mon ange gardien, celle qui m'ouvrit les yeux, celle qui s'est consacré entièrement à mon éducation.*
- *Mon chère père qui à constitué mon exemple de tous les jours, qui n'a cessé de se sacrifier pour me voir réussir.*

*Chaque mot, chaque lettre, chaque ponctuation de ce manuscrit témoigne de ma reconnaissance à leur égard.*

*Qu'Allah vous garde et vous récompense de la meilleure façon,*

- *Mon frère Ishak, qui est ma joie de tous les jours.*
- *Mes grands parents, que j'aime beaucoup.*
- *Mes oncles, leurs épouses et leurs enfants*
- *Mes tantes, pour l'aide morale et leurs conseils.*
- *Mes cousins et cousines.*
- *A ma chérie et ma future femme noura.*
- *A Mes amies(es).*
- *tous ceux qui m'ont inculqué étude et savoir.*
- *ceux que j'ai oublié de citer.*

*Belharet Ali.*

## Table des symboles

$\tau_e$	Temps de relaxation de l'énergie
$C_{dep}$	Capacité de déplétion
$C_g$	Capacité de grille
$C_{inv}$	Capacités d'inversion
$C_{it}$	Capacité d'états d'interface
$C_{ox}$	Capacité d'oxyde
$C_{sc}$	Capacité dynamique du semi-conducteur
$D_{it}$	Densité d'états d'interface
$D_n, D_p$	Coefficients de diffusion des électrons et trous respectivement
EOT	Equivalent Oxide Thickness
$g_D$	Conductance
$g_m$	Transconductance
$I_D, I_{DS}$	Courant de drain
$I_{OFF}$	Courant de drain à l'état bloqué (courant de fuite)
$I_{ON}$	Courant de drain en conduction
$K$	Constante de BOLTZMAN
$L$	Longueur du canal
$L_{diff}$	Longueur des régions des diffusions $N_+$ (source et drain)
$L_{eff}$	Longueur effective du canal
$L_G$	Longueur de grille :
$q$	Charge électrique élémentaire
$Q_b$	Charge dans la zone de déplétion proche de l'interface
$Q_{inv}$	Charge de la couche d'inversion
$Q_m$	Charge du métal
$Q_{sc}$	Charge par unité de surface dans le semi-conducteur

## Table des symboles

$R_S$ et $R_D$	résistances série de côté source et drain
$S$	pente sous le seuil
$T$	Température
$T_C$	Coefficient de Transmission
$T_n$	Température des électrons
$t_{ox}$	Epaisseur de l'oxyde
$V_{DS}$	Tension drain source
$V_{DSSat}$	Tension de saturation drain source
$V_{FB}$	Tension de Bandes Plates (Flat Band)
$V_{GS}$	Tension grille source
$V_{SB}$	Tension source substrat
$v_{th}$	Vitesse thermique
$V_T$	Tension de seuil
$W$	Largeur du canal
$x_J$	Profondeur des jonctions source-drain.
$\Phi_F$	Potentiel de Fermi
$\Delta L$	Somme des diffusions latérales des jonctions source-drain
$\phi_m$	Travail de sortie du métal.
$\phi_{ms}$	Différence entre les travaux de sortie du métal et du semi-conducteur.
$\mu$	Mobilité des porteurs à faible champ, dans le canal du transistor (à l'interface Si-SiO <sub>2</sub> )
$\psi_s$	Potentiel de surface.

BOX	Buried Oxide
BTE	Equation de Transport de BOLTZMANN
CMOS	Complementary MOS
DG MOSFET	Double Gate MOSFET

## Table des symboles

DIBL	Drain Induced Barrier Lowering.
DITM	Drain induced tunneling modulation
DIVSB	Drain Induced Virtual Substrate Bias
DT-MOS	Le Transistor MOS à Tension de Seuil Dynamique
EJ-MOSFETs	Electrically variable shallow junction
FD MOSFET	Fully Depleted MOSFET
FET	Field Effect Transistor
HP	High performance
ITRS	International Technology Roadmap for Semiconductors
MOS	Metal Oxide Semiconductor
MOSFET	MOS Field Effect transistor
MOST	Metal Oxide Semiconductor Transistor
MTIC	MegaTransistors / IC
NCE	Narrow Channel Effect
PD-MOSFET	Partially Depleted MOSFET
RISC	Reduced Instruction Set Computer
RSCE	Reverse Short Channel Effect
SCE	Short Channel Effect
SET	Single Electron Transistor
SIMOX	Separation by Implanted Oxygen
SOI	Silicone On Insulator
SOS	Silicone On Sapphire
SOZ	Silicon On Zirconia
T.SOI	Technologie SOI
ULSI	Ultra Large Scale of Integration
UTOMOS	Ultra Thin Oxide MOS
VLSI	Very Large Scale of Integration
ZCE	Zone de Charge d'Espace
ZMR	Zone Melting Recrystallization



**INTRODUCTION GENERALE.....1**

**CHAPITRE I : CAPACITE MOS**

I-1- Introduction.....3

I-2-Structure MOS idéale.....4

I-3 Structure MOS réelle.....5

I-3-1 Potentiel de bandes plates.....5

I-3-2 Régimes de fonctionnement.....6

a. Régime d’accumulation.....6

b. Régime de déplétion.....6

c. Régime d’inversion.....7

I-4 Capacité MOS.....9

I-4-1 Cas d’une structure idéale.....9

I-4-2 Cas d’une structure réelle.....9

I-5 les étapes de Fabrication de la capacité MOS.....10

I-5-1 un wafer Silicium dopé P ou un wafer Silicium N.....10

I-5-2 oxydations.....10

I-5-3 métallisation.....10

I-5-4 dépôt de résine.....11

I-5-5 exposition à travers le masque.....11

I-5-6 révélation de la résine.....11

I-5-7 structure finale.....11

**CHAPITRE II : LES TRANSISTORS MOS**

II-1 Introduction.....12

II-2 le MOSFET a canal long.....12

II-2-1 Définition et caractéristiques du transistor MOS.....12

II-2-1-1 Définition du transistor MOS.....12

II-2-1-2 Conditions de conduction.....13

II-2-1-3 Principe de fonctionnement.....13

II-2-1-4 Paramètres électriques du MOSFET.....14

II-3 MOSFET submicronique et les effets des canaux courts.....17

II-3-1 Effets indésirables dans le transistor MOSFET à canal court.....18

II-3-1-1 SCE: effet de canal court (short channel effect).....	18
II-3-1-2 Effet DIBL (drain induced barrier lowering).....	19
II-3-1-3 Effet de Canal Court Inverse.....	20
II-3-1-4 Effets de porteurs chauds.....	21
II-4 le MOSFET nanométrique.....	22
II-4-1 Le MOSFET SOI.....	23
II-4-2 Nouveaux phénomènes dans les MOSFETs nanométriques.....	24
II-4-2-1 Transport balistique.....	24
II-4-2-2 Phénomène de survitesse.....	24
II-4-2.3 L'effet tunnel source-drain.....	25
II-4-2.4 Confinement des porteurs.....	25
<b>CHAPITRE III : LES STRUCTURES DE TEST</b>	
III-1 Introduction.....	26
III-2 MODULE DE TEST « PROCESS DROP-IN».....	27
III-3 Objectifs.....	30
III-4 Diviseur de tension.....	31
III-5 Cross bridge.....	34
III-6 Chaîne de contacte.....	34
III-7 Structure en serpent (meander).....	36
III-8 Structure en peigne (comb).....	36
III-9 CAPACITES (Flat plate capacitors).....	38
<b>CHAPITRE IV : ELABORATION DES DESSINS DE MASQUE</b>	
IV-1 Introduction.....	39
IV-2 Notion de fiabilité.....	39
IV-3 Layoute editor.....	39
IV-4 Règles de dessin.....	39
<b>CONCLUSION GENERALE.....</b>	<b>49</b>

## **BIBLIOGRAPHIES**

## **ANNEXE**

Ces derniers décennies la micro-électronique a révolutionné notre vie de tous les jours. Les ordinateurs portables, téléphones cellulaires, appareils photo numériques et beaucoup d'autres produits électroniques sont devenus partie intégrante de nos affaires quotidiennes.

La microélectronique s'est imposée dans tous les domaines notamment l'industrie, la santé, le transport, les services....

Elle s'intéresse à l'étude et à la fabrication de composants électroniques à l'échelle micrométrique.

Ces composants sont fabriqués à partir de matériaux semi-conducteurs (comme le Silicium) au moyen de diverses technologies dont la photolithographie. Cette technologie permet l'intégration de nombreuses fonctions électroniques sur un même morceau de Silicium (ou autre semi-conducteur) et donc à un prix plus bas. Les circuits ainsi réalisés sont appelés puces ou circuits intégrés.

Le transistor MOS, également appelé MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) est le dispositif le plus important en microélectronique. Il est utilisé pour amplifier ou commuter des signaux électroniques.

La conception de circuits électroniques logiques a débuté dans les années 1950 avec le développement du RADAR et des premiers ordinateurs. Elle s'est ensuite développée, surtout aux États-Unis, dans l'industrie et dans les départements d'Electrical Engineering des grandes universités américaines, au cours des années 1970 et 80 avec l'apparition des microprocesseurs VLSI nMOS puis CMOS.

Les centres de recherche se sont intéressés à cette discipline à partir du milieu des années 1970 avec l'implication d'informaticiens. Du jour au lendemain, de nombreuses équipes de recherche se mirent à dessiner des circuits. La maîtrise de la conception des circuits intégrés est une condition nécessaire au développement d'une industrie électronique performante. Alors qu'une seule chaîne de fabrication permet la réalisation de nombreux circuits différents, la conception de ces circuits (souvent spécifiques aux besoins de l'industrie) nécessite de nombreux concepteurs, ce qui ouvre de larges perspectives professionnelles dans cette discipline[4].

Ainsi parmi les outils utilisés par les concepteurs, on trouve les outils de CAO (pour Conception Assistée par Ordinateur) sont parmi les outils informatiques les plus avancés. Ils sont actuellement capables de partir de la description du comportement souhaité pour le

circuit et de créer niveau par niveau des descriptions de plus en plus précises de la structure du futur circuit.

La loi empirique de Gordon Moore «cofondateur d'Intel» prédit que la densité d'intégration des circuits intégrés double tous les 18 mois. Cependant cette intégration croissante qui permet de réaliser des systèmes intégrés sur une seule puce, a un impact négatif sur la fiabilité des circuits. En effet, à cause de la miniaturisation croissante des procédés de fabrication «90 nm, 65 nm, 45 nm,...» Il est de plus en plus difficile de réaliser un circuit intégré sans aucun défaut de fabrication. [10]

Pour cela le rôle des structures de test est d'augmenter le rendement du produit et concevoir un modèle plus précis.

Le travail présenté dans ce mémoire porte sur la conception d'une structure de test pour la fiabilité des composants MOS.

Dans le premier chapitre j'ai étudié la structure MOS qui est la base du transistor MOSFET.

Le 2<sup>ème</sup> chapitre porte sur les transistors MOS du canal long jusqu'à le transistor nanométrique.

Le chapitre 3 introduit les structures de test.

Le dernier chapitre je les consacré à la partie pratique qui est l'élaboration des dessins de masque

Et enfin je termine par une conclusion générale.

**I-1- Introduction**

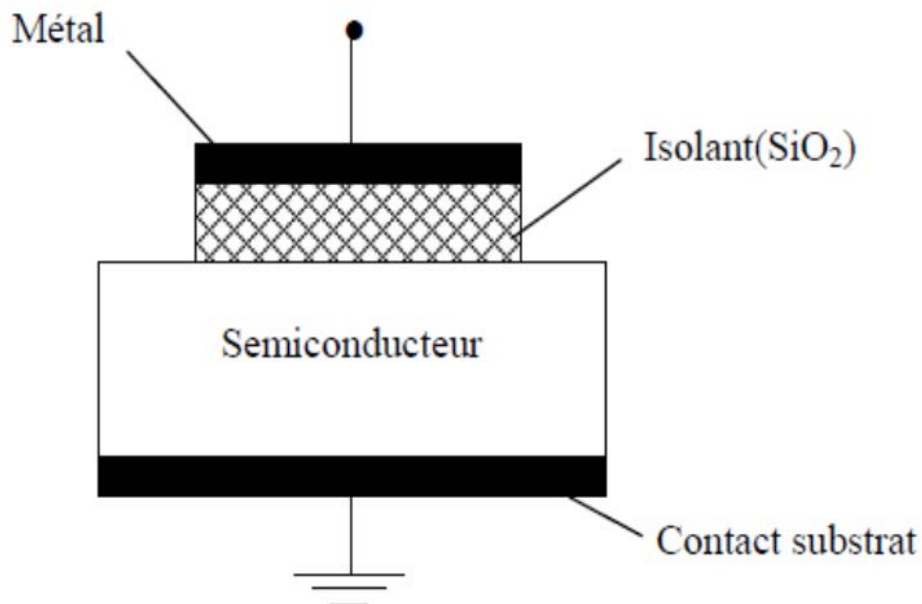
A l'heure actuelle la technologie MOS a pris une extension considérable dans la fabrication des circuits intégrés car elle permet une extrême miniaturisation.

En effet les composants semi-conducteurs à grille isolée (Métal Oxyde semi-conducteurs) sont parmi les plus importants de l'électronique moderne. [13]

Les possibilités d'intégration très poussée ainsi que les performances atteintes les ont imposés : dans le domaine du numérique et les applications analogiques se développent elles aussi à grande vitesse.

Il est donc particulièrement important de comprendre le fonctionnement de la capacité MOS, structure qui est à la base de cette technologie.

Une structure MOS est un dipôle constitué d'une électrode métallique appelée Grille, séparée d'un substrat semi-conducteur par un diélectrique. La nature électrique de ce dipôle variant avec sa polarisation, son impédance est une fonction de  $V_G$ .



*Figure (I-1) : Dispositif à deux électrodes et structure de base du MOSFET.*

I-2-Structure MOS idéale

Une structure MOS idéale est définie par les conditions suivantes : les travaux de sortie du métal et du semi-conducteur sont égaux, l'isolant est parfait c'est à dire qu'il n'existe aucun courant de fuite ni perte diélectrique dans l'oxyde, pas d'états d'interface ni de résistance série, cette structure se réduit à une simple capacité. Le seul phénomène qui influe sur la structure est l'effet de champ, qui consiste à modifier la concentration des porteurs au voisinage de l'interface SiO<sub>2</sub>/Si par l'application d'un potentiel électrique sur la grille qui modifie les courbures de bande d'énergie du semi-conducteur. [8]

Pour  $V_G > 0$ , les électrons du semi-conducteur sont attirés près de la surface et pour  $V_G < 0$ , les trous du semi-conducteur sont attirés près de la surface ; l'équation de neutralité s'écrit :

$$n_0 + N_A^- = p_0 \quad (1.1)$$

$N_A^-$  : accepteurs ionisés.

L'équation de Poisson donne l'évolution du potentiel dans la structure. La charge dans le silicium  $Q_{sc}$  s'obtient dans l'hypothèse d'une statistique de Boltzman selon :

$$|Q_{sc}| = (2\epsilon KT)^{1/2} \left[ \frac{ni^2}{N_A^2} \left( \exp\left(\frac{q\psi_s}{kT}\right) - 1 \right) + \left( \exp\left(\frac{-q\psi_s}{kT}\right) - 1 \right) + \frac{q\psi_s}{kT} \right]^{1/2} \quad (1.2)$$

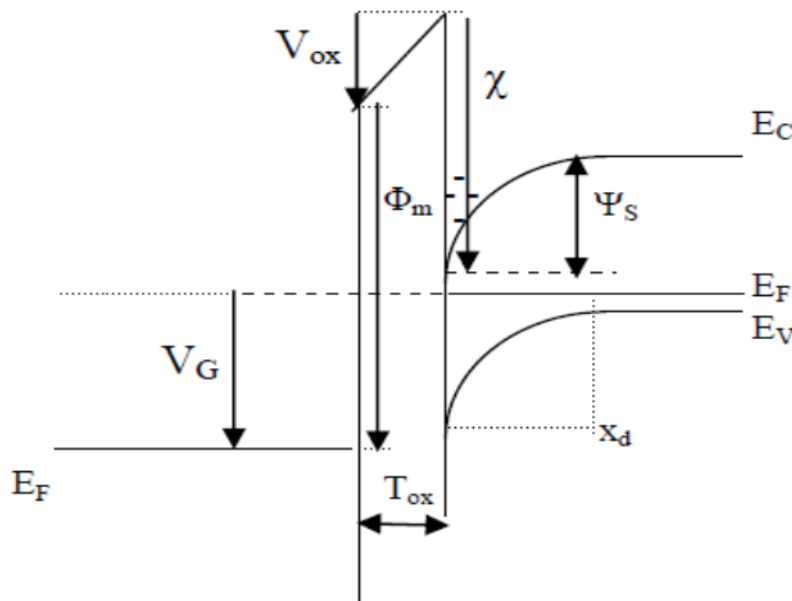


Figure (I-2): Diagramme de bandes d'énergie dans un nMOSFET.

### I-3 Structure MOS réelle

Dans la réalité, l'oxyde de grille n'est pas parfait, il est le siège de pièges neutres ou chargés générés au cours du procédé de fabrication, et de charges positives localisées près de l'interface SiO<sub>2</sub>/Si. [8]

#### I-3-1 Potentiel de bandes plates

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si  $V_G = 0$ , il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques sont positives. La valeur de  $V_G$  qu'il faut appliquer pour contrecarrer l'effet de ces charges s'appelle  $V_{FB}$ . L'équation de continuité s'écrit alors :

$$V_G = V_{FB} + \Psi_S - Q_{sc} / C_{ox} \quad (1.3)$$

$V_{FB}$  est non seulement relié à la densité de charges dans l'oxyde  $Q_{ox}$  mais aussi à la différence des travaux de sortie :  $\Phi_{ms} = \Phi_m - \Phi_s$ . La différence de potentiel entre la surface et le volume s'appelle potentiel de surface  $\Psi_S$ . Si  $\Psi_S = 0$ , on aura :

$$V_{FB} = \Phi_{ms} - Q_{ox} / C_{ox} \quad (1.4)$$

Au plan technologique, la valeur de  $V_{FB}$  permet de déduire et de contrôler la quantité de charges fixes présentes dans les oxydes. Les structures MOS réelles se distinguent de la structure idéale à cause de l'état de l'interface SiO<sub>2</sub>-Si qui n'est pas parfaite. Le gap du semi-conducteur très près de la surface se trouve rempli d'états localisés identiques aux états localisés des semi-conducteurs amorphes ou fortement désordonnés. [8]

Dans le cas d'une densité d'état faiblement dépendante de l'énergie et dans l'approximation d'une statistique de température nulle pour les états localisés :

$$V_G = V_{FB} + \Psi_S - (Q_{inv} + Q_{dep} + Q_{ss}) / C_{ox} \quad (1.5)$$

$|Q_{ss}| = qN_{ss}\Psi_S$  : la charge d'états d'interface excédentaire.

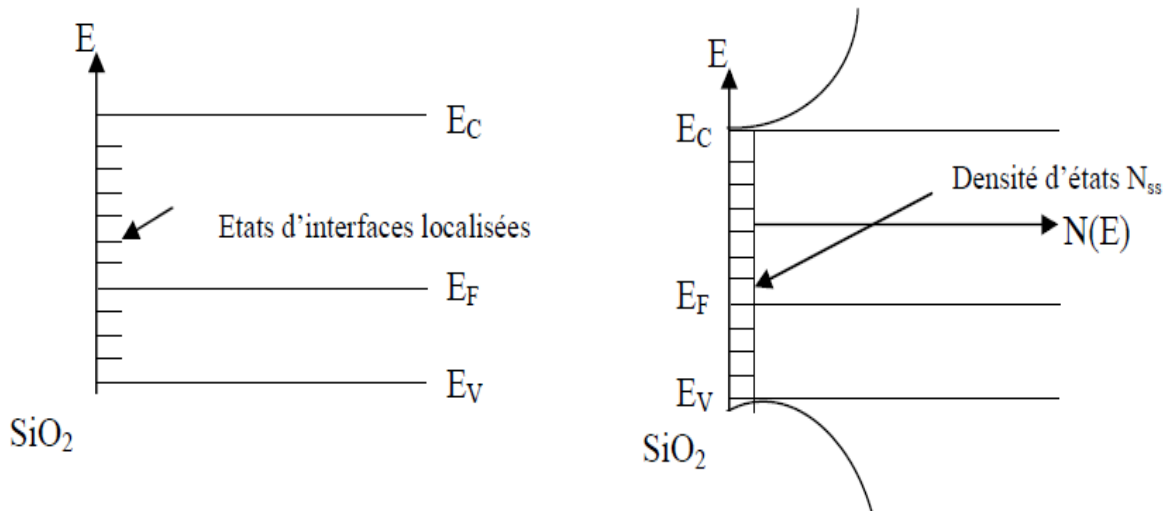


Figure (I-3) : Etats d'interface localisées et densité d'états Nss dans un nMOSFET.

**I-3-2 Régimes de fonctionnement**

En fonction de la polarisation de la grille, on distingue trois différents régimes, séparés par deux valeurs appelées respectivement, tension de bandes plates  $V_{FB}$  ( $\Psi_s=0$ ) et tension de seuil  $V_{th}$  ( $\Psi_s = 2\Phi_F$ ) :( cas d'un substrat type P)

**a. Régime d'accumulation** ( $\Psi_s < 0, V_G < V_{FB}$ )

Dans ce cas, les porteurs majoritaires (trous) sont attirés en surface. Ils y sont encore plus nombreux que dans le volume.

$$p_s = p_0 e^{-q\psi_s/kT} \gg p_0 \gg n_0$$

Cela nous donne :  $Q_{sc} = (2\epsilon k T N_A)^{1/2} e^{-q\psi_s/kT}$  (1.6)

**b. Régime de déplétion** ( $V_{th} > V_G > V_{FB}, 0 < \psi_s < \phi_f$ )

Dans ce cas, les porteurs majoritaires (trous) sont repoussés de la surface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées (dopants, accepteurs) fixes et désertée en porteurs mobiles :  $n(x) \ll p(x) \leq N_A$ , d'où

$|Q_{sc}| \approx (2\epsilon k T N_A)^{1/2}$ ; Charge de déplétion. Elle correspond à la charge constante distribuée entre 0 et  $x_d$  et la charge de désertion est donnée par :

$$Q_{dep} = \int_0^{x_d} q N_A dx = q N_A x_d = (2q\epsilon N_A \psi_s)^{1/2}$$
 (1.8)

$x_d$  : la largeur de la zone de désertion.

**c. Régime d'inversion ( $V_G > V_{th}$ )**

Dans ce cas, les porteurs minoritaires (électrons) sont attirés en surface, ils s'accumulent dans une proportion au moins aussi dense que les majoritaires en volume, on parle de création d'un canal d'inversion.

On a  $n(\Psi_s) = p_0$ ,  $\Psi_s = 2\phi_f$ , donc la charge dans le semi-conducteur provient pour l'essentiel des porteurs minoritaires :

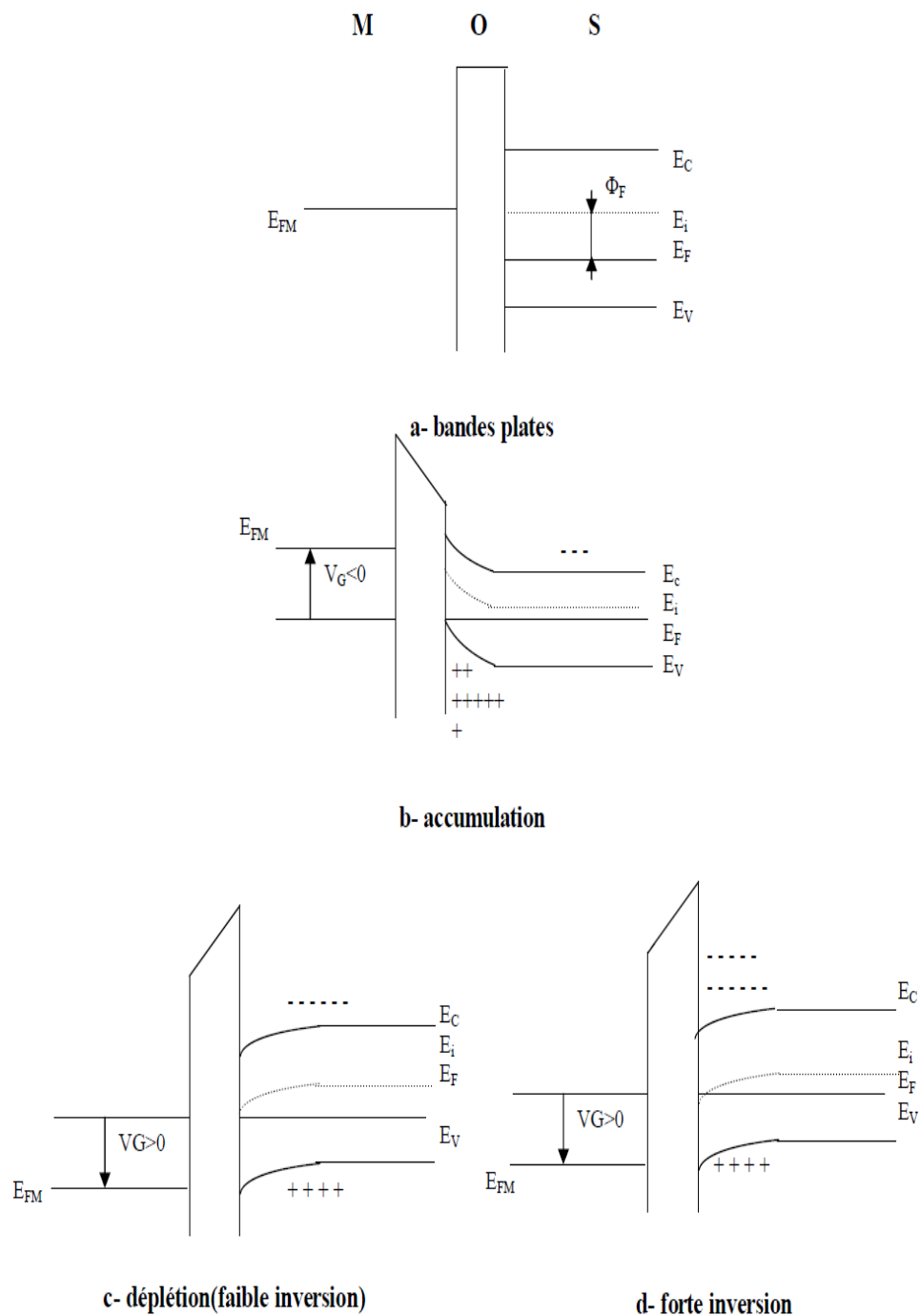
$$|Q_{sc}| = (2\epsilon K T N_A)^{1/2} \frac{n_i}{N_A} \exp\left(\frac{q\psi_s}{2kT}\right) \approx \left(\frac{2\epsilon K T n_i^2}{N_A}\right)^{1/2} \exp\left(\frac{q\psi_s}{2kT}\right) = Q_{inv} \quad (1.9)$$

$Q_{inv}$  : la charge d'inversion.

Inversion faible :  $\phi_f < \Psi_s < 2\phi_f$  ;  $Q_{inv} \ll Q_{dep}$ .

Inversion forte :  $\Psi_s > 2\phi_f$  ;  $Q_{inv} \gg Q_{dep}$ .

On a  $\phi_f = \frac{kT}{q} \ln(N_A/n_i)$



**Figure (I-4) :** Diagramme de bandes d'énergie du système Métal-Oxyde-Semi-conducteur canal N :(a)Bandes plates, (b) accumulation, (c) déplétion, (d) forte inversion.

I-4 Capacité MOS

I-4-1 Cas d'une structure idéale

Une capacité MOS idéale correspond à la mise en série de la capacité de l'oxyde  $C_{ox}$  et de celle du semi-conducteur  $C_{sc}$  soit :

$$1/C = 1/ C_{ox} + 1/ C_{sc}. \quad (1.10)$$

$$C_{ox} = \epsilon_{ox}/T_{ox}, C_{sc} = - dQ_{sc}/d\psi_s. \quad (1.11)$$

I-4-2 Cas d'une structure réelle

Dans ce cas, une capacité supplémentaire due aux états d'interface est mise en parallèle avec la capacité du semi-conducteur. Cette capacité est de la forme suivante :

$$C_{ss} = dQ_{ss}/ d\psi_s. \quad (1.12)$$

Et la capacité MOS devient :

$$1/C = 1/ C_{ox} + 1/ (C_{ss} + C_{sc}). \quad (1.13)$$

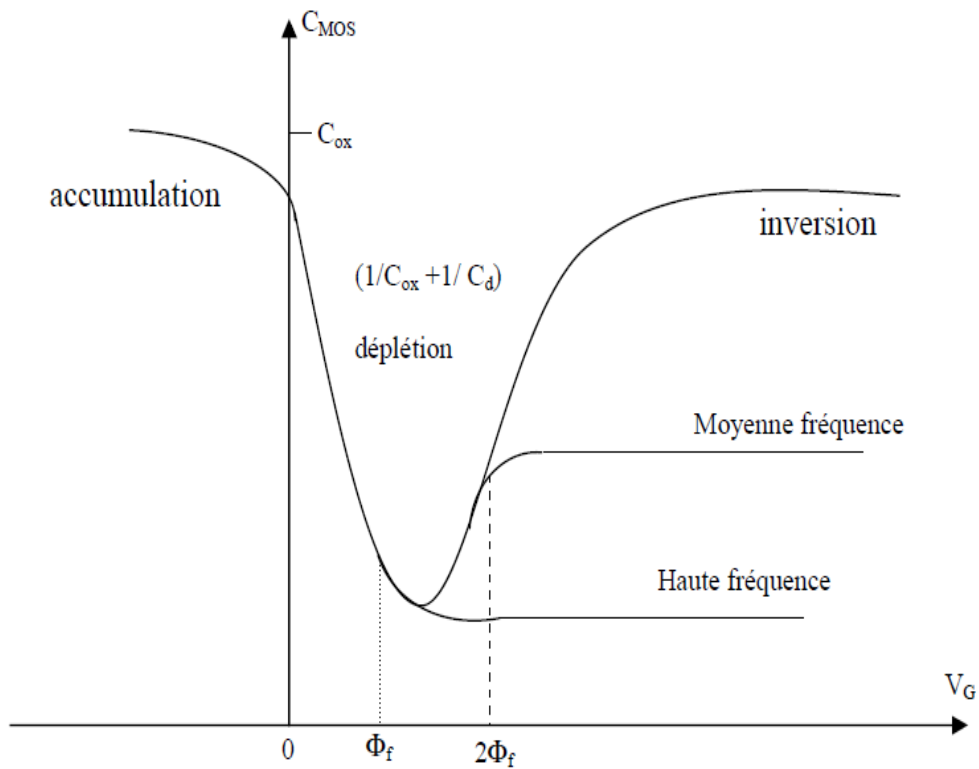
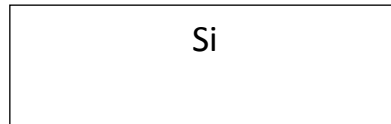


Figure (1-5) : La caractéristique  $C(V)$  d'une capacité MOS.

## I-5 les étapes de Fabrication de la capacité MOS

### I-5-1 un wafer Silicium dopé P ou un wafer Silicium N



Les plaquettes de silicium sont définies par :

- leur diamètre en pouces (1pouce = 2,54 cm)
- leur type (p ou n), le dopant (bore, phosphore ou parfois arsenic)
- leur orientation cristalline (<100> ou <111>)
- leur résistivité en fonction du dopage.

### I 5-2 oxydations

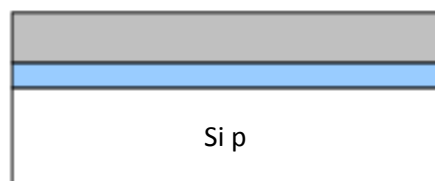


L'objectif est de créer à la surface du silicium un oxyde ( $\text{SiO}_2$ ) qui sera utilisé ici comme isolant diélectrique.

L'oxydation du silicium peut être effectuée de plusieurs manières :

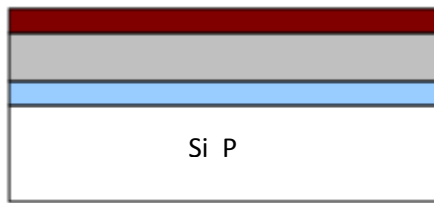
- à haute température (de 700 à 1250°C) en présence d'un courant en présence d'un courant gazeux oxydant (oxyde 700 à 1250°C) en présence d'un courant gazeux (oxyde thermique).
- à basse température par dépôt chimique en phase vapeur CVD (oxyde déposé).

### I-5-3 métallisation



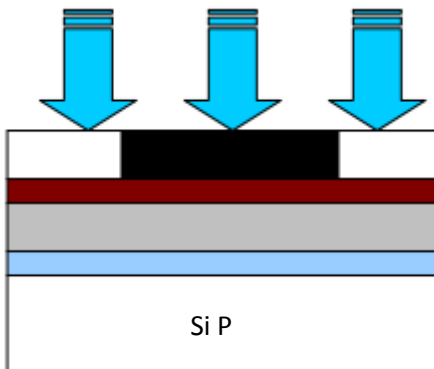
L'une des dernières étapes intervenant dans le procédé de fabrication d'un circuit intégré est la métallisation. Elle consiste à déposer sur la surface de la plaquette une couche conductrice qui sera ensuite gravée pour définir les contacts et les interconnexions.

**I-5-4 dépôt de résine**



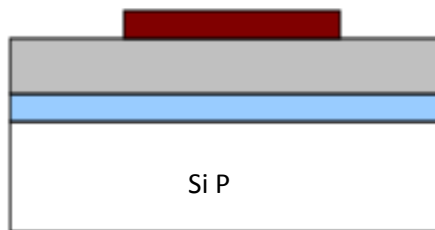
Une résine est déposée sur le wafer

**I-5-5 exposition à travers le masque**



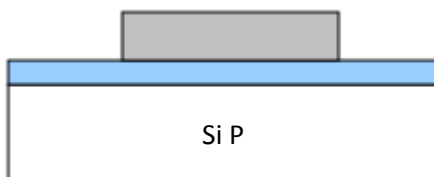
Un rayonnement est envoyé sur la résine avec une modulation spatiale représentant le motif à réaliser.

**I-5-6 révélation de la résine**



Éliminer les régions exposées pour une résine positive.

**I-5-7 structure finale**



Élimination de la résine.

**II-1 Introduction**

Le transistor peut être considéré comme la plus grande invention du 20<sup>ème</sup> siècle. Cette invention a été amplifiée avec la mise en évidence du premier circuit intégré par J.S. Kilby de Texas Instruments en 1958. Ce dernier est à la base de toute l'électronique moderne appliquée à divers domaines tels les télécommunications, l'électronique grand public, le matériel informatique, l'électronique biomédicale, ...[5]

**II-2 le MOSFET a canal long**

L'étude détaillée du MOSFET canal long est un préalable à la compréhension de tous les progrès réalisés à nos jours dans la miniaturisation du MOSFET. L'approche Top Down utilisée consistant en la réduction de sa géométrie en essayant de garder son comportement de MOSFET canal long (En minimisant notamment les Effets de canal Court indésirable qui apparaissent au fur et à mesure que l'on réduit les dimensions du MOSFET).

Cette étude commence tout d'abord par l'analyse du transistor MOSFET en général, notamment sa structure et son principe de fonctionnement. Nous nous intéresserons à ses courbes caractéristiques, ses paramètres physiques et électriques dans le cas du transistor à canal long. [8]

**II-2-1 Définition et caractéristiques du transistor MOS**

Le transistor MOS est l'élément le plus important dans l'intégration de circuits intégrés VLSI tels les microprocesseurs, mémoires,... Il est aussi devenu un composant clé en électronique de puissance. Le MOSFET est un élément de la famille des transistors à effet de champs (FET). Le premier MOSFET a été fabriqué en 1960 avec un canal d'environ 20  $\mu\text{m}$  et une largeur d'oxyde d'environ 1000 Å.

**II-2-1-1 Définition du transistor MOS**

Un transistor MOS est une structure MOS (Métal Oxyde Semi-conducteur) à laquelle on diffuse latéralement de part et d'autre deux zones fortement dopées appelées source et drain. Sa structure de base est représentée sur la figure (II-1).

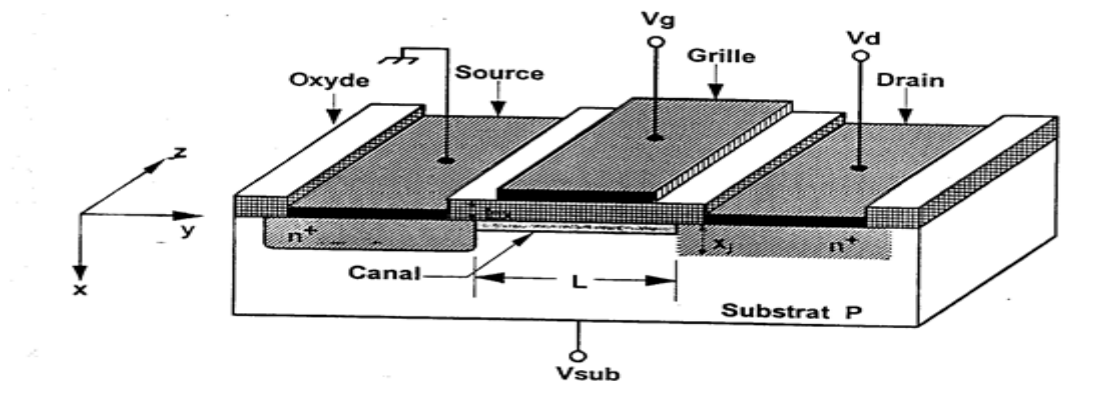


Figure (II-1) : Structure d'un transistor MOSFET à canal N

On appelle  $L$  la distance source drain et  $W$  la largeur du dispositif, i.e. de la grille. La grille et le drain sont polarisés par les tensions  $V_G$  et  $V_D$  référencées par rapport à la source ou au substrat, qui sont maintenus généralement potentiel nul.

### II-2-1-2 Conditions de conduction

Le canal conducteur existe si la tension de grille est supérieure (cas du transistor nMOS) ou inférieure (cas du transistor pMOS) à une tension de seuil  $V_T$  (Threshold voltage), et ce pour un transistor à enrichissement.

Tableau 2.1 : Condition de conduction de MOSFETs

Canal	Type	Porteurs	Condition de conduction
N	Enrichissement	Electrons	$V_{GS} > V_T$
N	Appauvrissement	Electrons	$V_{GS} > V_T$
P	Enrichissement	Trous	$V_{GS} < V_T$
P	Appauvrissement	Trous	$V_{GS} < V_T$

### II-2-1-3 Principe de fonctionnement

Dans notre cas, nous traiterons du cas du MOSFET à canal n et à enrichissement. L'application d'une tension  $V_G$  sur la grille métallique de la structure MOS induit une zone de charge d'inversion commençant à l'interface Oxyde Semi-conducteur, zone de charge qui établira une connexion électrique entre le drain et la source (canal). Un courant  $I_{DS}$  de porteurs majoritaires s'établira alors s'il existe une ddp (différence de potentiel)  $V_{DS}$  entre le drain et la source. Le transistor MOS se comporte donc comme une résistance contrôlée entre le drain et la source, résistance dont la valeur est modulée par la tension de grille  $V_{GS}$ . [8]

### II-2-1-4 Paramètres électriques du MOSFET

#### -Tension de FlatBand $V_{FB}$

En l'absence de potentiel de surface ( $\phi_s$ ), la courbure des bandes est nulle. On parle alors de conditions de bandes plates (FlatBand). Dans ce cas, la tension de grille est exactement égale à  $V_{FB}$ , appelée tension de bandes plates (FlatBand) et est donnée par l'expression :

$$V_{FB} = \phi_{ms} - \frac{Q_{SS}}{C_{ox}} \quad (2.1)$$

Avec :

- $Q_{ms}$  la différence entre les travaux de sortie du métal et du semi-conducteur,
- $Q_{SS}$  la quantité de charges dans l'oxyde
- $C_{ox}$  la capacité de l'oxyde

#### -Tension de Seuil $V_T$ (Threshold Voltage)

La tension de seuil est l'un des paramètres les plus importants du transistor MOS. C'est la tension à appliquer entre la grille et la source pour amorcer la formation du canal. En général, la tension de seuil est fonction d'un certain nombre de paramètres dont :

- Tension de FlatBand.
- Matériau de la grille et du substrat.
- Epaisseur d'oxyde et longueur du canal.
- Dopage et son uniformité, dus au procédé de fabrication.
- Etats d'interface dans la région Si-SiO<sub>2</sub>
- DDP entre la source et le substrat  $V_{SB}$ .
- De la température ( $V_T$  décroît avec l'augmentation de la température, variation de l'ordre de  $-4\text{mV}/^\circ\text{C}$  si le substrat est fortement dopé,  $-2\text{ mV}/^\circ\text{C}$  Si le substrat est faiblement dopé).

Une première expression de la tension de seuil est donnée par :

$$V_T = V_{FB} + \Phi_d + \frac{Q_{dep}}{C_{OX}} \quad (2.2)$$

**-Le courant de drain  $I_D$  (en forte inversion) :**

Le courant parcourant le canal est

$$I_d = \frac{W \cdot \mu \cdot C_i}{L} \left[ \left( V_g - \frac{V_d}{2} - 2 \cdot \phi_{Fi} \right) \cdot V_d - \frac{2}{3} \frac{(2 \cdot e \cdot N_a \cdot \epsilon_s)^{1/2}}{C_i} \left( (V_d + 2 \cdot \phi_{Fi})^{3/2} - (2 \cdot \phi_{Fi})^{3/2} \right) \right] \quad (2.3)$$

**-Régime linéaire :**

L'expression du courant de drain peut se mettre sous la forme :

$$I_d = \frac{W \cdot \mu \cdot C_i}{L} \left[ \left( V_g - 2 \cdot \phi_{Fi} \right) \cdot V_d - \frac{V_d^2}{2} - \frac{2}{3} \frac{(2 \cdot e \cdot N_a \cdot \epsilon_s)^{1/2}}{C_i} (2 \cdot \phi_{Fi})^{3/2} \left( \left( 1 + \frac{V_d}{2 \cdot \phi_{Fi}} \right)^{3/2} - 1 \right) \right] \quad (2.4)$$

En considérant  $V_d \ll 2 \cdot \phi_{Fi}$  et en posant :

$$V_T = 2 \cdot \phi_{Fi} + \frac{(4 \cdot e \cdot N_a \cdot \epsilon_s \cdot \phi_{Fi})^{1/2}}{C_i} \quad (2.5)$$

On obtient l'expression simplifiée du courant de drain :

$$I_d = \frac{W \cdot \mu \cdot C_i}{L} (V_g - V_T) V_d \quad (2.6)$$

**-Régime de saturation :**

Quand la tension drain source augmente au-delà du régime linéaire, le courant présente une variation sous- linéaire et atteint un régime de saturation. Pour ce régime,  $V_d = V_{dsat}$  et l'expression du courant devient :

$$I_{dsat} = \frac{W \cdot \mu \cdot C_i}{6 \cdot L} \left[ (V_{dsat} + 2 \cdot \phi_{Fi}) (V_{dsat} + 2 \cdot \phi_{Fi} + 2 \cdot V_g) - 12 \cdot \phi_{Fi} \left( V_g - \phi_{Fi} - \frac{4}{3} \frac{(e \cdot N_a \cdot \epsilon_s \cdot \phi_{Fi})^{1/2}}{C_i} \right) \right] \quad (2.7)$$

Après simplification, on a les expressions suivantes :

$$V_{dsat} \approx V_g - 2 \phi_{Fi} \approx V_g - V_T \quad (2.8)$$

$$I_{dsat} \approx \frac{W \mu C_i}{2 \cdot L} V_{dsat}^2 \approx \frac{W \mu C_i}{2 \cdot L} (V_g - V_T)^2 \quad (2.9)$$

**-Caractéristiques  $I(V)$  du MOSFETs :**

Les Figures (II-2) et (II-3) illustrent les caractéristiques de transfert  $I_{DS} = f(V_{GS})$  et de sortie  $I_{DS} = f(V_{DS})$  des 04 types de transistors MOSFET

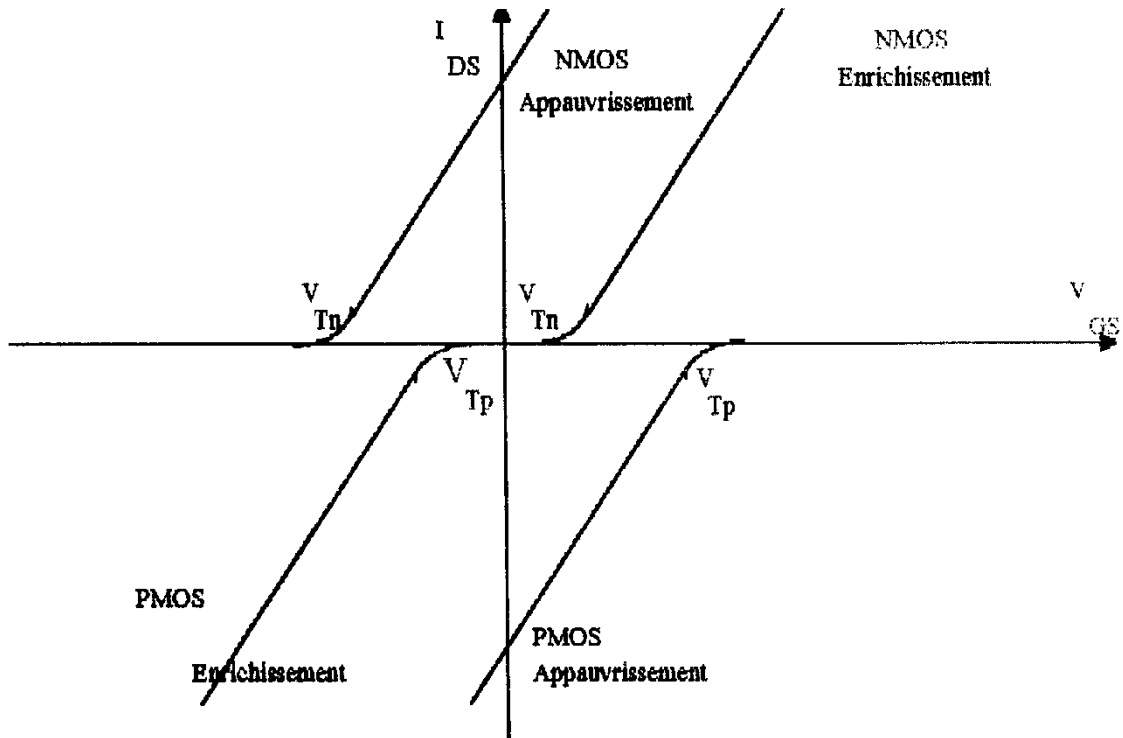


Figure (II-2): Caractéristiques de transfert des transistors MOSFET

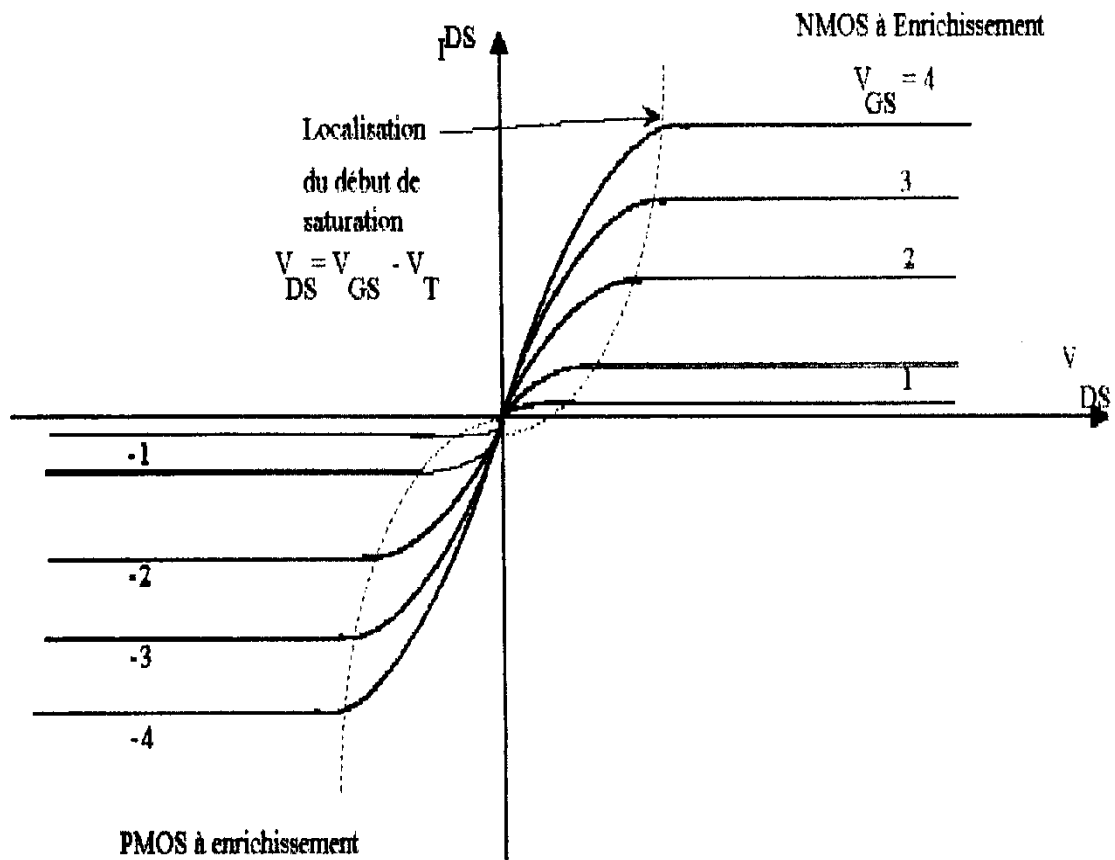


Figure (II-3): Caractéristiques de sortie des transistors MOSFET.

### II-3 MOSFET submicronique et les effets des canaux courts

Un transistor est dit à canal court si les largeurs de diffusion drain et source nous sont pas totalement négligeable devant la longueur du canal, ainsi la longueur du canal prend deux valeurs à savoir longueur réelle  $L$  et longueur effective  $L_{\text{eff}}$  .

Pour améliorer les performances –notamment en fréquence- des MOSFETs et pouvoir réaliser des fonctions électroniques de plus en plus complexes par l’augmentation de la densité d’intégration, les dimensions des dispositifs sont de plus en plus réduites et ont conduit au développement de dispositifs fortement submicroniques. Cependant, cette réduction d’échelle est source d’effets indésirables propres aux dispositifs de petites tailles et affectant sévèrement les performances espérées. [8]

La conception et l’élaboration de MOSFETs submicroniques nécessitent des paramètres supplémentaires comparés à ceux requis pour le cas du MOSFET à canal long. Essentiellement, on distingue :

- les profils des dopages au niveau de la source et du drain,
- le profil du dopage du canal,
- la construction des contacts et
- la géométrie à la périphérie de la grille,

Ces paramètres secondaires deviennent importants dans la conception et les procédés de fabrication y’influent beaucoup.

Les critères de base employés pour optimiser la miniaturisation sont :

-Non uniformité du dopage du substrat : plus important entre la source et le drain qu’en dessous. Dans l’expression de  $L_{\text{min}}$ , c’est le dopage entre la source et drain qui est pris en considération.

-Une couche légèrement dopée P sous la source et le drain réduit les capacités jonctions substrat et augmente la vitesse de réponse.

-La structure des contacts aide aussi à réduire les capacités (surface de contact réduite).

-L’extension de la jonction réduit les capacités parasites de recouvrement entre la grille et les jonctions. C’est cette profondeur de jonction qui est utilisée dans l’expression de  $L_{\text{min}}$ .

-La réduction des résistances séries constitue l'un des points les plus importants pour le développement de transistors submicroniques. Pour éviter d'avoir des résistances séries de jonctions importantes, on peut agir sur plusieurs facteurs (dopage des jonctions, surélévation des zones de source et drain, ...).

-Utilisation de matériaux à faible résistivité pour la réalisation des interconnexions, par exemple, l'utilisation du cuivre (résistivité =  $2\mu\Omega.cm$ ) à la place de l'aluminium (résistivité =  $3\mu\Omega.cm$ ) engendre plusieurs avantages, notamment la réduction du coût de fabrication, la réduction de la consommation en puissance et la réalisation de lignes métalliques plus fines.

-Le dopage de substrat doit être régi par la relation  $N_{sub} \geq N_{canal} / 10$

-La grille doit avoir une faible résistance /carrée et l'oxyde de grille doit être très fin et à faible densité de défauts. Ceci pour réduire le courant tunnel et augmenter la fiabilité de l'oxyde.

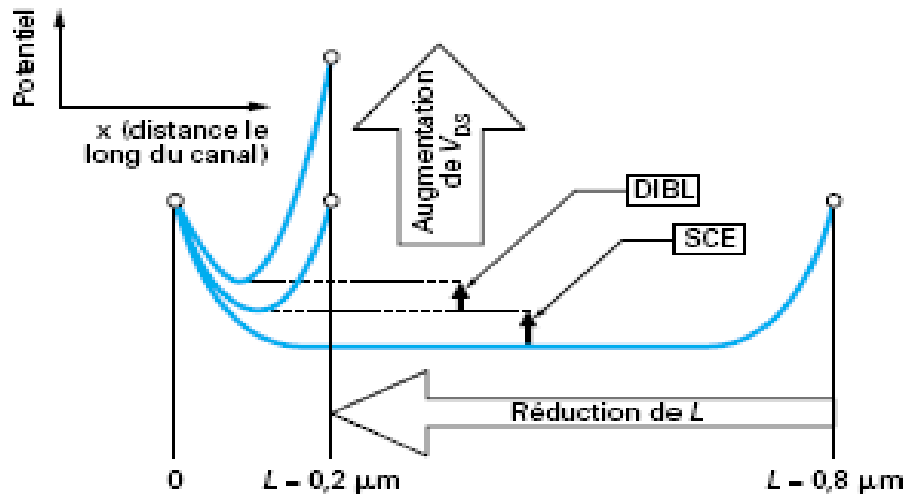
### **II-3-1 Effets indésirables dans le transistor MOSFET à canal court**

En plus des instabilités dues aux charges d'oxyde, états d'interface, rugosités de surface, pour ne citer que ces instabilités, la réduction de la géométrie du transistor MOSFET fait aussi apparaître des effets indésirables qui dégradent les performances des dispositifs à canal court. [8]

Si les manifestations de ces effets sur le fonctionnement du transistor peuvent être considérées comme étant de second ordre lorsque les dimensions sont microniques, pour des transistors fortement submicroniques ( $W ; L \ll 1 \mu m$ ), ces effets peuvent dominer complètement le fonctionnement du dispositif et le rendre peu utilisable. Ainsi parmi les principaux effets :

#### **II-3-1-1 SCE : effet de canal court (short channel effect)**

Dans un transistor à canal court, comme les zones de charge d'espace S/D se rapprochent, on provoque une courbure et un abaissement du potentiel qui est plat sur presque toute la longueur du canal pour un MOSFET canal long, voir figure 9. C'est l'effet de canal court



**Figure (II-4) :** Évolution du potentiel surfacique en fonction de la longueur du canal et du potentiel du drain

Cet abaissement de la barrière de potentiel entre de drain et la source augmente le courant et réduit la tension de seuil. Réduction donnée par la relation :

$$V_T = \underbrace{V_T}_{L \rightarrow \infty} - \underbrace{\frac{\epsilon_{Si}}{\epsilon_{ox}} \frac{t_{ox} t_{dep}}{L^2} v}_{SCE} \quad (2.10)$$

$$\text{Où : } t_{dep} = \sqrt{\frac{2\epsilon_{Si}}{qN_B} (\Phi_d - V_B)} \quad (2.11)$$

est la profondeur de la déplétion sous la grille.

et  $v = \Phi_d$

L'effet peut être réduit en ayant  $L \gg t_{ox}$  et  $L \gg t_{dep}$ . Ceci en réduisant l'épaisseur de l'oxyde et en augmentant le dopage  $N_B$  pour réduire la profondeur de déplétion.

### II-3-1-2 Effet DIBL (drain induced barrier lowering)

Plus la longueur du canal est réduite, plus les zones de diffusion de source et drain sont proches, ce qui entraîne une pénétration importante du champ électrique du drain vers la source. La barrière de potentiel à la source peut donc être réduite en raison de cette influence du drain, voir figure 9. Cet abaissement de la barrière de potentiel de la source induit une injection d'électrons dans la source entraînant une augmentation du courant de drain et une réduction de la tension de seuil donnée par :

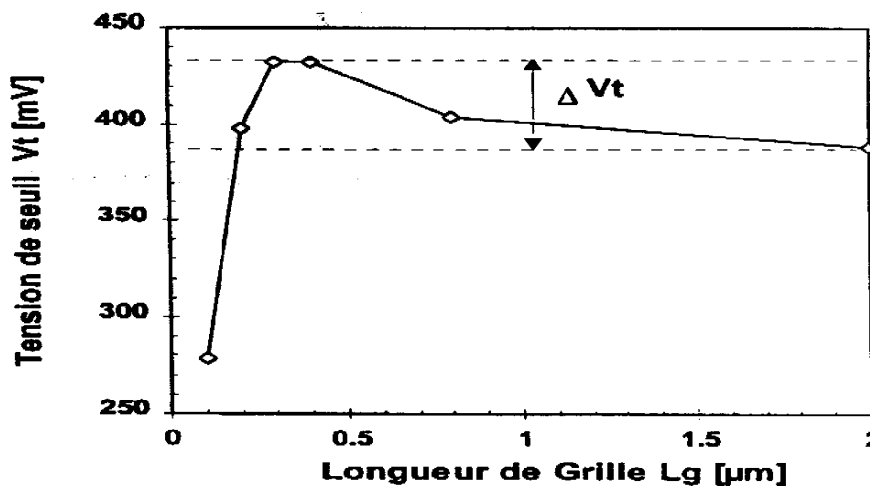
$$V_T = \underbrace{V_T}_{L \rightarrow \infty} - \underbrace{\frac{\epsilon_{Si}}{\epsilon_{ox}} \frac{t_{ox} t_{dep}}{L^2}}_{DIBL} v \quad (2.12)$$

Comme pour l'effet SCE, le DIBL peut être réduit en agissant sur l'épaisseur de l'oxyde et en augmentant le dopage  $N_B$  pour réduire la profondeur de déplétion. De plus l'effet DIBL augmente linéairement avec la tension de drain  $V_{DS}$ . Les effets SCE et DIBL constituent une limitation importante de la miniaturisation du MOSFET.

### II-3-1-3 Effet de Canal Court Inverse

Il a été observé qu'une réduction de la longueur du canal pour augmenter la densité d'intégration entraînait une augmentation de la tension de seuil qui, à première vue, devait diminuer. Ainsi, cette observation a motivée l'étude du phénomène inverse de réduction de longueur du canal (RSCE : Reverse Short Channel Effect).

Ce phénomène est illustré par la figure II-5. On remarque qu'à certaines valeurs de la longueur de canal  $L$  la tension de seuil présente des valeurs maximales. Pour de très faibles valeurs de  $L$  (Deep Submicron MOSFETs) la tension de seuil augmente avec la longueur du canal  $L$ .



(Figure II-5) : Variation de la tension de seuil avec la longueur de grille illustrant l'effet de canal court inverse

On définit la grandeur  $\Delta V_T$  comme étant la variation de la tension de seuil d'un transistor de longueur de canal  $L$  par rapport à un transistor de référence.

### II-3-1-4 Effets de porteurs chauds

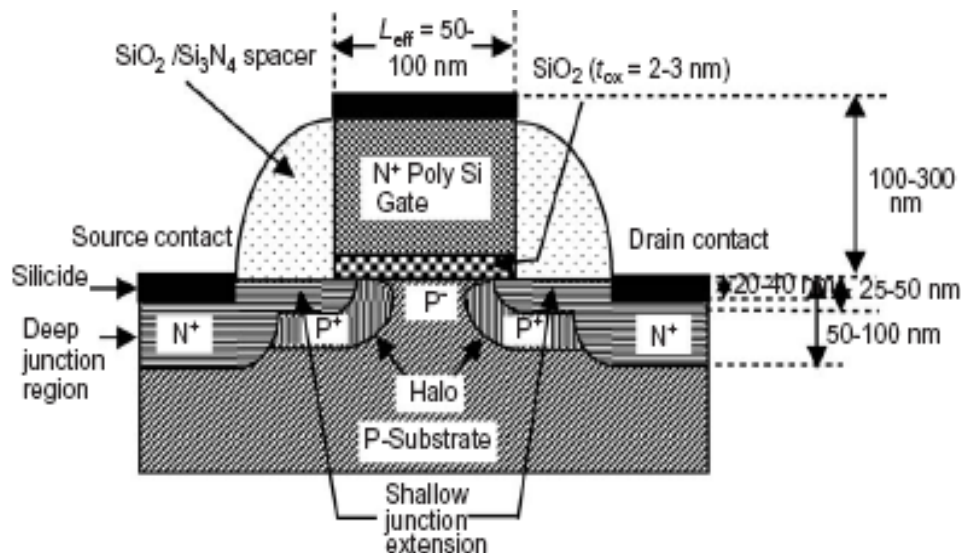
Quand on réduit la longueur du canal et que l'on augmente la tension de drain, le champ longitudinal prend des valeurs importantes et génère des porteurs dits *chauds*. Ces porteurs sont appelés ainsi car ils ont acquis une grande énergie qui ne peut être totalement dissipée à leurs arrivés à destination. Ils causent ainsi des dégradations au moment du transfert de leur excès d'énergie au réseau du matériau constituant le MOSFET. Ces porteurs sont à l'origine de plusieurs effets néfastes pour le transistor.

II-4 le MOSFET nanométrique

Si de nos jours, l'industrie fabrique des transistors avec des longueurs de canal de 22 nm, L'ITRS (International Technology Roadmap for Semiconductors) prévoit des longueurs de grilles de 7nm en 2018. Pour ce faire, il existe plusieurs voies, notamment l'utilisation de nouvelles architectures qui devraient remplacer à plus au moins longue échéance le MOSFET conventionnel, et la réalisation de différent type de transistor selon l'application : hautes performances (HP) pour les microprocesseurs, basses consommations en fonctionnement (LOP) ou en état de veille (LTSP) pour les équipements portables. [8]

	2004	2007	2010	2018
Noeud technologique (nm)	90	65	45	18
Longueur physique de la grille (nm)	37	25	18	7
Tension d'alimentation (V)	1.2	1.1	1	0.7
Epaisseur d'oxyde équivalent (nm)	1.2	0.9	0.7	0.5
Tension de seuil en saturation (V)	0.2	0.18	0.15	0.11
Courant de fuite nominal des nMOS ( $\mu\text{A}/\mu\text{m}$ )	0.05	0.07	0.1	0.5
Courant de conduction nominal des nMOS ( $\mu\text{A}/\mu\text{m}$ )	1110	1510	1900	2190
Temps de réponse intrinsèque de nMOS (ps)	0.95	0.64	0.39	0.11
$\tau = C_G * \frac{V_{dd}}{I_{dsat}}$				

Tableau 2.2 : évolution des paramètres des transistors



**Figure (II-6) : structure et dimensions typique du nanoMOSFET**

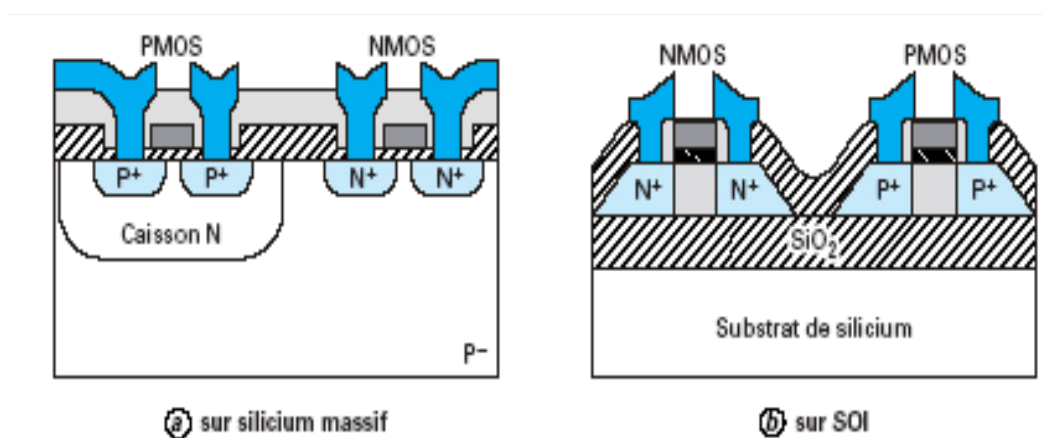
La figure (II-6) illustre le nanoMOSFET. Le dopage du canal est à profil rétrograde à fort dopage sub surfacique ( $5 \cdot 10^{17}$  à  $3 \cdot 10^{18} \text{ cm}^{-3}$ ) pour empêcher le champ électrique de drain d'arriver à la source (perçage volumique) et un faible dopage de surface ( $10^{17} \text{ cm}^{-3}$ ) pour maintenir une faible tension de seuil et améliorer la mobilité dans le canal en y réduisant les centres de collisions. Alors que des extensions de jonctions très minces sont utilisées pour le contact du canal avec le Drain et la source, des jonctions plus profondes sont utilisées pour établir la connexion avec les contacts métalliques drain source et ceci dans le but de réduire les résistances d'accès. Pour sa haute solubilité et son faible coefficient de diffusion, c'est l'arsenic qui est utilisé pour le dopage.

#### II-4-1 Le MOSFET SOI

La technologie silicium sur isolant (Silicon on Insulator ou T.SOI) a été mise en évidence dans les années 1960-1970 pour satisfaire la demande de circuits intégrés immunisés aux irradiations ionisantes. Actuellement, la technologie SOI est devenue l'une des filières les plus prometteuses pour la fabrication de circuits intégrés à basse consommation, haute fréquence à de hautes ou basses températures.

Depuis le début des années 1990, la mise au point de nouveaux matériaux pour le SOI et le développement des appareils électroniques portables a promu la T.SOI comme une technologie de choix pour la fabrication de composants répondant aux exigences de l'électronique d'appareils portables. La technologie SOI a un fort potentiel pour repousser les frontières de la microélectronique par la miniaturisation avancée des transistors MOS et par les architectures innovantes qu'elle peut accueillir. [8]

Le premier matériau, le silicium sur saphir (SOS), a été suivi par une variété de structures SOI. Leur dénominateur commun est d'offrir, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif comme le montre la figure II-7. En effet, dans un transistor MOSFET, il n'y a que la couche superficielle de silicium d'épaisseur de 0,1 à 0,2  $\mu\text{m}$  (i.e., moins de 0,1 % de l'épaisseur totale de la plaquette de silicium) qui est vraiment active pour le transport des électrons de conduction. Le reste de la plaquette est le siège d'effets parasites indésirables (t'elles les capacités parasites, phénomènes de proximités, ...) que l'on peut éviter en faisant appel à une solution de type SOI.



**Figure (II-7) :** Comparaison des architectures génériques des transistors MOS

## II-4-2 Nouveaux phénomènes dans les MOSFETs nanométriques

### II-4-2-1 Transport balistique

La vitesse des porteurs dans le canal se sature et se limite aux environs de  $10^7$  cm/s pour les MOSFETs conventionnels. Cette limite est due à divers processus de dispersion / collisions présents dans le canal. Or pour les dimensions extrêmes, la longueur du canal devient plus petite que le libre parcours moyen des porteurs. Ces derniers peuvent alors traverser le canal sans collision. Ainsi à des longueurs de canal de l'ordre de 40nm, la probabilité pour qu'il y ait dispersion est de l'ordre de 15% seulement. Comme les porteurs peuvent donc traverser le canal avec des vitesses plus importantes que la vitesse de saturation, le courant de conduction devient très important dans les dispositifs où le transport des porteurs est balistique.

### II-4-2-2 Phénomène de survitesse

Avec la réduction des dimensions du MOFET à l'échelle nanométrique, il y apparaît un champ électrique intense et des variations rapides du champ électrique et de la concentration

des porteurs, ce qui conduit au phénomène de survitesse, phénomène pendant lequel la vitesse des porteurs dépasse la vitesse de saturation. Ce phénomène de survitesse améliore la capacité du MOSFET par rapport au courant de conduction  $I_{DS}$ .

#### **II-4-2.3 L'effet tunnel source-drain**

En se référant à l'ITRS 2004, la longueur de grille atteindra 7nm en 2018. A cette échelle, l'effet tunnel source-drain deviendra très important et imposera une limite ultime à la réduction de la longueur du canal. Des études ont montrés notamment que l'effet tunnel source-drain :

- est une limitation à la miniaturisation mais cette limite est au-dessous de 10 nm,
- domine le courant OFF des dispositifs balistiques (80% pour  $L=5\text{nm}$ ).
- joue un rôle important (20%) à l'état ON des dispositifs balistiques, ce qui dégrade le rapport ON-OFF du courant.

#### **II-4-2.4 Confinement des porteurs**

La réduction d'échelle du MOSFET a atteint un tel point que le confinement quantique affecte significativement les propriétés des dispositifs. Ainsi le MOSFET nanométrique montre à un degré important, un confinement quantique dans le canal qui est dû au très fort champ électrique normal à l'interface Si-SO<sub>2</sub>, ce qui augmente la dispersion de la tension de seuil  $V_{th}$ .

**III-1 Introduction**

La structure de test en technologie micro-électronique est un dispositif ou circuit intégré auxiliaire fabriquée sur le même substrat (wafer) et en même temps que les circuits intégrés. Elle est composée de plusieurs circuits qui seront utilisées pour obtenir rapidement, par le biais des méthodes de mesure variées, des informations qui sont difficiles, sinon impossible, de les avoir à partir des circuits intégrés complets une fois fabriqués. Ces structures de test sont conçues pour procurer des analyses rapides des portions spécifiques du procédé de fabrication.

L'utilisation des structures de test permet de situer les défaillances en utilisant des techniques d'analyses et de caractérisation et mettent en évidence d'éventuelles aléas durant la fabrication.

Les structure de test sont utilisés par les industries des circuits intégrés depuis le début des années soixante (1960). En générale, les chips de test ont été utilisés pour les composants de caractérisation, contrôle du procédé de fabrication, l'évaluation des performances de l'opérateur et de l'équipement, évaluation du rendement et de nouveaux procédés de fabrication.

En 1968, Barone et Myers ont développé un chip de test (1.3 mm x 1.3 mm) avec 44 plots pour évaluer le circuit additionneur 8-bit en bipolaire qui contenaient 448 composants. En 1969 Schnable et Keen ont développé un chip de test pour contrôler la fiabilité de la durée de vie en LSI (Large ScaleIntegration). En 1970 Sahni ont développé un chip de test pour l'évaluation de la fiabilité des circuits intégrés en bipolaire, ces structures examinent le courant de fuite des transistors, l'intégrité dans la métallisation et la résistance de la couche de passivation à l'humidité. En 1972 Penney et Lau ont développé un chip de test (0.9 mm x 1.3 mm) avec 200 plots pour un circuit intégré contenant 6000 transistors en technologie PMOS et grille en Aluminium. En 1974 Reynolds et al ont développé un chip de test (2.54 mm x 2.54 mm) contenant 35 structures de test avec 35 plots dédiés pour valider les règles de dessin, le procédé de fabrication et la fiabilité des circuits intégrés en PMOS, grille en Aluminium. En 1981, Mitchell et Linholm ont développé un chip de test (5.1 mm x 5.1 mm) avec 216 plots et 40 structures de test. [7]

En 1984, W. G. Oldham a développé un chip de test pour le procédé de fabrication CMOS contenant sept modules de structures de test, qui sont :

- 1-Analog test pattern,
- 2-Yield test pattern,
- 3-Short loop test pattern,
- 4-Device test pattern,
- 5-Device drop-in test pattern,
- 6-Process test pattern, et
- 7-Process drop-in test pattern.

Nous allons traiter le module complet du «process drop-in test pattern » dédié à évaluer le procédé de fabrication de la technologie CMOS 1.2  $\mu\text{m}$  à double niveau de métallisation. La conception de l'architecture des structures de test de ce module est inspirée du chip de test de Berkeley , il est conçu au centre de développement des technologies avancées (C.D.T.A.), Algérie et sa fabrication est faite par la fonderie European Silicon Structure (ES2) via le CMP de France.

### **III-2 MODULE DE TEST « PROCESS DROP-IN»**

Le module de test « process drop-in », dont le masque est illustré sur la figure (III-1), consiste en 12 blocks de 2 x 5 plots répartis selon leurs fonctions. Les avantages de ce genre de module sont ; (1) la détermination rapide des caractéristiques électriques et des caractéristiques du procédé technologiques et (2) due à l'automatisation du test, les paramètres du procédé peuvent être améliorés rapidement. [7]

Les structures de test du module « process drop-in » et leurs fonctions sont données par le tableau 3-1.

Tableau 3.1: structure de test du module process Drop-In

Code	Structure	Rôle
Stru-1	Diviseur de tension	Alignement Poly./Active.
Stru-2	Diviseur de tension	Alignement Cont./Active.
Stru-3	Diviseur de tension	Alignement Met1./ Active.
Stru-4	Diviseur de tension	Alignement Met2./ Active.
Stru-5	Diviseur de tension	Alignement Cont./ Poly.
Stru-6	VD Pauw et chaîne de contact	Résistance Rs, la largeur de la ligne (N-S/D) et la fiabilité du contact
Stru-7	VD Pauw et chaîne de contact	Résistance Rs, la largeur de la ligne (P-S/D) et la fiabilité du contact
Stru-8	VD Pauw et chaîne de contact	Résistance Rs, la largeur de la ligne (Poly.) et la fiabilité du contact
Stru-9	Meanderresistor et comb.	Résistance Rs et la largeur de la ligne(Metal1)
Stru-10	Meanderresistor et comb.	Résistance Rs et la largeur de la ligne(Metal2)
Stru-11	Capacité - Met.1/ Oxyde/ Poly. - Met.1/ Oxyde/ P+ edge	Tensions Vt, Vfb, Bd
Stru-12	Capacité - Met.2/ Oxyde/ Poly. - Met.2/ Oxyde/ Met.1	
Stru-13	Capacité - Met.1/ Oxyde/ P+ - Met.1/ Oxyde/ N+ - Poly./ Oxyde de grille/ P+ - Poly./ Oxyde de grille/N+	
Stru-14	- Poly./ Oxyde de grille/ P+ (edge) - Met.2/ Oxyde/ P+ edge - Met.2/ Oxyde/ P+ - Met.2/ Oxyde/ N+	

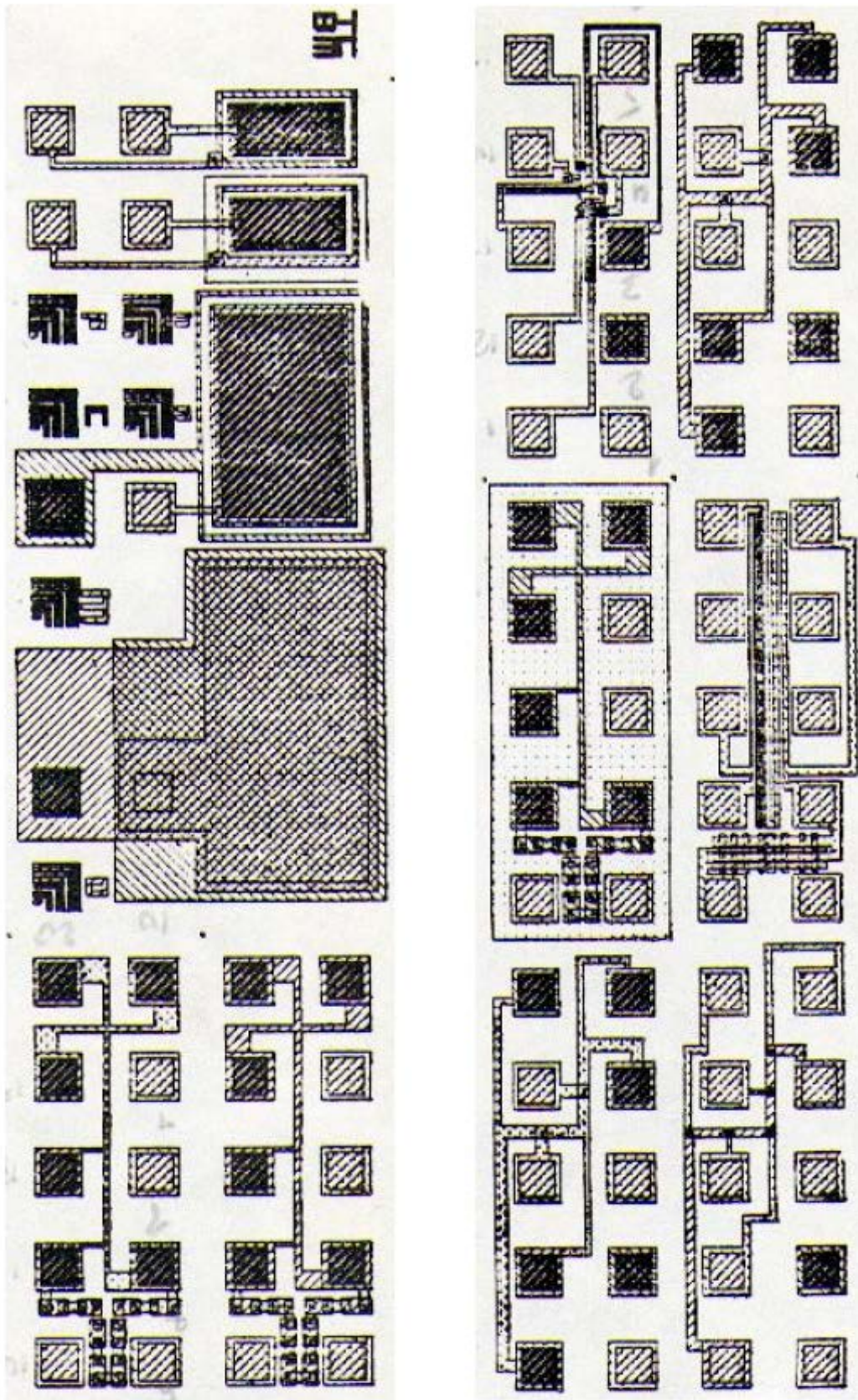


Figure (III-1): Module de test « process drop-in »

### III-3 Objectifs

#### Les tests paramétriques (extraction de paramètres du process)

a- Analyse de la couche d'interconnexion.

- Mesure de la résistance carrée.
- Mesure de la largeur des lignes.

b- Analyse des couches de diélectriques.

- Mesure de la tension de claquage du diélectrique et de la constante diélectrique.
- Mesure de la densité des charges d'interface et les charges fixes dans l'oxyde.
- Mesure des épaisseurs de l'oxyde de grille et de l'oxyde de champ
- Mesure de la capacité inter- et intra- niveaux.
- Mesure de la concentration de dopage du substrat en surface et le profil de dopage n-well.

#### Les tests pour l'analyse du process

- Mesure de la largeur des interconnexions des contacts et des zones diffusées.
- Mesure de la variation (mésalignement) de celle-ci.

#### Les tests pour l'analyse de la densité de défauts

- Court-circuit entre les couches conductrices Met.1/Poly. et Met.2/Met.1.
- Circuits ouverts des lignes métalliques.

#### Les tests d'analyse des défauts de contacts et via

- Résistance de contact Met.1/Poly. , Met.1/N+ et Met.1/P+.
- Résistance de via Met.2/Met.1.

#### Les tests de photo-lithographie

- Analyse de l'alignement de chaque masque par rapport aux autres.
- Analyse de la largeur des couches photoresist ou les ouvertures et la gravure des couches ou les ouvertures dans les différentes couches.

III-4 Diviseur de tension

Cette structure, schématisée sur les figures (III-1.a à III-1.e), propose une mesure électrique de l'alignement de poly/N + , métal1/contact, métal2/via, poly/contact et contact/P + . Ces figures représentent diviseur de tension Elle consiste en deux diviseurs de tension l'un horizontal et l'autre vertical. En appliquant un courant I aux bornes de la couche (résistive ) qu'on veut analyser et en mesurant les tensions  $V_1$  ,  $V_2$  ,  $V_3$  ,  $V_{TX}$  et  $V_{TY}$  (voir figures III-1-a à III-1-2.), on peut déterminer le non-alignement horizontal et vertical de la couche déposée. [7]

Les alignements horizontal et vertical seront parfaits si  $V_{TX}$  et  $V_{TY}$  seraient à la moitié de la différence du potentiel entre  $V_1$ ,  $V_2$  et entre  $V_2$ ,  $V_3$  respectivement.

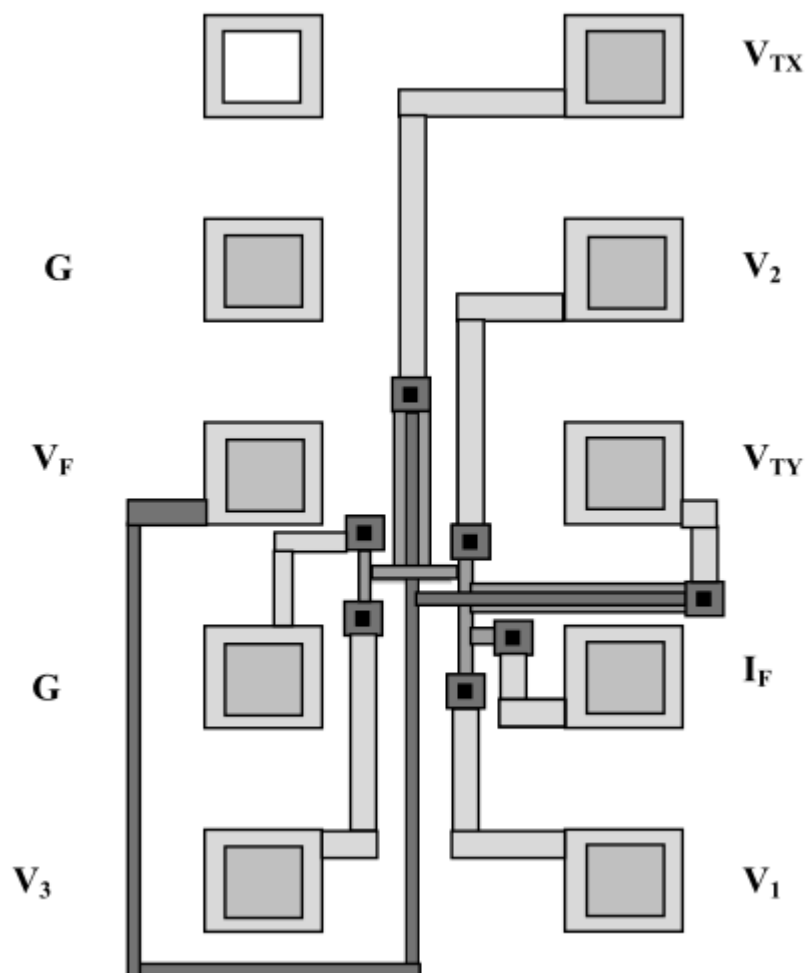


Figure (III-1.a) : Diviseur de tension poly/N<sup>+</sup> «Couche N »

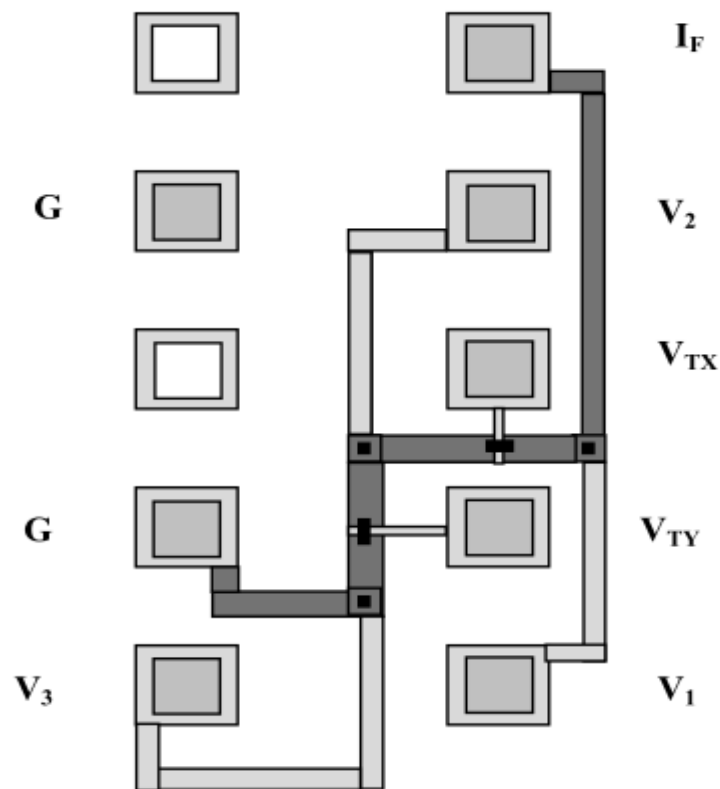


Figure (III-1.b) : Diviseur de tension métal1/contact «métal 1 »

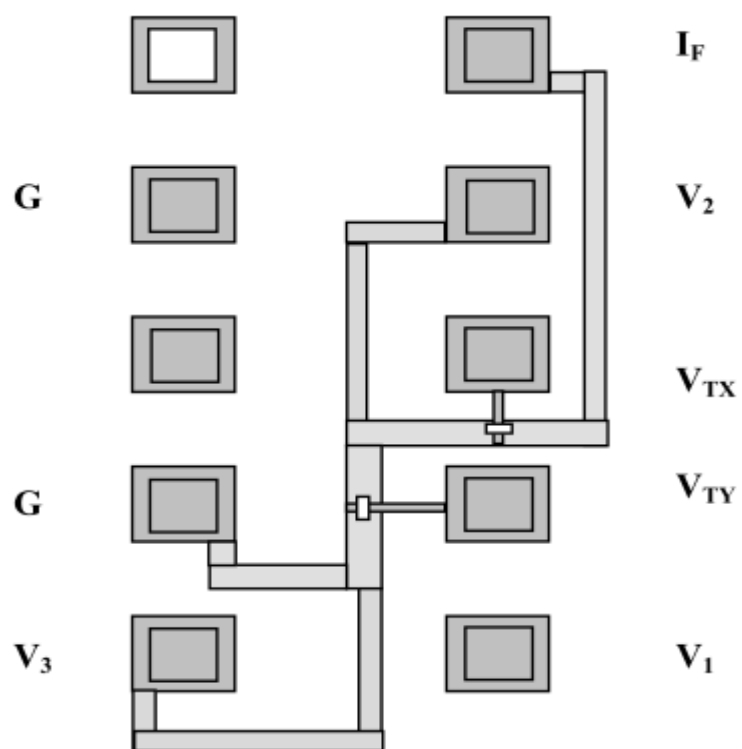


Figure (III-1.c) : Diviseur de tension métal2/via «métal 2 »

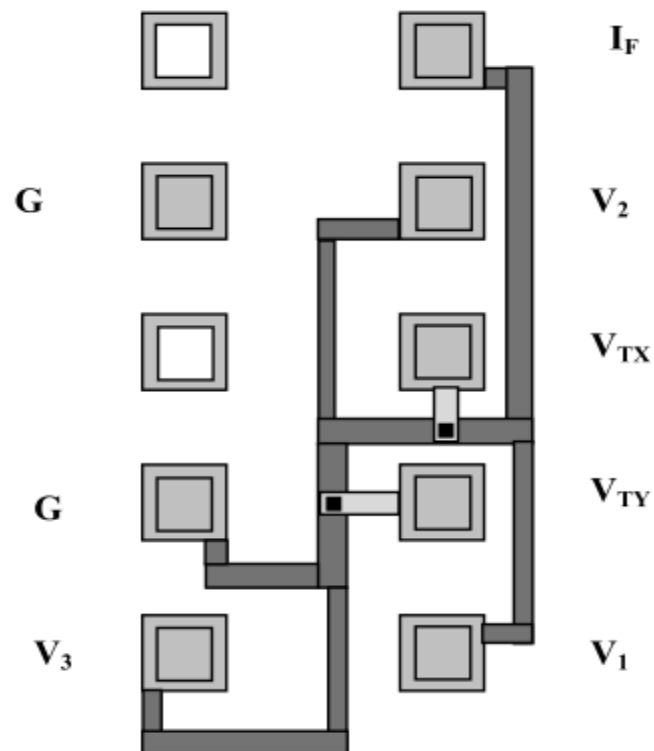


Figure (III-1.d): Diviseur de tension poly/contact «poly-si »

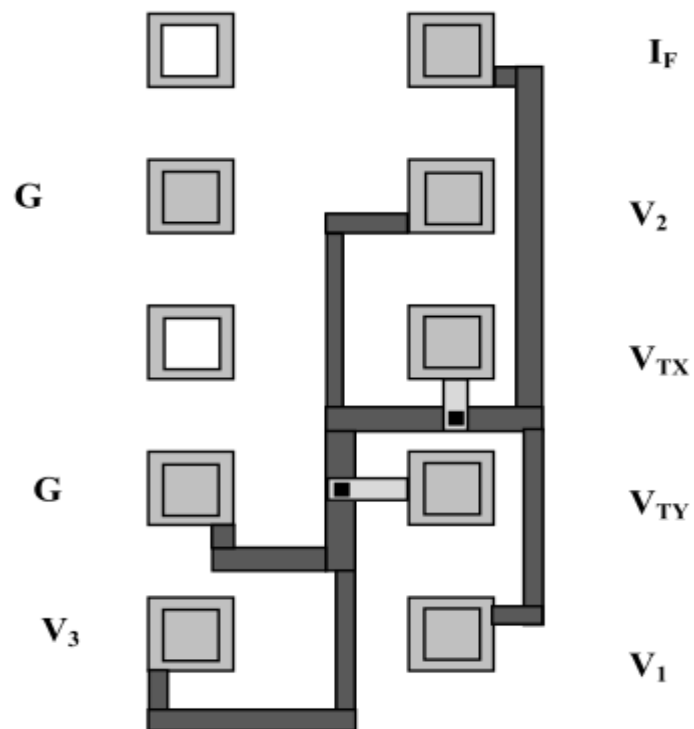


Figure (III-1.e) : Diviseur de tension contact/P + «couche P »

### III-5 Cross bridge

Cette structure est composée de « Vander Pauw » et de « straight resistor » (voir les figures de III-2.a à III-2.c). Les deux sont traversées par le même courant  $I$ . La résistance carrée est déterminée par la structure VD. Pauw. En utilisant cette information, on détermine la largeur de la ligne de « straight resistor ».

### III-6 Chaîne de contact

Cette partie de la structure propose la mesure électrique de la résistance carrée et de la largeur de la ligne. Cette structure est représentée par la partie haute des figures III-2.a, III-2.b et III-2.c. Elle consiste en seize (16) contacts.

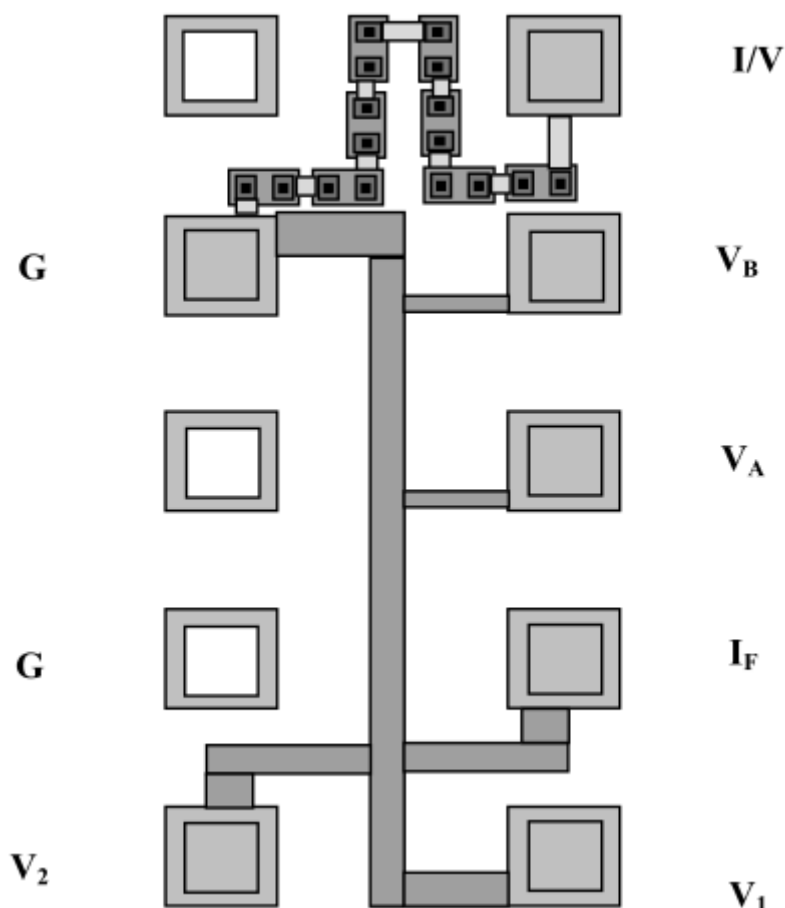


Figure (III-2.a) : CROSS BRIDGE CHAINE DE CONTACT «couche N »

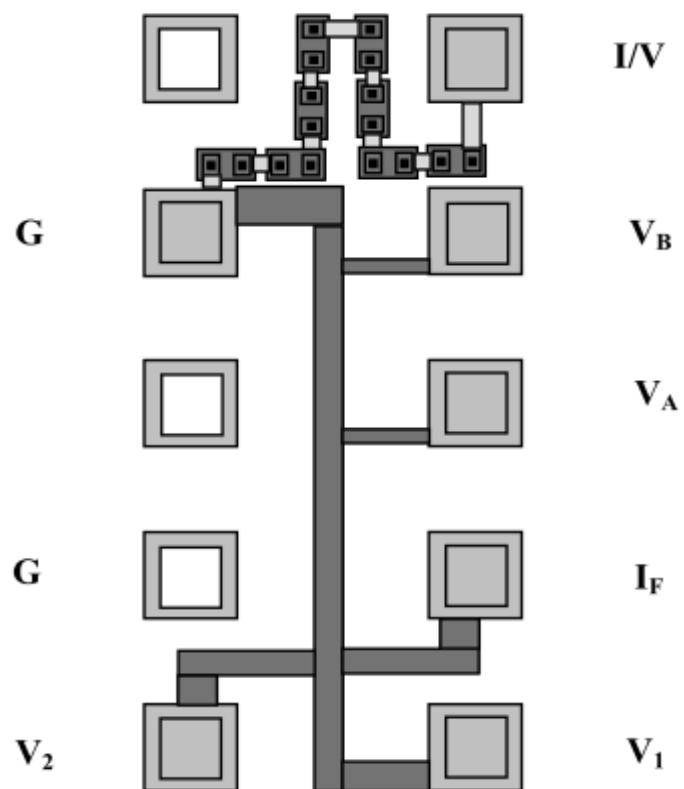


Figure (III-2.b) : CROSS BRIDGE CHAINE DE CONTACT «Poly-Si »

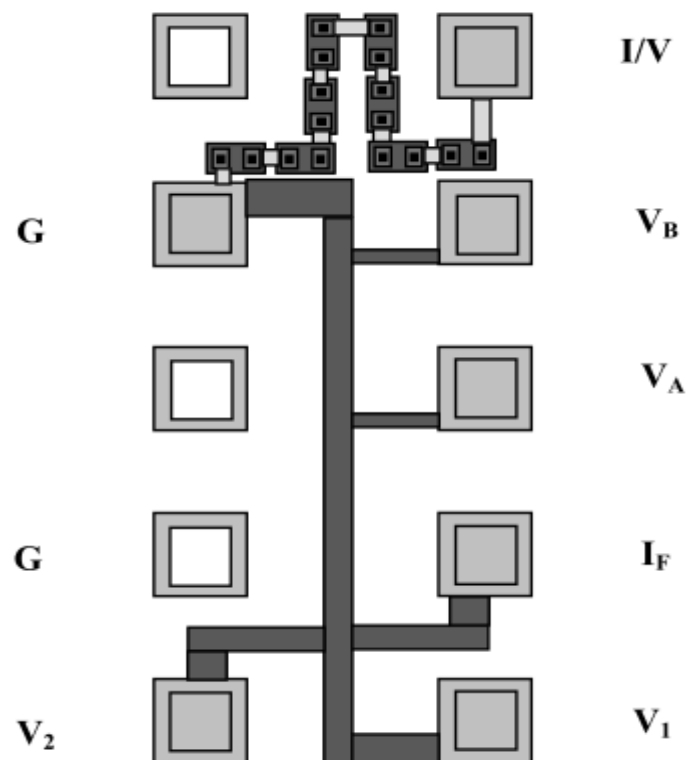


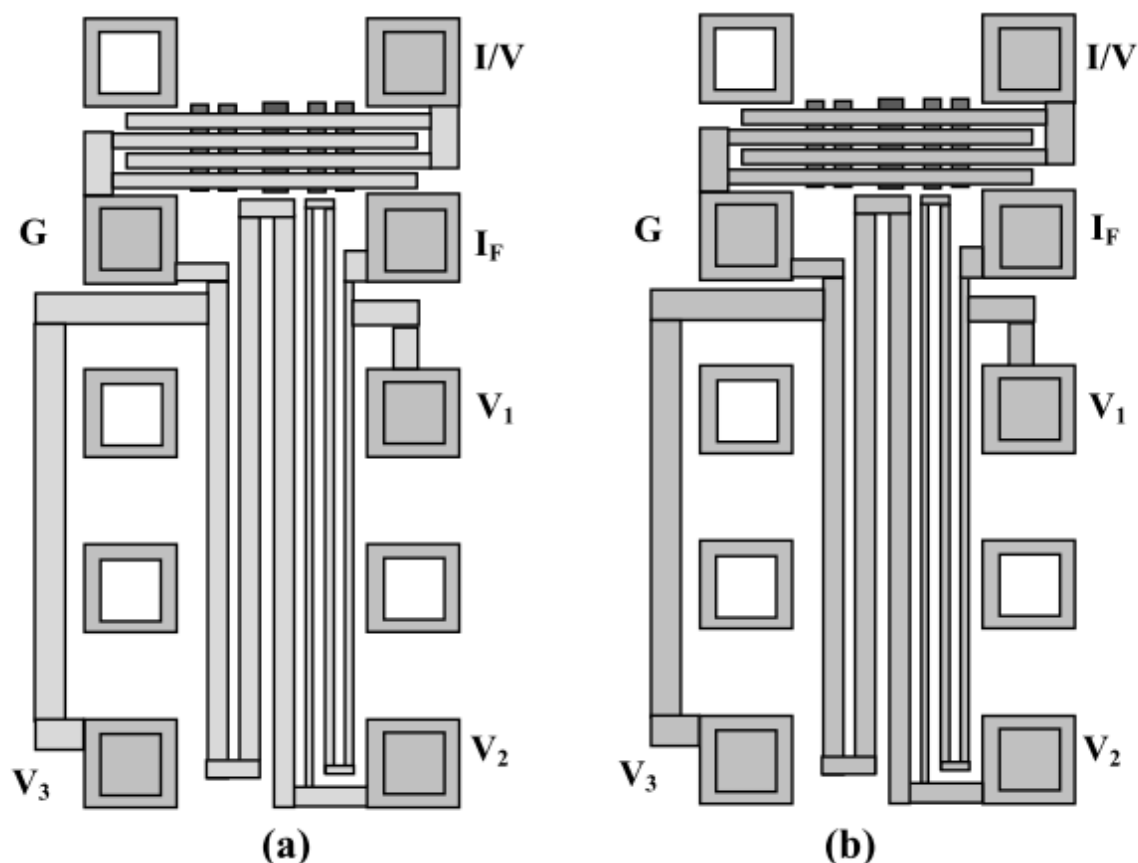
Figure (III-2.c) : CROSS BRIDGE CHAINE DE CONTACT «Couche P »

**III-7 Structure en serpentín(meander)**

Cette structure propose la mesure électrique de la résistance et la largeur des lignes du métal 1 et métal 2. Elle consiste, Comme montré sur les figures III-3.a et III-3.b, en deux lignes du métal en serpentins l'un de largeur de  $9\mu\text{m}$  et l'autre de  $3\mu\text{m}$ , ils ont la même longueur et parcourues par le même courant.

**III-8 Structure en peigne (comb)**

Cette structure permet de détecter la présence des courts-circuits qui peuvent exister entre les couches métalliques. Elle consiste en deux peignes interpénétrés mais non connectés. Le métal 1 où le Métal 2 est déposé entre les étapes de diffusion et du poly. Formant un angle droit.



**Figure (III-3) :** « MEANDER » et « COMB ». a) Métal 1 et b) Métal 2

**III-9 CAPACITES (Flat plate capacitors)**

Cette partie propose la mesurer les quantités suivantes :

$N_{\text{sub}}$ : concentration de dopage en surface,

$N_{\text{well}}$  : profil de concentration de dopage n-well

$N_{\text{ss}}$ : charges fixes dans l'oxyde,

$N_{\text{it}}$ : charges d'interface

$T_{\text{ox}}$ : l'épaisseur de l'oxyde de grille,

$F_{\text{ox}}$ : l'épaisseur de l'oxyde de champ

$V_{\text{cg}}$ : tension de claquage de l'oxyde de grille,

$V_{\text{cc}}$ : tension de claquage de l'oxyde de champ, et la mesure des différentes capacités, voir figure III-4

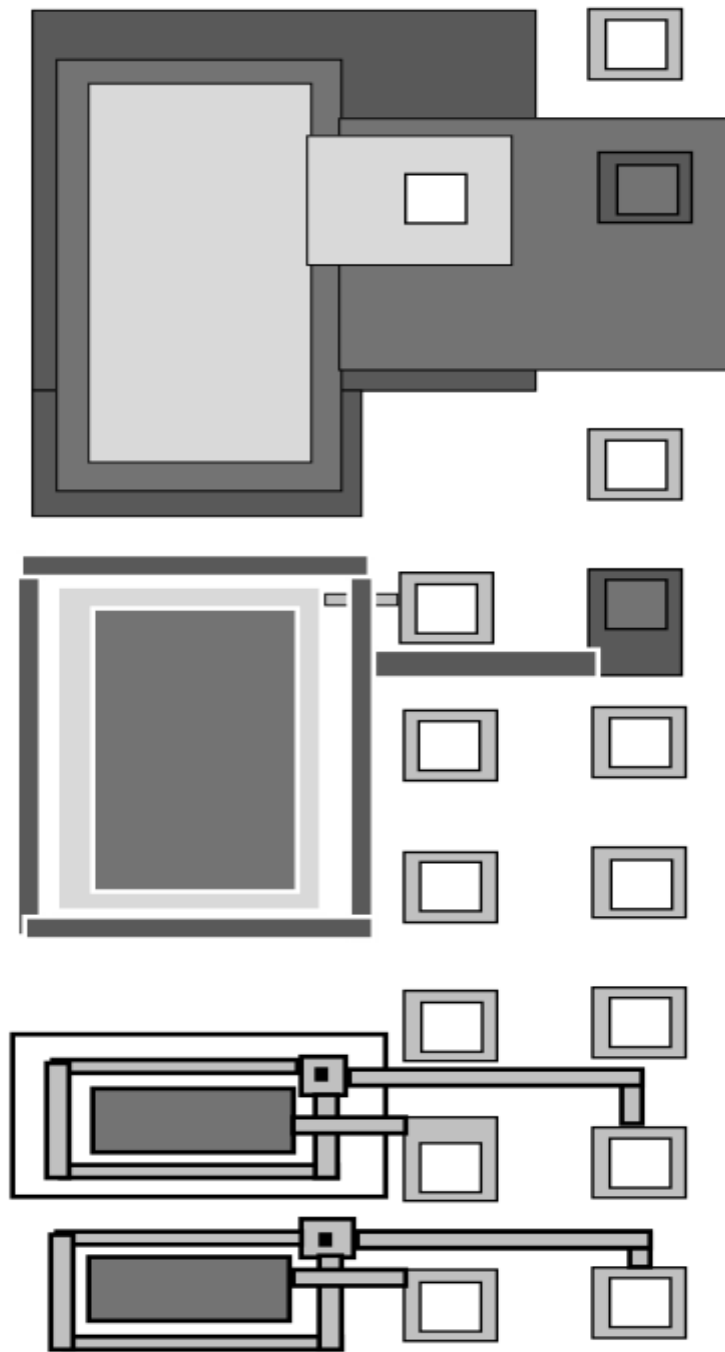


Figure III-4 : CAPACITES « Flat plate capacitors »

**IV-1 Introduction**

Le dessin d'un circuit intégré c'est une opération qui consiste à définir l'emplacement et les dimensions des éléments. Elle se fait en dessinant différents masques qui seront utilisés par le fabricant de circuit intégré (fondeur). De plus, il importe de vérifier très soigneusement la parfaite adéquation entre le schéma électrique et le dessin des masques. Pour cette étape également, un outil CAO est indispensable. [4]

**IV-2 Notion de fiabilité**

La fiabilité est un attribut de la sûreté de fonctionnement et correspond à la probabilité qu'un système accomplisse la fonction pour laquelle il a été conçu, dans des conditions données et pendant une durée donnée.

**IV-3 Layout editor**

Layout Editor est un logiciel de CAO (Conception Assistée par Ordinateur ou son acronyme anglais CAD), il est utilisé pour réaliser des dessins de masques pour les circuits intégrés et les MEMS (Micro-electro-Mechanical Systems). Le logiciel a été créé par Jurgen Thies.

Son développement a commencé en 2004, et après trois ans, il a atteint un niveau exceptionnel de développement, il y'a d'autres produits commerciaux comme L-Edit ou Cadence Virtuoso, Layout Editor est le seul outil qui peut être utilisé sur tous les trois principaux systèmes d'exploitation (Linux, Mac OS X et Windows). Le fichier qui sera obtenu (GDSII) à la fin du processus de conception d'un design sera transmis à des fonderies qui servira à la fabrication du circuit intégré. Le concepteur aura à faire son design en respectant certaines conditions pour que son fichier puisse être utilisable, ces conditions sont appelées design rules ou règles de dessin.

**IV-4 Règles de dessin**

Tous les éléments doivent respecter des règles de positionnement (taille, distance, recouvrement, densité...), et chaque technologie (process) impose ses propres règles. Un nouveau process est créé tous les 18 mois. Par exemple Techno ES2  $1\mu\text{m} \approx 90$  règles et Techno ST 90nm  $\approx 400$  règles. Le dessin de circuit est une activité très délicate et chacun

essaie de pérenniser le résultat pour ne pas avoir à tout refaire à chaque fois. J'ai utilisé les règles de dessin utilisé par MICROWIND. [3]

**IV-4-1 Unité LAMBDA**

L'AMBDA est la moitié de la valeur minimum de la longueur de la grille. Le tableau suivant ne donne la correspondance entre la technologie et la valeur de lambda.

**Tableau4.1** : la correspondance entre la technologie et la valeur de lambda

La technologie	Longueur minimale de la grille	La valeur de lambda
Cmos12.rul	1.2 µm	0.6 µm
Cmos08.rul	0.7 µm	0.35 µm
Cmos06.rul	0.5 µm	0.25 µm
Cmos035.rul	0.4 µm	0.2 µm
Cmos025.rul	0.25 µm	0.125 µm
Cmos018.rul	0.2 µm	0.1 µm
Cmos012.rul	0.12 µm	0.06 µm
Cmos90n.rul	0.1 µm	0.05 µm
Cmos65n.rul	0.07 µm	0.035 µm
Cmos45n.rul	0.05 µm	0.025 µm

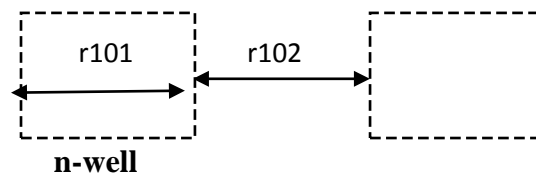
Et voici quelques règles de conceptions pour la technologie 1.2 µm

**n-Well**

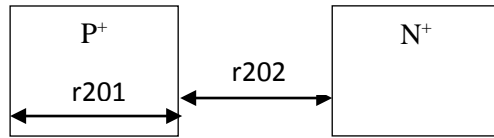
r101 la taille minimale du well     $12 \lambda$

r102 entre les well                     $12 \lambda$

r110 la surface minimale du well     $144 \lambda^2$

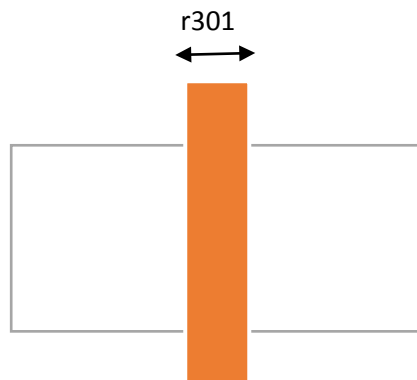


**Diffusion**



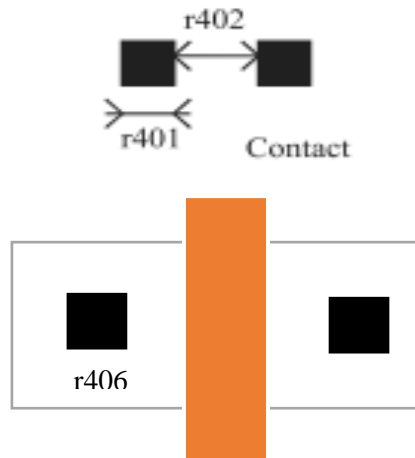
- r201 la largeur minimale de diffusion de N<sup>+</sup> et P<sup>+</sup>      $4\lambda$
- r202 entre deux P<sup>+</sup> et N<sup>+</sup> diffusion      $3\lambda$
- r210 la surface minimal de diffusion      $24\lambda^2$

**Polysilicium**



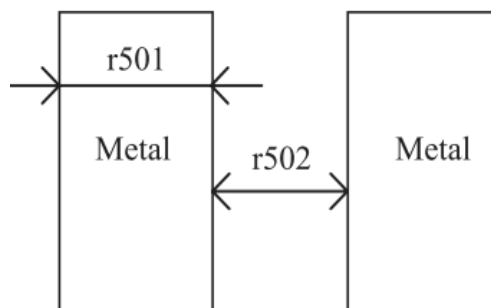
- r301 : la largeur du polycilicium      $2\lambda$
- r302 :Polysilicon gate on diffusion      $2\lambda$
- r304: Between two polysilicon boxes      $3\lambda$
- r310: la surface minimum      $8\lambda^2$

Contact



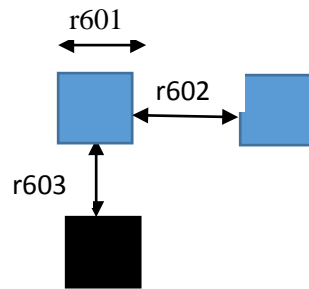
- r401: la largeur du contact  $2\lambda$
- r402: entre deux contacte  $5\lambda$
- r406: la distance entre le contact et la grille  $3\lambda$

Metal 1



- r501 : la largeur du métal 1  $4\lambda$
- r502 : entre deux métaux  $3\lambda$
- r510 : la surface minimale  $16\lambda^2$

**Via**

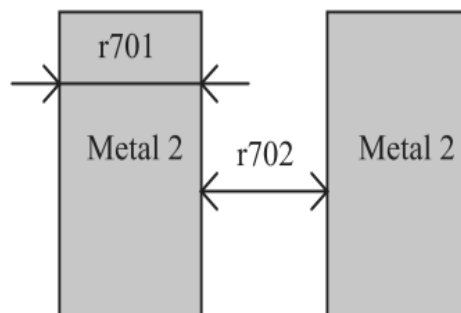


r601 : la largeur du via  $3\lambda$

r602 : entre deux via  $5\lambda$

r603 : entre via et contacte  $0\lambda$

**Metal 2**



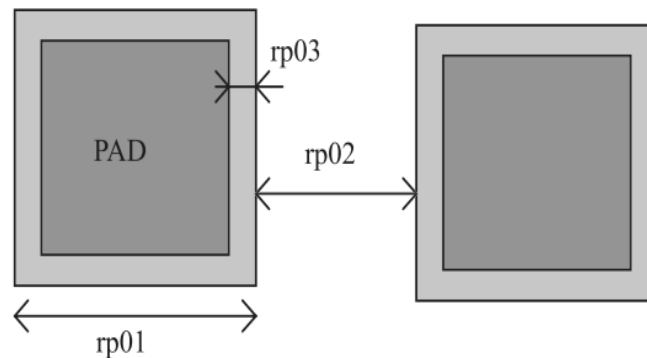
r701: la largeur du metal 2  $5\lambda$

r702: entre deux métal2  $3\lambda$

r710: la surface minimale  $16\lambda^2$

**Pads**

Les règles sont présentées ci-dessous en  $\mu\text{m}$



rp01: la largeur de pad	100 $\mu\text{m}$
rp02: entre deux pads	100 $\mu\text{m}$
rp03: Opening in passivation v.s via	5 $\mu\text{m}$
rp04: Opening in passivation v.s metals	5 $\mu\text{m}$
rp05: Between pad and unrelated active area	20 $\mu\text{m}$

Le circuit de test que nous avons réalisé est composé de 3 modules de test.

Le module 1 est composé de trois transistors de longueur de la grille qui est  $L=1,2 \mu\text{m}$  et  $w$  varie de  $1,8$  jusqu'à  $2,4 \mu\text{m}$ .

Le module 2 est composé de trois transistors de longueur de la grille  $L$  varié de  $0,8$  jusqu'à  $1,2 \mu\text{m}$  et  $w$  constant qui égale à  $2,4 \mu\text{m}$ .

Le module 3 est composé de 3 capacités.

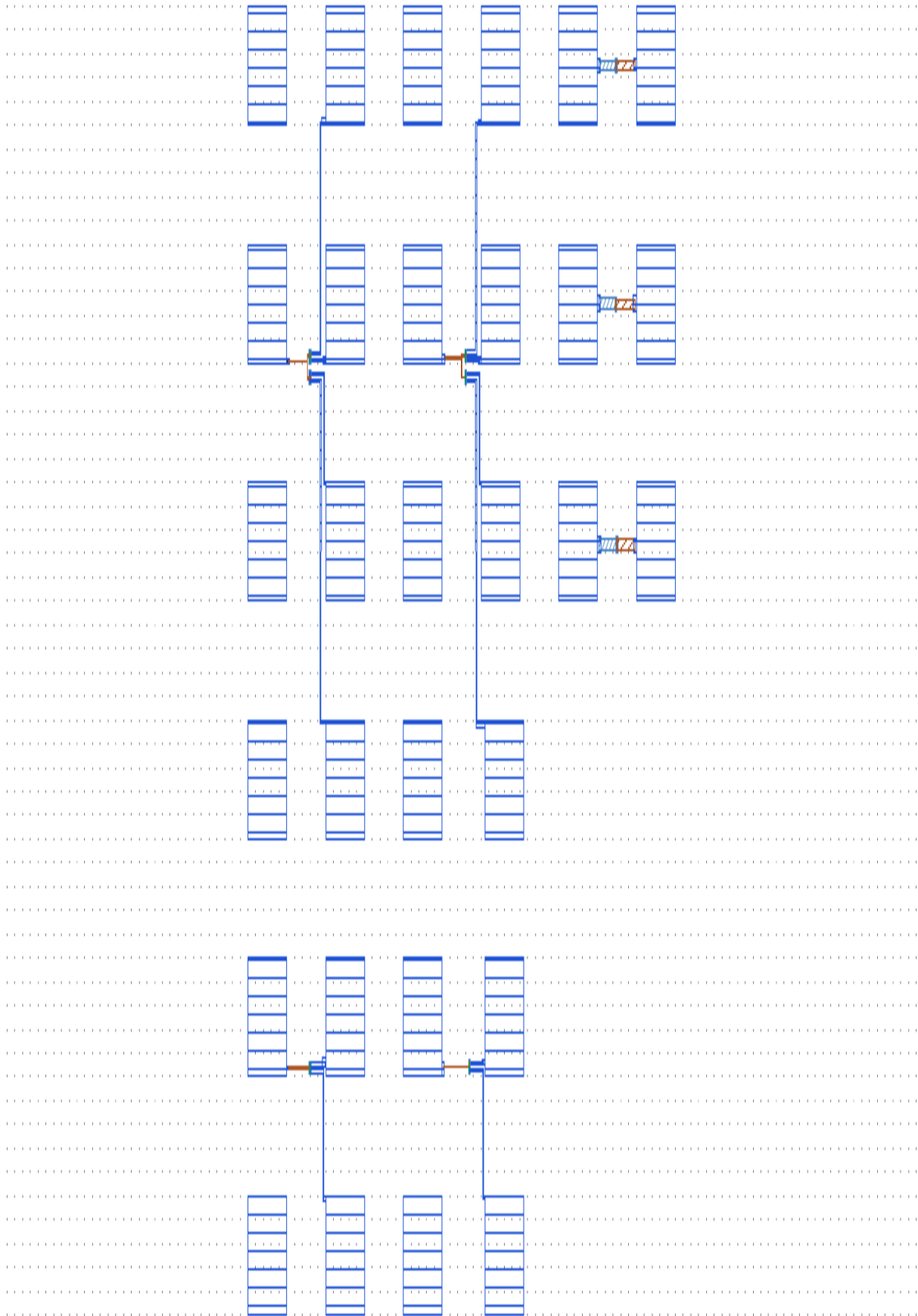


Figure (IV-1) : circuit de test sur échelle 20 μm sur 20 μm.

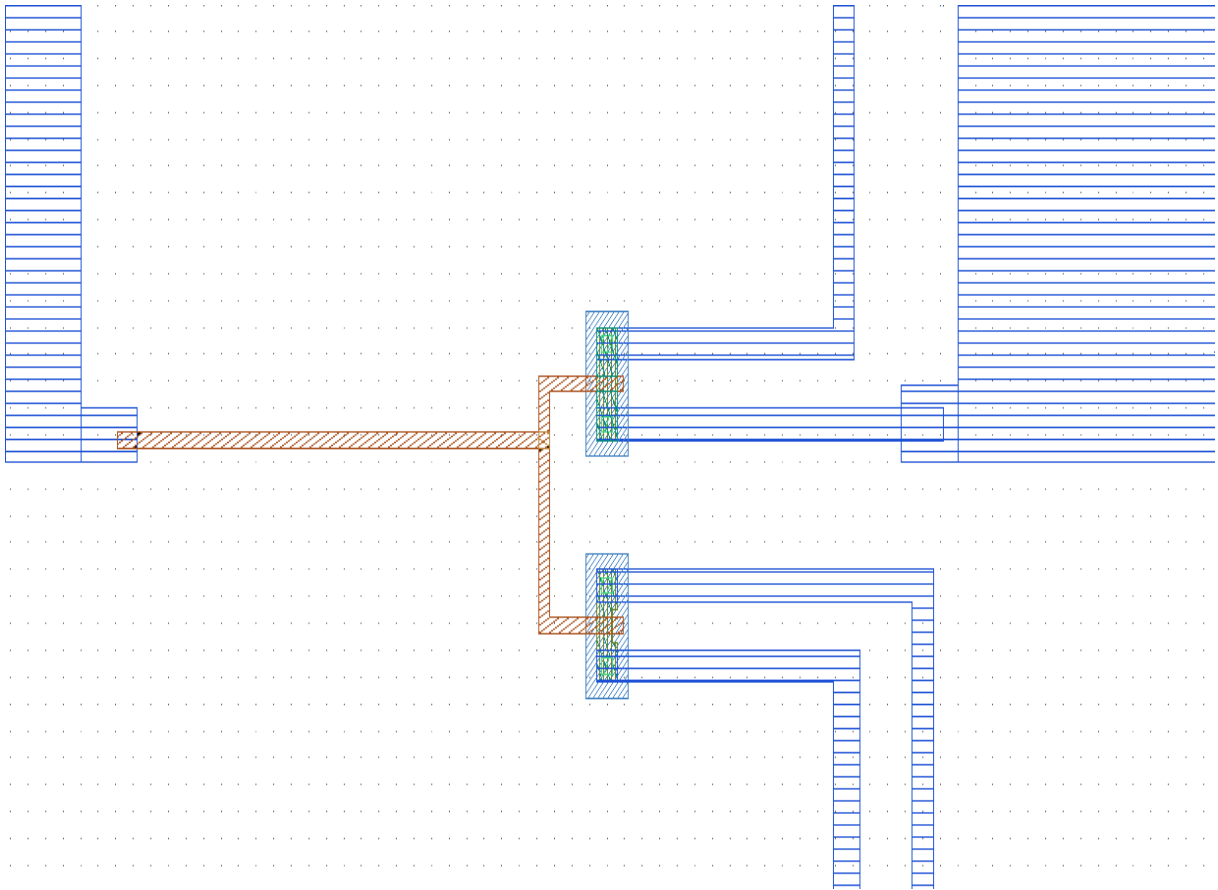


Figure (IV-2) : module 1 à l'échelle 2µm sur 2µm.

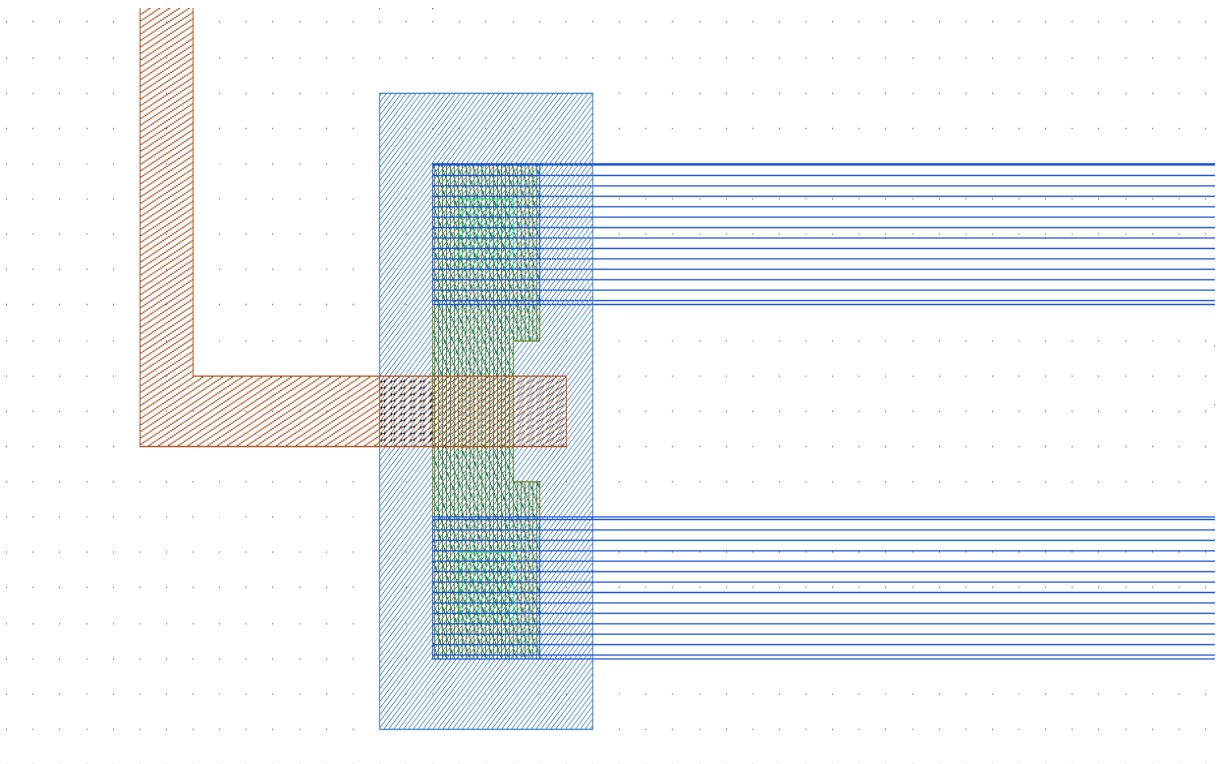


Figure (IV-3) : layout d'un transistor à l'échelle 0.5µm sur 0.5µm.

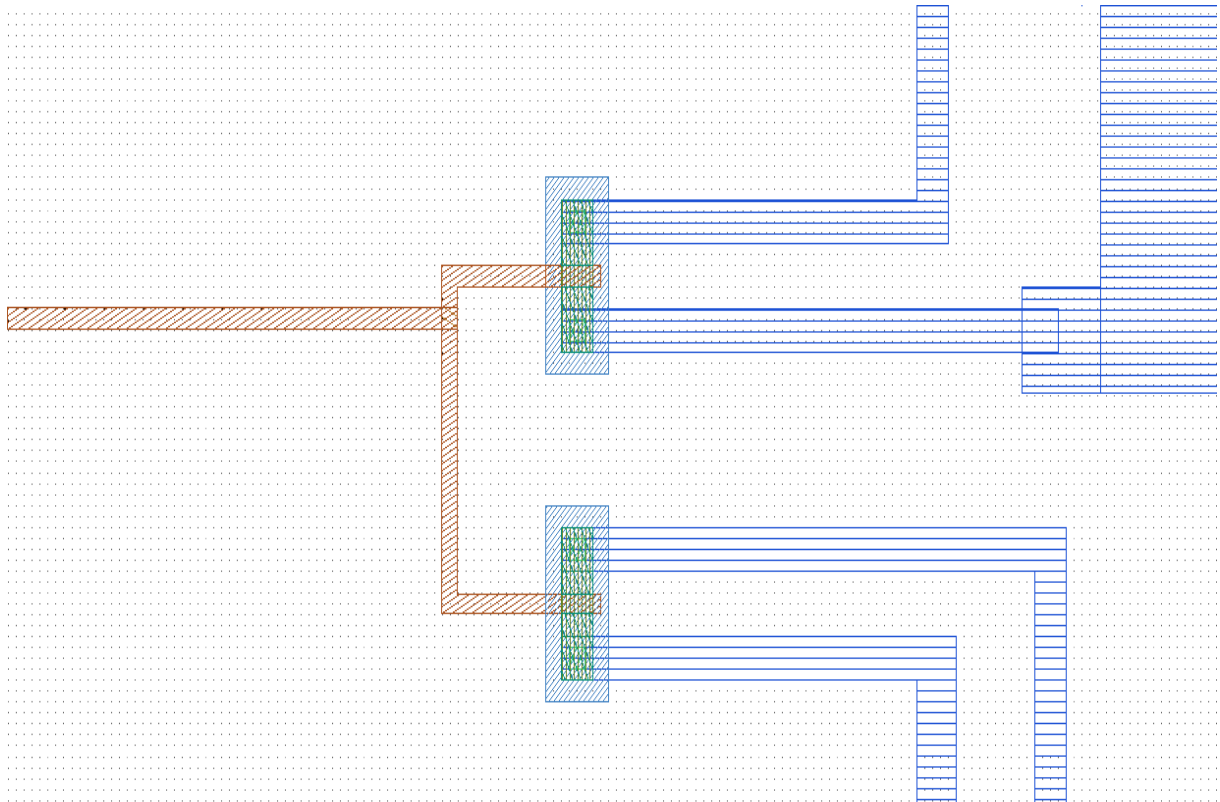


Figure (IV-4) : module 2 à l'échelle 0.5µm sur 0.5µm.

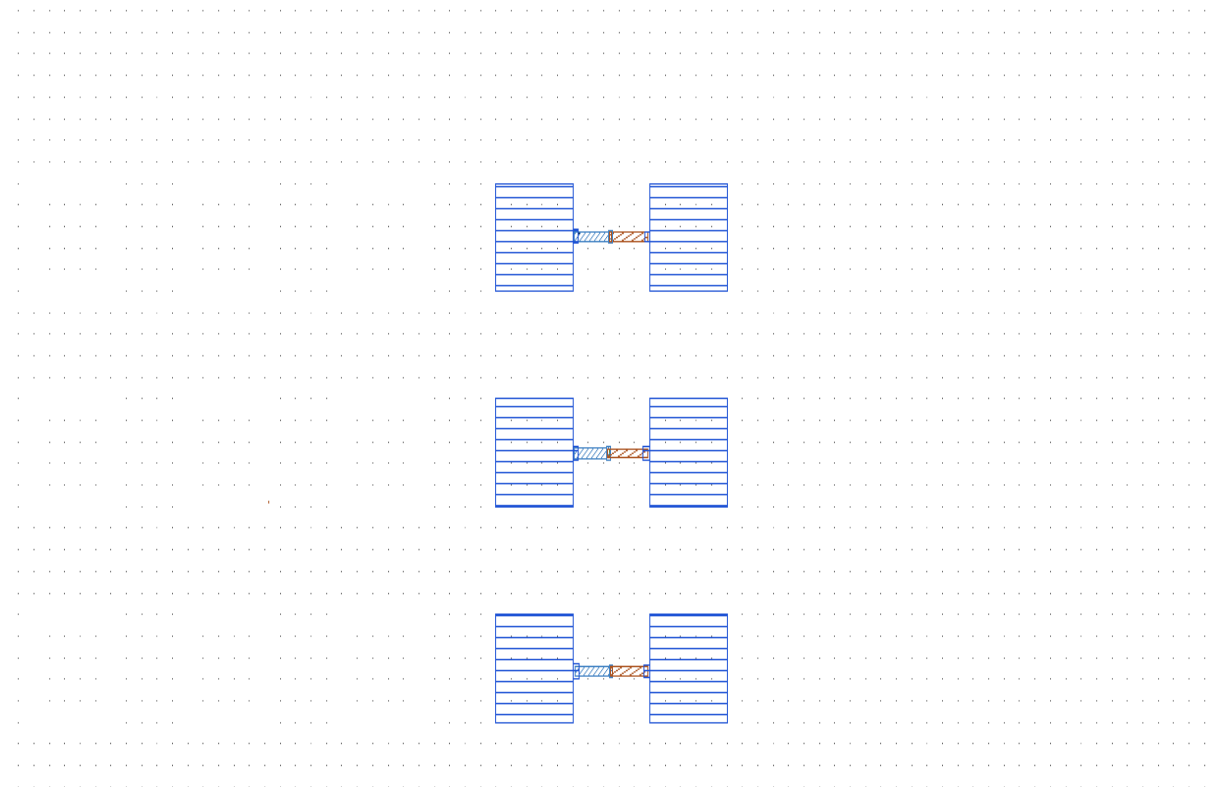


Figure (IV-5) : module 3 à l'échelle 20µm sur 20µm.

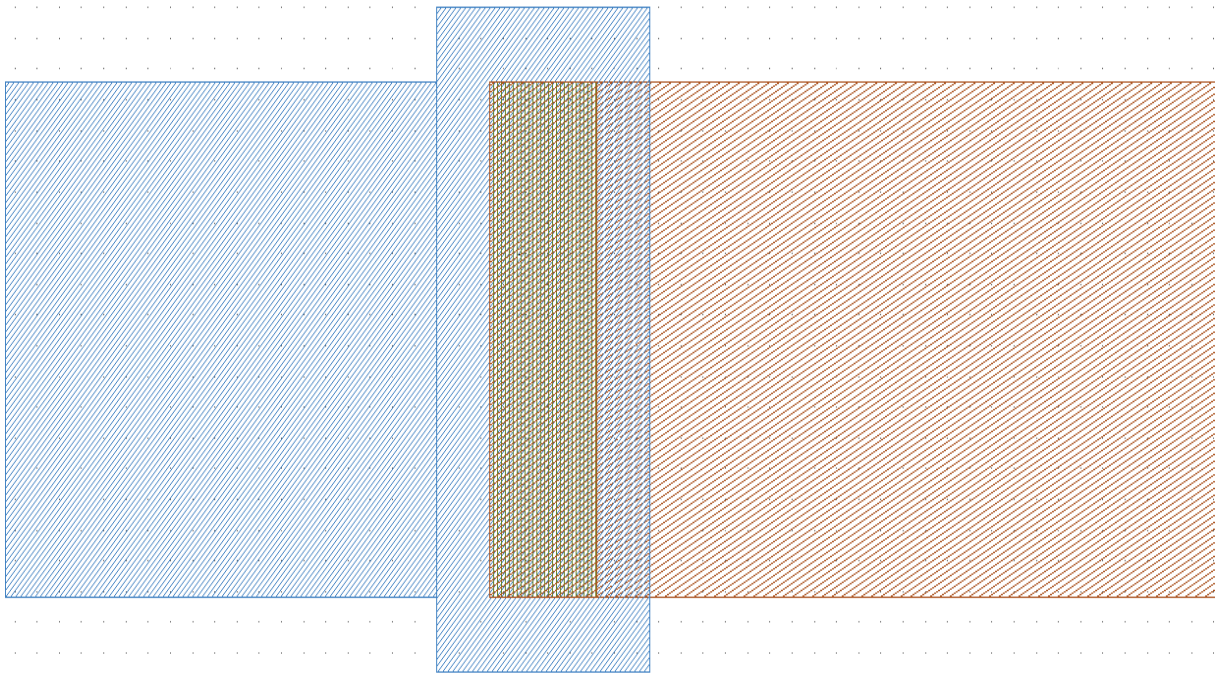


Figure (IV-6) : capacité MOS à l'échelle 0.5  $\mu\text{m}$  à 0.5  $\mu\text{m}$

Après l'étude du transistor MOSFET, nous avons vu que pour augmenter la rapidité et la densité des transistors, les paramètres sur lesquels on agit sont essentiellement les dimensions du transistor (principalement la longueur du canal). Depuis les années 1960 longtemps, le nombre de transistors pour une même surface de silicium a été doublé tous les 18 mois. Or de nos jours, on approche des dimensions ultimes qui vont vers un changement d'allure.

Cette réduction des dimensions a engendré des phénomènes parasites qui détériorent les caractéristiques courant-tension et ainsi que les performances du transistor.

L'analyse de défaillance et le test des circuits sont alors une étape indispensable pour améliorer la conception ou le processus de fabrication en vue d'augmenter le rendement de production et la fiabilité.

Ainsi les structures de test jouent un très grand rôle dans le développement de la microélectronique, elles seront utilisées pour obtenir rapidement, par le biais des méthodes de mesure variées, des informations qui sont difficiles, sinon impossible, de les avoir à partir des circuits intégrés complets une fois fabriqués. Ces structures de test sont conçues pour procurer des analyses rapides des portions spécifiques du procédé de fabrication.

Chaque année une conférence internationale sur les structures de test ICMTS (International Conference on Microelectronic Test Structures) est organisé par IEEE.

- [1]: **R.Jacob Baker**, « CMOS Circuit Design, layout, and simulation », IEEE press.
- [2]: **Manjul Bhushan, Mark B.Ketchen**, « Microelectronic test Structures for CMOS Technology », Springer.
- [3]: **Etienne Sicard, Sonia Delmas Bendhia**, « Basics of CMOS Cell Design » McGraw-Hill, 2007.
- [4]: **Francois Anceau, Yvan Bonnasieux**, « CONCEPTION DES CIRCUITS VLSI du composant au système », DUNOD, mars 2007.
- [5] : **Hervé Fanet**, « micro et nanoélectronique », DUNOD.
- [6] : **Henry Mathieu, Hervé Fanet**, « Physique des semiconducteurs et des composants électronique », DUNOD, 6<sup>ème</sup> édition.
- [7] :**Boualem DJEZZAR**, «Développement du module du circuit de test rapide process drop-in test pattern », laboratoire de Micro-électronique, CDTA 1997.
- [8] : **Achour Hakim**, « Etude et Modélisation des MOSFETs Balistiques » mémoire de magistère, février 2006.
- [9] : **Bertrand SZELAG**, « Etude des propriétés physiques et électriques de transistors MOS fortement submicroniques », thèse de doctorat, janvier 1999.
- [10] : **Ait Abdelmalek ghania**, « Etude et modélisation des défauts des circuits intégrés en vue de leur analyse de fiabilité », mémoire de magistère, Avril 2011.
- [11]: **A.J. Walton, M. Fallon, J.T.M. Stevenson,A.W.S. Ross, and R.J. Holwill**, «A Methodology for Evaluating the Area of Contacts to Improve the Accuracy of Contact Resistance Measurements », Proc 1991 IEEE International Conference on Microelectronic Test Structures, pp. 23-28, Kyoto, Japan, 18-20th
- [12]: **Amir Afshar**, « principles of semiconductor Network testing », Test et Measurement world, 1991.
- [13] : **Jérémie Grisolia**, « Physique des dispositifs a semiconducteurs », département de génie physique, insa, 2007.

## Comparaison entre certains logiciels de CAD

D'autres logiciels de dessin peuvent être utilisés. Pour aider à faire le bon choix, voici un tableau comparatif des plus courants utilisés.

Nom du logiciel	Description	Avantages	inconvénients
CleWin	Logiciel pour photomasque	Intuitif, relativement facile à apprendre, fonctions de base sans superflu,	Affichage lent si dessin complexe, peu de fonctions élaborées, pas de vérification des règles de dessin
Layout Editor	Logiciel pour dispositifs incluant MEMS	Fonctions nombreuses, assez performant, librairies, vérification des règles de dessin, etc.	Peu intuitif au début de l'apprentissage (commandes de la souris)
Virtuoso Layout (de Cadence)	Logiciel pour IC, sous Unix ou Linux	Complet, polyvalent, robuste, performant	Complexe, long à apprendre, pas sur PC
AutoCad	Conception mécanique	Logiciel performant, déjà connu par certains usagers (génie mécanique)	Critères à respecter (polygones fermés, échelle...), pour fabrication de masque ne sont pas par défaut

## Formats

Le format natif de Layout Editor est le format GDS2. On peut cependant importer ou exporter entre autres dans les formats CIF et DXF. Ces trois formats de fichier sont acceptables pour la réalisation du masque.

Voici un autre tableau comparatif des formats utilisés

Format	Description	Avantages	inconvénients
GDS2	Fichier binaire Jusqu'à 8192 éléments.	Taille minimale de fichier, même pour fichier complexe, si le design a une structure hiérarchique	Couche identifiée par chiffre seulement, cercles définis par des polygones. Maximum de 200 vertex par polygone (mais peuvent être scindés en plusieurs) sauf GDS2 Version 7 (8191)
CIF	Fichier ASCII, jusqu'à 4096 éléments	Nom de layer inclus, fonction de cercles	
DXF	Fichier ASCII Format requis pour conception en niveaux de gris	Fonction de cercle	Précautions pour l'échelle (unités), et la formation des polygones fermés