

République Algérienne Démocratique et Populaire
Ministère de L'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri De Tizi-Ouzou



Faculté De Génie Electrique Et D'informatique
DEPARTEMENT D'AUTOMATIQUE

**Mémoire de Fin d'Etude
De MASTER ACADEMIQUE**
Spécialité : **Génie Microélectronique**

Présenté par :
HIKEM NOURA

Thème

Conception D'un transistor MOS SOI.

Devant le jury :

Mr. K.HAMOUCHE	Professeur	Président	UMMTO
Mr. A.BENFDILA	Professeur	Promoteur	UMMTO
Mr. A.LAKHLEF	Maître Assistant	Examineur	UMMTO
Mr. M.GOUDJIL	D.Chercheur	Examineur	CDTA

Première Promotion 2014

REMERCIEMENT :

Je remercie vivement mon promoteur monsieur Arezki Benfdila. Je tiens à lui exprimer ma profonde reconnaissance pour son soutien et les conseils qu'il m'a accordé tout au long de ce mémoire.

Je remercie monsieur Achour Hakim, monsieur Lakhelf qui ont apporté de l'aide à ce travail

Je remercie les membres de jury qui m'ont fait l'honneur de bien vouloir examiner ce travail

Enfin, j'exprime ma profonde gratitude à mes parents; ma mère en particulier, pour leurs efforts et la grande confiance témoignée depuis le début de mes études, sans oublier de remercier mes sœurs et frères



« Dédicaces »

Je dédie ce modeste travail

**à ceux qui m'ont donnée vie, mes chère parents*

« maman »,

*« papa » pour avoir toujours été là pour moi, pour vous
bons conseils et soutien.*

**à mes frères adores « walid, hassain »,*

**à mes sœurs chéries « Amel, Katia »,*

**à ma grand mère que dieu vous protège,*

**à mon cher fiancé « Ali »,*

**à mes copines « kahina, sabrina, amel, faiza, taous »,*

Noura

Introduction générale

CHAPITRE I : LE TRANSISTOR MOSFET BULK ET SON EVOLUTION

I.1 : Introduction.....	3
I.2 : La Structure de la capacité MOS	3
I.3 : Le transistor MOS : architecture et principes de Fonctionnement.....	4
I.3.1 : Présentation de l'architecture du transistor MOS.....	4
I.3.2 : Les régimes de fonctionnement du transistor MOS bulk	5
I.4 : Les paramètres électriques du Transistor MOS.....	8
I.5 : MOSFET submicronique et les effets des canaux courts.....	9
I.5.1 : Effets indésirables dans le transistor MOSFET à canal court.....	9.
I.5.2 : SCE : effet de canal court (short channel effect)	10.
I.5.3 : Effet de DIBL (drain induced barrier lowering).....	12.
I.5.4 : Effet de Canal Court Inverse.....	12
I.5.5 : Effets de porteurs chauds	13
I.6 : MOSFET Nanométrique.....	13
I.7 : Limitations liées à la miniaturisation des dispositifs.....	15

CHAPITRE II : PRESENTATION DE LA TECHNOLOGIE SOI

II. Introduction	16
II.1 : principe de fonctionnement du transistor à effet de champ	17
II.2 : la technologie MOS SOI.....	17
II.3 : Qu'est-ce que le SOI	18
II.4 : Transistor Mos SOI partiellement et entièrement déserté.....	19
II.5 : Les avantages de transistor MOS SOI vs BULK MOSFET.....	20
II.6 : Les inconvénients de transistor MOS SOI	24

II.7. Fabrication d'une plaquette SOI.....	25
II.7.1. Technique de collage.....	26
II.7.2. Technique d'Epitaxie.....	28
II.7.3. Technique de conversion du matériau.....	29
II.8 conclusion.....	29

CHAPITRE III : LES STRUCTURES AVANCEES MULTI-GRILLE SOI

III. Les transistors à grilles multiples.....	30.
III.I Avantages des transistors à grilles multiples.....	31.
III.2 La technologie SOI MOSET double-grille.....	32
III.2.1 Introduction au transistor mos soi double grille.....	32
III.2.2 Le transistor double grilles planaire (linaire).....	34
III.2.3 Transistor Gate All Around (GAA).....	35
III.2.4 Transistor double grille a conduction vertical.....	36
III.2.6 Transistor DELTA-FET.....	39
III.2.7 transistor FinFET.....	41

CHAPITRE IV: ETUDE COMPARATIVE DE TRANSISTOR FD SOI ET PD

IV. Introduction.....	41
IV.1. L'outil de simulation SILVACO.....	41
IV.2. Présentation du paquet des programmes SILVACO.....	42
IV.2.1. Les outils de simulation ATLAS (de la société SILVACO).....	42
IV.2.2. Présentation d'Atlas.....	44
IV. 2.3. Logique de programmation.....	45
IV.2.4. La simulation numérique d'une structure SOI MOSFET complètement déserté et SOI MOSFET partiellement déserté.....	46

Table des matières

IV.3. Choix des paramètres technologiques pour les structures FD SOI et PD SOI.....	47
IV.4 Résultats de simulation et interprétation.....	50
Conclusion.....	52
Conclusion générale.....	53

Depuis l'invention du transistor, un grand nombre de composants microélectroniques a été développé dans des laboratoires universitaires ou dans des sociétés de semi-conducteurs. Le composant de base qui est actuellement utilisé pour l'intégration à très grande échelle des circuits VLSI (Very Large Scale Integration), tels que les microprocesseurs et les mémoires, est le transistor MOS (Metal-Oxyde-Semiconductor). La technologie CMOS (Complementary-Metal-Oxyde-Semiconductor) est devenue dominante et a été choisie historiquement en raison de sa propriété de faible consommation de puissance comparée aux autres technologies. Plus de 80% des circuits VLSI récents sont fabriqués avec la technologie CMOS. Les tendances générales en microélectronique sont à la réduction de la géométrie des transistors qui permet d'obtenir une augmentation des performances et de la densité d'intégration des dispositifs. En effet avec la miniaturisation, nous assistons à l'apparition de phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS[I.]. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain donnant naissance au phénomène dit DIBL (drain induced barrier leakage), les effets canaux courts dits SCE (short channel affect), les phénomènes de nature quantique, le courant tunnel de grille, la fluctuation aléatoire des dopants[I.8]

De ce fait, de nouvelles approches sont nécessaires afin de continuer la réduction de la longueur de canal. Les structures et technologies silicium sur isolant (SOI) qui sont mise en évidence dans les années 1960-1970 pour satisfaire la demande de circuits intégrés immunisés aux irradiations ionisantes. et multi-grilles (MUG-FET) apparaissent aujourd'hui comme les approches les plus prometteuses pour la fabrication de circuits intégrés à basse consommation, haute fréquence à des hautes ou basses températures.

Les technologies SOI sont aujourd'hui largement utilisées pour la réalisation de microprocesseur (IBM, AMD) ou pour la conception de circuit ASIC haute performance...ext [I.2].

La première révolution dans l'architecture du transistor MOSFET est l'apparition des transistors sur film mince SOI .Ce type de transistor est caractérisé par deux paramètres supplémentaires par rapport aux transistors conventionnels : l'épaisseur du film Si (TSi) sur lequel est intégrée la région active du dispositif et l'épaisseur de la couche d'oxyde (TBOX) dit oxyde enterré. On distingue deux types de dispositif sur film mince. Lorsque l'épaisseur du film est suffisamment épaisse, une partie seulement du film est désertée. On parle alors du

Introduction Générale

transistor silicium sur isolant partiellement deplete PD-SO («Partially Depleted Silicon On Insulator »), son fonctionnement et ses caractéristiques sont proches de ceux du transistor sur silicium massif.

Lorsque l'épaisseur TSi est plus fine, l'ensemble du substrat est déserté et on parle cette fois d'un transistor MOS SOI totalement déserté, FD-SOI (« Fully Depleted Silicon On Insulator»). ce dernier présente de nombreux avantages tels que l'obtention des jonctions ultra-minces permettant un bon contrôle des effets de canaux courts.

Dans le premier chapitre nous présenterons brièvement le transistor à effet de champs(MOSFET) sur substrat silicium massif.et son principe de fonctionnement, et son évolution, ainsi que les problèmes engendrés par sa miniaturisation (les effets de la miniaturisation.

Puis dans le second chapitre, Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes. c'est la technologie MOS SOI (Silicon OnInsulator). Nous y présentons ses avantages par rapport aux technologies CMOS sur substrat massif, puis les principales techniques de réalisation des substrats SOI.

Ensuite dans le quatrième chapitre nous présenterons un aperçu des différentes architectures multi-grille alternatives: les structures planaires, les architectures double-grille à conduction verticale et les transistors à conduction latérale de type FinFET.

Enfin le dernier chapitre est consacré la comparaison des caractéristiques électriques de deux structures FD SOI et PD SOI,et l'interprétation des résultats de simulation que nous avons obtenus après avoir présenté le simulateur de dispositif que nous avons utilisé ATLAS SILVACO.

I.1. Introduction

Les notions du transistor MOS (Metal Oxide Semiconductor) ont été brevetées par Lilienfield et Heil en 1930. Cependant des difficultés technologiques ont retardé sa réalisation pratique dûs principalement aux problèmes d'interfaces Si/SiO₂. Par conséquent, il n'apparaîtra sous sa forme actuelle qu'en 1955 grâce à Ross. Cela bien après la réalisation par Shockley en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus compliqué. C'est en 1960 que Kahng et Attala ont exhibé le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO₂. Le silicium fut un choix très avisé car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. Dans ce premier chapitre nous présentons la structure MOSFET bulk et ses différents régimes de fonctionnement et les effets indésirables liés à sa miniaturisation.

I.2. La structure de la capacité MOS

Par définition un condensateur est constitué de deux électrodes conductrices séparées par un matériau isolant. Ainsi, on appelle « capacité MIS » la superposition de trois couches de matériaux : le métal ou poly-silicium dégénéré (appelé grille), l'isolant (SiO₂, HfO₂, Ta₂O₅, Si₃N₄...), et le semiconducteur (Si, Ge...) de type N ou de type P (appelé bulk ou substrat) Figure I.1.

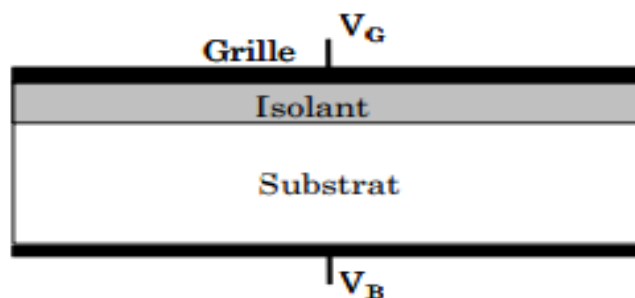


Figure I.1 Schéma en coupe d'une structure MIS

La dénomination capacité MOS (Metal-Oxide-Semiconducteur) résulte de la nature l'isolant qui est alors un oxyde.[1]

I.3 Le transistor MOS : architecture et principes de Fonctionnement

L'étude détaillée du MOSFET canal long est un préalable à la compréhension de tous les progrès réalisés à nos jours dans la miniaturisation du MOSFET. L'approche Top Down utilisée consistant en la réduction de sa géométrie en essayant de garder son comportement de MOSFET canal long (En minimisant notamment les Effets de canal Court indésirable qui apparaissent au fur et à mesure que l'on réduit les dimensions du MOSFET).

Cette étude commence tout d'abords par l'analyse du transistor MOSFET en général, notamment sa structure et son principe de fonctionnement. Nous nous intéresserons à ses courbes caractéristiques, ses paramètres physiques et électriques dans le cas du transistor à canal long ($L > 100 \mu\text{m}$)

I.3.1. Présentation de l'architecture du transistor MOS

La structure de base du transistor Métal Oxyde Semi-conducteur à effet de champ (MOSFET) est représentée par la Figure I-2.

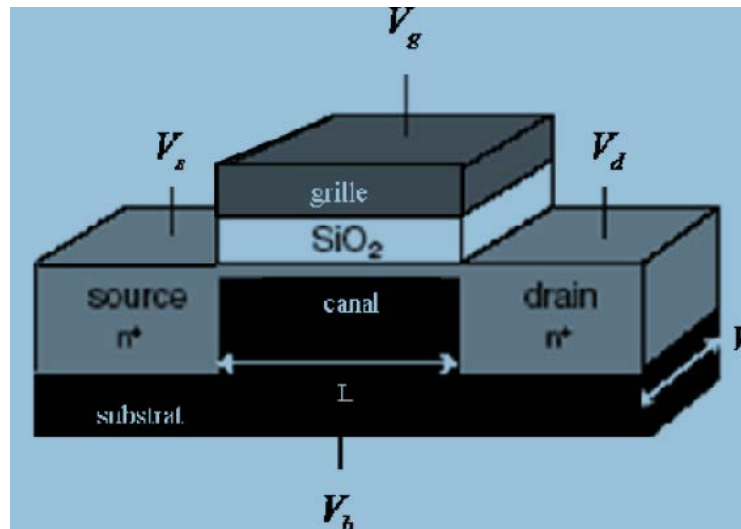


Figure I.2 Schéma d'un MOSFET de type N.

Nous présentons dans ce qui suit un transistor MOSFET à canal de type n .Ce transistor est réalisée à partir d'un substrat semi-conducteur, généralement de type P, dans lequel deux régions implantées N+ définissent la source et le drain. L'électrode de grille est obtenue à partir d'un oxyde (SiO_2) recouvert par une couche de polysilicium fortement dopée. Les principaux paramètres géométriques du composant sont : L (longueur de grille, distance drain-

source), W (largeur transversale de la structure) et T_{ox} (épaisseur d'oxyde). Dans les circuits intégrés, le transistor MOS est généralement isolé des composants voisins par des tranchées d'isolation. La zone active du transistor MOS est la région semiconductrice (substrat) située entre la source et le drain près de l'interface oxyde-semiconducteur [I.1]. La tension appliquée entre la grille et le substrat génère V_{gb} un champ électrique dans le substrat, et pour une tension V_{gb} suffisante, un canal de conduction est créé à l'interface oxyde-semiconducteur. Lorsque nous polarisons le transistor par une tension V_{DS} , un courant de porteurs minoritaires circule dans le canal entre la source et le drain. Nous parlons de transistor NMOS lorsque le substrat est dopé avec des atomes accepteurs et que les porteurs minoritaires sont les électrons. Dans ce cas, les régions de source et de drain sont fortement dopées avec des atomes donneurs (i.e. une conduction assurée par des électrons). Le transistor pMOS possède un substrat dopé avec des atomes de type donneur et les porteurs minoritaires sont les trous.

I.3.2. Les régimes de fonctionnement du transistor MOS bulk

Les différents régimes de fonctionnement sont définis suivant les valeurs du potentiel de surface et selon la polarisation de la grille. Ici ces régimes sont définis dans le cas du transistor NMOS [I.4], il existe quatre régimes de fonctionnement du transistor MOSFET.

La charge dans le semi-conducteur est dominée par les porteurs majoritaires du substrat (les trous) près de la surface. Les porteurs sont attirés très près de l'interface diélectrique/semiconducteur. La charge à la surface du semiconducteur est du même type que le volume du semiconducteur avec une densité de trous à la surface grande devant la densité de trous dans le volume.

➤ **Régime de bandes plates: $\Psi_s = 0$**

Ce régime est le seul cas dans lequel le semi-conducteur conserve jusqu'à la surface ses propriétés de volume.

➤ **Régime de désertion: $0 < \psi_s < \Phi_{fb}$ Soit $V_G > V_{FB}$**

Les porteurs majoritaires sont repoussés de l'interface. Il se crée alors près de la surface une zone dépourvue de porteurs libres (électrons et trous), appelée zone de charge d'espace. Cette

zone est constituée uniquement d'impuretés ionisées (charges négatives). Durant ces deux régimes (accumulation et désertion), le transistor est bloqué.

➤ **Régime d'inversion faible:** $\Phi_f < \psi_f < 2\Phi_f$ soit $V_{fb} < V_g < V_t$

Pour $\Psi_s = \Phi_f$, les densités d'électrons et de trous sont égales en surface (près de l'interface oxyde/semi-conducteur) à la densité intrinsèque de porteurs du matériau considéré (n_i).

A partir de $\Psi_s > \Phi_f$, les porteurs présents en plus grande quantité à la surface sont des électrons. Durant le régime d'inversion faible, la densité de porteurs majoritaires à la surface (électrons) est toujours inférieure à la densité de porteurs majoritaires dans le volume (trous).

Remarque

La tension de seuil est la valeur de la tension de grille pour laquelle le transistor passe du régime d'inversion faible au régime d'inversion forte.

➤ **Régime d'inversion forte:** $\psi_f > 2\Phi_f$ soit $V_{fb} < V_{gt} < V_t$

Les électrons sont les porteurs présents en plus grand nombre à la surface et en densité supérieure à celle des trous dans le volume du semi-conducteur. Les porteurs libres sont présents en grand nombre dans le canal. Le transistor est passant.

I.3.3 caractéristique Id-Vg

Sur la caractéristique Id-Vg (Figure I.3), nous distinguons deux niveaux d'inversion. La tension de seuil V_{th} que l'on détaillera dans ce qui suit représente la tension appliquée entre la grille et le substrat à partir de laquelle le transistor commence à conduire. Elle sépare la région de faible inversion (ou région sous le seuil) de la région de forte inversion (ou région au delà du seuil).

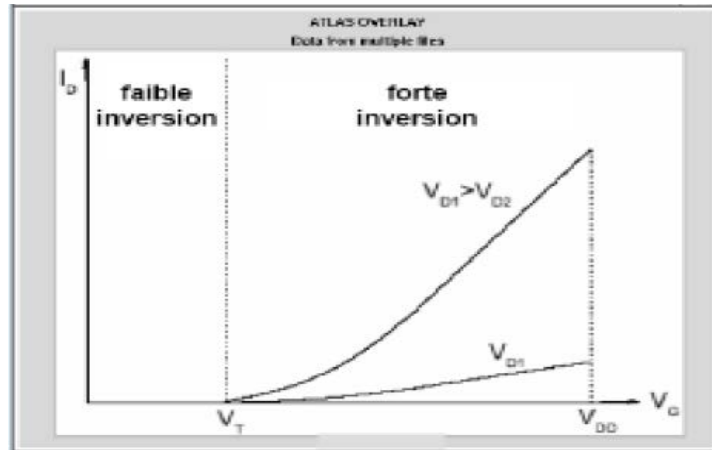


Figure I.3 : Caractéristique $I_d - V_g$ du transistor NMOS avec les niveaux d'inversion.

Lorsqu'une différence de potentiel V_{ds} est appliquée entre le drain et la source, un courant peut circuler dans le canal. La condition pour laquelle s'effectue l'inversion est ;

$$\Psi_s > \Phi_f \quad \text{I}$$

- Ψ_s le potentiel de surface et Φ_f correspondant à l'écart entre le potentiel intrinsèque E_i / e et le potentiel de Fermi E_{fp} / e du semiconducteur dopé de type accepteur.

- Φ_f s'exprime comme

$$\Phi_f = \frac{kT}{e} \ln \left(\frac{NA}{ni} \right) \quad \text{I.I}$$

Où NA est la concentration des dopants du substrat et ni est la concentration intrinsèque du silicium. L'inversion forte à son tour apparaît lorsque :

$$\Psi_s > 2 \cdot \Phi_f \quad \text{1.2}$$

Dans ce cas, compte tenu que la couche conductrice d'inversion le volume du semiconducteur, Ψ_s reste équivalent à $2 \cdot \Phi_f$, en première approximation. La distinction entre ces deux régions de fonctionnement, la faible inversion et la forte inversion, nous amène à définir un paramètre important qui est la tension de seuil.

b) La tension de seuil

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire :

$$\Psi_s > 2.\Phi_f \quad 1.3$$

Sous cette condition, la tension de seuil s'exprime comme suit :

$$V_{th} = V_{fb} + 2.\Phi_f + \frac{\sqrt{4.e.\Phi_f.N_A}}{C_{ox}} \quad 1.4$$

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}}$$

Avec

$$V_{fb} = \Phi_m - \Phi_{si} \quad 1.5$$

Φ_m et Φ_{si} sont tels que $e.\Phi_m$ et $e.\Phi_{si}$ représentent respectivement les travaux de sortie de la grille et du silicium, ϵ_{Si} est la constante diélectrique du silicium, et enfin $C_{ox} = \epsilon_{ox}/t_{ox}$ désigne la capacité de l'oxyde. Cette expression de V_{th} (1.4) est valable pour le transistor MOS bulk à canal long..

I.4. Les paramètres électrique du Transistor MOS

On définit les paramètres électriques nécessaires permettant d'exprimer l'équation du courant I_{DS} comme suite.

- **La transconductance** ou gain (g_m) est définie par

$$g_m = \left(\frac{dI_{DS}}{dV_{GS}} \right) \quad V_{DS} : \text{constante} \quad \text{Equ 1.6}$$

Elle doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm [I.2].

- **La conductance** du canal (g_{DS}) donnée par :

$$g_{DS} = \left(\frac{dI_{DS}}{dV_{DS}} \right) \quad V_{GS} : \text{constante} \quad \text{Equ 1.7}$$

- **La pente sous le seuil** : elle représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade :

$$S = \frac{dV_G}{d \log I_d} \quad \text{I.8}$$

- **Notion de la mobilité**

La mobilité traduit l'aptitude des porteurs à se déplacer sous l'effet d'un champ électrique. C'est un paramètre très important des transistors MOSFETs car elle gouverne la valeur du courant de drain à polarisation fixe. La mobilité dépend de nombreux paramètres : champs électriques (longitudinaux et transverses), orientation du cristal, dopage du substrat, température

- **b) La tension de seuil**

La tension de seuil est l'un des paramètres essentiels de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire :

$$\Psi_s > 2 \cdot \Phi_f \quad .$$

I.5. MOSFET submicronique et les effets des canaux courts

Pour améliorer les performances notamment en fréquence des MOSFETs et pouvoir réaliser des fonctions électroniques de plus en plus complexes par l'augmentation de la densité d'intégration, les dimensions des dispositifs sont de plus en plus réduites et ont conduit au développement de dispositifs fortement submicroniques. Cependant, cette réduction d'échelle est source d'effets indésirables propres aux dispositifs de petites tailles et affectant sévèrement les performances espérées.

La conception et l'élaboration de MOSFET submicroniques nécessitent des paramètres supplémentaires comparés à ceux requis pour le cas du MOSFET à canal long. Essentiellement, on distingue : les profils des dopages au niveau de la source et du drain,

- le profil du dopage du canal,
- la construction des contacts

- la géométrie à la périphérie de la grille,
- Ces paramètres secondaires deviennent importants dans la conception et les procédés de fabrication y'influent beaucoup. Les critères de base employés pour optimiser la miniaturisation sont :
 - Non uniformité du dopage du substrat : plus important entre la source et le drain qu'en dessous. Dans l'expression de L_{min} , c'est le dopage entre la source et drain qui est pris en considération.
 - Une couche légèrement dopée P sous la source et le drain réduit les capacités jonctions substrat et augmente la vitesse de réponse.
 - La structure des contacts aide aussi à réduire les capacités (surface de contact réduite).
 - L'extension de la jonction réduit les capacités parasites de recouvrement entre la grille et les jonctions. C'est cette profondeur de jonction qui est utilisée dans l'expression de L_{min} .
 - La réduction des résistances séries constitue l'un des points les plus importants pour le développement de transistors submicroniques. Pour éviter d'avoir des résistances séries de jonctions importantes, on peut agir sur plusieurs facteurs (dopage des jonctions, surélévation des zones de source et drain, ...).
 - Utilisation de matériaux à faible résistivité pour la réalisation des interconnexions, par exemple, l'utilisation du cuivre (résistivité = 200.cm) à la place de l'aluminium (résistivité = 3.cm) engendre plusieurs avantages, notamment la réduction du coût de fabrication, la réduction de la consommation en puissance et la réalisation de lignes métalliques plus fines.
 - Le dopage de substrat doit être régi par la relation $N_{sub} \geq N_{canal} / 10$
 - La grille doit avoir une faible résistance /carrée et l'oxyde de grille doit être très fin et à faible densité de défauts. Ceci pour réduire le courant tunnel et augmenter la fiabilité de l'oxyde.

I.5.1- Effets indésirables dans le transistor MOSFET à canal court

En plus des instabilités dues aux charges d'oxyde, états d'interface, rugosités de surface, pour ne citer que ces instabilités, la réduction de la géométrie du transistor MOSFET fait aussi apparaître des effets indésirables qui dégradent les performances des dispositifs à canal court.

Si les manifestations de ces effets sur le fonctionnement du transistor peuvent être considérées comme étant de second ordre lorsque les dimensions sont microniques, pour des transistors

fortement submicroniques ($W ; L \ll 1 \mu\text{m}$), ces effets peuvent dominer complètement le fonctionnement du dispositif et le rendre peu utilisable. Ainsi parmi les principaux effets :

I.5.2 SCE : effet de canal court (short channel effect) :

De manière générale, les effets canaux courts que nous noterons SCE (*Short Channel Effects*) constituent tous des effets parasites qui influent sur V_{th} . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CS (Charge Sharing ou Roll-off) et le DIBL (Drain Induced Barrier Lowering).

Dans un transistor à canal court, comme les zones de charge d'espace S/D se rapprochent, on provoque une courbure et un abaissement du potentiel qui est plat sur presque toute la longueur du canal pour un MOSFET canal long, voir figure I.4 C'est l'effet de canal court

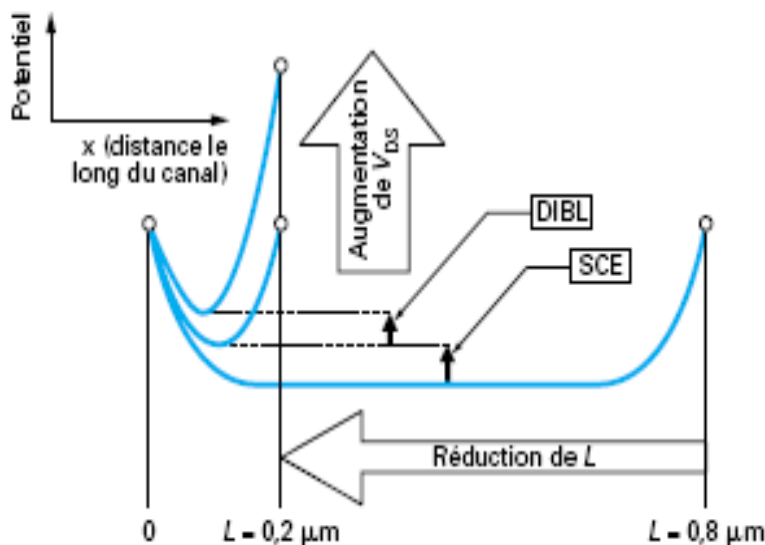


Figure I.4: Évolution du potentiel surfacique en fonction de la longueur du canal et du potentiel du drain

Cet abaissement de la barrière de potentiel entre de drain et la source augmente le courant et réduit la tension de seuil. Réduction donnée par la relation :

I.5.6 Effet de DIBL (drain induced barrier lowering)

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Lorsqu'aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long. Cependant, avec une tension de drain appliquée Figure II.5 suivante, le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source. C'est effectivement un tel effet qui est référé comme étant l'abaissement de la barrière induite par le drain, ou le DIBL . Pour une tension de drain croissante, nous assistons à une traversée du canal par les porteurs à une valeur de polarisation de grille nettement inférieure à celle que l'on aurait eu en l'absence de cet effet dit DIBL. L'injection augmentée d'électrons par la source, par-dessus la barrière réduite, lorsque V_{ds} augmente, entraîne une croissance du courant de drain et donc une décroissance de V_{th}

Ce résultat s'observe bien sur la caractéristique $I_d - V_g$ en échelle logarithmique tracée à la Figure I.5.

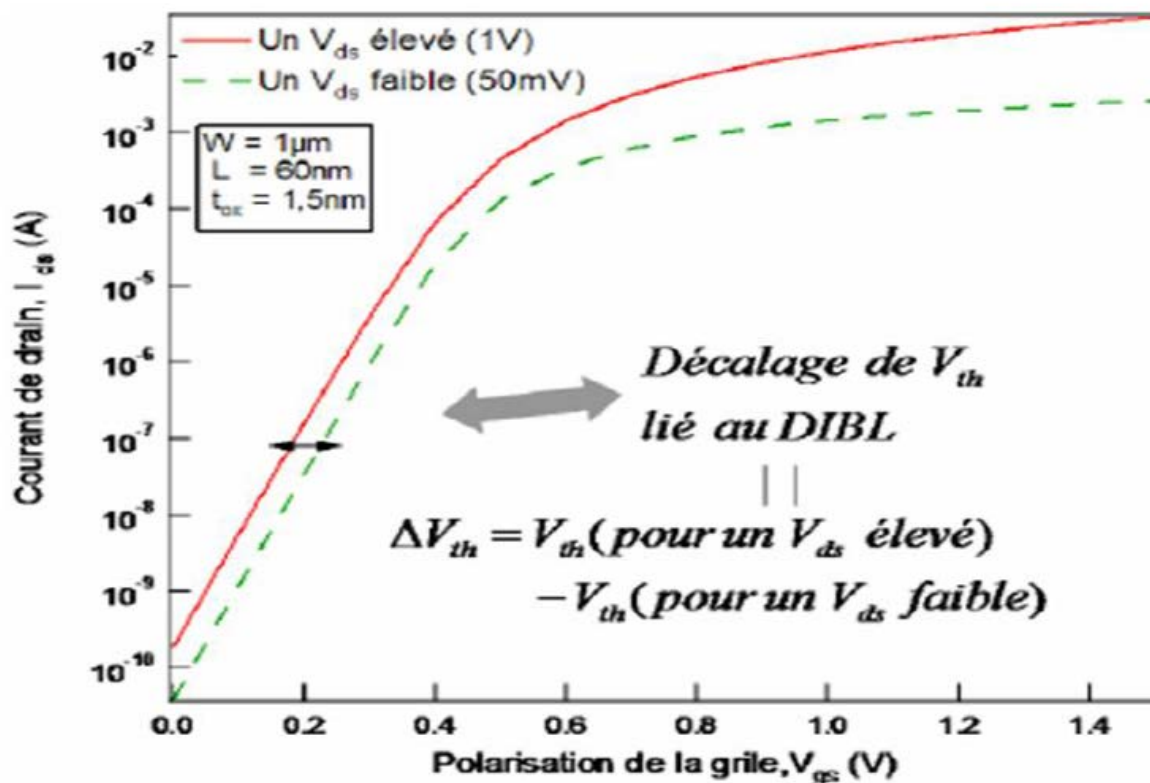


Figure 1.5 Influence de l'effet du DIBL sur la caractéristique ($I_d - V_g$) du transistor MOS

I.5.1.6 Effet de Canal Court Inverse

Il a été observé qu'une réduction de la longueur du canal pour augmenter la densité d'intégration entraînait une augmentation de la tension de seuil qui, à première vue, devait diminuer. Ainsi, cette observation a motivée l'étude du phénomène inverse de réduction de longueur du canal (RSCE : Reverse Short Channel Effect).

Ce phénomène est illustré par la figure I.6. On remarque qu'à certaines valeurs de la longueur de canal L la tension de seuil présente des valeurs maximales. Pour de très faibles valeurs de L (Deep Submicron MOSFETs) la tension de seuil augmente avec la longueur du canal L .

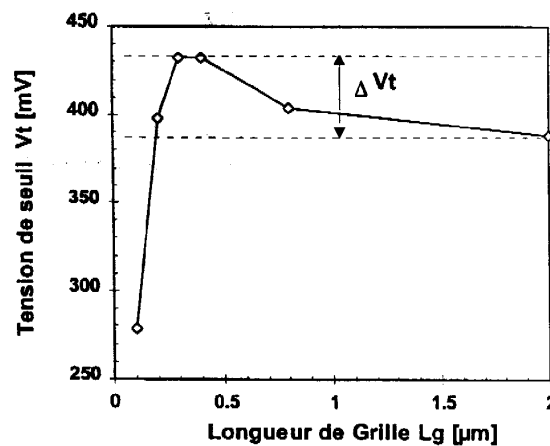


Figure I.6 : Variation de la tension de seuil avec la longueur de grille illustrant l'effet de canal court inverse

On définit la grandeur ΔV_T comme étant la variation de la tension de seuil d'un transistor de longueur de canal L par rapport à un transistor de référence.

I.5.7. Effets de porteurs chauds

Quand on réduit la longueur du canal et que l'on augmente la tension de drain, le champ longitudinal prend des valeurs importantes et génère des porteurs dits chauds. Ces porteurs sont appelés ainsi car ils ont acquis une grande énergie qui ne peut être totalement dissipée à leurs arrivées à destination. Ils causent ainsi des dégradations au moment du transfert

de leur excès d'énergie au réseau du matériau constituant le MOSFET. Ces porteurs sont à l'origine de plusieurs effets néfastes pour le transistor.

I.6. Le MOSFET nanométrique

Si de nos jours, l'industrie fabrique des transistors avec des longueurs de canal de 22nm, FinFET, L'ITRS (International Technology Roadmap for Semiconductors) prévoit des longueurs de grilles de 7nm en 2018. Pour ce faire, il existe plusieurs voies, notamment l'utilisation de nouvelles architectures qui devraient remplacer à plus au moins longue échéance le MOSFET conventionnel, et la réalisation de différent type de transistor selon l'application : hautes performances (HP) pour les microprocesseurs, basses consommations en fonctionnement (LOP) ou en état de veille (LTSP) pour les équipements portables.

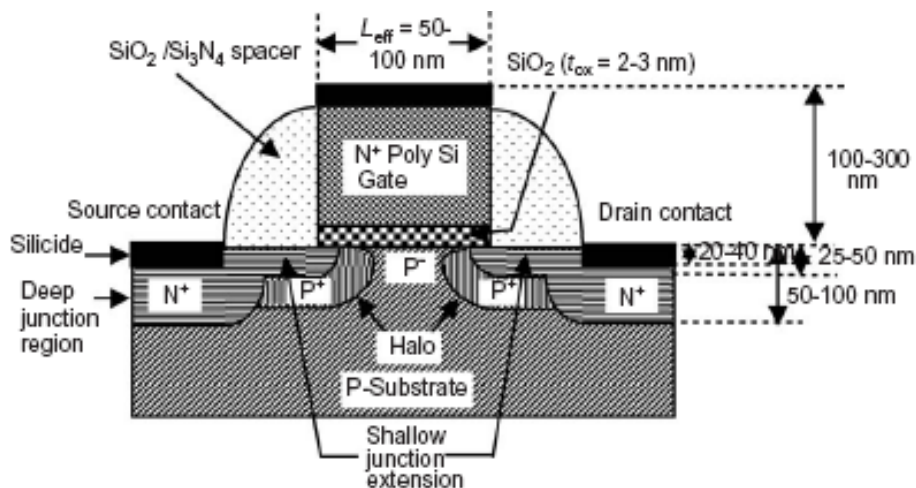


Figure I.7 : structure et dimensions typique du nanoMOSFET

La figure (I.7) illustre le nanoMOSFET typique fabriqué actuellement. Le dopage du canal est à profil rétrograde à fort dopage subsurfacique ($5 \cdot 10^{17}$ à $3 \cdot 10^{18} \text{ cm}^{-3}$) pour empêcher le champ électrique de drain d'arriver à la source (perçage volumique) et un faible dopage de surface (10^{17} cm^{-3}) pour maintenir une faible tension de seuil et améliorer la mobilité dans le canal en y réduisant les centres de collisions. Alors que des extensions de jonctions très minces sont utilisées pour le contact du canal avec le Drain et la source, des jonctions plus profondes sont utilisées pour établir la connexion avec les contacts métalliques drain source et ceci dans le but de réduire les résistances d'accès. Pour sa haute solubilité et son faible coefficient de diffusion, c'est l'arsenic qui est utilisé pour le dopage.

I.7. Limitations liées à la miniaturisation des dispositifs

Plusieurs raisons expliquent la volonté de diminuer les dimensions des transistors comme mentionné avant. La raison principale de la réduction des dimensions est l'intégration d'un plus grand nombre de dispositifs dans une même puce. Des dispositifs de dimensions réduites conduisent soit à une puce avec les mêmes fonctionnalités sur une surface plus petite, soit à des puces avec plus de fonctionnalités sur une même surface. Si on suppose que les coûts de fabrication d'une plaque microélectronique sont relativement fixes, le coût par circuit intégré est principalement lié au nombre de puces produites par plaque. Augmenter le nombre de puces par plaque permet donc de réduire le prix d'une puce. Ainsi, durant les trente dernières années, le nombre de transistors par puce a doublé tous les deux-trois ans à chaque introduction d'un nouveau nœud technologique. Cette tendance avait été anticipée par la loi de Moore basée sur un modèle économique et énoncée en 1965.

La diminution des grandeurs géométriques des transistors MOSFETs fût la première méthode utilisée pour améliorer la vitesse de commutation des transistors. Les MOSFETs de l'état de l'art sont maintenant fabriqués avec des longueurs de grille effective d'une dizaine de nanomètres seulement (environ 30nm en production), poussant les technologies conventionnelles à base de silicium dans le régime de la nanoélectronique.

Ceci a créé de nouveaux challenges pour modifier les autres dimensions des dispositifs, qui doivent être réduites en accord avec la longueur de grille. De nouveaux défis technologiques apparaissent avec la réduction des dimensions des dispositifs. Par exemple, l'épaisseur de l'oxyde de grille t_{ox} doit être réduite comme les autres dimensions du transistor, ce qui conduit notamment à des fuites de grille. Le dopage du substrat doit être augmenté, entraînant une augmentation des collisions entre les porteurs et donc une dégradation de la mobilité. Pour continuer à améliorer les performances des dispositifs, de nouvelles structures et des matériaux nouveaux ont été proposés. Ceci fait l'objet de la partie suivante.

II. Introduction

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFETs, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures, la réduction des fuites de grille en utilisant de nouveaux matériaux et d'autres solutions technologiques pour l'amélioration des propriétés du transport des porteurs, La première révolution dans l'architecture du transistor MOSFET est l'apparition des transistors sur film mince SOI (« Silicon On Insulator ») .

L'architecture des transistors MOS SOI (SOI MOSFET) est semblable à celle des transistors MOS sur Si massif (Si MOSFET) sauf que le substrat possède une couche d'oxyde enterré ("BOX" de l'anglais: Buried OXide) dans le silicium. On obtient ainsi un film de silicium confiné entre l'oxyde enterré et celui de la grille, ce qui a donné de nombreux avantages pour ce dernier comme le montre la figure ci-dessous figure [11] :

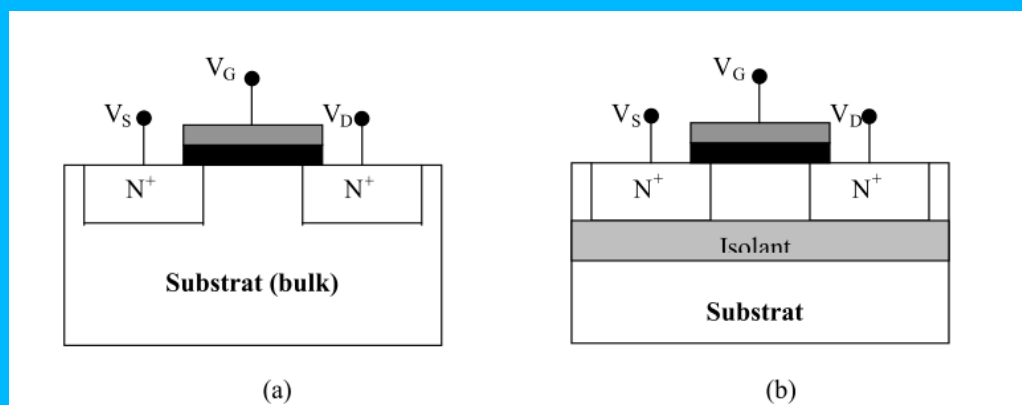


Figure II : vue en coupe de transistor SI-BULK(a) et MOS SOI (b)

II.1. Les transistors à effet de champ

Un transistor est avant tout un interrupteur commandé : un signal électrique (courant ou tension) de faible puissance, dit interrupteur de commande, doit contrôler un signal électrique de plus forte puissance.

Cela permet deux types de fonctionnement : soit en amplification pour les applications de type analogique, soit en tout ou rien pour les applications logiques ou

numérique. La structure Bulk-MOSFET est une structure qui nécessite plusieurs étapes pour la réaliser : tout d'abord on doit réaliser le type de substrat type-P ou type-N a savoir son fonctionnement, comme la montre la figure I.2 si dessous, on a choisis une substrat de type-P , à canal N, il possède 4 électrodes : la source et le drain qui sont les électrodes de puissance, la grille de longueur L_G qui est l'électrode de commande, et le contact de substrat. L'isolant de grille en oxyde de silicium SiO_2 , La longueur du transistor notée L correspond à la longueur de sa grille et la largeur est notée W [1.7].

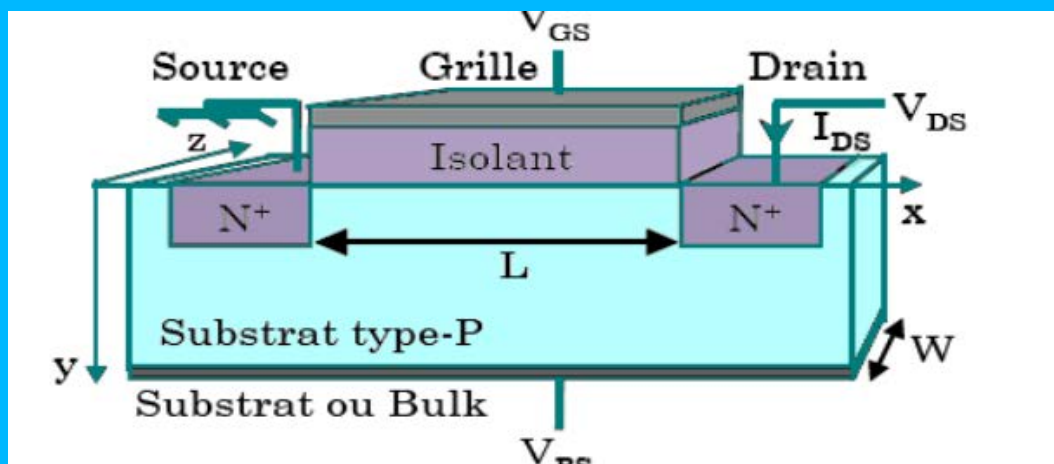


Figure II.2 : vue schématique de transistor BULK MOSFET

II.2. la technologie mos soi

Afin de répondre aux besoins d'accroissement de la densité d'intégration et d'éliminer plusieurs problèmes liés au substrat massif dans les technologies nanométriques, la technologie silicium a évolué vers la technologie MOS SOI.

II.3. Qu'est-ce que le SOI :

Le matériau le plus utilisé actuellement dans la microélectronique pour la fabrication de circuits intégrés est le silicium massif. Dans les transistors MOS réalisés sur SI massif, seule une région très fine (canal d'inversion). Près de l'interface, est utilisée pour la conduction électrique le reste de la plaquette n'étant pas utilisé, contrairement à la technologie SI massif, seule une région très fine (canal d'inversion), près de l'interface, est utilisée pour la conduction électrique, le reste de la plaquette n'étant pas utilisé. Contrairement a la

technologie Si massif, le matériau SOI est constitué d'un empilement de trois couches comme le montre la figure au dessous :

a)SOI layer ou film de silicium monocristallin, sur lequel sont réalisés les circuits intégrés et qui est la seule couche active (qui participe effectivement au fonctionnement des dispositifs).

b) une couche isolante ou BOX (buried oxide) qui peut être ;soit un substrat épais complètement isolant, par exemple en saphire (AL₂O₃).

Soit une couche mince isolante (de 50nm a quelques Um), réalisée en oxyde de silicium (SiO₂) et appelée oxyde enterré, qui sépare le film de silicium du substrat Sous-jacent

c) une couche épaisse de silicium, appelée substrat qui participe au fonctionnement des dispositifs et qui joue un rôle essentiellement mécanique [I.8]

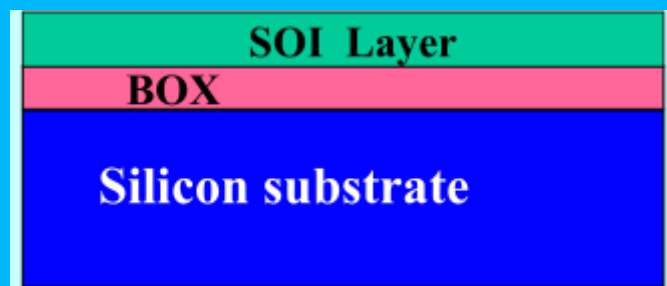


Figure II.3 : Structure schématique des matériaux Silicium sur Isolant.

II.4 : Transistor Mos SOI partiellement et entièrement déserté

Il existe plusieurs types de technologies SOI, On peut classer les transistors SOI en deux catégories suivant l'épaisseur de la zone désertée du film de silicium, soit PD partiellement dé OU FD complètement déserté suivant l'épaisseur de la zone désertée du film de silicium, donnée par la relation suivante

$$d_{max} = \sqrt{\frac{4 \cdot \Phi_f \cdot \epsilon_{Si}}{q N_a}}$$

où Φ_f est le potentiel de Fermi du silicium, ϵ_{Si} est la permittivité et N_a est le dopage en ions accepteurs du film de silicium .Le transistor est qualifié de partiellement déserté (PD) si

l'épaisseur du film de silicium est plus importante que d_{max} (ce qui correspond au MOSFET sur substrat massif, et de totalement déserté (TD) dans le cas contraire. Les propriétés électriques sont différentes dans chacun des deux cas.

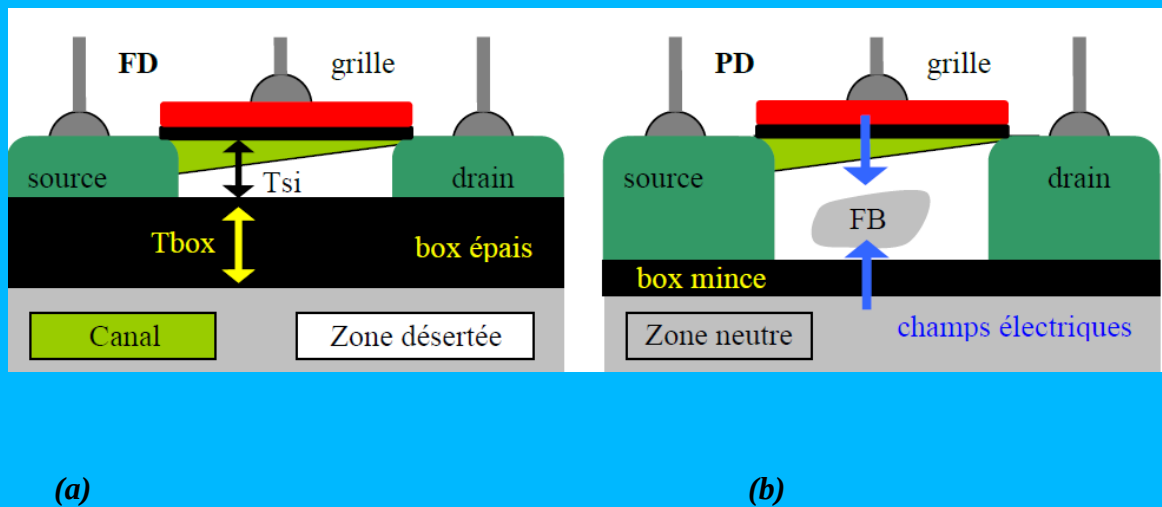


Figure II.4 : Représentation schématique d'un transistor MOS SOI : totalement déserté (a) Et partiellement déserté (b).

Pour les transistors SOI partiellement désertés, le film actif de silicium présente une zone interne neutre, située entre la zone de désertion et la couche d'oxyde enterré, qui empêche toute interaction entre les faces avant et arrière du transistor. Cependant, son potentiel est flottant puisqu'elle n'est reliée à aucun accès du transistor. Cela induit des phénomènes particuliers, tels que l'effet « kink » (II.4) et le transistor bipolaire parasite (II.4), qui sont fortement réduits dans le cas des transistors totalement désertés qui n'ont pas de zone interne flottante.

II.4.1. Les Transistors FDSOI

Les plaques de semi-conducteurs (wafers) SOI sont désormais considérées comme la technologie émergente de wafer la plus importante destinée à la production de circuits intégrés de pointe durant les 3 à 5 prochaines années. Les avantages de la technologie SOI proviennent de sa couche d'oxyde enterrée « BOX » (pour Buried OXyde) (Figure II. 6). Les transistors MOS fabriqués en technologie FD SOI reposent sur un film mince de silicium non dopé isolé du substrat par une couche d'oxyde de silicium.

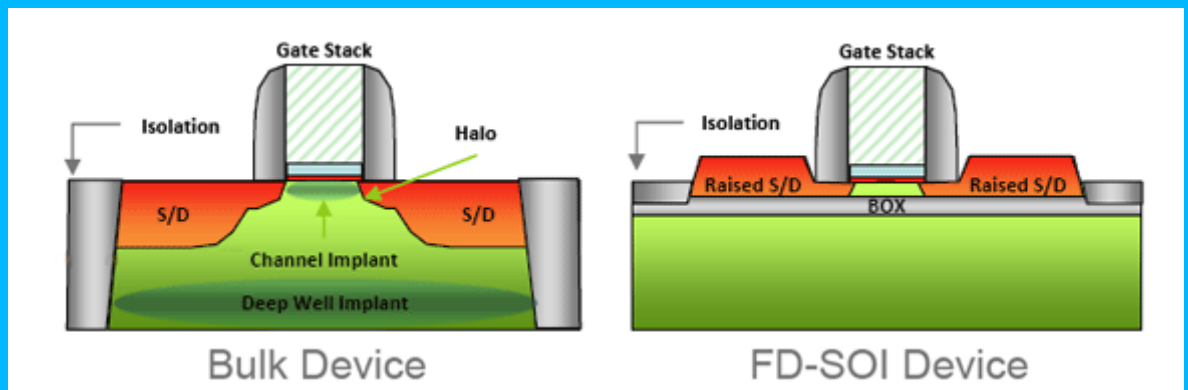


Figure II.4.1 : Schéma illustrant l'architecture d'un transistor MOS sur substrat massif et sur SOI.

II.5. Les avantages de transistor MOS SOI vs BULK MOSFET.

Les transistors MOS sur substrat massif (« bulk ») sont réalisés à la surface de la tranche de silicium, appelée couche active. L'épaisseur nécessaire pour réaliser le transport des électrons est très fine, de $0,1\ \mu\text{m}$ à $0,2\ \mu\text{m}$, alors que les tranches de silicium ont une épaisseur de $800\ \mu\text{m}$. Le volume inactif du transistor, qui représente plus de 99,9 %, sert de support mécanique pour manipuler les transistors et les mettre en boîtier. Ce substrat inactif induit des phénomènes parasites, tels que des courants de fuite dans le substrat et des capacités de jonctions élevées comme mentionné dans le chapitre I. Les transistors MOS silicium sur isolant (SOI) reposent sur le principe de l'isolation diélectrique complète du composant, par un oxyde enterré sous sa zone active. L'isolation ainsi obtenue est largement supérieure à celle obtenue avec des techniques classiques sur substrat massif. Cette propriété confère au SOI de nombreux avantages en termes de performances : rapidité, faible consommation, immunité aux radiations. Quelques-uns des avantages des transistors MOSFET sur SOI par rapport aux MOSFET sur substrat massif seront présentés dans les paragraphes suivants.

II.5.1. Haute fréquence

La fréquence de fonctionnement dans les circuits logiques dépend des temps de propagation ou des temps de commutation. Ces paramètres sont proportionnels à la capacité de sortie du transistor. Les capacités source/substrat (CJS) et drain / substrat (CJD) dans la technologie SOI sont 4 à 7 fois plus faibles que sur silicium massif (Figure 4). Tandis que sur silicium massif CJS (resp. CJD) équivaut à la capacité d'une jonction polarisée en inverse,

dans le SOI CJS (resp. CJD) est dominée par la capacité de l'oxyde enterré sous la source (resp. le drain), qui est beaucoup plus faible. La réduction des capacités parasites se répercute au niveau du circuit et améliore les performances en hautes fréquences des SOI MOSFET par rapport au silicium massif

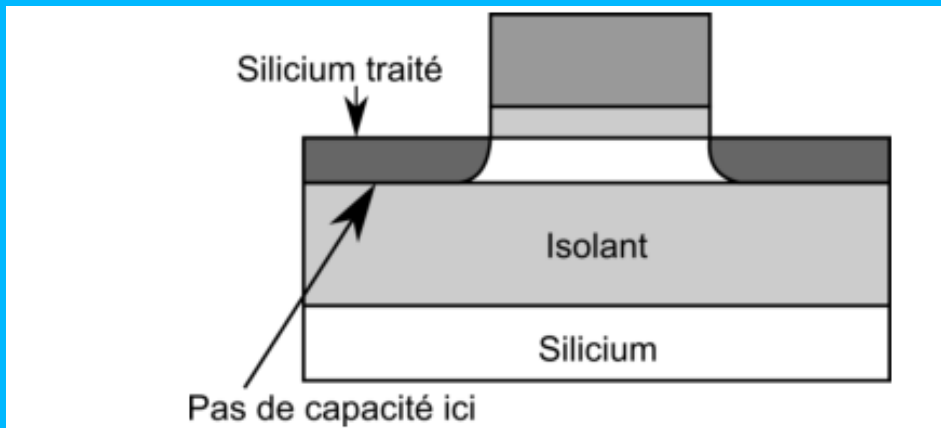


Figure II.5 MOS a substrat SOI

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (fD SOI) , sont dans l'ensemble bien meilleures comparées au transistor BULK MOSFET, Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm

II.5.2. Réduire les effets des porteurs chauds. La technologie SOI permet la réduction des effets des porteurs chauds: dans les FD MOSFET, le champ électrique transversal est réduit vu que la zone de déplétion se limite à l'épaisseur du film. Ceci réduit les effets des porteurs chauds et améliore la mobilité effective dans le canal, donc augmente le courant de saturation

II.5.3. L'effet de latch-up sur le SOI, ou le thyristor parasite. L'effet de latch-up est un phénomène qui induit le déclenchement du thyristor parasite représenté (Figure II.3) par deux transistors bipolaires NPN et PNP dans les technologies CMOS sur substrat massif. Le déclenchement du latch-up est lié à la proximité des zones N+ et P+ de transistors NMOS et PMOS voisins. Sur le SOI, ces zones sont complètement isolées et le claquage entre ces deux zones est impossible quelle que soit la distance qui les sépare.

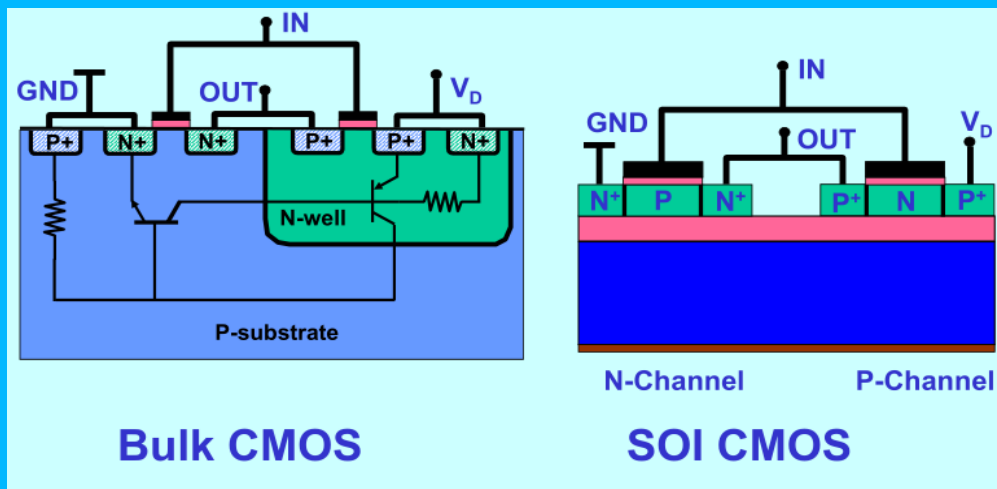


Figure II.6 : vue schématique de transistor BULK MOSFET vs SOI (latch-up)

II.5.4. Faible courant de fuite. Le courant de fuite associé aux jonctions drain/substrat et source/substrat est proportionnel à leur surface. Cette surface est diminuée en utilisant un substrat SOI car les jonctions planes de drain et de source sont éliminées à cause du contact avec l'oxyde enterré (Figure II. 6). Cette diminution du courant de fuite donne un avantage très important qui est la réduction de la consommation, qui constitue un avantage crucial pour les applications nomades et la durée de vie de la batterie

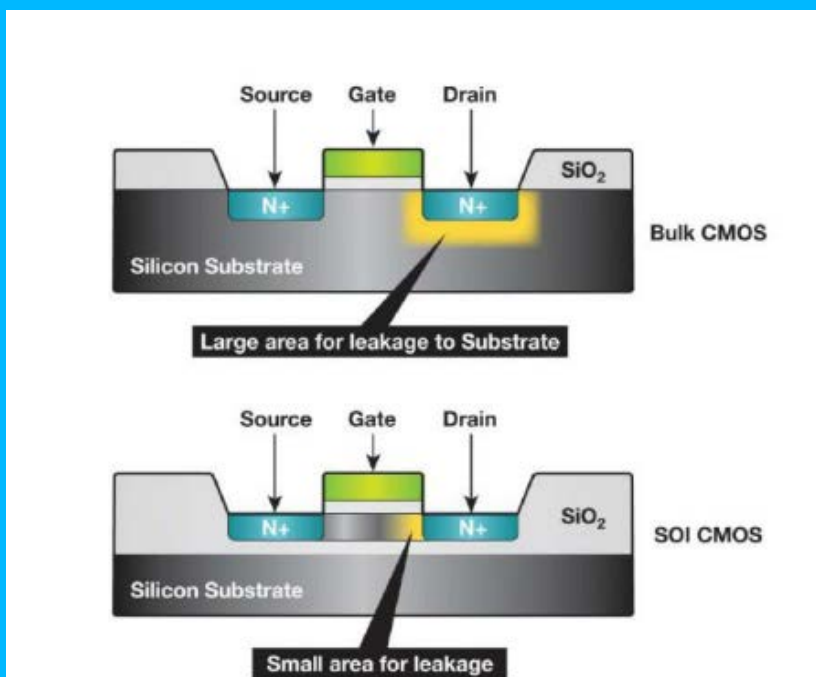


Figure II.7 : Courant de fuite de drain et de source pour un MOS sur substrat massif et un MOS SOI

II.5.5. Réduction de l'effet de canal court. La diminution de la longueur de canal des transistors MOSFET induit de nombreux effets, dont l'un est appelé effet de canal court. Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze Q_g à la Figure II.8.

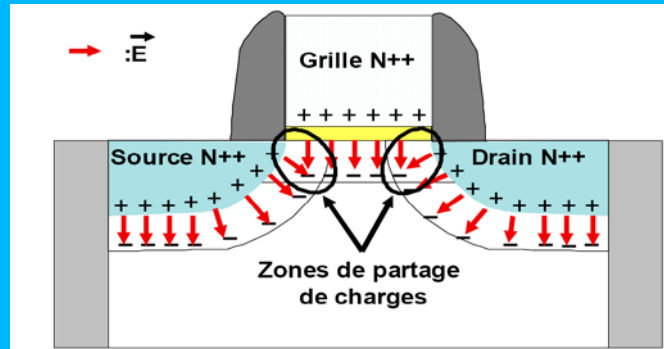


Figure II.8 : Schéma montrant l'effet de partage de charge

Pour les transistors à canal « long », cet effet est faible par rapport à la zone de contrôle de la grille, tandis qu'au fur et à mesure de la réduction de la longueur de la grille, cet effet devient de plus en plus significatif. L'effet de canal court s'explique par une perte de contrôle de la charge du canal par la grille, ce qui a pour conséquence de réduire la tension de seuil. Cet effet est très important pour les transistors MOSFET sur substrats massifs, mais dans le cas du SOI et en particulier pour les transistors totalement désertés, l'espace de charge dans le film de silicium reste très bien contrôlé par la grille. Comme conséquence, les effets de canal court sont réduits en comparaison des transistors MOSFET sur substrat massif Figure II.8.1

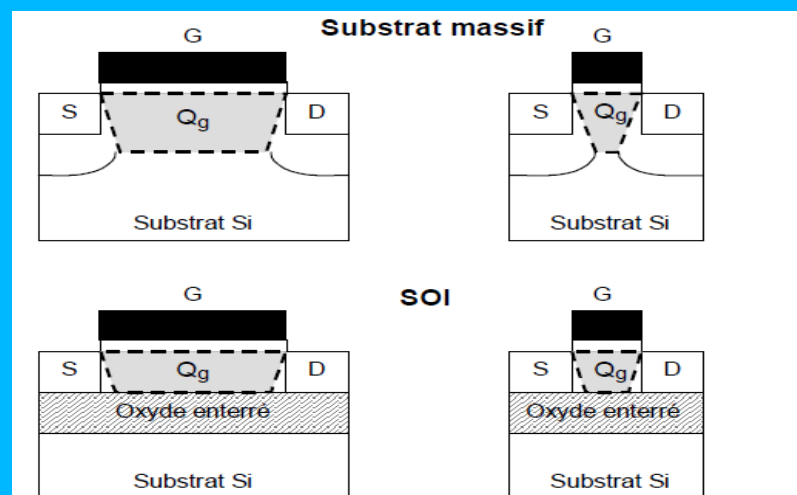


Figure II.8.1. : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les Transistors à canal long (gauche) et à canal court (droite).

II.5.6. Augmentation de la densité d'intégration. La miniaturisation, sans augmenter les courants de fuite [3, 12]. Comme conséquence, de meilleures performances en termes de rapidité peuvent être obtenues à des tensions d'alimentation plus faibles. de tous les produits électroniques requiert la réduction des tailles des composants et l'accroissement de la densité d'intégration tout en gardant la même performance et la même durée de vie ou plus. L'utilisation d'un substrat SOI permet à la fois une isolation diélectrique verticale parfaite entre les différents composants (puissance, logique et analogique), grâce à la couche diélectrique enterrée et une densité d'intégration plus importante.

II.5.7. Meilleure tenue aux radiations. Certaines applications comme l'aéronautique et l'espace sont soumis au rayonnement cosmique. Des forts flux de particules chargées engendrent des «photo-courant» dans les circuits intégrés. Par ailleurs, une particule unique très ionisante (proton ou ion) produit le long de sa trace un plasma conducteur (Figure II.9) responsable d'effets isolés : claquages ou courts-circuits, tous deux destructifs ; basculement d'un point mémoire ou erreur dans un circuit logique, non destructifs mais entraînant des erreurs graves au niveau système.

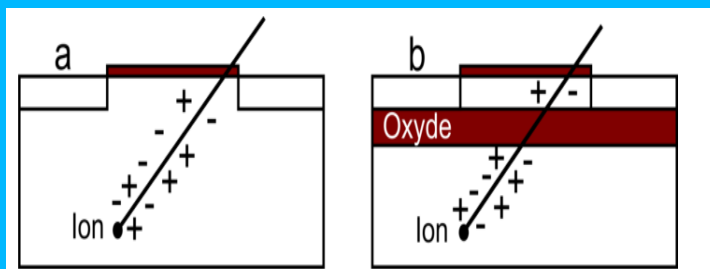


Figure II.9 : Effet des irradiations (a) sur substrats massifs et (b) sur MOS SOI .

Le durcissement vis-à-vis de ces effets est obtenu principalement par la réduction du volume de silicium contenant les composants. L'utilisation de fines couches actives de silicium minimise l'impact des radiations ionisantes sur les performances des composants .La technologie de PDSOI et FDSOI, en particulier concernant la haute fréquence de fonctionnement, le faible courant de fuite et la réduction de l'effet de canal court.

II.5.8. Réduction des capacités parasites. Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites. Les capacités de jonction source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde C_{Box} . Le transistor SOI présente, toujours par comparaison au transistor BULK MOS, un canal de conduction plus

mince et isolé, une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons. Lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension V_g nulle, ce qui est également avantageux en ce qui concerne le courant de perçement en surface.

II.5.9 Pente inverse sous le seuil Ce qu'on appelle dans la littérature « pente inverse sous le seuil » se définit comme l'inverse de la pente de la caractéristique I_d en fonction de V_{gs} , dans la zone où la tension est inférieure à la tension de seuil V_{th} . C'est un courant de diffusion de porteurs minoritaires, puisque la couche d'inversion du canal n'est pas encore formée. Il contribue à la puissance statique consommée par les circuits numériques, c'est-à-dire la puissance consommée à l'état de veille. Il a été montré que les transistors MOSFET sur SOI ont une pente inverse sous le seuil plus faible que sur substrat massif, permettant d'utiliser des tensions de seuil plus faibles

II.6. Les inconvénients de transistor MOS SOI .La technologie SOI a beaucoup d'avantages, mais elle a aussi certains inconvénients qui limitent son utilisation généralisée.

II.6.1. L'effet du transistor bipolaire parasite. Il est dû à l'ionisation par impact et aux charges qui s'accumulent dans le substrat augmentant le potentiel du film, polarisant ainsi en direct la jonction film de Silicium- source. Ce qui active un transistor bipolaire parasite en parallèle avec le MOSFET. Ce courant parasite peut empêcher le transistor de commuter de l'état ON à l'état OFF (verrouillage ou Latch-up du MOSFET).

II.6.2. Coût des plaquettes. Malgré les nouvelles techniques de fabrication performantes des plaquettes SOI, cette technologie reste plus chère par comparaison à celle sur substrat massif, car elle nécessite plus de matériau (wafer bonding) et plus d'étapes technologiques. A titre d'exemple, selon Virginia Semi-conductor, le prix d'une plaquette SOI de 100 mm de diamètre, 400 μm d'épaisseur et dopée au bore est égal à 175 \$ par plaquette, alors que le prix d'une plaquette de silicium de 100 mm de diamètre, 500 μm d'épaisseur et dopée au bore varie entre 36 \$ et 80 \$ suivant la résistivité du silicium.

II.6.3. Conductivité thermique. Dans l'utilisation d'un SOI, la présence de la couche d'oxyde enterrée empêche la dissipation thermique par la face arrière du substrat et peut alors poser un problème d'auto échauffement pour les composants de puissance. En effet, il y a une grande différence entre les conductivités thermiques du silicium et celle de l'oxyde

À cause de la faible conductivité thermique de l'oxyde enterré (100 fois plus faible que celle du silicium) dans les transistors MOS SOI, la chaleur produite dans le film SOI est relativement difficile à évacuer. Il est plus prononcé dans les canaux courts à cause du courant élevé et du faible volume de Silicium. Le remplacement du SiO_2 de l'oxyde enterré par de l'Alumine ou tout autre diélectrique à forte conductivité thermique améliorera l'évacuation de la chaleur vers le substrat de silicium, ce qui réduira l'auto échauffement.

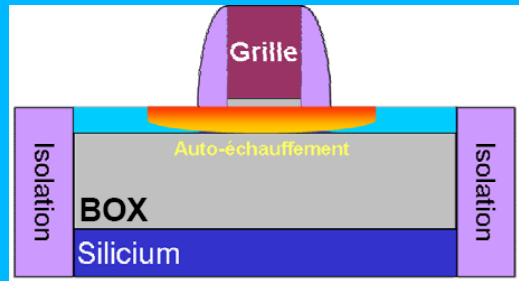


Figure II.10 : Auto échauffement dans un transistor MOS SOI à isolant SiO_2

Malgré l'évacuation de la chaleur plus difficile, les composants et les circuits sur substrat SOI présentent trois avantages majeurs pour un fonctionnement à haute température par rapport aux substrats massifs : absence de « latchup » activé thermiquement, réduction des courants de fuite et, pour les composants totalement désertés, faible variation de la tension de seuil avec la température

II.7. Fabrication d'une plaquette SOI

Le procédé de fabrication des composants sur SOI est proche de celui sur substrat massif, à l'exception des substrats de départ. Il existe plusieurs méthodes pour réaliser une plaquette SOI, chacune a ses avantages et ses inconvénients. On peut les classer en trois grands groupes de techniques : techniques de collage, techniques d'épitaxie et technique de la conversion du matériau (figureII.11)

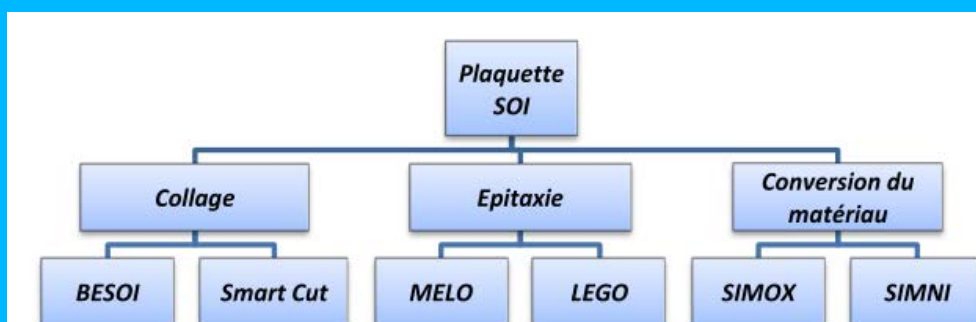


Figure II.11: Différentes techniques de réalisation d'une plaquette SOI

II.7.1. Technique de collage. Cette technique dite aussi wafer bonding en anglais est divisée en plusieurs technologies.

a)BESOI (Bonded and Etch back SOI).

Cette technique consiste à coller deux plaquettes de silicium, dont l'une a une surface oxydée, par les forces de Van der Waal ou liaisons hydrophiles entre les deux surfaces, puis à effectuer un recuit à 1100°C. Cette étape est suivie par un polissage mécano-chimique jusqu'à l'obtention de l'épaisseur de silicium désirée, (Figure II.12).

Cette méthode est simple, mais elle a un inconvénient majeur, qui est son coût, puisqu'on a besoin de deux plaquettes de silicium pour obtenir une seule plaquette SOI.

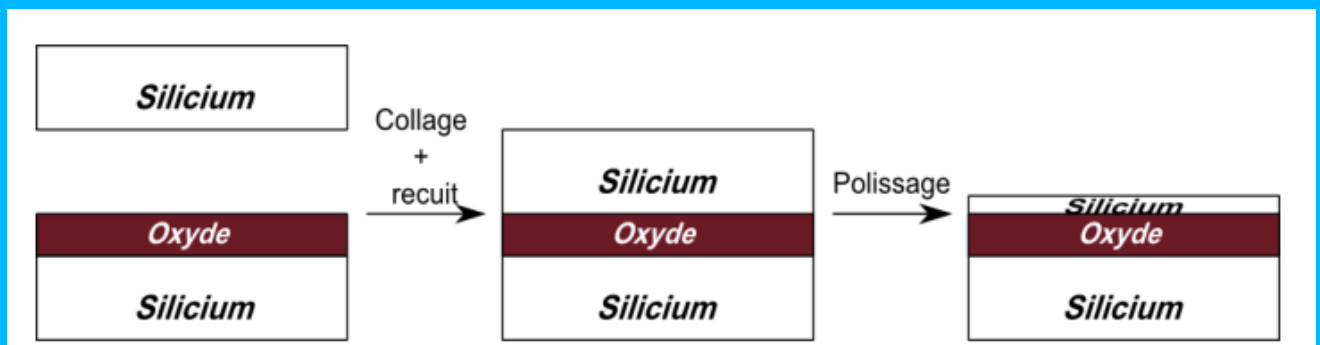


Figure II.12 : Etapes du procédé BESOI

b) SmartCut

Ce procédé, est basé sur le même principe de collage de deux plaquettes de silicium. La différence est l'utilisation des ions hydrogènes implantés dans la plaquette supérieure. Donc on utilise cette fois une plaquette de silicium à surface oxydée et implantée par des ions hydrogènes, où la profondeur est fixée par l'énergie d'implantation. Cette plaquette est collée à une autre par liaisons hydrophiles puis un recuit est réalisé. La première phase de ce recuit, de 400 à 600°C, permet de faire coalescer les microcavités dues à l'implantation, et permettent ainsi la propagation d'une fissure à travers toute la couche implantée d'ions hydrogènes (FigureII.13). La seconde phase du recuit, au dessus de 1000°C, aide à consolider les liaisons chimiques entre les deux surfaces collées. Après séparation, la rugosité de surface du silicium sur oxyde est rectifiée par un polissage. Le reste de la plaquette donneuse est intact et peut être recyclé pour former une autre plaquette SOI, ce qui diminue le coût de fabrication par rapport au procédé BESOI utilisant deux plaquettes.

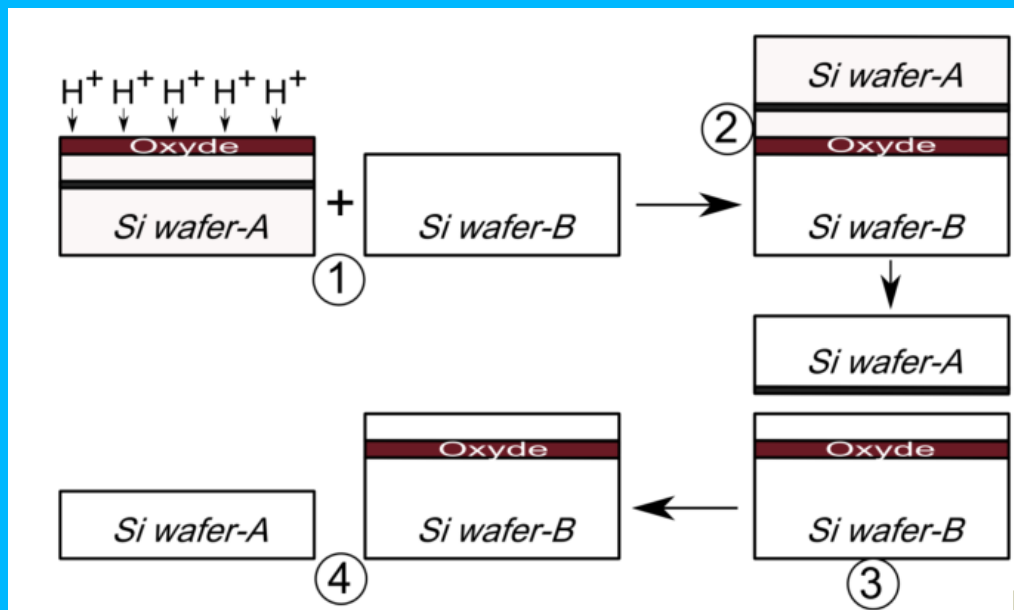


Figure II.13 : Principales étapes du procédé Smart-Cut

II.7.2. Technique d'Epitaxie.

Le LEGO (Lateral Epitaxial Growth over Oxide) est une technique basée sur la fusion et la recristallisation de motifs épais de silicium poly-cristallin sur oxyde, et qui permet d'obtenir des motifs localisés de SOI sur un substrat de silicium par la technique de photolithographie. Elle a été développée en premier lieu dans les années 80 et a été désormais reconsidérée à cause d'un nouveau marché pour les structures SOI partielles à faible coût, celui de l'intégration de composants de commande et de puissance sur une même puce avec une isolation diélectrique efficace. La (Figure II.13) présente les étapes du procédé LEGO.

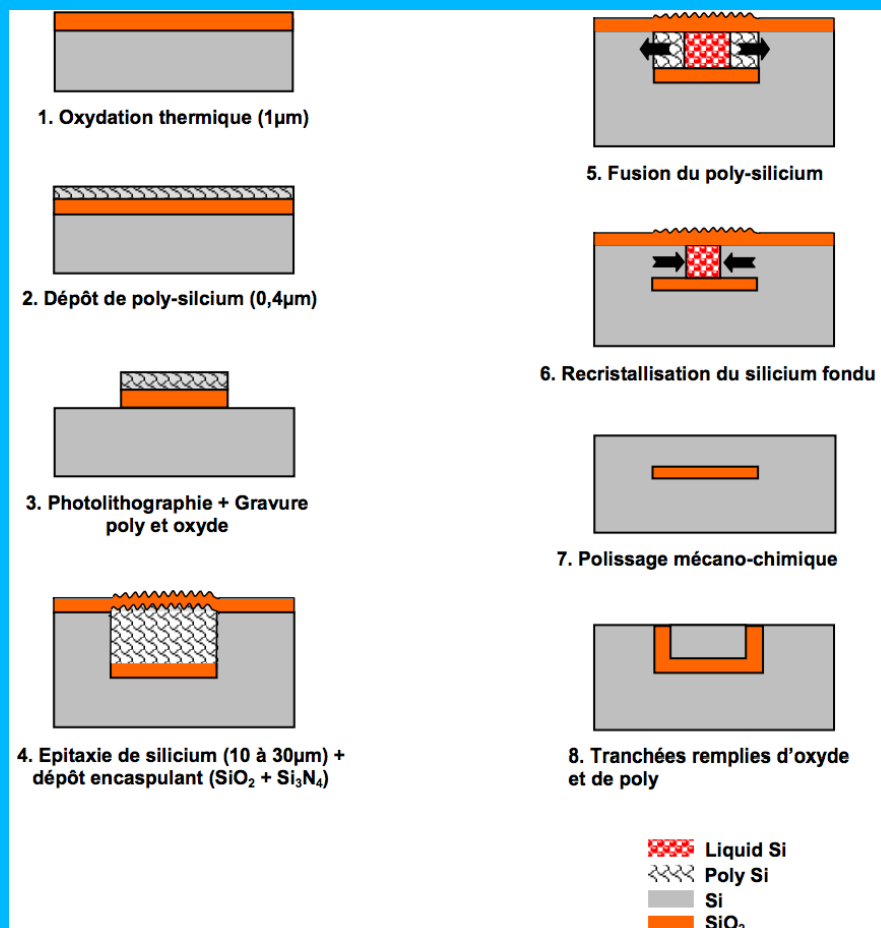


Figure II.13 : Etapes du procédé LEGO

II.7.3. Technique de conversion du matériau.

SIMOX (Separation by implantation of oxygen) Cette technique consiste à implanter des ions d'oxygène afin d'obtenir la couche d'oxyde. La dose et l'énergie d'implantation permettent de déterminer la profondeur et l'épaisseur de la future couche d'oxyde (Figure II.14) Après implantation, de nombreux défauts (dislocations et fautes d'empilement) sont générés dans la couche supérieure de silicium. Un recuit à très haute température (1300°C) pendant quelques heures ou 1405°C pendant 30 minutes) est donc nécessaire pour rétablir une qualité cristalline acceptable de la couche SOI ainsi que pour lier les atomes d'oxygène avec les atomes de silicium en une couche bien délimitée de SiO_2 Enterré (Figure II.14)

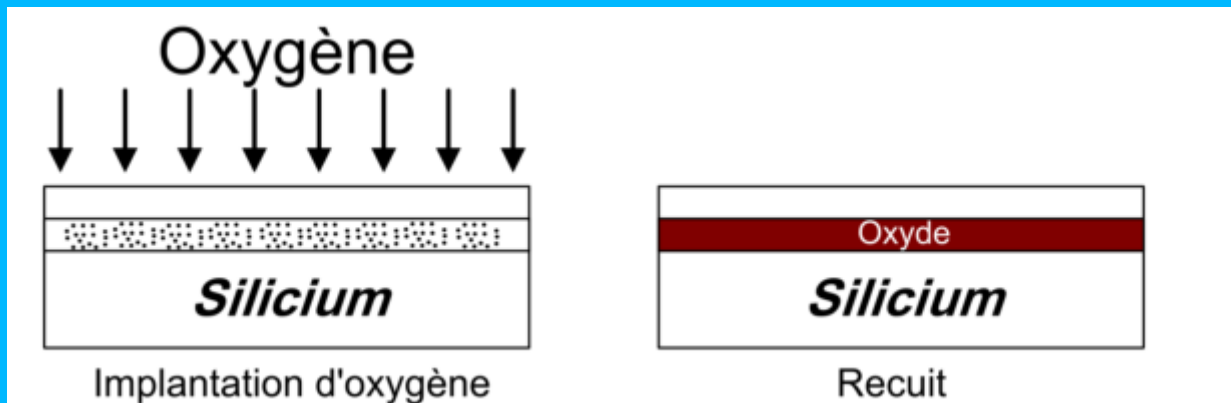


Figure II. 14 : Etapes technologiques de la technique SIMOX

Conclusion

Dans ce deuxième chapitre on a introduit un aperçu de l'évolution de la technologie MOS SOI ,puis on a représenté les deux types de transistor PD et FD suivie d'une comparaison entre MOS SOI et Bulk MOSFET, les différentes technique de fabrication d'une plaquette MOS SOI ,La technologie SOI présente d'innombrables avantages. Cependant, son inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts.

En effet la polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste n'est pas à négliger lorsque l'épaisseur de l'oxyde est importante. Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique, en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure, permettant ainsi d'insérer une seconde grille est appelée structure double grille dite DGFET transistor, Le double-grille (DG) rentre dans le cadre des structures multi-grilles. [II.4] se qui a donner naissance au structure multi-grille comme solution pour continuer à augmenter les performances des dispositifs.

III .Les transistors à grilles multiples

Les transistors à grilles multiples (MUGFETs) sont largement reconnus comme des candidats prometteurs pour satisfaire les exigences de l'ITRS, grâce au bon contrôle du canal par la grille. La première publication décrivant un transistor SOI MOSFET double grille par T.Sekigawa and Y. Hayashidate en 1984 [II.2]. Le composant a été nommé « XMOS », car sa section efficace ressemble à la lettre grecque Ξ (Ξ), en utilisant cette configuration un m la Figure au dessous illustre les prédictions de l'ITRS en 2011 sur les architectures CMOS en fonction des annonces des industriels. INTEL, par exemple, a annoncé en 2011 l'utilisation des transistors FinFET pour la fabrication de ses futurs microprocesseurs dans le nœud technologique 22 nm [I]. En 2012, Intel a commercialisé ses produits dans les applications hautes performances en utilisant l'architecture Trigate 22 nm [I].

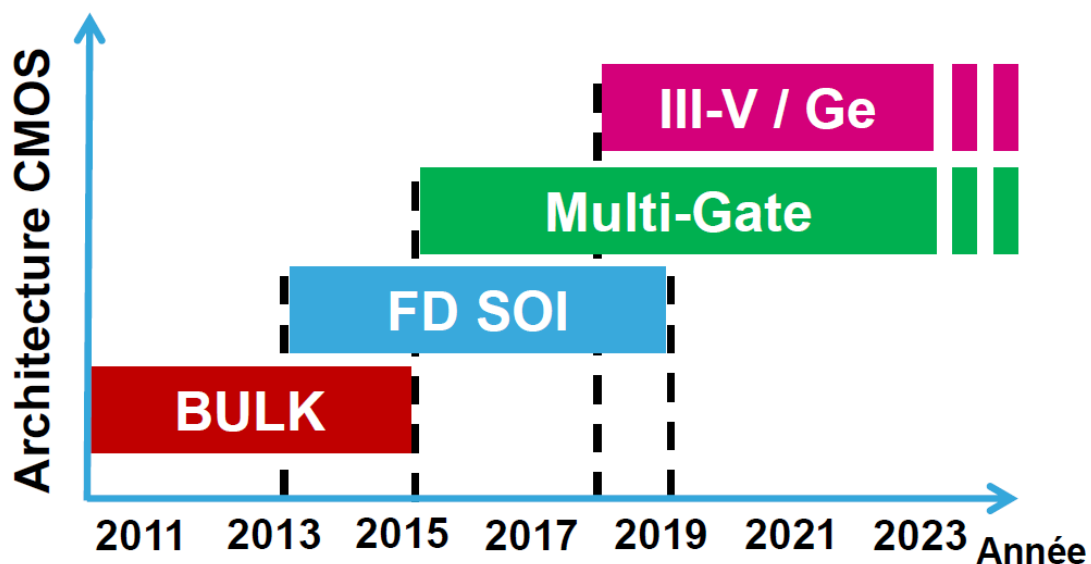


Figure III: Prédiction de l'ITRS 2011 de l'utilisation des différentes architectures CMOS en fonction de l'année.[III.I]

Depuis, plusieurs architectures à grilles multiples ont vu le jour. Les dispositifs sont considérés parmi les architectures les plus innovantes, les plus prometteuses pour les générations technologiques les plus intégrées. Un transistor double-grille est équivalent à une structure SOI dans laquelle l'oxyde de grille et l'oxyde enterré ont la même épaisseur, les grilles avant et arrière étant connectées ensemble. D'un point de vue électrostatique, le transistor MOS SOI double-grille est plus robuste que le transistor MOS à une simple grille puisque la double-grille, fortement couplée au canal, contrôle simultanément le potentiel de

surface aux deux interfaces du film de silicium. Par conséquent, les effets de canaux courts sont réduits. Un autre avantage de ces dispositifs vient du caractère symétrique de la distribution du potentiel électrostatique qui induit un champ nul au milieu du film ce qui permet d'augmenter la mobilité.

Les différentes structures des grilles qui contrôlent le canal et leur positionnement autour du film de silicium qui détermine la dénomination des différentes structures MOS SOI sont représentées dans la figure III.1.

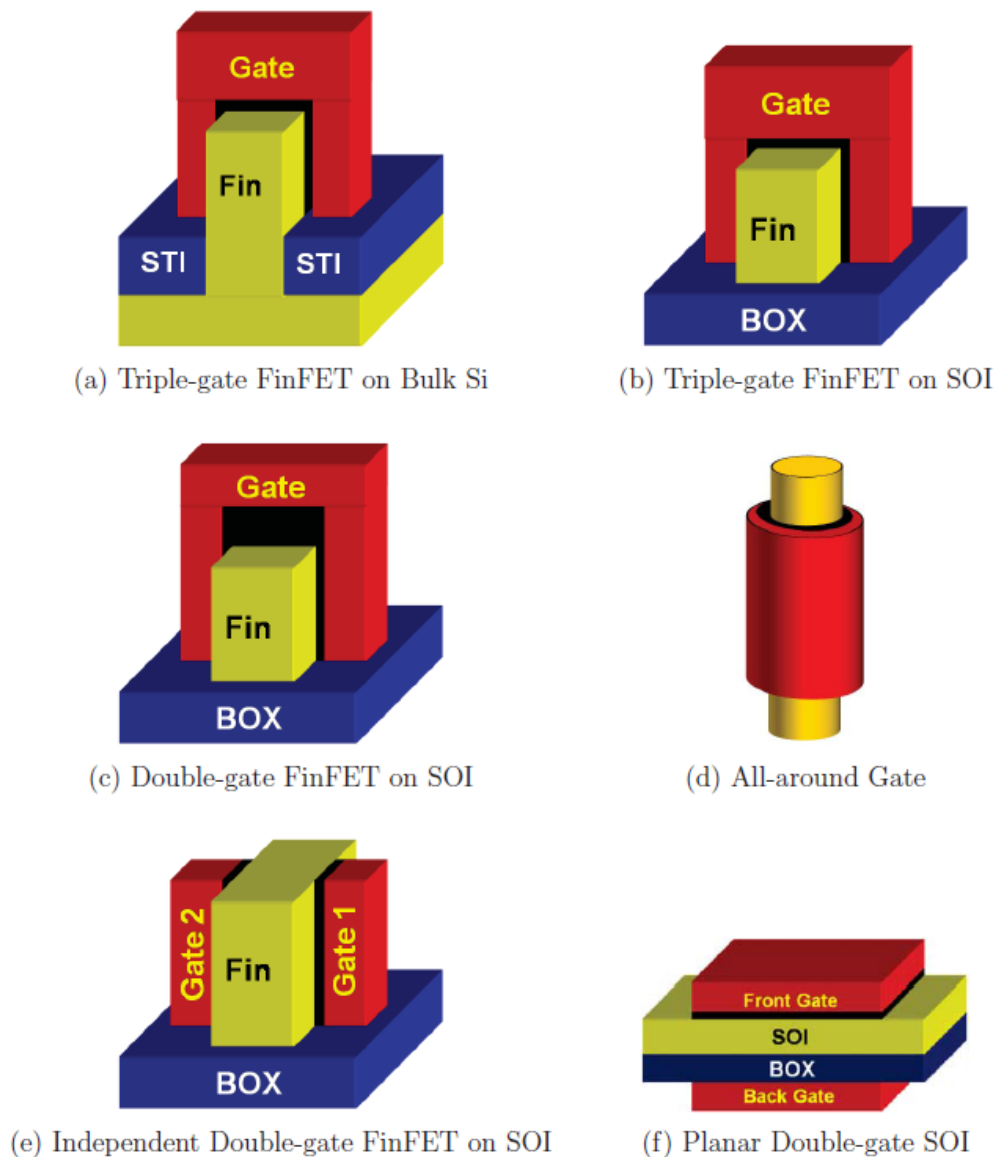


Figure III.1 : Les Différents structures de la grille SOI

III.1 Avantages des transistors à grilles multiples

L'avantage majeur des dispositifs multi-grilles est la réduction des effets canaux courts. Puisque le canal est contrôlé par la grille de plusieurs côtés, on a un meilleur contrôle électrostatique du canal par la grille contrairement aux structures de transistors conventionnelles. Ceci a pour conséquence de réduire les courants de fuites. Aussi, grâce aux dimensions de ces dispositifs, la réduction des coûts à travers la miniaturisation peut donc se poursuivre. Un deuxième avantage de ces dispositifs est l'amélioration du courant débité à l'état passant du transistor (ION) et donc une augmentation de la vitesse du circuit grâce à la réduction du canal de conduction, donc les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires de la microélectronique [II.1].

III.2. La technologie MOS SOI double-grille .

III.2.1. Introduction au transistor mos soi double grille.

De nombreuses solutions sont actuellement étudiées pour contourner les limitations technologiques liées à la réduction d'échelle du transistor MOS standard. Certaines de ces solutions incluent des modifications au sein des structures existantes, dans l'espoir de prolonger leur miniaturisation. Selon le rapport de l'ITRS, le transistor MOS à double-grille appelé DGFET (figure II.2) est identifié comme l'un des candidats les plus prometteurs pour les futurs circuits intégrés à très grande densité d'intégration. Ceci est essentiellement dû à son aptitude intrinsèque à suivre la tendance continue de miniaturisation des dispositifs (grâce au contrôle du canal par les deux grilles). En parallèle et afin de satisfaire aux exigences du concepteur de circuits, il est nécessaire de développer des modèles compacts de ces technologies émergentes, précis, simples, efficaces en termes de temps de calcul, contenant un minimum de paramètres et enfin, prédictifs. Les travaux se positionnent depuis quelques années dans le cadre de la modélisation compacte du transistor MOS à grilles multiples [II.1].

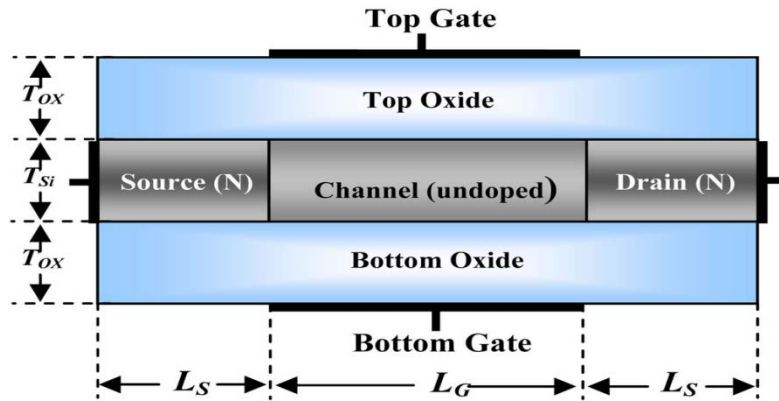


figure III.2 transistor double grille MOS

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. . Toutefois, l'agencement des grilles par rapport au canal constitue la différence entre ces MOSFET SOI. On parle alors :

- 1) le transistor double grilles planaire (linaire a) dont le transport des porteurs se fait parallèlement au plan du substrat et le champ électrique entre les deux armatures des grilles est perpendiculaire.
- 2) le transistor double grille non planaire (vertical b) dans lequel le champ et le transport des porteurs se font parallèlement au substrat
- 3) le transistor double grille quasi-planaire où le champ et transport dépendent de l'agencement des grilles (latéral) de type FinFET et leurs dérivées, dans lesquels, seule la zone active se trouve dans le plan vertical par rapport au substrat. La source et le drain restent dans le plan horizontal comme pour un transistor planaire conventionnel et le transport électronique et le champ de grille sont parallèles au plan de substrat

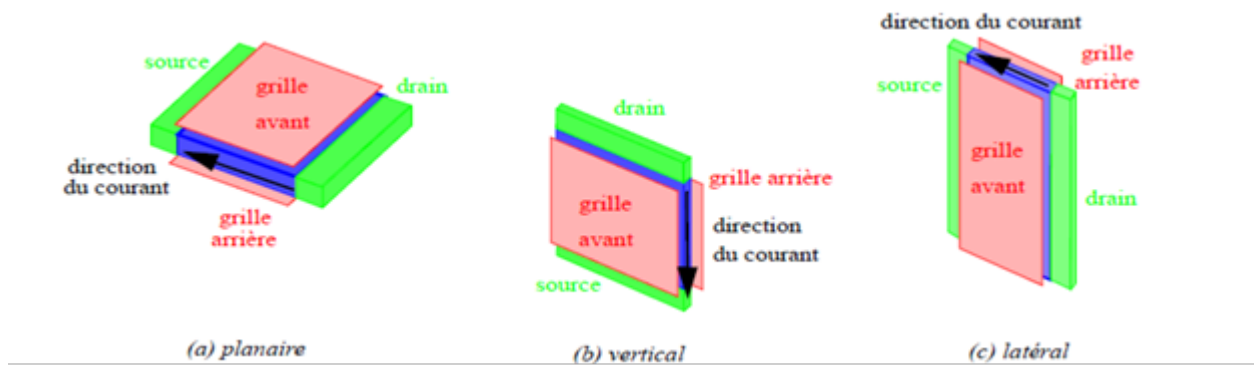


Figure III.4. Description des trois catégories d'architecture de transistor double-grille : (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET)

Ces trois catégories de double-grille possèdent des particularités technologiques « telles qu'une résolution lithographique et un alignement des grilles » totalement différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées lorsque nous passons d'une catégorie à une autre. Nous allons dans ce qui suit présenter les points essentiels de ces trois structures DGFET. [II.7]

III.2.2. Le transistor double grilles planaire (linaire).

L'architecture du MOSFET double-grille planaire est basée sur celle du SOI à une grille. L'oxyde enterré est placé sur un second empilement de grilles. Ces dispositifs ne nécessitent pas de résolution lithographique inférieure à la longueur de grille L_g car le procédé « *smart cut* » permet sans lithographie de réaliser des couches actives ultra-minces (<10nm).

Les grilles des transistors MOS SOI double-grille planaires réalisés à l'heure actuelle ne sont pas parfaitement alignées. En effet, ces grilles sont gravées successivement et sont alignées «optiquement». L'imprécision tenant au non alignement des grilles génère une forte dispersion des caractéristiques des composants à canaux courts. Ceci constitue malheureusement un frein à la production en grande série. Lorsque la grille inférieure recouvre un des caissons, cela génère des capacités parasites qui dégradent les performances électriques. Lorsque le non-alignement est très important, comme il est décrit dans (la Figure II.5-a), le dispositif se comporte comme s'il ne possédait qu'une seule grille active. Cependant et d'une manière générale, les structures présentant de faibles non alignements

des grilles (Figure II.5-b) restent très performantes. Pour fabriquer les transistors ultimes, la réalisation du MOSFET double-grille planaire auto-aligné est indispensable mais technologiquement complexe [Birahim Diagne]

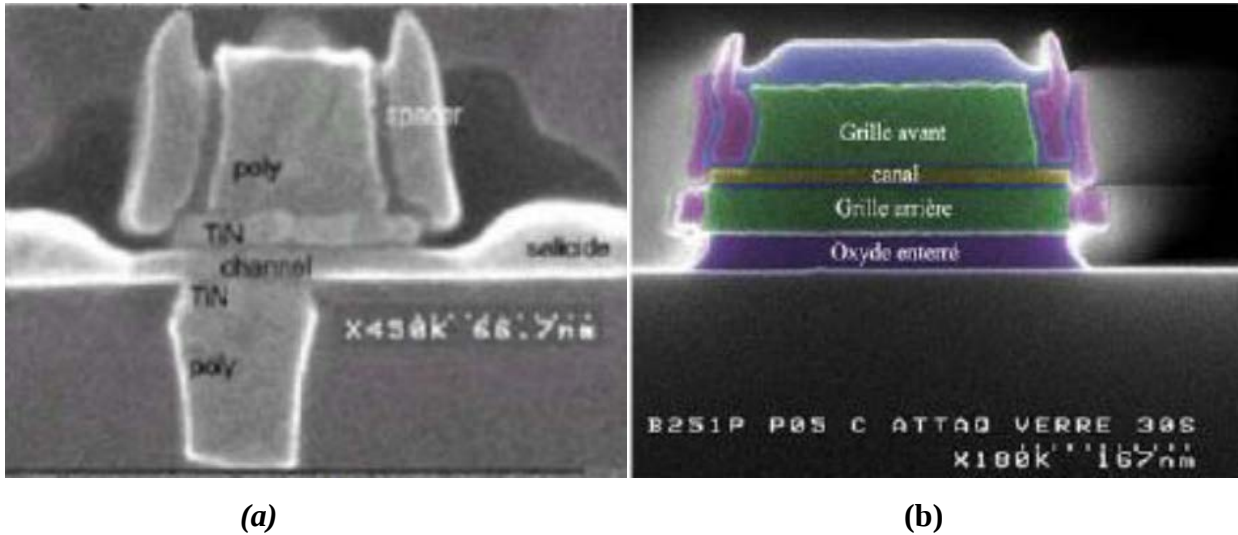


Figure II.5 Image au MEB (microscope électronique à balayage) d'une coupe de Transistor MOS double-grille (a) non-auto-alignée et (b) auto-alignée

III.2.3. Transistor Gate All Around (GAA).

L'architecture Gate All Around (GAA) est un autre type d'architecture multi grille planaire. Le principe de ce dispositif consiste à entourer totalement le canal de conduction pour un meilleur contrôle électrostatique et donc de lutter efficacement contre les effets de canal court. La réalisation technologique d'un tel transistor est extrêmement complexe. néanmoins, STMicroelectronics a développé un procédé innovant pour la fabrication de transistor GAA en utilisant la technologie Silicon On Nothing (SON). [III.6].

Dans cette structure, il existe une possibilité intéressante pour donner à la grille une forme entourant ou cylindrique, dans laquelle la section transversale de la chaîne de silicium a une forme cylindrique et l'électrode de grille complètement entoure la région de canal dispositif. Le courant circule verticalement le long de la Si/SiO₂ cylindrique interface et la longueur de grille du transistor est définie par la hauteur du matériau de grille, qui, à son tour, peut être commandé soit par un dépôt de film ou par une gravure anisotrope à sec. Actuellement, la structure en grille entourant est utilisée principalement pour l'intégration de transistors à base

de nanofils pour adresser de la longueur de grille ultra-courte [III.8].

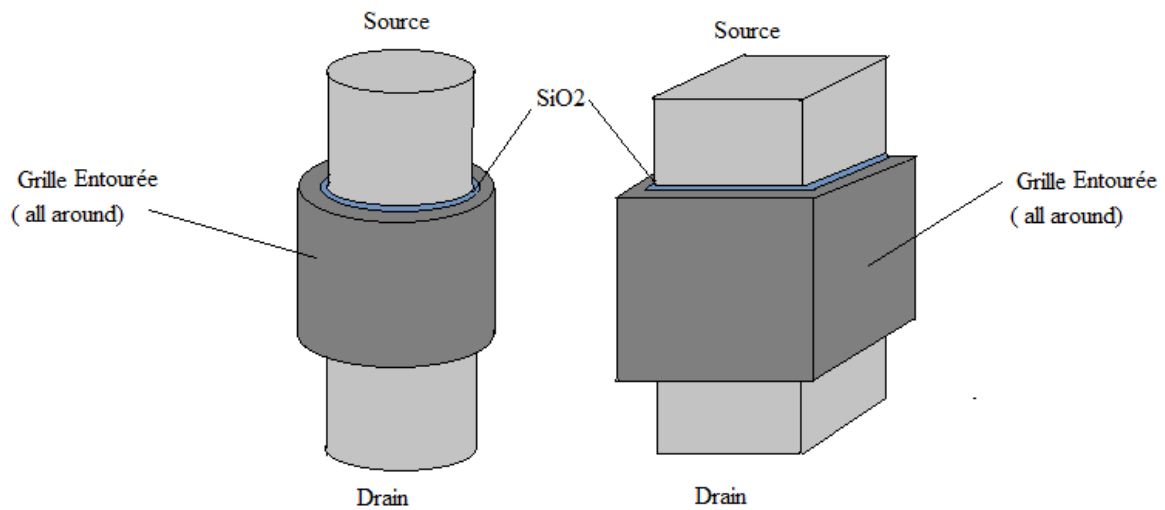


Figure III.6 Transistor MOSFET All Around [III.8]

III.2.4. Transistor double grille a conduction vertical.

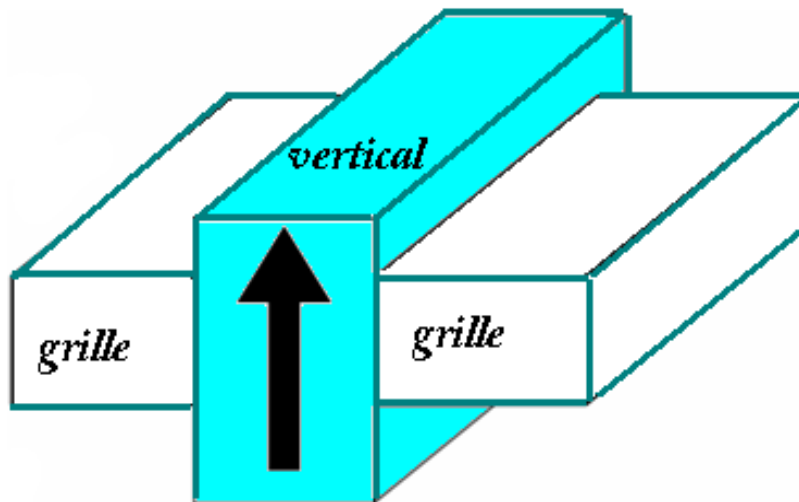


Figure III.7 Orientation du transport électronique et effet de champ sur le MOS double grille vertical. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)

L'avantage du transistor MOS double-grille vertical, dont une image TEM (microscopie par transmission électronique) est présenté à la Figure. II.8, réside dans le fait que la longueur des grilles n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation

des longueurs de grille ultracourtes [III.I]. De plus, les grilles sont naturellement autoalignées

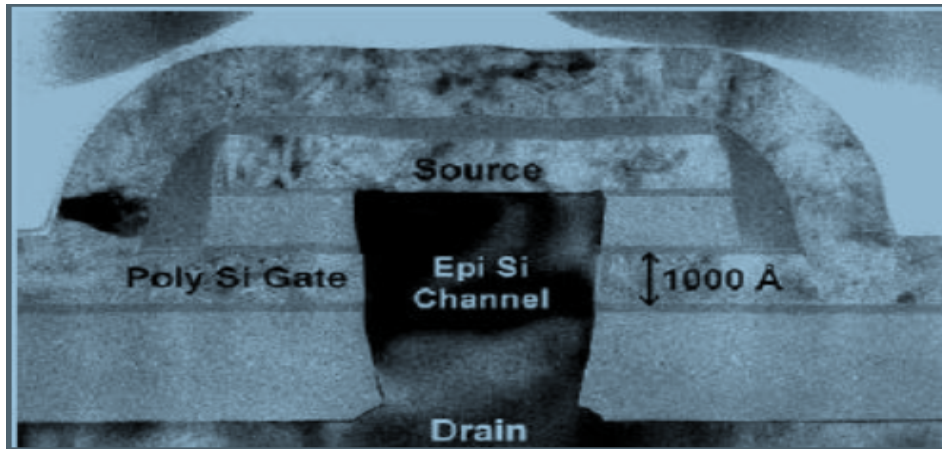


Figure. III.8. Image au MEB d'un transistor vertical à grille enrobante ($L_g = 100\text{nm}$)
[III.I]

II.2.5 Transistor DELTA-FET

La Fabrication d'un transistor MOSFET DG auto-alignée a été le but des ingénieurs et des chercheurs depuis qu'il a été proposé par Sekigawa et Hayashi en 1984. Le premier modèle auto-aligné verticale multi-grille du MOSFET a été appelé DELTA (canal Lean Fully Depleted Transistor). Ce dispositif a été proposé par D. Hisamoto et al. en 1989. La figure II.11 présente une section transversale de la DELTA MOSFET.

III.2.6 transistor FinFET

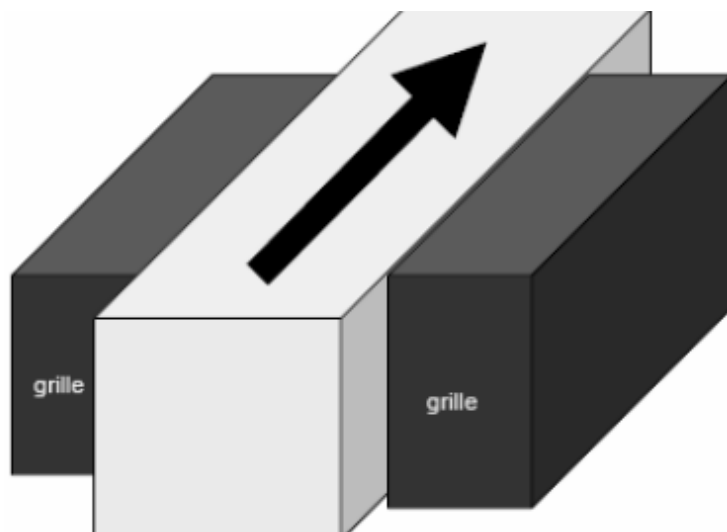


Figure III.9 Orientation du transport électronique et effet de champ sur mos soi DG

quasi-planaire

Les transistors double-grille planaires et à conduction verticale ne sont pas facilement intégrables dans la filière CMOS. Un nouveau type d'architecture plus proche de la technologie MOS classique a été étudiée : les transistors à conduction latérale ce type d'architecture appelée transistor MOS double-grille quasi-planaire (FinFET). Il tire son nom de son canal en forme d'aileron (*Fin*). La première mise en œuvre de dispositifs FinFET a été publiée en 1980, par D. Hisamoto et al. [livre amara amara dg]. Ce transistor a été initialement nommé DELTA et a été renommé FinFET en 1999 [a a dg]. Figure II.7

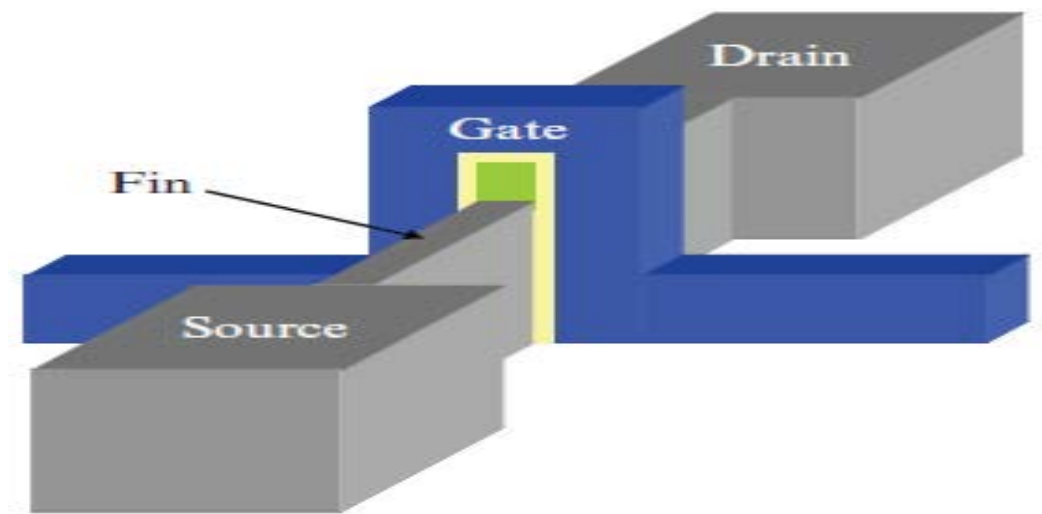


Figure III.10 Schémas d'un transistor mos soi double grille FinFET

Les étapes de réalisation d'un tel dispositif sont schématisées sur la Figure III.11. La zone active (en forme d'aileron ou de mur) et les caissons source et drain commencent par être dessinés. L'oxyde et le contact de grille sont ensuite déposés autour de l'aileron puis gravé.

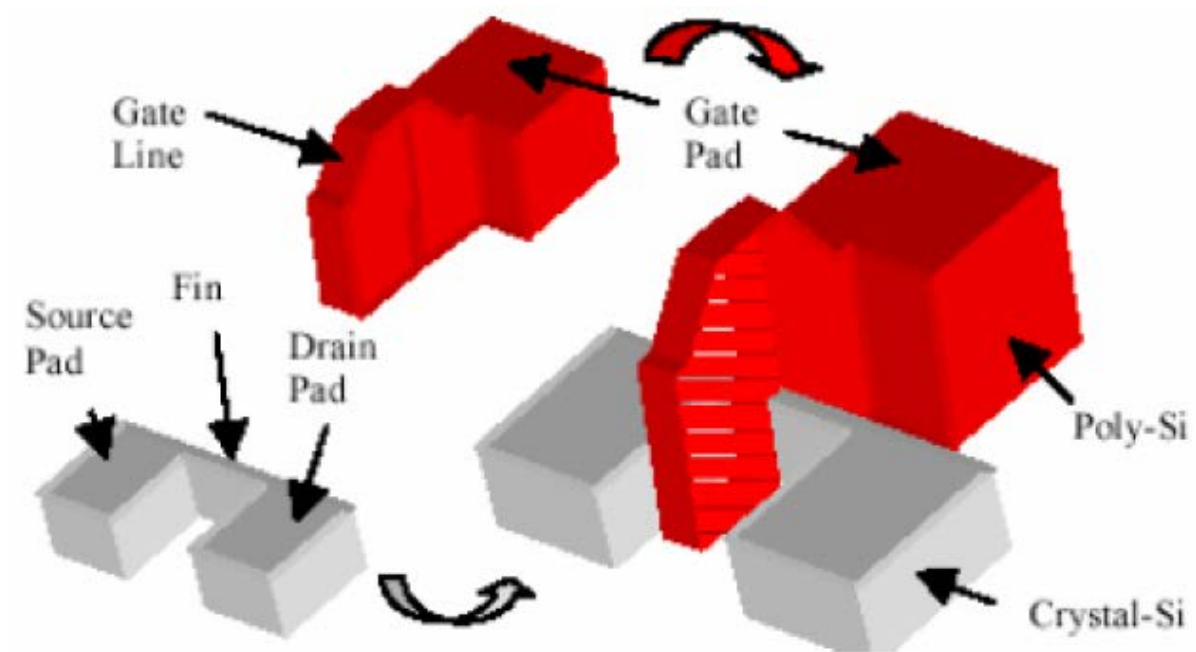


Figure III.11: Schéma d'une structure FinFET quasi-planaire

Conclusion

Dans ce chapitre on a présenté les différentes architectures de transistors MOSFETs SOI à grilles multiples (MG-FET). L'avantage majeur des dispositifs multi-grilles est la réduction des effets canaux courts. Puisque le canal est contrôlé par la grille de plusieurs côtés, on a un meilleur contrôle électrostatique du canal par la grille contrairement aux structures de transistors conventionnelles. Ceci a pour conséquence de réduire les courants de fuites.

IV Introduction

Durant ces dernières années, et cause des couts élevés de l'expérimentation, les chercheurs se sont orientés vers la simulation. Ce type de simulation permet en effet de déterminer, en tout point du volume d'un composant, les densités de porteurs, électrons et trous, les énergies les taux de recombinaison, les champs électriques et autres paramètres qui s'en déduisent comme les courant, capacités, etc .

Il existe principalement quatre types de simulateurs nous citons à titre d'exemple, les simulateurs fonctionnels ou logiques les simulateur électriques ou analogique, les simulateurs technologiques et ceux des composants ou des dispositifs citons AFORS-HET,PC1D ADS, GENESYS IC –CAP, ORIEL,PVSYST, SILVACO, La simulation de dispositif à l'aide de ses différents simulateurs permet de comprendre le comportement de ces dispositifs en fonction des paramètres tels que le dopage et les épaisseurs des régions, afin de mieux comprendre les phénomènes physiques et géométrique internes existant, dans ce chapitre on s'intéresse au l'outil de simulation TCAD SILVACO.

IV.1. L'outil de simulation – SILVACO

L'environnement SILVACO est largement exploité, tant dans l'industrie que dans les laboratoires de recherche .SILVACO (Silicon Valley Corporation) est une société Américaine, « Silvaco International» ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs. Le développement de SILVACO, les ventes et les équipements de soutien sont stratégiquement localisés dans le monde entier pour soutenir la clientèle. Une majeure partie du modèle des affaires de SILVACO se fonde sur la capacité de la compagnie à fournir des ingénieurs technico-commerciaux bien formés et expérimentés pour le support à la clientèle sur place dans toutes les régions principales de fabrication de semi-conducteurs .

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor Modeling Soft ware) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'entrée de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D).

A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction des modèles nouveaux de simulation et permet une amélioration des algorithmes numériques pour une meilleure convergence.

En 1997 SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design) analogue qui est un outil pour capture schématique (schematic capture), disposition sur circuits imprimés (layout) et vérification physique. L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète, à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques.

En 2004 enfin, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques (netlists). Sur cet ensemble complet de simulation TCAD, nous avons utilisé la partie dénommée « Atlas » pour simuler les modèles bidimensionnels d'un transistor MOSFET SOI complètement deplete et MOSFET SOI partiellement deplete,

IV.2. Présentation du paquet des programmes SILVACO

IV.2.1. Les outils de simulation ATLAS (de la société SILVACO)

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle décomposant, il permet la résolution des équations différentielles issues de la physique du composant comme celles de la diffusion ou du transport pour des géométries discrètes il est

donc capable de prédire les caractéristiques électriques de la plupart des composants semiconducteurs en régime continu, transitoire ou fréquentiel.

En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc, autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- 1-une partie traitement numérique (méthode d'intégration, de discrétisation...),
- 2- une partie formée des modèles physiques des composants semiconducteurs les plus récents : modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi-Dirac et de Boltzmann notamment. ATLAS a été conçu de façon à pouvoir utiliser d'autres outils qui facilitent son utilisation. Ces outils sont les suivants :

- **DEVEDIT:** environnement où est dessinée la structure des dispositifs (dimension, dopage, ...) et son maillage, Il peut être employé pour produire une nouvelle maille sur une structure existante, pour modifier un dispositif ou pour créer un dispositif à partir de zéro. Ces dispositifs peuvent alors être employés par les simulateurs 2D et 3D de SILVACO. DEVEDIT peut être employé par une interface utilisateur graphique (GUI abréviation de Graphics User Interface) ou comme simulateur sous DECKBUILD.

- **DECKBUILD :** environnement où est défini le programme de simulation. La structure et son maillage peuvent également être définis dans Deckbuild, C'est un environnement où on peut inviter les simulateurs, à tour de rôle, pour définir le programme de simulation : La structure, le maillage et les calculs électriques nécessaires peuvent également être définis dans DECKBUILD.

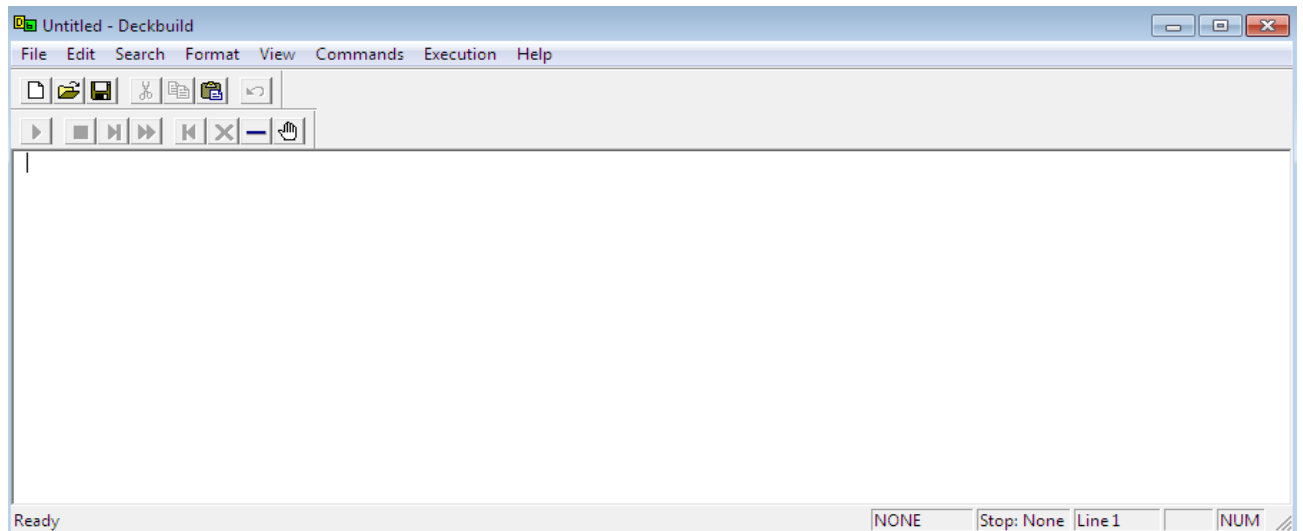


Figure IV : fenetre de Deckbuild

- **TONYPLOT** : environnement où sont visualisés les résultats des simulations (structure du composant, distributions de grandeurs diverses dans celui-ci, caractéristiques électriques...) .Tonyplot puissant outil , est donc conçu pour visualiser les structures 1D et 2D produits par les simulateurs de SILVACO, Il fournit également beaucoup de fonctions spécifiques de visualisation de TCAD telles que les lignes de la coupe 1D, l'animation des marqueurs pour exposer la variation des vecteurs, intégration des fichiers de données 1D ou les fichiers (.log). Il y a aussi un autre outil similaire à celui-là, sauf qu'il conçu pour visualiser les structures 3D, nommé TonyPlot3D.
- **MASKVIEW** : éditeur de layout.

- **OPTIMIZER** : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable. Cet outil permet donc l'optimisation pour la calibration des simulateurs de processus et de dispositifs. Il permet donc d'ajuster ajustage automatiquement les paramètres électriques ou les paramètres du processus en jouant sur un ou plusieurs paramètres d'entrée.

IV.2.2. Présentation d'Atlas

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle ou 3d de composants. Basé sur la physique du semiconducteur, Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes

physiques internes associés au fonctionnement des dispositifs. Atlas est capable de prédire les caractéristiques électriques de la plupart des composants semiconducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc., autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- Une partie traitement numérique (méthode d'intégration, de discrétisation...).
- Une partie formée des modèles physiques des composants semiconducteurs les plus récents: modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi-Dirac et de Boltzmann notamment.

ATLAS a été conçu de façon à pouvoir utiliser les autres outils qui facilitent son utilisation tel que : ATHENA, DEVEDIT, TONYPLOT, DECKBUILD.

ATHENA, permet de simuler les processus de fabrication des composants intégrés. C'est un simulateur des procédés de fabrication et simulateur de composants. Il permet de simuler les étapes d'implantation d'ions, de dépôt, de gravure, de recuit et d'oxydation.

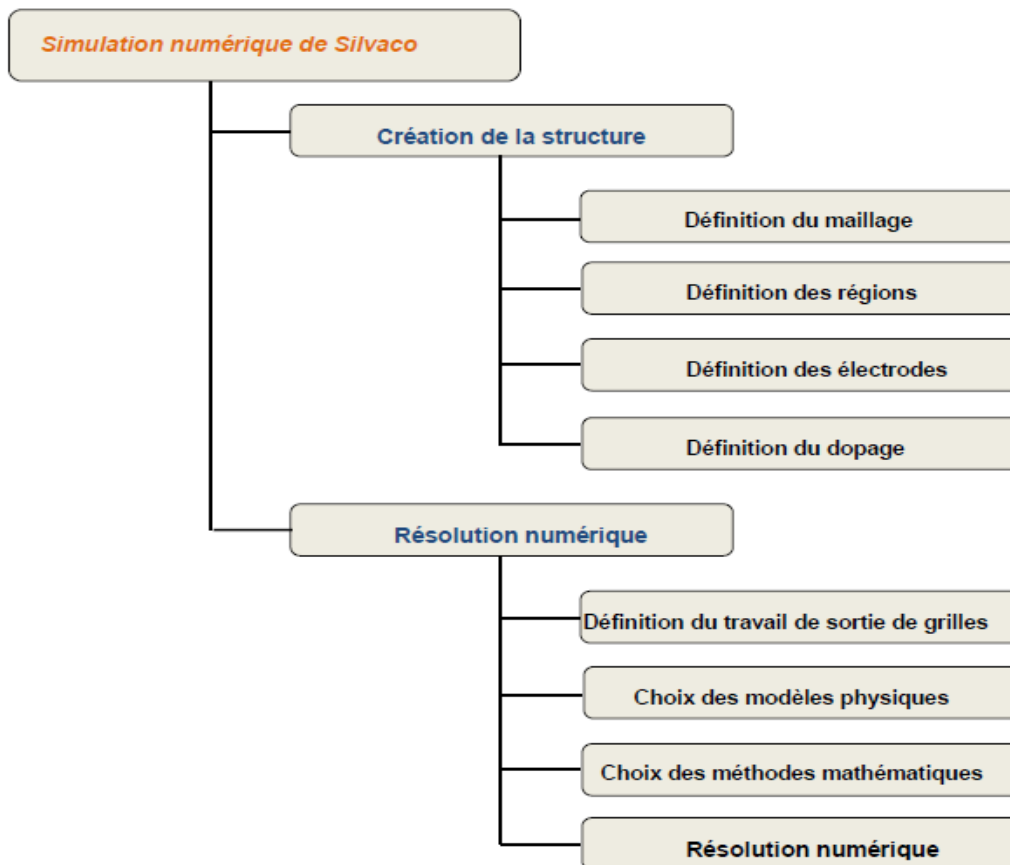
En conclusion on peut dire qu'Atlas peut être utilisé autonome ou comme un outil noyau dans le milieu de simulation VWF (Virtual Wafer Fabrication) de SILVACO. Dans le but de prévoir l'impact des variables du processus sur le comportement du circuit [II.9]

IV.2.3. Logique de programmation [II.4]

Après la présentation de la chaîne progicielle TCAD de SILVACO, sa composition interne et le fonctionnement « d'Atlas » nous allons maintenant présenter l'ordre des commandes propres à la logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement. Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte. Par exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre idoine, le simulateur ne les prend pas en compte [I.4]

IV.2.4. La simulation numérique d'une structure FD SOI déserté et PD SOI

Nous avons réalisé des simulations numériques d'une structure SOI MOSFET complètement déserté (épaisseur de silicium, $T_{si}=0.1\mu m$) et d'une structure SOI MOSFET partiellement déserté (épaisseur de silicium, $T_{si}=0.2\mu m$) en 2D sous l'outil Atlas qui est un outil propriétaire de la société SILVACO. Une simulation numérique dans SILVACO est constituée de deux étapes principales (Tableau III-1) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et, des dopages (niveau et profil). La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouver sa solution. Le programme de notre simulation est présenté dans les deux Annexes, Le Diagramme de la simulation numérique par le logiciel de conception des dispositifs SILVACO est structuré comme suit :

Tableau IV : Diagramme de la simulation numérique de SILVACO [II.9]

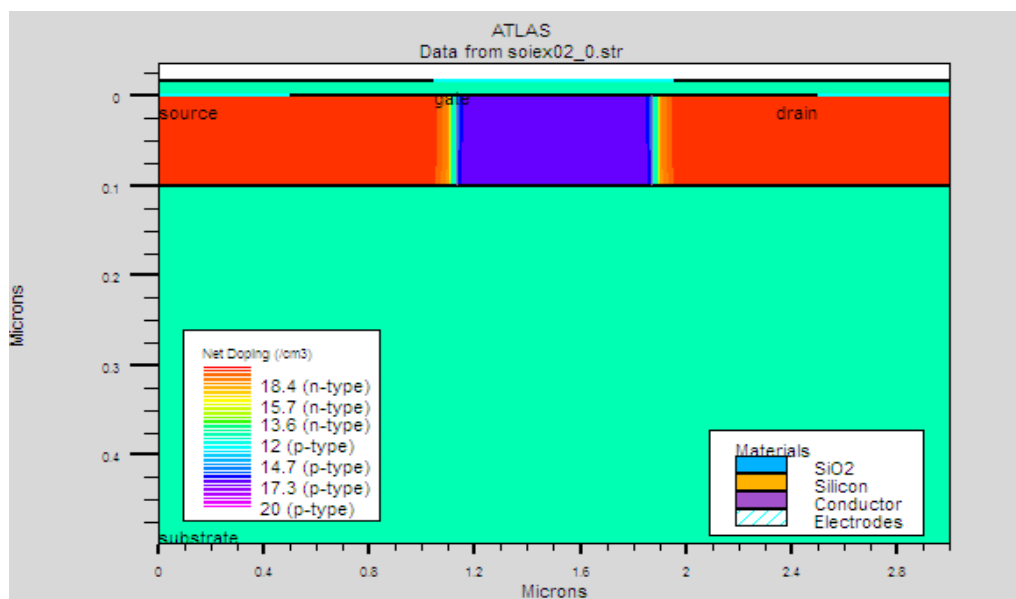
IV.3 Choix des paramètres technologiques pour les structures FD SOI et PD SOI

Afin de valider le modèle, nous avons élaboré deux structures FD SOI MOSFET et PD SOI MOSFET sur le simulateur électrique Atlas. ces structures nous a également permis de réaliser des études physiques des différents phénomènes perturbant le fonctionnement de ses dispositifs. Les valeurs des différents paramètres de transistors utilisés dans ces simulations sont présentées dans le (tableau IV.I)

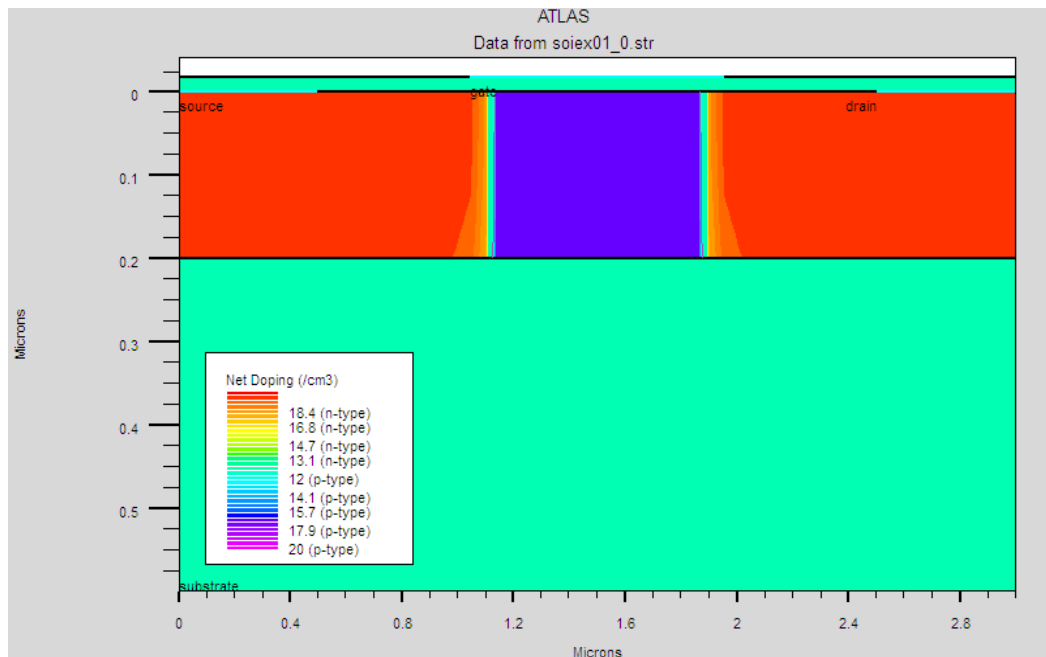
Tableau IV.I : Résumé des valeurs des paramètres technologiques et géométriques adoptées pour les simulations des structures étudiées

<i>Présentation de la structure</i>	<i>notation</i>	<i>Valeur et unité</i>
<i>Epaisseur du film de silicium de transistor n-MOSFET FD SOI</i>	<i>T_{si}</i>	<i>0.1μm</i>
<i>Epaisseur de la couche d'oxyde Enterré n-MOSFET FD SOI</i>	<i>T_{box}</i>	<i>0.4μm</i>
<i>Longueur de la grille</i>	<i>L_g</i>	<i>1μm</i>
<i>Dopage source /drain (type n)</i>	<i>N_d</i>	<i>e20 Cm-3</i>
<i>Dopage du film (type p)</i>	<i>N_a</i>	<i>e17cm-3</i>
<i>Epaisseur de la couche l'oxyde enterré n-MOSFET PD SOI</i>	<i>T'ox</i>	<i>0.4μm</i>
<i>Longueur de drain</i>	<i>L_d</i>	<i>1μm</i>
<i>Longueur de la source</i>	<i>L_s</i>	<i>1μm</i>
<i>Epaisseur du film de silicium de transistor n-MOSFET PD SOI</i>	<i>T_{si}</i>	<i>0.2μm</i>
<i>Longueur de canal</i>	<i>L_c</i>	<i>0.7μm</i>
<i>Epaisseur de l'oxyde</i>	<i>T_{ox}</i>	<i>0.017μm</i>

La Figure IV.1 montre la coupe transversale d'une des structures développées au cours des simulations 2-D. D'un transistor SOI MOSFET complètement déserté



**Figure IV-I Coupe transversale d'une structure développée au cours des simulations 2-D.
D'un transistor MOSFET SOI complètement déserté**



**Figure IV.2 Coupe transversale d'une structure développée au cours des simulations 2-D.
D'un transistor MOSFET SOI partiellement déserté**

- la région en rouge présente le film de silicium.
- les régions représentées en couleur vert correspondent aux couches d'oxyde ;

Les régions en couleur violette correspondent aux deux électrodes : celle de la source et celle du drain ainsi que celles des deux grilles. Dans notre configuration les électrodes de la source et du drain sont alignées.

Nous avons considéré les paramètres de silicium fixés par défaut dans le simulateur Atlas à la température de 300K : l'affinité électronique $\chi_{Si} = 1.0 \text{ eV}$, le gap d'énergie $E_g = 1.08 \text{ eV}$, les densités respectives de la bande de conduction $N_C = 2.81019 \text{ cm}^{-3}$ et de la bande de valence $N_V = 1.04 \times 10^{19} \text{ cm}^{-3}$. Enfin la concentration intrinsèque de charge $n_i = 1.15 \times 10^{-3} \text{ cm}^{-3}$. Nous avons également considéré les régions de source et de drain fortement dopées $N_D = 1 \times 10^{20} \text{ cm}^{-3}$ car le modèle de courant considère les contacts de source et de drain métalliques afin de s'affranchir des résistances parasites des régions de source et de drain.

Enfin, nous avons considéré des grilles métalliques situées au midgap $\Phi_M = 4.612 \text{ eV}$ et ayant une différence de travaux de sortie avec le silicium intrinsèque nulle $\Delta\Phi_{ms} = \Delta\Phi = 0 \text{ eV}$. Le film de silicium est faiblement dopé (accepteurs) $N_A = 1 \times 10^{18} \text{ cm}^{-3}$. Ce dopage est uniforme.

Une fonction gaussienne décrit le profil de distribution des dopants au niveau des jonctions. La figure III.4 représente le schéma de notre structure dont tous les paramètres technologiques et géométriques sont regroupés au tableau III.3

IV.4 Résultats de simulation et interprétation

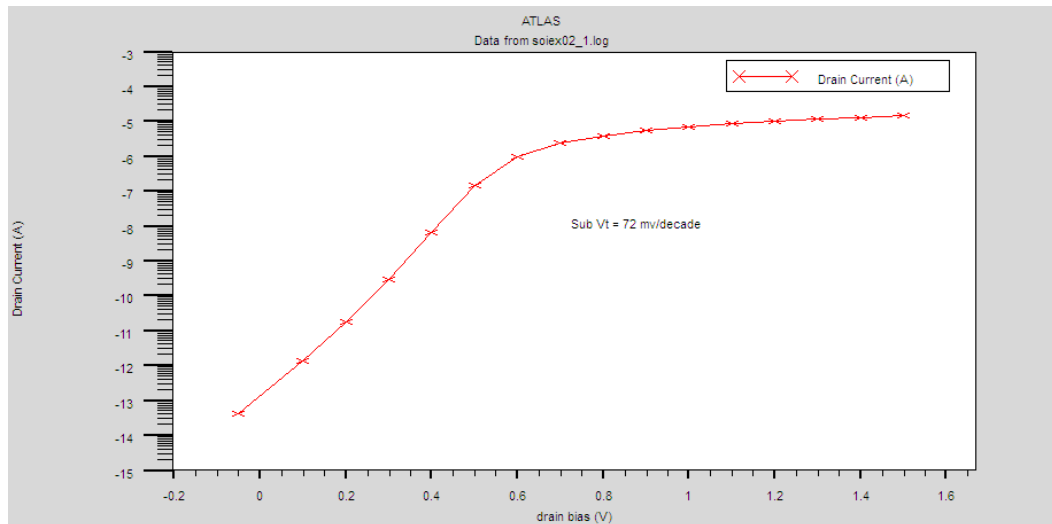


Figure IV.3 : Caractéristique I_d - V_d pour un transistor FD SOI avec mise en évidence du paramètre électrique S .

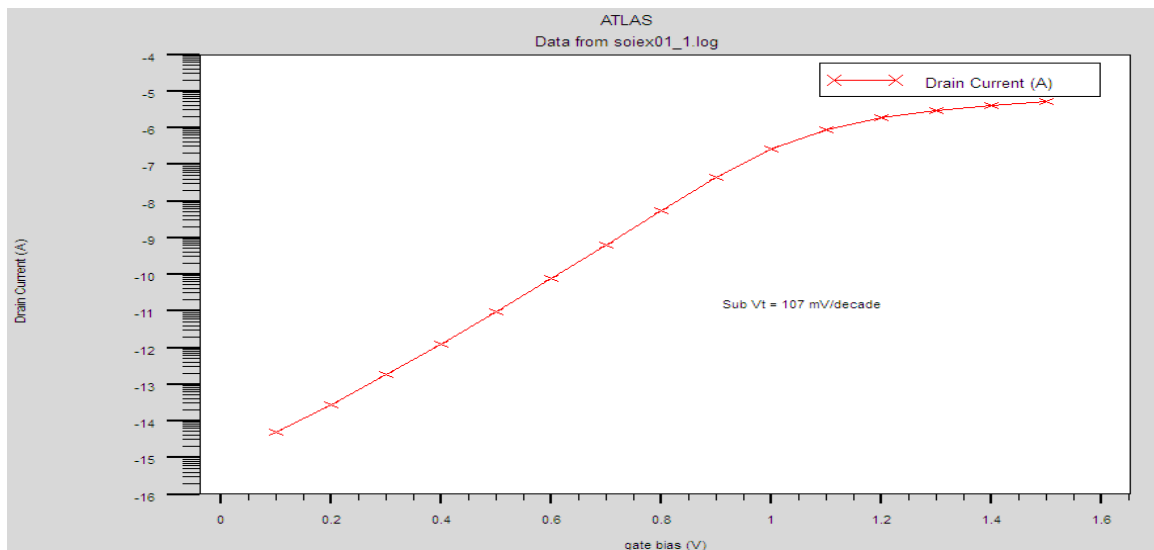


Figure IV.4 : Représentation de la caractéristique I_d - V_d pour un PD SOI avec mise en évidence du paramètre électrique S .

On observe dans les deux courbes des structures FD SOI et PD SOI que la pente sous seuil pour FD SOI (figure IV.3) est $S = 72 \text{ mV/décade}$ proche de la pente idéale qui est $S = 60 \text{ mV/décade}$ quant à PD SOI = 107 mV/décade dispositifs FD SOI ont en effet une pente sous le seuil idéale et 60 mV/décade donc un meilleur contrôle des effets canaux courts (SCE et DIBL) grâce au film mince de silicium actif, une isolation totale entre les dispositifs et des capacités de jonction réduites grâce au BOX.

IV.4.2 Caractéristique I_d - V_g pour un transistor FD SOI et le transistor PD SOI avec mise en évidence du paramètre électrique V_t .

On observe dans les deux figures que la tension de seuil (V_t ; threshold voltage) de transistor FD SOI $V_t = 0.5 \text{ V}$, et pour le transistor n-MOSFET SOI partiellement déserté $V_t = 1 \text{ V}$, cette variation de la tension de seuil est due à la variation de l'épaisseur de la couche active (T_{si}), et donc contrôle parfait de canal, plus que T_{si} diminue la tension de seuil diminue et vice-versa. Ce qui explique la diminution de courant de fuite.

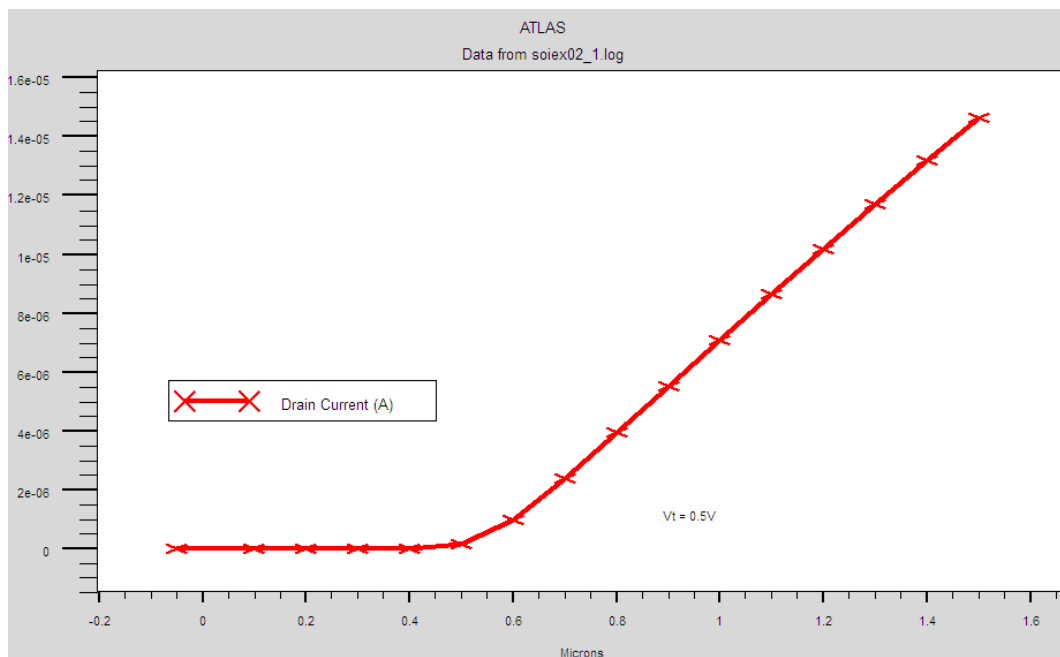


Figure IV.5 : Représentation de la caractéristique I_d - V_g pour un n-MOSFET SOI totalement deplete avec mise en évidence du paramètre électrique V_t .

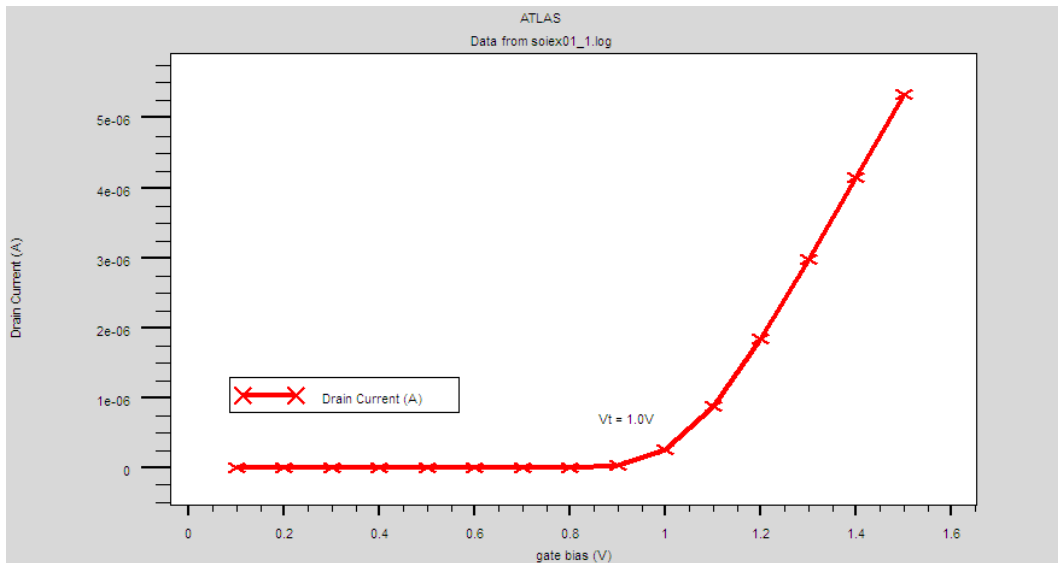


Figure IV.6: Représentation de la caractéristique I_d-V_g pour un n-MOSFET SOI partiellement deplete avec mise en évidence du paramètre électrique V_t .

Sur la caractéristique $I_d - V_g$ (Figure IV.5), nous distinguons deux niveaux d'inversion. La tension de seuil $V_t = 0.5V$ pour la structure FD SOI et $V_t = 1V$ pour la structure PD SOI représente la tension appliquée entre la grille et le substrat à partir de laquelle le transistor commence à conduire. Elle sépare la région de faible inversion (ou région sous le seuil de la région de forte inversion (ou région au delà du seuil)]

Conclusion

La comparaison des caractéristiques électriques des deux structures FD SOI et PD SOI en utilisant le simulateur ATLAS SILVACO après avoir été construits, examinés et simulés, ont porté sur deux principaux paramètres électriques qui sont caractéristiques de la tension de seuil et la pente sous seuil, d'où on a conclu que les caractéristiques électriques de transistor FD SOI sont plus performantes que celles de transistor SOI MOSFET partiellement déserté.

Le simulateur SILVACO nous permet de programmer des structures à base de semi-conducteur, et prédire ses comportements électriques. Dans atlas silvaco on a créé les structures FD SOI ET PD SOI, la création des structures dans atlas comprend le dopage, les électrodes, puis une résolution numérique, puis examinées et simulé notre structure, ont porté sur deux principales caractéristiques électriques qui sont la tension de seuil et la pente sous seuil, d'où on a conclu que les caractéristiques électriques de transistor FD SOI sont plus performantes que celles de transistor SOI MOSFET partiellement déserté.

Le principal avantage de ces transistors à film mince de silicium non dopé est d'avoir un bien meilleur contrôle électrostatique du canal par la grille, réduisant ainsi les courants sous le seuil et les effets canaux courts. La première conséquence de cette amélioration est la diminution de la pente sous le seuil. De plus, le non dopage du film mince de silicium limite aussi le courant GIDL (Gate Induced Drain Leakage). Le second avantage est la suppression des courants de jonction entre source/drain et substrat. Ainsi, la technologie FDSOI est plus robuste vis-à-vis de la technologie silicium massif et permet de minimiser grandement les courants de fuite.

En perspective la technologie FDSOI présente la possibilité de pouvoir contrôler la tension de seuil du dispositif par polarisation de la face arrière (back-biasing) ce qui a donné naissance à un transistor double grille. De plus que le canal est contrôlé par la grille de plusieurs côtés, on a un meilleur contrôle électrostatique du canal par la grille contrairement aux structures de transistors conventionnelles donc meilleur contrôle électrostatique du canal par la grille puis multi-grille.

Références bibliographiques

- [I] Sandrine Bernardini « Modélisation des structure smétal-oxyde-semiconducteur (MOS) :applications aux dispositifs mémoires ».L'UNIVERSITE d'AIX Marseille, I.8 octobre 2004
- [I.1] LARIBI ASMA, « Etude des Performances d'une Structure MOS Nanométrique : Application au DGFET » UNIVERSITE ABOU-BEKR BELKAID – TLEMCEN,2010
- [I.2] Christophe PAVAGEAU, « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques », L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE,2006.
- [I.3] Birahim Diagne, « Etude et modélisation compacte d'un transistor MOS SOI double-grille dédiée a la conception » UNIVERSITE LOUIS PASTEUR_STRASBOURGI, 16 novembre2007
- [I.4] Sophie Baudot, « MOSFETS constraints sur SOI: Analyse des déformations par diffraction des rayons X et étude des propriétés électriques », these,15 décembre 2010
- [II] Mohamed Amine BOUNOUAR « Transistors Mono-Electroniques Double-Grille : Modélisation, Conception & Évaluation d'Architectures Logiques », UNIVERSITÉ DE SHERBROOKE, Juillet 2013
- [II.1] Marc Bescond (« Modélisation et simulation du transport quantique dans les transistors MOS NANOMETRIQUES ») 2004
- [II.2] Dafloren Rochette (« Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures »), 2008
- [II.3] TECHNIQUE DE L'INGENIEUR (« TECHNOLOGIE SILICIUM SUR ISOLANT SOI »), thèse ,2013
- [II.4] THESE BIRAHIM DIAGNE (« ETUDE ET MODELISATION COMPACTE D4UN TRANSISTOR MOS SOI DOUBLE_GRILLE DEDIE A LA CONCEPTION ») novembre2007
- [II.5] Nidhal AbdelMALEk (« Etude et modélisation du transistor VSG MOSFET nanométrique ») ,2010.
- [II.6] Jérôme SAINT-MARTIN (« ETUDE PAR SIMULATION MONTE CARLO D'ARCHITECTURES DE MOSFET ULTRACOURTS A GRILLE MULTIPLE SUR SOI ») 2 décembre 2005.
- [II.7] BENHAMIDA Yahia, « Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique » Université Abou-Bakr Belkaïd-Tlemcen, Juin 2012.
- [II.8] DANIELA MUNTEAN (« Modélisation et caractérisation des transistors SOI : du pseudo-MOSFET au MOSFET submicronique ultra-mince »),thèse ,24 septembre 1999.
- [II.9] LARIBI ASMA, « Etude des Performances d'une Structure MOS Nanométrique : Application au DGFET » UNIVERSITE ABOU-BEKR BELKAID – TLEMCEN, pp.56-59,2010.
- [II.10] Mohamed Amine BOUNOUAR «Transistors Mono-Electroniques Double-Grille : Modélisation, Conception & Évaluation d'Architectures Logiques », thèse université Sherbrooke, Juillet 2013.
- [II.12] Christophe PAVAGEAU, « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques », thèse, 2005

- [II.13]** Sophie Baudot, « MOSFETS contraints sur SOI : Analyse des déformations par diffraction des rayons X et étude des propriétés électriques », thèse, 15 décembre 2010.
- [III.I]** BENHAMIDA Yahia « Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique » Université Abou-Bakr Belkaïd-Tlemcen, pp.08-95 Juin 2012.
- [III.2]** Colinge, J. (2007). “FinFETs and other multi-gate transistors”. Springer.
- [III.3]** Mohamed Amine BOUNOUAR « Transistors Mono-Electroniques Double-Grille : Modélisation, Conception & Évaluation d'Architectures Logiques », thèse université Sherbrooke, Juillet 2013.
- [III.5]** Z. Lu and J.G. Fossum, “Short-Channel Effects in Independent-Gate FinFETs,” IEEE Electron Device Letters, vol. 28, no. 2, pp. 145–147, February 2007
- [III.6]** LARIBI ASMA, « Etude des Performances d'une Structure MOS Nanométrique : Application au DGFET » UNIVERSITE ABOU-BEKR BELKAID – TLEMEN, 2010
- [III.7]** Birahim Diagne, « Etude et modélisation compacte d'un transistor MOS SOI double-grille dédiée à la conception » UNIVERSITE LOUIS PASTEUR_STRASBOURG, 16 novembre 2007.
- [III.8]** Kebib Abdelazziz, « Etude et simulation d'un transistor MOS vertical », UNIVERSITE ABOU-BEKR BELKAID – TLEMEN, Janvier 2013.

```

# (c) Silvaco Inc., 2013
go atlas
TITLE SOI device simulation
#
# 0.2um of silicon on 0.4um oxide substrate
#
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.50
x.mesh loc=1.15 spac=0.02
x.mesh loc=1.5 spac=0.1
x.mesh loc=1.85 spac=0.02
x.mesh loc=3 spac=0.5
#
y.mesh loc=-0.017 spac=0.02
y.mesh loc=0.00 spac=0.005
y.mesh loc=0.1 spac=0.02
y.mesh loc=0.2 spac=0.01
y.mesh loc=0.6 spac=0.25
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.2 silicon
region num=3 y.min=0.2 oxide
#
#***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=1 x.max=2 y.min=-0.017 y.max=-0.017
electrode name=source x.max=0.5 y.min=0 y.max=0
electrode name=drain x.min=2.5 y.min=0 y.max=0
electrode substrate
#
#***** define the doping concentrations *****
#
doping uniform conc=2e17 p.type reg=2
doping gauss n.type conc=1e20 char=0.2 lat.char=0.05 reg=2 x.r=1.0
doping gauss n.type conc=1e20 char=0.2 lat.char=0.05 reg=2 x.l=2.0
save outf=soiex01_0.str
tonyplot soiex01_0.str -set soiex01_0.set
#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 y.max=0.1
interf qf=1e11 y.min=0.1
#
# set workfunction of gate
contact name=gate n.poly
#
# select models
models conmob srh auger bgn fldmob print
#
solve init
#
# do IDVG characteristic
#
method newton trap
solve prev
solve vgate=-0.2

```

```

solve      vdrain=0.05
solve      vdrain=0.1
#
# ramp gate voltage
log        outf=soiex01_1.log master
solve      vgate=0.1 vstep=0.1 name=gate vfinal=1.5
#
# plot resultant IDVG threshold voltage curve
tonyplot   soiex01_1.log -set soiex01_1.set
#
# plot resultant IDVG subthreshold slope curve
tonyplot   soiex01_1.log -set soiex01_2.set
#
#
extract name="subvt" \
          1.0/slope(maxslope(curve(v."gate",log10(abs(i."drain")))))
#
#
extract name="vt" (xintercept(maxslope(curve(v."gate",abs(i."drain")))) \
- abs(ave(v."drain"))/2.0)
#
quit

```

```

# (c) Silvaco Inc., 2013
go atlas
TITLE SOI device simulation
#
# 0.1um of silicon on 0.4um oxide substrate
#
mesh space.mult=1.0
#
x.mesh loc=0.00 spac=0.50
x.mesh loc=1.15 spac=0.02
x.mesh loc=1.5 spac=0.1
x.mesh loc=1.85 spac=0.02
x.mesh loc=3 spac=0.5
#
y.mesh loc=-0.017 spac=0.02
y.mesh loc=0.00 spac=0.005
y.mesh loc=0.05 spac=0.02
y.mesh loc=0.1 spac=0.01
y.mesh loc=0.5 spac=0.25
#
region num=1 y.max=0 oxide
region num=2 y.min=0 y.max=0.2 silicon
region num=3 y.min=0.1 oxide
#
#***** define the electrodes *****
# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE(below oxide)
#
electrode name=gate x.min=1 x.max=2 y.min=-0.017 y.max=-0.017
electrode name=source x.max=0.5 y.min=0 y.max=0
electrode name=drain x.min=2.5 y.min=0 y.max=0
electrode substrate
#
#***** define the doping concentrations *****
#
doping uniform conc=1e17 p.type reg=2
doping gauss n.type conc=1e20 char=0.2 lat.char=0.05 reg=2 x.r=1.0
doping gauss n.type conc=1e20 char=0.2 lat.char=0.05 reg=2 x.l=2.0
save outf=soiex02_0.str
tonyplot soiex02_0.str -set soiex02_0.set
#
# set interface charge separately on front and back oxide interfaces
interf qf=3e10 y.max=0.05
interf qf=1e11 y.min=0.05
#
# set workfunction of gate
contact name=gate n.poly
#
# select models
models conmob srh auger bgn fldmob print
#
solve init
#
# do IDVG characteristic
#
method newton trap
solve prev
solve vgate=-0.2

```

```

solve      vdrain=0.05
solve      vdrain=0.1
#
# ramp gate voltage
log        outf=soiex02_1.log master
solve      vgate=0.1 vstep=0.1 name=gate vfinal=1.5
#
# plot resultant IDVG threshold voltage curve
tonyplot   soiex02_1.log -set soiex02_1.set
#
# plot resultant IDVG subthreshold slope curve
tonyplot   soiex02_1.log -set soiex02_2.set
#
#
extract name="subvt" \
          1.0/slope(maxslope(curve(v."gate",log10(abs(i."drain")))))
#
#
extract name="vt" (xintercept(maxslope(curve(v."gate",abs(i."drain")))) \
- abs(ave(v."drain"))/2.0)
#
quit

```