

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
Université Mouloud MAMMERY de Tizi-Ouzou
Faculté de Génie Electrique et d'Informatique



Thèse de Doctorat en Electronique

Option : Microélectronique

Présentée par :

LAKHLEF AHCÈNE

**Caractérisation de Dispositifs MOSFETs
Fortement Submicronique
par les techniques Courants Tensions I(V)**

Soutenue le...17.../...06.../ 2015 devant le jury composé de :

Rezki Ziani	Pr, UMMTO	Président
Arezki BENFDILA	Pr, UMMTO	Rapporteur
Bogdan CRETU	HDR, ENSI Caen France	Examineur
M.Tahar BELAROUSSI	Directeur de Recherche, CDTA, Alger	Examineur
Abdelhamid BENHAYA	Pr, Université Hadj Lakhdar Batna	Examineur
Rabah MOKDAD	Pr, UMMTO	Examineur
Fayçal RAHMOUN	Maître de Conférences UMBB	Invité

Remerciements

Ce travail de thèse a été réalisé à l'Université Mouloud Mammeri de Tizi-Ouzou Faculté de Génie Électrique et de l'Informatique.

Je tiens à remercier **Arezki BENFDILA** d'avoir accepté mon encadrement pendant ces longues années et surtout pour sa gentillesse et sa bonne humeur.

J'adresse à Monsieur **Arezki ZIANI** Professeur à la Faculté de Génie Electrique et de l'Informatique, ma profonde gratitude pour avoir accepté la présidence du jury de thèse.

Un Grand merci à **M. Rabah. MOKDAD** Professeur à la Faculté des Sciences, **M. Abdelhamid BENHAYA** Professeur à l'université Hadj Lakhdar de BATNA, **M. Mohand Tahar BELAROUSSI** directeur de recherche au Centre de Recherche des Technologie Avancée d'Alger (CDTA), **M. Bogdan-Mihail CRETU** HDR à l'université de Caen Basse –Normandie France et **M. Fayçal RAHMOUNE** professeur à l'université Mohamed Bouguera de Boumerdès d'avoir accepté la lourde tâche d'être examinateurs de mon travail de thèse.

Spécial thanks à **Gérard GHIBAUO** et **Francis BALISTRA**, de m'avoir accueilli pendant les stages de courte durée, depuis 2001 à 2012 dans le laboratoire IMEP, Institut de Microélectronique Électromagnétisme et Photonique de Grenoble France.

Je n'oublie pas le personnel de la Faculté du Génie Electrique et d'informatique pour leur compréhension.

Je transmets mes sincères remerciements à mes collègues enseignants de l'Université Mouloud Mammeri de Tizi Ouzou.

Je voudrais également remercier mes amis **Meziane ANSEUR**, **Mohamed GOUDJIL**, **Lounas BELHIMER** et les étudiants Master Génie Microélectronique promotions 2014 et 2015 à leur tête **Châbane BEHLOUL**.

Enfin je remercie ma famille pour leurs encouragements durant toute la période de la thèse.

Sommaire

<i>Table des symboles et Notations</i>	v
<i>Introduction</i>	1
<i>Chapitre I Les base du transistor MOSFET</i>	4
<i>I.1.Introduction</i>	4
<i>I.2.Architecture du transistor MOSFET</i>	4
<i>I.2.1.Structure MOS</i>	5
<i>I.2.2.Charge dans le semiconducteur</i>	6
<i>I.2.3 Equation de poisson</i>	7
<i>I.2.4.Potentiel de surface</i>	8
<i>I.3 Fonctionnement du MOSFET</i>	8
<i>I.3.1.Courant de drain-sources</i>	10
<i>I.3.2.Régime ohmique en forte inversions</i>	11
<i>I.3.3.Régime de saturation en forte inversion</i>	13
<i>I.3.4.Régime sous le seuil courant I_{off} et pente sous le seuil</i>	14
<i>I.4.La mobilité</i>	16
<i>I.4.1.Interaction avec les phonons μ_{ph}</i>	17
<i>I.4.2.Les collisions de nature Coulombienne μ_{cc}</i>	18
<i>I.4.3.Les collisions dues à la rugosité surface μ_{sr}</i>	18
<i>I.4.4.Mobilité à effet hall</i>	19
<i>I.4.5.Haute mobilité du silicium au silicium contraint, ou au germanium</i>	19
<i>I.4.6.Mobilité et vitesse de saturation</i>	20
<i>I.5.Les défis de la miniaturisation</i>	22
<i>I.5.1.Les effets de la miniaturisation</i>	23
<i>I.5.2.Effet canaux courts</i>	24
<i>I.5.3.Effet de partage de charge (Charge Sharing ou Roll-Off)</i>	25
<i>I.5.4.Effet d'abaissement de la barrière du drain DIBL</i>	25
<i>I.5.5.Effet inverse de canaux courts(SCE)</i>	25
<i>I.5.6.Courant de fuite du drain induit par la grille (GIDL)</i>	27
<i>I.5.7.Effet des résistances d'accées</i>	27
<i>I.6.Solutions aux effets de la miniaturisation</i>	28
<i>I.6.1. Le Métal de grille, polydésertion de grille et effets quantiques</i>	29
<i>I.6.2. L'oxyde de grille et le courant de fuite</i>	31
<i>I.7.Instabilités physiques dans le MOSFET</i>	34
<i>I.8.Les technologies alternatives innovantes</i>	36
<i>I.8.1.Transistors à Multi-Grilles</i>	37
<i>I.8.2.Les transistors doubles grilles planaires</i>	37
<i>I.8.3.Les transistors Fin-FET</i>	38

I. 8.4. Les transistors π-FET et Ω-FET.....	39
I.8.5. Les transistors à grille enrobante.....	40
I.8.6. Transistors à nanotubes de carbone	40
I.9. Conclusion	41
Chapitre II. Caractérisation des Transistors MOSFET Avancés	42
II.1. Introduction	42
II.2. Equipements de caractérisation des transistors MOS.....	42
II.3. Méthodes de caractérisation I(V) des MOSFETs	45
II.3.1. Extrapolation par le maximum de la transconductance.....	45
II.3.2. Extraction en mode courant de saturation	45
II.3.3. Extraction par la méthode de la dérivée seconde du $\ln(I_{ds})$.....	46
II.3.4. Extraction par la méthode $x = \frac{I}{\sqrt{g_m}}$	47
II.3.5. Extraction par la méthode de la dérivée seconde de I_{ds}.....	48
II.3.6. Shift & Ratio.....	48
II.3.7. Méthode Mc Larty.....	51
II.3.8. La méthode de la fonction Y.....	53
II.3.9. Résistances série.....	56
II.3.10. Méthode de la dérivée de la résistance dR_{tot}/dL_g.....	57
II.4. Principe de la méthode de « split CV » capacité.....	59
II.5. Méthode de Bruit basse fréquence	62
II.6. Méthode de la conductance.....	63
II.7. DLTS.....	65
II.8. Analyse de la statistique SRH.....	66
II.8.1. Taux de capture des électrons.....	67
II.8.2. Taux d'émission des électrons.....	67
II.8.3. Taux de capture des trous.....	67
II.8.4. Taux d'émission des trous	67
II.9. Principe pompage de charge.....	68
II.10. Conclusion	70
Chapitre III Modélisation du Courant de Drain des Transistors MOSFETs Avancés.	71
III.1. Introduction	71
III.2. Modélisation du courant de drain d'un MOSFET	72
III.2.1. Modèle linéaire du courant de drain	72
III.2.2. La mobilité universelle	73
III.3. Le modèle unifié	71
III.3.1. Le potentiel de grille effectif.....	75

<i>III.3.2. Le potentiel effectif de drain</i>	77
<i>III.3.3. La mobilité effective</i>	78
<i>III.3.4. Capacité du canal</i>	79
<i>III.3.5. Modèle du courant de drain</i>	81
<i>III.4. Caractérisation avancée des transistors submicronique</i>	83
<i>III.4.1. La mobilité</i>	84
<i>III.4.2. Le courant en faible inversion</i>	84
<i>III.5. Application</i>	85
<i>III.5.1. Transistors Silicium sur isolant FDSOI</i>	85
<i>III.5.2. Technologie du dispositif sous test FDSOI 32nm</i>	86
<i>III.5.3. Expérience</i>	87
<i>III.5.4. Résultats d'extraction des paramètres du transistor FDSOI</i>	89
<i>III.6. Conclusion</i>	89
<i>Conclusion Générale</i>	90
<i>Bibliographie</i>	92
<i>Bibliographie de l'auteur</i>	103

Table des symboles et Notations

β_0	Conductance du MOSFET
Φ_t (V)	Potentiel thermique
$\Delta E_c, \Delta E_v$ (J)	Variation de la bande de conduction (valence) à une interface entre deux matériaux
ϵ_0 (F/m)	Permittivité électrique du vide ; $\epsilon_0 = 8,85 \cdot 10^{-12}$ F/m
ϵ_{ox} , (F/m)	Permittivité statique de l'oxyde ; $\epsilon_{ox} = 3.9 \epsilon_0$ pour SiO_2 , $\epsilon_{ox} = k \cdot \epsilon_0$ pour un high-k
ϵ_{Si} , (F/m)	Permittivité statique du Si ; $\epsilon_{Si} = 11.8 \epsilon_0$
ϵ_{SiO_2} (F/m)	Permittivité statique de l'oxyde de silicium $\epsilon_{SiO_2} = 3.9 \epsilon_0$
ψ_s (V)	Potentiel de surface
$e\Phi_M$ (J)	Travail de sortie de la grille
$e\Phi_{MS}$ (J)	Différence de travail de sortie entre la grille et le canal
$e\Phi_b$ (J)	Hauteur de barrière d'une jonction Schottky
$e\Phi_d$ (J)	Hauteur de barrière d'une jonction PN non polarisée
$e\Phi_f$ (J)	Différence d'énergie entre le niveau de Fermi et le niveau d'énergie intrinsèque
$e\Phi_{sc}$ (J)	Travail de sortie du semiconducteur du canal
η (1)	Facteur de réduction de la charge d'inversion dans l'expression de E_{eff}
ρ (kg.m ⁻³)	Densité du cristal ; pour le Si, $\rho = 2329$ kg.m ⁻³
λ (m)	Libre parcours moyen
σ (S/m)	Conductivité électrique
$\sigma_{n,p}$ (m ⁻²)	Section de capture des électrons, des trous
τ (s)	Temps de relaxation du moment entre deux collisions
τ_{cb} (s)	Temps moyen entre deux collisions de Coulomb électrons/impuretés chargées
τ_{ph} (s)	Temps de relaxation entre deux collisions électrons/phonon
τ_{sr} (s)	Temps de relaxation entre deux collisions des porteurs avec la rugosité de surface
τ_t (s)	Temps de propagation intrinsèque du transistor
θ_1, θ_2 (V ⁻¹)	premier et deuxième Facteur de réduction de mobilité
Ω FET	Architecture de transistors dans laquelle la grille enrobe presque totalement le film de Si sur isolant
μ (cm ² /Vs)	Mobilité des porteurs
μ_0 (cm ² /Vs)	Mobilité à faible champ effectif transverse dans un transistor MOS
μ_{cb} (cm ² /Vs)	Mobilité limitée par les charges (mécanisme de Coulomb)
μ_{eff} (cm ² /Vs)	Mobilité effective

μ_{fe} (cm ² /Vs)	Mobilité à effet de champ
μ_{ph} (cm ² /Vs)	Mobilité limitée par les phonons
μ_{sr} (cm ² /Vs)	Mobilité limitée par la rugosité de surface
μ_{univ} (cm ² /Vs)	Mobilité universelle
χ_{sc} (J)	Affinité électronique du semi-conducteur
a (Å)	Paramètre de maille
A_{eff} (m ²)	Aire effective du canal
AFM	« Atomic Force Microscopy »
ALCVD, ALD	« Atomic Layer Chemical Vapor Deposition », « Atomic Layer Deposition »
BOX	Oxyde enterré (« Burried Oxide »)
BTBT	Courant tunnel bande à bande (« Band To Band Tunneling »)
C_{DEP} (F/m ²)	Capacité de déplétion
CESL	Couches d'arrêt à la gravure des contacts
C_{gate} (F/m)	Capacité totale de la grille par unité de largeur du transistor (incluant les capacités parasites)
C_{gb} (F/m ²)	Capacité entre la grille et le substrat
C_{gc} (F/m ²)	Capacité entre la grille et les source/drain
C_{INV} (F/m ²)	Capacité associée à la charge d'inversion
C_{it} (F/m ²)	Capacité relative aux états d'interface.
$C_{n,p}$	Taux de Capture d'électrons, de trous
C_{OL} (F)	Capacité entre le canal et la zone de recouvrement des extensions sous la grille
C_{OX} (F/m ²)	Capacité d'oxyde de grille
$C_{OX,eff}$ (F/m ²)	Capacité d'oxyde de grille effective en inversion
$C_{polydep}$ (F/m ²)	Capacité relative à la déplétion de la grille
DGSOI	Architecture de transistors double grille sur isolant
DIBL	Abaissement de la barrière de potentiel par polarisation du drain
D_{it} (J ⁻¹ .m ⁻²)	Densité d'état d'interface
DRAM	« Dynamic Random Access Memory »
E ou ξ (V/m)	Champ électrique
E (J)	Energie des électrons
$E//$ (V/m)	Champ longitudinal (dans le sens du transport)
$E//sat$ (V/m)	Champ longitudinal caractéristique de la vitesse de saturation des porteurs
E_c, E_v (J)	Niveau d'énergie de la bande de conduction et de la bande de valence
E_{eff} (V/m)	Champ électrique effectif
$E_{em,e}, E_{em,h}$ (J)	Niveau de fin d'émission des électrons, des trous lors d'une mesure de pompage de charge

$E_f(J)$	Energie du niveau de Fermi
E_{fM}	Energie du niveau de Fermi de la grille
$E_g(J)$	Energie de la bande interdite du semi-conducteur (« gap »)
$E_i(J)$	Energie du niveau de fermi d'un semi-conducteur intrinsèque
$E_m(J)$	Niveau d'énergie pour lequel la probabilité d'occupation des pièges est égale à 1/2
$e_{n,p}$	Emission d'électrons, de trous
$EOT(m)$	Epaisseur de diélectrique équivalente SiO_2
$EOT_{ACC}(m)$	Epaisseur de diélectrique équivalente en accumulation
$EOT_{IL}(m)$	EOT de la couche interraciaie
$EOT_{INV}(m)$	Epaisseur de diélectrique équivalente en inversion
$E_{ph}(J)$	Energie des phonons
$E_t(J)$	Energie des pièges situés dans la bande interdite du semi-conducteur
$f(Hz)$	Fréquence d'interaction des porteurs
FDSOI	Transistor complètement déserté sur isolant
FET	Transistor à effet de champ
FinFET	Architecture verticale de transistors double grille
FUSI	Grille Poly-Si complètement siliciurée (« FULLY Silicided »)
GIDL	Courant de fuite Drain/substrat dans la zone de recouvrement des extensions sous la grille par effet de la polarisation de grille
$g_m(S)$	Transconductance de grille
$G_{m_{lin}}, G_{m_{sat}}(S)$	Transconductance de grille en régime linéaire (V_{ds} faible), en régime de saturation (V_{ds} fort)
$G_{m_{max}}(S)$	Maximum de transconductance de grille (à V_{ds} faible)
$h(J.s)$	Constante de Planck réduite ; $\hbar = h/2\pi$
$h(J.s)$	Constante de Planck ; $h = 6.63 \cdot 10^{-34} J.s = 4.14 \cdot 10^{-15} eV.s$
h, k, l	Indices de Miller
HH	Bande des trous lourds (« Heavy Hole »)
high-k	(Diélectrique) à forte permittivité
HP	Hautes performances (application)
HTO	Oxyde déposé à haute température (« High Temperature Oxide »)
i, j	Indices des niveaux d'énergie quantifiés correspondant aux différentes sous-bandes
$I_{CP}(A)$	Courant pompé
$I_{ds}(A/m)$	Courant de drain normalisé par la largeur du transistor
$I_{ds0}(A/m)$	Courant de drain intrinsèque du transistor ($R_{accès}=0$)
$I_{dslin}(A/m)$	Courant de drain en régime linéaire normalisé par la largeur du transistor

I_{dsat} (A/m)	Courant de drain en régime de saturation normalisé par la largeur du transistor
I_L	Couche interfaciale entre le canal du transistor et le diélectrique à forte permittivité
I_{OFF} (A)	Courant de drain à l'état bloqué du transistor ($V_g=0V$; $V_d=V_{DD}$)
I_{ON} (A)	Courant de drain à l'état passant du transistor ($V_{gs}=V_d=V_{DD}$)
I_S (A)	Courant de source
ITRS	« International Technology Roadmap for Semiconductor »
J_D (A/m^2)	Densité de courant de diffusion d'une diode polarisée en inverse
J_G (A/m^2)	Densité de courant de grille du dispositif
J_G-SiON (A/m^2)	Densité de courant de grille du dispositif avec un oxyde SiON
k (1)	Permittivité relative d'un diélectrique par rapport à la permittivité du vide ϵ_0
k (J/K)	Constante de Boltzmann; $k_B=1,38.10^{-23}$ J/K = $8,62 \cdot 10^{-5}$ eV/K
l (m)	Distance pour laquelle la barrière de potentiel à la source diminue de kT/q
LC (m)	Longueur des contacts
LDD	Zone d'accès entre le canal et les source/drain (« Low Doped Drain »)
L_{eff} (m)	Longueur effective (électrique) du canal
L_g (m)	Longueur de grille
LH	Bande des trous légers (« Light Hole »)
LO	phonons optiques longitudinaux
LOCOS	Procédé d'isolation (« Local Oxidation of Silicon »)
LOP	« Low Operating Power » (application)
LPCVD	« Low Pressure Chemical Vapor Deposition »
LSA	« Laser Spike Annealing »
LSTP	« Low Standby Power » (application)
LTP	« Laser Thermal Process »
LV (m)	Longueur du canal sur un transistor VMOS
m^* (kg)	Masse effective de courbure de bande
$m^{*\infty}$ (kg)	Masse effective de confinement
$m^{*//}$ (kg)	Masse effective de conduction
m^*L (kg)	Masse longitudinale pour les électrons dans le Si ; $m^*L=0.98m_0$
m^*T (kg)	Masse transverse pour les électrons dans le Si ; $m^*T=0.19m_0$
m_0 (kg)	Masse d'un électron libre ; $m_0=9,11 \cdot 10^{-31}$ kg
MBE	Epitaxie par jet moléculaire
mDOS (kg)	Masse de densité d'état
MEB	Microscope Electronique à Balayage
mesa	Procédé d'isolation

MIGS	Metal Induced Gap States
MOCVD	« Metal-Organic Chemical Vapor Deposition »
MOS	Dispositif Métal-Oxyde-Semiconducteur
N_A, N_D (m^{-3})	Densité de dopants accepteurs ou donneurs
N_{cb} (m^{-3})	Densité de centres chargés
N_{dop} (m^{-3})	Densité de dopants dans le canal
N_{ext} (m^{-3})	Densité de dopants dans les extensions
N_{fix} (m^{-2})	Densité de charges fixes
n_i, p_i (m^{-3})	Densité intrinsèque d'électrons (trous)
N_{INV} (m^{-2})	Densité de porteurs en inversion
N_{it} (m^{-2}),	Dit ($eV^{-1} m^{-2}$) Densité d'états d'interface
N_{i0} (m^{-2})	Densité d'états d'interface en régime de bandes plates
N_t (m^{-2})	Densité de pièges intrinsèques dans le high-k
$nv(1)$	Dégénérescence de la vallée v
N_V, N_C (m^{-3})	Densité de porteurs de la bande de valence (conduction)
P (W)	Puissance dissipée par un transistor
P_s (W)	Puissance statique
p, n (cm^{-3})	Densité d'électrons (trous)
PECVD	« Plasma Enhanced Chemical Vapor Deposition »
PLAD	Dopage par plasma (« PLAsma Doping »)
PVD	Dépôt par pulvérisation
q (C)	Charge de l'électron ; $q=1,6 \cdot 10^{-19}$ C
Q_{CP} ($C.m^{-2}$)	Charge pompée
Q_{dep} ($C.m^{-2}$)	Densité de charges fixes ionisées (charge de déplétion)
Q_{fix} ($C.m^{-2}$)	Charges fixes
Q_{INV} ($C./m^2$)	Densité de charges mobiles (charge d'inversion)
Q_{it} (C/m^2)	Charge des états d'interface
Q_t ($C.m^{-2}$)	Charge piégée dans le high-k
$R_{accès} R_{série}$ (Ω)	Résistance totale des accès source et drain ($R_{accès} = R_{CO} + R_{sd} + R_{EXT} + R_{OL}$)
RC (Ω)	Résistance du canal des transistors
RCO (Ω)	Résistance des contacts
REXT (Ω)	Résistance des extensions sous l'espaceur
RMS	Moyenne (« Root Mean Square »)
ROL (Ω)	Résistance de recouvrement des extensions sous la grille
RPCVD	« Reduced Pressure Chemical Vapor Deposition »
$R_{sd}=R_{série}$ (Ω)	Résistance des zones source et drain (=résistance du siliciure)
RTA	Recruit rapid (« Rapid Thermal Annealing »)
S (mV/dec)	Pente sous le seuil
SCE, RSCE	Effet de canal court et effet de canal court inverse

s-Ge	Germanium contraint (en compression)
s-GeOI	Germanium contraint (en compression) sur isolant
SiGe(:C)	SiGe ou SiGe:C contraint
SiGeOI	Silicium germanium sur isolant
SIMS	« Secondary Ion Mass Spectroscopy »
SMT	« Stress Mémorisation Technique »
SO	phonons optiques longitudinaux qui affleurent à l'interface diélectrique/canal
SOI	Silicium sur isolant
SPE	Epitaxie en phase solide (« Solid Phase Epitaxy »)
split-CV	Méthode de caractérisation basée sur une mesure couplée du courant et des capacités
s-Si	Silicium contraint (en tension)
s-SiGe	Silicium Germanium contraint (en compression)
sSOI	Silicium contraint en tension directement sur isolant (appelé aussi sSDOI)
STI	Isolation par tranchée (« Shallow Trench Isolation »)
T (K)	Température du réseau
t_{DEP} (m)	Epaisseur de la zone de déplétion sous la grille
t_{ds} (m)	Distance moyenne de décalage des porteurs de l'interface de confinement par effets quantiques
TEM	Microscope Electronique à Transmission
t_{high-k}, T_{HfO_2} (m)	Epaisseur physique du diélectrique high-k, du diélectrique HfO ₂
t_{INV} (m)	Epaisseur équivalente de la capacité du dispositif en inversion
t_{IL} (m)	Epaisseur physique de la couche interfaciale entre le canal et le high-k
$t_{polydep}$ (m)	Epaisseur de la zone de déplétion de la grille
t_{Si} (m)	Epaisseur du film de Si
t_{Sicap} (m)	Epaisseur de la couche d'encapsulation
t_{SiGe} (m)	Epaisseur du film de SiGe
t_{SiO_2} (m)	Epaisseur physique de l'oxyde SiO ₂ TXRF « Total X-Ray Fluorescence »
ULE	Implantation faible énergie (« Ultra Low Energy »)
UV	Ultra-Violet
v (m/s)	Vitesse de dérive des porteurs
V (V)	Potentiel
v, w	Indice de la vallée/bande
V_{ds} (V)	Tension de drain source
V_{dseff} (V)	Tension de drain source effective
V_{DD} (V)	Tension d'alimentation

V_{dsat} (V)	Tension de saturation du drain
V_{fb} (V)	Tension de bande plate et sur SOI tension de bande plate de la grille avant et arrière
V_{gseff} (V)	Tension de grille effective
V_{gs} (V)	Tension de grille
V_{gb} (V)	Tension grille – substrat
V_{gbl}, V_{gbh} (V)	Tension basse du pulse lors d’une mesure de pompage de charge
v_{inj} (m/s)	Vitesse d’injection des porteurs à la source (en haut de la barrière)
VMOS	Transistor MOS avec un canal vertical en forme de V
v_{sat} (m/s)	Vitesse de saturation
V_{text} (V)	Tension de seuil, extrapolée des nMOS, des pMOS.
V_{th} (V)	Tension de seuil, des nMOS, des pMOS.
v_{th} (m/s)	Vitesse thermique
V_{thlin}, V_{thsat} (V)	Tension de seuil en régime linéaire et en régime de saturation
W (m)	Largeur d’un transistor
W_{eff}	Largeur effective du canal
WV (m)	Largeur du canal (111) ou (110) sur un transistor VMOS
x (1)	Composition en Ge de l’alliage $Si_{1-x}Ge_x$
x, y, z	Directions dans le plan de conduction et direction de confinement
X_j (m)	Profondeur des extensions source/drain
XPS	« X-ray Photoelectron Spectroscopy »
XRD	« X Ray Diffraction »
XRF	« X-Ray Fluorescence »
XRR	« X-Ray Reflectance »
Y ($A.\Omega^{0,5}$)	Fonction utilisée pour extraire les différents paramètres statiques

Introduction

La microélectronique a débuté au milieu du XX^{ème} siècle et a ouvert de nouvelles perspectives technologiques [1]. Au fil des années, l'industrie de la microélectronique s'est concentrée sur trois objectifs afin de garantir sa croissance notamment la réalisation des composants électroniques toujours plus petits, des temps de transit plus rapide, des dispositifs fiables et moins coûteux. Afin de répondre à ces exigences, la réduction des dimensions des transistors MOS s'est effectuée de façon continue, selon la célèbre loi de Moore, qui prévoit un doublement du nombre de transistors par circuit intégré tous les 18 mois [2]. Cette évolution technologique fulgurante est en grande partie due à une maîtrise accrue des technologies silicium, dont le semi-conducteur constituant le cœur des dispositifs MOSFETs. Les avancées phénoménales dans les techniques de photolithographie, qui consistent à graver des motifs dans le silicium, ont ainsi permis de diminuer la taille des transistors MOSFETs de plusieurs micromètres dans les années 1970 à moins de 20 nanomètres actuellement (2015).

La réduction rapide des longueurs de grilles a confronté les ingénieurs à d'autres problèmes, en particulier relatifs aux performances liées à la difficulté d'augmenter le courant à l'état On, et de réduire le courant à l'état Off, qui croît exponentiellement pour les différentes générations technologiques, ce qui devenait un des principaux défis à relever. Avec le nœud technologique 45 nm, Intel a utilisé le silicium contraint (*Strain Silicon*) pour améliorer la vitesse de commutation des circuits. En 2007 la loi de Moore a été relancée pour quelques années en faisant un très grand changement de matériaux concernant le remplacement de l'oxyde de silicium entre la grille et le canal par un oxyde nitruré (*à cause des fuites de courant à l'épaisseur inférieure à 2.7nm du SiO₂*). L'introduction des oxydes à haute permittivités (dit High K) tel que l'oxyde d'hafnium et aussi le remplacement du métal de grille par des matériaux ayant un travail de sortie proche au milieu de la bande interdite du Silicium (TiN par exemple). L'introduction des nouveaux matériaux ont permis une meilleure maîtrise des principales sources de fuite de courant (passage par effets tunnel des électrons entre grille et canal). Par contre, la fuite entre source et drain reste très problématique avec les nœuds sub 20 nm. C'est ce qui a poussé les industriels à réfléchir sérieusement aux récents changements d'architecture du transistor MOSFETs.

Les chercheurs ont en effet trouvé des moyens pour augmenter l'efficacité de la grille, par l'introduction d'une couche d'isolant sous une fine couche de silicium intrinsèque c'est ce que l'on appelle l'UTB SOI (*Ultra Thin Body Silicone On Insulator*). Il s'agit d'un produit innovant qui permet d'abaisser la consommation d'énergie, ce qui a révolutionné l'électronique portable. Plusieurs solutions ont été envisagées afin d'améliorer le contrôle électrostatique des TMOS, tel que les architectures doubles, triples grilles, grilles complètement arrondie, les FinFETs et les nano-fils (*intégration 3D*). D'autres architectures utilisent les matériaux à haute mobilité telle que les nanotubes de carbone et le graphène remplacent le silicium actif du canal.

L'indication des performances de la technologie microélectronique a été mise en évidence par l'évolution des techniques de caractérisation, d'extractions des paramètres et de modélisation des transistors MOSFETs.

Ce travail de thèse consiste à caractériser les dispositifs MOSFETs submicronique par les techniques I(V) et d'améliorer les techniques d'extraction des paramètres du transistor par l'utilisation de nouveaux modèles. La caractérisation des dispositifs MOSFETs submicroniques pour les nœuds technologiques 180 nm (SiO₂ comme oxyde de grille), 45 nm avec un canal dopé en rétrograde et un oxyde nitruré (présence dans le canal de poches et de Halos) et le nœud 32 nm de type FDSOI avec un oxyde de grille HfO₂, TiN comme métal de grille et la zone active faiblement dopée. Dans la partie modélisation, c'est le développement d'un modèle analytique permettant d'apporter une expertise dans le domaine de caractérisation. Notamment, l'amélioration des méthodes d'extractions des paramètres physiques et électriques en ce qui concerne les performances de ces dispositifs MOSFETs. L'extraction des paramètres des dispositifs MOSFETs est utilisée pour confirmer l'aptitude à relever les défis de la miniaturisation et permettre de trouver les solutions technologiques adéquates pour favoriser le passage au nouveau nœud technologique. Cette approche doit alors permettre de minimiser le temps nécessaire à la caractérisation des dispositifs MOSFETs, ce qui constitue à ce titre un aspect stratégique important compte tenu du contexte de forte compétitivité dont jouit le marché des composants.

Le travail réalisé dans cette thèse est organisé en trois chapitres: le premier chapitre de ce manuscrit traite d'une façon générale le principe de fonctionnement du transistor MOS classique, évoquer les raisons de la miniaturisation, les défis qui y sont liés ainsi à l'état de l'art des MOSFETs, les options envisageables pour continuer la course à la miniaturisation et/ou l'amélioration des performances par l'introduction des nouvelles architectures du MOSFET, l'intégration des nouveaux matériaux de grille, du canal et les oxydes (remplaçant le métal de grille, le silicium actif du canal et les oxydes de grille).

Le second chapitre a pour objectif la présentation des différentes techniques de caractérisation adaptées aux architectures des dispositifs MOSFETs avancée. En ce qui concerne les dispositifs expérimentés dans le laboratoire IMEP comportant les trois nœuds technologiques 180 nm a grille SiO₂, 45nm avec un oxyde grille nitruré et un canal à dopage rétrograde (poches et Halos) et le FDSOI 32nm avec un métal de grille TiN et un oxyde HfO₂.

Une extraction des paramètres de ces dispositifs MOSFETs submicronique à caractériser, en, utilisant les techniques de caractérisation électriques, basées essentiellement sur les mesures I(V) et C(V). Un rappel sur les techniques d'extractions existantes, tel que le pompage de charges, la conductance et la technique du bruit basse fréquences.

Le travail présenté dans ce manuscrit a été réalisé au sein de l'équipe de Caractérisation et Fiabilité au laboratoire IMEP-LAHC, l'Institut de Microélectronique, Électromagnétisme et Photonique à Grenoble INP-Minatec (2007-2012).

Le dernier chapitre nous conduira aux travaux de développement d'un modèle analytique unifié du courant de drain (unification des expressions dans tous les régimes de fonctionnement, régime de déplétion, d'inversion et la même expression unifie les régimes linéaire et saturé, ce travail introduit une expression unique pour modéliser les caractéristiques $I_d(V_{gs})$ et $I_d(V_{ds})$. Ce travail explicite les différentes étapes nécessaires aux développements du modèle du courant de drain. Ainsi que les méthodes de validation du modèle par comparaison aux résultats des expériences obtenus dans le chapitre II.

Une application du modèle à l'extraction des paramètres du dispositif FDSOI du nœud technologique 32nm expérimentés dans le domaine de fiabilité. Les résultats d'extraction des paramètres sont évalués par les différentes techniques d'extractions puis comparés à la nouvelle méthode utilisant l'expression du modèle analytique.

Enfin, nous terminerons par une conclusion générale, récapitulant les résultats expérimentaux des travaux effectués dans les différentes parties de cette thèse. Et nous exprimons aussi la continuité de la modélisation des différents courants qui composent les dispositifs MOSFETs.

Chapitre I Les Bases du transistor MOSFET

I.1 Introduction

L'évolution de la technologie électronique est fondée sur le développement des architectures de circuits électroniques avancés, dont l'élément principal et de base est le transistor MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*). L'enjeu important des sociétés modernes est l'utilisation des équipements à base des circuits électroniques. L'évolution des systèmes électroniques est basée sur le développement du transistor en vue de garantir les hautes performances. Notamment, la fiabilité, la rapidité, faible consommation en puissance etc.

Les solutions adéquates pour répondre à ses performances sont la réduction des dimensions caractéristiques et le choix des matériaux du dispositif MOSFET ainsi que la maîtrise de la technologie de fabrication; la lithographie, gravure et essentiellement les techniques de caractérisations et d'extraction de paramètres physique et électrique afin d'avoir un retour sur la qualité de fabrication. Les dimensions caractéristiques des MOSFET s'approchent de la dizaine du nm voir moins ; confirme la progression vers une nanoélectronique. Ces réductions imposent des corrections voir même un changement des matériaux constituant le MOSFET lorsque les performances sont dégradées.

Dans une première partie, nous rappellerons l'architecture conventionnelle du transistor MOS à effet de champ ainsi que les bases de son fonctionnement par la mise en évidence des paramètres permettant d'obtenir les meilleures performances [3]. En effet, la diminution de la longueur de grille L_G conduit au renforcement d'effets parasites que l'on peut tenter de contrer en modifiant en parallèle les autres grandeurs. Une optimisation des performances selon les valeurs de l'épaisseur de l'oxyde de grille t_{ox} , le profil de dopage du canal (zone active) et la profondeur X_j des caissons source et drain et la nature des matériaux émergents [4]. Nous aborderons ensuite les limites de la miniaturisation du MOSFET massif et leurs remplacements par des architectures avancées innovantes alternatives, susceptibles d'apporter des solutions industriellement fiables [5].

I.2 Architecture du transistor MOSFET

La structure de base du MOSFET est constituée d'un substrat de silicium de type N ou P dans lequel deux zones sont fortement dopées par diffusion ou implantation ionique, de type opposé à celui du substrat appelées drain et source séparé par une zone appelée canal. Une oxydation d'une couche de silicium au-dessus de la zone du canal (ou dépôt d'oxyde pour les Hk), puis un dépôt d'une couche en polysilicium de haute conductivité et/ou une métallisation ayant un travail de sortie au milieu de la bande interdite du matériau formant la couche active du canal.

Les diélectriques à haute permittivité utilisés sont obtenus soit par croissance du substrat (SiO_2 natif) ou par un dépôt du matériau isolant de bonne adhérence au silicium, ce qui constitue la grille du transistor figure (I.1) [6] [7].

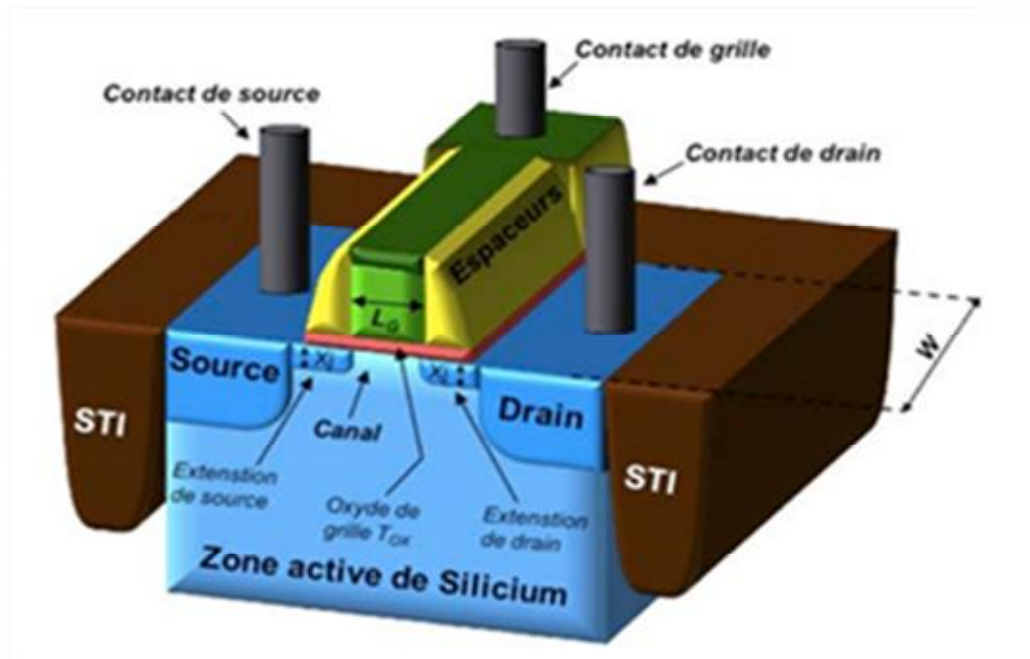


Figure I.1. Architecture en 3D du transistor MOSFET [7]

De manière générale, lorsque nous parlerons des dimensions d'un transistor, nous ferons référence à la longueur de sa grille, notée L_G et à la largeur totale de la zone active de silicium, notée W . L'épaisseur de l'oxyde de grille fait également partie des dimensions clé notée t_{ox} (*Oxide thickness*). L'isolation entre un transistor et ses voisins est assurée par des tranchées d'oxyde appelées STI (*Shallow Trench Isolation*), ajoutons à cela la profondeur de la jonction X_j des zones source et drain.

I.2.1 Structure MOS

La structure MOS est équivalente à la mise en série de la capacité de l'oxyde avec la somme des capacités présentes dans l'empilement métal oxyde semiconducteur selon le type du canal. Dans les technologies actuelles, le métal de grille a évolué du polysilicium avec fort dopage ($> 10^{19} \text{cm}^{-3}$), à un métal possédant un travail de sortie au voisinage du niveau d'énergie intrinsèque E_i du semiconducteur constituant le canal, afin d'être exploité par la technologie CMOS [8].

Le potentiel V_g de grille induit des déformations (courbure) des bandes d'énergie de l'interface vers le volume en direction «y» figure (I.2). Les bandes d'énergie de la structure MOS sont définies par le niveau d'énergie bas de la bande de conduction E_c , et le niveau d'énergie haut de la bande de valence par E_v ainsi que le niveau d'énergie intrinsèque E_i situé approximativement au milieu de la bande interdite du silicium (négligeant l'effet des masses effectives).

I.2.2 Charge dans le semiconducteur

A l'interface oxyde semiconducteur ($y=0$), tous ces niveaux d'énergie portent le nom d'énergie de surface et sont indicés par la lettre "s" (E_{vs} , E_{cs} , E_{is}); la polarisation extérieur de la grille V_{gs} induit une courbure des bandes exprimées par le potentiel $\psi(y)$ selon la figure (I.2). Le potentiel en volume du substrat, Φ_f , indique la différence entre le milieu de la bande

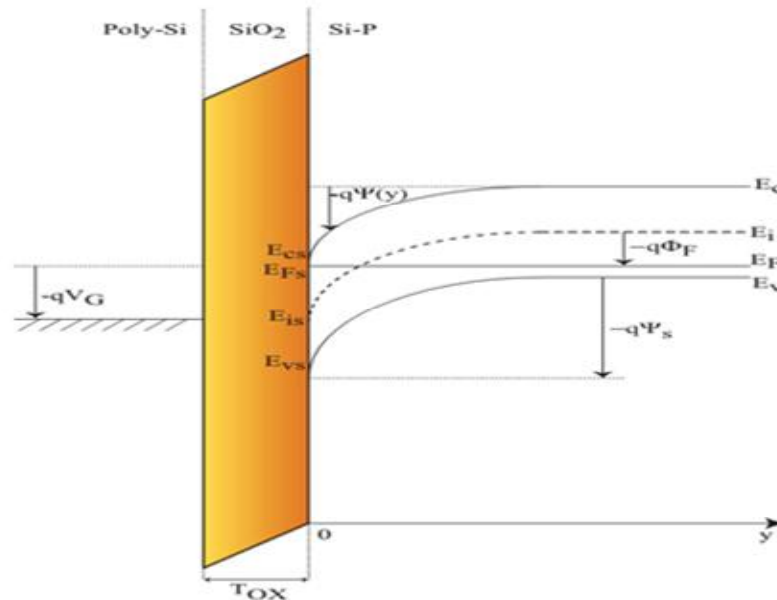


Figure I. 2 Diagramme de bande d'énergie de la structure MOS en forte inversion [9]

interdite E_i et le niveau de Fermi E_f , il a pour expression (I.1):

$$\phi_f = \frac{KT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad \text{I.1}$$

La concentration en surface (interface oxyde semiconducteur) est fonction du potentiel de surface ψ_s , la concentration en volume dans le sens « y » varie selon les deux expressions suivantes [9].

$$n(y) = n_i \exp\left(\frac{E_f - E_i(y)}{KT}\right) \quad \text{I.2}$$

$$p(y) = n_i \exp\left(\frac{E_i(y) - E_f}{KT}\right) \quad \text{I.3}$$

Les concentrations en volumes à l'équilibre sont données par :

$$n_0 = n_i \exp\left(\frac{-q\Phi_f}{KT}\right) \quad \text{I.4}$$

$$p_0 = n_i \exp\left(\frac{q\Phi_f}{KT}\right) \quad \text{I.5}$$

La variation de la concentration de la surface vers le volume sera définie en fonction du potentiel volumique du semiconducteur par les équations suivantes :

$$n(y) = n_0 \exp(\beta \cdot \psi(y)) \quad \text{I.6}$$

$$p(y) = p_0 \exp(-\beta \cdot \psi(y)) \quad \text{I.7}$$

Avec $\beta = \frac{q}{KT}$ potentiel thermique

I.2.3 Equation de poisson

A l'interface le champ électrique ξ et la densité de charge ρ à l'équilibre sont reliés par l'équation de poisson :

$$\frac{d^2\psi}{dy^2} = -\frac{d\xi}{dy} = -\frac{\rho}{\epsilon_{si}} \quad \text{I.8}$$

$$\rho = q(p - n + N_d - N_a) \quad \text{I.9}$$

$\epsilon_{si}=11.9.\epsilon_0$ Permittivité du semiconducteur (silicium) et la densité de charge totale ρ du semi-conducteur dépend des densités de charges libres n et p et de charges fixes dues aux impuretés des dopants ionisés du substrat N_d ou N_a .

Dans le volume du substrat (*axe y*), le semiconducteur est à l'équilibre, respectant la condition de neutralité donc la densité de charge est nulle :

$$\rho(y \rightarrow \infty) = q(p_0 - n_0 + Nd - Na) \quad \text{I.10}$$

La densité de charge près de l'interface est fonction du potentiel de bande d'énergie $\psi(y)$ et de la concentration extrinsèque $N_a=p_0$ et selon la loi d'action de masse $n_0 = n_i^2 / Na$:

$$\rho = -q \{ n_0 (\exp(\beta\psi(y)) - 1) - p_0 (\exp(-\beta\psi(y)) - 1) \} \quad \text{I.11}$$

L'intégration de l'équation de poisson fournit le champ électrique $\xi(y)$ de la structure :

$$-\xi(y) = \frac{d\psi}{dy} = \pm \sqrt{\frac{2kT}{\epsilon_{si}}} \sqrt{\{ n_0 (e^{\beta\psi(y)} - 1) + p_0 (e^{-\beta\psi(y)} + \beta\psi(y) - 1) \}} \quad \text{I.12}$$

Pour $y=0$ (*au voisinage de l'interface*), on prendra le signe + pour $\psi < 0$, (c'est à dire pour $Q_{sc} > 0$), on déduit l'expression du champ électrique ξ pour $\psi(0)=\psi_S$

$$Q_{sc} = \pm \sqrt{2\epsilon_{si}kT} \sqrt{\{ n_0 (e^{\beta\psi(y)} - \beta\psi(y) - 1) + p_0 (e^{-\beta\psi(y)} + \beta\psi(y) - 1) \}} \quad \text{I.13}$$

La charge du semiconducteur dans le canal est donnée par l'équation (I.13) ainsi que la courbe de variation de cette charge en fonction du potentiel de grille allant de l'accumulation à

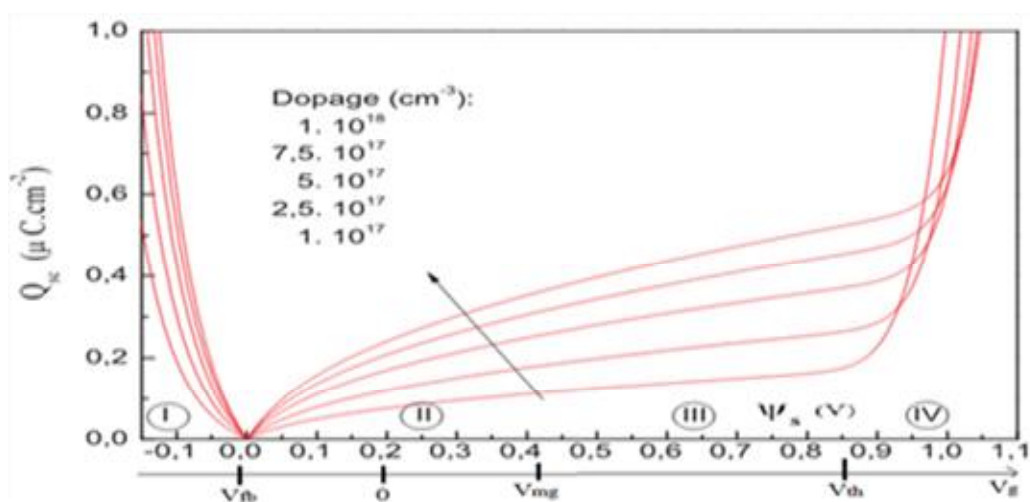


Figure I. 3 la charge du canal en fonction du potentiel de surface référencé au potentiel de grille, pour différentes concentrations du semiconducteur et les indications associées aux tensions de bande plate[9]

la forte inversion [9] [10][11] et pour différentes concentration du canal, représentée par la figure (I.3).

I.2.4 Potentiel de surface

La variation de la tension de grille V_g module la variation du potentiel de surface ψ_s et fait apparaître quatre zones de variation de la charge dans le canal. Le fonctionnement de la structure MOS est exprimé par les correspondances entre la tension de grille et le potentiel de

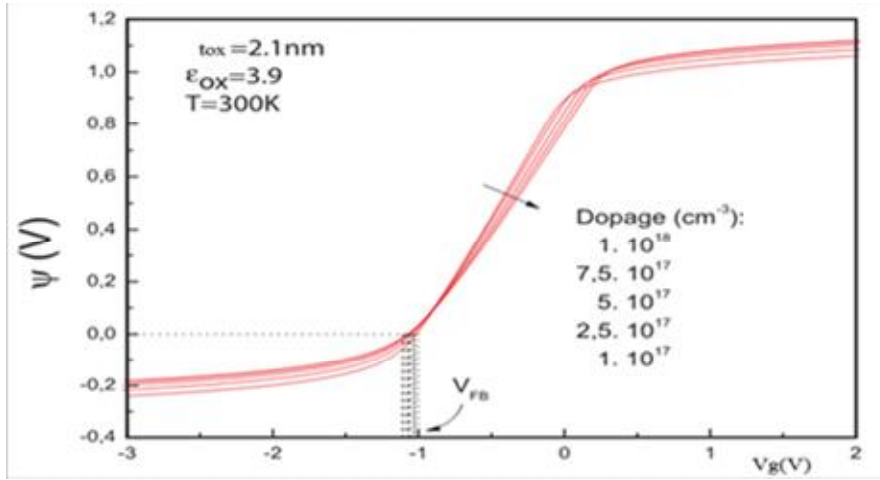


Figure I. 4 Représentation du potentiel de surface en fonction du potentiel de grille [9]

surface et nous renseigner sur l'état de charge du canal et la conservation de charge dans la structure permet d'écrire en l'absence de défauts [12][13]:

$$(V_{gs} - \Psi_s - \phi_{ms})C_{ox} = -Q_{sc}(\Psi_s) \quad \text{I.14}$$

La résolution numérique de l'équation $V_{gs} = V_{fb} + \Psi_s - \frac{Q_{sc}(\Psi_s)}{C_{ox}}$ donne la relation qui lie la tension de grille source V_{gs} au potentiel de surface ψ_s , représenté en figure (I.4) pour différents dopages. Ce qui permet d'identifier les frontières de transition des quatre régimes de fonctionnement, l'accumulation[14] à $V_{gs} < V_{fb}$ pour $\psi_s = 0$, la déplétion[15] de $V_{gs} = V_{fb}$ à $V_{gs} = V_{mg}$ (tension correspondant au milieu du gap) de même pour le potentiel de surface de $\psi_s = 0$ à $\psi_s = \phi_f$, l'inversion dans le domaine $V_{mg} < V_{gs} < V_{th}$ tan-disque $\phi_f < \psi_s < 2\phi_f$ et la forte inversion [16] pour $V_{gs} > V_{th}$ et $\psi_s > 2\phi_f$.

I.3 Fonctionnement du MOSFET

La zone d'accumulation des majoritaires près de l'interface[17][18] (Région I) $\psi_s < 0$ pour $V_{gs} < V_{fb}$ et la densité de porteurs majoritaires P_s équation (I.15) et la charge d'accumulation Q_{sc} donnée par l'équation (1.16).

$$p_s = p_0 e^{\frac{-q\Psi_s}{kT}} \gg p_0 \gg n_0 \quad \text{I.15}$$

$$Q_{sc} = \sqrt{(2\varepsilon_{si}K.T.N_a)} e^{\frac{-q\Psi_s}{2kT}} \quad \text{I.16}$$

La condition de bande plate est associée à l'état du potentiel de surface $\psi_s = 0$ et $V_{gs} = V_{fb}$ correspondant au potentiel de bande plate V_{fb} . Ce potentiel dépendant de la différence des travaux de sortie entre le métal de grille et le semiconducteur du canal $\phi_{MS} = \phi_M - \phi_s$ et aussi la charge dans l'oxyde Q_{ox} donné par l'équation suivante :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad I.17$$

La tension de bande plate V_{fb} est un paramètre qui mesure la quantité de charge fixe présente dans l'oxyde ainsi que la densité des pièges à l'interface [19]. D'où on définit une capacité C_{ss} associée aux charges des états d'interface par :

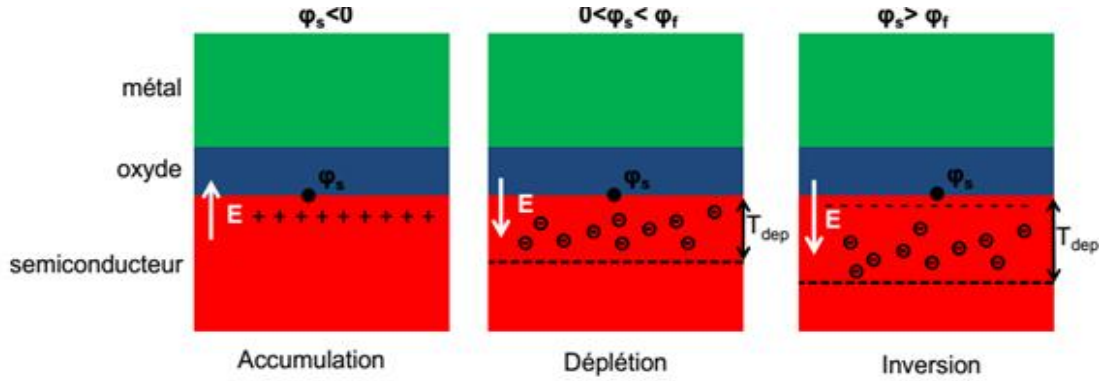


Figure I. 5 Illustration schématique des trois régimes de fonctionnement de la structure Mos

[7]

$$C_{ss} = - \frac{dQ_{ss}}{d\Psi_s} = qN_{ss} \quad I.18$$

La zone de déplétion correspond à l'intervalle de variation du potentiel de surface $\psi_s \in]0; \Phi_f]$ et au potentiel de grille $V_g \in]V_{fb}; V_{mg}]$. V_{mg} est le potentiel de grille lorsque les niveaux $E_{is} = E_f$ d'où l'énergie de Fermi au (Mid Gap : Région II). C'est la désertion des porteurs majoritaires de l'interface et la concentration des minoritaires reste faible [20] $n(0) \ll p(0) \ll N_a$ et la charge de déplétion Q_{dep} d'épaisseur W_{dep} défini pour $\Psi_s = \Phi_f$

$$|Q_{dep}| = \sqrt{2\varepsilon_{si}KT.N_a \left(\frac{q\Psi_s}{KT}\right)^{1/2}} = \sqrt{2q.\varepsilon_{si}.N_a.\Psi_s} \quad I.19$$

$$W_{dep} = \sqrt{2 \frac{\varepsilon_{si}\varepsilon_0\phi_f}{qN_a}} \quad I.20$$

La création d'une couche d'inversion faible par les porteurs minoritaires à l'interface mais cette inversion reste faible pour une variation du potentiel de surface $\psi_s \in]\Phi_f; 2\Phi_f]$ (Région III) [21] le potentiel de grille correspond à l'intervalle $V_g \in]V_{mg}; V_{th}]$. Sachant que la tension de seuil V_{th} correspond au potentiel de surface $\Psi_s = 2\Phi_f$ [22][23] [24] [25] [26].

L'inversion forte (Région IV) est obtenue pour le potentiel de surface $\psi_s > 2\Phi_f$ et potentiel de grille $V_g > V_{th}$. La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume et de nombreux porteurs libres sont présents dans le canal [27][28]. La barrière $\Phi_d - \psi_s$ côté source pour les électrons à la surface du semiconducteur devient faible, le canal est complètement inversé de charge d'inversion $Q_i = C_{ox}(V_g - V_{th})$ et le transistor conduit. La tension de seuil V_{th} est définie comme la tension de grille V_g telle que la condition $(\psi_s = 2\Phi_f)$ soit satisfaisant alors cette tension de seuil est exprimée par [29] [30]:

$$V_{th} = V_{fb} + 2\phi_f - \frac{Q_{dep} + Q_i + Q_{ss}}{C_{ox}} \quad I.21$$

I.3.1. Courant de drain-source

La modélisation courant de drain dépend essentiellement des régimes de fonctionnement du MOSFET. Le régime ohmique (linéaire) bien que le régime principal de fonctionnement d'un transistor MOS soit le régime de saturation. Dans ce régime que sont faites principalement les mesures courant-tension servant à extraire les paramètres électriques du transistor MOS [31][32][33]. Un courant électrique I existe quand une charge Q est transportée d'un point du matériau à un autre avec une vitesse v . L'intensité du courant, à l'instant t , est représentée par le débit des charges stockées dans le matériau [34].

$$I = \frac{dQ}{dt} \equiv \frac{[Coulomb]}{[Seconde]} \quad \text{I.22}$$

Le courant peut s'exprimer en fonction de la vitesse des charges mobiles $\vec{v} = \frac{d\vec{l}}{dt}$. On considère un conducteur de section dS , de longueur dl , d'un nombre n de charges mobiles par unité de volume et \vec{v} leur vitesse, la charge dQ traversant la section dS pendant une durée dt , est exprimée par :

$$dQ = n.e.d\vec{l}.d\vec{S} = n.e.\vec{v}.dt.d\vec{S} \quad \text{I.23}$$

On déduit la densité de courant \vec{j} des expressions (I.23 I.22) et on obtient $\vec{j} = \frac{I}{dS} = n.e.\vec{v} = n.e.\mu.\vec{E}$ ce qui nous d'écrire la loi d'ohm $\vec{j} = \sigma.\vec{E}$ avec σ , conductivité du matériau et E le champ électrique entre les deux bornes du matériau créé par une différence de potentiel V donné par l'expression $V = -E.dl$, c'est le même concept appliqué pour le transistor MOSFET. La charge du canal par unité de surface est à la surface de la grille ($W.L$). Cette charge du canal relie la source et le drain et permet le déplacement des porteurs à une vitesse v limité par le champ électrique E longitudinale et la mobilité μ [35].

$$I = Q.(W.L)./t = Q.W.v = Q.W.\mu \frac{V_{ds}}{L} \quad \text{I.24}$$

Le courant est contrôlé par le potentiel de grille et le potentiel de drain selon le régime de fonctionnement. Le potentiel de grille module le potentiel de surface, modulant la densité de porteurs le long du canal influencé par le potentiel de drain. Au-dessus de la tension de seuil le transistor devient passant, l'amplitude de la polarisation de drain V_{ds} distingue le fonctionnement en régime linéaire et de saturation, limité par $V_{ds} > V_{gs} - V_{th}$. [31][36].

A faible V_{ds} inférieure à la tension $V_{gs} - V_{th}$, une couche de forte inversion est présente tout le long de la grille, le canal se comporte comme une résistance, c'est le régime linéaire ou régime ohmique.

Lorsque V_{ds} augmente au-delà de la valeur $V_g - V_{th}$, le potentiel de surface côté drain devient inférieur à $2\Phi_f$. La charge devient donc nulle du côté drain, c'est le point de pincement qui va se déplacer côté source lorsque $V_d \gg V_{gs} - V_{th}$. Rien ne change entre l'extrémité source et le point de pincement que ce soit en termes de densité de charges ou en tension appliquée, le courant reste donc constant à la valeur I_{dsat} , c'est le régime de saturation. En régime faible inversion ou déplétion, $V_{gs} < V_{th}$ le transistor est toujours bloqué, la barrière de potentiel entre le canal et la source est importante, et seuls quelques porteurs arrivent à la franchir par activation thermique c'est le régime sous le seuil ou le régime bloqué, quel que soit le potentiel de drain.

I.3.2 Régime ohmique en forte inversion

La forte inversion c'est l'état ON du transistor MOSFET pour la tension de grille $V_{gs} > V_{th}$ définissant la tension de saturation V_{dsat} du drain, dont on différencie deux régimes dont le régime linéaire (ohmique) et le régime de saturation [37].

Le régime ohmique est caractérisé par de faibles tensions de drain $V_d < V_{dsat}$, par référence à la tension de pincement du drain (tension de saturation) figure (I.6). Dans ces conditions le canal du transistor se comporte comme une résistance quasi bidimensionnelle contrôlée par la charge d'inversion proportionnelle à la tension de grille. Le courant de drain s'écrit alors de la même manière que l'équation (I.25), une nouvelle expression est obtenue pour le courant de drain en substituant la charge du canal par la charge absolue d'inversion Q_i et la mobilité par la mobilité effective μ_{eff} des porteurs dans le canal, dépendant de la quantité de charge d'inversion [38][39][40].

$$I_d = \frac{W}{L} \mu_{eff} Q_i V_d \quad \text{I.25}$$

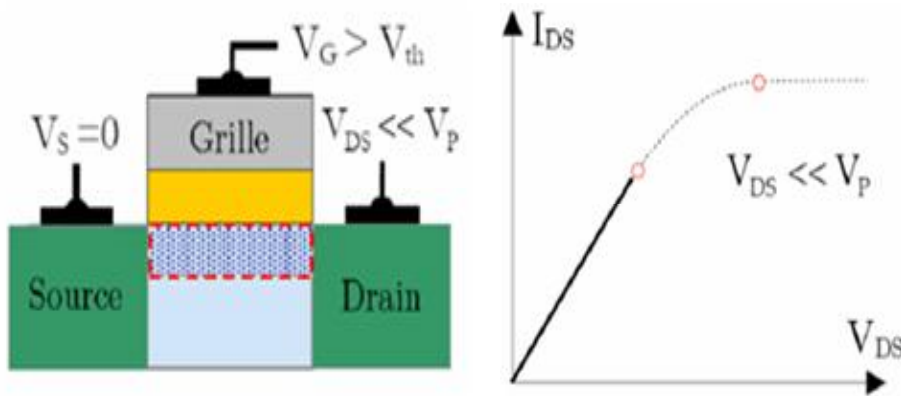


Figure I. 6 Régime linéaire la tension de grille $V_g >$ à la tension de seuil V_{th} et V_d tension de drain reste inférieure à la tension de pincement V_p [37].

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_i}{Q_c}} \quad \text{I.26}$$

Où μ_0 est la mobilité à champ électrique nul et Q_c la charge critique qui caractérise la diminution de mobilité aux fortes tensions de grille [41] [42][43] avec une valeur typique $Q_c = 10^{13} \text{ q./cm}^2$. La charge d'inversion Q_i dans le canal est approximativement proportionnelle à la capacité de l'oxyde C_{ox} , la tension de grille V_{gs} et la tension de seuil V_{th} , l'expression est donnée par :

$$Q_i = C_{ox}(V_g - V_{th}) \quad \text{I.27}$$

La transconductance du transistor $g_m = \frac{dI_d}{dV_g}$ s'obtient à partir des relations (I.24), (I.25), (I.26) et de l'équation de neutralité électrique (conservation de la charge)[44] [45]:

$$g_m = \frac{W \mu_{eff}^2}{L \mu_0} \frac{C_i}{C_{ox} + C_{dep} + C_{ss} + C_i} C_{ox} V_d \quad I.28$$

où C_{ox} , C_{dep} , C_{ss} , C_i sont les capacités associées respectivement à l'oxyde de grille, à la zone de déplétion, aux états d'interface et à la couche d'inversion. Cette relation décrit la transconductance de façon continue en forte inversion. Le potentiel de surface dépend peu de la tension de grille en forte inversion. Le courant s'obtient alors avec l'aide des relations (I.16) et (I.17):

$$I_d = \frac{W}{L} \mu_0 V_d \frac{C_{ox} (V_g - V_{th})}{1 + \theta_1 (V_g - V_{th})} \quad I.29$$

Où $\theta_1 = C_{ox} / Q_c$ est le facteur intrinsèque de réduction de la mobilité due à l'interaction entre les porteurs du canal à l'inversion et les phonons du réseau cristallin appelé « premier facteur d'atténuation de mobilité », et V_{th} est la tension de seuil, la transconductance est donnée par :

$$g_m = \frac{W}{L} C_{ox} V_d \frac{\mu_0}{[1 + \theta_1 (V_g - V_{th})]^2} = \frac{W}{L} C_{ox} V_d \frac{\mu_{eff}^2}{\mu_0} \quad I.30$$

Pour des transistors de faible longueur de grille, il faut tenir compte du « second facteur de réduction de la mobilité » θ_2 qui tient compte de la rugosité de surface à l'interface Si/Oxyde. Dans ce cas, le courant de drain I_d et la transconductance g_m [46] [1] sont donnés par les équations respectivement (I.30) et (I.31) et représentés par la figure (I.7).

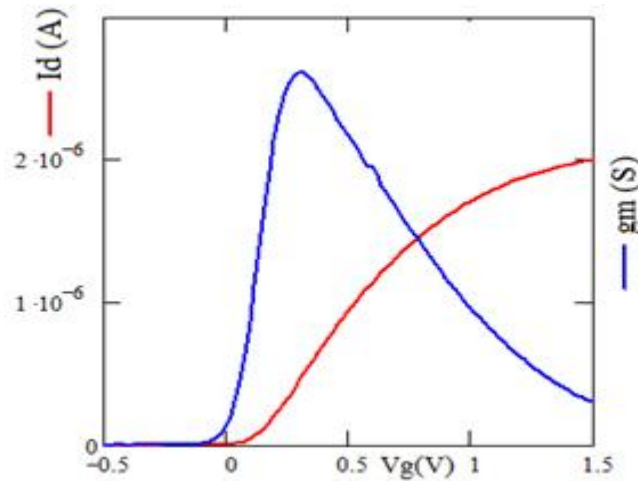


Figure I. 7 Courbes $I_d(V_g)$ et $gm(S)$ pour $V_d=50mV$ $W=1\mu m$ et $L=80nm$

$$I_d = G_m \frac{(V_g - V_{th} - V_d/2)}{1 + \theta_1 (V_g - V_{th} - V_d/2) + \theta_2 (V_g - V_{th} - V_d/2)^2} V_d \quad I.31$$

$$g_m = G_m \frac{1 - \theta_2 (V_g - V_{th} - V_d/2)^2}{[1 + \theta_1 (V_g - V_{th} - V_d/2) + \theta_2 (V_g - V_{th} - V_d/2)^2]^2} V_d \quad I.32$$

Avec $G_m = \frac{W}{L} \mu_0 C_{ox}$ le paramètre de transconductance, les deux expressions (I.31) et (I.32)

sont exploitées dans le domaine d'extraction des paramètres électriques des MOSFETs, on tenait de l'invariance de la mobilité effective en fonction de V_d . L'invariance de la mobilité effective est assurée dans le domaine linéaire du courant de drain figure (I.8) et pour une meilleure approximation de la mobilité μ_0 dite à champ très faible (mobilité μ_0 à champ nul);

V_{ds} ne doit pas dépasser quelques valeurs du potentiel thermique Φ_t , défini par l'expression $\Phi_t = 1/\beta = (kT/q)$

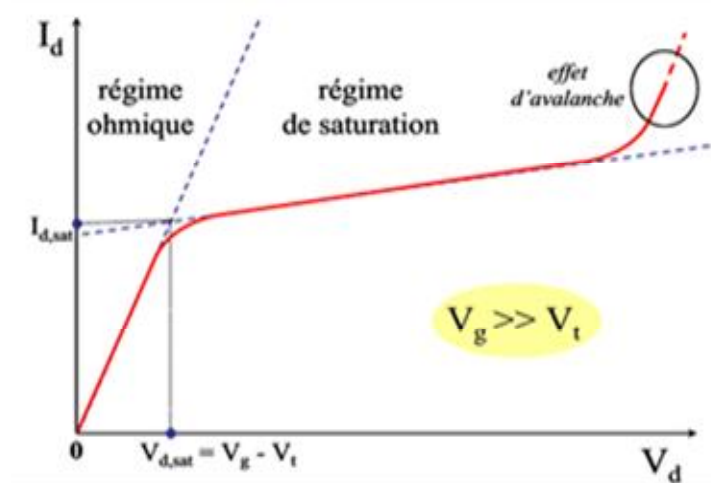


Figure I. 8. Caractéristique $I_{ds}-V_{ds}$ en forte inversion [45]

La saturation de la vitesse de dérive v_{max} des porteurs lorsque les électrons atteignent la vitesse maximale dans le canal en présence du champ électrique latéral appliqué par le potentiel de drain V_{ds} influant directement sur la variation de la mobilité

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{\mu_0 V_{ds}}{v_{max} L_{eff}}}$$

I.33

I.3.3 Régime de saturation en forte inversion:

La tension électrique V_{ds} peut localement, du côté du drain modifier la valeur de la tension de seuil V_{th} et ainsi augmenter le courant. Cette diminution de la tension de seuil V_{th} induite par la tension de drain est appelée l'effet DIBL (*Drain Induced Barrier Lowering*) [45] [47] [48].

Ce régime survient pour le potentiel de drain supérieur au potentiel de saturation $V_d > V_{dsat}$, après la zone de coude (ou de raccordement), équivalente à la variation $(V_g - V_{th})$ figures (I.9) et (I-10).

La charge au niveau du drain s'annule, c'est le pincement du canal, au fur et à mesure que la tension de drain augmente, le point de pincement s'éloigne du drain de ΔL , la tension de seuil est réduite et effet d'avalanche se déclenche pour une longueur $L - \Delta L$ critique.

$$I_{dsat} = \frac{1}{2} \frac{W}{L} C_{ox} \mu_{eff} (V_g - V_{th})^2 \quad I.34$$

I.3.4 Régime sous le seuil courant I_{off} et pente sous le seuil.

a) Phénomène de diffusion

Lorsque, dans un cristal, les électrons et les trous ne sont pas uniformément répartis, ou si la température n'est pas uniforme, l'énergie cinétique des porteurs par unité de volume n'est pas uniforme. Il apparaît alors un phénomène de diffusion des porteurs, des régions de forte concentration aux régions de faible concentration, ou des régions à haute température vers celles qui sont à basse température. Les courants de diffusion des porteurs valent :

$$\vec{j}_n = q D_n \overrightarrow{grad}(\bar{n}) \text{ et } \vec{j}_p = q D_p \overrightarrow{grad}(\bar{p}) \quad I.35$$

Où n , p sont respectivement les densités d'électron et trous, D_n , D_p sont respectivement les coefficients de diffusion des électrons et des trous sont donnés par la relation d'Einstein :

$$D_n = \mu_n \cdot \frac{K \cdot T}{q} \text{ et } D_p = \mu_p \cdot \frac{K \cdot T}{q} \quad I.36$$

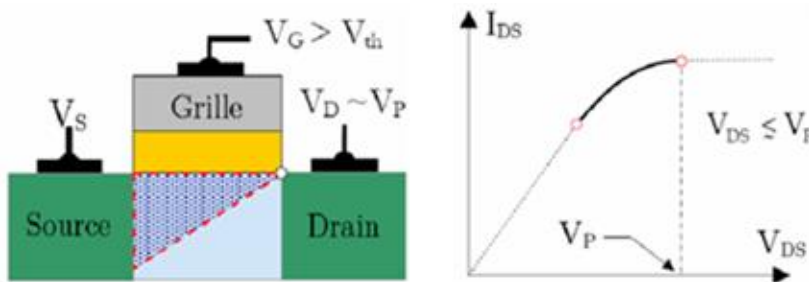


Figure I. 9. Zone de raccordement ou de coude d'équation

$$[45] I_{dsat} = \frac{W}{L} C_{ox} \mu_{eff} \left[(V_g - V_{th}) V_d - \frac{V_d^2}{2} \right]$$

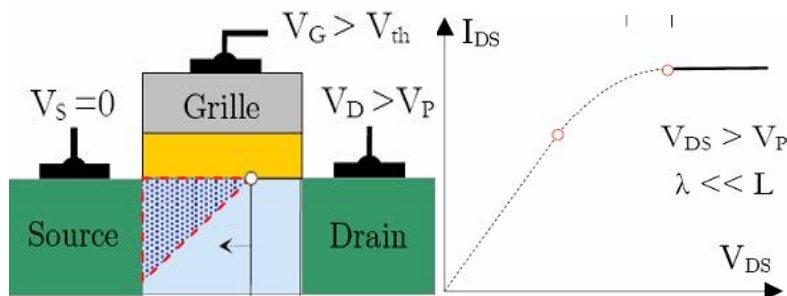


Figure I. 10. MOSFET en régime de Saturation $I_d = I_{dsat} \frac{L}{L - \Delta L (V_d)}$ [45]

Où μ_n , μ_p sont respectivement les mobilités des électrons et de trous.

b) Courant sous le seuil

Sous le seuil, donc pour $V_g < V_{th}$, le courant I_{ds} drain-source n'est pas nul, à cause du gradient de concentration des porteurs minoritaires entre source et drain, alors un courant de diffusion se met en place. En considérant que les porteurs minoritaires ne diffusent que selon une dimension (l'axe x), la densité de courant surfacique entre source et drain associée pour un NMOS est donnée par l'équation classique :

$$j_{diff} = -q D_n \frac{dn(x)}{dx} \quad I.37$$

En intégrant l'équation I-26 sur la surface du flux de courant, notée A, et en considérant que la variation de la densité d'électron est linéaire entre source et drain, on peut écrire l'expression du courant drain-source I_{ds} sous le seuil :

$$I_{ds} = qAD_n \frac{n(0)-n(L)}{L} \quad I.38$$

Avec $n(0)$ et $n(L)$ étant les densités d'électrons respectivement à la source et au drain données par :

$$n(0) = n_0 e^{\frac{q\Psi_s}{KT}} \quad I.39$$

$$n(L) = n_0 e^{\frac{q(\Psi_s - V_d)}{KT}} \quad I.40$$

Pour obtenir l'expression du courant drain-source sous le seuil comme une fonction de V_g et V_d , on commence par substituer les équations (I-28) et (I-29) dans (I-27). ensuite, il faut évaluer la surface du flux de courant de diffusion A_s sa largeur est égale à la largeur du transistor, soit W et son épaisseur W_{dep} est donnée par l'équation (1.19) [49] [50], le potentiel de surface Ψ_s et la polarisation de grille V_g sont par l'équation de Gauss équation (1.14). Après plusieurs étapes de calculs, détaillées notamment dans [51] [52] on obtient l'expression analytique (1.41) du courant I_{ds} drain-source sous le seuil [53] [54].

$$I_d = \frac{W}{L} \left(\frac{KT}{q} \right)^2 \mu_0 C_{dep} \left(1 - e^{\left(\frac{-qV_d}{KT} \right)} \right) e^{\frac{qA(V_g - V_{th})}{KT}} \quad I.41$$

$$\text{Avec } A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{ss}} \quad I.42$$

La transconductance varie proportionnellement au courant $g_m = f(I_d)$ représenté en figure (I.11) selon le modèle de l'équation I.43:

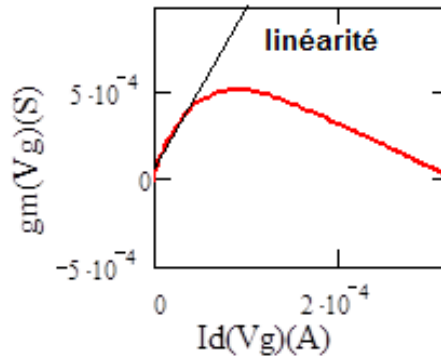


Figure I. 11 Relation linéaire sous le seuil de g_m et I_d selon la représentation $g_m = f(I_d)$

$$g_m = \frac{q}{KT} A I_d \quad I.43$$

Les caractéristiques g_m/I_d en fonction de V_g permet de connaître la densité des états d'interface, si la valeur du rapport des capacités A est connue. L'estimation de la densité d'état d'interface N_{ss} peut être effectuée si on calcule l'inverse de la pente en inversion faible S ("subthreshold swing") représenté en figure I.12 et l'expression est donnée par :

$$S = \left(\frac{\partial V_{gs}}{\partial \log(I_d)} \right)_{V_d = \text{const}} = 2.3 \frac{KT}{q} \left(1 + \frac{C_{dep} + C_{ss}}{C_{ox}} \right) \quad \text{I.44}$$

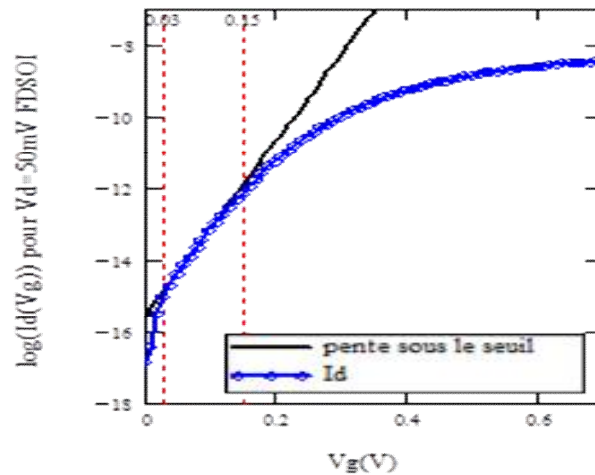


Figure I. 12 Pente sous le seuil FDSOI de 41mV/décade

Dans le cas idéal où C_{dep} est négligeable devant C_{ox} , la valeur de l'inverse de la pente sous le seuil S est proche de la valeur théorique référentielle 60mV/décade. A 300K [55]. Le contrôle de la valeur de la pente sous le seuil est primordial pour exprimer les paramètres indiquant les performances du MOSFET [51], le courant de fuite du transistor, ou I_{OFF} . Du fait de cette limite à 60mV/décade, le courant I_{OFF} va être également très dépendant de la valeur de la tension de seuil V_{th} . La densité d'état d'interface D_{it} est calculée par l'utilisation de l'équation I.45 et la pente S est obtenu dans la région sous le seuil figure (I.12)

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{qS}{2.3KT} - 1 \right) - \frac{C_d}{q^2} \dots (cm^{-2} eV^{-1}) \quad \text{I.45}$$

I.4 La mobilité :

La mobilité μ décrit la facilité des porteurs à se déplacer dans une couche d'un matériau ou dans un dispositif sous l'action d'un champ électrique longitudinal. Elle va donc directement impacter la valeur du courant de drain I_d équation (I.24), elle s'exprime en fonction de la masse

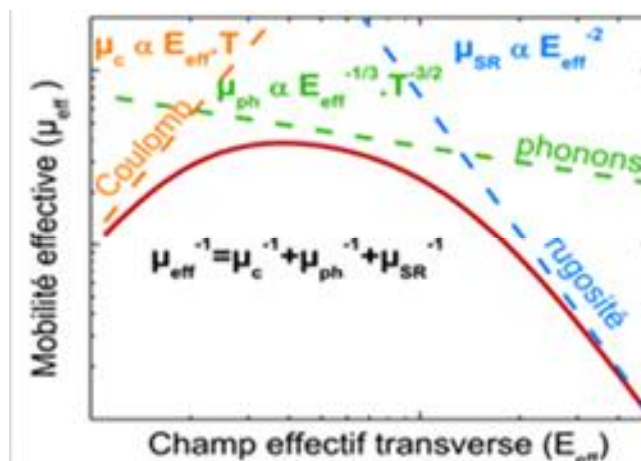


Figure I. 13 Mobilité effective et les différents mécanismes de réduction en fonction du champ électrique transverse et de la température[7].

effective m^* des porteurs et du temps moyen entre deux collisions τ dépendant du dopage, de la température et de l'orientation cristalline (le vecteur d'onde k , de pulsation ω , la masse effective m^* $m^* = \hbar^2 (\frac{\partial^2 E}{\partial k^2})^{-1}$).

$$\mu_{eff} = \left(\frac{q\tau}{m^*} \right)$$

I.46

Le concept de la masse effective permet de décrire le comportement des porteurs en prenant en compte l'influence du cristal dans lequel ils se déplacent. La masse effective dépend de la structure de la bande de valence ou de conduction et varie donc en fonction de la direction du

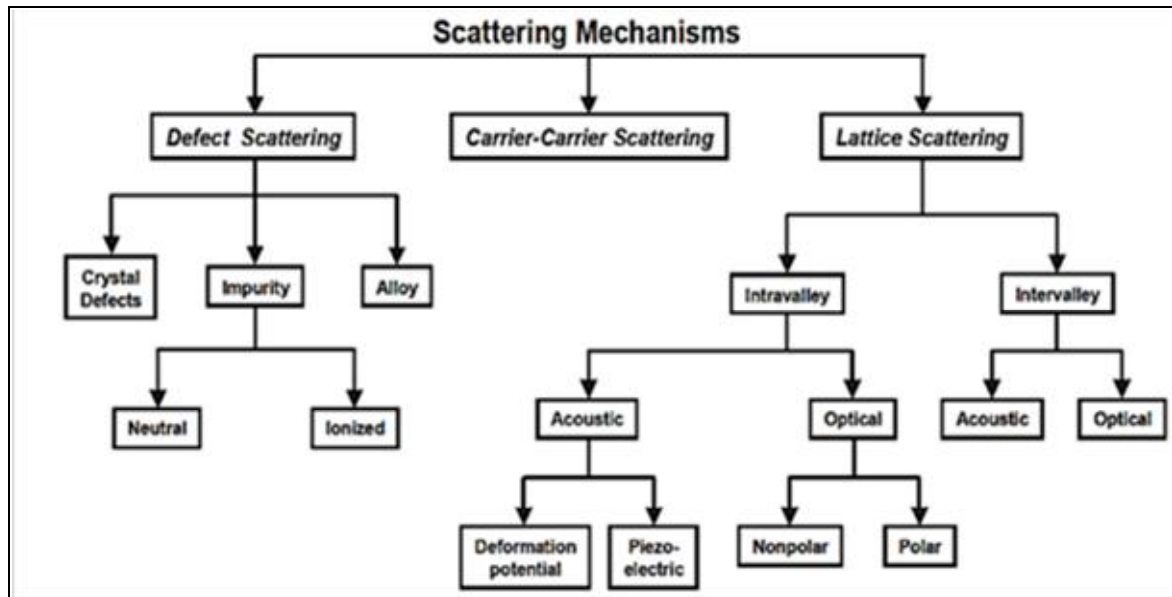


Figure I. 14 Mécanismes de dispersion de la mobilité

transport, dopage, l'orientation du cristal et de la contrainte appliquée. On va distinguer plusieurs mécanismes collisions [21], dégradant la mobilité des porteurs dans la couche d'inversion. Pendant le transport, les porteurs perdent leur énergie par plusieurs mécanismes de dégradations représentée par l'organigramme représenté en figure (I-14) en résumant les principaux phénomènes agissant sur les mécanismes de dégradation notamment la température et le champ électrique transverse déjà montré en Figure (I.13) .[56][57][58][59]

I.4.1 Interaction avec les phonons μ_{ph}

Les collisions avec le réseau cristallin μ_{ph} (interactions avec les phonons acoustiques) [60] [61], ce type de collisions résulte des vibrations du réseau. Pour une température inférieure à 100K, on trouve les phonons acoustiques, produisant des collisions quasi-élastiques à faible champ qui conduisent à une mobilité à l'interface de la forme :

$$\mu_{pha} \propto N_{inv}^{1/3} T^{-1}$$

N_{inv} est la concentration de porteurs de la couche d'inversion, T la température absolue. A des températures plus élevées ($100K \leq T \leq 370K$), on trouve les phonons optiques. Ils conduisent à l'expression de la mobilité suivante : $\mu_{pho} \propto N_{inv}^{1/\tau} T^{-n}$ avec $\tau=3.6$ et $n=1-1.5$, ces deux constantes dépendant essentiellement de l'orientation cristallographique.

I.4.2 Les collisions de nature Coulombienne μ_{cc}

Interactions avec les dopants et les défauts chargés)[62] [63] [64], ce mécanisme est dû aux sites chargés près du canal. Dans la plupart des cas, ces charges sont localisées principalement près de l'interface Si/SiO₂. Ces collisions coulombiennes commencent à se manifester à des températures suffisamment basses lorsque les collisions sur les phonons ne sont pas dominantes. Elles sont importantes en situation de faible inversion, mais deviennent moins effectives lorsque l'on passe en forte inversion à cause de l'effet d'écrantage des charges par les porteurs minoritaires. L'atténuation de la mobilité est donnée par l'expression analytique suivante: $\mu_{cc} \propto N_{cs}^{-1} T$ avec N_{cs} est la concentration de charge de surface, comprenant la charge fixe de l'oxyde et la charge d'état d'interface, plus la charge localisée due aux impuretés ionisées.

I.4.3. Les collisions dues à la rugosité surface μ_{sr}

Ce sont les collisions avec l'interface canal oxyde de grille dans un transistor MOS [65] [66]. Les défauts à l'interface Si/SiO₂ constitue une importante source de collisions. Ces collisions sur la rugosité de surface sont indépendantes de la température et dominantes pour les forts champs électriques. Elles peuvent être modélisées par: $\mu_{sr} \propto E_{eff}$ avec E_{eff} étant le champ électrique transversal effectif, donné par [66].

$$E_{eff} = \frac{q(\eta \cdot N_{inv} + N_{dep})}{\epsilon_{si}} \quad I.47$$

où q est la charge électronique, N_{inv} et N_{dep} les densités de charge des zones d'inversion et de déplétion, ϵ_{si} la permittivité du silicium et η une constante (1/2 pour les e⁻ et 1/3 pour les trous h⁺).

Ils existent aussi des collisions porteurs-porteurs et les collisions sur les impuretés neutres. Le temps de relaxation τ tient compte de toutes les interactions que peuvent subir les porteurs lors du transport selon la loi de Mathiessen [67] [68] [69][70] (qui fait l'hypothèse de mécanismes indépendants).

$$\frac{1}{\mu} = \frac{1}{\mu_c} + \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sr}} \quad I.48$$

Le champ transversal effectif est calculé à partir de la charge d'inversion (Q_{inv}) et de désertion (Q_{dep}) selon la relation I.48.[71] [72] [73] [74] et la variation de la mobilité est représentée par la figure I-15.

$$E_{eff} = \frac{\eta \cdot Q_{inv} + Q_{dep}}{\epsilon_{si}} \quad I.49$$

Avec ϵ_{si} la permittivité du silicium et η un paramètre empirique généralement égal à 1/2 pour les électrons et 1/3 pour les trous. La mobilité à effet de champ μ_{fe} est dérivée de la transconductance g_m donnée par l'expression I-49.

$$\mu_{fe} = \frac{L g_m}{W C_{ox} V_d} \quad I.50$$

La mobilité effective μ_{eff} est la mobilité correspondant aux charges mobiles $Q_n = C_{ox}(V_{gs} - V_{th})$ dans le canal pour les valeurs de V_{ds} faible et fonction de la conductance g_d on négligeant la diffusion des charges dans le volume[72].

$$\mu_{eff} = \frac{L g_d}{W \cdot Q_n} \quad I.51$$

La mobilité universelle représente la mobilité à champ nul μ_0 sous le seuil et la mobilité effective aux champs forts (forte inversion). On introduit deux facteurs d'atténuation de la mobilité dans les forts champs, d'où l'effet de rugosité de surface, expression I.51 et les différentes mobilités sont représentées en figure (I-15).

$$\mu_{inversel} = \frac{\mu_0}{1 + \theta_1(V_g - V_{th}) + \theta_2(V_g - V_{th})^2} \quad I.52$$

I.4.4 Mobilité à effet hall

La caractérisation d'un semiconducteur par effet hall, permet de mesurer la résistivité lorsqu'un champ magnétique B est appliqué perpendiculairement à la direction de transport du courant, la force de Lorentz crée un champ électrique et un déplacement de porteurs selon la règle de la main droite. Une différence de potentiel est obtenue dans le sens perpendiculaire à B et au mouvement des porteurs appelé tension de Hall V_h , de cette expression, on définit, la mobilité de Hall, cette mesure n'est pas adapté aux transistors conventionnels.

$$\mu_H = \frac{|R_H|}{\rho} \dots \text{et} \dots R_H = \frac{d V_H}{B \cdot I} \quad I.53$$

I.4.5. Haute mobilité : du silicium au silicium contraint, ou au germanium

Des solutions devant être trouvées pour améliorer cette mobilité, l'application de contraintes mécaniques a été envisagée. En effet, l'effet de la contrainte sur le silicium étudié depuis plus de 50 ans permet d'agir directement sur la structure du silicium en modifiant la périodicité et les symétries du réseau (elle peut même changer la nature de la maille) [75] [76] [77] [78] [79]. Deux effets fondamentaux en découlent : une levée de dégénérescence des minima des bandes de conduction et de valence et une modification des masses effectives (principalement pour les trous). Par conséquent, suivant l'orientation de ces contraintes, la masse effective des porteurs

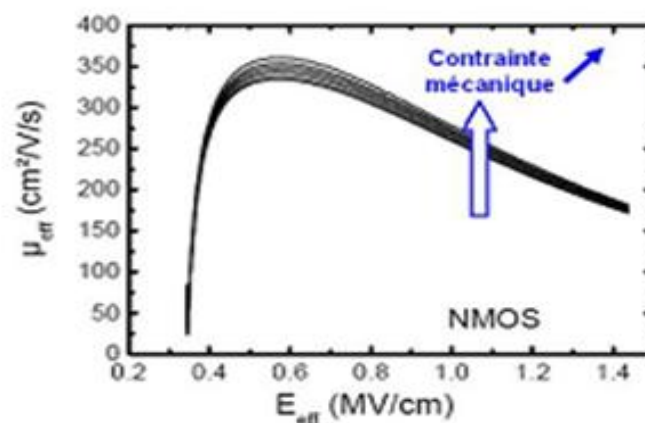


Figure I. 15 Mobilité effective du transistor NMOS sous contraintes mécanique[67]

ainsi que certaines interactions sont réduites. L'application d'une contrainte mécanique peut entraîner une augmentation de la mobilité selon les valeurs expérimentales indiquées en figure (I.15),

Typiquement, les tranchées d'isolation (*STI*) et la grille génèrent des contraintes au niveau du canal du transistor qui auront, selon ses dimensions, plus ou moins d'effets sur le transport des porteurs. L'application de contraintes supplémentaires est également possible, la difficulté réside dans le contrôle de leur intensité (contrainte), mais aussi de leur direction et de leur sens qui selon que des électrons ou des trous sont impliqués peuvent avoir des effets antagonistes sur la mobilité. En particulier, des bénéfices sur les performances ont été obtenus.

En recouvrant les transistors d'une couche d'un matériau aux propriétés remarquables qui permet d'induire des contraintes en compression (CESL) ou en tension (SMT).

En faisant croître un canal de Si sur quelques Angströms d'épaisseur sur une couche de type $\text{Si}_{(1-x)}\text{Ge}_x$ préalablement créée par épitaxie. Du fait du désaccord de maille existant entre le Si et le SiGe, la couche de Si est alors contrainte. Ces techniques peuvent permettre d'améliorer la mobilité de façon significative. Notamment, le premier type de contraintes a été introduit pour la technologie 65nm. Quant à la solution la plus directe qui consisterait à remplacer le silicium par du germanium, un certain nombre d'obstacles portant notamment sur l'oxyde de grille à lui associer sont encore à surmonter.

I.4.6 Mobilité et vitesse de saturation

Sous l'application d'un champ électrique longitudinal $E_{//}$ entre la source et le drain, les porteurs se déplacent avec une vitesse de dérive v définie par $v = \mu.E_{//}$. Cependant, à partir d'une certaine valeur du champ $E_{//}$ ($\sim 10^4 \text{V/cm}$ dans le silicium), la proportionnalité entre la mobilité et la vitesse n'est plus valide et la vitesse sature à une valeur v_{sat} ($\sim 10^7 \text{cm/s}$ dans le silicium) (figure I.16). Cette limite représente le point à partir duquel l'énergie cinétique des porteurs sous l'influence du champ électrique est telle que la dégradation de mobilité associée à l'interaction électron-phonons (τ dépendant de l'énergie des porteurs) domine l'accroissement du champ électrique. Le champ électrique longitudinal dans les dispositifs actuels étant largement supérieur à 10^4V/cm (sur les technologies actuelles), le champ longitudinale moyen peut être estimé à $E_{//} = V_{\text{DD}}/L_g$ à 2.10^5V/cm , il devient légitime de se poser la question de l'intérêt du paramètre mobilité et de remplacer l'équation (I.34) par l'expression I.54.

$$I_{\text{dsat}} = C_{\text{ox,eff}} W (V_{\text{gs}} - V_{\text{th}}) v_{\text{sat}} \quad \text{I.54}$$

v_{sat} étant approximativement égale à 10^7cm/s dans le silicium.

L'impact de la mobilité effective, extraite en régime ohmique (*qui représente une mobilité moyenne le long du canal*), à l'aide du courant de drain en régime de saturation, reste un sujet de controverses. Ceci provient notamment de la difficulté à caractériser la mobilité des porteurs sur des transistors de longueur de grille inférieure à 100nm.

Des progrès récents en terme de caractérisation de la mobilité [80][81] [82] pour exprimer l'impact du dopage élevé sur les performances des canaux courts [83] et la fabrication de nouveaux dispositifs par l'intégration des matériaux à haute mobilité dans le canal et permettant néanmoins d'avancer dans la compréhension, [84].

La mobilité des porteurs joue toujours un rôle fondamental en régime de saturation et que l'augmentation de la mobilité continue à être extrêmement bénéfique pour le courant I_{ON} [85] [86]. Ces résultats indiquent que la vitesse des porteurs dans les dispositifs actuels est

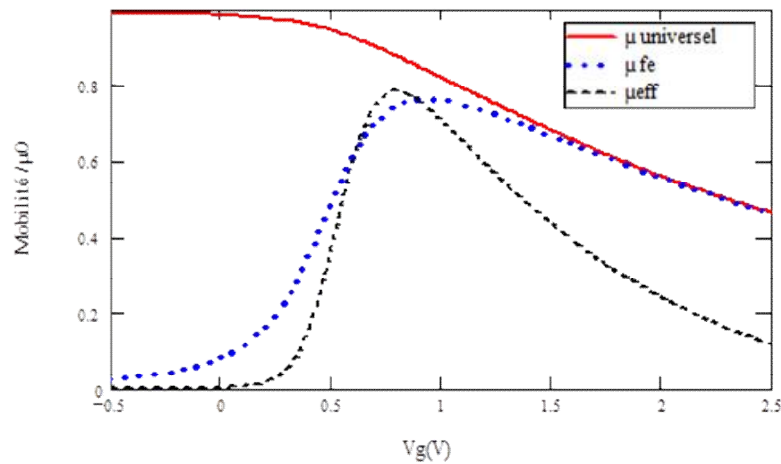


Figure I. 9 Représentation des Mobilités réduites par rapport μ_0 Mobilité universelle, mobilité à effet de champ et mobilité effective

gouvernée à la fois par la mobilité et la vitesse de saturation figure (I.17).

Le champ électrique dans le canal côté source en régime de saturation resterait ainsi inférieur au champ $E_{//sat}$ même pour des dispositifs de longueur de grille inférieure à 50nm. A partir des résultats expérimentaux sur des transistors courts, la vitesse des électrons côté source

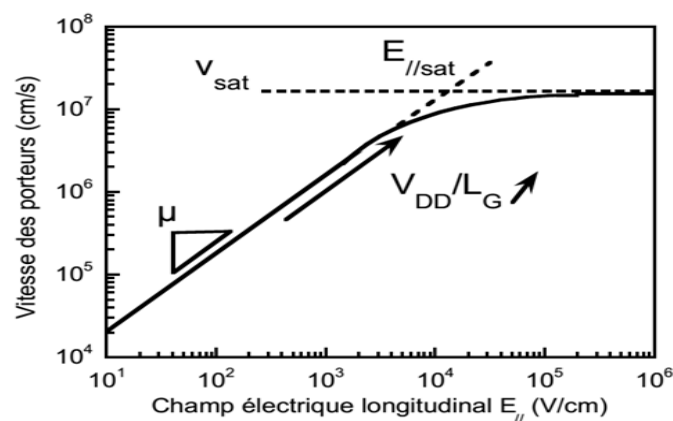


Figure I. 8 Evolution de la vitesse des porteurs avec en fonction du champ électrique longitudinal $E_{//}$ appliqué [6].

est assez nettement inférieure à 10^7 cm/s (de l'ordre de $6 \cdot 10^6$ cm/s pour $L_g=25$ nm). Signalons par ailleurs que la vitesse de saturation n'est pas nécessairement une limite infranchissable puisqu'il a été mis en évidence des phénomènes de survitesse lorsque l'énergie des porteurs augmente très rapidement (*transport hors-équilibre*). Néanmoins, il a été montré qu'un phénomène de survitesse côté source (pour être bénéfique au courant I_{dsat}) était associé expérimentalement à des valeurs de DIBL très élevées. L'effet bénéfique du phénomène de survitesse sur le courant I_{dsat} des transistors actuels n'est donc aujourd'hui pas clairement démontré.

I.5 Les défis de la miniaturisation

Plusieurs paramètres caractérisent le fonctionnement du MOSFET essentiellement obtenu par le courant de drain, décrit par l'équation principale (I.24). La stratégie adoptée jusqu'à présent pour améliorer les performances, l'optimisation de phénomènes parasites et l'exigence d'une haute fiabilité se résument particulièrement à augmenter le rapport I_{on}/I_{off} , communément utilisé comme figure de mérite, le courant I_{on} peut être amélioré par la réduction de la longueur de grille. La courbe représentée en figure (I.18) montre par simulation la variation du courant I_{on} en fonction de L_g . Pour minimiser le temps de commutation τ , qui désigne le temps nécessaire à un transistor pour passer de l'état bloqué à un état passant, afin de monter en fréquence et concevoir des circuits répondant aux exigences du calcul numérique (*traitements numériques de l'information en temps réel*).

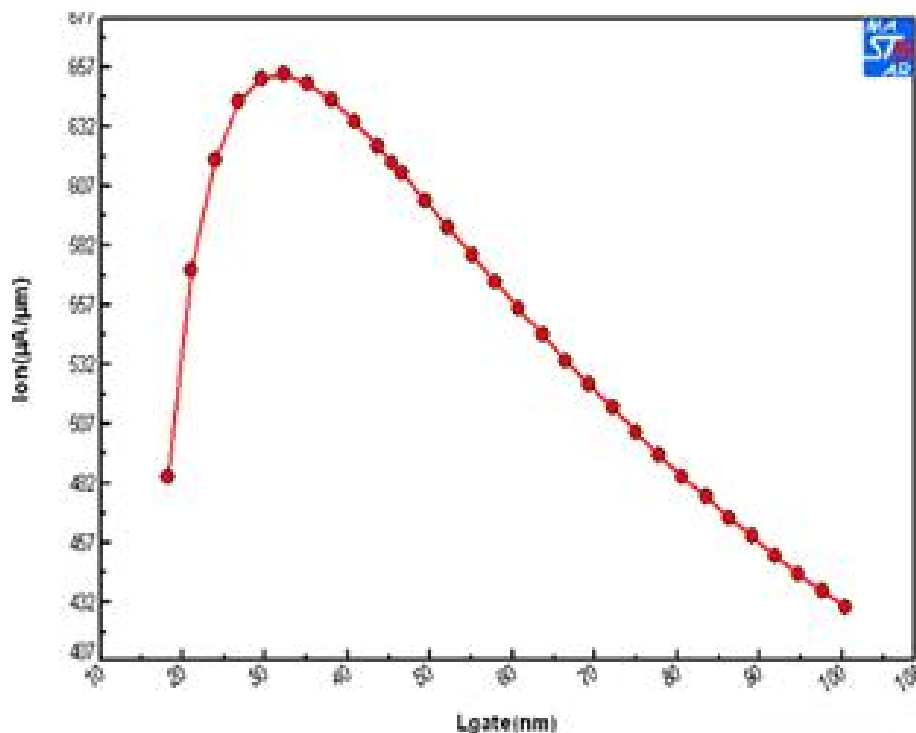


Figure I. 10 Effet de la longueur du canal sur le courant I_{on} [7]

La miniaturisation de la taille du dispositif est avantageuse du point de vue densité d'intégration au sein d'un circuit intégré. Elle consiste à diminuer progressivement la longueur de grille L_G , pour augmenter le courant I_{on} . Mais il faut adapter les autres paramètres pour

minimiser les phénomènes parasites induits [87], communément appelés effets canaux courts. Par contre, il faut veiller parallèlement à ce que le courant I_{off} à l'état bloqué et la conductance de drain g_d en régime source de courant soient maintenus à des niveaux acceptables et le rapport V_{th}/V_{DD} doit également être bien maîtrisé

Ces objectifs ne peuvent cependant être atteints que si l'on respecte des règles bien précises

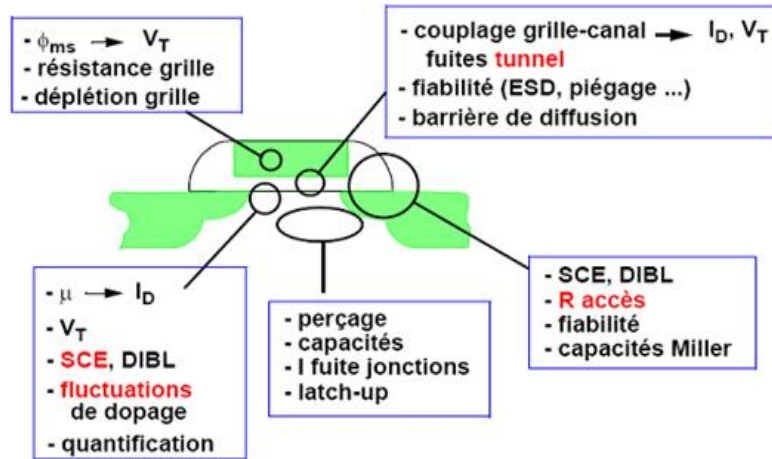


Figure I. 19 les effets parasites causés par la miniaturisation du MOSFET [7]

de mise à l'échelle des MOSFETs, notamment les modifications des autres paramètres régissant le fonctionnement du transistor (t_{ox} , X_j , profil de dopage du substrat N_a (N_d), la nature du canal et de grille...). Comme nous allons le voir désormais, ces règles consistent essentiellement à préserver le contrôle du couplage capacitif par la grille ainsi que la formation du canal de conduction entre source et drain

I.5.1. Les effets de la miniaturisation

La description de ses différents régimes de fonctionnement permettra, à travers différentes caractérisations électriques, d'extraire des propriétés importantes des transistors conçus. Cependant, au sein des circuits logiques CMOS, le fonctionnement des transistors est limité par le temps de propagation des porteurs entre source et drain ainsi que la puissance consommée [7] [88]. En effet, pour son fonctionnement, le circuit dispose généralement d'un seul niveau d'alimentation (V_{DD}) qui est choisi supérieur à V_{th} ($V_{dsat} = V_g - V_{th}$) pour le cas de fonctionnement en mode saturé. Ainsi que l'ensemble des fuites introduisant des phénomènes parasites sont résumés en figure (I.19).

La description fonctionnelle d'un inverseur, qui est le circuit élémentaire de la logique CMOS, permet alors de rendre compte des configurations vues par les transistors. Au sein de ce circuit, le NMOS et le PMOS basculent alternativement d'un état 0 (0V) à un état 1 (V_{DD}). Ces deux niveaux correspondent respectivement à un fonctionnement en régime bloqué et en régime passant en mode saturé. On définit ainsi les courants caractéristiques I_{on} , I_{off} et les puissances qui sont donnés par (+ pour le NMOS, - pour le PMOS).

$$I_{ON} = I_{dsat}(V_g = \pm V_{dd}, V_d = \pm V_{dd}) \quad I.55$$

$$I_{off} = I_{d-sub}(V_g = 0, V_d = \pm V_{dd}) \quad I.56$$

$$P_{ON} = V_{DD} \cdot I_{ON} \quad \text{et} \quad P_{off} = V_{DD} \cdot I_{off} \quad \text{I.57}$$

$$\tau = \frac{C_{ox1} \cdot V_{DD}}{I_{ON}} \quad \text{I.58}$$

$$C_{ox1} = \frac{\epsilon_{ox}}{t_{ox}} \cdot W \cdot L \quad \text{I.59}$$

où C_{ox} est la capacité d'oxyde de la grille défini par unité de surface et V_{DD} est la tension d'alimentation définie précédemment. Les niveaux de courants (I_{on} , I_{off}) sont utilisés comme indicateurs de performances électriques. Le courant I_{on} qui est représentatif de la vitesse de

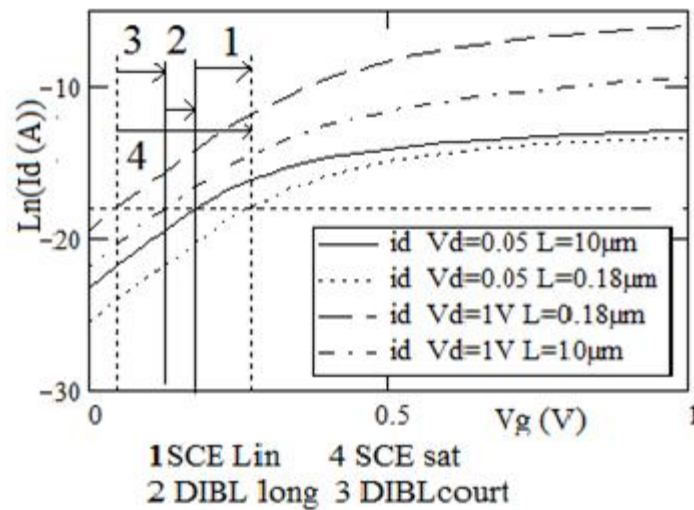


Figure I. 20 Effet SCE et DIBL pour une technologie 45nm

commutation des circuits doit être maximisé, alors que le courant I_{off} qui rend compte de la puissance statique dissipée doit être minimisé.

I.5.2.Effet canaux courts

La réduction de L_G s'accompagne de l'apparition d'effets électrostatiques parasites, dits de "canal court", qui perturbent le bon contrôle de la conductivité entre source et drain[89] par V_{gs} . Par ailleurs le débordement des ZCE source-substrat et drain-substrat sous la grille augmente en valeur relative par rapport à L_G quand la valeur de la longueur de grille diminue. Cela occasionne un abaissement de la barrière de potentiel en entrée de canal et on perd le contrôle du canal obtenu par le potentiel de grille V_g en présence de charges fixes dans la zone de désertion sous la grille SCE. En conséquence, il se produit dans le régime bloqué un phénomène de percement en surface analogue au percement en volume précédemment décrit, la conductance de drain g_D augmente en régime source de courant, et enfin la tension de seuil V_{th} diminue (*en valeur absolue*) ; cet effet dit *Roll off (SCE)* figure I.20. Ces phénomènes sont d'autant plus importants que V_d augmente (*en valeur absolue*) [90] [91].

Les effets de canal court que nous venons d'évoquer tendent donc à dégrader la commande de la grille, à augmenter fortement le courant I_{off} , et la conductance de drain g_d en régime source de courant, et induisent une dépendance de la tension de seuil V_{th} avec le potentiel de drain V_d . Ces conséquences peuvent être catastrophiques pour le bon fonctionnement d'un circuit CMOS[28][92].

I.5.3. Effet de partage de charge (Charge Sharing ou Roll-Off)

Quand on rapproche le drain de la source on rend également plus proches l'une de l'autre les zones de charge d'espace (ZCE) drain-substrat et source-substrat. Normalement, ces ZCE sont un obstacle au courant vers le substrat, les porteurs majoritaires des caissons de source et drain voient une barrière de potentiel qui les empêche de diffuser vers le substrat (et réciproquement pour les porteurs majoritaires du substrat vers les caissons) [93] [94].

Pour des tensions de drain élevées, les zones de déplétion de part et d'autre du canal peuvent

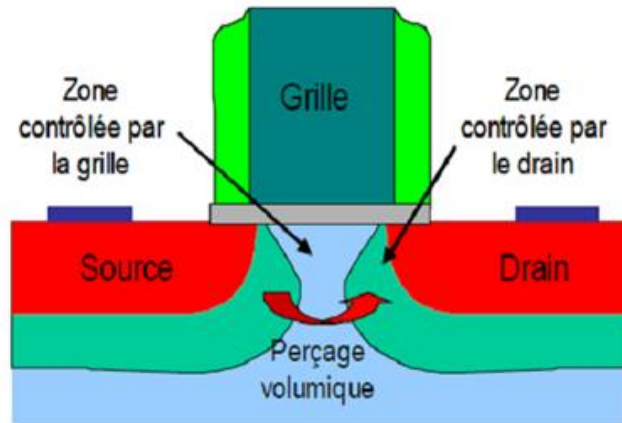


Figure I. 11 Effet du perçage volumique [80]

se toucher, dans ce cas. Cette situation extrême porte le nom de perçage (punchthrough en anglais) figure (I.21) [95]. Les porteurs majoritaires de la source (les électrons dans le cas d'un transistor MOS de type N) peuvent être injectés directement dans le canal entièrement déplétée et collectés par le drain. Le phénomène est essentiellement lié à la hauteur de la barrière de potentiel entre la source et le drain à travers le volume du substrat. Il est fortement dépendant de l'extension des régions de déplétion sous le canal. Le punchthrough peut être minimisé par un dopage adéquat

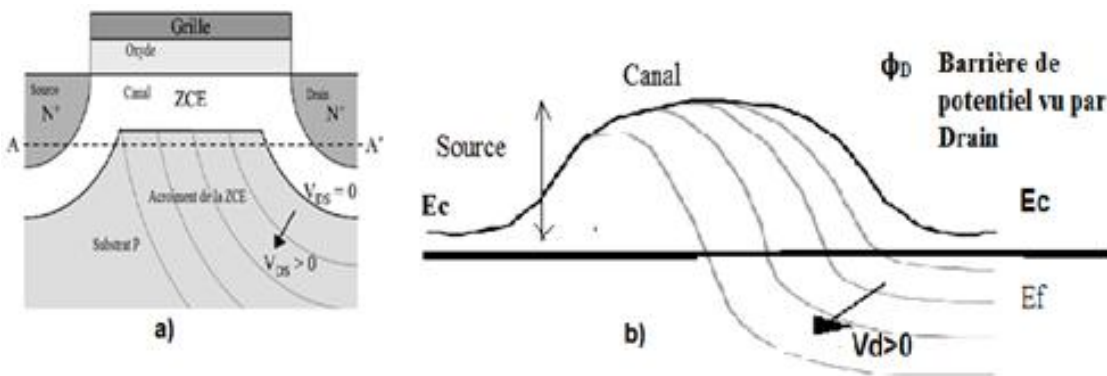


Figure I.22 Illustration de l'effet de partage de charges dans la zone du canal et de l'abaissement de la barrière.

I.5.4.Effet d'abaissement de la barrière du drain DIBL

Quand la tension V_{ds} augmente, la ZCE drain substrat s'étend et peut, pour L_G faible, rejoindre la ZCE source substrat. La barrière de potentiel à la frontière source-substrat diminue (DIBL) alors comme illustré sur les Figures (I.22). Les porteurs majoritaires de la source peuvent dans ces conditions diffuser dans le substrat puis dériver vers le drain à travers la ZCE drain-substrat polarisée en inverse [96]. Un courant de fuite entre source et drain apparaît donc via le substrat; c'est un courant de diffusion non contrôlé par la grille ce qui favorise le phénomène de percement en volume.

L'effet DIBL est attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la jonction source/canal. Ce phénomène est très critique pour les transistors à canaux courts et donne lieu à des courants de fuite et des décalages de tension de seuil. Il a été démontré analytiquement que les effets de canal court sont maintenus à un niveau tolérable, lorsque la longueur de grille est de trois à cinq fois supérieure à une longueur critique λ .

I.5.5.Effet inverse de canaux courts (RSCE)

Une solution est introduite pour minimiser l'influence des effets de canal court est d'augmenter globalement le dopage du substrat quand L_G diminue pour limiter les extensions des ZCE source-substrat et drain-substrat. Cette solution trouve cependant rapidement ses limites, car elle influe fortement sur la valeur de V_{th} et sur tout, elle a des conséquences néfastes

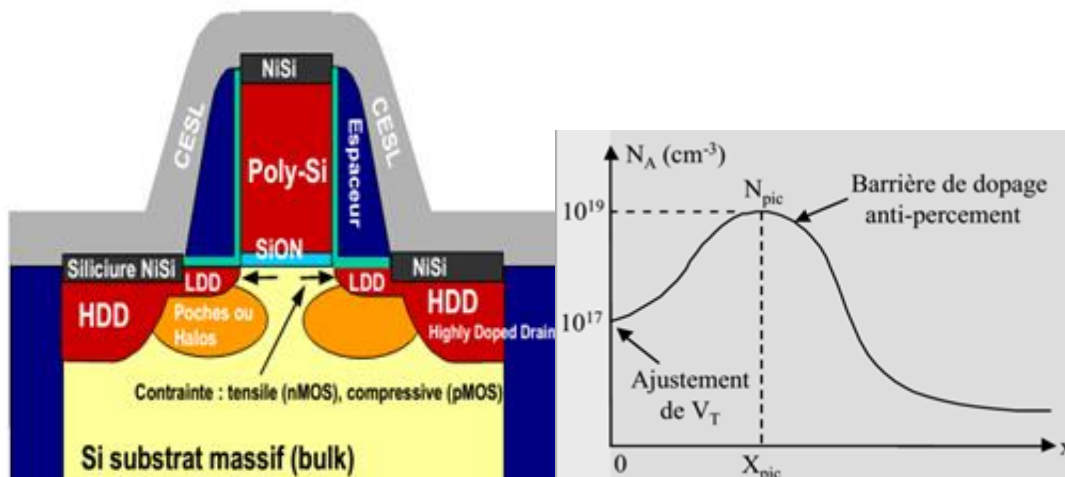


Figure I. 23. Solution par dopage du canal a) dopage par implantations de Halos ou Poches

b) dopage rétrograde par ajustement de V_{th}

sur la mobilité des porteurs de charges dans le canal du fait de l'accroissement du nombre de chocs entre porteurs et impuretés ionisées [97] [98]. On utilise plutôt des architectures à dopage rétrograde, comme illustré sur la Figure (I.23), le dopage à l'interface oxyde/Si est choisi pour obtenir la valeur de V_{th} souhaitée et reste d'un niveau "raisonnable" pour ne pas trop réduire la mobilité dans le canal, et on réalise une couche enterrée (par implantation ou épitaxie) sur toute la longueur du canal avec une concentration en dopant (de même type que celui du substrat) nettement plus importante pour limiter l'extension de la ZCE du côté substrat (les effets de canal court SCE) [80].

Pour ajouter un degré de liberté à la conception du transistor, on peut également implanter des poches ou "halos" de fort dopage près des caissons de source et de drain. La profondeur X_j des caissons de source et drain est également un paramètre important pour la gestion des effets de canal court. Il faut en effet réduire X_j en même temps que L_G de façon à limiter l'augmentation du courant de fuite dû au percement en volume. Une faible valeur de X_j est également favorable pour enrayer la chute de V_{th} par effet de canal court. Outre les problèmes de réalisation technologique, cette solution peut cependant avoir un effet néfaste sur les performances électriques à l'état passant des MOSFET.

I.5.6 Courant de fuite du drain induit par la grille (GIDL)

C'est un courant parasite, dû essentiellement au champ électrique transverse entre grille et drain et l'effet tunnel de bande à bande (*Band-to-Band Tunneling BTBT*). Il est amplifié pour les valeurs négatives de V_g figure I.24. Il apparaît dans les zones de recouvrement entre la grille et le drain fortement polarisées et où il règne un très fort champ électrique local. Cet effet contribue à l'augmentation du courant I_{off} . L'équation (I.11) donne son expression analytique.

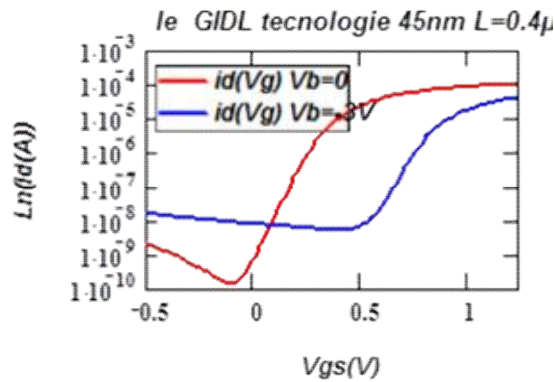


Figure I. 12 effet GIDL

$$J_{BTBT} = C.q \left\| \overline{E} \right\|^{\sigma} \exp\left(-\frac{\beta}{\left\| \overline{E} \right\| V_j}\right)$$

I.60

Avec C et β deux constantes liées au matériau et $\left\| \overline{E} \right\|$ la valeur du champ électrique local et V_j la tension aux bornes de la jonction

I.5.7 Résistances d'accées

La réduction de X_j entraîne l'augmentation des résistances série $R_{série}$ au canal à la traversée des caissons de source et drain [99] [100] [101] [102] [103]. Pour L_G grand, la résistance du canal R_{canal} est bien plus importante que $R_{série}$ et dans ce cas la diminution de X_j est sans conséquence sur I_{on} figure (I.25). Mais si on réduit L_G , R_{canal} diminue et peut devenir du même ordre de grandeur que $R_{série}$. Des chutes de potentiel apparaissent alors dans les caissons de source et drain, réduisant la tension effective appliquée aux bornes du canal, d'où une réduction notable de I_{on} . Pour éviter cela, il convient notamment d'augmenter le dopage des caissons de source et drain quand L_G diminue. On améliore également le caractère ohmique des contacts

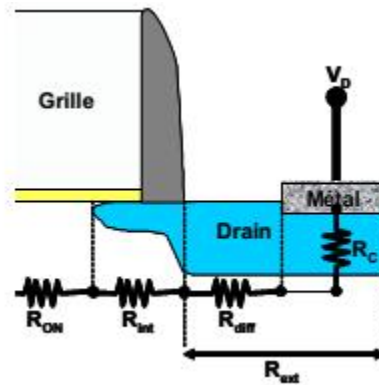


Figure I. 25 Coupe d'un transistor MOSFET présentant les différentes composantes des résistances série. [80]

métal/Si par réalisation de siliciures de Ti ou Co à cette interface. On peut enfin envisager de surélever les caissons de source et drain par rapport au niveau de l'interface oxyde/canal.

Les résistances séries entraînent la diminution des tensions effectives appliquées au transistor. Si V_G et V_D sont respectivement les tensions appliquées aux électrodes de grille et du drain de structurer transistor, les tensions effectives sont données par les relations (I.58) et (I.59):

$$R_{sd} = R_s + R_d \quad \text{I.61}$$

$$V'_{gs} = V_{gs} - I_{ds}R_s \dots \dots \dots V'_{ds} = V_{ds} - I_{ds}R_{sd} \quad \text{I.62}$$

I.6.Solutions aux effets de la miniaturisation

La miniaturisation des paramètres géométriques du transistor fait apparaître des effets parasites. Afin d'améliorer les performances du transistor, un recours à l'intégration de nouveaux matériaux qui permettent de donner un nouveau souffle à la loi de Moore.

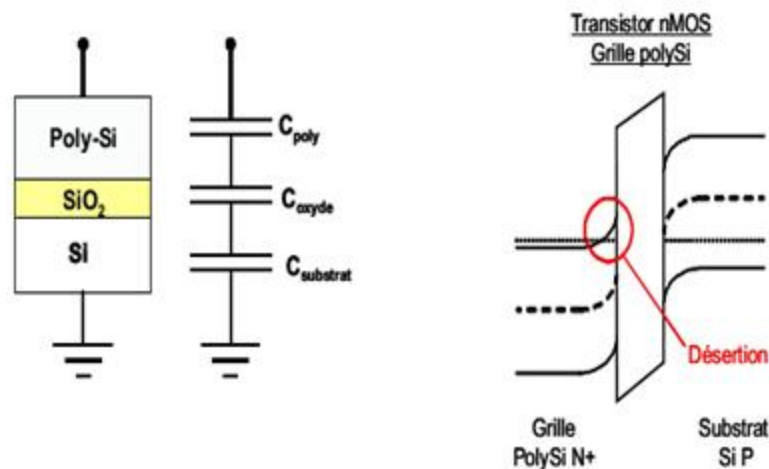


Figure I. 13 Impact de la désertion du Poly-Si sur la capacité totale du dispositif. Si le dopage de la grille est trop faible, la valeur minimale de la capacité de la zone déplétée dans la grille devient comparable à la capacité de l'oxyde de grille. Diagramme de bande d'une structure nMOS avec grille PolySi: PolySi N+/oxyde/substrat Si P. [80]

I.6.1. Le métal de grille, polydésertion de grille et effets quantiques [104]

La grille d'un transistor est en polysilicium dopé ($RS \sim 60-100 \Omega/\square$) tandis que le drain et la source sont eux en silicium monocristallin dopé ($RS \sim 80-120 \Omega/\square$). La résistance de ces éléments a un impact important sur les performances du transistor en régime statique mais aussi dans son comportement en fréquence par l'intermédiaire du temps de réponse τ des interconnexions. La miniaturisation impose de minimiser ces résistances, dès les technologies CMOS 100nm. La solution choisie a été de former un matériau de faible résistivité comme le siliciure (alliage Métal/Silicium) sur la grille et les régions de source et de drain [104]. Ceci permet de préserver l'intégrité de l'interface Poly-Si/SiO₂ ainsi que le travail de sortie du Polysilicium tout en restant compatible avec le budget thermique des technologies [105].

La désertion de grille correspond à la zone désertée dans le polysilicium de grille le long de l'interface avec l'oxyde. Cette désertion en porteurs dans le polysilicium de grille correspond à l'existence d'une charge image positive liée au régime d'inversion côté canal. Elle affaiblit l'action de la grille sur le canal d'inversion par diminution de la capacité totale du système grille/oxyde/silicium figure (I.26).

Cette couche de désertion augmente artificiellement l'épaisseur effective de l'oxyde de grille de quelques Angströms qui correspondent à la courbure de bande dans la grille à l'interface avec l'oxyde.

La minimisation de la désertion tient dans l'augmentation de la quantité de dopants dans la grille à l'interface avec l'oxyde. Cependant, pour des dopages de grille trop importants, et notamment pour le bore dopant les grilles des PMOS, on peut observer une diffusion des dopants dans l'oxyde, voire même dans le canal. En effet, le bore a plus tendance à pénétrer dans l'oxyde que les dopants de type N, ce qui explique pourquoi le dopage de grille PMOS activé avoisine les $6 \cdot 10^{19} \text{at/cm}^2$, alors que celui des NMOS est de 10^{20}at/cm^2 .

Il est possible de remédier à ce problème en utilisant des oxydes nitrurés qui ralentissent cette diffusion. Mais, dans le meilleur des cas, il a été montré que même pour un dopage élevé, la désertion ne pourra pas descendre en dessous de 4Å pour les nMOS et 6Å pour les pMOS, du fait de la saturation de la concentration active des dopants. Ces valeurs correspondent à une fraction de plus en plus importante de l'épaisseur physique d'oxyde dans les technologies récentes et il va devenir nécessaire de s'affranchir de cette polydésertion. [105].

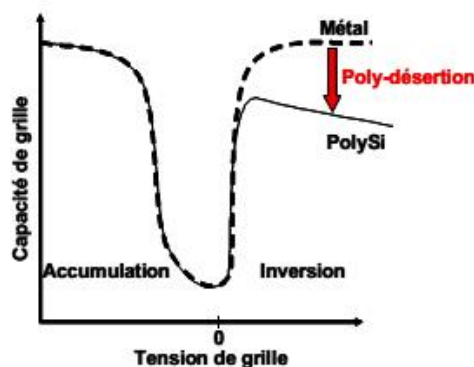


Figure I. 14 Impact de la désertion de grille sur les caractéristiques C-V [6]

Pour des oxydes inférieurs à 50\AA , cet effet est visible sur une caractéristique $C(V)$ Figure (I.27) par une polydésertion. En effet, en régime d'inversion, l'épaisseur équivalente totale de l'oxyde de grille vaut : $T_{\text{oxeq}}=T_{\text{ox}}+T_{\text{dep}}$. Ce qui se traduit par une perte de capacité en inversion par rapport au cas idéal de la grille métallique, sans polydésertion.

Ajoutons à cela que, lorsque le MOSFET est en fonctionnement, les porteurs sont attirés vers l'interface oxyde-semiconducteur. Les bandes énergétiques de conduction et de valence se courbent sous l'effet de la polarisation de grille, confinant les porteurs dans un puits de potentiel, perpendiculaire au plan de l'interface. Ainsi, lorsque le dopage est suffisamment fort, la largeur de ce puits peut être de l'ordre de grandeur de la longueur d'onde associée aux porteurs, induisant une discrétisation des niveaux d'énergie qui leur sont associés, on parle d'effets quantiques. La distribution de porteurs dans le substrat ne peut plus être considérée comme un gaz électronique 3D, mais comme un gaz 2D. Le résultat est que le pic des porteurs

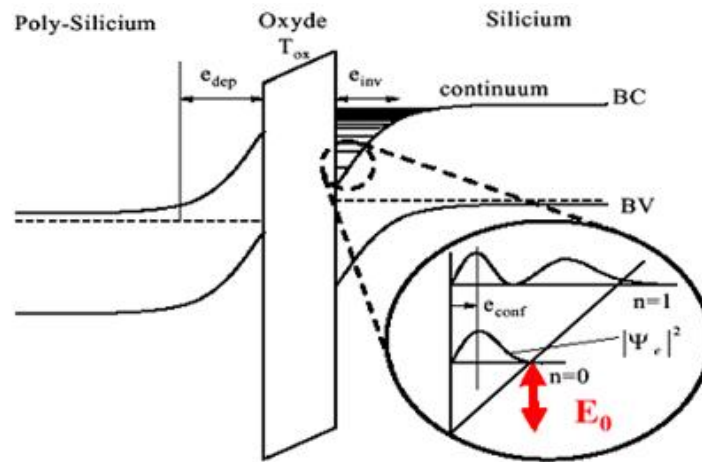


Figure I. 28 Courbure de bande d'un transistor MOS en régime d'inversion. Le régime de désertion dans le polysilicium augmente l'épaisseur effective de l'oxyde e_{dep} . Dans le canal, la courbure de bande provoque la quantification des niveaux d'énergies à l'origine des effets quantiques. Le pic de densité de probabilité de présence des électrons est alors éloigné de e_{conf} de l'interface oxyde-silicium]. [105].

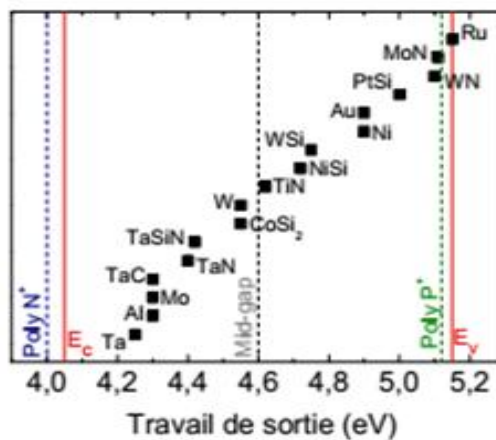


Figure I. 15 Travaux de sortie de différents matériaux de grille (polysilicium dopés, métaux, alliages, siliciures) reportés par rapport aux niveaux des bandes de conduction et de valence du silicium [105].

n'est plus situé exactement à l'interface oxyde-semiconducteur mais est décalé de quelques angströms à l'intérieur du substrat. Il apparaît ainsi une zone libre de porteurs à l'interface, e_{inv} , appelée « Darkspace » qui vient également augmenter l'EOT en inversion du dispositif (Figure I.28).

L'électrode de grille polysilicium peut également être simplement remplacée par une couche métallique déposée en phase vapeur par voie chimique ou physique (CVD ou PVD). Ce type de grille permettrait de résoudre le problème de polydéplétion (*instabilité de la tension de seuil*) et d'augmenter la fiabilité, réduite par les dopants de grille; mais un certain nombre de critères doivent être respectés. L'approche la plus simple est d'utiliser un matériau métallique "Mid-gap", dont le travail de sortie place son niveau de Fermi exactement au milieu du gap du silicium, tel que le TiN (nitrure de titane). Des exemples de matériaux de grille avec leurs travaux de sortie associés sont présentés figure I.29

Le choix du matériau métallique doit tout d'abord répondre à un critère de stabilité vis-à-vis de l'oxyde. En effet, les métaux étant facilement oxydables, l'une des difficultés réside dans la consommation du diélectrique. A ce titre, ce phénomène étant activé thermiquement, les matériaux réfractaires tels que le Titane et le Tantale dont les points de fusion sont élevés seront, du fait de leur capacité à endurer de forts budgets thermiques, de bons candidats. De plus, les matériaux doivent être compatibles avec l'oxyde de grille afin de ne pas engendrer une contamination qui aurait des répercussions sur le comportement électrique[3] [6] [106].

Enfin, afin d'ajuster les tensions de seuil, une solution à deux matériaux de grille (par exemple le Carbure de Tantale (TaC) pour le NMOS et le Nitrure de Molybdène (MoN) pour le PMOS) pourrait être préférée à une solution de type mid-gap (comme le Nitrure de Titane (TiN) ou le tungstène (W)) ce qui compliquerait les étapes de dépôt et de gravure impliquant l'électrode de grille.

I.6.2. L'oxyde de grille et le courant de fuite

Pour conserver, voire augmenter le compromis I_{ON}/I_{OFF} et ainsi satisfaire les spécifications sévères des prochains nœuds technologiques, la diminution de l'épaisseur de diélectrique de grille est aussi indispensable. Avoisinant le nanomètre pour la génération du nœud technologique 65nm, ces oxydes ultraminces de quelques monocouches atomiques soulèvent bien des difficultés. Du point de vue technologique, l'uniformité et de la reproductibilité de

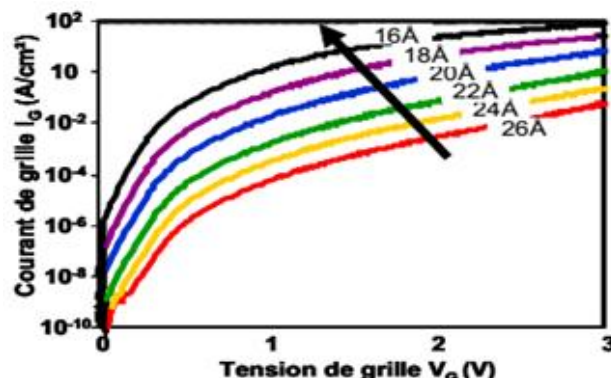


Figure I. 30 Courant de grille en fonction de la tension de grille. Le courant de fuite de grille augmente avec la diminution de l'épaisseur d'oxyde[107]

telles couches, fait croître les fuites de grille, avec la réduction de l'épaisseur de diélectrique, qui vont être problématiques. En effet, le courant à travers l'oxyde, dit « courant de grille » ou « fuite de grille » n'est plus négligeable. Il peut alors devenir essentiellement contrôlé par le

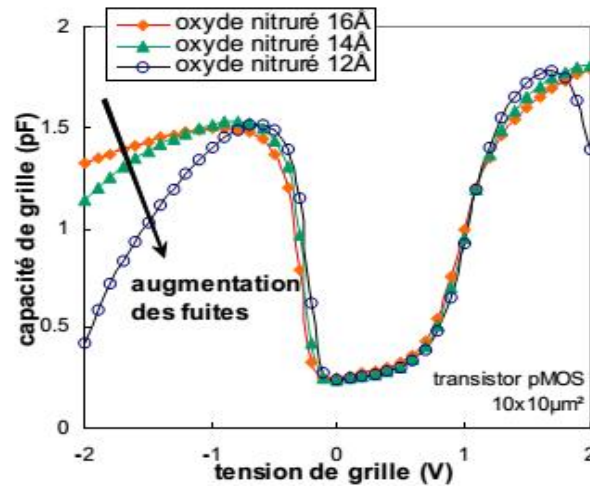


Figure I. 31 Courbes C-V mesurées sur des oxydes minces. L'augmentation des fuites à travers la grille se traduit par une chute de la capacité dans les régions d'accumulation et d'inversion forte [107]

courant tunnel transitant à travers l'oxyde de grille, compromettant ainsi la fonctionnalité du transistor et conduisant à une forte consommation de puissance. Ce courant de tunnel direct est généré par les électrons d'énergie inférieure à la hauteur de barrière pouvant traverser la totalité du diélectrique sans transiter par la bande de conduction du diélectrique. Il va augmenter avec les épaisseurs des diélectriques de plus en plus « petites » Figure (I. 30).

Si ce courant tunnel s'avère problématique pour le bon fonctionnement des dispositifs, il n'en perturbe pas moins la caractérisation de ces oxydes « minces ». En effet, ces fuites vont venir altérer la courbe de capacité de grille en fonction de la tension de grille (C-V), principal outil de caractérisation de l'empilement de grille figures (I.31)

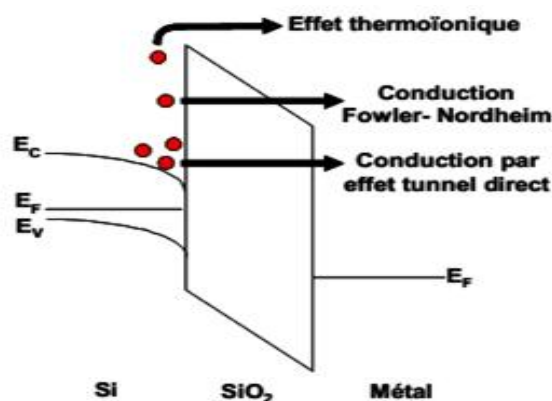


Figure I. 32 Diagramme de bande d'énergie d'une structure MOS et principaux modes de conduction: effet thermoïonique, conduction Fowler-Nordheim et conduction par effet tunnel direct[107]

Alors que l'épaisseur du dioxyde de silicium conventionnel (SiO_2) est réduite à quelques couches atomiques, les fuites par effet tunnel direct représentent désormais un défi. L'épaisseur physique minimale de SiO_2 représente une monocouche de l'ordre de 4Å . Il est difficile

d'envisager des oxydes encore plus minces pour les générations en dessous du 65nm figure (I.32).

La nitruration de l'oxyde représente une alternative à moyen terme appliquée au nœud 45nm, de nouveaux matériaux tels que les diélectriques à haute permittivité (high-k) ont remplacé le SiO_2 ou le SiON . En maintenant une capacité élevée avec des épaisseurs de film plus importantes, les high-k permettent ainsi de réduire les fuites de grille et améliorer le courant de saturation ION tout en diminuant l'EOT. L'introduction d'un diélectrique high-k concerne en premier lieu les transistors LP.

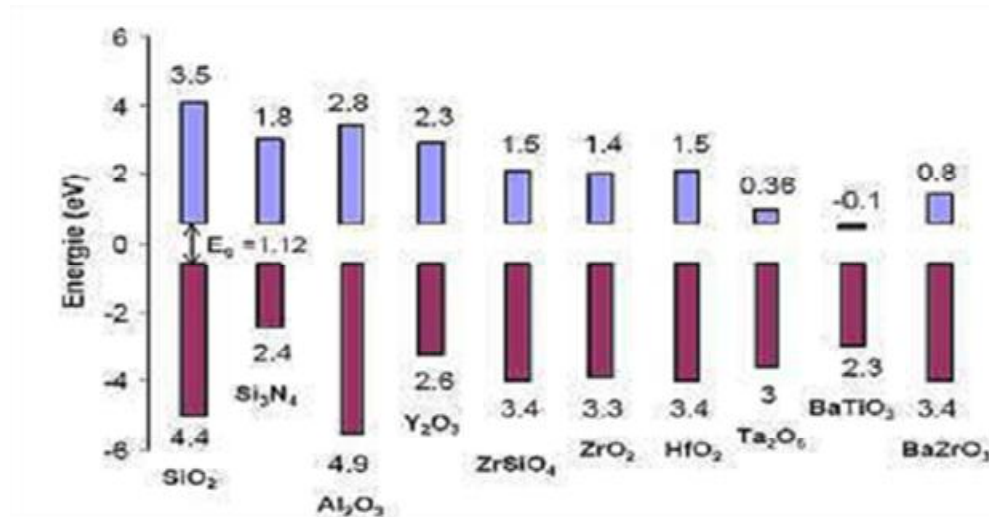


Figure I.33. Décalage par rapport au silicium des bandes de conduction et de valence pour différents diélectriques High-k[107]

Les critères physiques et électriques requis pour un diélectrique de grille limitent significativement les candidats. Le SiO_2 , avec ses propriétés électriques quasi parfaites et sa grande manufacturabilité, reste une référence. Un bon diélectrique serait un matériau avec une permittivité élevée et rassemblant la plupart des caractéristiques du SiO_2 . Il s'agit de trouver un bon compromis entre les fuites de grille, l'EOT, la mobilité du canal, la stabilité thermique, les défauts, la compatibilité avec le procédé de fabrication CMOS, avec le matériau de grille. La solution employée jusqu'à présent pour accroître la capacité d'oxyde $C_{ox} = \epsilon_0 \epsilon_{ox} / t_{ox}$ est de diminuer l'épaisseur t_{ox} de SiO_2 proportionnellement à L_g . Ainsi, le rapport L_g / t_{ox} varie entre 40 et 50 dans les circuits CMOS réalisés jusqu'à présent [107]. La réduction de t_{ox} implique cependant que la tension d'alimentation V_{DD} des circuits diminue également, pour ne pas risquer d'entrer dans le régime de claquage de l'oxyde (le champ électrique dans l'oxyde valant au maximum V_{DD} / t_{ox}) [1] [108] [109] [58] [110]. Cet abaissement de V_{DD} permet par ailleurs de maîtriser la puissance dissipée en dynamique, puissance qui a tendance à augmenter avec la fréquence de fonctionnement du circuit et le nombre de transistors présents sur ce dernier. Donc avec la diminution de L_G (pour un inverseur CMOS), la puissance dissipée sur un cycle de durée T de charge et décharge de la capacité de sortie varie comme $C_L V_{DD}^2 / (2T)$.

Les structures d'oxyde posent des problèmes technologiques et électriques, notamment de type stabilité thermodynamique sur Si, la morphologie du film, la compatibilité avec le matériau de grille et avec un procédé CMOS en général altérant la fiabilité.

Pour essayer de réduire les effets décrits précédemment, de nouveaux oxydes avec haute permittivité diélectrique sont donc proposés pour remplacer l'oxyde de silicium SiO_2 . Ces nouveaux matériaux permettent la fabrication d'oxydes de grille épais tout en gardant les caractéristiques capacitives de l'oxyde de silicium. Par contre, ces diélectriques doivent être compatibles avec le matériau de grille déjà montré en figure I.29.

I.7 Instabilités physiques dans le MOSFET

La structure MOS est physiquement instable dues essentiellement aux défauts dans le système, localisés physiquement aux niveaux de l'oxyde et du substrat. L'oxyde contient des imperfections et des impuretés, certaines mobiles, et d'autres pas, qu'on désigne sous le terme de générique de défauts. Ces défauts sont localisés dans le volume de l'oxyde et aux interfaces Si-oxyde et grille oxyde [111].

Les défauts électriquement actifs rendent les composants instables en modifiant leur caractéristique électrique ce qui détériorent le bon fonctionnement. Des études ont été menées pour identifier ces défauts et déterminer leurs origines physique, chimique, et électronique ont permis de réduire leur densité à une valeur minimale.

Les défauts sont classés en trois catégories, notamment les microhétérogénéités, les défauts ponctuels et les défauts complexes. Les microhétérogénéités sont dues à la variation de l'angle θ et de la distance que fait l'oxygène avec les deux atomes adjacents, ce qui entraîne un changement dans le réseau cristallin. Les défauts ponctuels peuvent être intrinsèques (*associe à des liaisons allongées ou contractées, cassées ou pendantes ou à des lacunes d'oxygène ou de Silicium*) ou extrinsèques (*substitution d'atomes de Si ou d'oxygène par d'autres atomes étrangers ou introduction d'ion dans le réseau*). La combinaison de plusieurs défauts ponctuels conduit à formation de défauts complexes.

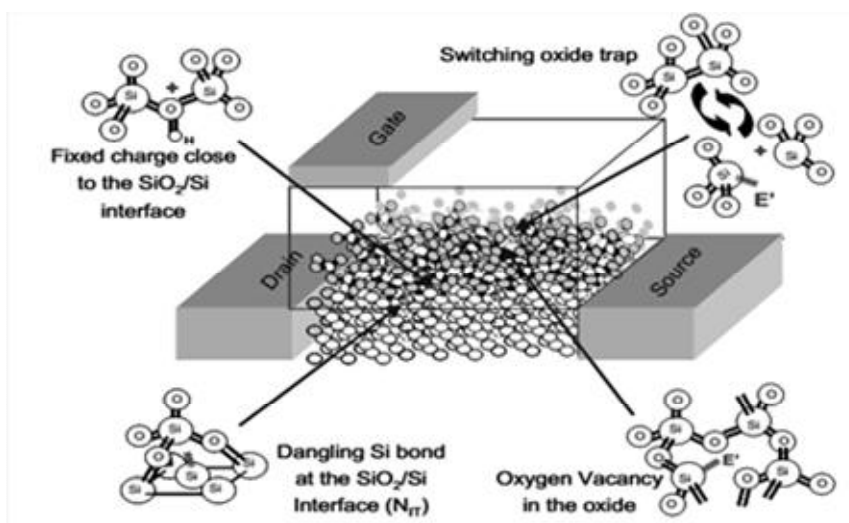


Figure I. 3416 Illustration de la dégradation NBTI: la génération d'états d'interface, la génération de charges fixes, et le piégeage de trous[230][229][228][235][234][238][111]

Selon la classification des différents types de charges dans l'oxyde, on distingue quatre types de charges : la charge fixe, la charge piégée, la charge mobile ionique et la charge des états d'interface été adoptée figure I.34. On appellera défauts les sites électriquement actifs du silicium ou de l'oxyde, pouvant perturber localement les densités de charges ou le champ vu par les porteurs. Sur la Fig.I.35 on peut distinguer les différents types de défauts qui peuvent apparaître dans la structure MOS. Il faut tenir compte des états d'interface (pièges de charges positives/négatives ou pièges neutres) le plus souvent constitués par des liaisons pendantes $\text{Si}\equiv\text{Si}^3$ appelées centre Pb dans la littérature; mais aussi des défauts de l'oxyde (Charges fixes près de l'interface, des ions mobiles dans le volume ou encore pièges de charges) [112] .

a) Défauts d'interface : Les pièges d'interface peuvent apparaître pendant les procédés de fabrication, les défauts sont la conséquence de la croissance thermique de l'oxyde (SiO_2) sur le silicium (Si). Les pièges sont alors matérialisés par une liaison pendante ou une lacune interstitielle due au mauvais alignement de SiO_2 sur Si. Ces défauts d'interface peuvent également être créés par des mécanismes physiques durant le fonctionnement de la structure: impacts de porteurs énergétiques générés dans le volume du silicium, irradiations extérieures, hautes températures... Dans la statistique de Shockley, Read et Hall (SRH) [6], les défauts d'interface sont caractérisés par leur niveau d'énergie et leur section efficace de capture/émission. On note Q_{it} ($\text{C}\cdot\text{cm}^{-2}$) la charge piégée sur les défauts d'interface, N_{it} (cm^{-2}) le nombre de charges piégées et D_{it} ($\text{eV}^{-1}\text{cm}^{-2}$) le nombre de pièges par niveau d'énergie. Ces défauts sont en contact avec la couche d'inversion et peuvent se vider et se remplir suivant la valeur du potentiel de surface. Ils ont une nature amphotère figure I.35 : ils peuvent capturer des électrons ou des trous (vis-à-vis des électrons, les pièges accepteurs sont chargés négativement si occupés et neutres sinon ; les pièges donneurs sont neutres si occupés et chargés positivement sinon). Ils peuvent être mis en évidence et quantifiés par des mesures capacité-tension (CV), par des mesures de pompages de charges à deux ou trois niveaux (CP, ou encore des mesures de type DLTS (*Deep level transient spectroscopy*)).

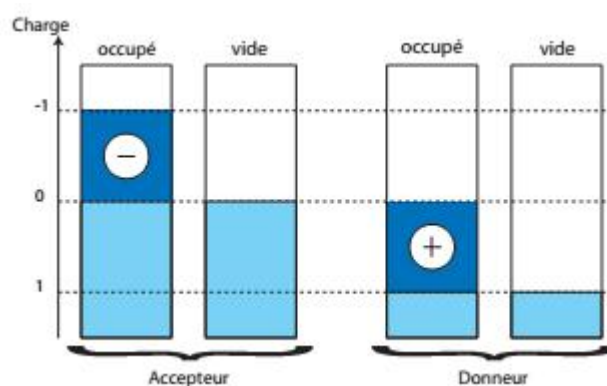


Figure I. 35. Pièges donneur et accepteur [6],

b) Charges mobiles : Les charges mobiles dans l'oxyde sont essentiellement des impuretés ionisées venant de contaminations ioniques telles que Na^+ , K^+ , Li^+ , H^+ . Les métaux lourds et certains ions négatifs peuvent devenir mobiles à haute température ($T > 500^\circ\text{C}$). On peut caractériser ces charges mobiles par des mesures C(V) à différentes températures, modifiant ainsi leur mobilité et donc leur transport dans l'oxyde. Plusieurs techniques connues permettent

de les mettre en évidence : CV (capacitance-voltage, TVS (Triangular Voltage Sweep.) La charge mobile et la densité des espèces ionisées sont notés Q_m ($C.cm^{-2}$) et N_m (cm^{-2}).

c) Charges fixes : Les charges fixes sont généralement positives et ont pour origine les défauts structuraux du SiO_2 induits par le processus d'oxydation du silicium. Elles sont localisées près de l'interface (quelques Å, cela dépend de T_{ox}) mais ne répondent généralement pas aux variations du potentiel de surface. Leur quantité dans l'oxyde (Q_f ($C.cm^{-2}$), N_f (cm^{-2})) est liée à l'orientation du silicium et aux paramètres de fabrication (température de croissance et de recuit). Enfin les procédés de fabrication récents pour les oxydes de grille ultrafins rajoutent une nitruration enfin de durcir l'isolant, cette technique induit des charges positives supplémentaires mais réduit parallèlement la quantité états d'interface.

d) Charges piégées dans l'oxyde : Ces charges peuvent être positives ou négatives et trouvent leurs origines dans les phénomènes d'ionisation par irradiation (réversible par traitement thermique $T < 500^\circ C$), ou par injection de porteurs plus ou moins énergétiques (mode d'avalanche, injection de porteurs chauds, courant tunnel). Enfin, pour ce type de charges, on utilise les notations Q_{ot} ($C.cm^{-2}$) et N_{ot} (cm^{-2}).

e) Conséquences : Les équations établies dans les paragraphes précédents, ne tiennent pas compte de la présence de l'ensemble de ces charges. Dans la mesure où les densités N_m et N_f peuvent être contrôlées par la qualité des méthodes de fabrication, nous ne les inclurons pas dans la suite. En revanche, N_{it} et $N_{ox} = N_f + N_m + N_{ot} \approx N_*$ sont des paramètres critiques. La première conséquence est la modification de l'équation (I.20) de la conservation de la charge

I.8 Les technologies alternatives innovantes

Nous venons de présenter les différentes contraintes technologiques, qui font face au maintien du rythme d'intégration indiqué par la loi de Moore. Ces différents phénomènes parasites liés à la miniaturisation, mettent fin à la structure MOS sur substrat massif et font appel à des nouvelles architectures plus performantes. Dans le but de favoriser le contrôle de la grille sur le canal, les architectures à substrat sur isolant et multi-grilles semblent être beaucoup

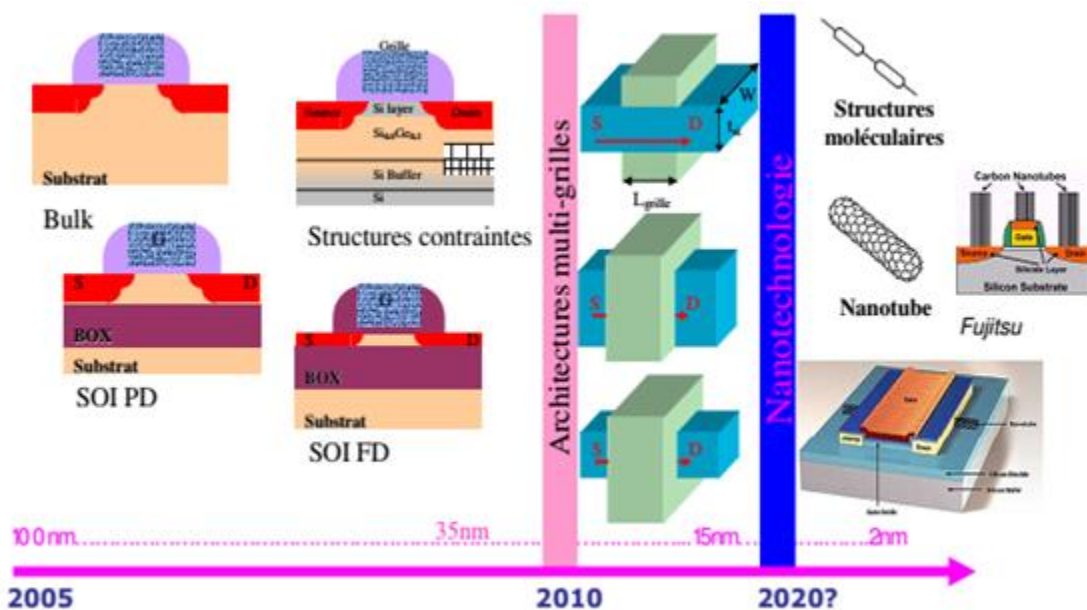


Figure I. 36. du MOSFET bulk aux nouvelles architectures MOS avancées [6],

plus performantes que les structures MOS bulk. La fréquence intrinsèque des transistors étant plus élevée pour ces nouvelles technologies (SOI et MG) que pour le transistor MOSFET planaire. Concernant le temps de propagation dans les oscillateurs en anneaux, les technologies à multi-grilles (SOI et MG) gardent des performances beaucoup plus intéressantes que le transistor MOS conventionnel. Ce sont ces technologies prometteuses qui remplaceront le transistor MOSFET bulk dans les futures générations des circuits intégrés. Leurs structures de plus en plus complexes prévoient un meilleur contrôle électrostatique du canal, tout en permettant une réduction continue de la longueur de grille (Figure I.36).

I.8.1 Transistors à Multi-Grilles

Les transistors à multi-grilles sont des architectures innovantes, dont la réalisation technologique est plus compliquée que les transistors SOI. Leur structure de base est la même que celle du FD SOI, un film de silicium extrêmement mince et un oxyde enterré épais suivit d'un substrat de silicium font toujours partie de la structure. La différence réside au niveau de l'intégration d'une grille et du diélectrique de grille autour de la couche de silicium. La forme de cette grille et son emplacement améliore le contrôle sur le canal et l'isole bien des effets parasites qui peuvent apparaître dans les architectures à une seule grille (pénétration du champ électrique dans l'oxyde enterré pour des épaisseurs de film très faibles). Ainsi, des composants à deux, trois et quatre grilles ou bien à grille cylindrique ont intégré l'industrie de la microélectronique en une technologie d'intégration 3D. Ces composants à multi-grilles présentent plusieurs avantages que la technologie SOI ne peut plus offrir lorsque la longueur de grille devient inférieure à 25 nm :

Avec la présence de deux à quatre grilles sur un même composant au lieu d'une seule, la surface du canal de conduction se trouve naturellement augmentée, ainsi que le courant de drain. Le contrôle électrostatique du canal est renforcé lorsque plusieurs grilles commandent la même zone active, ceci fournit aussi un isolement du canal et le protège d'autres effets parasites. Les effets de canaux courts et le partage de charges sont largement diminués.

La structure d'un transistor à multi-grilles favorise l'inversion volumique du film de silicium, ceci éloigne les porteurs loin de l'interface oxyde/semiconducteur et donc augmente leur mobilité et améliore le transport dans le canal

Les architectures multi-grilles fournissent un gain d'intégration de 40 à 60 % sur la surface d'occupation des composants d'un circuit.

I.8.2 Les transistors doubles grilles planaires

La conception du transistor double grille est apparue comme une solution pour la pénétration des lignes de champs électriques dans l'oxyde enterré du transistor SOI ultrafin, ces lignes arrivent jusqu'au substrat de silicium et augmentent le potentiel de ce dernier. L'ajout d'une deuxième grille enterrée sous le silicium bloque la pénétration du champ électrique et fournit un meilleur contrôle du canal (Figure I.37 (a)). La présence de la grille arrière augmente la surface du canal de conduction et favorise l'inversion volumique, ainsi, le courant de drain croît par rapport au transistor SOI. La pente sous le seuil et les effets de canaux courts sont aussi améliorés [113][114][5].

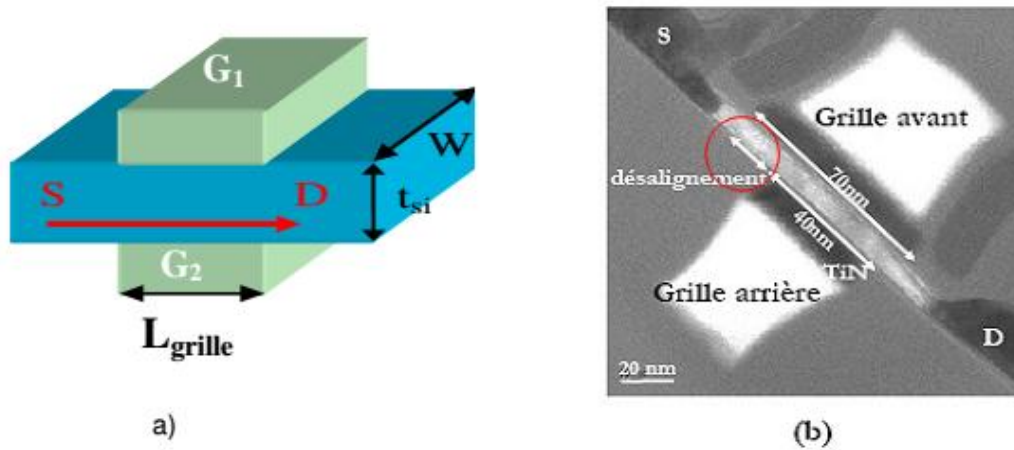


Figure I. 37. Schéma principe d'un transistor double grille planaire (a) et coupe TEM d'un transistor de 50 nm de longueur de grille avec un film de 10 nm d'épaisseur et un empilement de grille TiN/PolySi (b)[231][232][233]

Le transistor double grille est un composant symétrique, les épaisseurs des diélectriques de grilles avant et arrière sont identiques, ainsi que la polarisation et la composition de ces deux grilles. Cependant, il existe un problème au niveau de l'alignement des deux grilles (Figure I.37 (b)). En effet, des procédés d'auto-alignement existent [115] [116] mais ceci rend le processus de fabrication plus complexe et ne permet pas la réalisation des transistors à très faibles longueurs de grilles [117]. Le fait que les deux grilles ne soient pas alignées rend la structure asymétrique et il peut y avoir une activation différente des deux canaux de conduction, contrôlés chacun par une des deux grilles. Ceci dégrade les caractéristiques électriques du transistor et génère une forte dispersion des caractéristiques des composants à canaux courts [118][119][120].

I.8.3 Les transistors Fin-FET

Les transistors à double grille souffrent du problème de non-alignement des deux grilles pour remédier à ce problème, des structures non planaires et à canal de conduction latéral sont conçues. Ce sont les transistors FinFET [121] figure I.38, leur zone active est un barreau de silicium et les grilles sont réalisées perpendiculairement à l'axe source/drain. Le FinFet est un transistor à deux grilles. En effet, la partie supérieure du canal est isolée de la grille par un

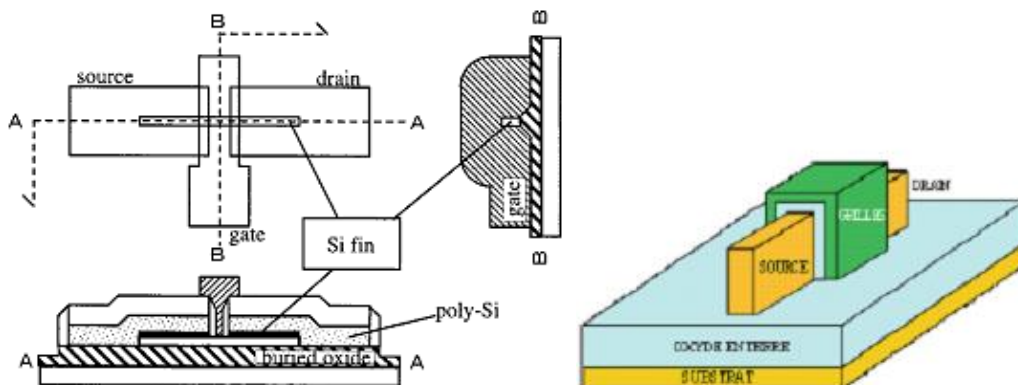


Figure I. 38 Schéma de structure d'un finFET[234] [235][121]

masque dur nitruré placé au sommet du film. Nous avons donc, la formation de deux canaux de conduction verticaux commandés par deux grilles latérales. Cette architecture offre les avantages propres aux dispositifs double grille ainsi que l'auto-alignement intrinsèque des deux grilles. Un transistor triple grille diffère du transistor FinFet par l'ajout d'un canal supérieur. En effet, pour un transistor Triple-grille le masque dur a été gravé avant le dépôt de l'empilement de grille. C'est donc un transistor avec deux canaux de conduction verticaux et un canal horizontal. Ceci, fait apparaître néanmoins, les effets de coins qui peuvent déclencher un canal parasite.

I.8.4 Les transistors π -FET et Ω -FET

Les transistors π -FET et Ω -FET diffèrent du transistor triple-grille en ajoutant des extensions aux grilles latérales. Ces extensions sont réalisées en surgravant l'oxyde enterré lors de la phase de définition des zones actives. Suivant la forme des extensions l'architecture diffère, si les grilles latérales s'étendent verticalement dans l'oxyde enterré, on parle ainsi de transistor π -FET

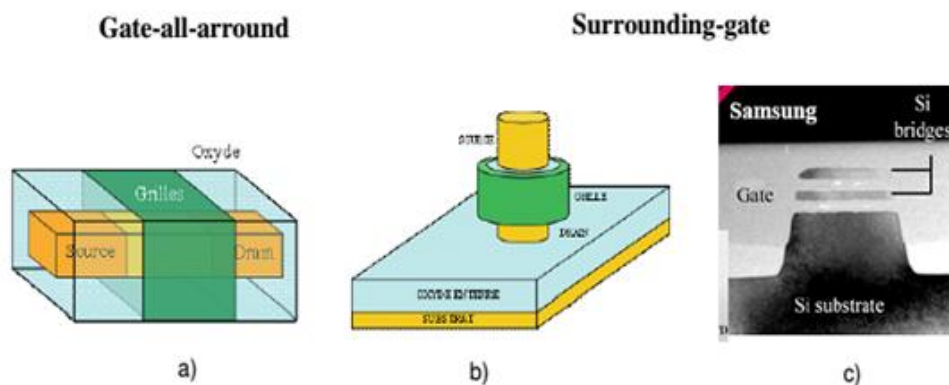


Figure I.39. Schéma de Principe d'un transistor gate-all-around (a) et d'un transistor surrounding gate (b) et photo TEM de la coupe transversale d'un transistor surrounding-gate [119]

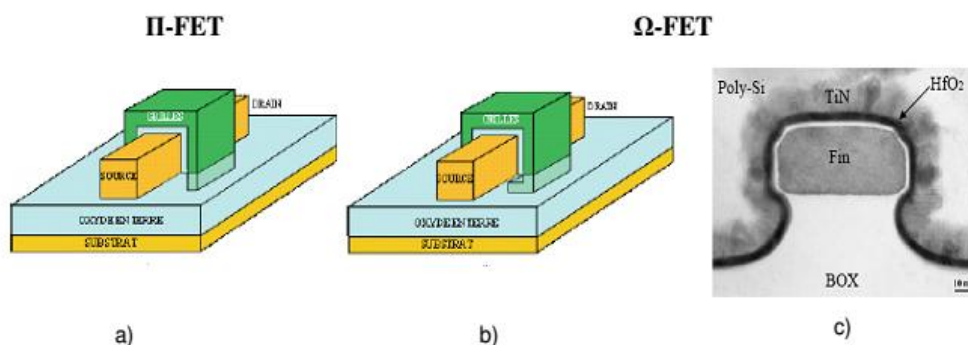


Figure I. 40 Schéma principe d'un transistor Pi-Fet (a) et d'un transistor Omega-Fet (b) et photo TEM de la coupe transversale d'un transistor Omega-Fet (c)[203]

(ou PiFET, Figure I.39 (a))[119]. Si les extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, on parle de Ω -FET (Figure I.39 (b)) [122]. Ces extensions sont très faciles à réaliser et permettent d'améliorer considérablement le contrôle électrostatique de la grille. Le contrôle des effets de canaux courts et l'isolation des effets dus à l'oxyde enterré sont excellents avec ce type d'architectures[123] [124] [125].

I.8.5 Les transistors à grille enrobante

La structure ultime qui offre théoriquement le meilleur contrôle de la région de canal est le quadruple-grilles ou "surrounding-gate" transistor. Deux architectures existent : le "surrounding-gate" à section rectangulaire appelé Gate-All-Around (GAA) (Figure I.42 (a)) [126] , et le "surrounding-gate" à canal vertical (Figure I.40 (b)), habituellement fabriqué en utilisant un îlot de silicium en forme de colonne[127] [128] [129] [130]. Pour les deux structures le silicium est complètement enrobé par la grille, ce qui supprime les effets parasites du BOX. De plus, avec la structure cylindrique les effets de coins disparaissent. Le contrôle du canal est meilleur donc il y aura une diminution des effets de canaux courts[131] [30].

I.8.6 Transistors à nanotubes de carbone

Les nanotubes de carbone se présentent sous la forme d'un ou de plusieurs tubes creux, ayant un diamètre interne de l'ordre du nanomètre et une longueur de l'ordre de quelques micromètres. Un nanotube de carbone est caractérisé par sa forte résistance mécanique (100 fois plus résistants que l'acier) et son poids léger. Ses propriétés électriques, mécaniques et thermiques le rendent utile pour de nombreuses applications et particulièrement dans le domaine de la microélectronique [132] [133]. Il existe deux types de nanotubes de carbones, mono-feuillets (*SWNT, Single Wall Carbon NanoTubes*) et multi-feuillets (*MWNT, Multi-walled Carbon NanoTubes*) [134] figure I.41

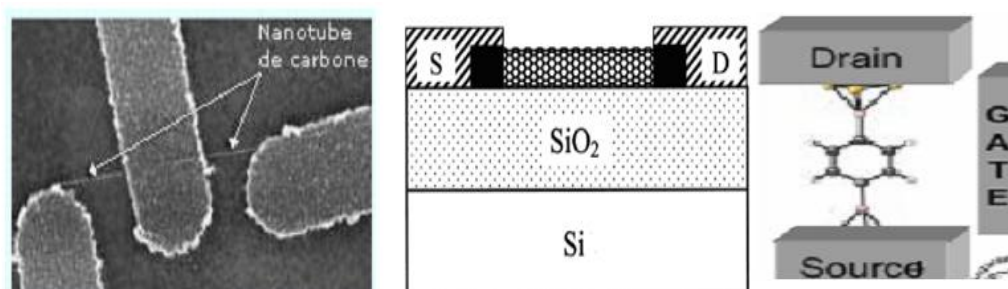


Figure I. 41 Transistor MOSFET à nanotubes de carbone [120]

De point de vue électrique et optique, les nanotubes mono-feuillets paraissent les plus intéressants, ils ont la particularité de pouvoir être soit métalliques soit semiconducteurs, en fonction de leur géométrie [135]. En effet, la structure d'un nanotube de carbone mono-feuillet est composée de feuillets de graphite (plan d'atomes de carbone placés aux sommets d'un réseau hexagonal) enroulés et enfermés sur eux-mêmes pour réaliser un tube. Cet enroulement peut se faire de différentes manières et la façon dont le feuillet est replié sur-lui-même définit un paramètre, appelé hélicité. Ce dernier fixe la structure du nanotube.

Selon la direction d'enroulement du plan de graphite par rapport au réseau hexagonal, différents types de nanotubes sont identifiés :

- Le nanotube zigzag (axe du tube perpendiculaire à deux côtés opposés de l'hexagone)
- Le nanotube chiral (présentant une symétrie miroir)
- Le nanotube fauteuil ou armchair (axe du tube parallèle à deux côtés opposés de l'hexagone)

La nature métallique ou semi-conductrice est caractérisée par l'angle d'hélicité ou de chiralité qui mesure l'orientation des hexagones par rapport à l'axe du tube. Les nanotubes de carbone permettent de réaliser des transistors à un niveau de miniaturisation jamais atteint jusqu'à maintenant [119] [136].[137]

En mai 2002, IBM annonce la création du premier dispositif CNFET (*Carbon Nanotube Field Effect Transistor*). Un tel transistor à effet de champ à nanotube (CNFET), utilise un nanotube de carbone mono-feuillet dans une structure s'apparentant à un transistor MOS conventionnel. Le nanotube est déposé sur un substrat Si/SO₂ et relie la source au drain (Figure I.44). Le canal de conduction est commandé par le substrat silicium qui se comporte comme une électrode de grille. Par la suite des structures plus proches des MOSFETs classiques ont été fabriquées en plaçant un diélectrique plus fin par-dessus du nanotube. D'un point de vue diélectrique, les oxydes peuvent être de natures différentes, tels que le TiO₂, le ZrO₂ et le HfO₂. L'intérêt primordial d'un transistor à base de nanotube de carbone est la possibilité d'atteindre les dimensions nanométriques des dispositifs, auxquelles la technologie MOS est limitée [136]. Des études ont démontré des propriétés de transport exceptionnelles correspondantes au fonctionnement des CNFETs (*densité de courant et transconductance élevés*).

I.9 Conclusion

Ce chapitre a fait l'objet d'une étude de l'état de l'art et l'évolution historique du transistor MOSFET depuis son invention à ce jour. L'introduction des nouveaux matériaux émergent ainsi que les nouvelles architectures innovantes afin de garantir une faible consommation d'énergie et d'approfondir de plus en plus les hautes performances rapidité et fiabilité.

Bien que la technologie en perpétuelle avancement, néanmoins la caractérisation et les techniques d'extractions de paramètres restent toujours d'une grande importance pour le suivi et la validation des nouveaux nœuds technologique.

Chapitre II Caractérisation Avancés des Transistors MOSFET

II.1.Introduction

Les performances d'un transistor MOS FDSOI sont évaluées, par l'exploration des paramètres fondamentales fondés par le modèle du courant de drain, tel que la valeur de la tension de seuil V_{th} , l'inverse de la pente sous le seuil S et la mobilité des porteurs.

L'extraction de paramètres supplémentaires comme la pente sous le seuil, le DIBL, SCE, ΔL , la résistance série R_{sd} ou les courants de fuites nous permettent de comprendre les origines du phénomène qui dégradent ses caractéristiques. Ces données nous permettent d'optimiser les architectures ou le processus de fabrication pour minimiser leurs impacts, augmenter leur fiabilité et avoir de meilleures performances.

La majeure partie des méthodes d'extraction des paramètres se basent sur la mesure de la caractéristique de courant de drain en fonction de la tension de grille $I_d(V_g)$. Ces mesures restent plus précises par rapport aux mesures capacitives qui deviennent problématiques pour les faibles longueurs de grille malgré leurs immunités vis-à-vis des résistances d'accès.

Ce chapitre expose l'état de l'art de quelques méthodes d'extractions et montre l'impact des différents processus sur les paramètres du MOSFET.

L'extraction de paramètres électriques se fait principalement dans le domaine de validité du modèle analytique et précisément en régime ohmique ($V_{ds} \ll V_{dsat}$) et la forte inversion dans ce cas, le courant de drain s'écrit

$$I_{ds} = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \frac{(V_{gs} - V_{th}) V_{ds}}{1 + \theta_1 (V_{gs} - V_{th}) + \theta_2 (V_{gs} - V_{th})^2} \quad \text{II.1}$$

$$\text{Avec } \theta_1 = \theta_{10} + \frac{W_{eff}}{L_{eff}} \mu_0 C_{ox} R_{sd} \quad \text{II.2}$$

Le paramètre θ_1 induit l'influence des résistances série R_{sd} introduisant la réduction du courant de drain et θ_2 est le second facteur d'atténuation de la mobilité influencée par l'état de rugosité de surface et à la diffusion à travers les phonons, extrait à fort champ transversal [6][138][139]. Ce modèle analytique permet d'étudier le comportement du transistor MOSFET, par l'affectation aux origines des effets causés par chaque paramètre physique et électrique significatif lié au courant du drain [140] [72] [141].

II.2 Equipements de caractérisation des transistors MOS :

Les mesures de caractérisation présentées dans ce manuscrit sont issues d'un système de mesure sur banc de test automatique présenté en figure (II.1), le système de caractérisation est composé de :

a) **Testeur automatique** : La nécessité de mesurer un grand nombre de dispositifs de différentes dimensions soit sur la plaque (*technologie 45nm*) ou sur une puce (*circuit intégré de 24 pins*) impose l'utilisation d'un banc de test automatique (souvent appelé « automatic prober »). Celui-ci permet de se déplacer sur la plaque et donc de poser les pointes d'un site

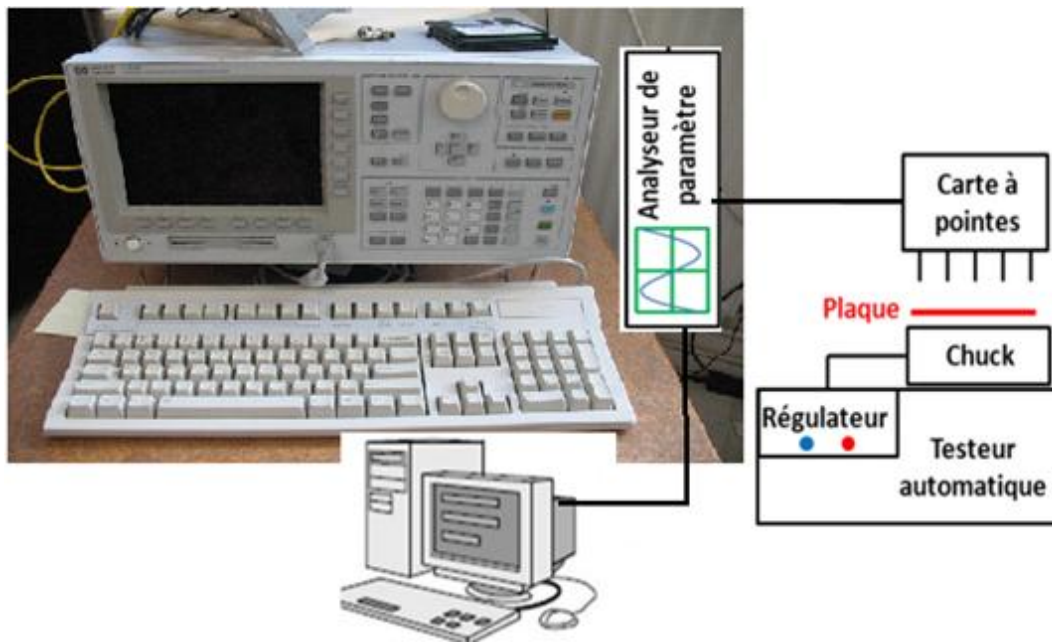


Figure II 1 Banc de caractérisation I(V)

contenant une série de transistors par système à pilotage assisté automatiquement. Un tel testeur permet également de positionner plusieurs plaques à différentes procédés de fabrication.

b) « **Chuck** » est un support fixateur de plaquettes doté d'un régulateur température, permet les déplacements selon les axes x, y et z; la liaison à l'analyseur de paramètres est assuré par des portes pointes. A l'aide d'un microscope optique on visualise la structure et on positionne

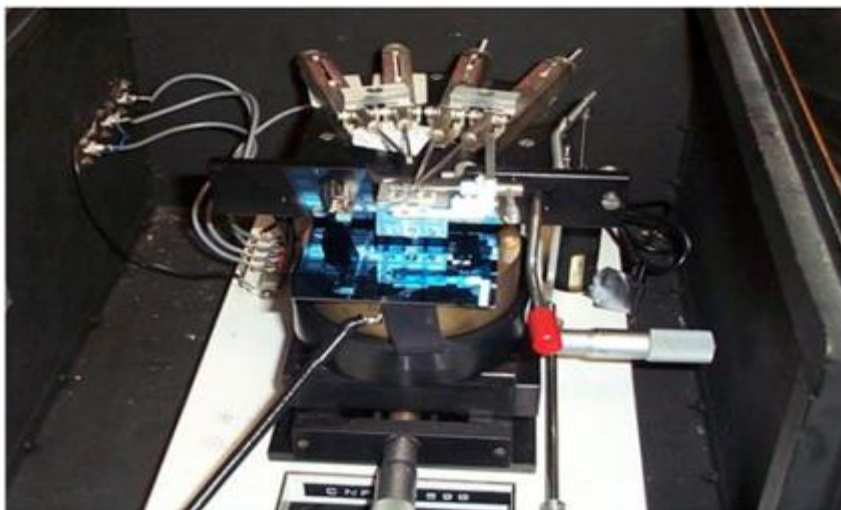


Figure II 2 Système porte échantillons sous pointes

les pointes sur les plots du transistor (*grille, substrat, source et drain*) par le déplacement du «Chuck» et l'installation des pointes figure (II.2).

c) **Analyseur de paramètre** : L'analyseur de paramètre HP4155 (4156) [142] est composé de quatre lignes de mesure appelés « SMU » (« Sense-Measure Unit ») étant chacun capable d'appliquer une polarisation et de mesurer un courant. La gamme de tension principalement

utilisée est la plus basse ($-2V < V < 2V$) et dont la résolution de $100\mu V$ est suffisamment précise pour ne pas influencer les résultats de mesure.

d) **Le microordinateur** : permet de gérer l'analyseur de paramètre 4155 et d'enregistrer les données obtenus sous forme de fichier text. La station est utilisée pour écrire les programmes de test, communiquer avec le système de mesure et collecter les données de mesure.

e) **Les caractéristiques obtenus** sur différentes technologies 180nm, 45nm à substrat massif et de structure FDSOI 32nm on représente quelques [42][105] caractéristiques $I_{ds}(V_{gs})$ et la

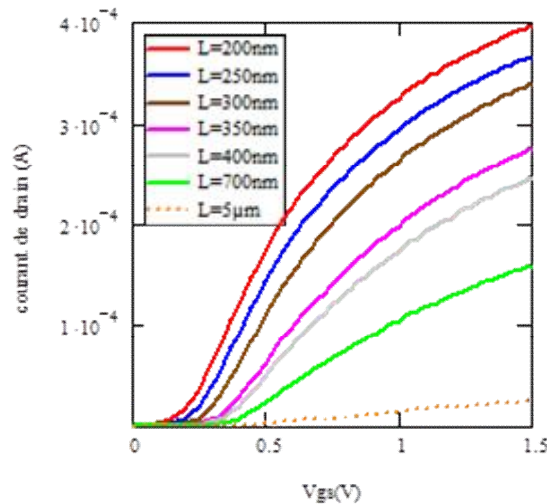


Figure II 3 Courant de drain d'une batterie de transistors MOSFETs en technologie 180nm avec oxyde de silicium $tox=4.5nm$

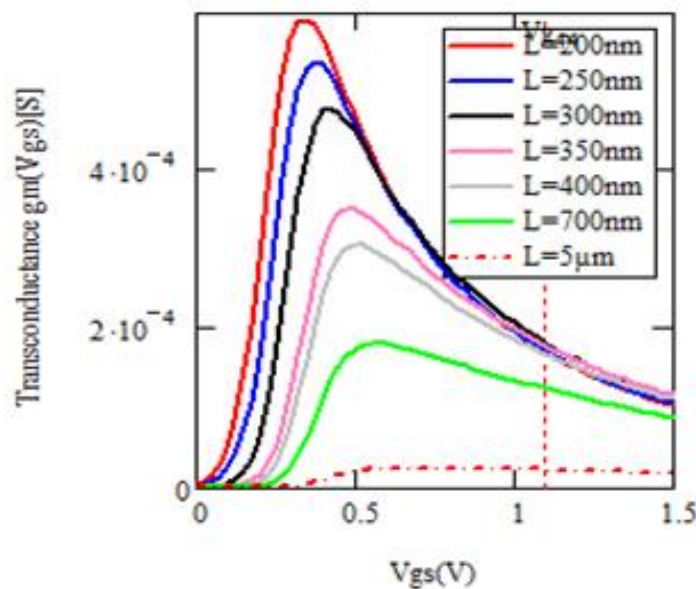


Figure II 4 transconductances d'une batterie de transistors MOSFETs en technologie 180nm avec oxyde de silicium $tox=4.5nm$

transconductance $gm(V_{gs})$ de technologie 180nm en figures (II.3) et (II.4).

$$gm = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}, V_{bs} = Cte}$$

II.3

$$gm = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 V_{ds} \frac{1 - \theta_2 (V_{gs} - V_{th})^2}{[1 + \theta_1 (V_{gs} - V_{th}) + \theta_2 (V_{gs} - V_{th})^2]^2} \quad \text{II.4}$$

II.3.Méthodes de caractérisation I(V) des MOSFETs

Plusieurs méthodes sont proposées pour extraire les paramètres du transistor MOSFET basées sur le modèle classique équation II vérifier pour la forte inversion. La tension de seuil en régime linéaire ($V_{ds} < 100\text{mv}$) est déterminée par une combinaison du courant de drain $I_{ds}(V_{gs})$ et la transconductance du transistor $gm(V_{gs})$, afin d'obtenir une équation linéaire en fonction de $(V_{gs} - V_{th})$. [111] La méthode n'est applicable que si par traitement mathématique on obtient une équation linéarisation du paramètre à mesuré.

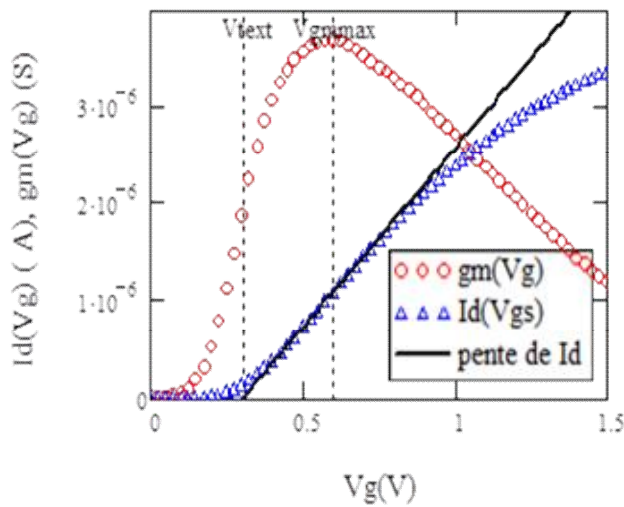


Figure II 5 Caractéristique $I_d(V_g)$, la transconductance $g_m(vg)$ et la droite linéaire au point V_{gmax} de pente égale au maximum de g_{mmax} indiquant la tension de seuil extrapolée V_{text}

II.3.1.Extrapolation par le maximum de la transconductance gm

Plus précisément, on utilise la tangente au point d'inflexion du courant de drain correspondant à l'ordonnée du maximum de la transconductance g_m nommé g_{mmax} (V_{gsmax}) [143] [144][145][146]..La tension de seuil est extrapolée par l'interception avec l'axe de V_{gs} et la droite de pente égale $g_{mmax}(V_{gsmax})$ obtenu par la matrice de mesure du courant $I_d(V_{gs})$ et la transconductance $g_m(V_{gs})$, permettant de calculer la valeur de la tension de seuil et la pente nous servira pour extraire la mobilité, la méthode est exprimée selon les courbes représentées en figure (II.5). Ce raisonnement revient à négliger le facteur de réduction de mobilité θ et les résistances d'accès (séries)

II.3.2 Extraction en mode courant de saturation.

Dans le régime de saturation, la tension de drain doit être V_{dsat} ($V_{dsat} = (V_{gs} - V_{th})$), ce qui va mettre le canal dans un état de pincement du côté drain et le courant de drain I_{dsat} n'évolue plus avec V_{ds} ($I_d = I_{dsat}$). Cependant pour les dispositifs courts, le courant de drain continu d'augmenter avec la tension de drain, ce qui peut s'expliquer par l'éloignement du point de

pincement par rapport au drain. Ce phénomène induit la réduction de tension de seuil avec V_{ds} (effets de canaux courts nommé DIBL) ou encore par l'effet d'avalanche On peut définir aussi Ion le courant de drain pour lequel le transistor est dans son état « ON » ou « 1 » en binaire, pour lequel la grille et le drain sont polarisés à la tension d'alimentation du circuit V_{DD} [147].

L'extraction des paramètres en régime saturé utilise l'expression II.4 pour cette extraction la figure II.6 représente l'extrapolation de la tension de seuil et la pente donne la valeur de la mobilité. Les résultats obtenus ne présentent pas de différences réellement significatives et toutes ces méthodes peuvent être utilisées en prêtant attention à la mesure tout en connaissant le régime de fonctionnement du transistor.

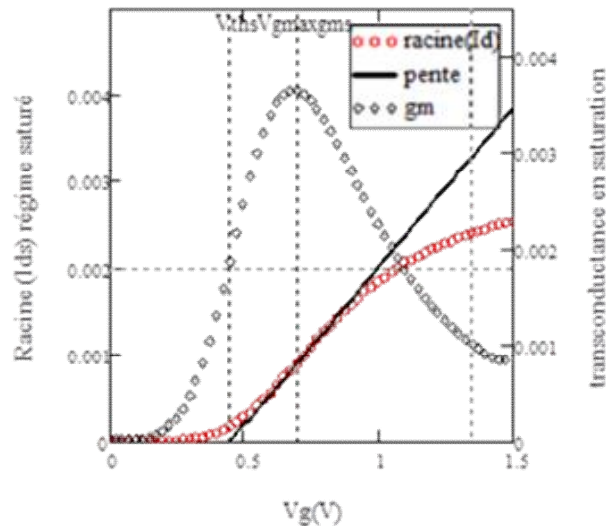


Figure II 6 caractéristique en saturation $\sqrt{I_{ds}(V_{gs})}$, la transconductance $gm(Vg)$ et la droite linéaire au point $V_{g_{gm_{max}}}$ correspondant au maximum de gm_{max} de pente $\sqrt{gm_{max}}$, permettant d'extrapolée la tension de seuil au point V_{text}

$$I_{dsat} = \frac{W}{2L} C_{ox} \mu_0 (V_{gs} - V_{th})^2 \quad \text{II.5}$$

$$\sqrt{I_{dsat}} = \sqrt{\frac{WC_{ox}\mu_0 V_{ds}}{2L}} (V_{gs} - V_{th}) \quad \text{II.6}$$

II.3.3.Extraction par la méthode de la dérivée seconde du $\ln(I_{ds})$

La méthode consiste a calculé la dérivée seconde du logarithme de I_{ds} obtenu expérimentalement le point de V_{gs} correspondant au maximum de la dérivée seconde est définit comme tension de seuil. Afin d'obtenir cette valeur on doit écrire un programme qui calcul cette dérivée seconde et détecte le point maximale correspondant à la valeur de la tension de seuil figure (II.7).

$$\frac{\partial^2 \log(I_{ds})}{\partial V_{gs}^2} = \frac{\partial(\partial \log(I_{ds}))}{\partial V_{gs} \cdot \partial V_{gs}} = \frac{\partial(\frac{gm}{Id})}{\partial V_{gs}} = \frac{\partial gm}{\partial V_{gs}} \cdot \frac{1}{Id} - \left(\frac{gm}{Id}\right)^2 \quad \text{II.7}$$

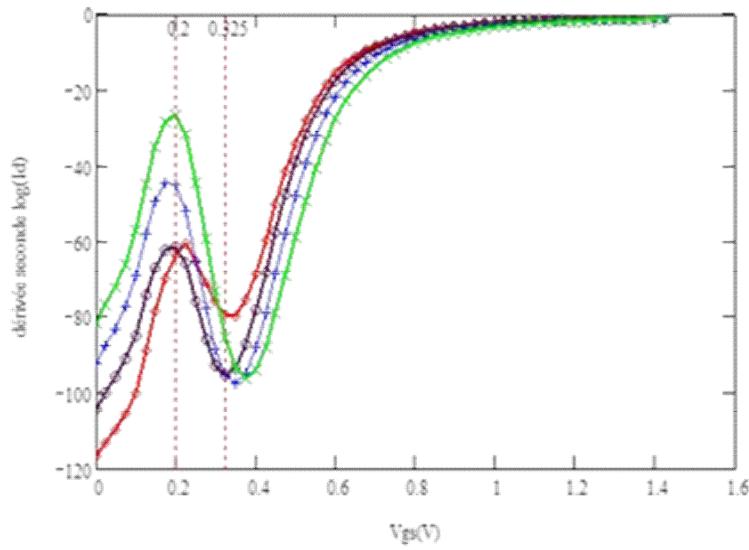


Figure II 7 Caractéristique $\frac{\partial^2 \ln(I_{ds})}{\partial V_{gs}^2}$ par le maximum on tire la valeur de V_{th}

II.3.4.Extraction par la méthode $X = \frac{I}{\sqrt{gm}}$

La méthode consiste de calculer la valeur de θ_1 on utilisant la fonction X équation (II.4) pour les dispositifs longs. On déduit le paramètre $\theta_1 = S_x \cdot S_y$ (produit des deux pentes des fonctions X et Y) monter en figure II.8 . Pour extraire enfin la longueur de grille effective et la mobilité à faible champ des porteurs, on utilise le tracé de $\beta_0 = f(1/L_g)$ sachant que β_0 est donné par

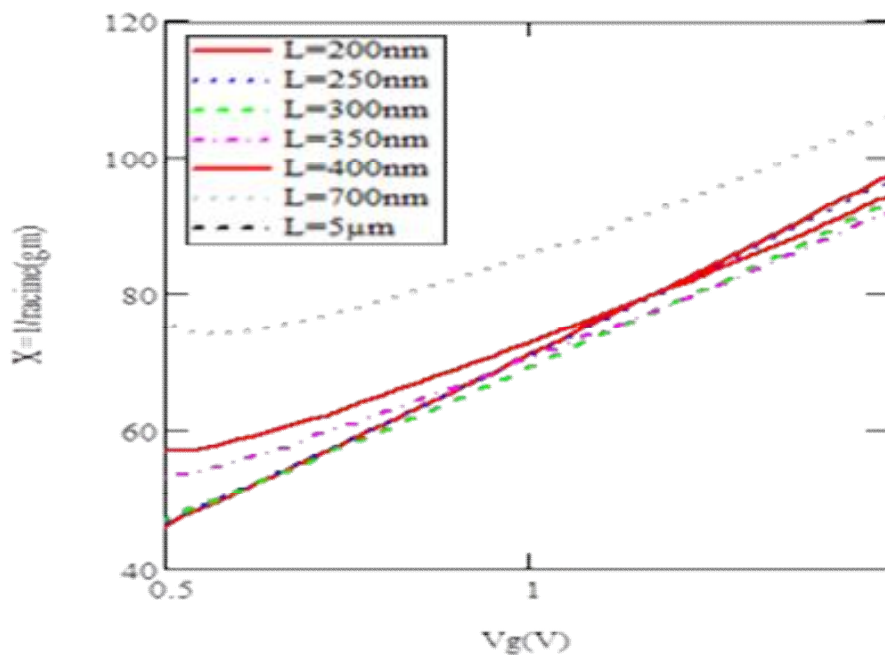


Figure II 8 La caractéristique de la fonction X utilisée pour les canaux longs pour l'extraction de θ_1

$$\beta_0 = \frac{\mu_0 \cdot C_{ox} \cdot W_{eff}}{L_m - \Delta L} \quad \text{II.8}$$

$$X = \frac{I}{\sqrt{gm}} = \frac{1 + \theta_1 (V_{gs} - V_{th})}{\sqrt{A}} \quad \text{II.9}$$

$$A = \beta_0 V_{ds} = \frac{W}{L} \mu_0 C_{ox} V_{ds} \quad \text{II.10}$$

Cependant, ces deux paramètres étant indissociables dans l'expression de β_0 , l'un des deux devra être fixé ou connu. Si l'extraction de la longueur effective a pu être réalisée à partir de mesures capacitives, alors on pourra étudier avec précision la dépendance de μ_0 avec la longueur de grille effective. Dans le cas contraire, on cherchera à extraire une seule valeur ΔL , supposée identique à tous les transistors, typiquement pour des longueurs de grille pas trop petites, i.e. pour lesquelles la mobilité μ_0 est constante. Notons que pour extraire une valeur fiable de μ_0 il est nécessaire de connaître précisément la largeur effective des transistors ainsi que la valeur de $C_{ox,eff}$. Si les transistors étudiés sont courts et étroits, il sera impossible d'extraire avec précision la mobilité à faible champ des porteurs. De plus la valeur de $C_{ox,eff}$ devra être mesurée avec précaution puisque pour des transistors longs et larges, les fuites de grille peuvent perturber la mesure capacitive

II.3.5.Extraction par la méthode de la dérivée seconde de (I_{ds})

La méthode extrait la valeur de la tension de seuil directement après calcul de la dérivée seconde du courant de drain obtenu expérimentalement. On tire la valeur de la tension de seuil V_{th} , par le bais du maximum de cette fonction figure (II.9).

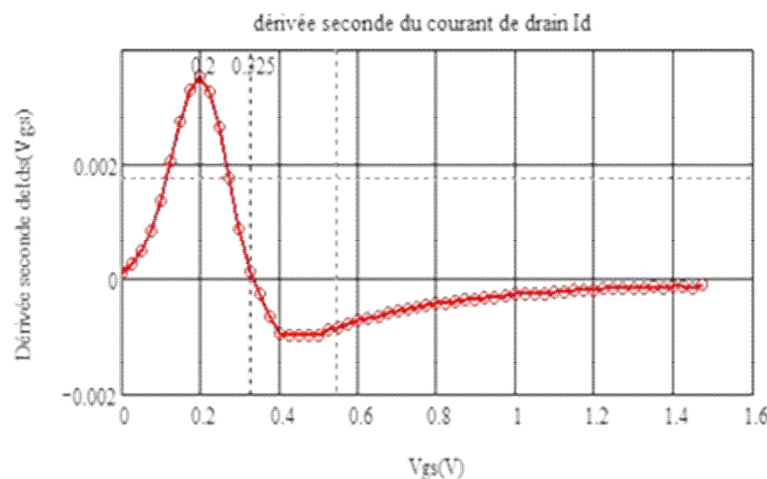


Figure II 9 Caractéristique de la dérivée seconde du courant I_{ds} donnant la valeur de V_{th} correspondant au maximum

II.3.6.Shift & Ratio

Cette méthode a été développée par Y. Taur [141][148][149]. Elle permet d'extraire la longueur effective électrique du canal, la résistance série ainsi que la tension de seuil du dispositif. Dans cette méthode on considère la mobilité comme étant une fonction arbitraire de la tension de grille (pas de modèle de la mobilité). Elle a besoin de faire une caractérisation sur

deux transistors de longueurs de grilles différentes; l'extraction se base sur la comparaison entre une grande longueur de référence avec un transistor court dont nous déterminons ΔL figure (II.10). Son inconvénient majeur est que l'on suppose la mobilité être indépendante de la longueur du canal, ce qui est rarement le cas dans les technologies avancées. L'extraction de la résistance série parasite, $R_{série}$ reste toutefois fiable et assez précise. Il s'agit d'un avantage majeur puisque l'on peut extraire la $R_{série}$ pour chaque transistor court, contrairement à d'autres techniques qui postulent pour $R_{série}$ identique quel que soit le transistor. Or les fluctuations technologiques peuvent jouer un rôle important pour des géométries ultra-agressives et ce d'autant plus lorsqu'il s'agit de technologies à l'état de recherche et, par

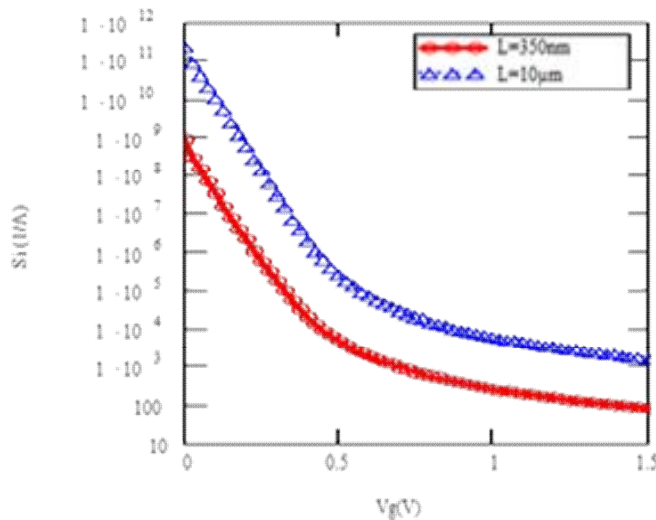


Figure II 10 fonction S pour les deux Transistors court et long en fonction de V_{gs} $W=10\mu m$ $V_d=50mV$

conséquent des MOSFETs non optimisés.

Partant de l'expression classique du courant de drain I_{ds} en fonction de V_{gs} dans le régime linéaire, on détermine la résistance totale du transistor :

$$R_i = \frac{V_{ds}}{I_{ds}} = R_{série} + R_{canal} = R_{série} + \frac{L_i}{\mu C_{ox}(V_{gs} - V_{thi})} \quad \text{II.11}$$

Avec R_{canal} la résistance du canal et L_i la longueur effective du transistor indice i .

Le principe consiste à considérer R_{canal} comme une fonction quelconque de l'écart entre V_{gs} et V_{thi} donnée en équation II.5

$$R_i(V_{gs}) = R_{série} + L_i f(V_{gs} - V_{thi}) \quad \text{II.12}$$

On détermine ensuite la dérivée de R_i en supposant que les résistances séries parasites dépendent très faiblement de V_{gs} et que L_i est indépendante de V_{gs} : figure II.10

$$S_i(V_{gs}) = \frac{dR_i}{dV_{gs}} = \frac{df(V_{gs} - V_{thi})}{dV_{gs}} \quad \text{II.13}$$

L'hypothèse forte est que Y. Taur considère que df/dV_{gs} est une fonction générale de l'écart ($V_{gs} - V_{thi}$) et est commun à tous les dispositifs. Cela présuppose donc que la mobilité est indépendante de la géométrie du transistor. En pratique on utilise deux transistors ; celui à caractériser et un transistor long dont on suppose la longueur effective L_0 connue (L_g dessinée \approx

Lg effective). Pour déterminer V_{thi} et L_i , une courbe S_i est décalée (shift) horizontalement de δ et le rapport r_i (ratio).

$$r_i(V_{gs}) = \frac{S_0(V_{gs})}{S_i(V_{gs} - \delta)} \quad \text{II.14}$$

Tout le travail consiste à trouver la valeur de δ pour laquelle le ratio r_i est constant (même niveau de courant pour une tension donnée au-dessus du seuil) En pratique l'extraction se fait de V_G légèrement au-dessus du seuil (V_{gmin}) jusqu'à $V_{th} + 0,8V_{gmax}$. Une fois ce paramètre déterminé, on peut remonter à V_{thi} (dispositif à canal court) par $\delta = V_{th0} - V_{thi}$ avec V_{th0} la tension de seuil du transistor long ainsi qu'à L_i effective par la relation $r_i(\delta) = L_0/L_i$. δ est déterminé par

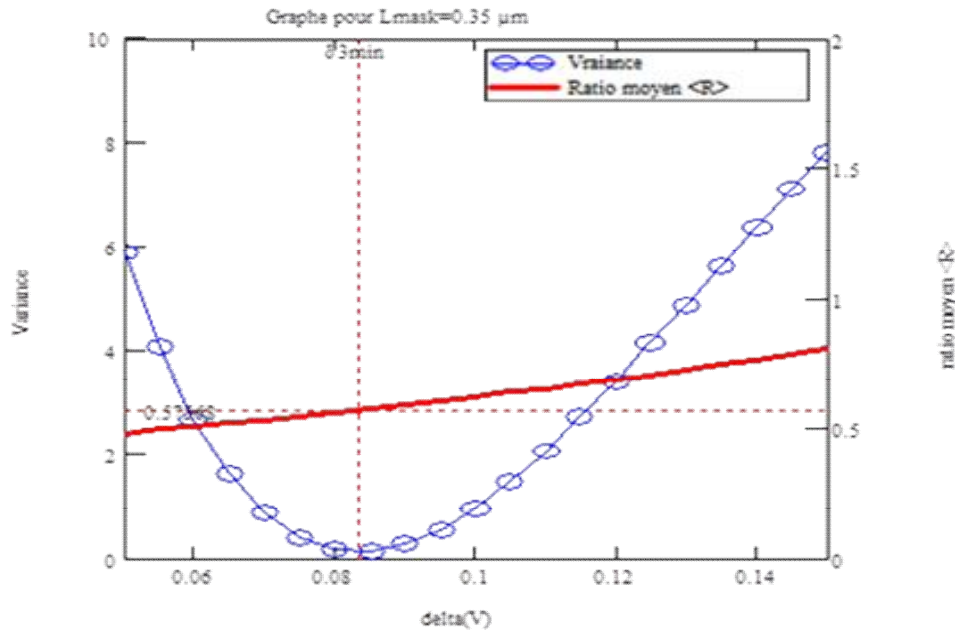


Figure II 11 Recherche du minimum de la variance en fonction du « shift » et le ratio R moyen résultant pour une technologie 180nm

le minimum de la déviation (variance) $\sigma^2 = \langle r_i^2 \rangle - \langle r_i \rangle^2$ en fonction de δ . Les figures (II 10) et (II.11) illustrent cette technique d'extraction de paramètres [150][151] [152].

Outre la limitation évoquée plus haut sur l'indépendance supposée de μ_0 avec L , cette technique souffre d'autres maux. L'extraction n'est parfois pas possible ou peut dépendre de façon conséquente des conditions de mesure et d'extraction (pas en V_{gs} , sélection de la plage d'extraction,...) ou même de la référence choisie comme étant un transistor long. Cette technique pourra en définitive être utilisée essentiellement pour extraire les R série. En effet, étant donné le nombre de paramètres à extraire pour un MOSFET, lorsqu'une technique permet d'en extraire la quasi-totalité, il n'est pas rare que ceux-ci soit légèrement interdépendants. C'est pourquoi, par exemple, des écarts dans l'extraction des $R_{série}$ ou μ_0 pourront être trouvés selon la méthode d'extraction [141].

II.3.7 Méthode Mc Larty

Cette méthode se base sur la dérivée première et seconde de l'inverse du courant de drain. Elle permet d'extraire les deux facteurs d'atténuations θ_1 et θ_2 ainsi que la tension de seuil et la mobilité à faible champ μ_0 . L'avantage principal de cette méthode est qu'elle permet de supprimer l'influence de la résistance d'accès source-drain $R_{Série}$; en effet les équations (II.9) et (II.11) ne dépendent pas du premier facteur d'atténuation de mobilité θ_1 .

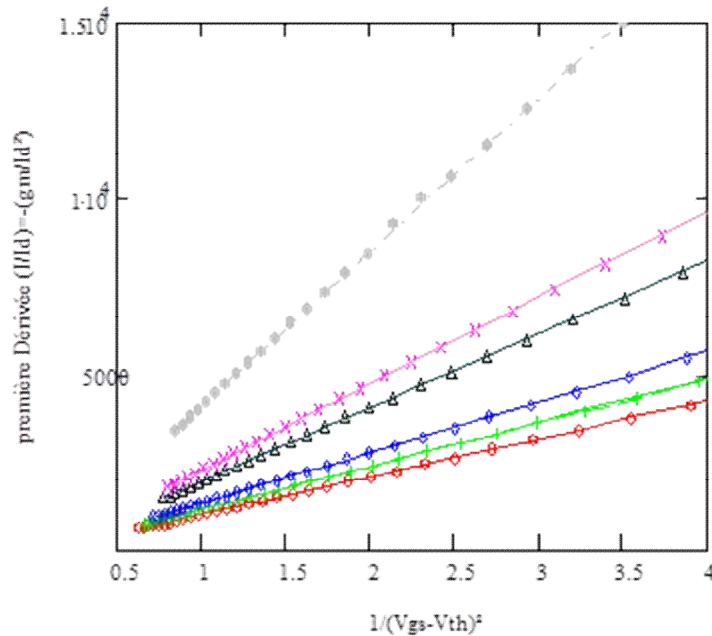


Figure II 12 Technique d'extraction de la mobilité μ_0 et le facteur de réduction de mobilité θ_2 pour la technologie 180nm

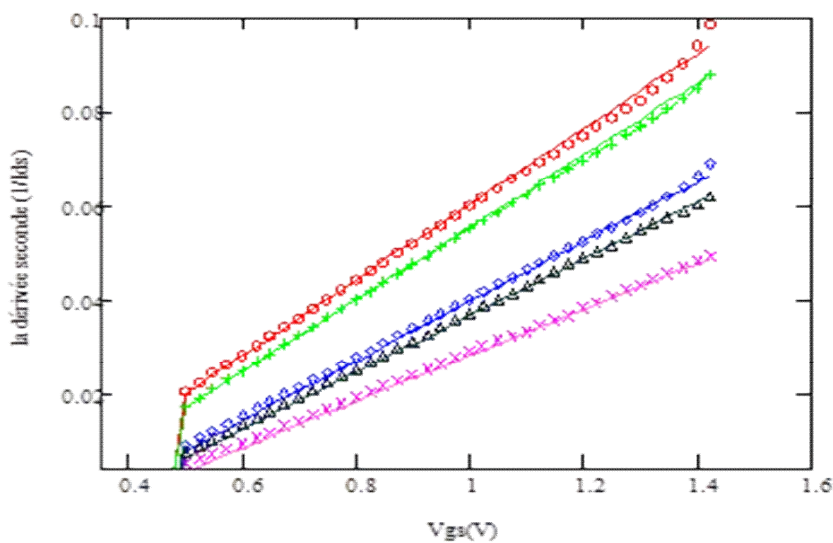


Figure II 13 La caractéristique de $Mc(V_{gs})$ permet l'extraction de la mobilité μ_0 et la tension de seuil V_{th}

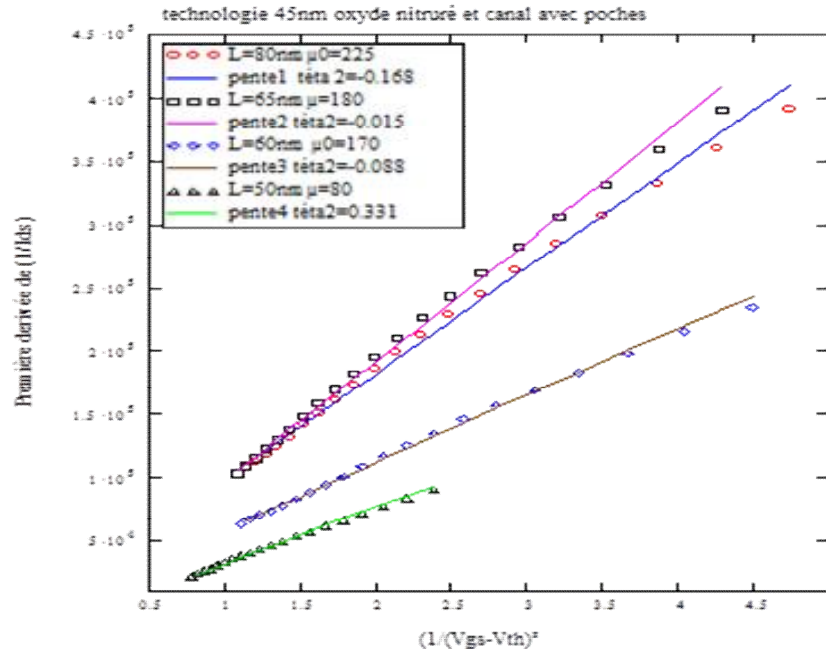


Figure II 14 Technique d'extraction de la mobilité μ_0 et le facteur de réduction de mobilité θ_2 pour la technologie 45nm

$$f_{Mc}(V_{gs}) = \frac{\partial}{\partial V_{gs}} \left(\frac{1}{I_{ds}} \right) = \frac{1}{A} \left(\theta_2 - \frac{1}{(V_{gs} - V_{th})^2} \right) \quad \text{II.15}$$

Le terme A est donné par l'expression $A = C_{ox} V_{ds} \mu_0 (W / L)$, alors l'équation de $f_{Mc} \left(\frac{1}{(V_{gs} - V_{th})^2} \right)$ permet d'extraire θ_2/A qui correspond à l'abscisse à l'origine. Il est préférable d'extraire la mobilité à bas champ à partir de la première dérivée de l'inverse du courant de drain, car celle-ci est moins bruitée que sa dérivée seconde lissée ici équation II.16.

$$\frac{\partial^2}{\partial V_{gs}^2} \left(\frac{1}{I_{ds}} \right) = \frac{1}{A} \left(\frac{2}{(V_{gs} - V_{th})^3} \right) \quad \text{II.16}$$

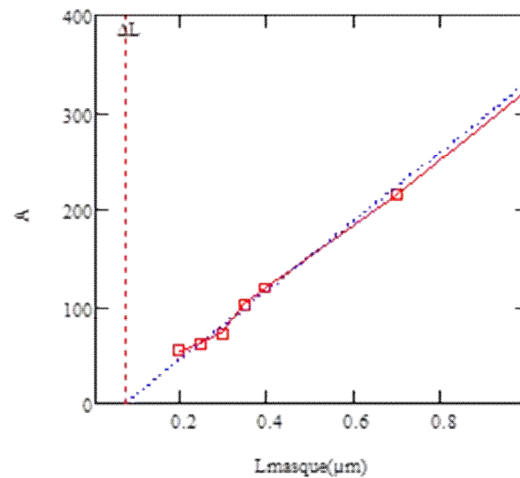


Figure II 15 Caractéristique de l'expression $A = \frac{Lm}{W.Cox.\mu_0.Vd}$ pour extraire ΔL

La fonction de Mc Larty est linéarisée figure (II.12), (II.13) et permet de calculer le terme A afin d'extraire la mobilité μ_0 à faible champs et la tension de seuil V_{th} par le calcul la pente et l'abscisse à l'origine équation II.14

$$Mc(V_{gs}) = \left(\frac{\partial^2}{\partial V_{gs}^2} \left(\frac{I}{I_{ds}} \right) \right)^{-\frac{1}{3}} = \left(\frac{2}{A} \right)^{-\frac{1}{3}} (V_{gs} - V_{th}) \quad \text{II.17}$$

II.3.8. La méthode de la fonction Y

La technique la moins périlleuse pour extraire les paramètres du transistor est la fonction Y [153] [9][7][154] définie comme la combinaison de la courbe de courant de drain $I_d(V_{gs})$ et celle de la transconductance $gm(V_{gs})$ pour linéariser la nouvelle fonction Y d'équation (II.16) et représenter en Figure II.16. La fonction Y est définie par le courant du drain divisé par la racine carrée de la transconductance [153] [66] [44]. Elle permet d'extraire la tension de seuil V_{th} et la mobilité à faible champ μ_0 . Cette méthode apporte plus de précisions par rapport aux autres méthodes [155] [156] [157] [158].

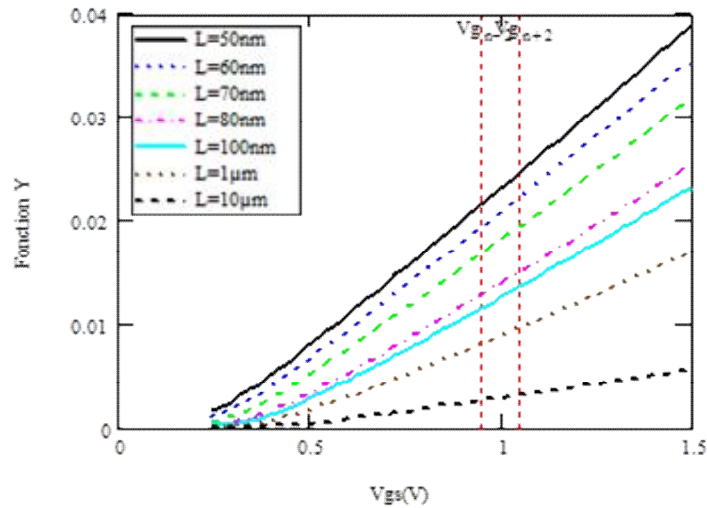


Figure II 4 caractéristique de la fonction Y pour batterie de transistors de technologie 45nm sans poches un oxyde de silicium nitrurée

Elle permet de s'affranchir de l'impact du premier facteur d'atténuation de la mobilité θ_1 et donc de la résistance d'accès R_{sd} . La fonction Y sert aussi à extraire la longueur effective $L_m = L_{eff} + \Delta L$, par l'utilisation de plusieurs longueurs de transistors afin d'extrapoler ΔL .

$$Y = \frac{I_{ds}}{\sqrt{gm}} = \sqrt{\frac{W}{L}} \mu_0 C_{ox} V_{ds} (V_{gs} - V_{th}) \quad \text{II.18}$$

Elle nous permet d'extraire une valeur de μ_0 en s'affranchissant des résistances séries (pente de Y) mais aussi une valeur de la tension de seuil V_{th} (abscisse à l'origine de Y).

$$S_y = \text{pente}(Y) = \sqrt{\frac{W}{L}} \mu_0 C_{ox} V_{ds} \quad \text{II.19}$$

$$\mu_0 = \frac{S_y^2}{\frac{W}{L} C_{ox} V_{ds}} \quad \text{II.20}$$

$$V_{th} = V_{gs} - \frac{Y}{S_y^2} \quad \text{II.21}$$

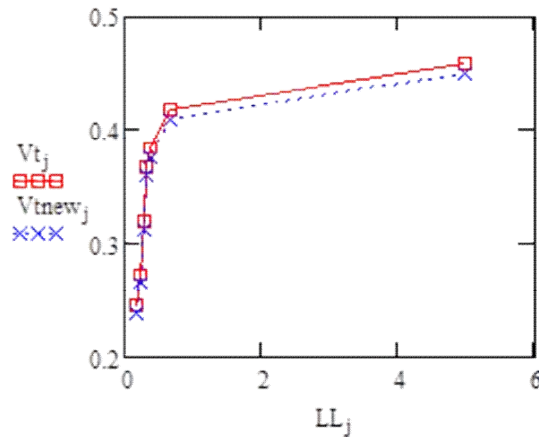


Figure II 57 La variation de la tension de de seuil V_{th} en fonction de la longueur de grille effet SCE

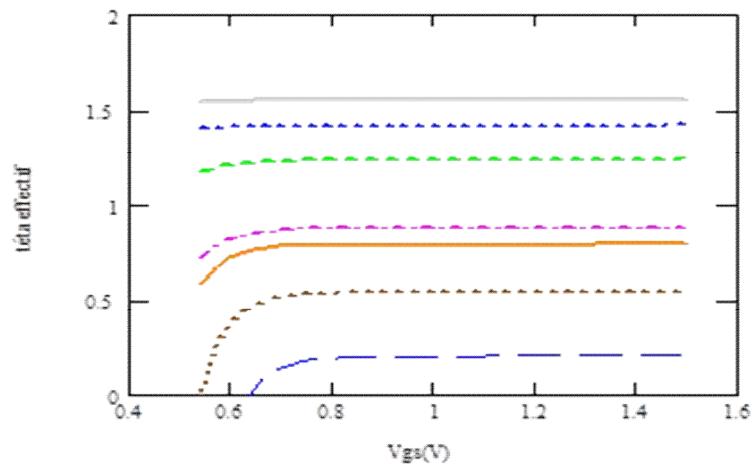


Figure II.6 Caractéristique de θ effectif permettant l'extraction de θ_0 et la résistance $R_{série}$ en fonction de V_{gs}

La tension de seuil en fonction de la longueur du canal représentant l'effet canal court (SCE) est donné par la courbe en figure II.17.

Pour extraire fonction θ_{eff} linéaire figure II.16 dans le régime de forte inversion du transistor on utilise l'expression de l'inverse de I_{ds} ($1/I_{ds}$) telle que :

$$\theta_{eff} = \frac{W}{L_{eff}} \mu_0 C_{ox} \frac{V_{ds}}{I_{ds}} - \frac{1}{V_{gs} - V_{th}} = \theta_1 + \theta_2 (V_{gs} - V_{th}) \quad \text{II.22}$$

On peut extraire les paramètres θ_1 (abscisse à l'origine de θ_{eff}) et θ_2 (pente de θ_{eff}) figure (II.18).

En pratique, la linéarité de la fonction Y dans le régime d'inversion n'est pas si évidente. La précision de l'extraction doit être améliorée par une méthode itérative [156][159] en utilisant la fonction Y_{new}

$$Y_{new} = Y \sqrt{1 - \theta_2 (V_{gs} - V_{th})}$$

II.23

L'algorithme est présenté Figure II.19. Cette procédure peut être appliquée tant que le critère $\theta_2 (V_{gs} - V_{th})^2 \ll 1$ n'est pas atteint.

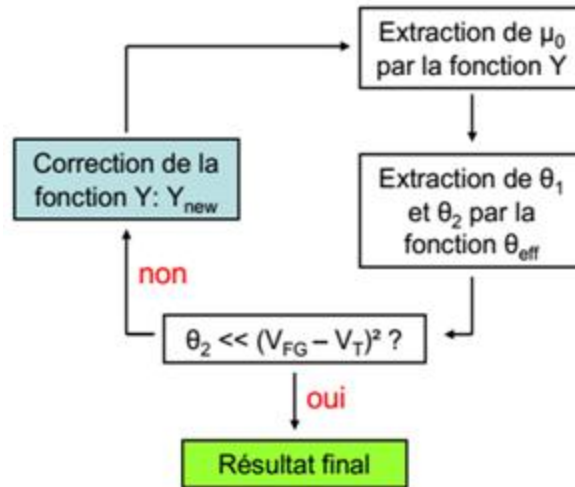


Figure II 79 Procédure d'extraction itérative de la fonction Y_{new}

L'utilisation des courbes $I_{ds}(V_{gs})$ en régime ohmique ($V_{ds} < 50\text{mV}$) permet d'extraire les paramètres électriques V_{th} , β , θ_1 et θ_2 indépendamment des résistances séries. Pour cela l'extraction est réalisée par le biais de la fonction-Y et qui repose sur l'équation du courant en régime ohmique. L'inverse de la mobilité fonction Y_1 permet l'extraction de la mobilité et θ_1 . On considère le second facteur de réduction de la mobilité dans la fonction Y_2 [158] [160] qui permet d'extraire le paramètre θ_2 l'ensemble de l'extraction est représenté en figure II.20:

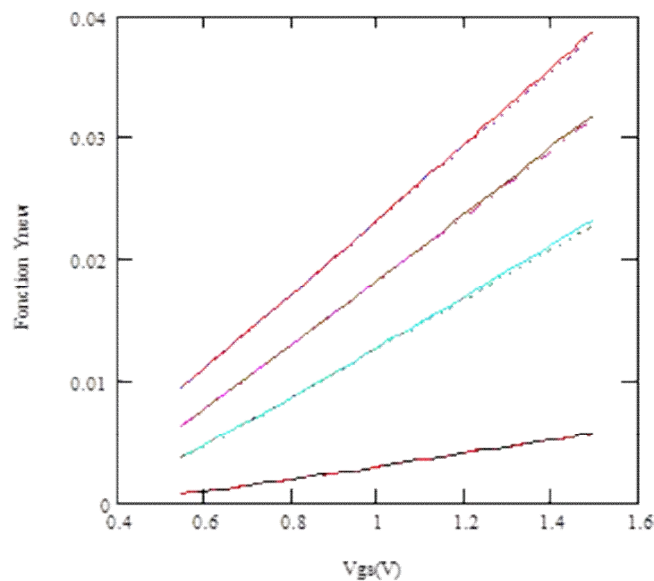


Figure II 20 Extraction des paramètres on utilisant la fonction linéarisée $Y_{new}(V_{gs})$ V_{th} , μ_0 , θ_1 , θ_2 [236]

$$Y1 = \frac{\frac{W}{L} C_{ox} V_d (V_{gs} - V_{th})}{I_d} = \frac{1}{\mu_0} + \frac{\theta_1}{\mu_0} (V_{gs} - V_{th}) \quad \text{II.24}$$

$$Y2 = \left[Y1 \left(\frac{W}{L} \mu_0 C_{ox} V_d \right) - 1 + \theta_1 (V_{gs} - V_{th}) \right]^{1/2} \quad \text{II.25}$$

$$Y2 = \sqrt{\theta_2} (V_{gs} - V_{th}) \quad \text{II.26}$$

II.3.9. Résistances série

Le modèle de l'équation (II.1) permet de reproduire la caractéristique $I_{ds}(V_{gs})$ d'un transistor MOS en présence des résistances séries ($R_{série}$). La chute de potentiel sur V_{ds} que provoque le passage du courant dans les résistances séries du transistor peut être pris en compte en

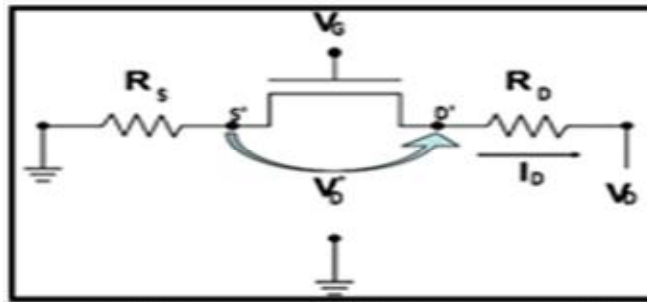


Figure II 21 Schéma électrique d'un MOSFET on introduisant les résistances séries

effectuant le changement de variable $V_{ds} \rightarrow (V_{ds} - R_{série}(V_{gs}) I_{ds})$ figure (II.21).

Remarquons que la prise en compte de $R_{série}$ en régime linéaire revient à appliquer la règle de proportionnalité, où I_{ds} représente le courant prenant en compte l'influence des résistances séries parasites, intervenant uniquement sur le paramètre d'atténuation de la mobilité d'une façon linéaire expression de θ_1 [161][162][38]

$$\theta_1 = \theta_1^* + \left(\frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \right) R_{série} \quad \text{II.27}$$

$$I_{ds} = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \frac{(V_{gs} - V_{th}) V_{ds}}{1 + \left(\theta_1^* + \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 R_{série} \right) (V_{gs} - V_{th}) + \theta_2 (V_{gs} - V_{th})^2} \quad \text{II.28}$$

L'exploitation de l'expression donnant l'inverse du courant de drain I_d , afin d'extraire les différents paramètres (V_{th} , β_0 , θ_1 , θ_2 et $R_{série}$). La dérivée de l'équation (II.27) par rapport à V_{gs} (ou par rapport à V_{gt}). permet d'éliminer θ_1 et $R_{série}$. On l'appelle fMc équation (II.13)

$$\text{On pose } V_{gt} = V_{gs} - V_{th} \dots \dots \beta_0 = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0$$

$$\frac{1}{I_{ds}} = \frac{1 + \theta_1^* V_{gt} + \theta_2 V_{gt}^2}{\beta_0 V_{ds} V_{gt}} + \frac{R_{série}}{V_{ds}} \quad \text{II.29}$$

La pente de fMc ($1/V_{gt}^2$) permet de déterminer β_0 et l'intersection avec l'axe des abscisses le coefficient θ_2 . Cela nécessite de connaître V_{gt} , c'est-à-dire V_{th} . On note ici l'avantage principal de cette méthode qui, en utilisant les dérivées de l'inverse du courant de drain, supprime l'influence des résistances séries parasites, contenues dans le terme θ_1 [162][163] [164][148]. Pour éliminer θ_2 on dérive F par rapport à V_{gs} . On peut alors définir la fonction Mc(V_{gs}),

linéaire de V_{gt} et on obtient l'équation (II.27) représenté par la figure II. 22, la pente de la courbe donne par conséquent β_0 et l'intersection avec l'axe des abscisses V_{th} , ce qui permet d'extraire la tension de seuil. Connaissant β_0 et V_{th} , la fonction F permet ensuite de remonter à

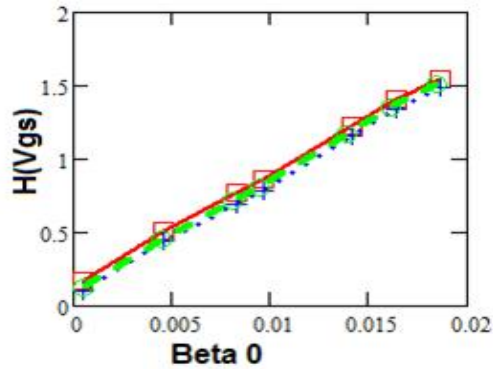


Figure II 22 Extraction de la résistance série pour une technologie de 180nm

θ_2 : [165]

$$\theta_2 = \frac{I}{V_{gt}^2} + \beta_0 \cdot V_{ds} \cdot f(V_{gs}) \quad \text{II.30}$$

$$H(V_{gs}) = \frac{\beta_0 \cdot V_{ds}}{I_d} - \theta_2 \cdot V_{gt} = \theta_1^* + \beta_0 R_{série} \quad \text{II.31}$$

Ainsi on ne peut décorrélérer les effets d'atténuation linéaire de mobilité (θ_1) des effets de résistance série ($R_{série}$) à partir d'une seule caractéristique $I_d(V_{gs})$. Ceci étant, pour un transistor très long, pour lequel β_0 est faible (condition $\beta_0 R_{série} \ll \theta_1^*$, $\theta_1 \cong \theta_1^*$), la fonction $H(V_{gs})$ en inversion forte donne directement θ_1 .

L'inconvénient majeur de cette méthode par rapport à la fonction Y améliorée, présentée au paragraphe précédent, est le bruit engendré par le calcul de la dérivée seconde de l'inverse de I_d . Ce bruit, bien que dépendant des conditions expérimentales et de calcul (pas de mesure en V_g , temps d'intégration, dérivée moyennée, lissée, glissée de la discrétisation. [166] [167]), est inévitable et augmente avec la diminution de la longueur de grille

À partir des valeurs de $H(V_{gs})$ en inversion forte extraites des caractéristiques pour différentes longueurs de grille tracées en fonction des β_0 extraits de ces mêmes caractéristiques, on obtient théoriquement une droite dont la pente vaut $R_{série}$ et dont l'intersection avec l'axe des ordonnées est θ_1^* d'après l'Équation II-25 Figure II.20.

II.3.10. Méthode basée sur la dérivée de la résistance totale par rapport à la Longueur de grille dR_{tot}/dL_g

Cette technique a récemment montré un regain d'intérêt [168][169][170]. Elle a été initialement utilisée pour extraire les $R_{série}$ et la longueur effective (ΔL) des transistors MOS [171]. Elle a ensuite été délaissée à cause de la dépendance des $R_{série}$ avec V_g dans certaines technologies submicroniques. Aujourd'hui elle est surtout utilisée pour extraire la mobilité des canaux courts.

Cette technique consiste simplement à dériver la résistance totale par rapport à la longueur de grille (ou dessinée sur le masque). La résistance totale peut s'écrire d'après l'équation du courant de drain en régime linéaire :

$$R_{tot} = \frac{V_d}{I_d} = R_{série} + \frac{L_{eff}}{W \mu_{eff} Q_{inv}} = \frac{L_m}{W \mu_{eff} Q_{inv}} + \left(R_{série} - \frac{\Delta L}{W \mu_{eff} Q_{inv}} \right) \quad \text{II.32}$$

En différentiant par rapport à L_G (ou L_m) on obtient :

$$\frac{dR_{tot}}{dL_g} = \frac{1}{W \mu_{eff} Q_{inv}} \quad \text{II.33}$$

$$\mu_{eff} = \left(W Q_{inv} \frac{dR_{tot}}{dL_g} \right)^{-1} \quad \text{II.34}$$

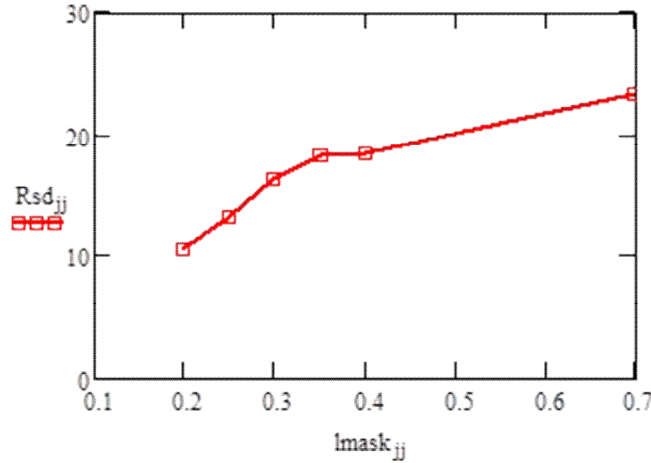


Figure II 23 Extraction de la mobilité μ_0 et des longueurs effectives

On peut donc extraire la mobilité effective en fonction de la charge d'inversion sans connaître a priori les valeurs exactes des longueurs électriques effectives de grille L_{eff} et des résistances séries parasites $R_{série}$. Notamment $R_{série}$ et ΔL peuvent être des fonctions quelconques de V_g . Les hypothèses restantes sont [170][144] : μ_{eff} et $R_{série}$ indépendantes de L_{eff} (L_g) pour pouvoir extraire la mobilité à partir de la pente de $R_{tot}(L_m)$. D'où l'importance de choisir des longueurs de grilles courtes et dans une gamme pas trop large pour satisfaire au mieux cette hypothèse. La charge d'inversion peut être soit calculée en utilisant l'approximation $C_{ox}(V_{gs}-V_{th})$ soit par intégration de la mesure de la capacité grille-canal C_{gc} ou encore par solution numérique de l'équation de Poisson pour une meilleure précision [172]. Si $R_{série}$ et ΔL sont indépendants de V_{gs} , il est alors possible d'extraire en plus les valeurs de $R_{série}$ et ΔL en traçant les valeurs de R_{tot} en fonction de L_m pour différentes valeurs de V_{gt} (ou N_{inv}). Les courbes se croisent en un point dont l'abscisse correspond au ΔL et l'ordonnée à $R_{série}$ (Figures II.23). En définitive, au cours de ce mémoire, les résultats de mobilité à faible champ μ_0 ont été obtenus la plupart du temps par la méthode de la fonction Y améliorée. Parfois certains résultats (μ_0 ou $R_{série}$) ont été extraits par la méthode de la fonction Y originelle (lorsque θ_2 était très faible ou que le diélectrique de grille était épais et que les tensions de grille restaient suffisamment faibles) ou par la dérivée seconde de l'inverse de courant de drain, ou encore par la méthode de Hammer (pour une extraction plus rapide) après avoir vérifiée sa pertinence avec quelques extractions de type fonction Y. Chacune d'entre elles fournit des résultats très similaires.

$$R_{td} = R_m = R_{sd} + R_{ch} \quad \text{II.35}$$

$$R_{ch} = \frac{V_{ds}}{I_{ds}} = \frac{L_{eff}}{W \mu_{eff} C_{ox} (V_g - V_{th})} \quad \text{II.36}$$

$$R_{ch} = \frac{V_{ds}}{I_{ds}} = \frac{L_m - \Delta L}{W \mu_{eff} C_{ox} (V_g - V_{th})} \quad \text{II.37}$$

$$R_{ch} = \frac{V_{ds}}{I_{ds}} = R_{sd} + \frac{L_m}{W \mu_{eff} C_{ox} (V_g - V_{th})} + \frac{\Delta L}{W \mu_{eff} C_{ox} (V_g - V_{th})} \quad \text{II.38}$$

$$L_{eff} = L_m - \Delta L \quad \text{II.39}$$

Cette technique d'extraction est exploitée pour déterminer la résistance série et ΔL les figures (II. 22) et (II .23) montrent bien la variation linéaire, dans cette technique on suppose que la mobilité est constante en fonction de la longueur L.

II.4.Principe de la méthode de « split CV » capacitive

La méthode la plus utilisée pour mesurer la mobilité effective μ_{eff} à faible V_D en fonction du champ effectif E_{eff} est la méthode dite de « split CV » figure (II.24) [160] [82] [159] [173], où μ_{eff} est définie comme l'expression II 40.

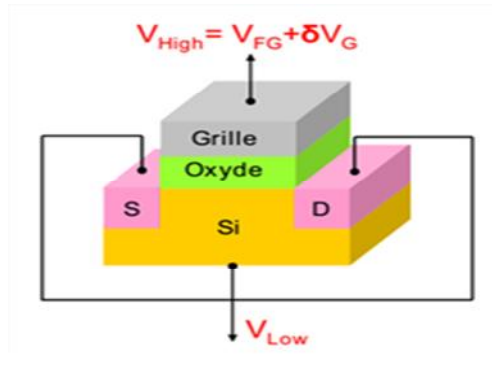


Figure II 24 Illustration d'une mesure de capacité sur un transistor MOS classique

Cette technique est particulièrement fiable sur les transistors longs mais pose quelques problèmes sur les transistors courts. Notamment, la capacité grille/canal devient plus faible et les capacités parasites ne sont alors plus négligeables figure (II.25). Le courant de drain I_{ds} doit également être corrigé pour prendre en compte les résistances séries. Bien qu'il soit possible de

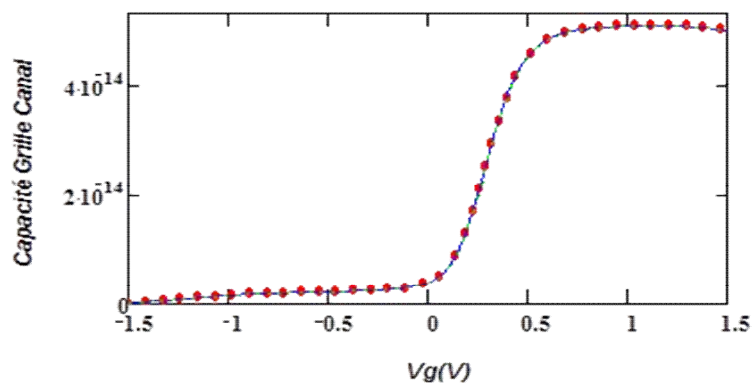


Figure II 25 Illustration de la capacité Grille canal C_{gc} d'un transistor MOS classique de technologie 45nm

prendre en compte ces effets pour les transistors courts [174] [175], nous nous sommes limités à l'extraction de la mobilité dans les transistors longs et larges dans nos études avec la méthode de split-CV figure (II.31). Par contre la méthode de la fonction Y a été utilisée sur les transistors de différentes dimensions

Initialement développée sur le transistor massif, cette technique consiste à une mesure de courant-tension $I_{ds}(V_{gs})$ associée à deux mesures capacitives. Une première entre la grille et le substrat (C_{gs}) qui sert à calculer la charge de désertion Q_{dep} figure (II.26) et l'autre entre la grille et le canal (C_{gc}) qui permet de remonter à la charge d'inversion Q_{inv} figure (II.27)

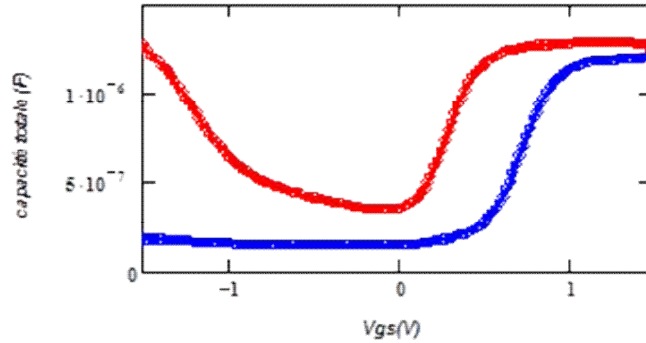


Figure II 26 Illustration de la capacité totale C_{tot} d'un transistor MOS classique de technologie 45nm

$$\mu_{eff} = \frac{L}{W} \frac{I_d(V_g)}{Q_{inv}(V_g) \cdot V_d}$$

II.40

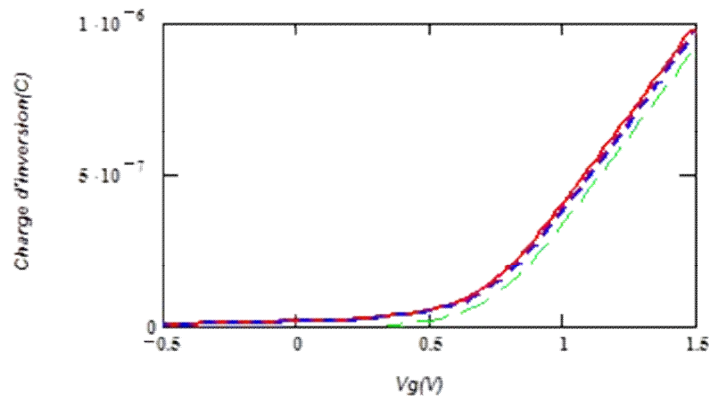


Figure II 27. Illustration de la charge d'inversion contrôlée par la capacité C_{gc} obtenue par

l'équation

$$Q_{inv}(V_g) = \frac{1}{W \cdot L} \int_{V_{g0}}^{V_g} C_{gc}(V) \cdot dV$$

Dans le cas du FDSOI, le calcul de Q_{dep} ne nécessite pas de mesure capacitive puisque le film est complètement déserté (Q_{dep} négligeable). Seule la mesure de la capacité entre la grille et le canal C_{gc} est alors nécessaire et la charge d'inversion est obtenue en intégrant cette dernière représentée en figure II.27.

$$Q_{inv}(V_g) = \frac{1}{W \cdot L} \int_{V_{g0}}^{V_g} C_{gc}(V) \cdot dV$$

II.41

Avec V_{g0} une valeur de V_g en accumulation ce qui permet de soustraire les capacités parasites en posant $C_{gc}(V_{g0})=0$.

Enfin, pour éviter toute variabilité de la mobilité avec V_d [23], il est préférable de faire une moyenne arithmétique de deux mobilités mesurées avec des V_d symétriques par rapport à 0V.

$$\mu_{eff\text{corrigée}} = \frac{1}{2}(\mu_{ef}(V_d) + \mu_{eff}(-V_d)) \quad \text{II.42}$$

Les mesures ont été fait à IMEP Grenoble sur une technologie de 45nm $W=10\mu\text{m}$ et

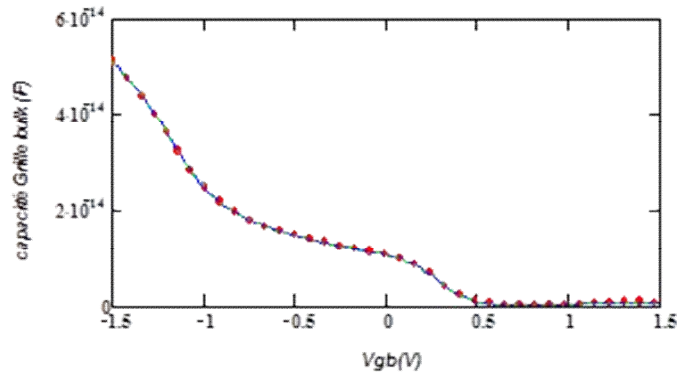


Figure II 28 Illustration de la capacité Grille substrat C_{gb} d'un transistor MOS classique de technologie 45nm

$L=0.4\mu\text{m}$ et $t_{ox}=2.7\text{nm}$ et une capacité d'oxyde $C_{ox}=1.2783 \cdot 10^{-6}$ F, d'où on représente les courbes des capacités Grille Canal C_{gc} et Grille substrat C_{gb} figure (II.28) et (II.29). , ainsi que la capacité totale du transistor figure (II.26). L'extraction de la mobilité le long du canal en

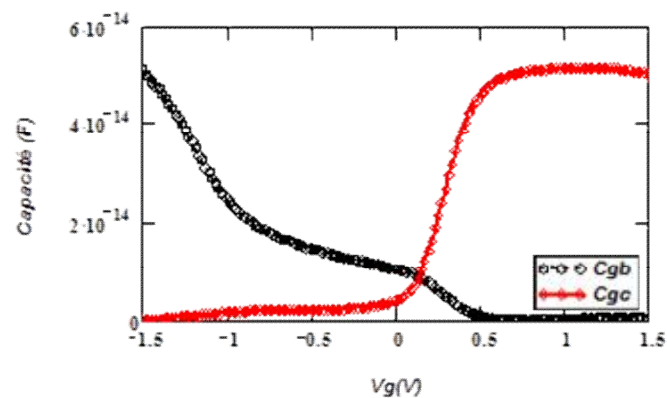


Figure II 29 comportement des capacités C_{gc} et C_{gb} d'un transistor MOS classique de technologie 45nm

fonction du champ électrique perpendiculaire au canal est calculée par la combinaison du courant $I_d(V_g)$ et de la caractéristique $C_{gc}(V_g)$ donnée par la courbe représentée en figure (II.29)

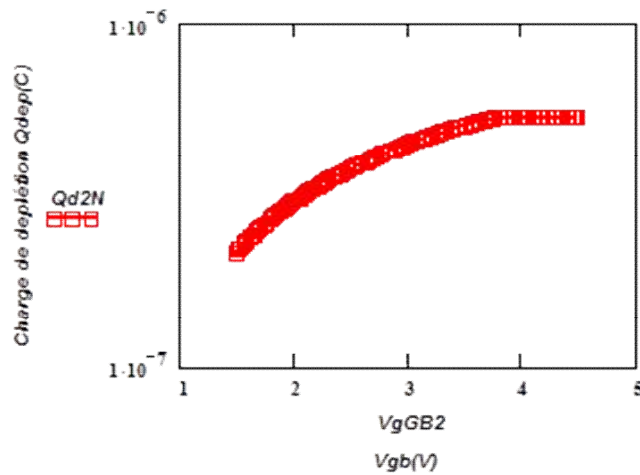


Figure II 30 Illustration de la charge de déplétion induit par la capacité de déplétion d'un transistor MOS classique de technologie

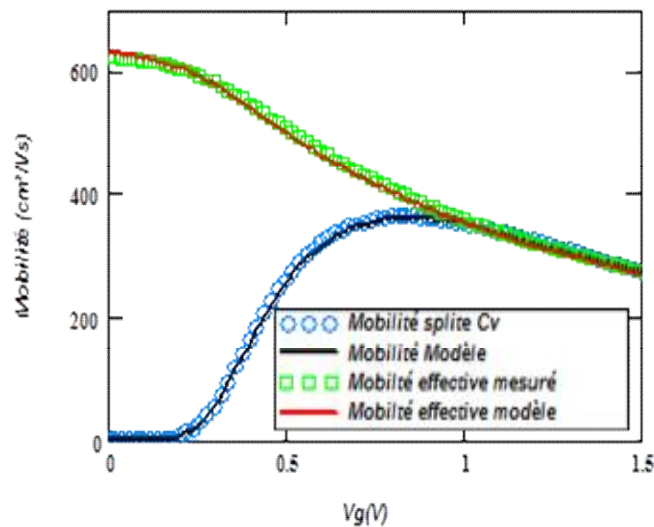


Figure II 31 Illustration des mobilités obtenues par l'équation II.38 d'un transistor MOS classique de technologie 45nm

II.5.Méthode de Bruit basse fréquence

Le bruit basse fréquence représente les fluctuations de courant ou de tension autour de leurs valeurs moyennes [46] [176] [177]. Il a pour origine le comportement aléatoire des porteurs libres en fonction du temps. Les sources principales de bruit dans les transistors MOS sont le bruit en $1/f$, le bruit de génération recombinaison et le bruit RTS. Le bruit de type $1/f$ (Flicker noise) domine dans la gamme des basses fréquences.

Les fluctuations dominant le courant de drain sont dues au bruit $1/f$. Il est lié aux variations de la conductance électrique du canal [178] [179] [180]. Le spectre est proportionnel à $1/f\gamma$ où γ est environ 1. Deux approches coexistent pour expliquer le bruit en $1/f$. Le premier est le modèle de Hooge qui attribue les fluctuations de conductance à des fluctuations de mobilité ($\Delta\mu$) [181] [182]. Ce modèle est donc identifié par une dépendance de la densité spectrale du courant de drain normalisé (S_{Id}/I_d^2) en inverse du courant de drain ($1/I_d$). Dans le deuxième modèle, dit de Mc Whorter, le bruit électrique en $1/f$ est attribué à des fluctuations du nombre

de porteurs présents dans la couche d'inversion du canal (Δn) [183]. La validité de ce modèle se traduit par la corrélation entre S_{Id}/I_d^2 et le rapport $(gm/I_d)^2$ multiplié par la densité spectrale de tension de bandes plates (S_{VFB}) représenté en figure (II.30).

Dans le cas des fluctuations du nombre de porteurs, il est possible d'extraire la densité des états d'interface (D_{it}) en utilisant la relation suivante :

$$N_t = \frac{S_{VFB} W L C_{ox}^2 f^\gamma}{\lambda K T q^2} = \frac{D_{it}}{\lambda} \quad \text{II.43}$$

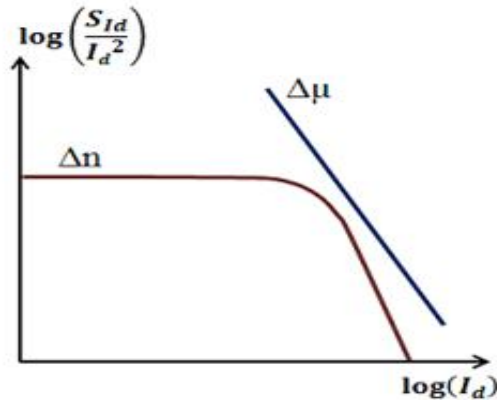


Figure II 8 Allure de S_{Id}/I_d^2 en fonction de I_d pour le modèle "fluctuations de la mobilité" ($\Delta \mu$) et pour le modèle "variation du nombre des porteurs" (Δn) [46]

II.6.Méthode de la conductance

Les états d'interface peuvent être considérés c des états électroniques mono énergétiques d'énergie E_t dont l'ensemble forme un continuum d'énergie dans la bande interdite du silicium. Ces pièges ont en plus la particularité d'être amphotères et peuvent donc échanger des porteurs avec les bandes de valence et de conduction. C'est cet échange qui est à l'origine d'une réponse capacitive $C_{it\ FG}$ de ces défauts, dépendante du potentiel de surface à l'interface avant d'un MOSFET Φ_{SFG} :

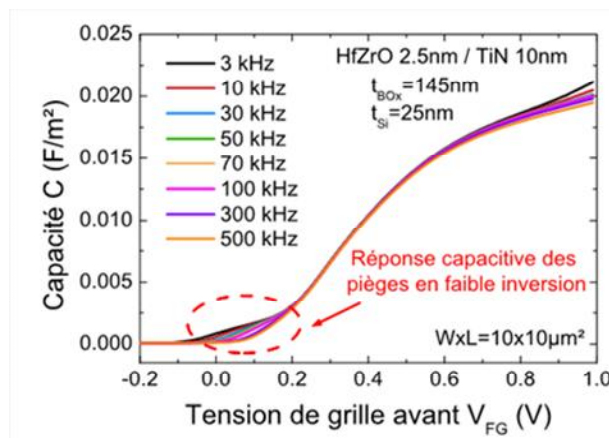


Figure II 9 Caractéristique C-V à différentes fréquences : illustration de la réponse fréquentielle des pièges

$$C_{itFG}(\phi_{sFG}) = \frac{dQ_{it}(\phi_{sFG})}{d\phi_{sFG}}$$

II.44

Ces échanges ne s'effectuent pas systématiquement à l'équilibre thermodynamique et donnent lieu à des pertes énergétiques sous forme d'effet Joule dans le substrat, qui vont donner lieu à un pic de conductance G_{itFG} proportionnel à la densité de piège D_{itFG} . Ces deux grandeurs (C_{itFG} et G_{itFG}) sont accessibles via une mesure de capacité du dispositif illustrée en Figure II.31 pour un transistor MOS classique sur silicium massif. Cette mesure est réalisée entre une borne « High » reliée à la grille et une borne « Low » reliée au groupe source + drain + substrat (source + drain uniquement sur FDSOI).

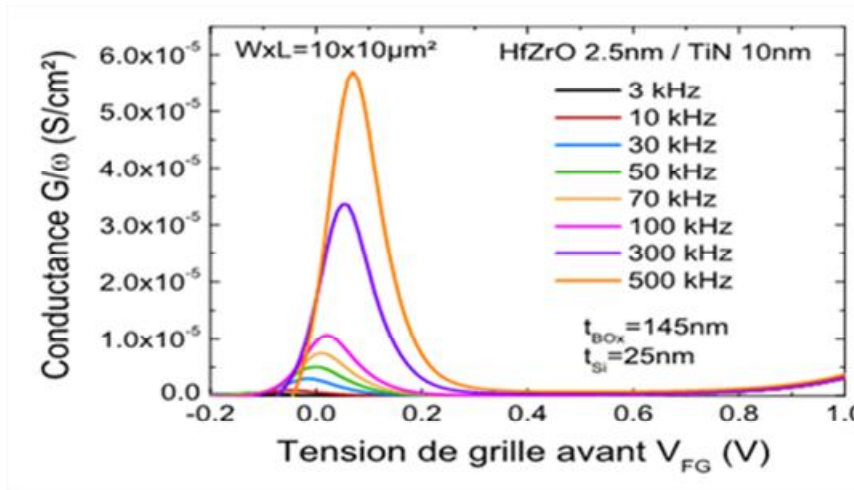


Figure II 11 Caractéristique G - V à différentes fréquences : illustration de la réponse fréquentielle des pièges [237]

Enfin, la réponse capacitive C_{itFG} des pièges, ainsi que la perte énergétique G_{itFG} associée, dépendent de la fréquence ($\omega = 2 \pi f$) du signal alternatif de mesure d'amplitude δV_{gs} . A basse fréquence, les pièges ont le temps d'échanger des porteurs avec les bandes de valence et de

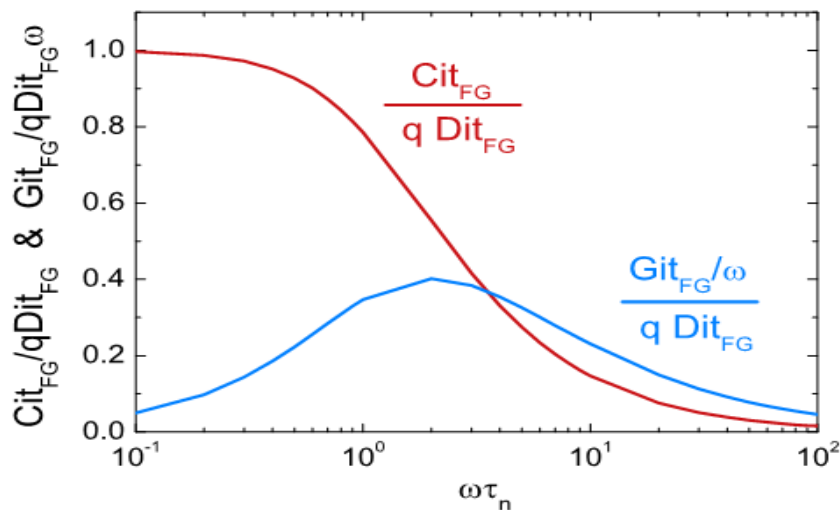


Figure II 10 Comportement en fréquence de la capacité C_{itFG} et conductance G_{itFG} des pièges d'interface avant

conduction et vont répondre instantanément à la variation de courbure de bande imposée par δV_{gs} . $C_{itFG}(\omega)$ atteint alors sa valeur statique C_{it0} alors que $G_{itFG}(\omega)$ tend vers une valeur nulle, les échanges se faisant à l'équilibre thermodynamique. A haute fréquence, les pièges n'ont pas le temps de répondre et n'échangent plus de porteurs avec les bandes. Encore une fois, aucune perte énergétique n'a lieu et à la fois $C_{itFG}(\omega)$ et $G_{itFG}(\omega)$ tendent vers une valeur nulle. La réponse fréquentielle des pièges n'est finalement visible que pour une gamme de fréquences comprise approximativement entre $1\text{Hz} < f < 1\text{MHz}$ et apparaît dans le régime d'inversion faible, comme l'illustrent les Figures II.32 et II.33 pour un transistor FDSOI de type NMOS avec $V_{BG} = 0\text{V}$. Cette dépendance fréquentielle sera illustrée plus loin après modélisation.

Il faut à présent relier la capacité C_{mes} et la conductance G_{mes} mesurées aux capacités C_{itFG} et conductance G_{itFG} propres aux états d'interface. Ce modèle a été largement décrit par [184] pour des technologies sur silicium massif. Il sera adapté au cas spécifique du FDSOI dans un second temps. On définit C_{itFG} la réponse électrique complexe des états d'interface. On distinguera les échanges de porteurs entre les pièges et la bande de valence $C_{tpFG}(\omega)$ de ceux de la bande de conduction $C_{tnFG}(\omega)$, soit :

$$C_{itFG} = C_{mfg} + C_{tpfg} \quad \text{II.45}$$

Dans l'approximation d'un régime petit signal, on considère alors Figure II.32 le circuit électrique équivalent du transistor en régime de désertion. On rappelle que les capacités C_{ox} , C_{dep} et C_{invFG} sont les capacités d'oxyde de grille, de désertion et d'inversion à l'interface avant respectivement.

II.7.DLTS

La DLTS est une technique spectroscopique analysant les transitoires de capacités (ou de courant) associés à la charge de piégeage et piégeage des défauts situés près de la surface (dans le volume) ou à l'interface lors d'une impulsion de polarisation périodique (remplissage du défaut en présence de l'impulsion (t_{on} durée de l'impulsion) et vidage durant le temps t_{off} (tension de base). Le filtrage DLTS fournit en sortie une réponse maximale R_{max} lorsque la constante de temps du transitoire est égale à une fenêtre fixée par le système de filtrage (en l'occurrence proportionnelle à la période de répétition de l'impulsion pour une détection synchrone double phase). Cette constante de temps (qui est en fait l'inverse du taux d'émission sur le défaut) étant très dépendante de la température, on peut obtenir par une série de relevés DLTS (pics pendant un balayage en température) pour des fenêtres du filtre différentes (fixées par différentes fréquences de répétition des impulsions) une série de couples taux d'émission – température (e_n, T_i), qui permet d'obtenir la position énergétique ΔE_t du niveau du défaut par rapport à la bande où est émis le porteur piégé et sa section de capture σ , via un plot d'Arrhenius $\text{Log}(e_n/T^2)$ en fonction de $1/kT$ de la relation suivante:

$$e_n = \sigma \gamma T^2 \exp\left(-\frac{\Delta E_t}{KT}\right) \quad \text{II.46}$$

où T est la température, γ un paramètre caractéristique du matériau et K la constante de Boltzmann. La connaissance de ΔE_t et σ autorise une identification du défaut concerné en

référence à des valeurs connues dans la littérature, et l'amplitude maximale R_{\max} du pic DLTS rend possible l'estimation de sa concentration N_t , via la relation suivante:

$$\frac{R_{\max}}{C} = G \frac{N_t}{2 N_d} \quad \text{II.47}$$

où C , est la valeur de la capacité pour la tension de base de l'impulsion appliquée à la température du pic DLTS (qui nécessite une mesure de $C(T)$ pour la valeur de la tension de base), N_d la concentration de l'échantillon et G un facteur expérimental dépendant du type de filtrage employé et des valeurs des tensions de polarisation (*facteurs géométriques tenant compte des extensions des zones de charge d'espace.*)

II.8. Analyse de la statistique SRH

Les pièges à électron, ou à trou, jouent un rôle important sur le courant dans le semi-conducteur, dans la mesure où ils diminuent momentanément la densité de porteurs libres. Cette section se propose de poser les fondements de la statistique SRH qui seront ensuite utilisés lors de l'étude du pompage de charge. A la (Figure II.29) nous représentons le diagramme de bandes d'un semi-conducteur où apparaissent le bas de la bande de conduction, noté E_C , et le haut de la bande de valence, noté E_V . Soit N_{ss} la densité de centres de recombinaison, E_t le niveau d'énergie qu'ils introduisent dans le gap et f_t la probabilité d'occupation de ce niveau. Les mécanismes de remplissage des pièges sont définis par les différents taux de capture et d'émission U_{cn} , U_{en} , U_{cp} , U_{ep}

A l'équilibre thermodynamique la probabilité f_t est donnée par la fonction de distribution de Fermi-Dirac[185][186][16][9][187] :

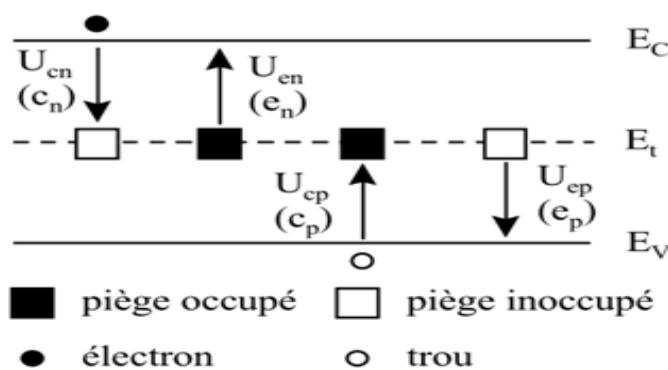


Figure II 12 Diagramme de bandes du semi-conducteur faisant apparaître des pièges au niveau d'énergie Et ainsi que les taux de capture et d'émission des porteurs libres

$$f_t = \frac{1}{1 + \exp\left(\frac{E_t - E_f}{K.T}\right)} \quad \text{II.48}$$

f_t est la probabilité qu'un centre soit occupé par un électron, et la probabilité qu'un piège soit inoccupé donnée par $(1-f_t)$. La densité d'électrons piégés dans le volume du semi-conducteur est donnée par $N_{ss} \cdot f_t$, et la densité des pièges vides s'écrit $N_{ss} (1-f_t)$

En situation hors équilibre thermodynamique, f_t ne s'exprime pas avec le niveau de Fermi E_F mais en le remplaçant par le quasi niveau de Fermi E_{Fn} des électrons (dans le cas d'un substrat de type p).

II.8.1. Taux de capture des électrons

Le nombre d'électrons présents dans la bande de conduction est égal à n et un électron qui tombe vers la bande de valence a une probabilité C_n ($\text{m}^3 \cdot \text{s}^{-1}$) d'être capturé, au passage, par un centre inoccupé.

Taux de capteur des électrons U_{cn} , s'exprime de la façon suivante

$$U_{cn} = C_n \cdot n N_{ss} (1 - f_t) \quad \text{II.49}$$

Avec C_n coefficient de capture des électrons déterminé par $C_n = \sigma_n v_{th}$, v_{th} représente la vitesse thermique des porteurs et σ_n la section efficace de capture des électrons par les centres recombinants.

II.8.2. Taux d'émission des électrons

Un électron piégé peut être émis vers la bande de conduction avec une probabilité d'émission e_n et le taux d'émission d'un électron U_{en} , donné par l'équation II.49

$$U_{en} = e_n N_{ss} f_t \quad \text{II.50}$$

A l'équilibre thermodynamique il y a égalité entre les taux de capture et d'émission des électrons ($U_{cn} = U_{en}$) on déduit la relation liant e_n et C_n par $e_n = C_n \cdot n \frac{1 - f_t}{f_t}$. La concentration en électrons libres à l'équilibre thermodynamique est donnée par la relation :

$$n_l = n_i \cdot \exp\left(\frac{E_t - E_i}{KT}\right) \quad \text{II.51}$$

$$e_n = C_n \cdot n_i \cdot \exp\left(\frac{E_t - E_i}{KT}\right) = n_l C_n \quad \text{II.52}$$

n_l est défini comme la densité d'électrons dans le cas où $E_F = E_t$.

II.8.3. Taux de capture des trous

La concentration en trous libres dans la bande de valence est p . Un trou qui monte vers la bande de conduction à une probabilité C_p d'être piégé au passage, par un centre le taux de capture des trous U_{cp} , s'exprime de la façon suivante:

$$U_{cp} = C_p \cdot p N_{ss} f_t \quad \text{II.53}$$

Avec: $C_p = \sigma_p v_{th}$, σ_p est la section efficace de capture (m^2) des trous par les centres recombinants.

II.8.4. Taux d'émission des trous

Afin d'éviter la détermination du nombre de places disponibles pour les trous dans la bande de valence, on introduit un coefficient e_p qui représente la probabilité d'émission d'un trou piégé vers la bande de valence.

Le taux d'émission des trous U_{ep} , s'exprime de la façon suivante :

$$U_{ep} = e_p \cdot N_{ss} (1 - f_t) \quad \text{II.54}$$

A l'équilibre thermodynamique il y a égalité entre les taux de captures et d'émission des trous, donc à partir de l'expression suivante : $U_{cp} = U_{ep}$ on peut tirer une autre équation, c'est la relation liant C_p à e_p .

La concentration en trous libres est donnée par la relation suivante :

$$p_I = n_i \cdot \exp\left(\frac{E_i - E_t}{KT}\right) \quad \text{II.55}$$

$$e_p = C_p \cdot n_i \cdot \exp\left(\frac{E_i - E_t}{KT}\right) = p_I C_p \quad \text{II.56}$$

II.9. Principe pompage de charge

Le terme pompage de charge (*charge pumping en anglais*) a été introduit en 1969 par Brugler et Jaspers [34] [188] suite à l'observation sur des transistors sur silicium massif d'un courant de substrat lorsque l'on vient basculer périodiquement un transistor du régime d'inversion au régime d'accumulation. Les diagrammes de bande de ces deux régimes sont

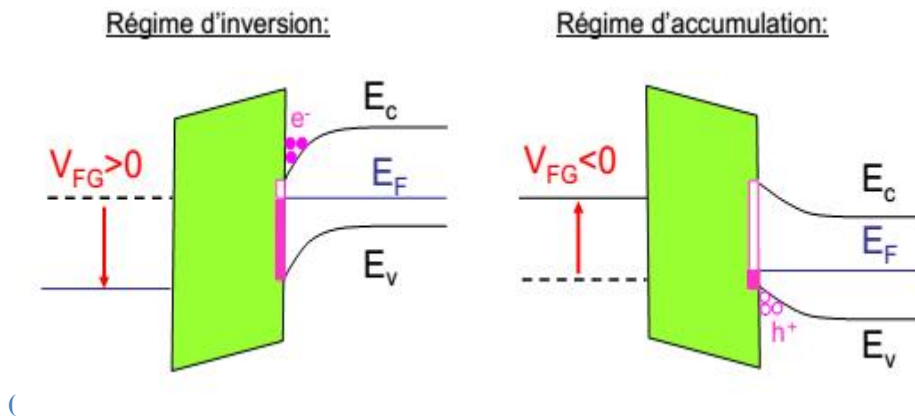


Figure II 13 Remplissage des états d'interface en inversion et en accumulation (NMOS)

illustrés Figure (II.30) où le remplissage des pièges y est indiqué par la bande rectangulaire (coloriée lorsque le piège est occupé par un électron, vide dans le cas contraire). Dans le régime d'inversion, les porteurs minoritaires issus des régions source et drain viennent remplir les pièges d'énergie inférieure au niveau de Fermi ($E_T < E_F$) [189]. Dans le régime d'accumulation, ce sont les porteurs majoritaires issus du substrat qui vont être capturés par les pièges d'énergie supérieure au niveau de Fermi ($E_T > E_F$). Ainsi, à chaque période un porteur minoritaire est capturé par un état d'interface puis se recombine avec un porteur majoritaire du substrat capturé à son tour, donnant lieu au courant « pompé » proportionnel à la densité d'état d'interface avant [190][189]

Ce phénomène a donné lieu à différentes méthodes de caractérisation de la densité d'états d'interface en appliquant des impulsions (pulses) de tension sur la grille du dispositif, la forme du pulse pouvant varier [188] [191]. On s'intéressera ici à la méthode la plus classique utilisant des signaux trapézoïdaux caractérisés par :

- un niveau haut V_H (« High ») et un niveau bas V_L (Low) choisis de sorte que l'amplitude du signal permette de passer de l'accumulation à l'inversion et vice versa, soit $\Delta V = V_H - V_L > V_{th} - V_{FB}$, V_{FB} étant la tension de bande plate [192].

- des temps de montée (rise) t_r et de descente t_f (fall)

- une fréquence f du signal

Le protocole expérimental est illustré Figure (II 31) pour un transistor sur silicium massif

Expression du courant pompé I_{CP}

L'expression du courant ICP prenant en compte les émissions de porteurs a été apportée par Groeseneken et al. en 1984[193], soit :

$$I_{CP} = q S f \int_{E_{em,h}}^{E_{em,e}} D_{it}(E) dE \quad \text{II.57}$$

$$\approx q S f (E_{em,e} - E_{em,h}) \overline{D_{it}} \quad \text{II.58}$$

avec $E_{em,e} - E_{em,h}$ la fenêtre d'énergie dans laquelle il y a recombinaison dans les états

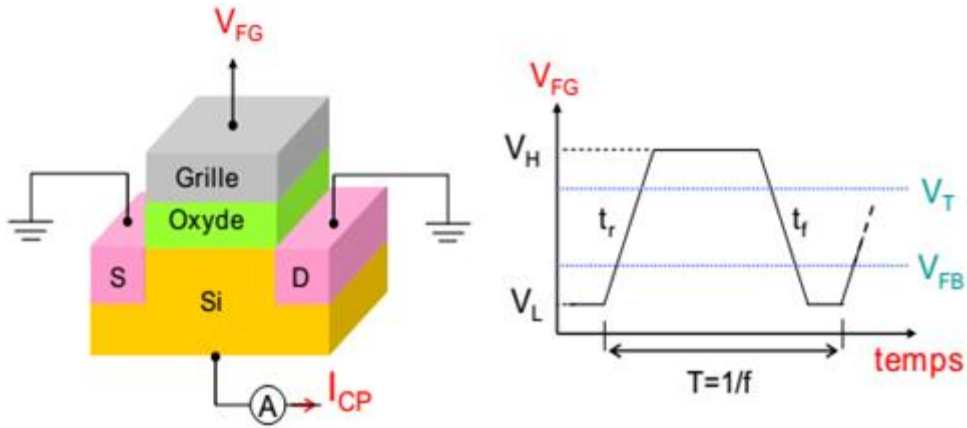


Figure II 14 Illustration de la méthode de pompage de charges

d'interface et $\overline{D_{it}}$ la densité moyenne des pièges [194] [195][196] [87] (considérée uniforme dans le canal et indépendante de l'énergie). S est la surface du dispositif.

$E_{em,h}$ et $E_{em,e}$ sont plus exactement les énergies à partir desquelles les trous et les électrons respectivement ne sont plus émis. En effet, un piège peut être rempli soit par capture d'un électron de la bande de conduction soit par émission d'un trou vers la bande de valence. Pour qu'il y ait recombinaison, il faut que le piège se remplisse par capture d'un électron de la bande de conduction du silicium puis se vide par capture d'un trou de la bande de valence (Figure II.38). Or pour $E_F > E_{em,e}$, le piège va avoir plutôt tendance à réémettre l'électron piégé vers la bande de conduction et pour $E_F < E_{em,h}$ le piège va avoir plutôt tendance à être rempli par émission d'un trou plutôt que par la capture d'un électron[197].

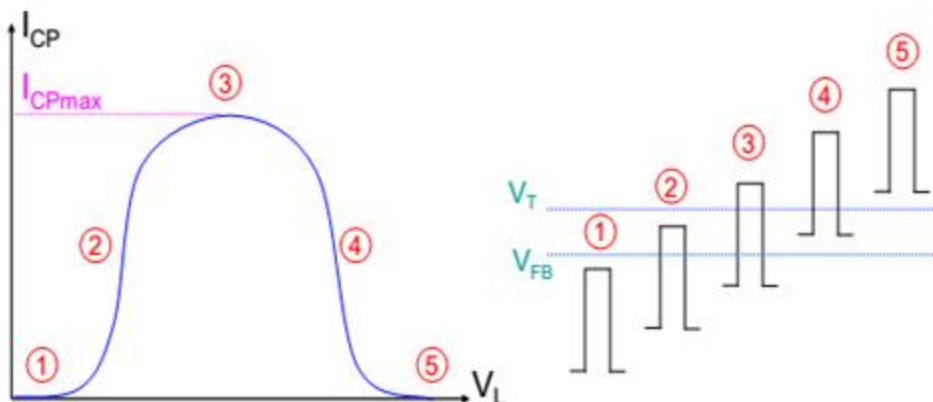


Figure II 15 Caractéristique $I_{CP}(V_L)$ en forme de cloche pour un transistor NMOS et la mise en évidence des impulsions appliquées

Les expressions $E_{em,h}$ et $E_{em,e}$ sont données par Simmons et Wei:

$$E_{em,e} = E_i - k T \ln \left(t_f \frac{|V_{th} - V_{FB}|}{V_H - V_L} n_i v_{th} \sigma_n \right) \quad \text{II.59}$$

$$E_{em,h} = E_i + k T \ln \left(t_r \frac{|V_T - V_{FB}|}{V_H - V_L} n_i v_{th} \sigma_p \right) \quad \text{II.60}$$

Avec n_i la densité intrinsèque de porteurs, v_{th} la vitesse thermique, σ_p et σ_n les sections de capture de trous et d'électrons respectivement des états d'interface. En pratique, on fait varier le niveau bas V_L tout en gardant l'amplitude du signal $V_H - V_L$ constante [198]. On peut aussi garder un niveau bas constant et faire varier l'amplitude du signal [193], mais on ne détaillera pas cette méthode ici. On obtient ainsi une courbe caractéristique en forme de cloche (voir Figure II.39) où I_{CPmax} correspond effectivement au courant pompé décrit précédemment. Celle-ci peut être divisée en 5 zones :

- ① La surface du semiconducteur reste accumulée et le vidage/remplissage des pièges ne met en jeu que des trous \Rightarrow pas de recombinaison possible
- ② Zone intermédiaire où la recombinaison est limitée à cause de l'émission de trous
- ③ Durant un cycle, la surface du semiconducteur passe de l'accumulation à l'inversion \Rightarrow courant de recombinaison maximal I_{CPmax} pour les pièges situés entre $E_{em,h}$ et $E_{em,e}$
- ④ Zone intermédiaire où la recombinaison est limitée à cause de l'émission d'électrons
- ⑤ La surface du semiconducteur reste inversée et le vidage/remplissage des pièges ne met en jeu que des électrons \Rightarrow pas de recombinaison possible [194] [191] [198] [192]

Enfin, les équations II 54 et II.55 montrent que $E_{em,h}$ et $E_{em,e}$ dépendent des temps de montée t_r et de descente t_f du signal. Il est donc possible de changer la fenêtre de recombinaison des états d'interface en jouant sur ces paramètres. Plus précisément, en dérivant l'équation II 54 et en considérant que les sections de capture sont indépendantes du niveau d'énergie de l'état d'interface, on obtient:

$$Dit(E_{em,e}) = \frac{t_f}{q S f k T} \frac{dI_{CP}}{dt_f} \quad \text{II.61}$$

$$Dit(E_{em,h}) = \frac{t_r}{q S f k T} \frac{dI_{CP}}{dt_r} \quad \text{II.62}$$

On remarquera que l'on peut jouer aussi sur la température pour balayer une gamme d'énergie plus large de la bande interdite du silicium.

II. 10.Conclusion

Dans ce chapitre nous avons étudié les différentes techniques de caractérisations électriques accompagnées des méthodes d'extraction de paramètres.

Les techniques I(V) et C(v) ont été expérimentés sur des nœuds technologiques avancés, comme l'évolution des paramètres électrique des transistors FDSOI.

Chapitre III

Modélisation du Courant de Drain des Transistors MOSFETs Avancés

III.1.Introduction

L'évolution de la technologie microélectronique a besoin de la compréhension du fonctionnement des MOSFETs pour d'optimiser leurs propriétés électriques et physiques et maximiser leurs performances. Pour mieux comprendre l'influence des actions spécifiques des paramètres des dispositifs MOSFETs, il faut développer des modèles analytiques fiables permettant d'établir des liens entre les caractéristiques obtenues pratiquement ou par la simulation et le comportement des dispositifs associée à chaque technologie. Il est donc indispensable d'intégrer des modèles efficaces prenant en compte toutes les perturbations indésirables influant sur la dégradation progressive de ces dispositifs, interpréter par l'altération des caractéristiques fonctionnelles. L'objectif est d'apporter des solutions analytiques simples et efficaces, proches du comportement fonctionnel des MOSFETs, ce qui rend le choix du modèle approprié de plus en plus complexe. Finalement, en raison de la nature évolutive de la technologie CMOS, le développement d'un modèle précis et efficace est nécessaire pour être adapté à la simulation fonctionnelle de circuits ayant une très haute densité d'intégration est un défi permanent[200] [201].

Dans ce chapitre, nous proposons un modèle analytique des dispositifs MOSFETs avancés. Ce modèle exprime le fonctionnement du transistor MOSFET dans les différentes régions, de l'accumulation à la forte inversion et du régime linéaire au régime de saturation. Le modèle prend en compte entièrement les actions de chacun des paramètres électrique et physique liés au dispositif MOSFETs [202][203] [204]. Principalement le modèle exprime les réactions activées par chaque paramètre du dispositif, cela est observé sur les caractéristiques fonctionnelles. Le modèle explicite dans le domaine de caractérisation, courant-tension (I-V) et capacité-tension (C-V), le processus de transport des porteurs dans le canal [49].

La caractérisation des transistors MOS utilise essentiellement des modèles analytiques intégrant tous les paramètres électriques et physiques liés au fonctionnement du dispositif intégré post avancés à semi-conducteur. La qualité du modèle analytique permet essentiellement l'extraction des différents paramètres du MOSFET, par l'introduction des approximations basées sur les conditions d'expérience, afin de mettre en évidence la sensibilité du paramètre cible du dispositif à effet de champ. L'ensemble des paramètres de base du modèle analytique permettent la validation des performances d'une conception, en fonction de la nature évolutive de la technologie CMOS visée. Cette modélisation est d'une grande importance pour enrichir les simulateurs de dispositifs à semiconducteur et de réduire le temps de calcul. Le but est de poursuivre la miniaturisation par la validation progressive, afin d'atteindre les meilleures performances d'une nouvelle conception en fonction du nœud technologique.

Le modèle unifié les différentes zones de fonctionnement, de la déplétion à la forte inversion ainsi que les zones linéaire et de saturation. Cela permet de généraliser l'application dans le

domaine de la caractérisation des dispositifs micrométrique et nanométrique avancés, exploité à l'extraction des différents paramètres du MOSFET.

Un rappel sur les fonctions utilisées pour le développement du modèle analytique du courant électrique dans les matériaux en général et la modélisation des courants dans les dispositifs MOSEFTs en particulier. Une caractérisation courants tensions (I-V) et capacité tension (C-V) en technologie avancée, pour la mise en œuvre d'un modèle analytique unifiant les différentes régions : linéaire, saturation, sous le seuil et la forte inversion [16].

Et enfin une application du modèle a la caractérisation et l'extraction des paramètres des transistors FDSOI de la technologie 32nm, notamment pour l'étude en fiabilité [205][10]. Les expériences ont été réalisés lors des stages de courte durée au niveau de l'IMEP LAHC Grenoble France.

III.2.Modélisation du courant de drain d'un MOSFET

Les modèles de transistors décrivent le comportement du composant en matière de caractéristiques électriques, principalement courant-tension (I-V) et capacité-tension (C-V), pour décrire le processus de transport des porteurs dans le dispositif [206]. Les modèles exprimés dans la littérature séparent les comportements du composant dans toutes les régions de fonctionnement. Dans ce contexte le transistor MOS est modélisé par trois modèles classiques introduits chacun dans une zone de fonctionnement :

Le modèle linéaire, comportement du MOS pour de faibles tensions (Drain-Source) et en forte inversion.

Le modèle de saturation (quadratique) tenant compte de la variation de la charge d'inversion dans le canal en fonction de la tension de drain.

Le modèle du courant sous la tension de seuil, montre l'évolution de la charge dans le canal dans les zones d'accumulation et d'inversion faible, paramétré par le champ électrique longitudinal.

III.2.1.Modèle linéaire du courant de drain

Le modèle linéaire du courant de drain exige l'invariance de la mobilité et de la tension de seuil pour un champ électrique longitudinal très faible. De cet effet la charge d'inversion par unité de surface Q_{inv} doit être linéaire tout le long du canal. Le courant I est défini par le transfert d'une charge électrique Q du drain à la source distante d'une longueur Lg de grille par unité de temps t (*temps t de transfert.*) [187]

$$I = \frac{Q}{t} \quad (3.1)$$

De cette expression on déduit le courant du drain I_{ds} en fonction de la charge d'inversion par unité de surface Q_{inv} contrôlé par la tension de grille V_{gs} dans le canal de surface $L.W$ d'une manière uniforme (V_{ds} faible).

$$I_{ds} = \frac{Q_{inv}LW}{t} \quad (3.2)$$

Le temps t de transit des porteurs entre la source et le drain est une fonction de la vitesse v , qui elle-même fonction de la mobilité μ et du champ électrique longitudinal $E//$ d'où l'expression du courant de drain avec les paramètres électriques du transistor.

$$t = \frac{L}{v} = \frac{L}{\mu E} = \frac{L}{\mu \frac{V_{ds}}{L}} = \frac{L^2}{\mu V_{ds}} \quad (3.3)$$

$$I_{ds} = \frac{Q_{inv} W}{L} \mu V_{ds} \quad (3.4)$$

La charge d'inversion puise les porteurs dans les caissons de source et de drain, elle s'établit donc beaucoup plus rapidement que la charge d'inversion dans la capacité MOS ou capacité de l'isolant de grille C_{ox} . En d'autres termes, ce sont la source et le drain qui fournissent les porteurs nécessaires à la charge d'inversion contrôlée par le potentiel de grille.

$$Q_{inv} = -C_{ox} (V_{gs} - V_{th}) \quad (3.5)$$

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} \quad (3.6)$$

$$I_{ds} = \frac{W}{L} C_{ox} (V_{gs} - V_{th}) \mu V_{ds} \quad (3.7)$$

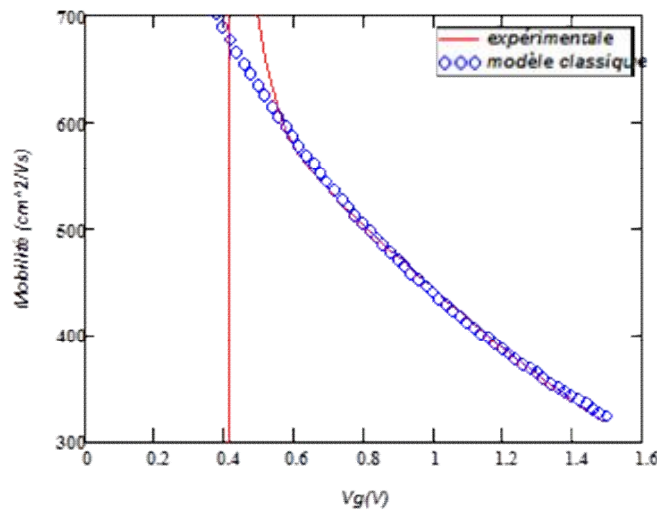


Figure. III 1 comparaison de la mobilité expérimentale et la mobilité universelle du modèle classique d'un transistor NMOS $L=400\text{nm}$ $W=10\mu\text{m}$, $\mu_0=688\text{cm}^2/\text{Vs}$ et $\theta_1=0.560\text{V}^{-1}$

III.2.2.La mobilité universelle

La mobilité universelle μ est donnée en fonction de la mobilité μ_0 à faible champ [41][207][208], afin de tenir compte de la réduction de la mobilité en introduisant les facteurs d'atténuations θ_1 et θ_2 expression (3.8) [207]. La comparaison de la caractéristique expérimentale et le modèle de l'expression de la mobilité effective est exprimé figure (III.1) pour un transistor nMOS.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1 (V_{gs} - V_{th}) + \theta_2 (V_{gs} - V_{th})^2} \quad (3.8)$$

$$\mu_{eff\text{expérience}} = \frac{Id}{\frac{W}{L} C_{ox} V_{ds} (V_{gs} - V_{th})} \quad (3.9)$$

Le courant de drain en régime linéaire sous l'influence de la mobilité effective, exprimé par

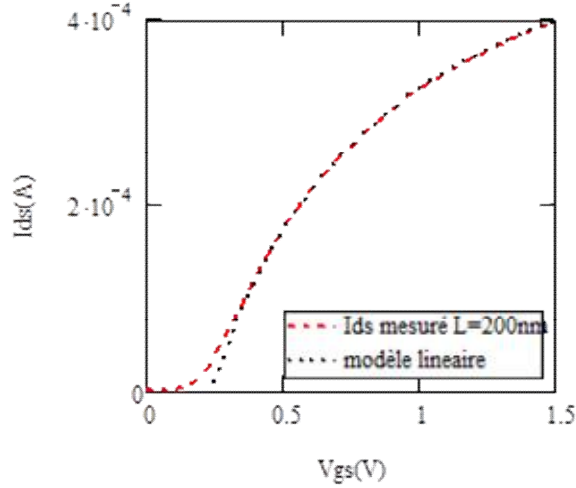


Figure III 2 Courant de drain mesuré et le courant du modèle linéaire, pour le nœud de technologie 45nm $L=200\text{nm}$, $W=10\mu\text{m}$, $\theta_0=1,54$, $\mu_0=475\text{ cm}^2/\text{Vs}$ $C_{ox}=7,867.10^{-7}\text{ F/cm}^2$ et $V_{th}=0,245\text{V}$

la relation (3.9) est comparé à la caractéristique expérimentale représentée en figure (III.2)

$$I_{ds} = \frac{W}{L} C_{ox} (V_{gs} - V_{th}) V_{ds} \frac{\mu_0}{1 + \theta_1 (V_{gs} - V_{th}) + \theta_2 (V_{gs} - V_{th})^2} \quad (3.10)$$

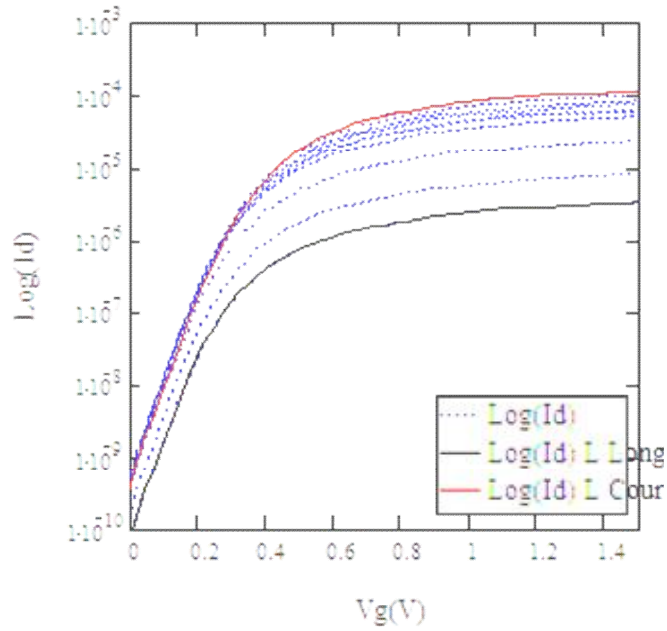


Figure III 3 Le courant de drain sous le seuil pour une batterie de transistors avec $W=10\mu\text{m}$ et $L=10, 1.2, 0.5, 0.4, 0.36, 0.3, 0.28$ et $0.22\mu\text{m}$ $I_{on}=6.42*10^{-7}$ pour $L=10\mu\text{m}$ et $I_{on}=7.48*10^{-6}$ pour $L=0.22\mu\text{m}$

Le modèle de courant sous le seuil est donné par l'expression (3.11) sachant que le premier terme représente le courant I_{on} et le logarithme des courants de drain (pente sous le seuil) pour une batterie de transistors avec différentes longueurs est représenté en figure (III.3).

$$I_d = \frac{W}{L} \left(\frac{KT}{q} \right)^2 \mu_0 C_{dep} \left(1 - e^{\left(\frac{-qV_d}{KT} \right)} \right) e^{\frac{qA(V_g - V_{th})}{KT}} \quad (3.11)$$

La caractéristique expérimentale $I_d(V_{ds})$ est représentée en figure (III.4) et le modèle classique du courant de saturation est introduit pour les valeurs de V_{ds} allant du voisinage de $(V_{gs}-V_{th})$ point de pincement aux valeurs de $V_{ds} > (V_{gs}-V_{th})$, donnée par l'expression (3.12).

$$I_{ds} = \frac{1}{2} \mu_{eff} \frac{W}{L_{eff}} C_{ox} (V_{gs} - V_{th})^2 \quad (3.12)$$

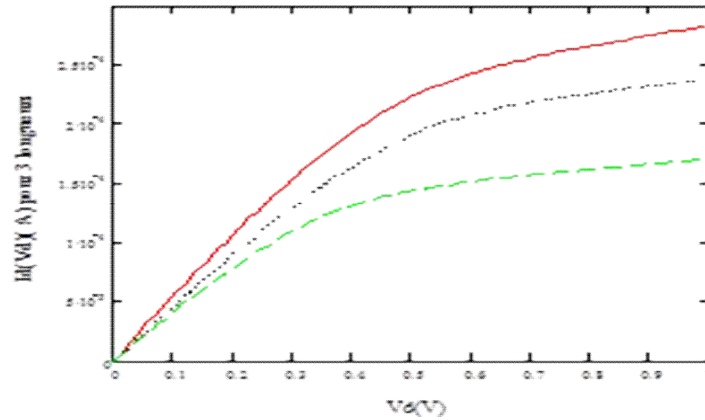


Figure III 4 Caractéristique $I_d(V_d)$ pour $V_g=0.3V$

III.3 Le modèle unifié

Le modèle unifié est basé essentiellement sur les équations analytiques de types hyperboliques pour exprimer les caractéristiques $I_d(V_{gs})$, $I_d(V_{ds})$ et $C(V_{gs})$. Les effets de réductions de la mobilité en fonction des deux champs : transversal contrôlé par la grille V_{gs} et longitudinal induit par le potentiel de drain V_{ds} , leurs actions sont introduites dans l'expression du modèle [209].

III.3.1. Le potentiel de grille effectif

Le potentiel de grille est transformé par la fonction hyperbolique appelée V_{gseff} , équation (3.13) d'une manière à remplacer le potentiel $(V_{gs}-V_{th})$, représenté par la figure (III.5)-Cette

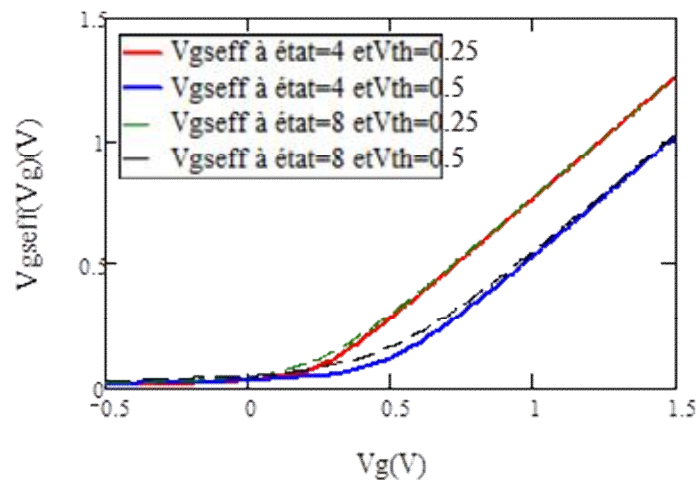


Figure III 5 La caractéristique de la tension de grille effective V_{gseff} pour deux Valeurs de la tension de seuil et deux valeurs de η

fonction V_{gseff} permet de retrouver la linéarité de $(V_{gs}-V_{th})$ par l'approximation de la quantité $((V_{gs}-V_{th})^2-\eta V_{th}\phi_t)$ à $(V_{gs}-V_{th})^2$ pour les valeurs de $V_{gs}>V_{th}$ et que $(V_{gs}-V_{th})^2>\eta V_{th}\phi_t$, par contre la variation hyperbolique est retrouvé pour le cas sous le seuil. Le paramètre η permet d'ajuster la valeur de V_{gseff} lorsque $(V_{gs}=V_{th})$ associée aux valeurs du potentiel thermique ϕ_t et de seuil V_{th} . [210]

$$V_{gseff}(V_{gs}) = \frac{(V_{gs}-V_{th}) + \sqrt{(V_{gs}-V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}}{2} \quad (3.13)$$

La première dérivée de V_{gseff} équation (3.14) exprime une caractéristique équivalente à celle de la capacité grille canal par rapport à la capacité de l'oxyde C_{gc}/C_{ox} . Cette équation se caractérise par deux états si $V_{gs}>V_{th}$ la fonction tend vers la valeur '1' et pour $V_{gs}<V_{th}$ la fonction tend vers '0' ce qui nous a permis de faire le rapprochement du rapport capacitif entre la capacité grille canal et la capacité d'oxyde C_{gc}/C_{ox} , tant que la valeur η permet de régler

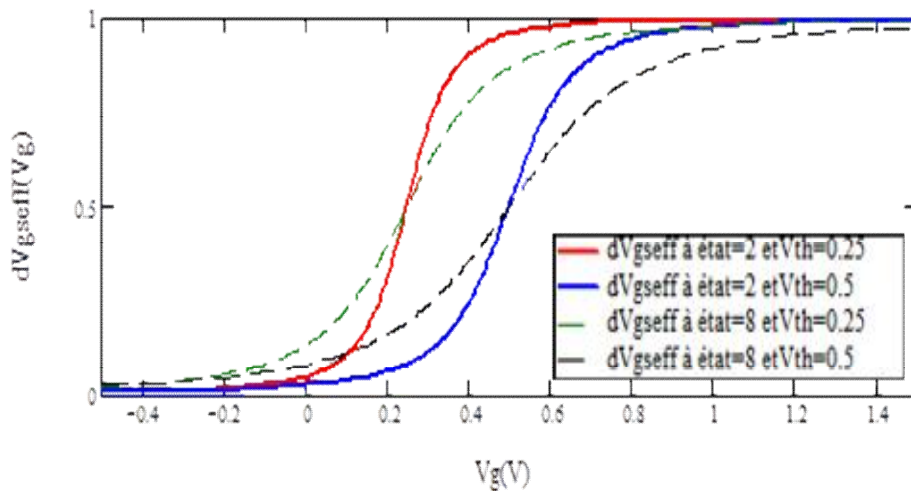


Figure III 6 la courbe de la première dérivée de V_{gseff} exprimé par $(d(V_{gseff})/d(V_{gs}))$ pour différentes Valeurs de V_{th} et η

la pente de passage entre '0' et '1' figure (III.6) .

$$\frac{\partial V_{gseff}}{\partial V_{gs}} = \frac{1}{2} \frac{(V_{gs}-V_{th}) + \sqrt{(V_{gs}-V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}}{\sqrt{(V_{gs}-V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}} \quad (3.14)$$

L'extraction de la tension de seuil par la méthode de la seconde dérivée de V_{gseff} figure (III.7) équivalente à l'équation (3.15) est en parfaite correspondance avec le maximum de la dérivée seconde du courant de drain $I_d(V_{gs})$

$$\frac{\partial^2 V_{gseff}}{\partial (V_{gs})^2} = \frac{1}{2} \frac{\eta \cdot V_{th} \cdot \phi_t}{\left(\sqrt{(V_{gs}-V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t} \right)^3} \quad (3.15)$$

Les caractéristiques $I_d(V_{gs})$ représenté sur la figure (III.5) et la capacité $C_{gc}(V_{gs})$ figure (III.6) [115][15], permettent l'extraction de la tension de seuil V_{th} en considérant l'expression de V_{gseff} ainsi que sa dérivée seconde représenté en figure (III.7).

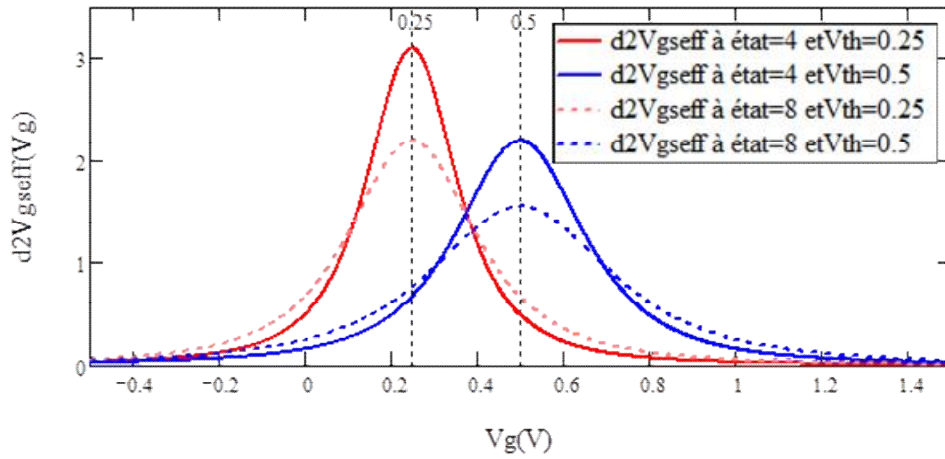


Figure III 7 la dérivée seconde de la tension de grille effective de V_{gseff} les maximums permettent l'extraction des tensions de seuil V_{th}

III.3.2. Le potentiel effectif de drain

Le potentiel de drain effectif en fonction de V_{ds} permet de reprendre l'allure du courant de drain $I_{ds}(V_{ds})$ exprimé par équation (3.16) de V_{dseff} . Cette équation permet de modéliser les effets de saturation du courant on prenant en compte la variation de la vitesse de dérive v , la mobilité et le champ électrique longitudinale μL . Le modèle exprime la variation du courant en fonction du potentiel V_{ds} dans les trois zones de fonctionnement linéaire, coude et saturation. La caractéristique globale est obtenue par une seule équation analytique représentée en figure

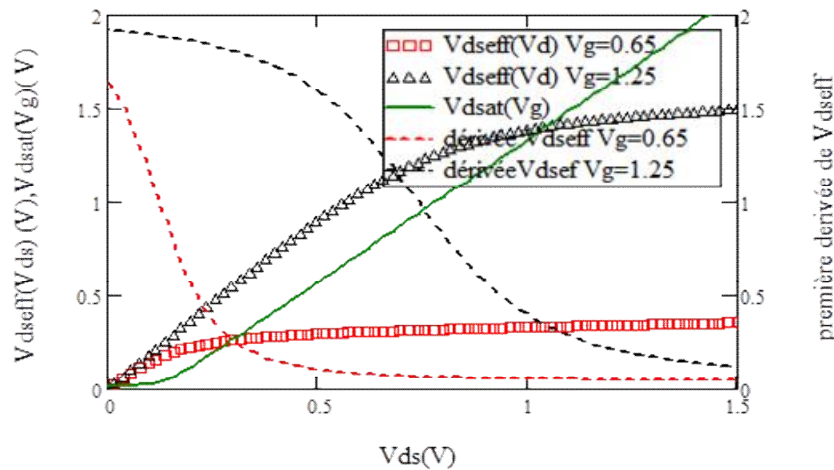


Figure III 8 Caractéristiques de V_{dseff} , V_{dsat} et la première dérivée de V_{dseff}

(III.8).

La fonction V_{dseff} permet d'évaluer les différentes zones de fonctionnement du transistor en utilisant des approximations.

La zone linéaire est obtenu pour $V_{ds} < V_{dsat}$ et la quantité $(V_{ds} - V_{dsat})^2 < \kappa V_{dsat} \phi$, la fonction est approximé par $V_{dseff} = V_{ds} + V_{dsat} - \sqrt{\kappa V_{dsat} \phi}$ qui décrit une fonction linéaire.

Par contre la variation hyperbolique (zone de coude) est retrouvé pour le domaine de saturation $V_{ds} > V_{dsat}$ et la fonction prend la valeur de V_{dsat} ($V_{dseff} = V_{dsat}$). Le paramètre κ permet

d'ajuster la pente de la zone linéaire au-dessous de V_{dsat} ainsi que les paramètres associés ϕ_t et V_{dsat} .

$$V_{dseff}(V_{ds}) = \frac{(V_{ds} + V_{dsat}) - \sqrt{(V_{ds} - V_{dsat})^2 + \lambda \cdot V_{dsat} \cdot \phi_t}}{2} \quad (3.16)$$

La première dérivée du potentiel de drain effectif V_{dseff} peut introduire la valeur de la conductance, puisque la forme de V_{dseff} exprime la caractéristique équivalente à $I_d(V_d)$ pour V_{gs} constante, la dépendance de V_{gs} est introduite par V_{dsat} . [211]

Le potentiel de saturation du drain V_{dsat} est transformé par la fonction hyperbolique, selon les paramètres V_{gs} et V_{th} ainsi que une autre quantité dépendant du paramètre λ équation (3.17). Cette équation est obtenue par la conservation du potentiel de saturation fonction de V_{gs} traduit dans la littérature par $V_{dsat} = (V_{gs} - V_{th})$, la linéarité de V_{dsat} est retrouvée au de la de la zone de blocage puisque V_{dsat} délimite les trois zones de fonctionnement blocage, linéaire et saturation, la figure (III-8) représente V_{dsat} , V_{dseff} et le profil de la conductance ($\delta V_{dseff} / \delta V_{ds}$). La variation hyperbolique est retrouvée dans la zone bloquée, le paramètre λ permet d'ajuster la valeur de V_{dsat} lorsque ($V_{gs} = V_{th}$) associée aux valeurs du potentiel thermique ϕ_t et de seuil V_{th} .

$$V_{dsat}(V_{gs}) = \frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \lambda \cdot V_{th} \cdot \phi_t}}{2} \quad (3.17)$$

III.3.3. La mobilité effective

Afin de tenir compte de la variation de mobilité, on introduisant la mobilité effective μ_{eff} dans l'équation du courant. Selon le type des technologies des transistors longs ou courts on introduit les mêmes facteurs de réduction de la mobilité. Le modèle l'équation (3.17) est obtenu par le remplacement de ($V_{gs} - V_{th}$) par V_{gseff} dans l'équation (3.8) [208] la caractéristique est représentée en figure (III.9).

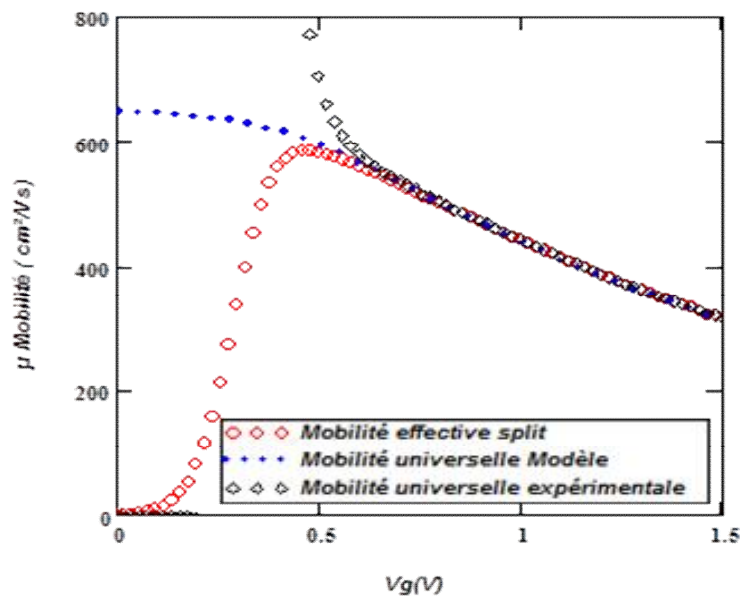


Figure III 9 Représentation des différentes caractéristiques de la mobilité : le modèle de la mobilité effective split $C(V)$ expérimentale, le modèle de la mobilité universel et la mobilité universel classique

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1 V_{gseff} + \theta_2 (V_{gseff})^2} \frac{I(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}}{\sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}} \quad (3.18)$$

La mobilité effective donnée par plusieurs méthodes, la méthode split capacitive μ_{cv} est obtenu par l'utilisation de la charge du canal Q_{canal} exprimé par équation (3.9), la mobilité universelle μ_{un} donnée par l'équation (3.8) et le modèle de la mobilité donnée par l'équation (3.18). Dans la région de saturation les valeurs du champ longitudinale sont importantes ce qui sature la vitesse moyenne des porteurs. Cet effet apparaît au niveau du drain, où le champ atteint les plus grandes valeurs, le phénomène est modélisé d'une manière globale par V_{dseff} . Avec la réduction de longueur du canal, les porteurs acquièrent une forte énergie (saturation de vitesse des porteurs) ce qui dégrade l'oxyde et le substrat par l'injection des porteurs chauds.

$$\mu_{eff} = \frac{I_{ds}}{\frac{W}{L} V_{dseff} Q_{canal}} \quad (3.19)$$

$$\mu_{eff} = \frac{I_{ds}}{\frac{W}{L} C_{ox} V_{ds} (V_{gs} - V_{th})} \quad (3.20)$$

III.3.4. Capacité du canal

Le potentiel de grille V_{gs} contrôle la charge du canal et le potentiel V_{ds} transporte cette charge entre la source et le drain à une vitesse v . La charge du canal est fortement couplée aux capacités mises en jeux par la structure MOS notamment la capacité d'oxyde, la capacité des états d'interfaces, la capacité de déplétion et celles induites par la nature de la grille (polydéplétion) figure (III-10). Cette charge est modélisée par la capacité de l'oxyde C_{ox} et la

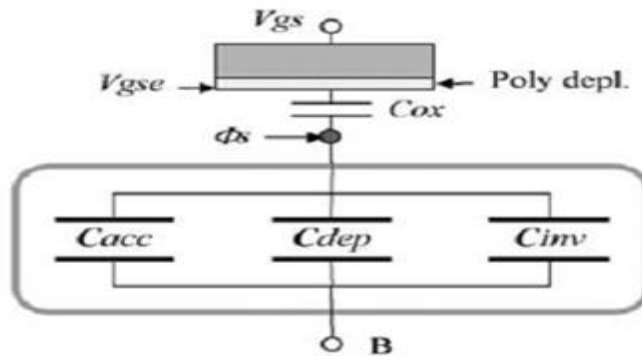


Figure III 10 Structure Mos et les différentes capacités mises en jeux pendant le fonctionnement

tension de grille V_{gs} , ainsi que des effets parasites influant sur son contrôle.

La capacité du canal C_{gc} est contrôlée par la tension de grille et prend en compte, l'ensemble des capacités mises en jeux par tous les régimes de fonctionnement ; notamment les capacités d'oxyde, de déplétion, des états d'interfaces et celle des charges dans l'oxyde. Le modèle introduit la réponse globale aux différentes capacités du MOSFET. Cette réponse est modélisée par les équations hyperboliques décrivant la caractéristique $C(V)$ de la capacité grille canal

$$C_{canal} = \frac{dQ(V_{g})_{canal}}{dV_g} \quad [212] [213] [209] [214]$$

représentant la capacité du canal $C_{canal}(V_{gs})$ exprimé

par l'équation (3.20). La charge du canal $Q_{canal} = \int C_{canal}(Vg)dVg$ équation (3.21). Le potentiel effectif de grille interprète la variation de la tension de grille contrôlant la charge dans le canal d'une manière globale. Les courbes expérimentales des capacités du canal avec et sans l'effet du substrat et leurs comparaisons au modèle sont représentées par la figure (III-11)

$$C_{canal} = C_{ox} \left[\frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \Phi_t}}{2\sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \Phi_t}} \right] \quad (3.21)$$

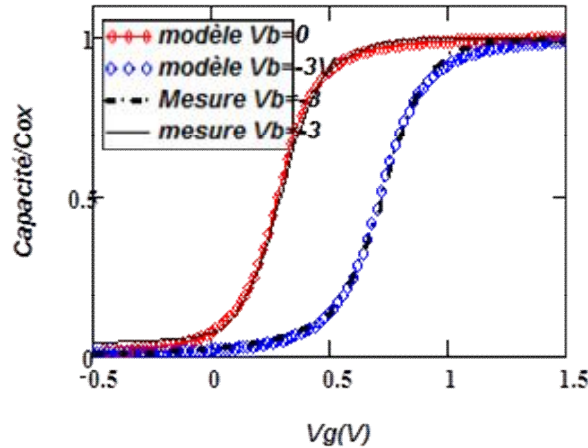


Figure III. 11 Représentation de la caractéristique capacité du canal réduite par le rapport de la capacité de l'oxyde C_{canal}/C_{ox} avec et sans l'effet du substrat pour un transistor en technologie 45nm (mesure de la capacité C_{gc}/C_{ox} et le modèle C_{canal}/C_{ox})

Le paramètre η règle la pente de la capacité pendant le passage du régime de déplétion à la forte inversion. De même influe sur le courant de drain à la tension de seuil V_{th} et Φ_t le potentiel thermique. La capacité du canal est obtenue par la dérivation de la charge en fonction du potentiel de grille V_{gs}

$$Q_{canal}(V_{gs}) = C_{canal}(V_{gs}) \cdot V_{gseff}(V_{gs}) \quad (3.22)$$

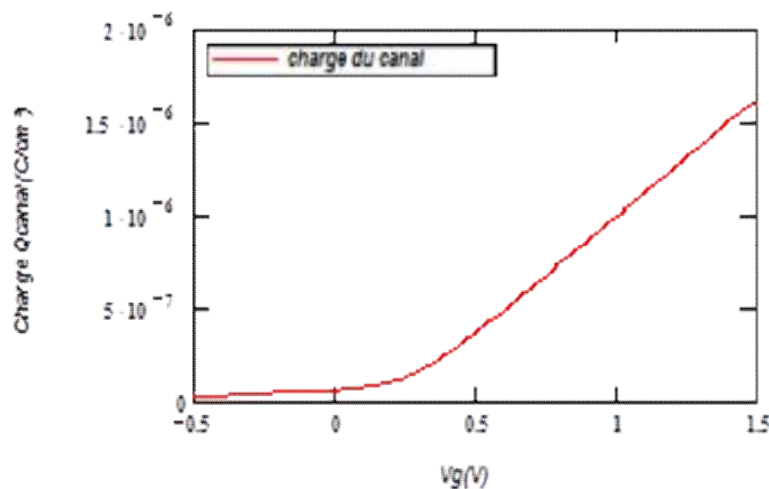


Figure III.12 La caractéristique de la Charge du canal

III.3.5. Modèle du courant de drain

Le courant de drain donné par l'équation (3.23). Ce modèle est obtenu par le remplacement des paramètres Q_{inv} , μ_{eff} , V_{ds} et $V_{gs}-V_{th}$ dans le modèle classique par leurs expressions effectives. Les caractéristiques de toutes ces fonctions effectives sont vérifiées et exprimées par une comparaison expérimentale sont représentées par les figures (III.13 a III.18)

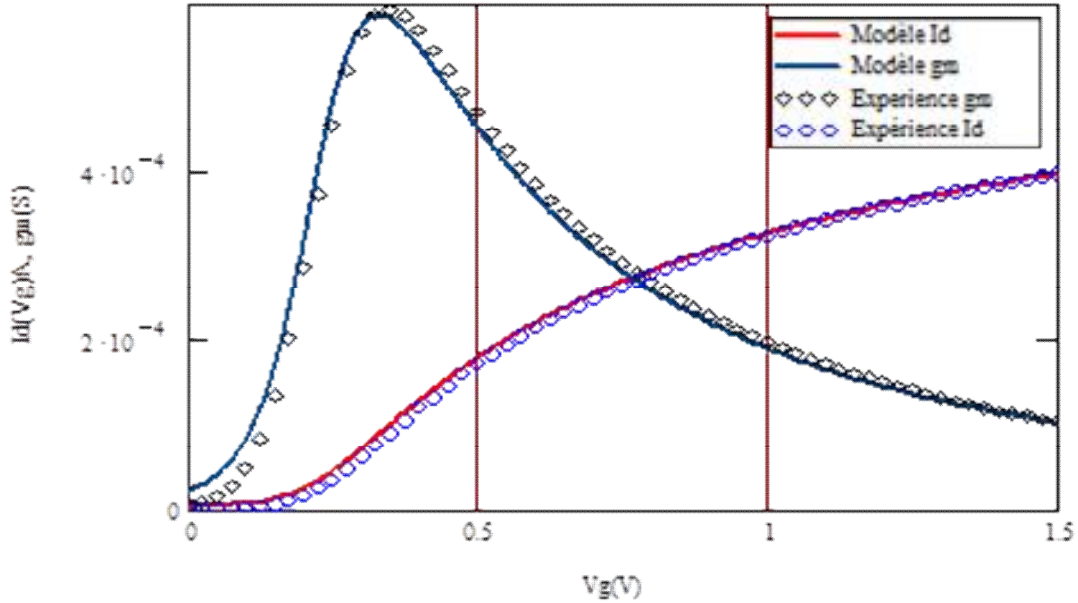


Figure III. 13 Application des paramètres extraits dans le modèle unifié et comparaison aux mesures de $I_d(V_g)$ et $g_m(V_g)$ $V_d=50mV$, $L=200nm$, $V_{th}=0.2254V$, $W=10\mu m$, $\eta=4.15$, $\theta_0=0.8073$, $\mu_0=485$ en technologie 180nm

$$I_{ds}(V_{gs}) = \frac{W}{L} \cdot C_{canal}(V_{gs}) \cdot V_{gseff}(V_{gs}) \mu_{eff}(V_{gs}) \cdot V_{dseff}(V_{ds}, V_{gs}) \quad (3.23)$$

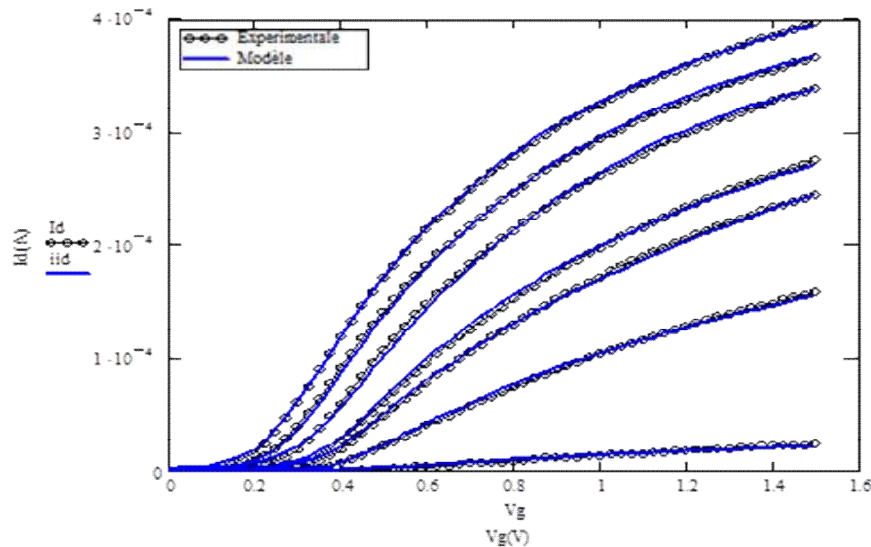


Figure III 14 Vérification du modèle $I_d(V_{gs})$ pour différentes longueurs du canal en technologie 180nm.

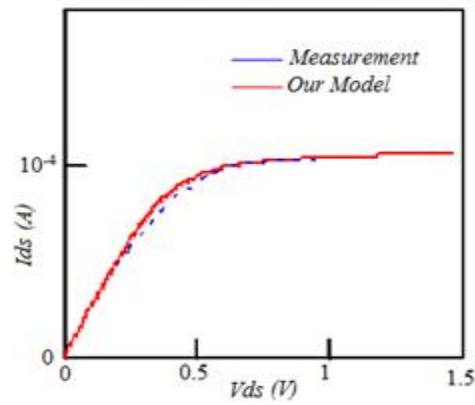


Figure III. 15 Vérification du modèle pour différentes polarisations de drain $I_d(V_{ds})$

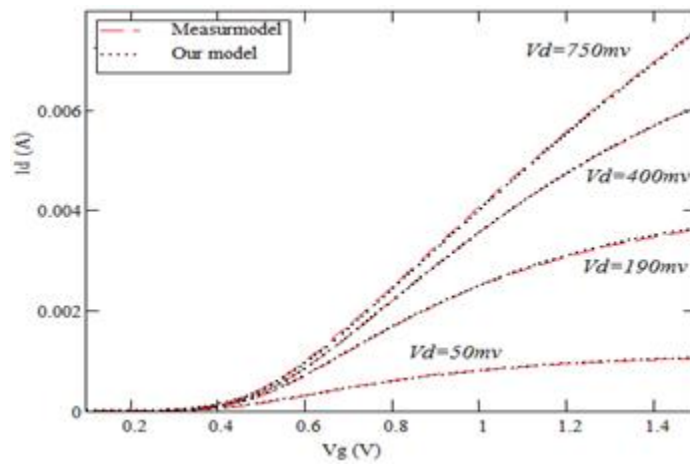


Figure III. 16 Vérification du modèle par l'expérience pour le courant de drain I_{ds} en fonction de la tension de grille V_{gs}

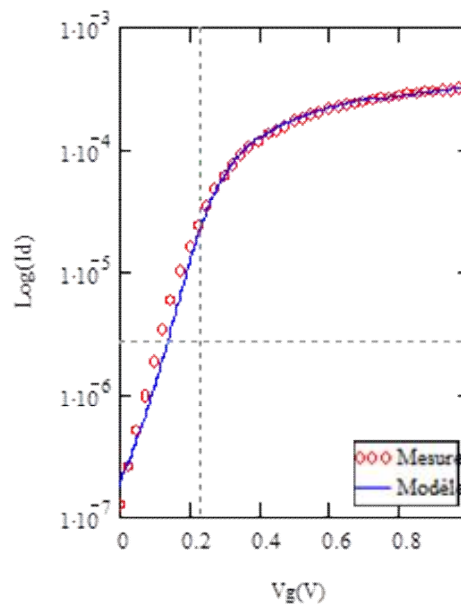


Figure III. 17 Vérification du modèle par l'expérience dans la zone du courant sous le seuil

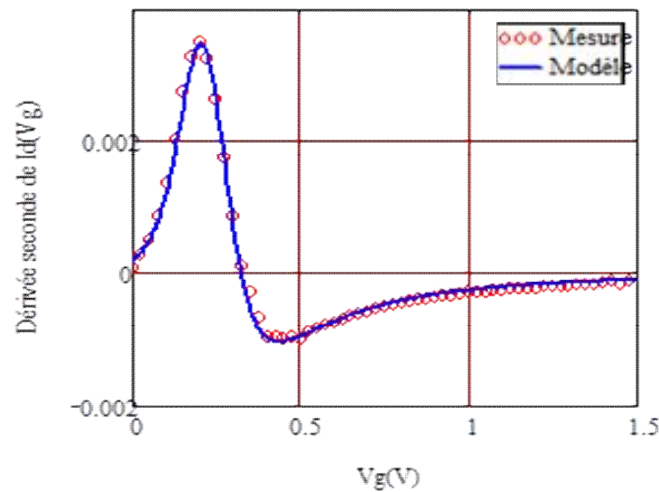


Figure III.18 Vérification du modèle pour la dérivée seconde du courant de drain

III.4. Caractérisation avancée des transistors submicronique

Les méthodologies d'extraction des paramètres des dispositifs MOSFETs avancés sont au cœur de la caractérisation électrique et physique. Elles s'appuient sur des modèles explicites de tous les paramètres électriques pouvant exprimer le courant de drain, leurs extractions vont permettre l'exploration et l'analyse du comportement physique du transistor. L'application d'un programme d'optimisation des extractions de paramètres utilisant les équations analytiques réduit le temps de calcul pour indiquer les performances d'une technologie.

Pour la parfaite raison de reproduction et de conservation des caractéristiques réelles du

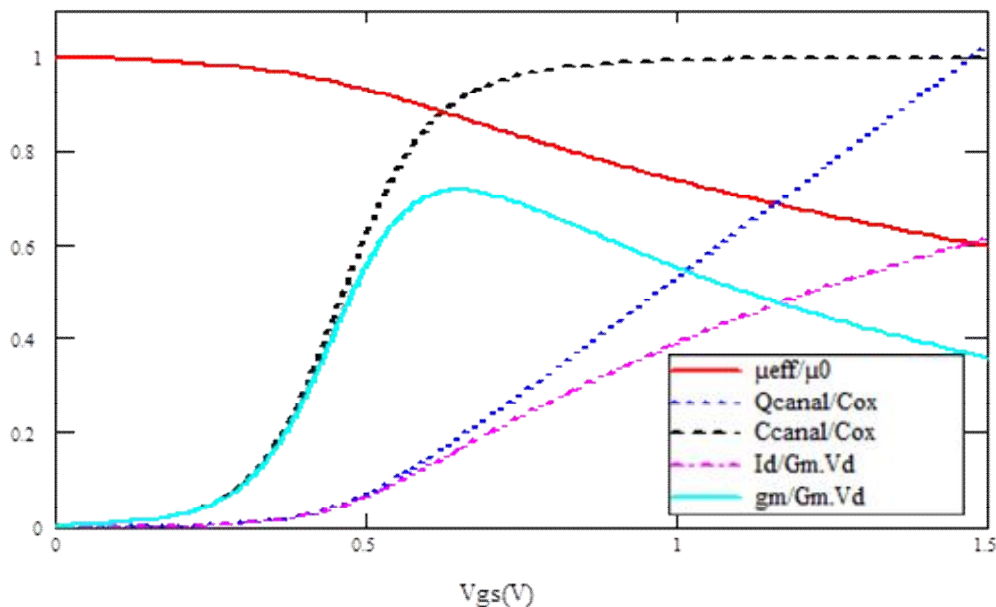


Figure III. 19 Représentation du modèle unifié réduit : Le courant de drain $I_d/(G_m.V_d)$, La transconductance $g_m/(G_m.V_{ds})$ La mobilité effective μ_{eff}/μ_0 , La charge du canal Q_{canal}/C_{ox} et La capacité Grille Canal C_{canal}/C_{ox}

courant de drain, le modèle trouve des applications dans le domaine de la caractérisation.

L'équation du modèle en forte inversion retrouve le modèle classique d'où les techniques classiques sont utilisables. Les autres paramètres sont introduits dans l'expression pour être calculés au point ($V_{gs}=V_{th}$) selon les caractéristiques $I_d(V_{gs})$ et $I_d(V_{ds})$

La nouveauté du modèle est l'obtention directe des caractéristiques du transistor en utilisant l'équation analytique déjà défini. Notamment la mobilité effective, la charge du canal, la capacité C_{gc} , le courant de drain $I_d(V_{gs})$ et $I_d(V_{ds})$ la conductance et la transconductance d'une manière unifiée sont représentées en figure (III.13).

L'extraction des paramètres dans ce modèle ne dépend pas du champ longitudinal, au contraire il suffit d'avoir plusieurs caractéristiques pour optimiser avec une meilleure précision des paramètres.

On montre l'ensemble des courbes du modèle obtenu en valeur réduite des constantes en figure (III.19), notamment la mobilité universel μ_{un}/μ_0 , le courant de drain $I_d(V_{gs})/G_m$ la transconductance $gm(V_{gs})/G_m$, la charge Q_{canal}/C_{ox} et la capacité du canal C_{canal}/C_{ox}

III.4.1.La mobilité

La mobilité universelle équation (3.24) et la mobilité effective équation (3.25) sont identiques dans le domaine de la forte inversion tension de grille supérieur au seuil. Le modèle unifier est résumé par la représentation de l'ensemble des courbes réduites à l'unité, notamment Le courant de drain $I_d/(G_m.V_d)$, La transconductance $gm/(G_m.V_{d,s})$ La mobilité effective μ_{eff}/μ_0 , La charge du canal Q_{canal}/C_{ox} et La capacité Grille Canal C_{canal}/C_{ox} .

Le modèle unifier exprime correctement les caractéristiques des paramètres représenter en figure (III.19). La réduction de la mobilité effective dans le domaine sous le seuil peut être généralisée aux mécanismes de réduction colombienne.

$$\mu_{un} = \frac{\mu_0}{1 + \theta_1(V_{gs} - V_{th}) + \theta_2(V_{gs} - V_{th})^2} \quad (3.24)$$

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_{gs} - V_{th}) + \theta_2(V_{gs} - V_{th})^2} \frac{(V_{gs} - V_{th}) + \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}}{2 \sqrt{(V_{gs} - V_{th})^2 + \eta \cdot V_{th} \cdot \phi_t}} \quad (3.25)$$

III.4.2.Courant en faible inversion

Le fonctionnement sous le seuil qui correspond au déplacement des porteurs minoritaires, malgré la barrière énergétique qui reste trop haute. Néanmoins, il y a toujours statistiquement une partie des porteurs dont l'énergie thermique est suffisante pour franchir la barrière. On obtient alors un courant de diffusion donné par [215] [216] et lorsque $V_{gs}=V_{th}$, on obtient le courant au point du seuil, $I_{th}=I_d(V_{gs}=V_{th})$, l'application du modèle montre bien la concordance avec les mesures expérimentales. Notamment la représentation du logarithme du courant de drain exprimé par la fonction $\ln(f(x))$, cette courbe montre bien la linéarité sous le seuil figure (III.20), dont la possibilité d'extraire cette pente S.

III.5. Application du modèle unifié à la technologie FDSOI 32nm

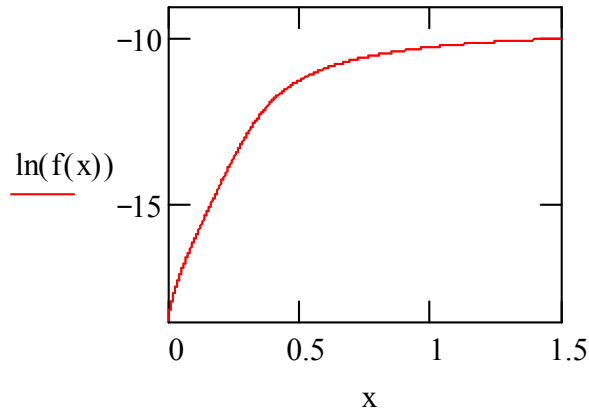


Figure III. 20 Reproduction de la linéarité de la pente S sous le seuil pour une expression du logarithme du courant de drain.

L'application du modèle analytique unifié dans le domaine de la caractérisation des TMOS FDSOI, conduit d'une manière efficace, pour l'extraction des différents paramètres électrique.

Cette caractérisation été l'objet d'une étude en fiabilité, utilisant un vieillissement accéléré par l'application d'une tension négative sur la grille des dispositifs TMOS FDSOI ; les paramètres extraits vont servir a estimation de la durée de vie des dispositifs et agir sur la recette de fabrication a amélioré la fiabilité..

III.5.1 Architecture du dispositif sous test.

L'architecture du transistor SOI (Silicon On Insulator) se différencie du MOSFET sur silicium massif par la présence d'une couche d'oxyde enterrée BOX (Buried OXide) qui isole les transistors du substrat en silicium [217]. La couche de conduction (active) est ainsi limitée (TSi) et, lorsque $TSi < Tdep$, est totalement désertée, on parle alors de transistor FDSOI (Fully Depleted SOI). L'architecture typique d'un transistor FDSOI est présentée sur les figures (III.21) et (III.22).

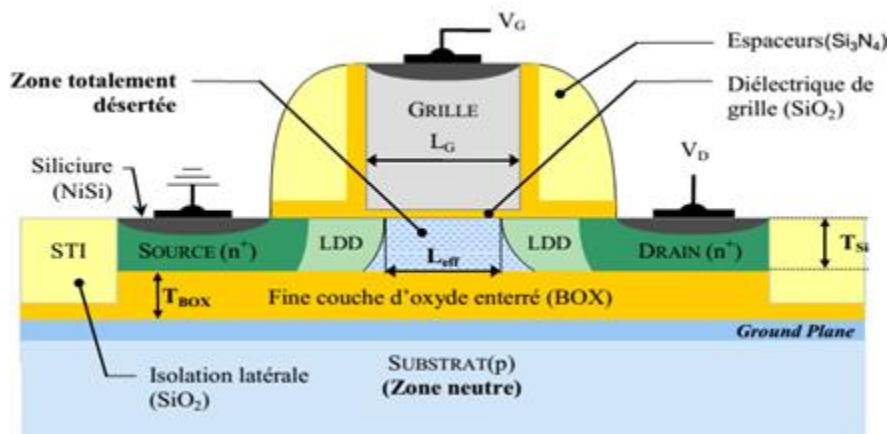


Figure III 21 Architecture d'un transistor FDSOI.

Les principaux avantages du FDSOI devant les architectures sur silicium massif sont :

- Un contrôle électrostatique accru grâce à une profondeur de jonction limitée à l'épaisseur du film de silicium couche active (canal).
- Un canal non dopé, qui permet potentiellement une mobilité des porteurs accrue.
- Un gain de conductivité par la réduction de la zone de déplétion T_{dep} (limitée par T_{Si}).
- Une meilleure isolation des dispositifs qui peut permettre une densité d'intégration plus forte.

L'épaisseur de l'oxyde enterré joue un rôle significatif sur l'amplitude du phénomène d'auto-échauffement du dispositif (dû à la faible conductivité thermique du BOX) [218] [219] [121] [220]. Ce phénomène modifie certains paramètres électriques et conduit aux dégradations globales des performances du transistor [56][221] :

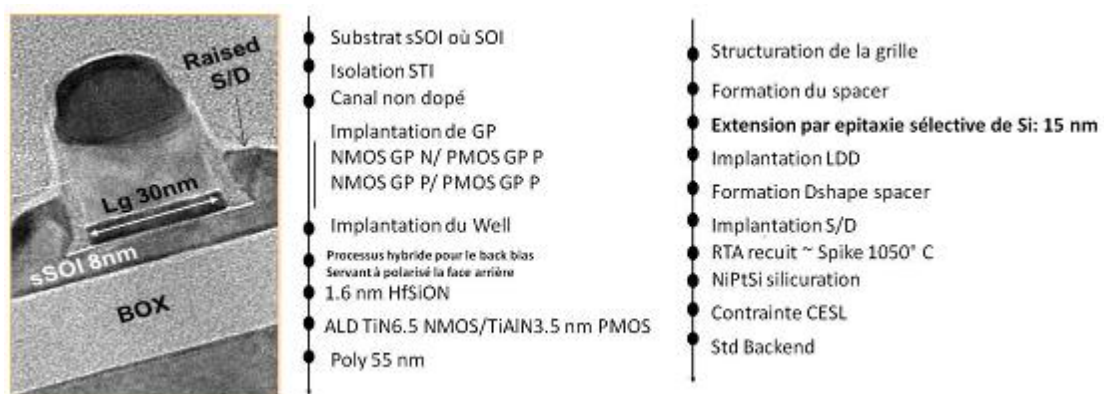
- La tension de seuil s'abaisse (augmentation de l'énergie thermique des porteurs).
- La mobilité se dégrade (plus d'interactions avec les phonons).
- La pente sous le seuil s'élève, par ce fait le courant de fuite (I_{off}) augmente.

Il est également à noter que la propagation des lignes de champ au sein du BOX perturbe la forme du potentiel entre la source et le drain et modifie la tension de seuil du dispositif [217]. Cet effet encourage à utiliser un oxyde enterré mince de manière à limiter ce phénomène. L'emploi d'une faible épaisseur d'oxyde enterré nécessite toutefois de doper fortement le substrat afin de limiter la profondeur de la zone de désertion créée sous le BOX. Cette zone de désertion vient s'ajouter à celle classiquement observée dans le canal et dégrade de la même façon le contrôle des effets de canal court, on parle d'effet GP (Ground Plane) [222] [223].

III.5.2 Technologie du dispositif sous test FDSOI 32nm

Lors de la fabrication des MOSFETs les travaux portaient principalement sur le développement de procédés technologique, notamment la recette d'oxydation du substrat pour former le diélectrique de grille du transistor.

Les effets de l'orientation cristallographique du substrat étaient étudiés pour la croissance du diélectrique et les paramètres de fabrication (température d'oxydation, atmosphère d'oxydation, étape de passivation à l'hydrogène) [224] [225] afin d'obtenir une structure MOSFET suffisamment harmonieuse. L'épaisseur du diélectrique de grille était bien contrôlée et ne



Fig

ure III 22 Image TEM d'un transistor sur un substrat sSOI avec le processus de fabrication de la batterie de TEST

mesurait déjà que quelques nanomètres (EOT 1.7nm en technologie 28nm). La métallisation en aluminium, en chrome, en matériaux à mid gap ou en or [184] [226].

Avec la miniaturisation des technologies CMOS, les architectures FDSO sont devenues très attractives pour les générations sub 32nm, pour leur haute immunité aux effets canaux courts (SCE) et une pente sous le seuil idéal. L'utilisation des films ultraminces du silicium (Body) et l'épaisseur de l'oxyde enterré (BOX), c'est ce que l'on appelle UTB SOI (Ultra Thin Body Silicon On Insulator) renforce le couplage électrostatique entre les interfaces oxyde de grille silicium et Box silicium en offrant une supervision du contrôle par la grille arrière (Substrat) l'interface oxyde canal avant. Les dispositifs FD-SOI CMOS étudiés ici ont été fabriqué par STMicroélectronique similaire à la figure (III.22). Le matériau de départ est de 300 mm d'orientation cristallographique <100> de plaquettes SOI UNIBONDTM avec une épaisseur du BOX de 25nm. Les Films SOI ont été miniaturisés par oxydation thermique et la gravure humide pour obtenir une épaisseur finale de silicium d'environ 7 nm. Le high-k diélectrique (HfO2) d'environ 2,3 nm a été déposé (CET 1,7 nm). La grille métallique (ALD TiN de 10 nm) et une couche de poly-Si de 80 nm ont été déposées pour la fabrication de la grille. Le corps en Si de la partie active non dopé a été de dimensions la longueur ($L=1 \mu\text{m}$) et largeur ($W=10 \mu\text{m}$). Ces transistors ont été utilisés comme des structures de test pour mettre en évidence les effets de la miniaturisation (SCE) par l'analyse des données.

III.5.3 Expérience

Les dispositifs MOSFETs FDSOI ont été soumis à un stress en tension sur la grille constante

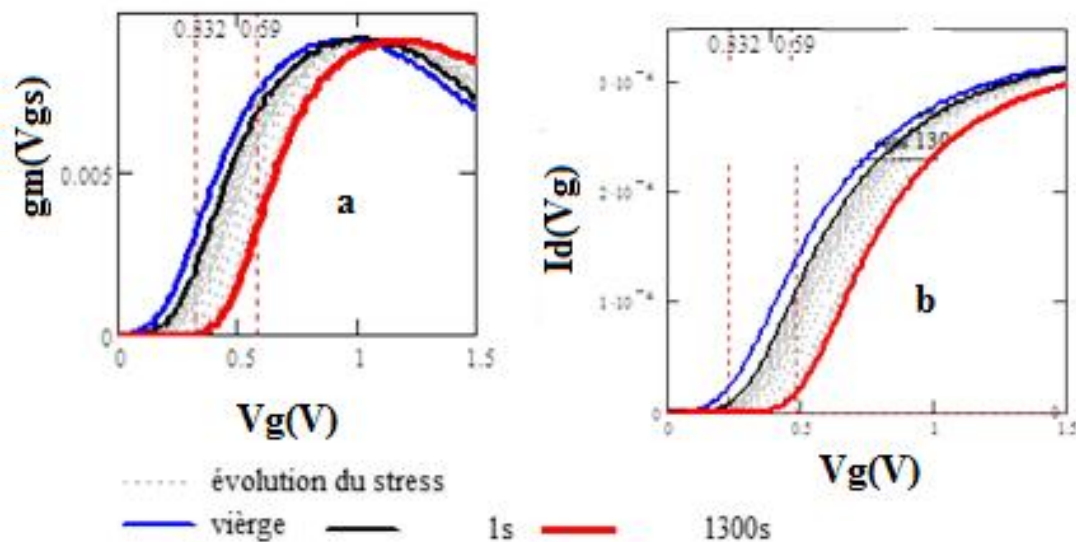


Figure III 23 Caractéristique a) transconductance $g_m(V_{gs})$, b) courant de drain $I_d(V_{gs})$ pour différents temps de stress à $V_{ds}=50mV$

pendant un temps allant de la seconde jusqu'en temps 1300s. Soit la grille avant (porte l'indice 1) et la grille arrière (porte l'indice 2), l'empilement des grilles a été stressés par des polarisations d'amplitude 2,5 V pour la grille avant et 25 V pour la grille arrière. [227][228].

Cette caractérisation a été effectuée par la méthode stress mesure stress à raison de 5 temps par décade, la mesure de $I_d(V_{g1})$ caractéristique grille avant et $I_d(V_{g2})$ caractéristique grille arrière pour deux valeurs de V_d à 25mV en linéaire et 1V pour la saturation.

L'expérience est faite pour plusieurs longueurs de grille et deux tension du substrat, mesures effectuées pour $V_{g2}=0V$ et $-5V$. Le système de caractérisation est piloté par un ordinateur contrôlé par LabVIEW, les caractéristiques obtenues des courants de drain $I_d(V_{gs})$ et des transconductances $g_m(V_{gs})$ sont représentées en figures (III 23).

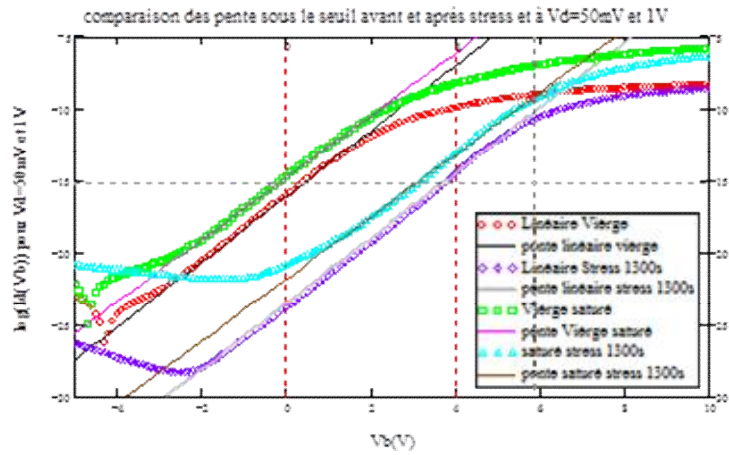


Figure III 24 Extraction des pentes sous le seuil en courant $I_d(V_b)$

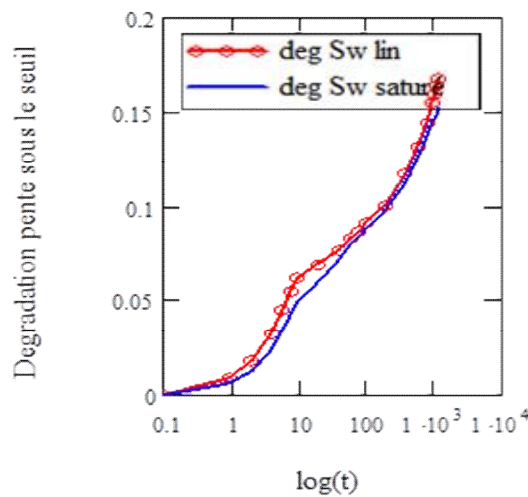


Figure III 25 pentes sous le seuil d'un transistor stressé par la grille avant

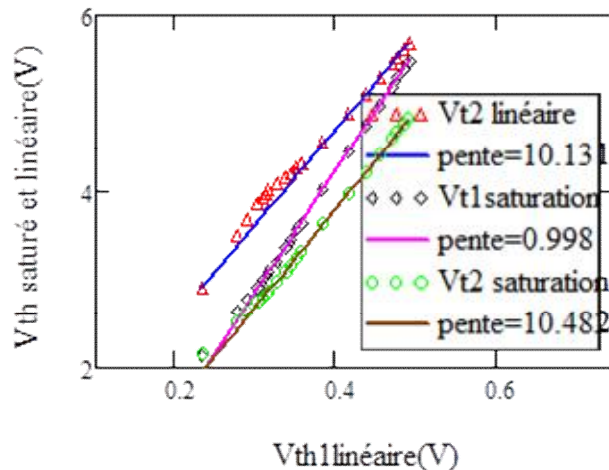


Figure III 26 Evolution des tensions de seuil avant pour les régimes linéaire et saturé

III.5.4 Résultats d'extraction des paramètres du transistor FDSOI

Les paramètres d'étude du transistor tels que les tensions de seuil $v_{th1,2}$, les mobilités (les deux interfaces) et les pentes sous le seuil, ont été extraits par l'application de l'expression du modèle unifié développé dans la section précédente, selon la méthode de la fonction Y pour la déduction des paramètres V_{th} , μ_0 , pente sous le seuil S_w représenté en figures (III.24, III.25, III.26) .

III.6.Conclusion

Dans ce chapitre, nous avons exprimé les méthodes qui nous ont permis de modéliser le courant de drain, cette expression analytique du courant de drain a été comparée aux différentes caractéristiques du courant de drain $I_{ds}(V_{gs})$ et $I_{ds}(V_{ds})$.

L'expression analytique montre bien la continuité des régimes de fonctionnement allant de la faible inversion à la forte inversion ainsi que les zones linéaire et de saturation. [229]

Une vérification du modèle dans le domaine expérimental appliqué à l'extraction de paramètres du transistor FDSOI 32nm, caractérisés pour une étude en fiabilité.

Conclusion Générale

L'évolution permanente des dispositifs intégrés à semiconducteur est toujours en course, entre les constructeurs. Elle se focalise sur divers critères indiquant les performances des technologies avancées, la rapidité de la transition des signaux à travers le transistor, la faible consommation d'énergie et la sûreté de fonctionnement. La réponse à ses exigences se résume, à la réduction régulière des tailles des transistors, concernant les longueurs de grille, les profondeurs de jonctions et l'épaisseur de la capacité d'oxyde.

La poursuite de l'intégration (dispositifs nanométriques), impose un passage pas à pas aux nouveaux nœuds technologiques, pour d'assurer les meilleures performances. L'indicateur de ses performances exigées, en technologie microélectronique, est assuré par les techniques de caractérisations et des méthodes d'extraction de paramètres.

Le travail effectué lors de cette thèse était de caractériser électriquement des architectures de transistors CMOS pour des filières 180 nm, 45 nm bulk et les FDSOI 32 nm, ainsi qu'une modélisation des caractéristiques I(V) pour améliorer les modèles d'extractions de paramètres.

Le premier chapitre a expliqué ce qu'est un transistor MOS à effet de champ, puis une présentation de son principe de fonctionnement ainsi que les équations de base régissant en termes de courants et de tensions, les différents modes de fonctionnement dans lesquels sont utilisés les transistors MOS. Ensuite nous nous sommes penchés sur les effets qu'entraîne la miniaturisation des transistors MOS sur les principaux paramètres électriques régissant leurs fonctionnements.

Un état de l'art sur les solutions technologiques innovantes qui ont permis de lever les limites imposées par certains effets néfastes engendrés par la miniaturisation. Une revue des améliorations à chaque fois une contrainte se présente telle que la technologie 45nm avec bulk à oxyde nitruré et à canal dopé en rétrograde (avec poches et halos). La persévérance dans l'innovation des architectures des transistors en technologie avancée, notamment de type FDSOI UTB et l'intégration de nouveaux matériaux, remplaçant la grille, l'oxyde et le canal, en plus l'intégration des technologies en trois dimensions.

La seconde partie présente une application expérimentale des méthodes de caractérisations I(V) et C(V), réalisées au laboratoire IMEP Grenoble. Les traitements des données utilisant les différents techniques d'extraction de paramètres électriques ont été utilisés, notamment la méthode « Fonction Y » fondée sur des mesures courant-tension qui fut la principale méthode employée. Cette caractérisation nous a permis de répertorier différents effets indésirables pour être corrigés principalement dans le nouveau nœud technologique.

Vu l'intérêt donné à la caractérisation, et à l'extraction des paramètres physiques et électrique, nous nous sommes intéressés au développement d'un modèle de courant de drain unifié.

Une exploration des différentes étapes permettant le développement du modèle ainsi obtenu; nous avons aussi exprimé les techniques qui ont permis sa validation par comparaison aux différentes caractéristiques expérimentales obtenues au chapitre II.

Ce modèle unifie les différents régimes de fonctionnement des transistors MOSFETs avancés, notamment les zones sous le seuil, d'inversion forte pour la caractéristique $I_d(V_g)$ ainsi que les zones linéaires et de saturation pour la caractéristique $I_d(V_d)$.

Une application du modèle à l'extraction des différents paramètres électriques et physiques des dispositifs FDSOI 32 nm, caractériser pour une étude en fiabilité.

En perspective, nous espérons continuer les travaux sur le modèle afin de lui donner plus de souplesse en intégrant les paramètres physiques et la prise en charge des différents phénomènes agissants sur le fonctionnement du dispositif. Par ailleurs, nous estimons une intégration de l'expression du modèle dans les simulateurs de circuits électroniques avec une grande précision dans les circuits numériques.

Bibliographie

- [1] M. Rafik, "Caracterisation et modelisation de la fiabilite des transistors avances a dielectriques de haute permittivite et a grille metallique," Thèse Doctorat, Institut Polytechnique De Grenoble, 'Institut de Microélectronique d'Electromagnétisme et de Photonique (IMEP-LAHC), 2008.
- [2] R. H. Howard, *Into the Nano Era Moore's Law Beyond Planar Silicon Cmos*. Springer Series in Materials Science, 2009.
- [3] J. Saint-Martin, "Etude Par Simulation Monte Carlo D'architectures De Mosfet Ultracourts A Grille Multiple Sur Soi," Thèse Université De Paris-Sud, 2006.
- [4] W. Hoenlein, G. S. Duesberg, and al, "Nanoelectronics beyond silicon," *Microelectron. Eng.*, vol. 83, no. 4–9, pp. 619–623, Apr. 2006.
- [5] F. Balestra, E. Parker, D. Leadley, and al, "NANOSIL network of excellence—silicon-based nanostructures and nanodevices for long-term nanoelectronics applications," *Mater. Sci. Semicond. Process.*, vol. 11, no. 5–6, pp. 148–159, Oct. 2008.
- [6] F. Rochette, "Étude et caractérisation de l' influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées," Thèse Institut National Polytechnique De Grenoble, 2008.
- [7] I. Ben Akkez, "Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm," thèse Université polytechnique de grenoble , IMEP LAHC, 2012.
- [8] P. Lemoigne, "Simulation de la variabilité du transistor MOS," 2011.
- [9] T. . Di Gilio, "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μ m - 2nm," THESE université de Provence, 2006.
- [10] X. Jin, X. Liu, M. Wu, R. Chuai, J. Lee, and J. Lee, "Solid-State Electronics A unified analytical continuous current model applicable to accumulation mode (junctionless) and inversion mode MOSFETs with symmetric and asymmetric double-gate structures," *Solid State Electron.*, vol. Article in, pp. 8–11, 2012.
- [11] S. Eminente, "Modelling and characterization of decananometric electronic devices List of Symbols," thèse Université de Bologne, 2005.
- [12] a. Tsormpatzoglou, D. H. Tassis, and al, "Analytical threshold voltage model for lightly doped short-channel tri-gate MOSFETs," *Solid. State. Electron.*, vol. 57, no. 1, pp. 31–34, Mar. 2011.
- [13] J. a. Salcedo, a. Ortiz-Conde, E. J. G. Sanchez, J. Muci, J. J. Liou, and Y. Yue, "New approach for defining the threshold voltage of MOSFETs," *IEEE Trans. Electron Devices*, vol. 48, no. 4, pp. 809–813, Apr. 2001.
- [14] V. Kilchytska, D. Flandre, and J.-P. Raskin, "Silicon-on-Nothing MOSFETs: An efficient solution for parasitic substrate coupling suppression in SOI devices," *Appl. Surf. Sci.*, vol. 254, no. 19, pp. 6168–6173, Jul. 2008.
- [15] I. Ben Akkez, A. Cros, and al, "New parameter extraction method based on split C–V measurements in FDSOI MOSFETs," *Solid. State. Electron.*, vol. 84, pp. 142–146, Jun. 2013.
- [16] A. B. Bhattacharyya, *Compact Mosfet Models For Vlsi Design*. Jaypée Institute of information Technology University India: john Wiley & sons (Asia) Pte, Ltd, 2009.
- [17] G. Dessai and G. Gildenblat, "Inclusion of the accumulation region in the compact models of bulk and SOI FinFETs," *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2644–2651, 2011.
- [18] J. Maserjian, G. Petersson, and C. Svensson, "Saturation capacitance of thin oxide MOS structures and the effective surface density of states of silicon," *Solid. State. Electron.*, vol. 17, no. 4, pp. 335–339, 1974.
- [19] B. Deal, M. Sklar, A. Grove, and E. Snow, "Characteristics of the Surface State Charge (Q_{ss}) of Thermally Oxidized Silicon," *J. Electrochem. Soc. Solid State Sci.*, no. d, pp. 266–274, 1967.

- [20] I. Hafez, G. Ghibaudo, and F. Balestra, “Numerical and analytical modelling of non ohmic MOSFET operation at liquid helium temperature,” *Solid. State. Electron.*, vol. 32, pp. 861–865, 1989.
- [21] S. M. G. Dragica Vasileska, *Nano-Electronic Devices: Semiclassical and Quantum Transport Modeling*. 2011.
- [22] S. D. Brotherton, “Dependence Of Mos Transistor Threshold Voltage On Substrate Resistivity,” *Solid State Electron.*, vol. 10, no. 3, pp. 611–616, 1967.
- [23] A. Lakhlef, A. Benfdila, and H. Achour, “Characterization of the Short Channel Effect on the Threshold Voltage in Deep Sub-micron MOSFETs,” *African Phys. Rev. Spec. Issue*, vol. 8, no. 2, pp. 18–20, 2008.
- [24] A. Cunha, M. Schneider, and C. Galup-Montoro, “Charge-Based Definition Of Threshold Voltage For Undoped Body Mosfet,” *nrc.org*, vol. 3, pp. 633–636, 2007.
- [25] J. S. Umesh K. Mishra, *Semiconductor Device physics and Design*. Springer Dordrecht, The Netherlands, 2008.
- [26] L. A. Akers, “An Analytical Expression For The Threshold Voltage Of A Small Geometry MOSFETs,” *Solid. State. Electron.*, vol. 24, pp. 621–627, 1981.
- [27] K. Nehari, D. Munteanu, J. L. Autran, and al, “Compact Modeling of Threshold Voltage in Double-Gate MOSFET including quantum mechanical and short channel effects,” in *NSTI-Nanotech 2005*, 2005, no. 5, pp. 179–182.
- [28] R. Gwoziecki, T. Skotnicki, P. Bouillon, and P. Gentil, “Optimization of V_{th} roll-off in MOSFETs with advanced channel architecture-retrograde doping and pockets,” *IEEE Trans. Electron Devices*, vol. 46, no. 7, pp. 1551–1561, Jul. 1999.
- [29] C. Dupré, T. Ernst, E. Bernard, B. Guillaumot, and al, “Method for 3D electrical parameters dissociation and extraction in multichannel MOSFET (MCFET),” *Solid. State. Electron.*, vol. 53, no. 7, pp. 746–752, Jul. 2009.
- [30] C. Y. Chang and S. M. Sze, *Ulsi Devices*. A Wiley-Interscience Publication John Wiley & Sons, INC. New York, 2000.
- [31] K. Romanjek, F. Lime, G. Ghibaudo, and C. Leroux, “New approach for the gate current source–drain partition modeling in advanced MOSFETs,” *Solid. State. Electron.*, vol. 47, no. 10, pp. 1657–1661, Oct. 2003.
- [32] H. Kaur, S. Kabra, S. Halder, and R. S. Gupta, “An analytical drain current model for graded channel cylindrical/surrounding gate MOSFET,” *Microelectronics J.*, vol. 38, no. 3, pp. 352–359, Mar. 2007.
- [33] M. Gurfinkel, J. S. Suehle, and Y. Shapira, “Enhanced gate induced drain leakage current in HfO₂ MOSFETs,” *Microelectron. Eng.*, vol. 86, no. 11, pp. 2157–2160, Nov. 2009.
- [34] A. Emrani, F. Balestra, and G. Ghibaudo, “Generalized mobility law for drain current modeling in Si MOS transistors from liquid helium to room temperatures,” *IEEE Trans. Electron Devices*, vol. 40, no. 3, pp. 564–569, Mar. 1993.
- [35] S. Jemmali, “Contribution à l’élaboration de méthodologies et d’outils d’aide à la conception de systèmes multi-technologiques,” 2003.
- [36] a. Tsormpatzoglou, D. H. Tassis, and al, “Analytical modelling for the current–voltage characteristics of undoped or lightly-doped symmetric double-gate MOSFETs,” *Microelectron. Eng.*, vol. 87, no. 9, pp. 1764–1768, Nov. 2010.
- [37] A. Kherrat, “Réalisation de micro- chambres d ’ analyse chimique : microcapteurs de pH et microfluidique associés,” 2012.
- [38] G. Ghibaudo and F. Balestra, “A method for MOSFET parameter extraction at very low temperature,” *Solid. State. Electron.*, vol. 32, no. 3, pp. 221–223, 1989.
- [39] F. Balestra and G. Ghibaudo, *Balestra & Ghibaudo Device and circuit cryogenic operation for low temperature electronics.pdf*. Kluwer Academic Publishers, 2001.
- [40] O. Roux, G. Ghibaudo, and J. Brini, “Sensitive differential method for the extraction of the mobility variation in uniformly degraded MOS transistors,” *IEE Proc. G Circuits, Devices Syst.*, vol. 140, no. 2, p. 123, 1993.
- [41] A. Mercier, M. El Koosy, A. Le Glaunec, and E. Le, “Mobilite effective dans le canal

- d'inversion d'un transistor mosfet realise dans une couche mince de silicium polycristallin," *J. Phys.*, 1982.
- [42] G. Toulon, "conception de transistors Mosfet haute tension en technologie CMOS 0.18 μ m sur substrat SOI pour les nouvelle génération de CI de puissance" thèse université de toulouse III" 2010.
- [43] L. Jalabert, "Ingénierie de grille pour application à la micro-électronique MOS sub-micronique," 2001.
- [44] G. Ghibaudo and F. Balestra, "Modelling of ohmic MOSFET operation at very low temperature," *Solid. State. Electron.*, vol. 31, no. 1, 1988.
- [45] Y. Taur, C. H. Hsu, B. Wu, R. Kiehl, B. Davari, and G. Shahidi, "Saturation transconductance of deep-submicron-channel MOSFETs," *Solid. State. Electron.*, vol. 36, no. 8, pp. 1085–1087, Aug. 1993.
- [46] P. Masson, G. Ghibaudo, J. L. Autran, P. Morfouli, and J. Brini, "Influence of quadratic mobility degradation factor on low frequency noise in MOS transistors," *Electron. Lett.*, vol. 34, no. 20, p. 1977, 1998.
- [47] A. Ortiz-conde, A. Cerdeira, M. Estrada, F. J. Garc, and R. Quintero, "A simple procedure to extract the threshold voltage of amorphous thin film MOSFETs in the saturation region," *Solid State Electron.*, vol. 45, pp. 663–667, 2001.
- [48] Y. Amhouche and A. El Abbassi, "New method for determination of drain saturation voltage in submicrometer MOSFETs between liquid helium to room temperature," *13th Int. Conf. Microelectron. Rabat, Morocco, Oct. 29-31*, no. V, pp. 63–64, 2001.
- [49] F. Balestra and M. Benachir, "Analytical models of subthreshold swing and threshold voltage for thin-and ultra-thin-film SOI MOSFETs," *IEEE Trans. Electron Devices.*, vol. 37, no. 9037514, pp. 2303–2311, 1990.
- [50] G. C. Tettamanzi, G. P. Lansbergen, and al, "Sub-threshold study of undoped trigate nFinFET," *Thin Solid Films*, vol. 518, no. 9, pp. 2521–2523, Feb. 2010.
- [51] S. M. Sze, *Semiconductor Devices Physics and Technology*. John Wiley & Sons, 2002.
- [52] Y. Taur and E. Nowak, "CMOS devices below 0.1 μ m: how high will performance go?," *Electron Devices Meet. 1997. IEDM'97.*, pp. 215–218, 1997.
- [53] F. Balestra, J. Brini, and G. Ghibaudo, "Analytical modelling of ultra-thin film depletion-mode SOI MOSFETs," *Solid. State. Electron.*, vol. 34, no. 12, pp. 1361–1364, Dec. 1991.
- [54] T. Grotjohn and B. Hoefflinger, "A Parametric Short-Channel MOS Transistor," *IEEE Trans. Electron Devices*, vol. 31, no. 2, pp. 234–246, 1984.
- [55] S. Eftimie, A. Rusu, and A. Rusu, "MOSFET Model with Simple Extraction Procedures , Suitable for Sensitive Analog Simulations," *Rom. J. Inf. Sci. Technol.*, vol. 10, no. 2, pp. 189–197, 2007.
- [56] M. Shin, M. Shi, M. Mouis, and al, "Magnetoresistance mobility characterization in advanced FD-SOI n-MOSFETs," *Solid. State. Electron.*, vol. 103, pp. 229–235, 2014.
- [57] S. Barraud, L. Thevenod, M. Cassé, O. Bonno, and M. Mouis, "Modeling of remote Coulomb scattering limited mobility in MOSFET with HfO₂/SiO₂ gate stacks," *Microelectron. Eng.*, vol. 84, no. 9–10, pp. 2404–2407, Sep. 2007.
- [58] S. Deleonibus, "Devices architectures and materials for nanoCMOS at the end of the roadmap and beyond," *Mater. Sci. Semicond. Process.*, vol. 7, no. 4–6, pp. 167–174, Jan. 2004.
- [59] T. K. Maiti, S. S. Mahato, P. Chakraborty, C. K. Maiti, and S. K. Sarkar, "Negative bias temperature instability in strain-engineered p-MOSFETs: a simulation study," *J. Comput. Electron.*, vol. 9, no. 1, pp. 1–7, Jun. 2009.
- [60] O. Weber, M. Cassé, and L. Thevenod, "On the mobility in high- κ /metal gate MOSFETs: Evaluation of the high- κ phonon scattering impact," *Solid. State. Electron.*, 2006.
- [61] J.-S. Rieh, P. K. Bhattacharya, and E. T. Croke, "Temperature dependent minority electron mobilities in strained Si_{1-x}Ge_x (0.2 \leq x \leq 0.4) layers," *IEEE Trans. Electron Devices*, vol. 47, no. 4, pp. 883–890, 2000.

- [62] A. Akturk and S. Salemi, "Density functional theory based simulation of carrier transport in silicon carbide and silicon carbide-silicon dioxide interfaces," *Simul. Semicond. Process. Devices (SISPAD), 2011 Int. Conf.*, no. Mc, pp. 119–122, 2011.
- [63] H. Achour, R. Talmat, B. Cretu, and al, "DC and low frequency noise performances of SOI p-FinFETs at very low temperature," *Solid. State. Electron.*, vol. 90, pp. 160–165, Dec. 2013.
- [64] T. Rudenko, V. Kilchytska, M. K. Md Arshad, J. P. Raskin, A. Nazarov, and D. Flandre, "On the MOSFET threshold voltage extraction by transconductance and transconductance-to-current ratio change methods: Part iieffect of drain voltage," *IEEE Trans. Electron Devices*, vol. 58, no. 12, pp. 4180–4188, 2011.
- [65] J. W. Lee, D. Jang, M. Mouis, G. T. Kim, T. Chiarella, and al, "Experimental analysis of surface roughness scattering in FinFET devices," in *Proceedings of the European Solid State Device Research Conference*, 2010, pp. 305–308.
- [66] J. W. Lee, D. Jang, M. Mouis, G. T. Kim, and al, "Mobility analysis of surface roughness scattering in FinFET devices," *Solid. State. Electron.*, vol. 62, no. 1, pp. 195–201, Aug. 2011.
- [67] M. Mouis, J. W. Lee, D. Jeon, M. Shi, M. Shin, and G. Ghibaudo, "Source/drain induced defects in advanced MOSFETs: what device electrical characterization tells," *Phys. Status Solidi*, vol. 11, no. 1, pp. 138–145, Jan. 2014.
- [68] G. Ghibaudo, "Transport dans la couche d'inversion d'un transistor MOS. Utilité du formalisme de Kubo-Greenwood," *Rev. Phys. appliquée*, vol. 21, pp. 121–129, 1986.
- [69] M. Alessandrini, D. Esseni, and C. Fiegna, "Development of an analytical mobility model for the simulation of ultra-thin single- and double-gate SOI MOSFETs," *Solid. State. Electron.*, vol. 48, no. 4, pp. 589–595, Apr. 2004.
- [70] K. Huet and J. Saint-Martin, "Monte Carlo study of apparent mobility reduction in nano-MOSFETs," *Solid State Device*, pp. 6–9, 2007.
- [71] J. Brahim Razafindramora, "Modélisation et Caractérisation de transistor Mos appliquées à l'étude de la programmation et du vieillissement de l'oxyde tunnel des mémoires EEPROM," Université De Provence (Aix-Marseille I), 2004.
- [72] W. Van Den Daele, C. Le Royer, and al, "Detailed investigation of effective field, hole mobility and scattering mechanisms in GeOI and Ge pMOSFETs," *Solid. State. Electron.*, vol. 59, no. 1, pp. 25–33, May 2011.
- [73] S. M. Thomas, T. E. Whall, and al, "Improved effective mobility extraction in MOSFETs," *Solid. State. Electron.*, vol. 53, no. 12, pp. 1252–1256, Dec. 2009.
- [74] Y. Kim, G. Gebara, M. Freiler, J. Barnett, and al, "Conventional n-channel MOSFET devices using single layer HfO₂ and ZrO₂ as high-k gate dielectrics with polysilicon gate electrode," *Symp. A Q. J. Mod. Foreign Lit.*, vol. 00, no. 4, pp. 0–3, 2001.
- [75] K.-W. Ang, H.-C. Chin, K.-J. Chui, and al, "Carrier backscattering characteristics of strained silicon-on-insulator n-MOSFETs featuring silicon-carbon source/drain regions," *Solid. State. Electron.*, vol. 51, no. 11–12, pp. 1444–1449, Nov. 2007.
- [76] W. Xiong, C. R. Cleavelin, and al, "Impact of strained-silicon-on-insulator (sSOI) substrate on FinFET mobility," *IEEE Electron Device Lett.*, vol. 27, no. 7, pp. 612–614, Jul. 2006.
- [77] F. Rochette, B. Guillaumot, and F. Boulanger, "Experimental evidence and extraction of the electron mass variation in [1 1 0] uniaxially strained MOSFETs," *Solid State Electron.*, vol. 51, pp. 1458–1465, 2007.
- [78] F. Driussi, D. Esseni, L. Selmi, and al, "On the electron mobility enhancement in biaxially strained Si MOSFETs," *Solid. State. Electron.*, vol. 52, no. 4, pp. 498–505, Apr. 2008.
- [79] A. Chaudhry, S. Sangwan, and J. Roy, "Mobility models for unstrained and strained silicon MOSFETs: a review," *Contemp. Eng. Sci.*, vol. 4, no. 5, pp. 229–247, 2011.
- [80] J. Mitard, B. De Jaeger, G. Eneman, , and al, "High Hole Mobility in 65 nm Strained Ge p-Channel Field Effect Transistors with HfO₂ Gate Dielectric," *Jpn. J. Appl. Phys.*, vol. 50, pp. 2–6, 2011.

- [81] M. Cassé, L. Hutin, C. Le Royer, D. Cooper, and al, “Experimental investigation of hole transport in strained Si $1-x\text{Ge } x/\text{SOI pMOSFETs}$: Part II-Mobility and high-field transport in nanoscaled PMOS,” *IEEE Trans. Electron Devices*, vol. 59, no. 3, pp. 557–564, 2012.
- [82] K. Romanjek, F. Andrieu, T. Ernst, G. Ghibaudo, “Improved Split C – V Method for Effective Mobility Extraction in sub- $0.1\mu\text{m}$ Si MOSFETs,” *IEEE Electron Device Lett.*, vol. 25, no. 8, pp. 583–585, 2004.
- [83] D. Flandre, J. P. Colinge, and al, “Fully-Depleted SOI CMOS Technology for Low-Voltage Low-Power Mixed Digital / Analog / Microwave Circuits,” *Microwaves*, vol. 228, 1999.
- [84] S. N. Ong, K. S. Yeo, K. W. J. Chew, and al, “Impact of velocity saturation and hot carrier effects on channel thermal noise model of deep sub-micron MOSFETs,” *Solid. State. Electron.*, vol. 72, pp. 8–11, Jun. 2012.
- [85] S.-J. Kang, S.-J. Jo, J.-C. Han, J.-H. Kim, S.-W. Park, and J.-I. Song, “Depletion-mode $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ -channel MOSFET utilizing a liquid phase oxidized InGaAs gate,” *Solid. State. Electron.*, vol. 51, no. 1, pp. 57–63, Jan. 2007.
- [86] M. Ghasemi Shirvan and M. Fathipour, “A compact model for the ion implanted channel LDMOS transistor,” *Solid State Sci.*, vol. 14, no. 4, pp. 471–475, Apr. 2012.
- [87] M. von Haartman and M. Östling, “ $1/f$ Noise Performance of Advanced Cmos Devices,” in *Low Frequency Noise In Advanced Mos Devices*, 2007, pp. 103–167.
- [88] A. Bournel and K. Huet, “Influence du transport balistique sur la dégradation apparente de la mobilité dans les nano MOSFETs,” in *ESSDERC 2007, Proceedings*, 2007, p. 382.
- [89] S. Galdin-retailleau, A. Bournel, and P. Dollfus, “Electronique ultime,” in *NanoSciences Nanotechnologies and Nanophysics*, Original French edition published by Éditions Belin, Paris, 2007, pp. 1–24.
- [90] B. Diagne, F. Prégaldiny, C. Lallement, and al, “Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects,” *Solid. State. Electron.*, vol. 52, no. 1, pp. 99–106, Jan. 2008.
- [91] X. An, R. Huang, X. Zhang, and Y. Wang, “Scaling of lowered source/drain (LSD) and raised source/drain (RSD) ultra-thin body (UTB) SOI MOSFETs,” *Solid. State. Electron.*, vol. 49, no. 3, pp. 479–483, Mar. 2005.
- [92] T. Chiarella, L. Witters, a. Mercha, and al, “Benchmarking SOI and bulk FinFET alternatives for PLANAR CMOS scaling succession,” *Solid. State. Electron.*, vol. 54, no. 9, pp. 855–860, Sep. 2010.
- [93] Mh. Trabelsi, “Caractérisation des transistors à nanocristaux de silicium et des transistors SON par les techniques de bruit basse fréquence et de bruit télégraphique,” 2009.
- [94] L. Fesquet, S. Monfray, and J. Carrère, “Les technologies CMOS avancées au service des designers Les obstacles technologiques Les architectures avancées Interconnection s Transistors,” *Architecture*, no. 1, 2005.
- [95] K. Romanjek, “Caractérisation Et Modélisation Des Transistors CMOS DES Technologies 50nm et en deçà,” Thèse INPG /Institut de Microélectronique, Electromagnétisme et photonique dans le cadre de l’Ecole Doctorale “Électronique, Électrotechnique, Automatique, Télécommunications, Signal” présentée, 2004.
- [96] J. ElHusseini, “Modélisation et caractérisation de la conduction électrique et du bruit basse fréquence de structures MOS à multi-grilles,” 2011.
- [97] S. Baishya, A. Mallik, and C. K. Sarkar, “Subthreshold surface potential and drain current models for short-channel pocket-implanted MOSFETs,” *Microelectron. Eng.*, vol. 84, no. 4, pp. 653–662, Apr. 2007.
- [98] T. Xuemei, J. Xi, K. M. Cao, M. Chan, and C. Hu, *BSIM4 Mosfet Model*. Department of Electrical Engineering and Computer Sciences University of California, Berkeley, CA 94720: The Regents of the University of California All Rights Reserved, 2001.
- [99] F. J. García Sánchez, a. Ortiz-Conde, and J. J. Liou, “On the extraction of the source and drain series resistances of MOSFETs,” *Microelectron. Reliab.*, vol. 39, no. 8, pp.

- 1173–1184, Aug. 1999.
- [100] W. Van Den Daele, E. Augendre, and al, “Low-temperature characterization and modeling of advanced GeOI pMOSFETs: Mobility mechanisms and origin of the parasitic conduction,” *Solid. State. Electron.*, vol. 54, no. 2, pp. 205–212, Feb. 2010.
- [101] C. Piguet, S. Cserveny, J. Perotto, and J. Masgonty, “Techniques de circuits et méthodes de conception pour réduire la consommation statique dans les technologies profondément submicroniques,” *Proc. FTFC*, 2003.
- [102] L. Brunet, “Caractérisation électrique et fiabilité des transistors intégrant des diélectriques High- κ et des grilles métalliques pour les technologies FDSOI sub-32nm,” Thèse Université Aix marseille et Sud Toulon Var, 2012.
- [103] S. M. Sze and K. . Ng, *Physics of semiconductor devices*. A John Wiley & Sons, JNC., 2006.
- [104] D. Aime, “Modulation du travail de sortie de grilles métalliques totalement siliciurées pour des dispositifs CMOS deca-nanométriques,” Thèse de L’institut National des Sciences Appliquées De Lyon, 2007.
- [105] M. Moreau, “Modélisation et simulation numérique des nano-transistors multi-grilles a matériaux innovants,” thèse Université De Provence (Aix-Marseille I), 2010.
- [106] S. Cristoloveanu and F. Balestra, “Technologie silicium sur isolant (SOI),” *Techniques de l’Ingénieur, traité Électronique*. pp. 1–24, 1990.
- [107] M. BESCOND, “modélisation et simulation du transport quantique dans les transistors MOS nanométrique,” Thèse Université de provence Aix marseille I, 2004.
- [108] I. Ben Akkez, C. Fenouillet-Beranger, A. Cros, and and al, “Study of substrate orientations impact on Ultra Thin Buried Oxide (UTBOX) FDSOI High-K Metal gate technology performances,” *Solid. State. Electron.*, vol. 90, pp. 143–148, Dec. 2013.
- [109] I. Ben Akkez, C. Fenouillet-Beranger, A. Cros, and et al, “Study of substrate orientations impact on Ultra Thin Buried Oxide (UTBOX) FDSOI High-K Metal gate technology performances,” *Solid. State. Electron.*, vol. 90, pp. 143–148, Dec. 2013.
- [110] S. M. Sze and K. Ng, *Physics of semiconductor devices*. Published by John Wiley & Sons, Inc., Hoboken, New Jersey. Published simultaneously in Canada., 2007.
- [111] M. Denais, “Etude Des Phenomenes De Degradation De Type Negative Bias Temperature Instability (Nbti) Dans Les Transistors Mos Submicroniques Des Filieres CMOS Avancees,” thèse Université de Provence d’Aix-Marseille I, 2005.
- [112] V. Huard, M. Denais, and C. Parthasarathy, “NBTI degradation: From physical mechanisms to modelling,” *Microelectron. Reliab.*, vol. 46, no. 1, pp. 1–23, 2006.
- [113] A. I. A. Cunha, M. A. Pavanello, and al, “Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve,” *Solid. State. Electron.*, vol. 56, no. 1, pp. 89–94, Feb. 2011.
- [114] G. Hiblot, J. Lacord, M. Akbal, Q. Rafhay, F. Boeuf, and al, “Compact model of short-channel effects for FDSOI devices including the influence of back-bias and fringing fields for Si and III–V technology,” *Solid. State. Electron.*, vol. 107, pp. 1–7, 2015.
- [115] I. Ben Akkez, A. Cros, and al, “Characterization and modeling of capacitances in FD-SOI devices,” *Solid. State. Electron.*, vol. 71, pp. 53–57, May 2012.
- [116] H. Achour, “Etude en courant continu et en bruit basse fréquence , en fonction de la température (10 K – 300 K), de transistors FinFETs Remerciements,” thèse Université Mouloud Mammeri de Tizi-ouzou FGEI Département d’électronique, 2014.
- [117] S. Kaya, H. Hamed, and S. Laha, “Tunable analog and reconfigurable digital circuits with nanoscale DG-MOSFETs,” *Adv. Analog Circuits*, 2011.
- [118] T. J. K. Liu and L. Chang, “Transistor Scaling to the Limit,” in *Into the Nano Era*, 2009.
- [119] J. El Husseini, “Modélisation et caractérisation de la conduction électrique et du bruit basse fréquence de structures MOS à multi-grilles,” 2011.
- [120] L. Thevenod, “Etude de la mobilité dans des transistors intégrant un oxyde de forte permittivité et une grille métallique,” Thèse de l’institut Polytechnique De Grenoble, 2009.
- [121] D. Hisamoto, W. Lee, J. Kedzierski, and al, “FinFET — A Self-Aligned Double-Gate

- MOSFET,” *IEEE Trans. Electron Device*, vol. 47, no. 12, pp. 2320–2325, 2000.
- [122] S. Hsu, T. Kang, S. Wang, P. Yang, and G. Huang, “Study of Extraction Analysis of BSIM4 Model Parameters on MOSFET Device” National Nano Device Laboratories , Hsinchu 300 , TAIWAN,” pp. 2–6.
- [123] C. C. Wu, D. W. Lin, A. Keshavarzi, and al, “High performance 22/20nm FinFET CMOS devices with advanced high-K/metal gate scheme,” *Int. Electron Devices Meet.*, pp. 27.1.1–27.1.4, Dec. 2010.
- [124] M. G. C. de Andrade and J. A. Martino, “Threshold voltages of SOI MuGFETs,” *Solid. State. Electron.*, vol. 52, no. 12, pp. 1877–1883, Dec. 2008.
- [125] N. Fasarakis, a. Tsormpatzoglou, and al, “Analytical unified threshold voltage model of short-channel FinFETs and implementation,” *Solid. State. Electron.*, vol. 64, no. 1, pp. 34–41, Oct. 2011.
- [126] G. Groeseneken, J.-P. Colinge, H. E. Maes, J. C. Alderman, and S. Holt, “Temperature dependence of threshold voltage in thin-film SOI MOSFETs - IEEE Electron Device Letters,” *IEEE Electron Device Lett.*, vol. 11, no. 8, pp. 329–331, 1990.
- [127] E. Chebaki, “Modélisation neuronale du transistor GAA MOSFET nanométrique,” Mémoire de magisterl’Uniiversité de BATNA, 2010.
- [128] P. Francis, J. P. Colinge, and D. Flandre, “comparaison of self heating effect in GAA And SOI MOSFETS,” *Microelectron. Reliab.*, vol. 37, no. 1, pp. 61–75, 1997.
- [129] A. Terao and F. Van de Wiele, “An analytical model for GAA transistors,” *Microelectron. Eng.*, vol. 15, pp. 233–236, 1991.
- [130] F. Djeflal, M. a. Abdi, Z. Dibi, M. Chahdi, and A. Benhaya, “A neural approach to study the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs,” *Mater. Sci. Eng. B*, vol. 147, no. 2–3, pp. 239–244, Feb. 2008.
- [131] S. Deleonibus, *Architectures, Electronic Device Nano-CMOS Era*. Pan Stanford Publishing Pte. Ltd. 5 Toh Tuck Link Singapore 596224, 2009.
- [132] Y. Lin, J. Appenzeller, S. Member, Z. Chen, Z. Chen, H. Cheng, and P. Avouris, “High-Performance Dual-Gate Carbon Nanotube FETs with 40-nm Gate Length,” *IEEE ELECTRON DEVICE Lett.*, vol. 26, no. 11, pp. 823–825, 2005.
- [133] Cea, “Le nanomonde,” *la Rech. à l’industrie*, 2008.
- [134] M. Hayati, A. Rezaei, and M. Seifi, “CNT-MOSFET modeling based on artificial neural network: Application to simulation of nanoscale circuits,” *Solid. State. Electron.*, vol. 54, no. 1, pp. 52–57, Jan. 2010.
- [135] A. Benfdila, “Beyond CMOS: Materials and Engineering,” *Microelectron. Nanotechnol. Res. Gr. ...*, pp. 3–4, 2012.
- [136] Y. Maheswar, B. L. Raju, and K. S. Rajan, “Modelling and Characterization of CNTFET using Hspice,” *Int. J. Sci. Eng. Res.*, vol. 4, no. 7, pp. 1906–1914, 2013.
- [137] Peter J F Harris, *Carbon Nanotube Science*, CAMBRIDGE . Cambridge, New York, Melbourne, Madrid, Cape Town, Singapore, São Paulo: Published in the United States of America by Cambridge University Press, New York, 2009.
- [138] D. Y. Jang, “Propriétés de transport et de bruit à basse fréquence dans les structures à faible dimensionnalité,” Thèse UNIVERSITÉ DE GRENOBLE, 2011.
- [139] T. Rudenko, V. Kilchytska, S. Burignat, and al, “Experimental study of transconductance and mobility behaviors in ultra-thin SOI MOSFETs with standard and thin buried oxides,” *Solid. State. Electron.*, vol. 54, no. 2, pp. 164–170, Feb. 2010.
- [140] K. Huet, J. Saint-Martin, A. Bournel, D. Querlioz, and P. Dollfus, “Effect of access resistance on apparent mobility reduction in nano-MOSFET,” in *International Conference on Ultimate Integration of Silicon*, 2009, pp. 35–38.
- [141] Y. Mii, S. Rishton, Y. Taur, D. Kern, and al, “Experimental High Performance Sub 0.1µm Channel nMOSFET ’ s,” *IEEE Electron Device Letters*, vol. 15, no. 9214886, pp. 28–30, 1994.
- [142] T. Agilent, *Semiconductor Device Analyzer 4155*. 2013.
- [143] M. C. Bogdan, “performances et fiabilité des transistors mos sub0.1µm,” thèse, institut national polytechnique de grenoble, 2003.

- [144] K. Terada, K. Nishiyama, and K.-I. Hatanaka, "Comparison of MOSFET-threshold-voltage extraction methods," *Solid. State. Electron.*, vol. 45, no. 1, pp. 35–40, Jan. 2001.
- [145] F. Balestra, I. M. Hafez, And G. Ghibaudo, "a new method for the extraction of mosfet parameters at ambient and liquid helium tesaturemper," in *JOURNAL DE PHYSIQUE Colloque C4, suppl6ment au n'9, Tome 49, septembre 1988*, 1988, vol. 8, pp. 817–820.
- [146] B. Diagne, "Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception," Thèse Université Louis Pasteur - Strasbourg I, 2007.
- [147] P. López, J. Hauer, B. Blanco-Filgueira, and D. Cabello, "Analytical model of short-channel gate enclosed transistors using Green functions," *Solid. State. Electron.*, vol. 53, no. 5, pp. 514–519, May 2009.
- [148] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. Terán Barrios, J. J. Liou, and C.-S. Ho, "Revisiting MOSFET threshold voltage extraction methods," *Microelectron. Reliab.*, vol. 53, no. 1, pp. 90–104, Jan. 2013.
- [149] a. Ortiz-Conde, F. J. García Sánchez, and al, "A review of recent MOSFET threshold voltage extraction methods," *Microelectron. Reliab.*, vol. 42, no. 4–5, pp. 583–596, Apr. 2002.
- [150] H. Kaur, S. Kabra, S. Haldar, and R. S. Gupta, "An analytical threshold voltage model for graded channel asymmetric gate stack (GCASYMGAS) surrounding gate MOSFET," *Solid. State. Electron.*, vol. 52, no. 2, pp. 305–311, Feb. 2008.
- [151] W. Chen, P. Su, J. Wang, and C. Lien, "A new series resistance and mobility extraction method by BSIM model for nano-scale MOSFETs," *VLSI Technol. Syst. Appl. 2006 Int. Symp.*, 2006.
- [152] Y. Taur and D. Zicherman, "A new'shift and ratio'method for MOSFET channel-length extraction," *Electron Device Lett. IEEE*, vol. 13, no. 5, pp. 6–8, 1992.
- [153] G. Ghibaudo, "New method for the extraction of mosfet parameters," *Electron. Lett.*, vol. 2, no. 9, pp. 543–545, 1988.
- [154] J. Coignus, "Etude de la conduction électrique dans les diélectriques à forte permittivité utilisés en microélectronique," Thèse Université de Grenoble Spécialité : Micro et Nano Electronique préparée, 2010.
- [155] W. R. Henderson, L. Pourcin, G. Ghibaudo, and D.-P. Vu, "A simple characterization method for silicon-on-insulator materials using a depletion-mode MOSFET," *IEEE Electron Device Lett.*, vol. 11, no. 11, pp. 552–555, 1990.
- [156] A. Karsenty and A. Chelly, "Y -Function Analysis of the Low Temperature Behavior of Ultrathin Film FD SOI MOSFETs," *Act. Passiv. Electron. Components*, vol. 2014, 2014.
- [157] D. Fleury and A. Cros, "New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs," in *conference on Microelectronic Test Structures*, 2008.
- [158] G. Bidal and D. Fleury, "Guidelines for MOSFET device optimization accounting for L-dependent mobility degradation," *Proc. ...*, 2009.
- [159] C. G. Sodini, K. Ryu, I. Kymissis, and V. Bulovic, "Direct Extraction of Mobility in Pentacene OFETs," *IEEE ELECTRON DEVICE Lett.*, vol. 26, no. 10, pp. 716–718, 2005.
- [160] D. Fleury, A. Cros, K. Romanjek, and al, "Automatic extraction methodology for accurate measurements of effective channel length on 65-nm MOSFET technology and below," in *IEEE Transactions on Semiconductor Manufacturing*, 2008, vol. 21, no. 4, pp. 504–512.
- [161] J. Liang, "Parameter extraction of LDD short-channel and narrow-width MOSFETS under varying operating conditions," THESIS University of Newfoundland, 1993.
- [162] J. S. Shin, H. Bae, E. Hong, J. Jang, D. Yun, J. Lee, D. H. Kim, and D. M. Kim, "Modeling and extraction technique for parasitic resistances in MOSFETs Combining DC I–V and low frequency C–V measurement," *Solid. State. Electron.*, vol. 72, pp. 78–81, Jun. 2012.
- [163] Y. Mahotin and E. Lyumkis, "Automatic BSIM3/4 Model Parameter Extraction with Penalty Function," in *Technical Proceedings of the 2004 NSTI Nanotechnology*

- Conference and trade Show*, 2004, vol. 2, pp. 113–118.
- [164] K. O. Jeppson, “Static characterization and parameter extraction in MOS transistors,” *Microelectron. Eng.*, vol. 40, no. 3–4, pp. 181–186, Nov. 1998.
- [165] Y. Taur, “MOSFET Channel Length : Extraction and,” vol. 47, no. 1, pp. 160–170, 2000.
- [166] F. Rochette, X. Garros, and al, “Strain sensitivity of gate leakage in strained-SOI nMOSFETs: A benefit for the performance trade-off and a novel way to extract the strain-induced band offset,” *Microelectron. Eng.*, vol. 86, no. 7–9, pp. 1897–1900, Jul. 2009.
- [167] H. R. H. D. C. Gilmer, *High Dielectric Constant Materials VLSI MOSFET Applications*. Springer Series in advanced microelectronics 16, 2005.
- [168] W. F. Mohammad, “New Analysis to Measure the Capacitance and Conductance of MOS Structure toward Small Size of VLSI Circuits,” *Circuits Syst.*, vol. 02, no. 03, pp. 145–150, 2011.
- [169] H. Hisham, *CHARACTERIZATION METHODS FOR SUBMICRON MOSFETs THE KLUWER INTERNATIONAL SERIES IN ENGINEERING AND COMPUTER SCIENCE*. Kluwer Academic, 1995.
- [170] L. Vancaillie, “A methodology for characterizing and introducing MOSFET imperfections in analog top-down synthesis and bottom-up validation,” Université catholique de Louvain, 2005.
- [171] G. B. Stephen, *CHARACTERIZATION , MODELING , AND DESIGN OF ESD PROTECTION CIRCUITS*, Semiconduc., no. xxxxxxxx. 1998.
- [172] C. R. Brundle, *Materials Characterization*. 1992.
- [173] F. Lime, C. Guiducci, R. Clerc, G. Ghibaudo, C. Leroux, and T. Ernst, “Characterization of effective mobility by split C(V) technique in N-MOSFETs with ultra-thin gate oxides,” *Solid. State. Electron.*, vol. 47, no. 7, pp. 1147–1153, Jul. 2003.
- [174] C. Gallon, G. Reibold, G. Ghibaudo, and al, “Electrical Analysis of Mechanical Stress Induced by STI in Short MOSFETs Using Externally Applied Stress,” vol. 51, no. 8, pp. 1254–1261, 2004.
- [175] K. Romanjek, F. Andrieu, T. Ernst, and G. Ghibaudo, “Characterization of the effective mobility by split C(V) technique in sub 0.1 μm Si and SiGe PMOSFETs,” *Solid. State. Electron.*, vol. 49, no. 5, pp. 721–726, May 2005.
- [176] T. Boutchacha, G. Ghibaudo, and S. Member, “Improved Modeling of Low-Frequency Noise in MOSFETs — Focus on Surface Roughness Effect and Saturation Region,” vol. 58, no. 9, pp. 3156–3161, 2011.
- [177] A. Mounib, F. Balestra, N. Mathieu, and al. Nouailhat, “Low-Frequency Noise Sources in Polysilicon Emitter B JT ’ s : Influence of Hot-Electron-Induced Degradation and Post-Stress Recovery,” *EEE Trans. Electron Devices*, vol. 42, no. 9, pp. 1647–1652, 1995.
- [178] J. Jomaah, F. Balestra, and G. Ghibaudo, “Low-frequency noise in SOI MOSFETs from room to liquid helium temperature: Experimental and numerical simulation results,” *Solid State Device*, pp. 7–10, 1993.
- [179] a. El Hajj Diab, I. Ionica, S. Cristoloveanu, and al, “Low-frequency noise in SOI pseudo-MOSFET with pressure probes,” *Microelectron. Eng.*, vol. 88, no. 7, pp. 1283–1285, Jul. 2011.
- [180] M. Fadlallah, G. Ghibaudo, J. Jomaah, and G. Guegan, “Static and low frequency noise characterization in surface-and buried-mode 0.1 μm PMOSFETs,” *Solid. State. Electron.*, vol. 47, pp. 1155–1160, 2003.
- [181] P. Morfouli, G. Ghibaudo, T. Ouisse, E. Vogel, W. Hill, V. Misra, P. Mclarty, J. J. Wortman, and S. Member, “Low-Frequency Noise Characterization of n- an p-MOSFET ’ s with Ultrathin Oxynitride Gate Films,” *IEEE Electron Device Lett.*, vol. 17, no. 8, pp. 395–397, 1996.
- [182] A. Andreev and L. Grmela, “Low frequency noise of CdTe single crystals under light illumination,” *Noise Fluctuations ...*, pp. 231–233, 2011.
- [183] R. Talmat, H. Achour, B. Cretu, J.-M. Routoure, and al, “Assessment of temperature

- dependence of the low frequency noise in unstrained and strained FinFETs,” in *International Conference on Noise and Fluctuations 21st*, 2011, no. 1, pp. 131–134.
- [184] R. K. A. MARK S. LUNDSTROM, *Semiconductors and Semimetals*, vol. 39, no. C. by Academic Press, Inc., 1993.
- [185] R. BENABDERRAHMANE, “Etude des mécanismes de transport dans les diodes tunnels de type MIS associant ferromagnétiques et silicium,” thèse: UNIVERSITE JOSEPH-FOURIER, 2009.
- [186] H. Kaur, S. Kabra, S. Bindra, S. Haldar, and R. S. Gupta, “Impact of graded channel (GC) design in fully depleted cylindrical/surrounding gate MOSFET (FD CGT/SGT) for improved short channel immunity and hot carrier reliability,” *Solid. State. Electron.*, vol. 51, no. 3, pp. 398–404, Mar. 2007.
- [187] H. Veendrick and al, “Springer, *Nanometer CMOS ICs*” Ew York, T. Springer, Heidelberg, New York, Tokyo Mybusinessmedia, Deventer, The Netherlands All, 2008.
- [188] D. Huang, W. J. Liu, Z. Y. Liu, C. C. Liao, and al, “A modified charge-pumping method for the characterization of interface-trap generation in MOSFETs,” *IEEE Trans. Electron Devices*, vol. 56, no. 2, pp. 267–274, 2009.
- [189] M. Li, D. Huang, and al, “Understand NBTI mechanism by developing novel measurement techniques,” *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 1, pp. 62–71, 2008.
- [190] B. Djezzar and H. Tahı, “Using Oxide-Trap Charge-Pumping Method in Radiation-Reliability Analysis of Short Lightly Doped Drain Transistor,” *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 1, pp. 18–25, Mar. 2010.
- [191] K. Nakajima, “Interface-state density of three dimensional silicon channels measured by charge pumping method,” master thèse :Project by New Energy and Industrial Technology Development Organization (NEDO), Japan., 2011.
- [192] B. Djezzar, H. Tahı, and a. Mokrani, “Why Is Oxide-Trap Charge-Pumping Method Appropriate for Radiation-Induced Trap Depiction in MOSFET?,” *IEEE Trans. Device Mater. Reliab.*, vol. 9, no. 2, pp. 222–230, Jun. 2009.
- [193] G. Groeseneken, H. E. Maes, N. Beltran, and R. F. De Keersmaecker, “A reliable approach to charge-pumping measurements in MOS transistors,” *IEEE Trans. Electron Devices*, vol. 31, no. 1, pp. 42–53, 1984.
- [194] M. Alam and H. Kufluoglu, “A comprehensive model for PMOS NBTI degradation: Recent progress,” *Microelectron. Reliab.*, vol. 47, pp. 853–862, 2007.
- [195] H. Tahı, B. Djezzar, and B. Nadji, “Radiation Effect Evaluation in Effective Short and Narrow Channels of LDD Transistor With LOCOS Isolation Using OTCP Method,” *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 1, pp. 108–115, Mar. 2010.
- [196] G. Groeseneken, F. Crupi, and alk, “Reliability Issues In Mugfet Nanodevices,” no. 1, pp. 52–60, 2008.
- [197] C. Claeys, E. Simoen, S. Put, G. Giusi, and F. Crupi, “Impact strain engineering on gate stack quality and reliability,” *Solid. State. Electron.*, vol. 52, no. 8, pp. 1115–1126, Aug. 2008.
- [198] P. Masson, J. L. Autran, and G. Ghibaudo, “Improved time domain analysis of the charge pumping current,” *J. Non. Cryst. Solids*, vol. 280, no. 1–3, pp. 255–260, 2001.
- [199] D. B. Habersat, M. Gurfinkel, and al, “A New Ultra-Fast Charge Pumping Measurement Technique for N IT Characterization without Relaxation,” in *International Semiconductor Device Research Symposium, ISDRS (2007)*, 2007, pp. 3–4.
- [200] R. Mousa, “Caractérisation et modélisation VHDL-AMS du transistor JFET-SiC,” *JCGE’08 LYON, 16 17 décembre*, vol. 5, pp. 12–17, 2008.
- [201] S. Venugopalan, D. D. Lu, Y. Kawakami, P. M. Lee, A. M. Niknejad, and C. Hu, “BSIM-CG: A compact model of cylindrical/surround gate MOSFET for circuit simulations,” *Solid. State. Electron.*, vol. 67, no. 1, pp. 79–89, Jan. 2012.
- [202] F. Prégaldiny, “Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques,” Thèse l’Université Louis Pasteur – Strasbourg I, 2003.
- [203] M. Tang, “Études et Modélisation Compacte du Transistor FinFET,” Thèse Université

- de Strasbourg, 2009.
- [204] B. Iniguez, Z. Xu, T. A. Fjeldly, and M. Shur, “Unified model for short-channel poly-Si TFTs,” *Solid State Electron.*, vol. 43, pp. 1821–1831, 1999.
- [205] S. H. Jen and B. J. Sheu, “A unified submicrometer MOS transistor charge/capacitance model for mixed-signal IC’s,” *IEEE J. Solid-State Circuits*, vol. 34, no. 1, pp. 103–106, 1999.
- [206] R. Clerc, B. De Salvo, G. Ghibaudo, G. Reimbold, and G. Pananakakis, “Electrical characterization and modeling of MOS structures with an ultra-thin oxide,” *Solid. State. Electron.*, vol. 46, no. 3, pp. 407–416, Mar. 2002.
- [207] I. S. IONICA, “Effet de champ et blocage de Coulomb dans des nanostructures de silicium élaborées par microscopie à force atomique,” thèse INPG, 2005.
- [208] G. Gildenblat and R. Van Langevelde, “PSP: An advanced surface-potential-based MOSFET model for Circuit Simulation,” *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 29–66, 2006.
- [209] A. Lakhlef And A. Benfdila, “Alternative Current Model for Studying and Characterizing MOSFETs,” *J. Act. Passiv. Electron. Devices*, vol. 9, pp. 207–212, 2014.
- [210] A. Lakhlef and A. Benfdila, “Alternative Modeling of NanoMOSFETs,” in *July 3 – 8, 2011 – Praha, Czech Republic*, 2011, p. 1.
- [211] M. Tan, L. Peng, R. Ismail, and al, “Modeling of Nanoscale MOSFET Performance in the Velocity Saturation Region,” *Elktrika*, vol. 9, no. 1, pp. 37–41, 2007.
- [212] H. Abebe, E. Cumberbatch, H. Morris, V. Tyree, T. Numata, and S. Uno, “Symmetric and Asymmetric Double Gate MOSFET Modeling,” *JSTSJournal Semicond. Technol. Sci.*, vol. 9, no. 4, pp. 225–232, Dec. 2009.
- [213] A. Lochtefeld, S. Member, and D. A. Antoniadis, “On Experimental Determination of Carrier Velocity in Deeply Scaled NMOS: How Close to the Thermal Limit?,” *ELECTRON DEVICE Lett.*, vol. 22, no. 2, pp. 95–97, 2001.
- [214] A. Lakhlef, A. Benfdila, M. Goudjil, and R. Mokdad, “Unified current modeling in low-dimensional MOSFETs Ahcene,” *Int. J. Numer. Model.*, vol. 26, no. February, pp. 493–505, 2014.
- [215] M. Abdi, F. ADjeffal, Z. Dibi, and D. Arar, “A two-dimensional analytical subthreshold behavior analysis including hot-carrier effect for nanoscale Gate Stack Gate All Around (GASGAA) MOSFETs,” *J. Comput. Electron.*, vol. 10, no. 1–2, pp. 179–185, Oct. 2010.
- [216] V. Quenette, D. Rideau, and R. Clerc, “Dynamic charge sharing modeling for surface potential based models,” in *Nanotech Proceedings*, 2009.
- [217] S. Koziel, L. Leifsson, I. Couckuyt, and T. Dhaene, “Reliable reduced cost modeling and design optimization of microwave filters using co-kriging,” *Int. J. Numer. Model.*, vol. 26, pp. 493–505, 2013.
- [218] M. de Souza, M. a. Pavanello, J. a. Martino, E. Simoen, and C. Claeys, “Low temperature influence on the uniaxially strained FD SOI nMOSFETs behavior,” *Microelectron. Eng.*, vol. 84, no. 9–10, pp. 2121–2124, Sep. 2007.
- [219] Y. T. Lee, D. S. Woo, J. D. Lee, and B. G. Park, “Impact of Incomplete Ionization on Indium Doped Buried Channel pMOSFETs,” *J. Korean Phys. Soc.*, vol. 33, no. November, pp. 200–203, 1998.
- [220] M. J. Lee and W. Y. Choi, “Analytical model of single-gate silicon-on-insulator (SOI) tunneling field-effect transistors (TFETs),” *Solid. State. Electron.*, vol. 63, no. 1, pp. 110–114, Sep. 2011.
- [221] J.-T. Lin, Y.-C. Eng, and P.-H. Lin, “A Novel Nanoscale FDSOI MOSFET with Block-Oxide,” *Act. Passiv. Electron. Components*, vol. 2013, pp. 1–9, 2013.
- [222] M. V Fischetti, S. Jin, T.-W. Tang, and , “Scaling MOSFETs to 10 nm: Coulomb effects, source starvation, and virtual source model,” *J. Comput. Electron.*, vol. 8, no. 2, pp. 60–77, Jul. 2009.
- [223] S. Panigrahy and P. K. Sahu, “Analytical Modeling of Double Gate MOSFET and Its Application,” *IJCSI Int. J. Comput. Sci. Issues, Spec.*, vol. 1, no. 1, pp. 58–62, 2011.
- [224] A. Islam, S. Mahapatra, and S. Deora, “Essential Aspects of Negative Bias Temperature

- Instability (NBTI),” *ECS ...*, 2011.
- [225] C. L. Hinkle, R. V. Galatage, R. a. Chapman, and al, “Interfacial oxygen and nitrogen induced dipole formation and vacancy passivation for increased effective work functions in TiN/HfO₂ gate stacks,” *Appl. Phys. Lett.*, vol. 96, no. 10, p. 103502, 2010.
- [226] L. Yong, H. Daming, L. Wenjun, and L. Mingfu, “Boundary condition and initial value effects in the reaction–diffusion model of interface trap generation/recovery,” *J. Semicond.*, vol. 30, no. 7, p. 074008, Jul. 2009.
- [227] J. H. Lee and A. S. Oates, “Characterization of NBTI-Induced interface state and hole trapping in sion gate dielectrics of p-MOSFETs,” *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 2, pp. 174–181, 2010.
- [228] C. D. Young, G. Bersuker, and al, “Probing stress effects in HfO₂ gate stacks with time dependent measurements,” *Microelectron. Reliab.*, vol. 45, no. 5–6, pp. 806–810, May 2005.
- [229] D. D. Lu, M. V. Dunga, C.-H. Lin, and al, “A computationally efficient compact model for fully-depleted SOI MOSFETs with independently-controlled front- and back-gates,” *Solid. State. Electron.*, vol. 62, no. 1, pp. 31–39, Aug. 2011.
- [230] M. Denais, V. Huard, C. Parthasarathy, and al, “Interface Trap Generation and Hole Trapping Under NBTI and PBTI in Advanced CMOS Technology With a 2-nm Gate Oxide,” *IEEE Trans. Device Mater. Reliab.*, vol. 4, no. 4, pp. 715–722, Dec. 2004.
- [231] V. Barral, T. Poiroux, M. Vinet, and J. Widiez, “Experimental determination of the channel backscattering coefficient on 10–70nm-metal-gate Double-Gate transistors,” *Solid-State ...*, vol. 51, no. 4, pp. 537–542, Apr. 2007.
- [232] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, B. Previtali, T. Ernst, and S. Deleonibus, “Multigate silicon MOSFETs for 45nm node and beyond,” *Solid. State. Electron.*, vol. 50, no. 1, pp. 18–23, Jan. 2006.
- [233] J. Colinge, “The New Generation of SOI MOSFETs,” *Rom. J. Inf. Sci. Technol.*, vol. 11, no. 1, pp. 3–15, 2008.
- [234] J. G. Fossum, “Physical insights on nanoscale multi-gate CMOS design,” *Solid. State. Electron.*, vol. 51, no. 2, pp. 188–194, Feb. 2007.
- [235] X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, and al, “Sub-50 nm P-channel FinFET,” *IEEE Trans. Electron Devices*, vol. 48, no. 5, pp. 880–886, 2001.
- [236] F. Dominique, A. Cros, H. Brut, and G. Ghibaudo, “*NewY-Function-Based Methodology for Accurate Extraction of Electrical Parameters on Nano-Scaled MOSFETs*,” *IEEE Conf. Microelectron. Test Struct. March 24-27, Edinburgh, UK*, 2008.
- [237] E. Nicollian and J. Brews, *MOS/metal oxide semiconductor/physics and technology*. 1982.

Bibliographies de l’auteur:

- [23] A. Lakhlef, A. Benfdila, and H. Achour, “Characterization of the Short Channel Effect on the Threshold Voltage in Deep Sub-micron MOSFETs,” *African Phys. Rev. Spec. Issue*, vol. 8, no. 2, pp. 18–20, 2008.
- [210] A. Lakhlef and A. Benfdila, “Alternative Current Model for Studying and Characterizing MOSFETs,” *J. Act. Passive. Electron. Devices*, vol. 9, pp. 207–212, 2014.
- [211] A. Lakhlef and A. Benfdila, “Alternative Modeling of NanoMOSFETs,” in *July 3 – 8, 2011 – Praha, Czech Republic, 2011*, p. 1.
- [214] A. Lakhlef, A. Benfdila, M. Goudjil, and R. Mokdad, “Unified current modeling in low-dimensional MOSFETs Ahcene,” *Int. J. Numer. Model.*, vol. 26, no. February, pp. 493–505, 2014.

Résumé

Au cours de cette thèse, une première partie est réservée aux mesures des caractéristiques $I(V)$, $C(V)$ en régime statique et pompage de charge, ont été effectués sur différentes technologies 180 nm totalement silicium, 45 nm à oxyde nitruré avec un canal dopé rétrograde (poches) et les transistors 32 nm réalisés sur substrat SOI. Cette technologie FDSOI utilise de nouveaux matériaux, constituée d'une grille métallique à base du TiN et d'un oxyde de grille haute permittivité (H_k) de type oxyde de hafnium (HfO_2). La caractérisation de l'ensemble de ces trois technologies au laboratoire IMEP Grenoble et leurs caractéristiques ont été exploitées pour montrer l'évolution en performances de chaque technologie. Ces performances ont été explorées en utilisant les techniques d'extraction des paramètres électriques et géométriques.

Les paramètres extraient des caractéristiques expérimentés des MOSFETs sont : la tension de seuil V_{th} , mobilité à faible champ μ_0 , les coefficients d'atténuation de la mobilité θ_1 et θ_2 , les résistances séries RSD ainsi que les longueurs effectives L_{eff} .

Dans la deuxième partie l'intérêt réside dans le développement d'un modèle analytique unifié du courant de drain. L'expression analytique du modèle engendre tous les régimes de fonctionnement de TMOS notamment les zones sous le seuil, inversions faible et forte par rapport à la tension de commande de grille V_{gs} , ainsi que l'union des deux zones de fonctionnement linéaire et saturé par rapport à la tension V_{ds} .

L'expression du modèle analytique développé dans cette thèse a permis son utilisation à l'extraction de tous les paramètres électriques et physiques, ce qui enrichit le domaine de la caractérisation des MOSFETs en nanotechnologies.

Il est attendu en perspective d'introduire d'autres paramètres pour généraliser le modèle à d'autres courants constituant les MOSFETs en technologie avancée.

Mots clés : courant de drain, caractérisation, FDSOI, Mobilité du canal, capacité grille canal, charge du canal, extraction de paramètres.