

République Algérienne Démocratique et Populaire
Ministère de L'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri De Tizi-Ouzou



Faculté De Génie Electrique Et D'informatique
DEPARTEMENT D'AUTOMATIQUE

**Mémoire de Fin d'Etude
De MASTER ACADIMIQUE**
Spécialité : **Génie Microélectronique**

Présenté par :
HOUARI Ridha

Thème

**Etude et simulation d'un transistor
VDMOS avec TCAD SILVACO**

Proposé par le CDTA

Devant le jury :

Mr M.DAOUI	Maître conférence A	Président	UMMTO
Mr M.GOUDJIL	D.Chercheur	Promoteur	CDTA
Mr H.TAHI	D.Chercheur	Co.Promoteur	CDTA
Mr T.CHELLI	Maître Assistant	Examineur	UMMTO
Mr A.LAKHLEF	Maître Assistant	Examineur	UMMTO

Première Promotion 2014

Remerciements

Louange à DIEU qui ma comblé de faveurs, et apporté son aide a fin de réaliser le travail exposé tout le long de ce mémoire.

Je tien à remercier vivement monsieur Arezki BENFDILA, responsable de la formation, je lui exprime aussi toute ma reconnaissance pour sa compréhension, aidé et conseillé dans les moments difficiles, ainsi son dynamisme et sa collaboration tout au long de ce mémoire.

Je remercier mon promoteur, monsieur LAKHLEF. Ahcene, non seulement pour m'avoir assisté pleinement tout au long de ce mémoire, mais également pour m'avoir prouvé toute sa compétence et sa patience. Que cette espace le prenne à témoin tout en lui révélant l'expression de mon profonde gratitude.

Mes vifs remerciements vont aussi à monsieur GOUDJIL.Mohamed, monsieur MOKDAD et monsieur KANANE et tous le groupe micro-électronique ainsi aux membres de jury qui ont accepté aimablement d'examiner et de juger mon travail, je leur fais honneur de respect.

Je tien également à remercier tous ceux qui ont contribué de loin ou de près à la réalisation de ce travail.

DEDICACES



Je dédie ce travail à ...

Je dédie ce modeste travail comme fruit de toutes mes études :

-A ma très chère mère et mon très cher père, qui ont passé des nuits longues pour mon bonheur et qui se sont fatigués pour mon repos, qui m'ont encouragé à aller au bout de mes objectifs et qui m'ont accompagné durant toutes mes années d'études, et dans les moments difficiles, qui ont prié pour mon succès et mon bonheur. Jamais je ne pourrai vous remercier suffisamment pour tout ce que vous avez fait pour moi.....Que dieu le tout puissant vous préserve, vous donne la santé, le bonheur et une longue vie.

-A mes frères Sid Ali, Toufik, Sid Ahmed, Nacer Eddine ,Raouf et sa femme Sabrina .

-A mes sœurs Chanez, Chahira, Lamia et son mari Walid et leur très chère fil Moundhir .

-A mon oncle Mahfoudh que je considère comme mon père.

-A ma très chère amie Fatma et sa sœur Hafidha.

-A mes confrères et consœurs,

-A Maître Rabah ACHOUR et Nassim AMRANI

-A tous mes amis, avec lesquels j'ai passé d'agréable moment tout au long de mon cursus particulièrement Brahim, Ahmed.

Houari Ridha

Sommaire :

Introduction Générale

Chapitre I : le transistor mos conventionnel et le VDMOS de puissance

I.1 Introduction	(4)
I.2 transistor mos conventionnel MOSFET conventionnel et principe de fonctionnement....	(4)
I.2.1 Régime en forte inversion.....	(5)
I.2.2 Régime en faible inversion.....	(6)
I.2.3 Caractéristique de courant et de tension.....	(7)
I.2.4 La tension de seuil.....	(7)
I.2.5 La transconductance de transistor MOSFET.....	(7)
I.2.6 Caractéristique de rapport I_{on} / I_{off}	(7)
I.3 principe de fonctionnement de transistor de puissance et son évolution.....	(8)
I.3.1 Le transistor VMOS.....	(8)
I.3.2 Le transistor UMOS.....	(9)
I.3.3 Le transistor DMOS.....	(9)
I.3.4 Principe de fonctionnement VDMOS.....	(11)
I.3.5 Les avantages du transistor VDMOS.....	(14)
I.3.6 Les inconvénients du transistor VDMOS.....	(15)

Chapitre II : étape technologique élémentaire de fabrication des circuits intégrés

II.1 Introduction.....	(16)
II.2 l'épitanie.....	(16)
II.2.1 Mécanisme de base	(17)
II.2.2 les différentes méthodes d'épitanie	(17)
II.3 Les techniques de dopage	(19)

II.3.1 La diffusion	(19)
II.3.2 procéder de d'effusion	(20)
II.3.3 L'implantation ionique.....	(21)
II.3.4 Recuits thermique	(23)
II.4 L'oxydation	(23)
II.5 Les dépôts.....	(25)
II.6 La gravure	(30)
II.7 La photo lithogravure.....	(33)

Chapitre III : simulation d'un transistor VDMOS avec SILVACO TCAD

III.1 Introduction.....	(37)
III.2 Présentation de logiciel TCAD SILVACO	(37)
III.2.1 ATHENA	(37)
III.2.2 DECKBUILD	(38)
III.2.3 TONYPLOT	(39)
III.2.4 ATLAS	(39)
III.2.5 SSuprem3.....	(39)
III.3 Simulation du transistor VDMOS avec ATHENA	(39)
III.4 Simulation du transistor VDMOS avec ATLAS	(45)
Conclusion	(51)

Conclusion Général

Bibliographie

Annexe

Liste des abréviations :

C_{gs} : Capacité grille-source

C_{ds} : Capacité drain-source

C_{gd} : Capacité grille-drain

C_{ox} : Capacité d'oxyde de grille par unité de surface

C_{iss} : Capacité d'entrée avec sortie en court-circuit

C_{oss} : Capacité de sortie avec entrée en court-circuit

C_{rss} : Capacité de transfert grille-drain

E_c : Valeur du champ critique de claquage

E_{ox} : Épaisseur de l'oxyde mince de canal

E_{sub} : Épaisseur du substrat

H : Hauteur de la couche épitaxiée

h : Épaisseur des bandes N et P (cas de la Superjonction)

I_{ds} : Courant de drain

l : Largeur d'un caisson P

L : Largeur de la diffusion N+ de source

L_{ox} : Distance entre le P-body et la fin de métallisation de l'oxyde mince de grille

R_{ch} : Résistance de canal

R_a : Résistance de la zone d'accès au drain

R_{fet} : Résistance de volume de la zone d'accès au drain

R_d : Résistance de la zone de "drift"

R_g : Résistance du poly silicium de grille

R_{on} : Résistance à l'état passant du transistor MOS de puissance

R_s : Résistance de source

S : Surface active de la puce d'un transistor MOS de puissance

T : Température (en K)

T_0 : Température initiale (300 K sauf indication contraire)

V_{dbr} : Tension de claquage drain-source du transistor MOS

V_{ds} : Tension drain-source

V_{gs} : Tension grille-source

V_p : Valeur de la tension de drain au début du pincement du canal

V_{max} : Vitesse limite des porteurs dans le canal

V_T : Tension de seuil

μ_n, μ_p : Mobilité des électrons et des trous

μ_{eff} : Mobilité effective des porteurs dans le canal

ϵ_0 : Permittivité absolue du vide

ϵ_{si} : Permittivité relative du silicium

INTRODUCTION
GENERALE

Introduction Générale

La microélectronique est déjà aujourd'hui et le sera encore davantage demain, un des moteurs essentiels dans la construction de la nouvelle société de l'information et de la communication du 21^{ème} siècle, elle consiste à la réalisation miniaturisée des fonctions électroniques de plus en plus complexes sur un seul support (du silicium en général). Au départ, le but de la microélectronique était la réduction du poids et du volume des appareils, mais ces deux critères sont devenus secondaires face à l'amélioration de la fiabilité et la densité d'intégration et la rapidité des circuits. Elle est très largement dominée depuis des années par la technologie des circuits intégrés CMOS.

La technologie CMOS est une technologie planaire destinée au développement des systèmes à très haute échelle d'intégration VLSI (Very large scale integration). Grâce aux propriétés des transistors MOS complémentaires (notées CMOS pour Complementary Metal Oxyde Silicon), cette technologie est basée sur les transistors n-MOSFET et p-MOSFET.

Les progrès constants des procédés technologiques concernant la microélectronique permettent actuellement de réaliser des avancées énormes dans le domaine de l'intégration. Dans le même système, des composants de commande fonctionnant sous quelques Volts (CMOS) et des interrupteurs dits de puissance pouvant commuter des dizaines de Volts et conduire des courants de plusieurs ampères (LDMOS, IGBT ou VDMOS), [2]. ce type d'intégration est appelé « Smart Power Integrated circuit », que l'on peut traduire par circuit intégré de puissance « intelligent ».

En électronique de puissance, les transistors bipolaires et les thyristors étaient les premiers dispositifs de puissance commandable utilisés dans plusieurs applications de puissance, mais ces dispositifs ne sont pas adaptés aux applications de commutation à haute fréquence, mais avec l'évolution des technologies dans le domaine des circuits intégrés, a permis le développement des transistors MOSFET de puissance capable de fonctionner en haute fréquence, comme les transistors (VDMOS , LDMOS)

Le transistor VDMOS et un transistor de puissance fabriqué en utilisant le processus de double diffusion MOS. La source et la grille sont localisées à la surface de la puce alors que le drain se situe à l'arrière de la puce. le transistor peut amplifier l'énergie électrique et interrompre rapidement le passage du courant électrique à haute vitesse, tout en consommant lui-même une quantité moindre d'énergie.

Dans le premier chapitre nous allons présenter l'état de l'art de transistor MOSFET conventionnel dit sur substrat massifs ou bulk et le transistor MOSFET de puissance et son

évolution, en commençons par les transistors VMOS , UMOS , LDMOS et VDMOS , après on va s'intéresser à l'étude de comportement statique et dynamique de transistors VDMOS .

Le deuxième chapitre sera consacré à la présentation des différentes procédures élémentaires de la technologie CMOS , les différentes techniques de dépôt , épitaxie , et du dopage , et en passera a la lithographie (photolithographie et la gravure) et en termine par la définition de quelque règle de dessin .

Dans le troisième chapitre nous présenterons le logiciel de simulation SILVACO Tcad , ses module et outils de simulations ,nous décrirons par la suite les procédures technologiques nécessaire a la réalisation de notre structure VDMOS en utilisant l'outil de simulation Athéna et part la suite nous intéressons a la simulation électrique qui se fera avec l'outil de simulation Atlas .

En fin en termine par une conclusion générale avec une perspective.

Un bref historique :

Des 1925, J.E. Lilienfeld avait proposé l'utilisation d'un effet de champ dans un semi-conducteur pour moduler un courant par une tension, comme dans un tube à vide. Mais le premier "effet transistor" n'a été observé qu'en 1947, dans les laboratoires de Bell (par J. Bardeen, W. Brattain et W. Shockley, qui ont reçu pour cette invention le prix Nobel en 1956) avec un montage à pointe dont le fonctionnement a été compris l'année suivante, grâce à une théorie de Shockley. Cette invention a débouché sur les "transistors bipolaires", dans lesquels la borne d'entrée (appelée "base") n'est pas isolée, et qui ont constitué longtemps le seul type de transistors commercialisés, en 1958 et pour la première fois en parle réellement de la microélectronique avec la réalisation du premier circuit monolithique intégré Jack Kilby, dans les laboratoires de Texas Instruments . Cette invention lui valut le Prix Nobel de physique en 2000, qui comportait, dans un même bloc de silicium, un transistor, quatre diodes et quelques résistances. Au milieu des années 60, grâce aux recherches concernant l'oxyde de silicium, est apparu le premier transistor à effet de champ (MOSFET). A l'origine, on ne savait fabriquer que des MOSFET dont l'électrode de commande (la grille) était fabriquée en aluminium. Dans les années 70, de nouvelles techniques d'isolation entre des transistors (LOCOS pour localized oxide séparation) et la maîtrise des grilles en silicium poly cristallin ont permis de fabriquer des MOSFET à conduction par électrons. une année après INTEL lance le « 4004 » : premier microprocesseur 4-bit contenait 2300 transistors en technologie 10µm et travaillait avec une fréquence de 108 kHz [Int1] sur une puce de 6cm² , dans les années 80, on a su

réaliser sur une même tranche et avec des procédés technologiques compatibles des MOSFET à conduction par trous et des MOSFET à conduction par électrons, donc en aura la naissance Les circuits CMOS (« Complementary MOSFET »), et en note aussi l'apparition des transistor mos de puissance , en fin au début des année 1990 l'apparition de la technologie smarth power , cette une technologie qui a été crier pour fournir l'interface entre le contrôle logique digitale et la charge de puissance. Elle intègre les dispositifs de puissance avec des fonctions de contrôle, protection et logique intégrée.

La loi de Moore

Une La diminution du coût d'un transistor ou d'une fonction est donc basée sur la réduction de taille du transistor. Gordon Moore, ingénieur chez Intel, a énoncé en 1965 cette évolution de la manière suivante :

le nombre de transistors intégrés sur une puce double tous les 18 mois. Cette déclaration n'est pas une loi mais une simple observation et rien ne peut réellement expliquer la période de 18 mois

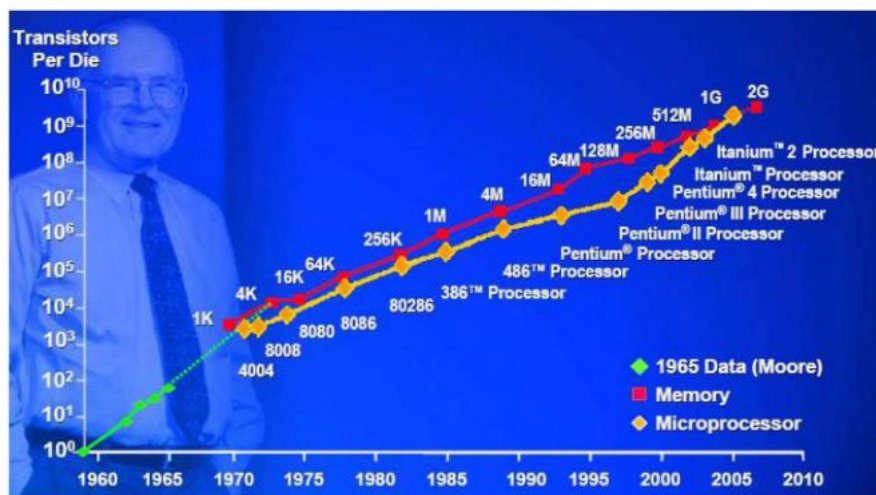


Figure : Nombre de transistors par puce en fonction des années de production pour les processeurs (losanges orangés) et les mémoires (carrés rouges).

La loi de Moore finalement appliquée avec une constante de temps plus courte que celle imaginée dans les prévisions initiales. Le nœud de la technologie λ est défini comme la demi-distance la plus petite entre deux lignes conductrices. Depuis 1997, la loi de Moore est complétée par une « feuille de route internationale », qui prédit l'évolution de la microélectronique à court, moyen et long terme. Ces prédictions, connues sous le nom d'ITRS sont éditées par des experts de la microélectronique, et guident la recherche et le développement des technologies de la microélectronique.

Chapitre I :

Transistor

Conventionnel

MOS et VDMOS

I.1) Introduction

L'élément base de la technologie CMOS et le transistor métal,oxyde,semi-conducteur a effet de champ (MOSFET) .les transistors MOSFET sont généralement utilisée dans les domaine principalement numérique , mais aussi analogique et de puissance [8] .

Dans l'électronique de puissance, c'est le MOSFET a enrichissement canal N le pus utiser.la performance de composant MOSFET est régit par deux paramètre essentielle la longueur de canal et l'épaisseur de l'oxyde.

D'une manière idéal, le principe de fonctionnement des MOSFET conventionnel et de puissance comparable a celui d'interrupteur .en effet son fonctionnement est basée sur la modulation d'une densité charge dans une couche semi-conductrice (canal de conduction) par le biais d'un champ électrique qui lui est appliqué perpendiculairement. La création des porteurs de charge (électrons pour un transistor nMOSFET, trous pour un transistor pMOSFET) par effet de champ est régie par la polarisation (V_G) d'une électrode de commande appelée « grille » à travers une couche isolante (le diélectrique de grille). Le transport des porteurs dans le canal se fait sous l'impulsion d'une différence de potentiel (V_D) entre deux réservoirs de charges (source et drain) établissant un courant de drain (I_D)[1].

I.2) transistor MOSFET conventionnel et principe de fonctionnement

Le transistor MOS est constitué de deux régions semi-conductrices fortement dopées appelées source et drain séparées par une région faiblement dopée et de type opposée (canal). Le principe du transistor MOS repose sur la possibilité de modifier localement la nature du dopage du canal (inversion) par un champ électrique. Ce champ électrique est appliqué par l'électrode de commande appelée grille à travers un isolant (diélectrique de grille). Lorsque la tension appliquée sur la grille (V_{GS}) est supérieure à une tension appelée tension de seuil (V_T), des charges mobiles sont créés: électrons dans le cas d'un transistor NMOS, trous dans le cas d'un transistor PMOS. Ces charges mobiles constituent un canal de conduction entre la source et le drain. Lorsqu'une différence de potentiel V_{DS} est appliquée entre la source et le drain, les porteurs affluant de la source peuvent donc circuler dans le canal et sont collectés par le drain : le transistor est dit passant (régime de forte inversion). Lorsque la tension de grille n'est pas suffisante pour créer la couche d'inversion, le transistor est en régime de faible inversion.. Très souvent la source et le substrat sont électriquement reliés. en peut constater deux types fondamentaux de MOSFET sont les MOSFET à appauvrissement, les MOSFET à enrichissement et dans chaque type, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le

courant provient du déplacement de trous) , mais nous en va s'intéresser juste pour les MOSFET à enrichissement a canal N .

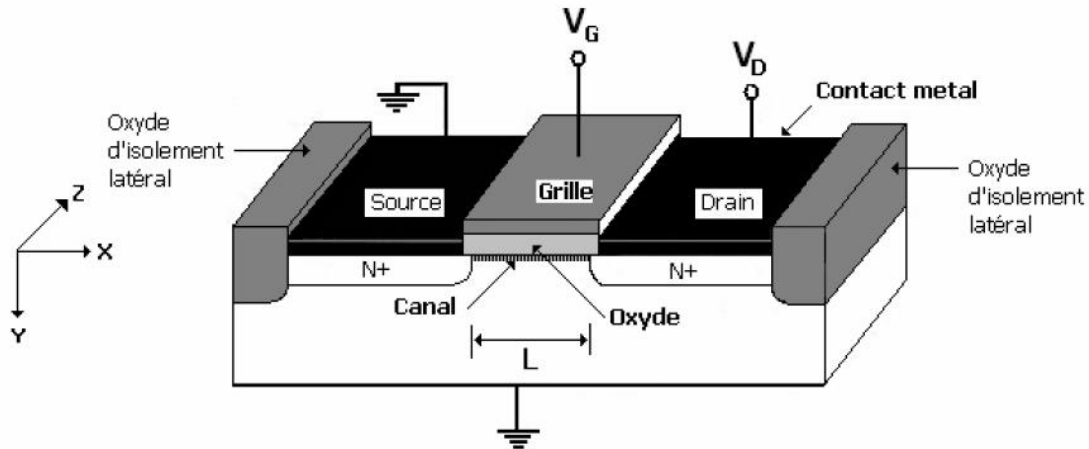


Figure I-1 : Vue schématique du transistor MOS de type N

I.2.1) Régime forte inversion

Lorsque $V_{GS} > V_T$, la concentration de charges mobiles en surface devient très forte. On peut alors distinguer deux cas, selon la polarisation V_{DS} . Au même titre que V_{GS} , V_{DS} va moduler la résistivité du canal en modulant l'effet de champ de la grille en chaque point du canal de conduction [1].

Lorsque la tension de drain est faible $V_{DS} < V_G - V_T$, ($V_{DS} \ll V_{DSsat}$), le courant I_{DS} est proportionnel à la variation de la tension (drain-source) le transistor fonctionne en régime linéaire et le courant I_{DS} est donné par :

$$I_{DS} = \frac{W}{L} \mu C_{ox} [(V_G - V_T) V_{DS} - \frac{V_{DS}^2}{2}] \quad \text{equation (1)}$$

Avec W et L la largeur et la longueur de canal semi-conducteur, μ : la mobilité de porteur de charge dans le canal V_T la tension de seuil de la capacité MOS.

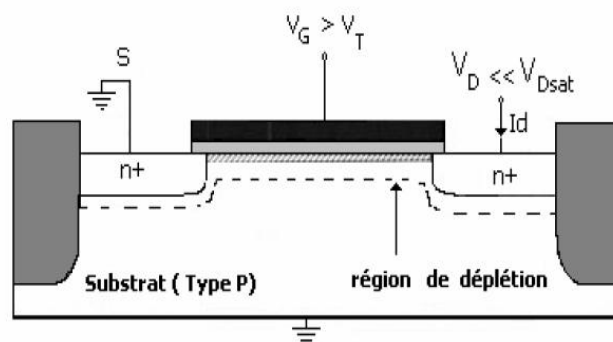


Figure I-2 : Le transistor en mode linéaire (ohmique)

Si en continue a augmenter la tension de polarisation de drain V_{DS} , l'effet de la tension de la grille diminue de sorte qu'elle devient insuffisant pour maintenir la longueur de canal qui sera interrompus de coté drain, on dit quelle est pincé. ($V_{DS}=V_{Dsat}$) [1].

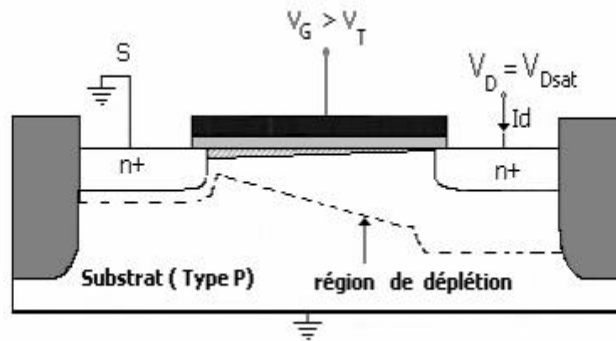


Figure I-3 : Pincement de canal

Ensuite lorsque $V_{DS} > V_G - V_T$ ($V_{DS} > V_{Dsat}$), le transistor fonctionne au mode de saturation. un point de pincement se crée du coté de drain .le courant de drain en régime saturé I_{Dsat} devient indépendant de la tension V_{DS} [1] :

$$I_{DS\ sat} = \frac{W}{2L} \mu_n C_{ox} (V_G - V_T)^2 \quad \text{equation (2)}$$

Où μ_n est la mobilité des porteurs (type n), W la largeur du canal et L est la longueur du canal. On voit bien que la mobilité est un des paramètres les plus importants : elle dépend du dopage du canal, du champ électrique, de l'orientation cristalline du silicium, du potentiel, de la température et des charges dans l'oxyde [1].

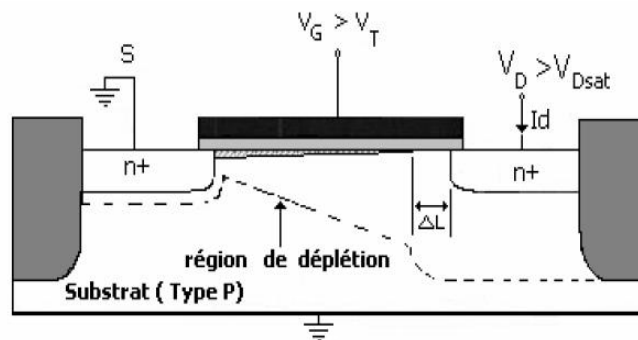


Figure I-4 : Le transistor en mode de saturation

I.2.2) Le régime faible inversion

Dans le cas idéale, lorsque $V_{GS} < V_T$ la charge dans le canal et le courant de drain I_{DS} devront s'annuler. Toutefois, une faible concentration de porteurs est toujours présente dans le canal pour toutes valeurs de V_{GS} comprises entre 0 et V_T [1].

I.2.3) Caractéristique de courant et tension

A partir des expressions du courant de drain en fonction de la tension drain - source et grille- source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui est donnée sur la figure :

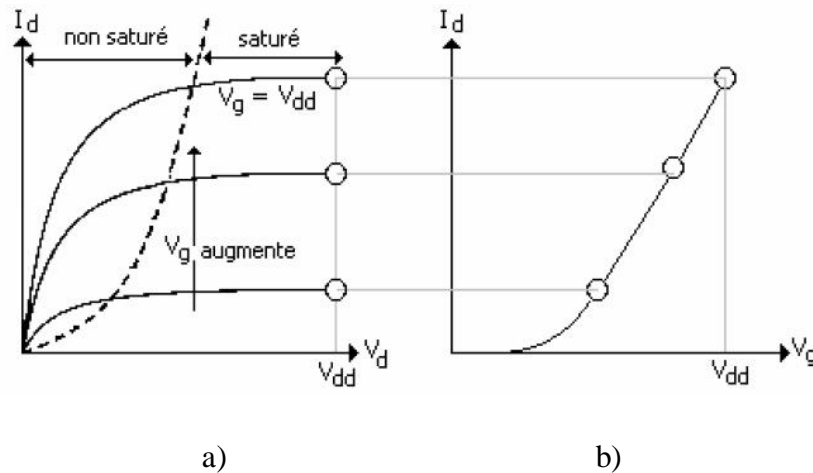


Figure I-5 : Caractéristique de transistor MOSFET :a)les caractéristique de sortie, b) les caractéristique de transfert

I.2.4) La tension de seuil

La tension de seuil est l'un des paramètres les plus importants dans l'étude de transistor MOSFET, elle est définie comme étant la tension à appliquer sur la grille pour obtenir la forte inversion (formation du canal). c'est à partir de cette tension que on aura la première couche d'inversion [3].

I.2.5) La transconductance de transistor MOSFET

La transconductance g_m est l'un des paramètres pour la mesure de gain des transistors, elle est définie comme la dérivée de courant du drain par rapport à la tension de grille V_G [7] :

$$g_m = \frac{\partial I_D}{\partial V_G} / V_D \quad \text{equation (3)}$$

I.2.6) Caractéristique de rapport I_{ON}/I_{OFF}

Le rapport I_{ON}/I_{OFF} c'est un très bon indicateur pour voir les performances des transistors MOSFET, il doit être très élevé. I_{ON} définie comme le courant de drain lorsque $V_{GS} = V_{DD}$ et I_{OFF} est définie comme étant le courant de fuite interne de transistor à l'état bloqué il permet de limiter la consommation et la puissance dissipée ($P_S = V_{DD} \cdot I_{OFF}$) dans un circuit. En aura donc avec cette manière des fréquences de commutation élevée sont

I.3.2) Le transistor UMOS

Fin 70, la structure en tranchées, dite aussi trench, UMOS ou à grille enterrée a été proposé. Sa structure reprend celle du VMOS mais la forme du sillon est différente. Le canal est vertical. La réalisation du transistor UMOS est complexe, car elle nécessite une gravure qui doit être la plus régulière possible pour ne pas nuire à la mobilité dans le canal. L'épaisseur de l'oxyde de grille doit être plus grande que dans un VDMOS et les arrêtes des tranchées doivent être arrondies sous peine de réduire la tenue en tension. Pour les mêmes raisons, la profondeur de la tranchée doit également être soigneusement contrôlée [3].

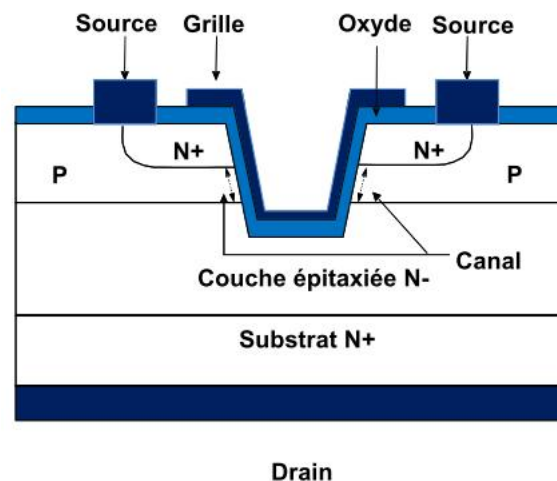


Figure I-7 : Le transistor UMOS

I.3.3) Le transistor DMOS

Les différents problèmes rencontrés avec les transistors VMOS et UMOS ont été pratiquement résolus par le développement des processus de double-diffusion MOS (DMOS). Cette technologie est à nos jours largement utilisée pour fabriquer la plupart des composants de puissance, dont les configurations sont essentiellement de deux types : ce sont, d'une part, les structures verticales (VDMOS) où le drain est situé sur la face arrière de la puce et, d'autre part, les structures horizontales (LDMOS) où les électrodes sont coplanaires et le flux de courant horizontal [5].

a- Le transistor LDMOS

Les points de contacts du Drain, de la Grille et de la Source sont placés sur la même face de wafer de silicium. Une telle structure est très facilement intégrable mais ne permet pas d'obtenir un transfert de puissance élevé puisque la distance entre Source et Drain doit être large pour obtenir une bonne tenue en tension inverse alors que la capacité en courant est inversement proportionnelle à cette longueur [3].

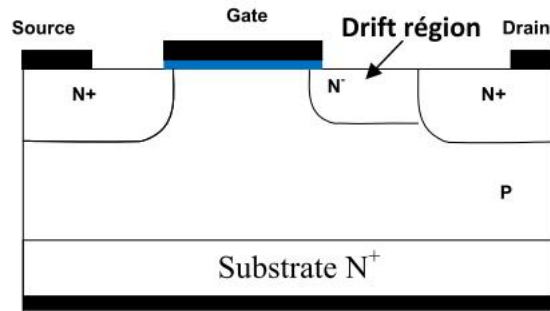


Figure I-8 : Le transistor LDMOS

b-Le transistor VDMOS

Le principe de fabrication du transistor VDMOS utilise la technique de double diffusion, qui permet de déterminer la longueur du canal : après implantation de la zone « P-Body » (dopée P), on implante les zones N^+ de source. La différence des diffusions latérales après la double diffusion de ces deux zones fixe la longueur du canal. Le drain est situé sur la face arrière de la puce. La valeur élevée du courant de drain est liée au fait que la longueur du canal est faible (la résistance série est plus faible, ce qui augmente le courant) et à la disposition de cellules élémentaires de ce dispositif : plusieurs cellules peuvent être reliées par un drain commun et ainsi le courant total s'en trouve démultiplié. Le transistor VDMOS présente une grande capacité parasite entre l'électrode de grille et l'électrode de drain due au positionnement du drain sous une partie de l'électrode de grille [3].

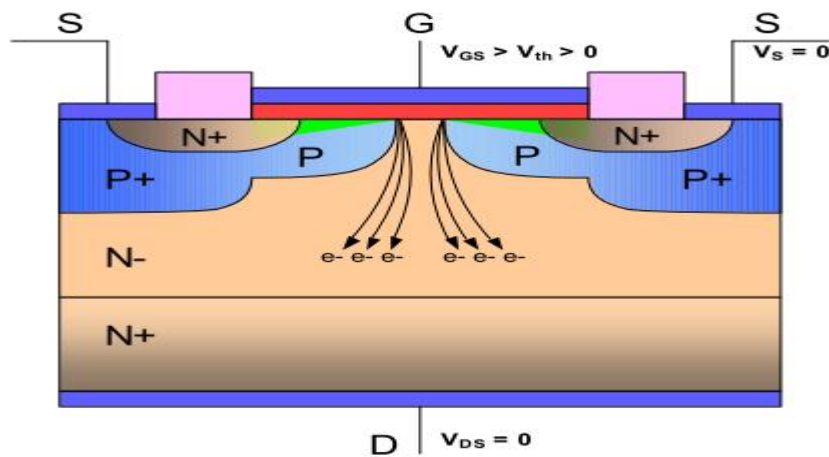


Figure I-9: Le transistor VDMOSFET

I.3.4) Principe de fonctionnement de transistor VDMOS

I.3.4.1) étude du comportement statique

L'objectif de transistor de puissance et la nécessité de supporter des tensions élevées et des courant important, comme tout les composants de puissances, le transistor de puissance VDMOS joue le rôle d'interrupteur fonctionnent entre deux état [4] :

Le premier et dit bloqué, apparait lorsque la tension grille source et inferieur a la tension de seuil ($V_{GS} < V_T$), donc en aura pas circulation de courant ,la tenue en tension de claquage par définition et la tension maximale qui peut être appliquer entre source et drain à l'état bloquer, c'est alors la zone de transition (appelée zone de "drift") de la jonction de drain qui supporte la tension.

Le deuxième, dit "passant" ou de "conduction", apparaît lors de l'application d'une tension de grille supérieure à la tension de seuil ($V_{GS} > V_T$),. Il se caractérise par l'apparition d'une zone d'inversion dans le canal, permettant ainsi le passage du courant de drain dont la valeur est limitée par les contraintes géométriques, technologiques de la structure et par les tensions appliquées. Lorsqu'un transistor fonctionne à l'état passant, il se comporte comme une résistance notée R_{ON} , qui impose une chute de tension aux borne du composant , cette chute de tension V_{DS} , a tout simplement expression [4] :

$$V_{DS} = R_{ON} \cdot I_{DS} \quad \text{equation (4)}$$

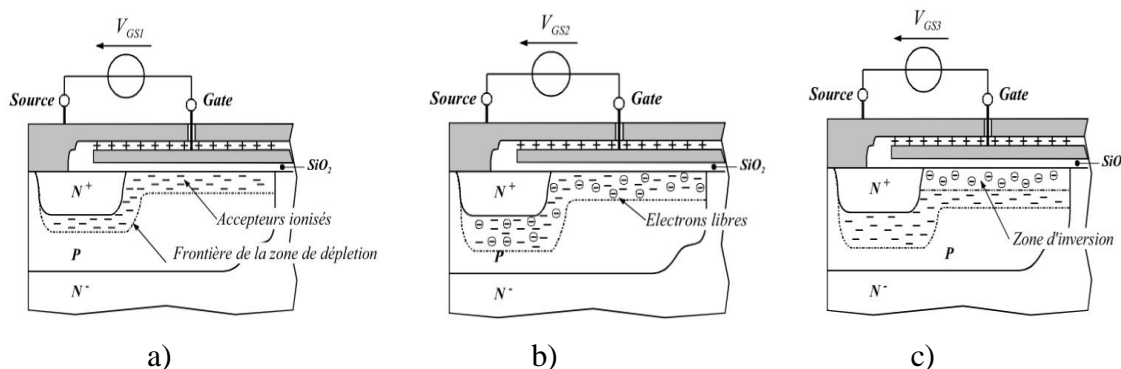


Figure I-10 : formation du canal :a)zone de déplétion, b) apparition des électrons libre c)zone d'inversion

a- La tension de claquage

La tension de claquage de la résistance à l'état passant sont étroitement liées :en effet la zone de drain N^- faiblement dopé a un double effet : d'une par elle supporte la tension drain source à l'état bloqué et d'autre part , elle a un effet résistif important a l'état passant entre R_{DSon} et la tension de claquage est une des principales caractéristiques des transistor de puissance [9].

b-Résistance drain source

La résistance à l'état passant est un des paramètres spécifiques des composants de puissance car de sa valeur dépendent en particulier les pertes en conduction. Elle est définie comme étant la résistance totale qui apparaît entre la source et le drain lorsque le transistor conduit en régime linéaire (ou ohmique), c'est-à-dire à faible tension drain-source V_{DS} . Plus sa valeur est élevée, plus son utilisation dans une application de puissance commutée reste critique mais acceptable pour des applications de puissance en régime linéaire. Cette résistance peut être décomposée en trois résistances principales : la résistance R_{Ch} du canal d'inversion, la résistance d'accès au drain R_A et la résistance de drift R_d qui représente le volume de drain épitaxié. Les résistances R_{Ch} et R_A dépendent surtout de la tension de grille tandis que la résistance de la zone de drift R_d peut devenir linéairement dépendante de la tension de drain (à fort V_{DS}) [2].

De plus, les résistances qui ont le plus de poids dans la contribution à la résistance à l'état passant sont les résistances de drift et de canal. Pour des tensions de claquage élevées, la résistance de drift domine toutes les autres composantes et est difficile à diminuer sans dégrader la tenue en tension du composant. et en a l'apparition d'autres résistances parasites : $R_N, R_S,$ et R_J .

$$R_{DSon} = R_N + R_{Ch} + R_A + R_J + R_D + R_S$$

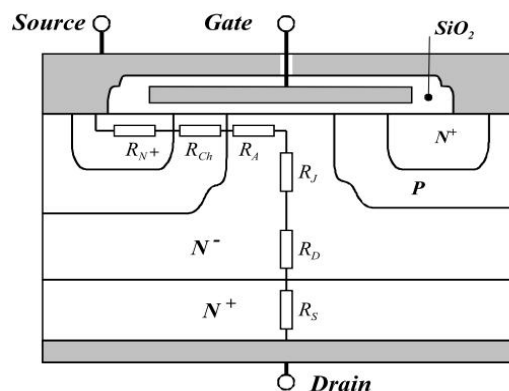


Figure I-11 : élément parasite : résistance R_{DSon}

R_N : Résistance de caisson N^+ , Cette résistance représente une très faible proportion de la résistance globale de passage R_{DSon} .

R_J : elle correspond à la région N^- située entre les zones de diffusion P

R_S : cette résistance de substrat peut être ignorée pour des fortes valeurs de la tension V_{BR} .

Par contre c'est la tension $V_{BR} < 50$ v elle représente une partie importante de la résistance R_{DSon} .

Donc La résistance $R_{DS\ on}$ à l'état passant est un des paramètres les plus importants pour un composant de puissance : plus cette résistance est faible, plus les pertes en conduction sont faibles.

$$P_D = V_{DS} I_{DS} = R_{ON} I_D^2 \quad \text{equation (5)}$$

I.3.4.2) Étude de comportement dynamique

le comportement dynamique de transistor VDMOSFET est lié aux valeurs différentes capacités qui se décomposent : les capacités d'oxyde grille-source (C_{gs}), de grille-drain (C_{gd}), et de drain-source, en peut ces capacités par l'utilisation de la formule général de la capacité : $C = \frac{\epsilon \cdot S}{e}$ et en prend en considération des géométrie et règles de dessin pour les capacités surfacique ,est pour mesure de la moyenne des capacités elle est apparus mesurer directement donc il est préférable de les muserez en trois : la capacité C_{iss} capacité d'entrée avec la sortie en court-circuit ,la capacité C_{oss} capacité de sortie avec l'entrée en court circuit et la capacité de transfert C_{rss} entre grille et drain , elles sont définie comme suit :

$$C_{iss} = C_{gs} + C_{gd}$$

$$C_{oss} = C_{gd} + C_{gs}$$

$$C_{rss} = C_{gd}$$

Pour faire commuter le transistor ,il faut donc charger ou décharger C_{iss} de manière à se placer sur le point de fonctionnement désiré de la caractéristique statique. Ces capacités parasites peuvent avoir un autre effet durant les commutations: C_{gs} et C_{gd} forment un diviseur capacitif qui peut venir charger la grille du transistor lors des commutations[2] :

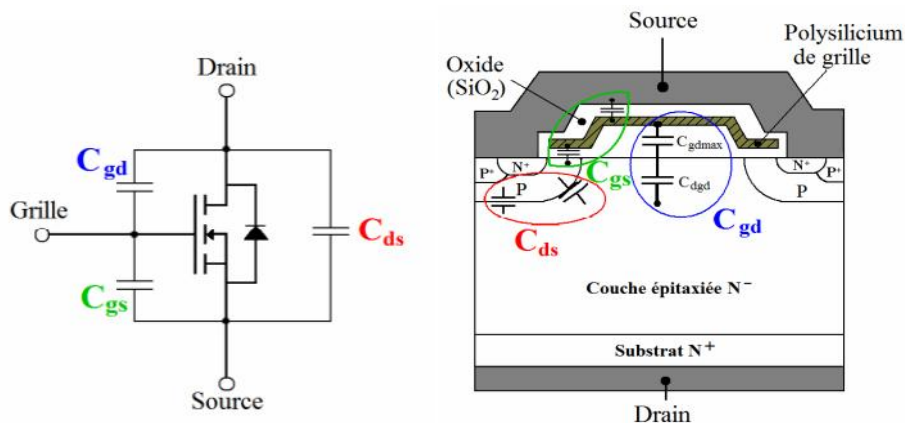


Figure I-12: Les différentes capacités de transistor VDMOSFET

Apparition des transistors BJT parasites : le caisson N^+ , la zone de diffusion, la région épitaxiale N^- forme un transistor bipolaire NPN, de plus la jonction PN^- n'est rien d'autre qu'une diode. La tenue en tension inverse n'est pas possible sans adjonction de composants extérieurs.

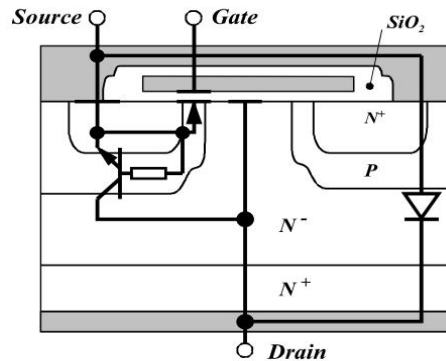


Figure I-13: Élément parasite : diode et transistor bipolaire

I.3.5) Les avantages du transistor VDMOS [2]

- le courant drain-source est vertical sur la majeure partie de son trajet. Cette configuration permet une très bonne densité d'intégration des cellules élémentaires. De plus, la tenue en tension est dissociée du canal, ce qui entraîne une importante diminution du périmètre de la zone épitaxiale par rapport au périmètre du canal.

- la longueur du canal diffusé est contrôlée par la différence des avancées latérales des diffusions P et N^+ auto-alignées. La surface plane induit une très bonne reproductibilité.

- la grille en silicium poly cristallin est l'élément clé de l'auto-centrage des diffusions N^+ et P : elle peut supporter des températures élevées de l'ordre de 1100 °C.

- le transistor VDMOS ne présente pas d'effet de focalisation de courant, quelle que soit la tension de polarisation appliquée, car le mécanisme de contrôle du courant est fonction du champ électrique et de la mobilité. Cela entraîne une distribution homogène de la température et du courant sur toute la puce. Le calibre en courant souhaité peut être obtenu par une simple mise en parallèle du nombre de cellules élémentaires nécessaires. Le courant total est alors en effet égal à la somme des courants des transistors MOS élémentaires pris séparément.

- la configuration verticale du drain de type $N^- - N^+$ permet d'assurer un certain calibre en tension. La tenue en tension dépend au premier ordre du dopage et de l'épaisseur de la couche épitaxiale.

I.3.6) Les inconvénients du transistor VDMOS [2]

- les deux côtés de la tranche sont à soigner car ils sont tous les deux actifs (électrodes de contact sur les deux faces du composant),
- l'isolation monolithique est difficile à réaliser,
- l'électrode de grille en poly silicium présente une faible conductivité, même après son dopage, ce qui est préjudiciable en régime transitoire,
- un compromis est nécessaire lorsqu'on désire accroître à la fois les calibres en tension et en courant : on se heurte alors à la "limite du silicium", symbolisé par le compromis reliant la résistance à l'état passant et la tenue en tension fixés pour une surface donnée.

Conclusion

Le principe de fonctionnement d'un transistor est basé sur la possibilité de modifier en surface la concentration et le flux de porteurs entre la source et le drain par l'application d'une tension sur l'électrode de grille.

Nous avons vu l'ensemble d'architecture des transistors MOSFET de puissance ont été présentée., l'architecture principale de transistor de puissance VDMOS double diffusion verticale, normalement utilisés avec la technologie CMOS, ont été discutées. Plusieurs avantages et inconvénients de ces architectures ont été également précisés.

L'effet de quasi-saturation, qui est dû en raison de la vitesse de saturation ou de l'augmentation du courant de la région drift est un problème majeur dans ces dispositifs car il donne une grande valeur de résistance, qui n'est pas désirée.

Chapitre II

Étapes

Technologique Élémentaire De Fabrication Des Circuits Intégrés

II.1) INTRODUCTION

La technologie CMOS est actuellement la technologie dominante dans le domaine de la microélectronique. Beaucoup de composants microélectroniques sont basés sur la technologie CMOS, comme par exemple, les microprocesseurs, les mémoires. En général, le terme CMOS désigne le procédé de fabrication des puces sur une tranche de silicium. De plus il caractérise également l'architecture des cellules utilisées pour la conception de circuits dans laquelle un bloc constitué de transistors PMOS crée un chemin entre la sortie et le rail d'alimentation, tandis qu'un bloc complémentaire constitué de transistors NMOS crée un chemin vers la masse pour les conditions complémentaires [23].

Les circuits intégrés sont fabriqués sur des disques de silicium monocristallin appelés « plaquettes » (ou wafer en anglais). La taille de ces plaquettes a progressivement augmenté en passant d'un diamètre de 50mm en 1970 à un diamètre de 300mm de nos jours [19] (voir Figure II-1).

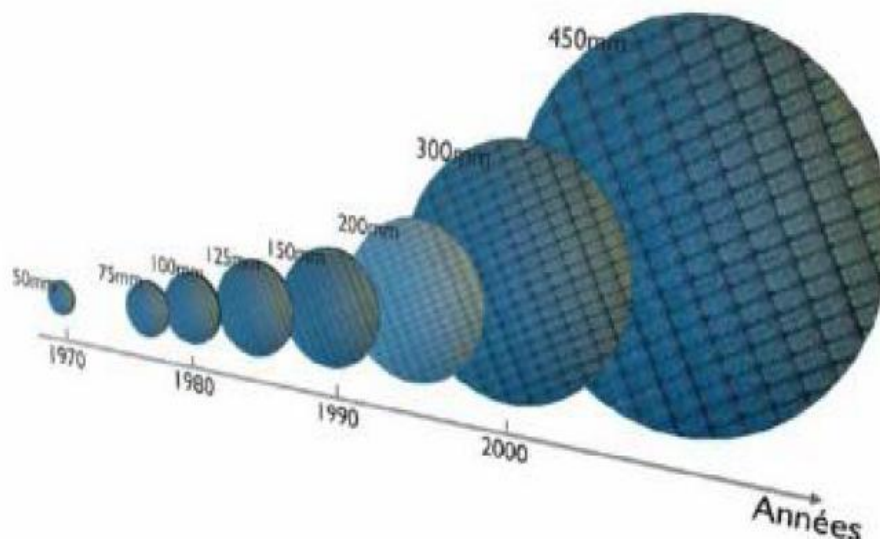


Figure II-1: Evolution de la taille des plaques de silicium

II.2) L'építaxie

L'építaxie est un mot d'origine grecque, "épi" signifie "sur" et "taxis", "arrangement", elle consiste à faire croître du cristal sur du cristal.. La technique va donc consister à utiliser le substrat comme germe cristallin de croissance et à faire croître la couche par un apport d'éléments constituant la nouvelle couche. La couche építaxie peut être dopée ou non dopée et elle est considérée comme une technique de dépôts. On peut avoir de sorte d'építaxie :

-Homo építaxie : les matériaux sont identiques par exemple croissance de silicium sur un substrat de silicium.

-Hétéro épitaxie : les matériaux sont différents par exemple croissance de diamant sur un substrat de silicium [21].

II.2.1) Mécanisme physique de base

Pour comprendre la croissance épitaxiale, il faut s'attarder sur la possibilité de fixation des atomes en présence près de la surface et leur accrochage possible au réseau cristallin. Il faut d'une part que les atomes puissent se déplacer au niveau de la surface pour atteindre un site cristallin ou éventuellement quitter cette surface. Pour cela, il est nécessaire d'apporter de l'énergie qui est en général sous forme thermique. Plusieurs situations peuvent se présenter en fonction du lieu de collage des atomes à la surface avant réalisation des liaisons chimiques, tel que représenté sur la figure suivante. Il ya 3 mécanismes fondamentaux de croissance épitaxies [25]:

- un atome arrive sur la surface et repart de celle-ci la liaison possible n'étant pas suffisante pour "accrocher" l'atome (A).
- un atome tombe dans un trou du réseau et établit immédiatement, vu son environnement plusieurs liaisons qui le fixent définitivement dans le cristal (B),
- un atome s'accroche sur le bord d'une marche et reste en moyenne lié (C).

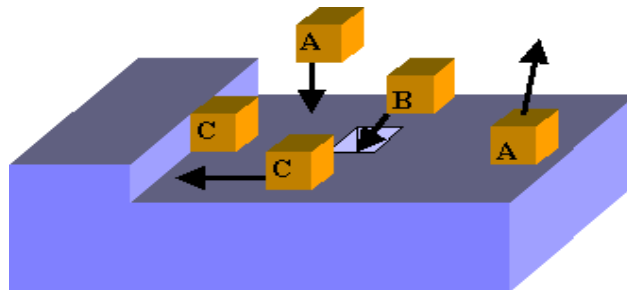


Figure II-2 : La croissance épitaxiale.

Les trous sont bouchés en premiers, puis les bords de marche. La croissance s'effectue donc couche par couche.

II.2.2) Les différentes méthodes d'épitaxie

a) L'épitaxie par jet moléculaire

Cette technique consiste à envoyer des molécules à la surface d'un substrat dans un vide très poussé afin d'éviter tout choc ou contamination sur le parcours. Le principe de la source est l'évaporation sous vide (cellule de Knudsen) par chauffage. Les sources d'évaporation peuvent être de nature et de dopage différents ; pour chaque élément évaporé, il faut adapter la puissance de chauffe de cellules mais aussi du porte-substrat.

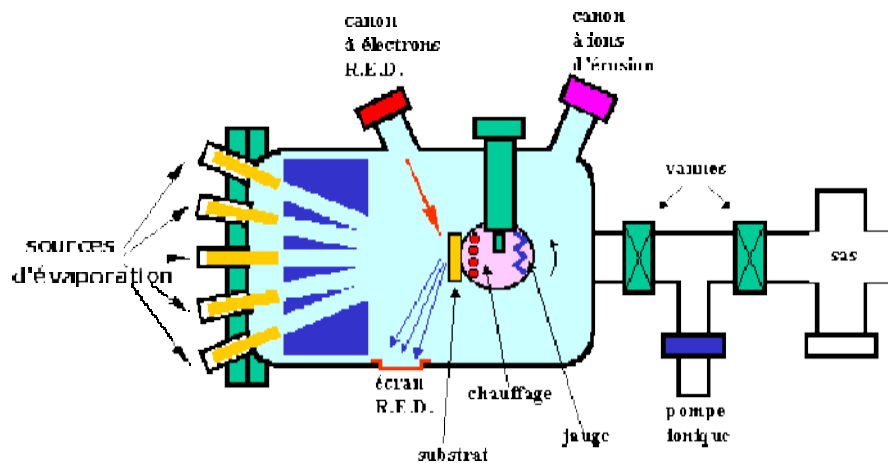


Figure II-3: l'épitation par jet moléculaire, EJM ou MBE (Molecular Beam Epitaxy)

b) L'épitation en phase liquide

Cette technique consiste à faire croître le cristal par la mise en contact du substrat avec une source liquide. C'est le même principe que le tirage d'un lingot par la méthode Czochralski. Il faut bien contrôler les échanges thermiques pour éviter de liquéfier le cristal existant. Cette méthode présente l'avantage d'être très rapide, la vitesse de croissance peut être de l'ordre du micron par minute mais bien sûr n'a pas du tout la même précision que l'EJM.

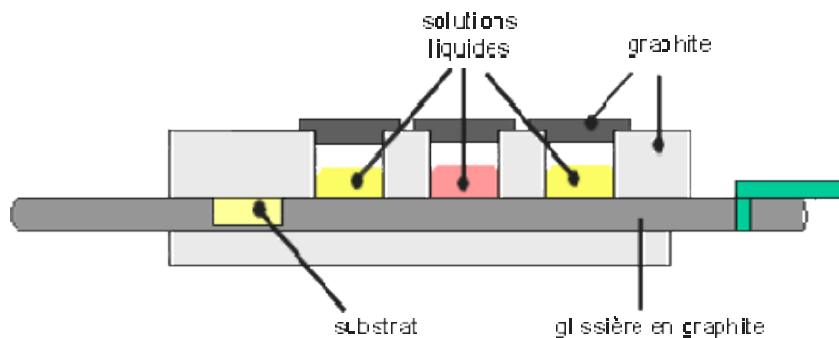


Figure II-4 : l'épitation en phase liquide ou LPE (Liquide Phase Epitaxy)

c) L'épitation en phase vapeur (VPE)

Cette opération consiste à faire croître le cristal à partir de sources de gaz contenant les éléments dopants. Pour assurer une bonne croissance des plaquettes sont chauffées.

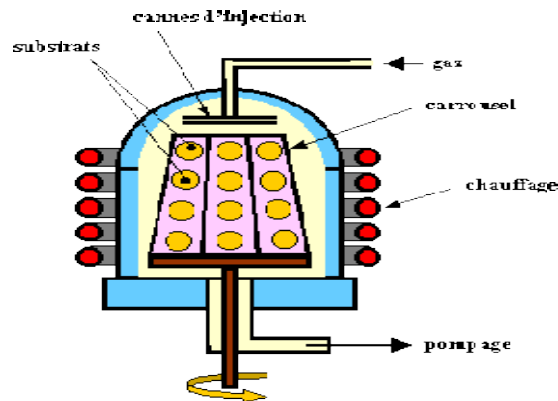


Figure II-5 : l'épitaxie en phase vapeur ou VPE (Vapor Phase Epitaxy)

d) Épitaxie sélective

En fonction des gaz en présence dans les réacteurs et en fonction de la nature du matériau en surface, le phénomène d'épitaxie se produit ou non. En d'autres termes, il est possible de trouver des conditions pour lesquelles on effectue une croissance sélective. Il est par exemple possible d'effectuer une croissance de silicium sur du silicium en évitant la formation de la couche sur l'oxyde.

II.3) Les techniques de dopage

En dopent les matériaux pour le contrôle local de la résistivité, ajustement de la tension de seuil, création de la barrière de potentiel ou jonction .donc en peut avoir deux méthodes :

II.3.1) La diffusion

La diffusion est un phénomène très général dans la nature, qui correspond à la tendance à l'étalement d'espèces, particules, atomes ou molécules grâce à une excitation énergétique apportée par la chaleur. A température ambiante le phénomène de diffusion sera très important dans un milieu gazeux, plus faible dans un milieu liquide et pratiquement nul dans un milieu solide. Pour obtenir un phénomène de diffusion dans un solide ou un cristal, il faudra chauffer le matériau à des températures voisines de 1000°C.

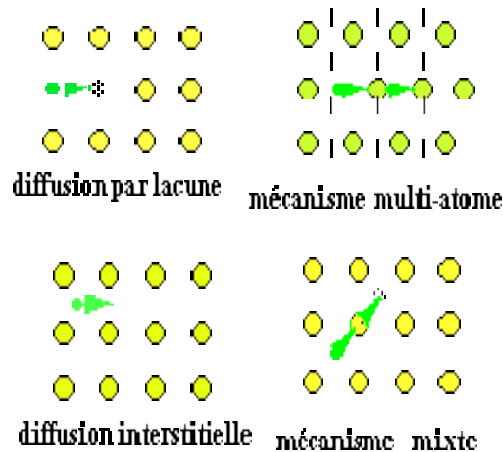


Figure II-6 : Mécanisme de diffusion à l'échelle atomique

Comme évoqué ci-dessus, les mécanismes ne seront possibles qu'à la condition que les espèces concernées soient suffisamment excitées, les quatre mécanismes : mécanisme lacunaire, mécanisme interstitiel, mécanisme interstitiel combiné au mécanisme lacunaire, mécanisme de groupe mettant en jeu plusieurs atomes [24].

II.3.2) Procéder de diffusion

Les procédés de diffusion vont dépendre de la nature des sources de dopants. Il existe trois grands types de sources : gazeux, liquide ou solide.

a) Les sources gazeuses

Sont les gaz tels que l'arsine, la phosphine PH_3 , ou le diborane B_2H_6 les gaz dopants sont entraînés par un gaz porteur neutre tel que l'azote, afin d'éviter toute pollution par des éléments venants de l'atmosphère ambiante.

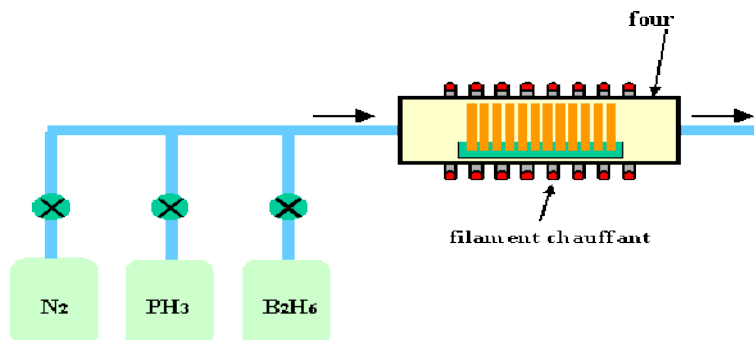


Figure II-7 : Diffusion dans un four à partir des sources gazeuses

b) Les sources liquides

Bien qu'a priori ces gaz soient simples à mettre en œuvre, ils sont par contre très dangereux pour l'homme à quelques ppm de concentration. On préfère des sources liquides telles que POCl_3 ou BBr_3 qui sont liquides à température ambiante mais facile vaporisées.

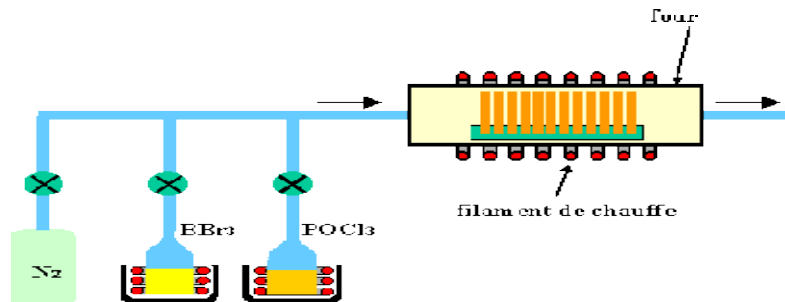


Figure II-8 : Diffusion à partir des sources liquides

d) Les sources solides

On peut aussi utiliser des sources solides que sont les verres contenant les dopants tels que nitrure de bore ou verre dopé au phosphore. Ces sources se présentent sous forme de plaquettes et sont en général introduites dans le four en alternance avec les plaquettes à dopé.

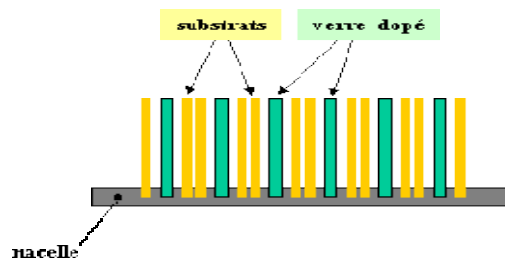


Figure II-9 : Diffusion à partir des sources solides

II.3.3) L'implantation ionique

L'implantation ionique consiste à introduire des atomes ionisés projectiles avec suffisamment d'énergie pour pénétrer dans l'échantillon cible (en général une plaquette). Cette pénétration ne s'effectue que dans des régions de surface. Cette opération est essentiellement utilisée pour doper le semi conducteur durant la fabrication des dispositifs (création de zones de source ou de drain d'un transistor MOS, d'une base et d'un émetteur dans un transistor bipolaire, etc...). Les atomes dopants sont en général : B, P, As, In, etc...

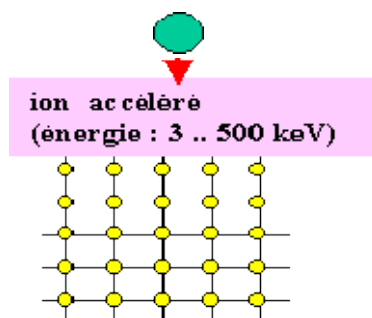
a) Intérêt de cette technique

Elle permet un contrôle précis de la quantité totale d'atomes implantés (dose d'implantation) et du profil de concentration du dopant. Notons que ce procédé s'effectue sous vide et donc en atmosphère sèche.

b) Inconvénient

Le bombardement d'un monocristal par des atomes crée des dommages dans la structure cristalline implantée. Il y a donc nécessité de restituer la cristallinité du matériau ; ceci est réalisé par un recuit thermique. Ce recuit thermique permet aussi une redistribution des atomes dopants et donc une modification du profil de dopage par phénomène de diffusion.

Cristal avant implantation



Cristal après implantation

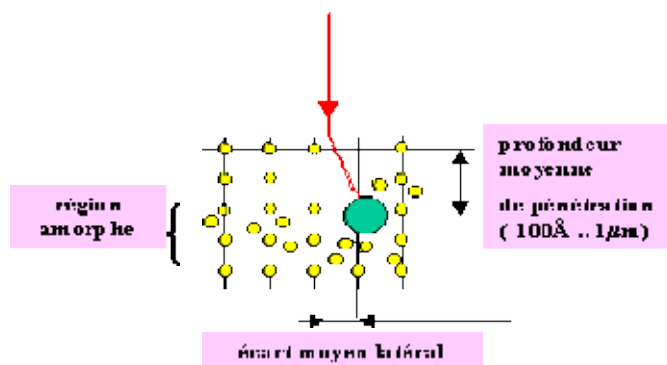


Figure II-10 : Procéder de l'implantation ionique

c) L'implanteur

L'implanteur est en pratique un accélérateur d'ions. Il est composé des parties suivantes visibles sur la figure :

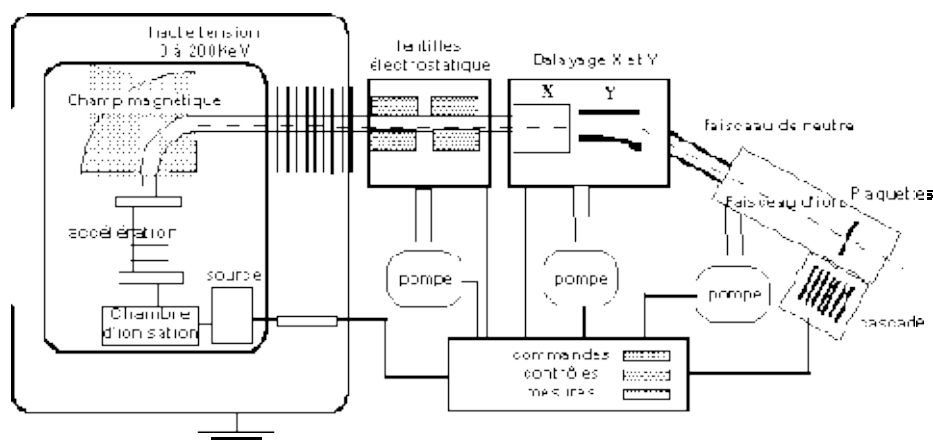


Figure II-11: Schéma simplifié d'un implanteur ionique

-génération des ions à partir d'une source solide, liquide ou gazeuse dans un plasma excité à 25kV,

-sélection des ions par champ magnétique effectuant le tri par le rapport masse sur charge, accélération des ions à l'énergie d'implantation souhaitée.

-mise en forme du faisceau d'ions par des lentilles électrostatiques, dispositif de balayage en x et y afin d'implanter de façon uniforme les plaquettes.

-déviation du faisceau pour éliminer les ions neutralisés sur le parcours et qui ne pourraient être dénombrés.

-chambre d'implantation

II.3.4) Recuits thermiques

Après implantation ionique, un recuit thermique du matériau est indispensable pour d'une part, activer électriquement les impuretés dopantes en les plaçant en position substitutionnelle et d'autre part, réduire voire supprimer les défauts ponctuels. En effet, du fait du bombardement de la cible par les ions lors des chocs, l'énergie transférée induit des déplacements d'atomes qui créent des lacunes et des interstitiels. Ces défauts répartis tant en surface qu'en volume dégradent les propriétés électriques des jonctions réalisées ainsi que leur stabilité. Un recuit thermique permettra de réduire fortement la densité de ces défauts.

II.4) L'oxydation

II.4.1) importance de l'oxydation du silicium

L'oxydation est une étape très importante dans la technologie de silicium, puisque c'est grâce à cette propriété spécifique que le silicium, qui n'est pas a priori un très bon semi-conducteur, est devenu le matériau le plus utilisé en microélectronique. Cette opération est nécessaire tout au long des procédés modernes de fabrication des circuits intégrés. Il est donc primordial de savoir réaliser un oxyde de bonne qualité.

II.4.2) L'oxyde peut servir

- de masque d'implantation ou de diffusion de dopants,

- de couche passivante à la surface du silicium,

- de zones d'isolation entre différents composants d'une structure intégrée,

- de couche active dans les transistors MOS (oxyde de grille),

- d'isolation électrique entre des couches adjacentes pour améliorer l'intégration et la diminution des dimensions.

- d'isolation électrique entre les différents niveaux de métallisation ou de couches conductrices en silicium poly cristallin fortement dopé,
- de couches sacrificielles permettant d'améliorer les performances et l'intégration des circuits.

II.4.3) Principe de l'oxydation

Il existe plusieurs techniques pour obtenir un oxyde :

a) L'oxydation thermique en présence d'oxygène, dite oxydation sèche :

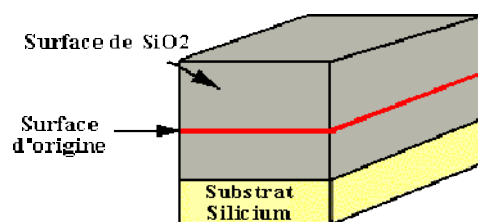
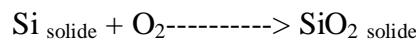
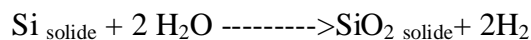


Figure II-12 : Oxydation du silicium

La couche de Silicium initiale réagit avec l'élément oxydant pour former le SiO_2 ; on va ainsi consommer du Silicium. L'interface Si/SiO_2 va donc se retrouver "au-dessous" de la surface initiale

b) L'oxydation thermique par voie humide en présence d'oxygène et de vapeur d'eau



On peut aussi créer la vapeur d'eau dans le four en effectuant une synthèse d'un flux d'hydrogène et d'un flux d'oxygène.

Il existe d'autres techniques d'oxydation :

c) L'oxydation thermique vapeur en présence de vapeur d'eau uniquement.

d) L'oxydation anodique, obtenue par voie électrochimique.

e) L'oxydation plasma, réalisée à l'aide d'un plasma d'oxygène.

Les opérations d'oxydations s'effectuent en général dans des fours similaires à ceux de diffusion dans lesquels on fait circuler de l'oxygène, sec ou humide, ou de la vapeur d'eau.

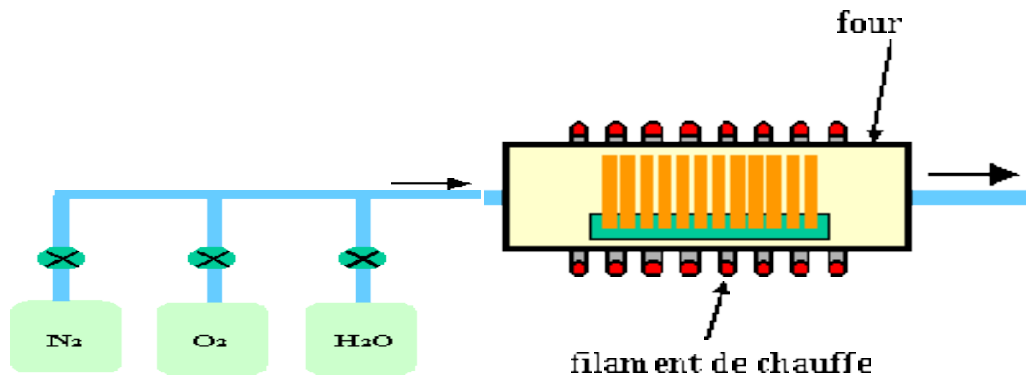


Figure II-13 : Oxydation thermique avec de l'oxygène ou de la vapeur d'eau.

II.4.4) Technique d'oxydation rapide (RTO Rapide Thermal Oxidation) :

Les oxydes MOS dans les technologies de longueur de grille inférieure à $0,1\mu\text{m}$ sont de dimension nanométrique. La croissance peut donc être très rapide. Pour éviter toute rediffusion de dopant dans les couches déjà réalisées, la technique d'oxydation consiste à disposer dans un four à lampes halogènes les substrats et à les chauffer très rapidement en présence d'une atmosphère oxydante.

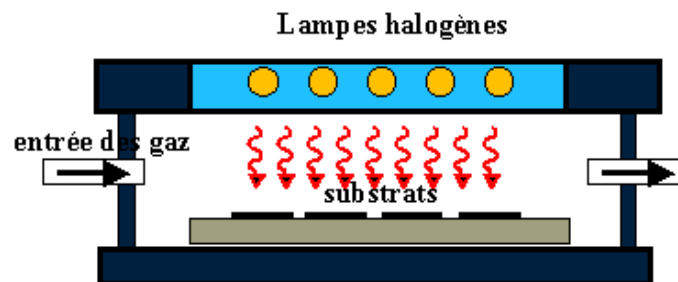


Figure II-14 : Réacteur d'oxydation thermique rapide

II.5) Les dépôts

Cette opération est nécessaire lorsqu'il faut réaliser une couche conductrice, isolante ou de masquage dans un procédé qui n'utilise pas directement le matériau du substrat. Plusieurs techniques de dépôt sont possibles industriellement :

- évaporation thermique.
- pulvérisation cathodique,
- canon à électrons,
- Ablation laser
- dépôt physique en phase vapeur P.V.D (Physical Vapor Deposition)
- dépôt chimique en phase vapeur C.V.D (Chemical Vapor Deposition,)
- dépôt à basse pression, L.P.C.V.D (Low Pressure Chemical Vapor Deposition,)
- dépôt assisté plasma, P.E.C.V.D (Plasma Enhanced Chemical Vapor Deposition,)

II.5.1) Evaporation thermique :

La technique d'évaporation thermique est très simple et consiste simplement à chauffer par effet Joule un matériau qui, vaporisé, va se déposer sur les substrats. La charge du matériau à déposer est placée dans un creuset (en tungstène). Cette technique est applicable notamment pour le dépôt d'aluminium dont la température d'évaporation étant inférieure à la température de fusion du creuset (en tungstène).

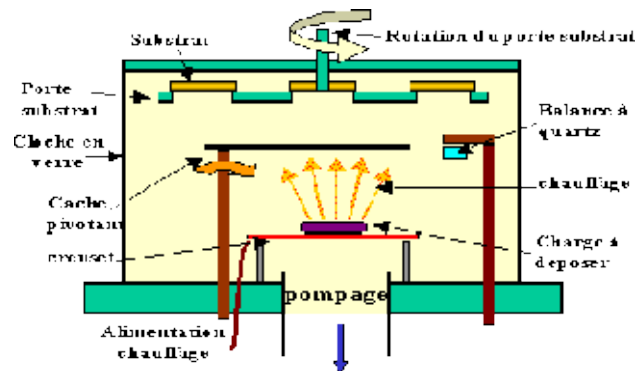


Figure II-15 : Dépôt par évaporation thermique

II.5.2) La pulvérisation cathodique

Le dépôt par pulvérisation cathodique (ou sputtering) elle consiste à bombarder une cible par des ions puis arracher les ions de la cible et à les envoyer se déposer sur le substrat. Le principe de cette technique comme envoi dans la figure, , les ions Argon, créés par l'excitation haute tension, arrachent de la cible les composés à déposer sur la surface des substrats. la chambre a évacuée a une base pression 10^{-5} mbar

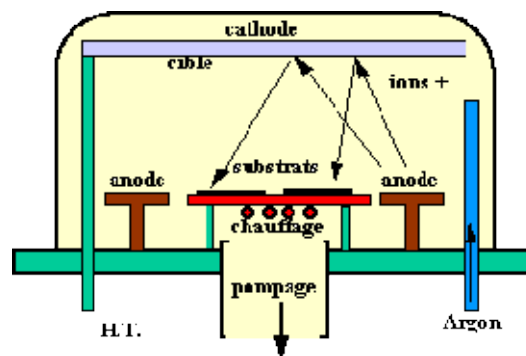


Figure II-16: Dépôt par pulvérisation cathodique

II.5.3) Canon à électrons

La technique du canon à électron consiste à apporter suffisamment d'énergie (très concentrée) sur un matériau souvent réfractaire (résistant) à l'aide d'un faisceau d'électrons focalisé. Les électrons sont créés par chauffage d'un filament et ils sont déviés par le champ magnétique et envoyés sur la charge à vaporiser.

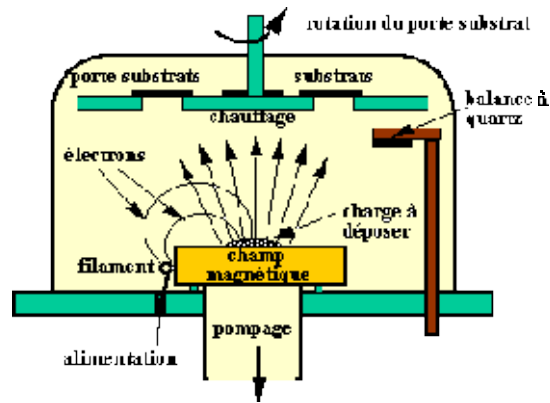


Figure II-17 : Dépôt par canon à électrons

Notons que les techniques de pulvérisation cathodique et canon à électrons, de par leur principe, permettent d'effectuer des dépôts de couches isolantes mais aussi de couches métalliques (aluminium, tungstène, titane, chrome, etc...). Elles interviendront donc principalement pour la réalisation de couches d'interconnexion dans les dispositifs intégrés.

II.5.4) Dépôt par ablation laser :

Cette technique consiste à bombarder une cible solide (constituée du matériau à déposer) par des impulsions lumineuses intenses générées par un laser, généralement dans le domaine de l'ultraviolet (380-10nm).

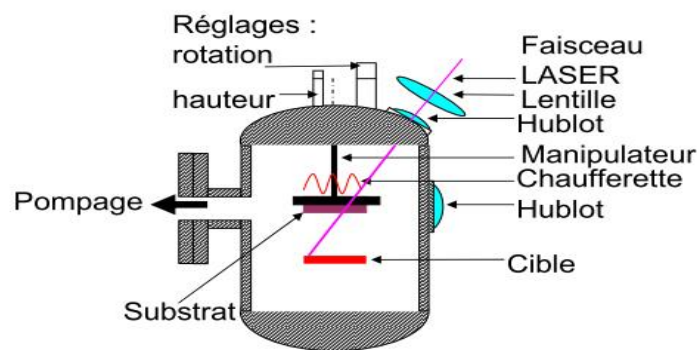


Figure II-18 : Dépôt par ablation laser

Principe : Un faisceau laser impulsif (de l'ordre de la ns) est focalisé sur une cible massive, placée dans une enceinte ultravide. Dans certaines conditions d'interaction, une quantité de matière est éjectée de la cible, et peut être collectée sur un substrat placé en vis à vis.

II.5.5) Dépôt physique en phase vapeur :

Cette méthode consiste simplement à évaporer ou à sublimer le matériau à déposer dans un creuset sous vide en le chauffant à haute température. Le matériau évaporé est déposé par condensation sur le substrat à recouvrir et une couche est formée sur le

substrat. Il existe plusieurs méthodes pour chauffer le matériau : à l'aide d'un filament réfractaire par effet Joule, à l'aide d'un faisceau d'électrons intense et énergétique, ou à l'aide d'un laser.

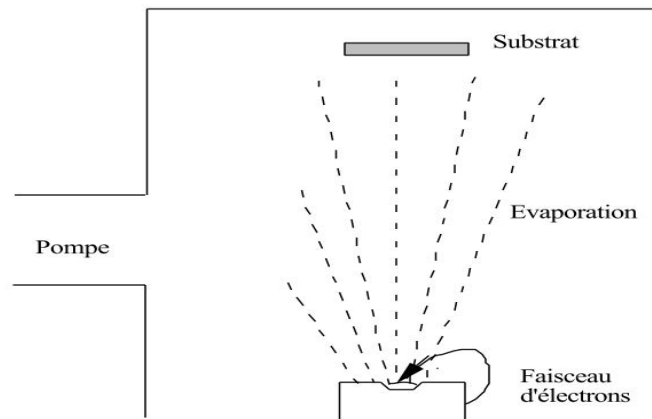


Figure II-19 : Dépôt par PVD avec un système de chauffage par faisceau d'électron

II.5.6) Dépôt chimique en phase vapeur

Les techniques C.V.D. permettent quant à elles de faire croître des couches d'isolants ou de Silicium poly cristallin. Elles s'effectuent en général dans un four dans lequel on introduit les espèces réactants (chaude ou froids). Suivant les valeurs de la pression de dépôt, on modifie la qualité des couches (propriétés structurales et électriques).

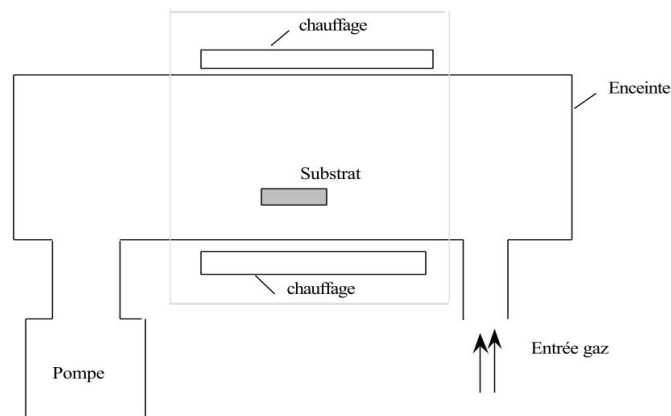


Figure II-20 : Dépôt par CVD en utilisant un réacteur à parois chaudes

II.5.7) Dépôt chimique en phase vapeur à basse pression LPCVD

Cette technique consiste à réaliser un dépôt chimique en phase vapeur à basse pression. Ce dépôt s'effectue normalement dans un four à mur chaud à des températures de l'ordre de 500 à 600°C. On injecte les gaz qui réagissent et qui synthétisent le matériau à déposer. Dans l'exemple de la figure suivante, le dépôt réalisé est du silicium poly cristallin (ou poly silicium) dopé au phosphore.

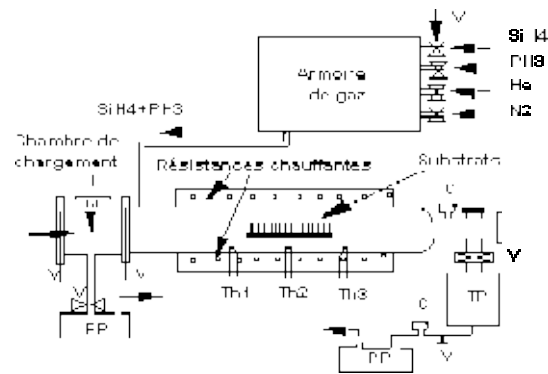


Figure II-21 : Dépôt par LPCVD pour déposer du poly silicium dopé au phosphore

II.5.8) Dépôt chimique en phase vapeur assisté par plasma PECVD

Le dépôt PECVD est donc fondé sur la création d'espèces ou d'éléments à déposer à basse température grâce à l'apport d'énergie sous forme électromagnétique (source radiofréquence en général). Industriellement, deux types de four sont proposés, leur schéma de principe étant représentés sur les figures (II-22), (II-23).

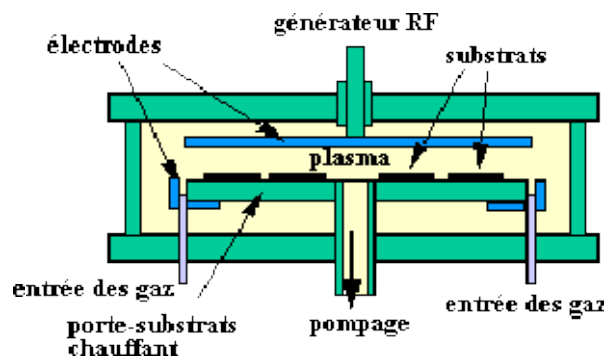


Figure II-22: Dépôt par PECVD en utilisant Réacteur plasma à platine porte-substrats horizontale

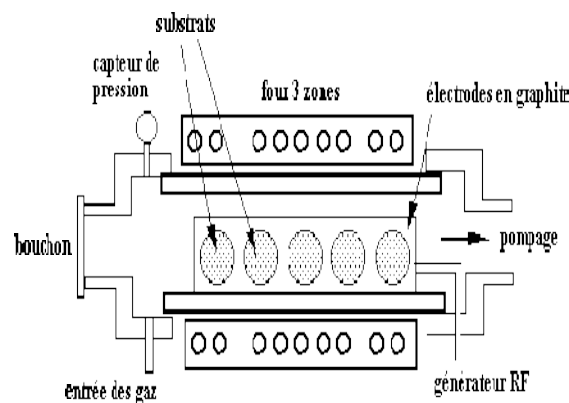


Figure II-23 : Dépôt par PECVD en utilisant réacteur plasma à mur chaud. C'est en réalité un four comportant 3 zones de chauffe dans lequel on réalise un plasma à l'aide de la source radiofréquence

La méthode PECVD est une excellentes alternatif des réacteurs CVD pour le dépôt d'une variété de films minces à basse température [21]

La PECVD utilise l'énergie électrique pour générer une décharge lumineuse (plasma) dans lequel l'énergie est transférée dans un mélange de gaz, ceci transforme le mélange de gaz en radicaux réactifs, des ions, des atomes, et des molécules neutres, et d'autre espèce très excitées. Ces fragment atomiques et moléculaire interagissent avec un substrat et selon la nature de ces interactions , une gravure ou une déposition se produit a la surface du substrat et selon la nature de ces interaction , une gravure ou une dépositions produit a la surface du substrat. des a la formation des espèces réactives et dynamiques dans la phase gazeuse par la collision le substrat peut être maintenu à une température de base .ainsi la formation du film peut se produire sur des substrat a une température inferieurs que dans le processus de CVD classique , qui est un avantage majeur de PECVD .

Les films déposés par PECVD présentent une bonne adhérence et une bonne uniformité .les systèmes PECVD ont réservés leur place dans le secteur de l'électronique en raison de leur flexibilité dans le dépôts de nombreux films mince tels que le nitrure de silicium Si_3N_4 , le dioxyde de silicium (SiO_2),le silicium amorphe et le poly silicium.

A l'aide de ces réacteurs, de façon classique, les couches isolantes réalisées sont :

- de l'oxyde de silicium, SiO_2
- du nitrure de silicium, Si_3N_4

Le Si_3N_4 sert essentiellement de couche de masquage d'oxydation. En effet, le nitrure constitue une barrière de diffusion pour les éléments oxydants tel que l'oxygène. La figure ci-dessous présente une barrière de diffusion à proximité d'un oxyde localisé (LOCOS) [21].



Figure II-24: Réalisation d'un oxyde localisé

II.6) La gravure

Deux techniques sont couramment utilisés sont la gravure dite par voie humide et la gravure sèche, c'est deux type interviennent nombreuse fois ou cours de procéder. Elles permettent de graver de façon sélective, des couches ou des films afin de créer des motifs (zone actives de dispositifs, grille de transistors, pistes d'interconnexion, etc...).

II.6.1) La gravure humide

La gravure par voie humide se fait par attaque chimique en solution aqueuse (bain contenant de l'eau). Suivant les concentrations de l'espèce réactant, on étalonne les vitesses de gravure pour un type de couche. En général, par voie humide, la couche est attaquée de façon équivalente suivant toutes les directions de l'espace. On dit que la gravure est isotropique. par exemple l'oxyde de silicium est gravé par une solution qui contient l'eau (H_2O), acide fluorhydrique (HF) fluorure d'ammonium (NH_4F).

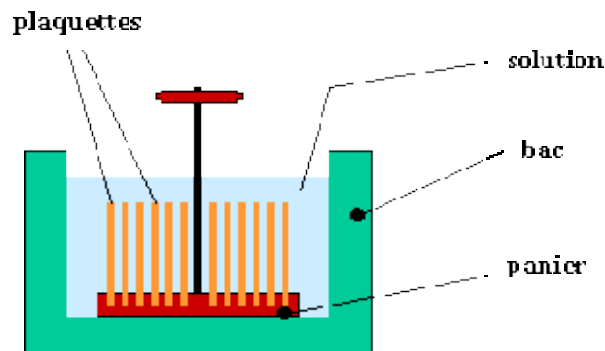


Figure II-25: Gravure d'un panier de plaquette par voie humide

La gravure humide est utilisée majoritairement car elle est relativement simple à mettre en œuvre et que dans des grands bacs, un lot complet pouvant contenir jusqu'à 200 plaquettes peut être traité en une seule opération. Cela constitue un gain de temps considérable. Par contre, il faut après traitement chimique rincer abondamment et sécher les plaquettes, Le séchage s'effectue dans de très grandes centrifugeuses ou par soufflette d'azote ou d'air sec. Les inconvénients de la gravure humide :

- la gravure est isotropique (toutes les directions de l'espace) ce qui crée des attaques latérales notamment dans les zones protégées par la résine,
- la vitesse de gravure dépend de la concentration et du type d'impureté que contient le film à graver. Cette vitesse de gravure dépend de la quantité des substrats traités, l'efficacité d'attaque diminuant après plusieurs lots,
- le point de fin de gravure est difficilement contrôlé. Cela peut entraîner une sur gravure latérale ou verticale dans le cas d'une faible sélectivité.

Les solutions les plus couramment utilisées en fonction de la nature des couches à graver sont les suivantes :

- silicium poly cristallin $HNO_3 + HF$
- silicium monocristallin Hydrazine $N_2H_4(65\%) + H_2O(35\%)$
- dioxyde de silicium $HF + NH_4F + H_2O$
- nitrure de silicium H_3PO_4

- aluminium $H_3PO_4 + HNO_3 +$ acide acétique + H_2O

II.6.2) La gravure sèche

La gravure sèche est en réalité une technique de gravure plasma dans laquelle interviennent à la fois les effets de bombardement par des ions et la réaction chimique. On la dénomme R.I.E. (Reactive Ion Etching en anglais).

Le réacteur ressemble au réacteur de dépôt à platine porte-substrats horizontale, mais les gaz injectés sont dans ce cas destinés à graver la couche de surface. De la même façon, on utilise un générateur radiofréquence qui va permettre de générer dans le réacteur les espèces réactives.

Sans polarisation particulière des électrodes, l'attaque est en général isotropique, c'est-à-dire identique suivant toute les directions. Cependant, lorsque les matériaux à graver ont des orientations préférentielles, c'est le cas des cristaux semi conducteurs, la gravure peut se faire préférentiellement suivant des plans réticulaires ou axes cristallographiques.

Le réacteur est en général équipé d'un système de contrôle de gravure ou plus exactement de fin de gravure. Il s'agit d'un interféromètre à laser dont la période du signal détecté change lors d'un changement d'espèces gravées [21].

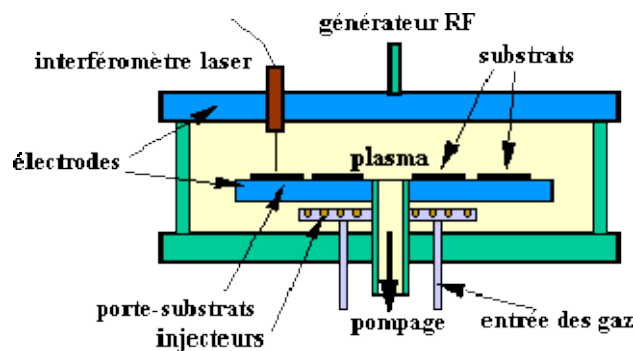


Figure II-26 : Réacteur de gravure plasma à platine porte-substrats horizontale.

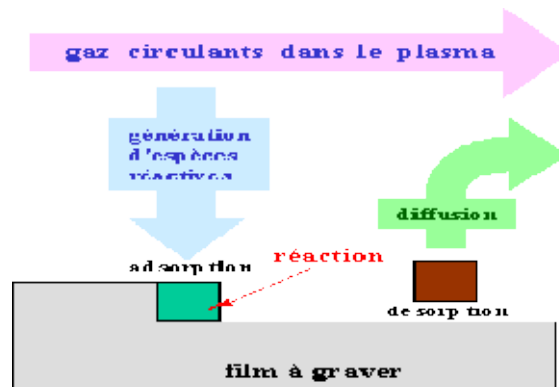


Figure II-27: Principe de la réaction gravure plasma

Ce type gravure et particulièrement intéressant dans le cas où l'on veut réaliser des espaceurs de très faible dimension dans les technologies auto aligné. On peut créer des résidus ou espaceurs de largeur très faible, en rapport avec les épaisseurs.

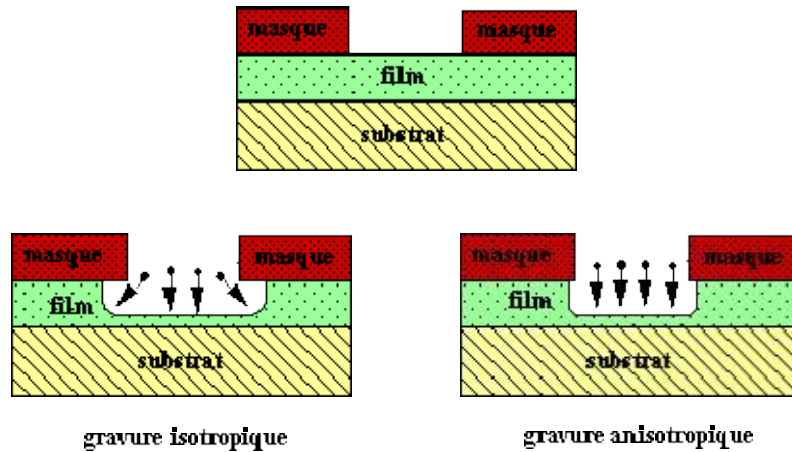


Figure II-28 : Différence entre gravure isotropique et anisotropique.

II.7) La photolithographie :

Toutes les techniques de procédés technologiques exposées précédemment présentent peu d'intérêt si elles ne se réalisent que pleine plaque. Il faut pouvoir oxyder, doper, métalliser localement suivant des motifs très bien définis et sur des surfaces de plus en plus faibles afin de créer et d'interconnecter des dispositifs élémentaires entre eux.

Le procédé de transfert d'un masque (physique ou logiciel) vers la plaquette s'appelle photolithographie. Ce mot est construit à partir de lithos (pierre en grec) et, de photographie. Il s'agit d'un procédé photographique qui permet la gravure d'une (ou plusieurs) couche(s) solide(s) telle que nitrure, oxyde, métal, etc..., suivant un motif bien défini.

II.7.1) Principe de la photolithographie :

Les figures et rappellent le principe du procédé de photolithographie ; l'objectif est de transférer un motif (par exemple un rectangle qui correspondra à une zone de source) réalisé sur masque vers une couche de la plaquette.

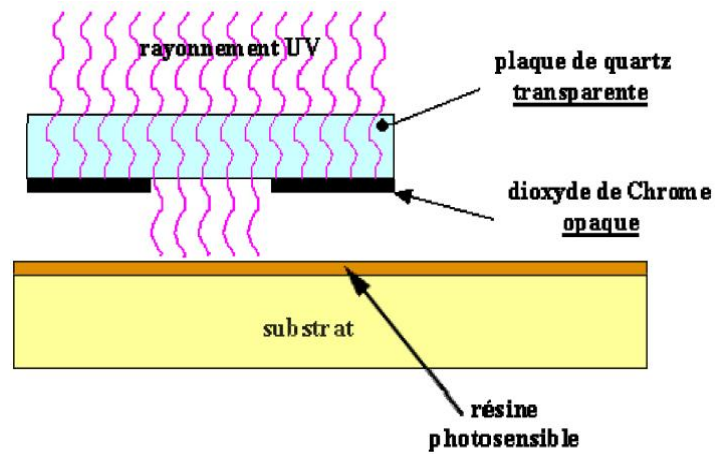


Figure II-29 : Masque de la photolithographie

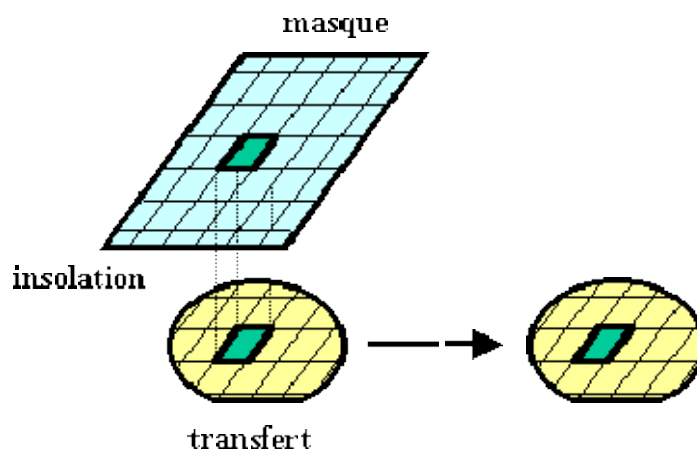


Figure II-30 : Principe de la photolithographie

De façon analogue à la technique photographique, on peut utiliser deux types de résine photosensible : résine positive, résine négative.

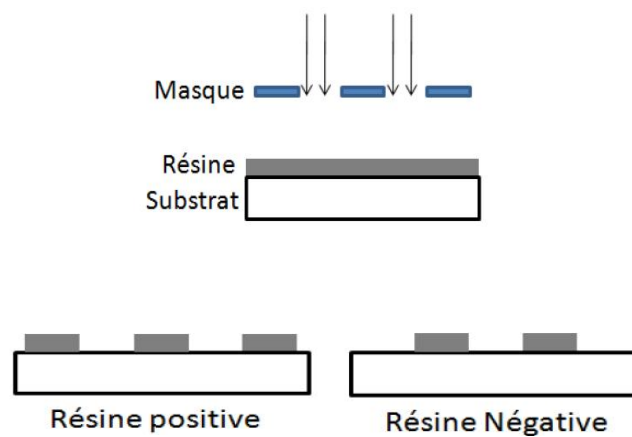


Figure II-31 : définir les types de résines

Dans le cas d'une résine positive, on retrouve après l'opération, exactement le même motif sur la couche gravée de la plaquette, que sur le masque de départ. Dans le cas d'une résine négative, on obtient sur la plaquette le motif complémentaire. La résine est étalée par une technique de centrifugation. On utilise une tournette qui aspire la plaquette afin qu'elle ne soit pas éjectée et qui permet, grâce à un réglage de la vitesse de rotation et de l'accélération, d'étaler uniformément la résine.

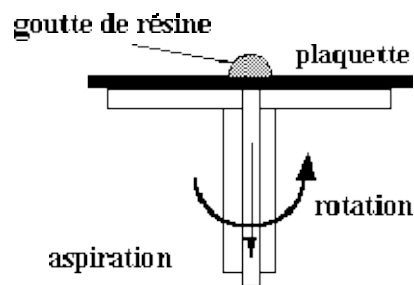


Figure II-32 : Tournette pour étalement de résine photosensible

La vitesse de rotation est calculée pour obtenir une épaisseur constante sur toute la surface.

Après une oxydation et différents nettoyages, on étale la résine photosensible sur la plaquette à l'aide de la tournette. La résine est ensuite séchée (on élimine les produits les plus volatiles) puis insolée à travers le masque. Les motifs sont alors révélés par un révélateur. Après rinçage, une cuisson durcit la résine qui peut alors résister aux attaques chimiques tels que l'acide fluorhydrique. La gravure humide par le HF attaque la couche d'oxyde non protégée par la résine. La résine est ensuite retirée de la surface par un solvant chimique puissant tel que l'acétone. Dans certains cas, il faudra utiliser des techniques encore plus efficaces telles que la gravure par plasma d'oxygène ; cette méthode est régulièrement utilisée dans les technologies submicroniques pour lesquelles la résine est aussi utilisée comme couche de masquage d'implantation ionique.

L'insolation de la plaquette peut se réaliser de différentes manières comme représenté figure. Chacune d'entre elles présente ses avantages et ses inconvénients. Par exemple, la technique par contact donne théoriquement la meilleure définition des motifs, mais détériore le masque après chaque opération de masquage en raison des frottements importants à l'échelle microscopique. La projection donne la moins bonne définition optique, comme le montre la figure 66, en raison des effets de diffraction de la lumière, mais permet par contre d'effectuer une réduction ; dans ce dernier cas, la fabrication du masque est plus simple puisqu'elle n'exige pas une définition au moins égale à celle du motif reporté sur la plaquette.

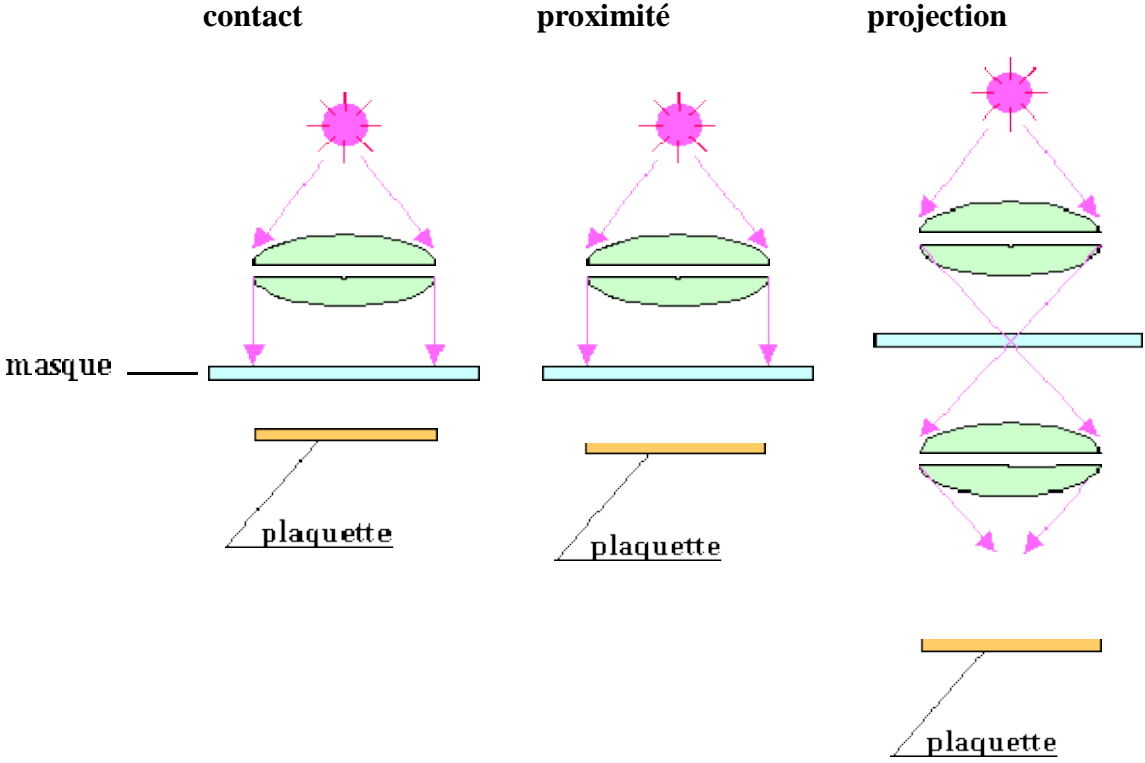


Figure II-33 : différentes manière d'insolation

Chapitre III

*Simulation De
Transistor VDMOS*

Avec

TCAD SILVACO

III.1) Introduction :

Les simulateurs TCAD (Technology Computer-Aided Design) permettent la modélisation du comportement physique et électrique d'un composant électronique, dans le but d'économiser le temps et le coût de développement, et ainsi de pouvoir envisager et optimiser des solutions pour améliorer les performances des dispositifs. Les simulateurs existants sur le marché (ISE, SYNOPSIS, SILVACO,...) ont le même principe de fonctionnement.

SILVACO (Silicon Valley Corporation) est une société Américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD. Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs.

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.[27]

III.2) Présentation du logiciel TCAD-SILVACO :

SILVACO (Silicon Valley Corporation) est un environnement de logiciels qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur. Cet outil sert à la modélisation des dispositifs à semi-conducteur avant leur fabrication. Les modules de TCAD-SILVACO peuvent être utilisés pour :

- La simulation des étapes de fabrication technologique tels que, ATHENA, SSupreme3, SSupreme4, etc.
- La simulation électrique des dispositifs tels que, les Diodes, les MOSFET, les transistors bipolaires, réalisée par le module ATLAS.
- Virtual Wafer Fab pour automatiser la simulation de fabrication des Wafers.

Dans notre étude, les simulations sont effectuées par les deux outils ATHENA, et ATLAS.[26]

III.2.1) ATHENA

Le logiciel de simulation ATHENA de TCAD-SILVACO fournit des possibilités générales pour la simulation des processus utilisés dans l'industrie des semi-conducteurs : diffusion, oxydation, implantation ionique, gravure, lithographie, procédés de dépôt. Il permet des simulations rapides et précises de toutes les étapes de fabrication utilisées dans la

technologie CMOS, bipolaire, SOI, optoélectronique, MEMS, et les composants de puissances . Là aussi, le logiciel permet de fournir des informations importantes pour la conception et l'optimisation des procédés technologiques telles que les concentrations des porteurs, les profondeurs de jonctions, etc.

Le programme de simulation (défini comme entrée) des différentes étapes technologiques et les phénomènes physiques, s'établi avec le module DECKBUILD de TCAD-SILVACO, puis la visualisation de la structure de sortie s'effectue avec le module TONYPLOT.

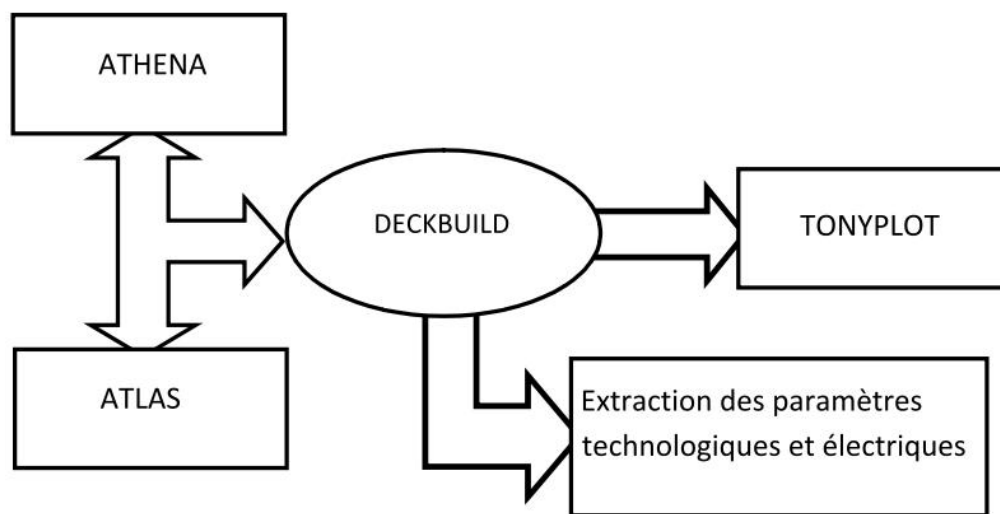


Figure III-1: Schéma synoptique des modules utilisés dans la simulation par TCAD-SILVACO
III.2.2) DECKBUILD

Le DECKBUILD est l'environnement où est défini le programme de simulation à travers des commandes spécifiques. De multiples simulateurs considérés comme des entrées peuvent être utilisés avec le DECKBUILD : ATHENA, ATLAS, SSUPREM3, etc.

```

kaderin - Deckbuild
File Edit Search Format View Commands Execution Help
go athena
#
line x loc=0.00 spac=0.25
line x loc=3.00 spac=0.10
line x loc=10.00 spac=1.0
#
line y loc=7.00 spac=0.5
line y loc=8.00 spac=0.5
#
init c.phosphor=1.0e18 orientation=100 space.mult=2
structure outfile = etape_1.str
tonyplot etape_1.str
#
epitaxy time=10 temp=1200 thickness=7 divisions=15 \
dy=0.10 ydy=0.00 c.phos=1.0e18
structure outfile = etape_2.str
  
```

Figure III-2 : environnement DECKBUILD

III.2.3) TONYPLOT

TONYPLOT est L'environnement où sont visualisés les résultats des simulations. Il donne des possibilités complètes pour la visualisation et l'analyse des caractéristiques de sortie (structure du composant électronique, profil de dopage, et caractéristiques électriques). Selon le programme de simulation, TONYPLOT peut donner des caractéristiques de sortie en une dimension (1D), deux dimensions (2D), ou trois dimensions (3D). Dans ce mémoire, nous présenterons les résultats de la simulation en deux dimensions.[13]

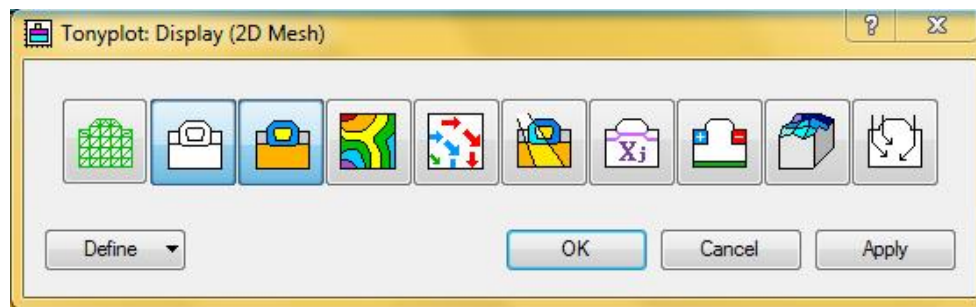


Figure III-3: l'environnement Tonyplot

III.2.4) ATLAS

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle de composants capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les lignes de courant, le champ électrique ou le potentiel. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous (à deux dimensions) en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- une partie traitement numérique (méthode d'intégration, de discrétisation...),
- une partie formée des modèles physiques des composants semi-conducteurs les plus courants : modèles de recombinaison (Shockley Read Hall), d'ionisation par impact (Pearson et Monte Carlo), ainsi que les modèles de mobilité, et les statistiques de Fermi-Dirac et Boltzmann.

III.2.5) SSuprem3 : simulateur de procéder 1D avec prolongements simples des simulations des dispositifs.[27]

III.3) Simulation du transistor VDMOS avec Athéna :

Une étape très importante et indispensable qui doit être effectuée avant d'entamer la simulation du procédé technologique est le maillage du dispositif.

III.3.1) Le Maillage :

Le maillage joue un rôle important pour l'obtention de bonnes simulations. Celui-ci doit être fait avec la plus grande attention pour garantir la fiabilité des résultats. La partie maillage est une série de définition de lignes horizontales et verticales ainsi l'espacement entre elles, cet espacement doit être choisi en fonction des dimensions des parties de notre dispositif. La précision de la simulation dépend de l'état de la maille. Un maillage épais produit une rapide simulation, mais les résultats sont moins précis. Tandis qu'un maillage fin produit un ralentissement de la simulation, mais des résultats plus précis. Donc le maillage fin est plus intéressant de point de vue résultat dans la simulation.

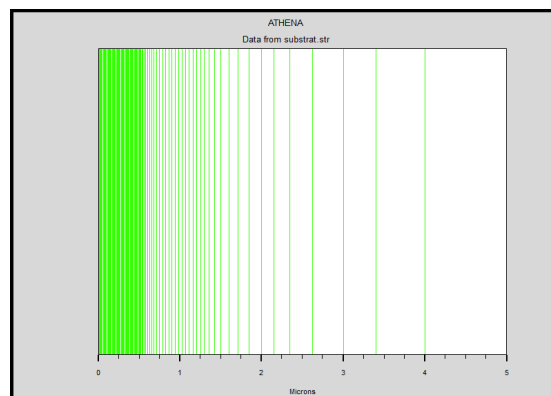


Figure III-4 ; définition de maillage

III.3.2) Le substrat et le dopage :

L'étape initiale est la définition du substrat de départ, c'est-à-dire le matériau sur lequel sera réalisé notre dispositif donc en va choisir le plus utilisé substrat de silicium monocristallin d'orientation = $\langle 100 \rangle$. qui assure une meilleure qualité d'oxyde de grille, et ensuite on dope notre matériau avec du phosphore pour avoir un substrat N. (Figure III-5) (Figure III-6).

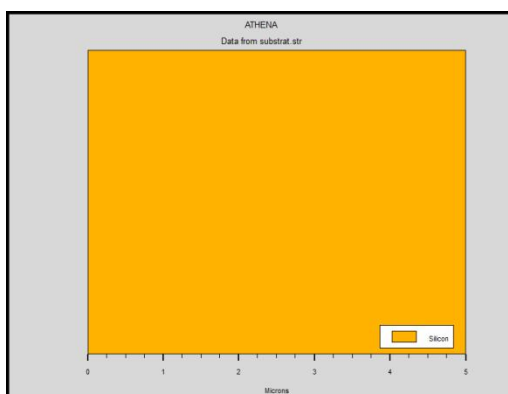


Figure III-5 : définir du substrat

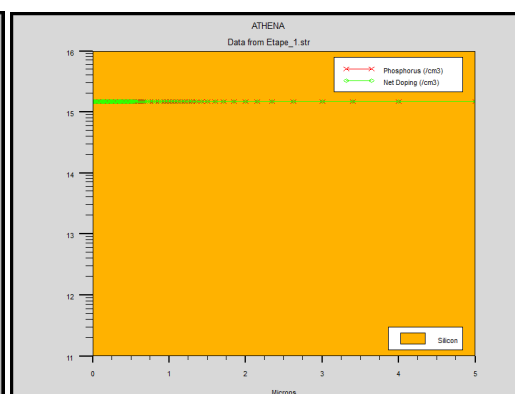


Figure III-6 : dopage du phosphore

III.3.3) Diffusion d'oxyde SiO_2 :

La première étape consiste à l'oxydation du substrat pour avoir une couche de d'oxyde du silicium SiO_2 , en appliquant une température entre 800 et 1000°C pendant 35min pour définir l'oxyde de grille.

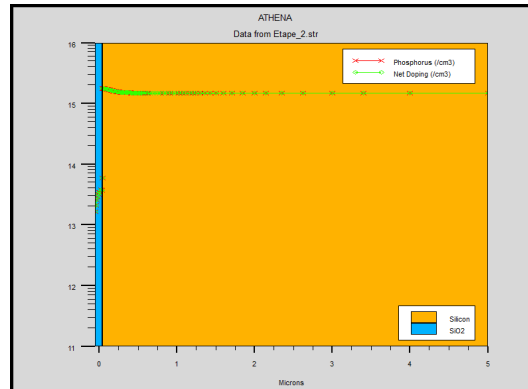


Figure III-7 : diffusion SiO_2

III.3.4) Dépôt de couche

Dépôt de poly silicium diffusion d'une couche d'oxyde de passivation SiO_2 :

La deuxième étape consiste de dépôt d'une couche du poly silicium avec une épaisseur 500 nm et ensuite en ajoute par diffusion une couche de passivation d'épaisseur 50nm d'oxyde SiO_2 .

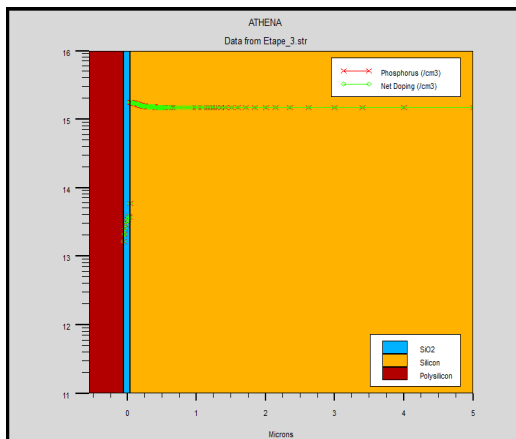


Figure III-8 : dépôt poly silicium

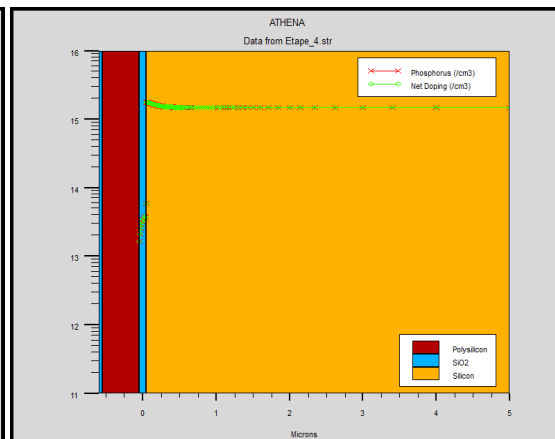


Figure III-9 : dépôt SiO_2

Dépôt de nitrure de silicium : l'étape suivante consiste le dépôt du silicium nitruré en utilisons la méthode de PECVD avec une épaisseur de couche 500 nm, ensuite une étape de gravure sèche de nitrure de silicium, TEOS et du poly silicium et nécessaire pour définir le dopage et l'électrode de grille, la partie suivante consiste à graver le poly silicium pour définir la zone dopage de grille.

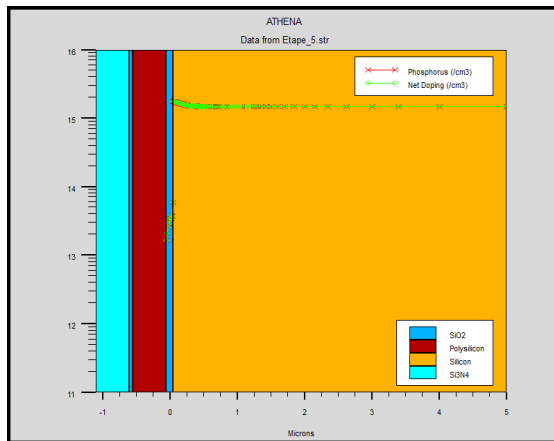
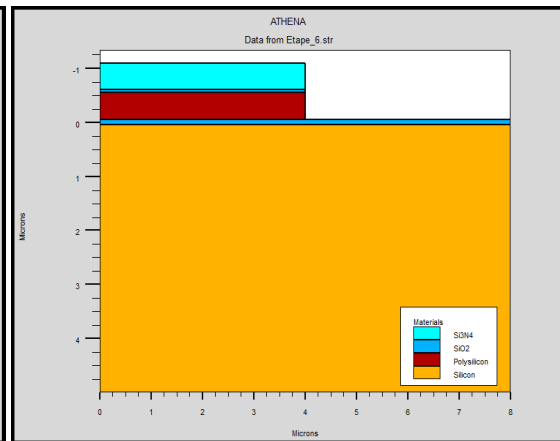
Figure III-10 : dépôt Si_3N_4 

Figure III-11 : gravure poly silicium

Le dopage du bore : l'étape suivante consiste de doper uniformément par la méthode de l'implantation ionique la partie graver en utilisant du bore avec une dose $5.10^{13} / \text{cm}^3$ et un énergie 100 Kev on aura le body P, après en fait un recuits thermique, ensuite en passe a la diffusion des impureté de bore pour avoir une profondeur du dopage de $2\mu\text{m}$ en laisse notre motif sous une température de 1100°C pendant 60 min .

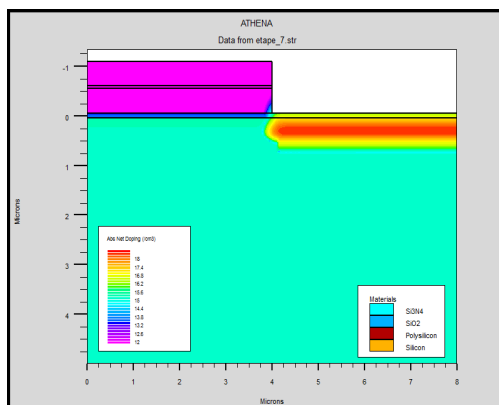


Figure III-12 : implantation du bore

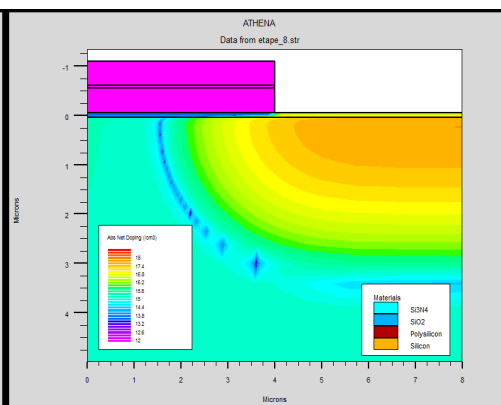


Figure III-13 : diffusion du bore

Gravure de Si_3N_4 : l'étape suivante consiste à graver l'oxyde de silicium nitruré Si_3N_4 d'une épaisseur 50nm (Figure III-14) ensuite étape en bombarde notre motif par implantation ionique avec du phosphore en utilisant une dose $4.10^{15} / \text{cm}^2$ avec une énergie 65Kev, ensuite en fait un recuit thermique. (Figure III-15)

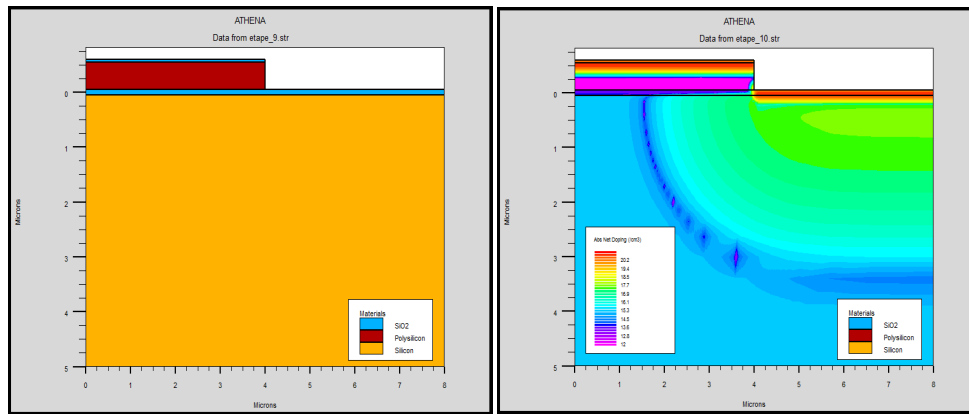


Figure III-14 : gravure de Si_3N_4 **Figure III-15 : implantation du phosphore**

Dépôt du SiO_2 : la prochaine étape consiste à faire une oxydation sèche pour avoir une couche d'oxyde du silicium, sous une température ($800\text{-}1050^\circ\text{C}$) et en utilisant $6,2 \cdot 10^7$ du O_2 pendant 5 à 20 minute .(Figure III-17).

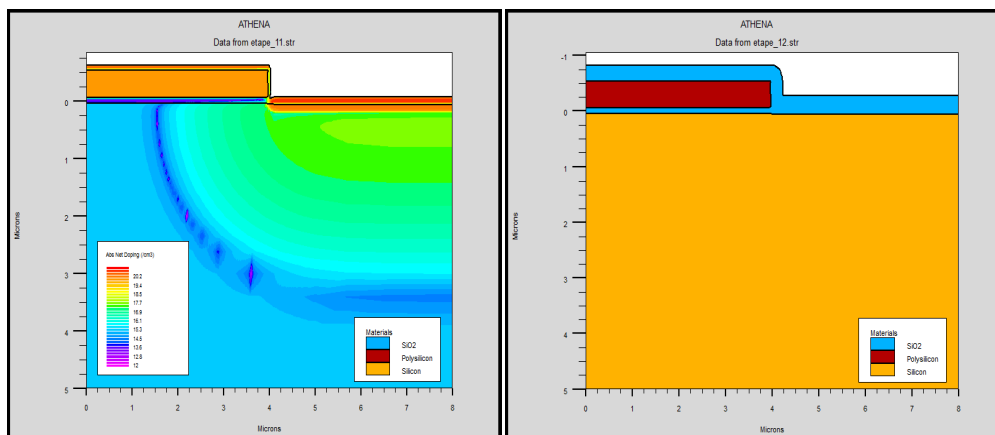


Figure III-16 : diffusion du phosphore

Figure III-17 : dépôt du SiO_2

Diffusion du phosphore : la diffusion avec l'utilisation des impuretés du phosphore sous une température ($800\text{-}900^\circ\text{C}$) pendant 10 à 20 minute (figure III-18).

Photo lithogravure : cette opération consiste de déposer une résine photosensible en film mince et uniforme d'une épaisseur $0,2\mu\text{m}$ suivie d'une étape de gravure de la résine de région non protégé. (Figure III-19

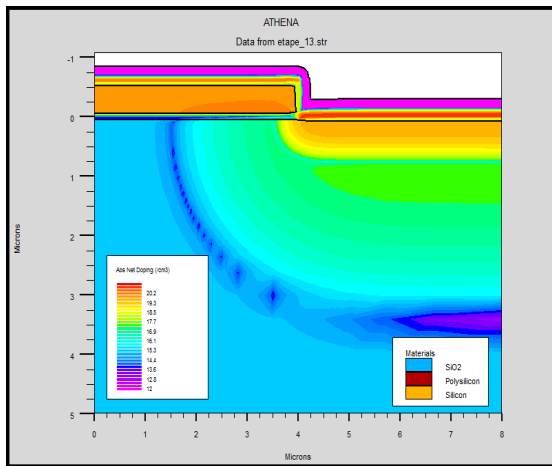


Figure III-18 : diffusion du phosphore

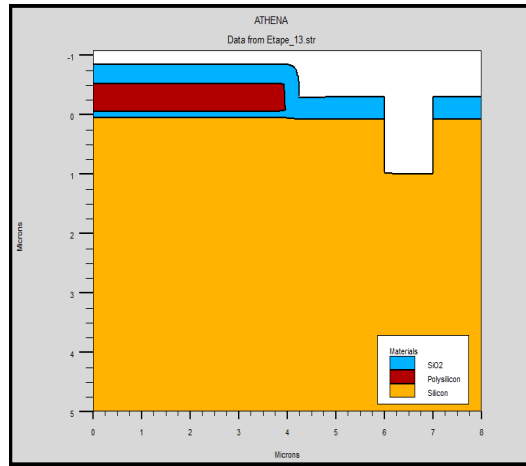


Figure III-19 : La photo lithogravure

III.3.5) Dépôt des contacts :

Dépôt de l'Aluminium : la dernière étape technologique consiste a déposer Aluminium d'une épaisseur 0,75µm. (Figure III-20)

Photo lithogravure : cette étape consiste a déposer une résine sur aluminium suivie d'une gravure des régions non désirés pour avoir le contact de la source. (Figure III-21).

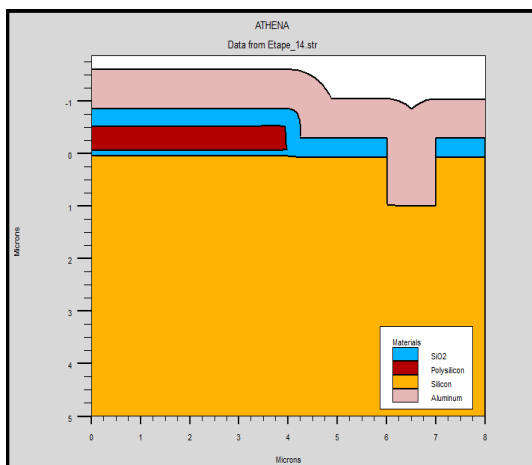


Figure III-20 : dépôt aluminium

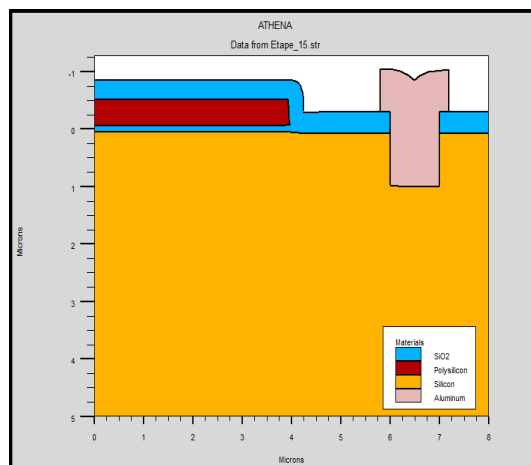


Figure III-21 : gravure de l'aluminium

III.3.6) La structure finale :

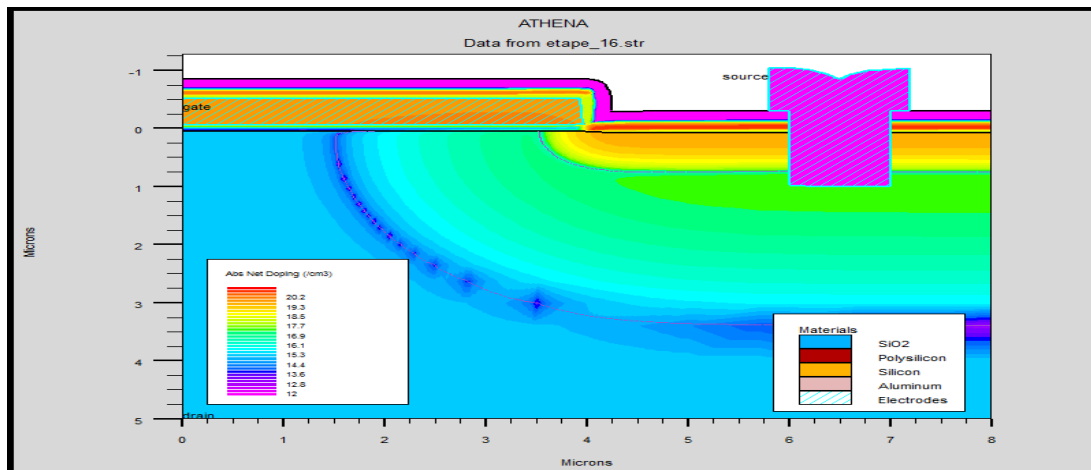


Figure III-22 : la structure finale

III.4) Simulation du transistor VDMOS avec ATLAS :

Afin de simuler les caractéristiques électriques de notre dispositifs le transistor de puissance VDMOS nous allons utilisés le logiciel SILVACO-Atlas en expliquant les étapes suivis pour simuler notre structure.

III.4.1) Les étapes de programmations :

Après la présentation la composition interne de logicielle SILVACO-Tcad nous allons maintenant présenter l'ordre des commandes à la logique de programmations Atlas .ainsi il existe cinq groupe de commandes, ces groupes doivent être correctement.si l'ordre n'est pas respecter, un message d'erreur apparaitre et le programme s'exécute pas d'une façons correcte [7] .

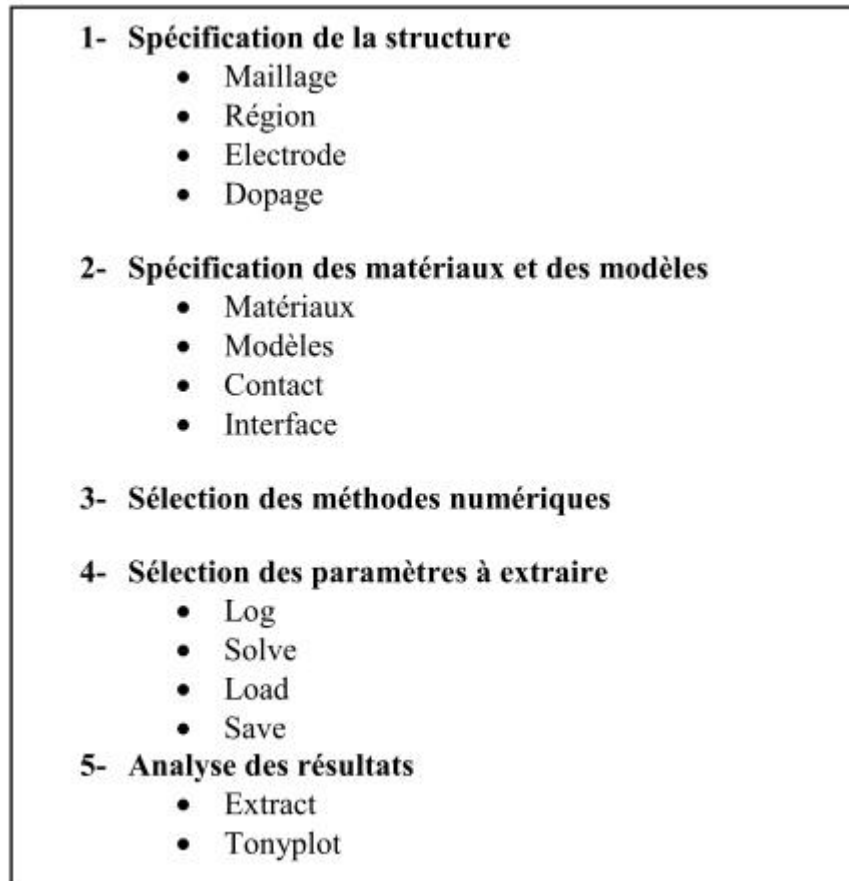


Figure III-23 : les étapes de programmation

1- Spécification de la structure

Maillage

Dans un programme ATLAS la première des chose qu'on doit définir est le maillage de la structure « MESH » est la commande qui suit directement la commande de lancement du Simulateur ATLAS « go Atlas », elle définit le maillage au niveau des différentes zones de la structure.

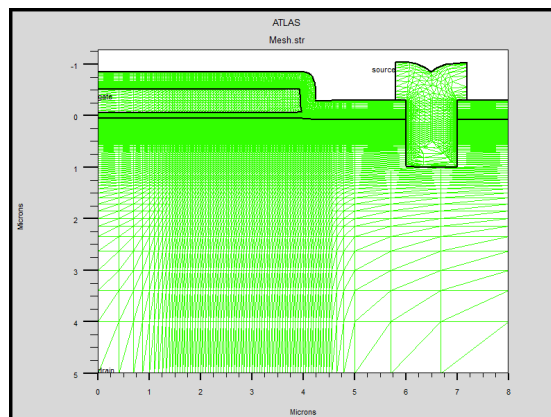


Figure III-24: définition du Maillage

Les régions

Après avoir défini le maillage, il est nécessaire de définir les régions dont le format de définition des régions est le suivant:

REGION nombre = < integer > < material_type > / < position des paramètres >

Les régions doivent être numérotées du 1 jusqu'au maximum nombre de régions existantes sur la structure. Sur le simulateur Atlas il est possible de représenter jusqu'à 55 régions différentes.

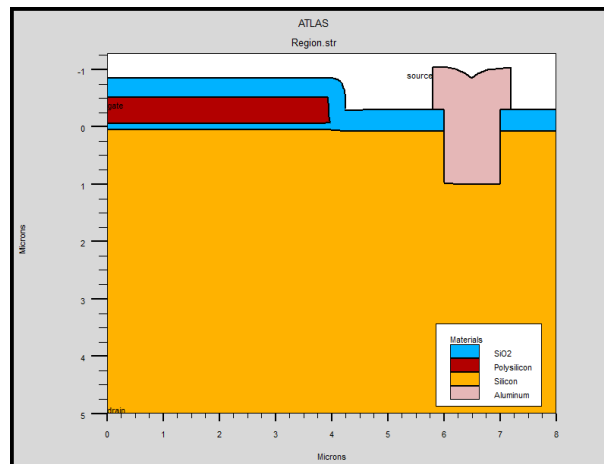


Figure III-25: définition des régions

Les électrodes

« Atlas » a une limite de 50 électrodes qui peuvent être définies. Le format de définition d'électrodes est comme suit:

ELECTRODE NAME = < nom de l'électrode > < position des paramètres >

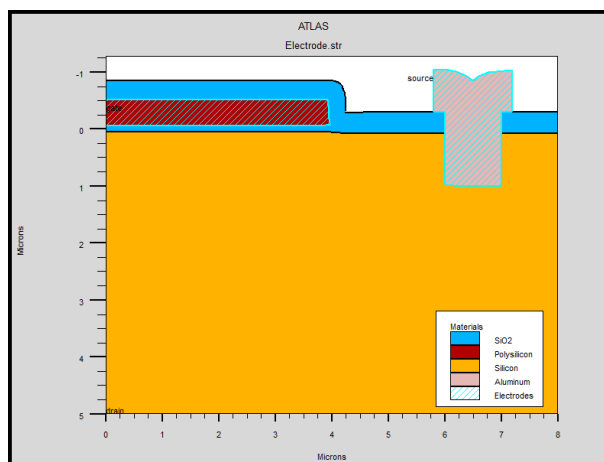


Figure III-26 : définition des électrodes

Le dopage :

Le dernier aspect de la spécification de la structure qui doit être défini est le dopage. Le format de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPAGE < type de distribution > < type de dopant > / < position des paramètres >

Le dopage peut être uniforme ou gaussienne.

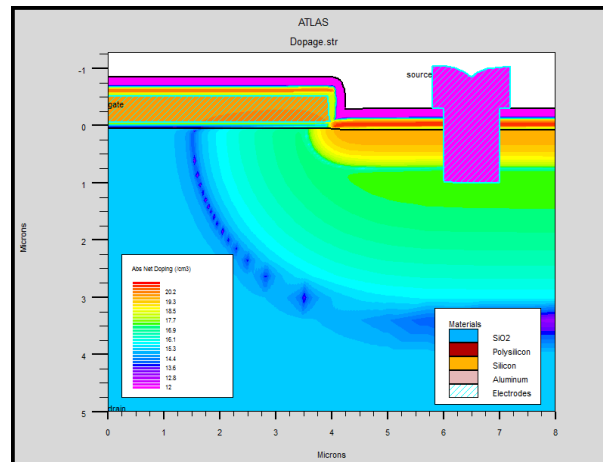


Figure III-27 : définition de dopage

2- Spécification des matériaux et des modèles :

Après la définition de la structure, il faut spécifier les modèles des matériaux, elle se compose de quatre parties : matériau, modèles, contact et interface.

Le matériau

Le format de la déclaration du matériau est le suivant :

MATERIAL < localisation > < définition du matériau >

Modèles

Les modèles physiques sont classés en cinq catégories:

Mobilités des porteurs de charges, mécanismes de génération-recombinaison, les statistiques de transport, l'ionisation par impact et l'effet tunnel.

La syntaxe de la déclaration du modèle est la suivante:

MODEL< paramètres générales > / < paramètres du modèle >

Le choix du modèle dépend des matériaux choisis pour la simulation.

Contact

Le contact détermine les attributions des électrodes. La syntaxe du contact est la suivante :

Contact nombre = < n > | NOM = <enamel> | ALL

Cette expression montre la déclaration « contact ».

Interface

Les limites du semi-conducteur ou de l'isolant sont déterminées dans la déclaration d'interface. La syntaxe est la suivante:

INTERFACE [<parameters>]

3-Sélection des Méthodes numériques :

Le Simulateur Atlas peut utiliser plusieurs méthodes numérique pour calculer les solution des équations pendant l'exécution du programme. Pour les différents modèles qui existent il y a trois types de méthodes de résolutions techniques :

- La Méthode de GUMMEL
- La Méthode de NEWTON
- La Méthode BLOCK

Pour la méthode de GUMMEL, elle est utilisée pour la résolution des équations a une seule inconnue et des variables fixées constantes, la résolution se faite d'une manière itérative jusqu'à la solution est achevée. La deuxième méthode de NEWTON est la méthode la plus répandu dans les programme Atlas, elle est utilisée pour résoudre des systèmes d'équations à plusieurs inconnues. La troisième méthode est une combinaison des deux méthodes, elle est utiles pour les systèmes d'équation mixtes. L'instruction suivante définie la méthode Newton pour le calcul.

4-Sélection des paramètres à extraire :

Les instructions de spécification de la solution sont: Log, Solve, Load et Save.

Log

enregistre toutes les caractéristiques terminales dans un fichier de données.

Solve

L'instruction SOLVE suit l'instruction LOG. Elle effectue une solution pour un ou plusieurs points de polarisation.

Load et Save (chargement et sauvegarde)

L'instruction LOAD introduit, à partir d'un fichier existant, pour chaque point de polarisation les solutions précédentes en tant que proposition initiale.

L'instruction SAVE permet l'enregistrement de toutes les informations obtenues pour un nœud dans un fichier de sortie.

5-Analyse des résultats :

Les résultats et les informations obtenues par la simulation peuvent être affichés graphiquement avec « TonyPlot ».

III.4.2) Simulation des caractéristiques électriques du transistor VDMOS de puissance : caractéristique du transfère ($I_D - V_G$)

La Figure III-28 montre la caractéristique de transfère d'une demi cellule d'un VDMOS , les caractéristiques (A) et (B) montre l'évolution de courant du drain en fonction

de la tension de la grille avec variation de la tension du drain tel que la tension de seuil est légèrement augmenter (décaler) pour des tension de polarisation de drain très élevés.

En voie que la zone de saturation et plus rapide a apparaitre avec des tension de drain très élevés ainsi que une longue zone commutation avec des même tension V_{GS} .

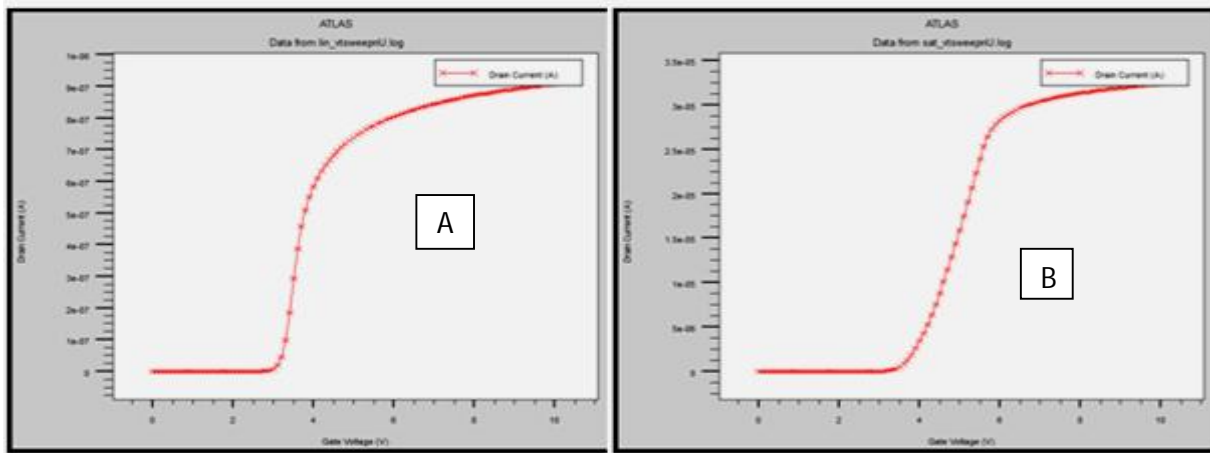


Figure III-28 : Caractéristique ($I_D - V_G$)

Caractéristique de sortie ($I_D - V_D$) :

La figure III-29 montre la caractéristique de sortie d'une demi-cellule des différentes VDMOS, on constate que le courant de drain est élevé pour les différentes VDMOS à chaque augmentation de la tension de grille V_{GS} , l'échelle log ne permet de mieux extraire les paramètres élémentaire de ces transistors comme le I_{ON} et le I_{OFF} .

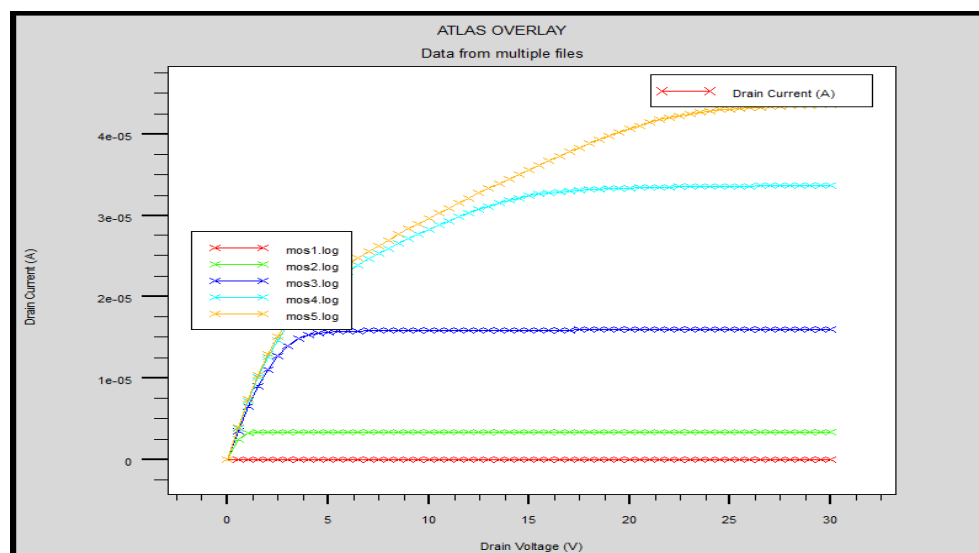


Figure III-29 : ($I_D - V_D$)

Conclusion :

Dans ce chapitre , nous avons présenté le logiciel de simulation utilisé , en l'occurrence Silvaco , ses module et outils de simulation , nous avons procédé ensuite à une simulation des différentes étapes technologique de réalisation de la structure VDMOS de puissance en utilisons l'utile de simulation Silvaco ATHENA (2D) en fournissant les paramètres nécessaires pour sa réalisation , ensuite en a passer a la simulation électrique de notre structure en utilisons l'outil de simulation Silvaco ATLAS qui nous a permit d'extraire les caractéristiques électrique (caractéristique du transfère et caractéristique du sortie)

Conclusion générale :

Le transistor à effet de champ MOSFET est devenue dès son invention le composant de base de l'industrie microélectronique est des circuits intégrés .Sa structure vertical VDMOSFET présentes des performances remarquable en terme de puissance et de rapidité de commutation, et avec le progrès en rendement et miniaturisation des composants de puissance ont permis l'intégration de l'électronique de puissance dans plusieurs applications .Les composants de puissance (VDMOS) jouent en général le rôle d'interrupteurs de commande et de transfert d'énergie électrique. Les principales caractéristiques d'un interrupteur de puissance sont : la tension blocable, le courant admissible, la "commandabilité", la résistance à l'état passant (qui traduit les pertes par conduction dans l'interrupteur) et la rapidité. En ce qui concerne la technologie de fabrication , le transistor VDMOS de puissance est fabriqué en utilisant le processus de double diffusion planer de type P et N+ pour réaliser les zones P base du canal et N+ de source, en utilisant plusieurs étapes élémentaire come l'épithaxie, le dopage ,le dépôt des couches (CVD , PECVD), et avant d'effectuer toute ces étapes dans la salle blanche en fait une simulation avec SILVACO Tcad , le logiciel le plus utiliser dans les laboratoire de recherche avec ses deux simulateur : ATHENA,ATLAS.

ATHENA : il permet de simuler des procédés technologiques de fabrication des composants de puissance en semi-conducteur. il permet aussi de prévoir précisément la distribution d'un profil de dopage, les épaisseurs des couches en fonction des procédés technologiques.

ATLAS : il permet de prévoir précisément la caractéristique électrique statique (simulation numérique électrique) et dynamique (simulation numérique temporelle) d'une structure spécifique de semi-conducteurs, et il donne aussi les mécanismes physiques qui se produisent à l'intérieur de la structure en fonction des contraintes appliquées sur ses électrodes.

La bibliographie

- [1] Influence des effets quantiques sur les caractéristiques de transistors DGMOS nanométrique.(Mémoire Magister BELLA MOURAD) juin 2009
- [2] Conception d'une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnel du silicium (Thèse de doctorat YANN WEBER)
- [3] Modélisation et simulation du Nano-transistor de puissance (Mémoire Magister Anouar Essadate AOUF).
- [4] Développement de briques technologiques pour la réalisation de transistor MOS de puissance en Nitrure de Gallium (thèse de doctorat Elias Al Alam) Avril 2011.
- [5] Etude et caractérisation de structure à base de silicium (Thèse de doctorat NADINE JOUD ABOUD) Décembre 2011
- [6] Macro modélisation du transistor MOSFET (MESSAADI Lotfi Mémoire de Magister)
- [7] étude par TCAD-SILVACO d'une structure MOS pour la réalisation de capteurs ISFET : PARAMETRES TECHNOLOGIQUES ET ELECTRIQUES paramètres technologiques et électriques (Mémoire Magister KAGHOUCHE Bessem) Mai 2010 .
- [8] Etude et simulations d'un transistor MOS vertical Mémoire de magister KEBIB ABDELAZZIZ janvier 2013 définition du silvaco.
- [9] Development, Fabrication, and Characterization of a Vertical-Diffused MOS Process for Power RF Applications (Master of Science in Microelectronic Engineering Kazuya Tokunaga) December 2008.
- [10] Fiabilité prédictive de composant de puissance soumis à des tests de fatigue accélérée (Thèse de doctorat Benjamin KHONG) décembre 2007 smart power.
- [11] Caractérisation de l'effet d'irradiation sur les transistors LDD MOSFET par Méthodes basés sur le pompage de charge (Mémoire de Magister Madani Hassan).
- [12] Méthodes et Modèle pour une Approche de Dimensionnement Géométrique et Technologique d'un Semi conducteur de Puissance Intégré. Application à la Conception d'un MOSFET autonome. (Thèse de doctorat, Hoa NGUYEN XUAN).
- [13] TP SILVACO (VWF Interactive Tools) poly technique Montpellier Jérôme BOCH Jean-Marc GALLIERE .
- [14] D.V. Morgan and K. Boar, "An introduction to semiconductor technology", 2nd edition, John Wiley & sons, 1990
- [15] Contribution à la modélisation des dispositifs MOS haute tension pour les circuits intégrés de puissance "Smart Power". (Thèse de doctorat Saadia HNIKI) .

[16] Contribution à l'étude de l'épitaxie par jets moléculaires à grande échelle de semi-conducteurs phosphorés.(Thèse doctorat Sébastien DHELLEMMES).

[17] Etude et simulation de cellules photovoltaïques à contacts arrière interdigités sous environnement SILVACO (Mémoire Magister mohamed mohamadi).

[18] R. Lenzner, "Gordon Moore: the reluctant Entrepreneur". Intel Corporation, Forbes Magazine, sept. 1995

[20] les wafers du silicium (Université de Nantes)

[21] étude de transfert des films minces de silicium monocristallin dans la réalisation de cellule solaire à faible budget thermique (Mémoire de Master BENCHERRAT Abdennebi) juin 2012

[22] O. Bonnaud, E. Chartier, C. Diaconescu, "Internet Interactive Microelectronics Technology Course: a tool developed in the frame of INEIT-MUCON.

[23] Architecture de circuits nanoélectroniques neuro-inspirés.

[24] ENSERG / ENSPG / ENSEEG – Option : Dispositifs et Microsystème GROUNDABLE.

[25] Etude et simulations d'un transistor MOS vertical (Mémoire Magister KEBIB ABDELAZZIZ) janvier 2013.

ANNEXE

programme de simulation

Annexe : A

go athena

```
line x loc=0.00 spac=0.5
line x loc=1.00 spac=0.1
line x loc=1.50 spac=0.05
line x loc=4.50 spac=0.05
line x loc=5.00 spac=1
line x loc=8.00 spac=3
line y loc=0.00 spac=0.01
line y loc=0.50 spac=0.01
line y loc=.75 spac=0.05
line y loc=1.25 spac=0.05
line y loc=2.00 spac=0.2
line y loc=3.00 spac=0.5
line y loc=4.00 spac=1
line y loc=5.00 spac=3
#initialization du substrat
init silicon c.phosphor=1.5e15 orientation=100
structure outfile = etape_1.str
tonyplot etape_1.str
# METHODE #
method high.conc full.cpl
method grid.oxide=0.01 gridinit.ox=0.01
interst silicon /oxide theta.0=6.2e7 weto2
interst silicon /oxide theta.0=6.2e7 dryo2

# diffusion de SiO2
diffus time=20 temp=800 f.n2=10.0
diffus time=20 temp=800 t.final=1000 f.n2=5.0
diffus time=5 temp=1000 f.n2=5.0
diffus time=168 temp=1000 f.o2=5.0
diffus time=5 temp=1000 f.n2=5.0
diffus time=35 temp=1000 t.final=800 f.n2=10.0
extract name="gate oxide" thickness material="SiO~2" mat.occno=1 x.val=3
structure outfile = etape_2.str
tonyplot etape_2.str
# le dépôt du poly silicium

# 500 nm of polysilicon is deposited #
deposit polysilicon thick=0.5 dy=0.05
structure outfile = etape_3.str
tonyplot etape_3.str

# Depot de la couche du passivation

# 50 nm of TEOS is deposited #
```

```
deposit oxide thick=0.05 dy=0.01
structure outfile = etape_4.str
tonyplot etape_4.str
# Depot du nitrure du silicium
# 500 nm of low stress nitride is deposited #
deposit nitride thick=0.5 dy=0.05
structure outfile = etape_5.str
tonyplot etape_5.str
# la photolithography et la gravure
# These steps include:
# Gate litho, Hard bake, Nitride etch, TEOS etch, Poly etch, PR ash, RCA Clean #
# Masking material not shown in here is Photoresist #
etch nitride start x=4 y=-0.5
etch cont x=8 y=-0.5
etch cont x=8 y=-2.0
etch done x=4 y=-2.0
etch oxide start x=4 y=-0.5
etch cont x=8 y=-0.5
etch cont x=8 y=-2.0
etch done x=4 y=-2.0
etch polysilicon right x=4
structure outfile = etape_6.str
tonyplot etape_6.str
# implantation ionique
# Body (lighter p) implant
implant boron dose=5e13 energy=100 tilt=7 rotation=45 crystal
structure outfile = etape_7.str
tonyplot etape_7.str
# P (Body) Drive In #
# Stabilize #
diffus time=11 temp=800 f.n2=10.0
# Long drive-in to achieve the channel length of ~2um #
# Ramp to 1100 in N2 and Anneal @ 1100 in N2 #
diffus time=60 temp=800 t.final=1100 f.n2=5.0
diffus time=10 temp=1100 f.n2=15.0
diffus time=480 temp=1100 f.n2=10.0
```

```
diffus time=10 temp=1100 f.n2=15.0
diffus time=60 temp=1100 t.final=800 f.n2=10.0
extract name="xj1" xj material="Silicon" mat.occno=1 y.val=0.55 junc.occno=1
structure outfile = etape_8.str
tonyplot etape_8.str
# gravure de Nitrure du silisium
Etching all nitride layer with Hot Phos Etch
Thin (50nm) TEOS layer will not be etched
etch nitride start x=0 y=-0.5
etch cont x=4 y=-0.5
etch cont x=4 y=-2
etch done x=0 y=-2
structure outfile = etape_9.str
tonyplot etape_9.str
# N+ Photo / Implant
Poly is acting as a implant mask for N+
Cross-section of where p+ does not exist - N+ will be everywhere except the gate for this setting #
implant phosphor dose=4e15 energy=65 tilt=7 rotation=45 crystal
structure outfile = etape_10.str
tonyplot etape_10.str
# p+ Photo / Implant (EXTRA)
These steps can be added if necessary
For this cross section P+ will not exist in any area#
# 38 Poly Re-ox #
method fermi
diffuse time=5 temp=800 t.final=900 f.n2=5.0
diffuse time=20 temp=900 f.o2=10.0
diffuse time=5 temp=900 f.h2=3.6 f.o2=2.0 f.n2=1.0
diffuse time=10 temp=900 t.final=800 f.n2=5.0
structure outfile = etape_11.str
tonyplot etape_11.str
# TEOS Deposition
deposit oxide thick=0.2
structure outfile = etape_12.str
tonyplot etape_12.str
# TEOS Densification / High Temperature Multi Anneal
```

```

# Stabilize
diffus time=10 temp=800 f.n2=15.0
diffus time=20 temp=800 t.final=1050 f.n2=10.0
method high.conc full.cpl
method grid.oxide=0.01 gridinit.ox=0.01
interst silicon /oxide theta.0=6.2e7 weto2
interst silicon /oxide theta.0=6.2e7 dryo2
diffus time=5 temp=1050 f.n2=10.0
diffus time=5 temp=1050 f.o2=10.0
diffus time=5 temp=1050 f.h2=3.6 f.o2=2.0 f.n2=1.0
diffus time=5 temp=1050 f.o2=10.0
diffus time=20 temp=1050 t.final=800 f.n2=10.0
extract name="xj11" xj material="Silicon" mat.occno=1 y.val=0.55 junc.occno=1
extract name="xj22" xj material="Silicon" mat.occno=1 y.val=0.55 junc.occno=2

structure outfile = etape_13.str
tonyplot etape_13.str
# Contact Cut Litho/Etch
etch oxide start x=6 y=0.5
etch cont x=7 y=0.5
etch cont x=7 y=-2.0
etch done x=6 y=-2.0
etch silicon start x=6 y=1
etch cont x=7 y=1
etch cont x=7 y=-0.5
etch done x=6 y=-0.5
structure outfile = etape_14.str
tonyplot etape_14.str
# Depot Aluminum
deposit aluminum thick=0.75
structure outfile = etape_15.str
tonyplot etape_15.str
# la photolithographie et gravure Aluminium
etch aluminum left p1.x=5.8
etch aluminum right p1.x=7.2
extract name="Vt at x=3.4 um for SIEN" 1dvt ntype bias=0 bias.step=0.1 \

```

```

bias.stop=10.0 x.val=3.4
extract name="Vt at x=3.2 um for SIEN" 1dvt ntype bias=0 bias.step=0.1 \
bias.stop=10.0 x.val=3.2
extract name="Vt at x=3.0 um for SIEN" 1dvt ntype bias=0 bias.step=0.1 \
bias.stop=10.0 x.val=3.0
extract name="Vt at x=2.5 um for SIEN" 1dvt ntype bias=0 bias.step=0.1 \
bias.stop=10.0 x.val=2.5
electrode name=source x=6.5
electrode name=gate x=2 y=-0.2
electrode name=drain backside
structure outfile = etape_16.str
tonyplot etape_16.str

quit

```

go atlas

```

init infile = etape_16.str
# MODEL #
models cvt print conmob fldmob srh
# Define Contact #
contact name=gate n.poly
# METHOD #
method gummel newton
# Vt Transfer Curve #
solve init
solve vdrain=0.1
log outf=lin_vtsweepnU.log
solve name=gate vstep=0.1 vgate=0 vfinal=10
extract name="lin_vtnU" #xintercept(maxslope(curve(abs(v."gate"),abs(i."drain"))))
extract name="lin_gm_max_nU" #slope(maxslope(curve(abs(v."gate"),abs(i."drain"))))
tonyplot lin_vtsweepnU.log
log off
solve init
solve vdrain=0.1
solve vdrain=2.5
solve vdrain=5
solve vdrain=10
log outf=sat_vtsweepnU.log
solve name=gate vstep=0.1 vgate=0 vfinal=10
extract name="sat_vtnU" xintercept(maxslope(curve(abs(v."gate"),abs(i."drain")^(1/2))))
tonyplot sat_vtsweepnU.log
log off
# Family of Curves #

```

```
solve init
solve vgate=3 outf=solve_tmp11
solve vgate=4 outf=solve_tmp22
solve vgate=5 outf=solve_tmp33
solve vgate=6 outf=solve_tmp44
solve vgate=6.5 outf=solve_tmp55
load in temporary files and ramp Vds
load infile=solve_tmp11
log outf=mosn1.log
solve name=drain vdrain=0 vfinal=30 vstep=0.5
load infile=solve_tmp22
log outf=mosn2.log
solve name=drain vdrain=0 vfinal=30 vstep=0.5
load infile=solve_tmp33
#log outf=mosn3.log
#solve name=drain vdrain=0 vfinal=30 vstep=0.5
load infile=solve_tmp44
log outf=mosn4.log
solve name=drain vdrain=0 vfinal=30 vstep=0.5
load infile=solve_tmp55
log outf=mosn5.log
solve name=drain vdrain=0 vfinal=30 vstep=0.5
# extract max current and saturation slope
extract name="nidsmax_nU" max(i."drain")
extract name="sat_slope_nU" slope(minslope(curve(v."drain",i."drain")))
tonyplot -overlay -st mosn1.log mosn2.log mosn3.log mosn4.log mosn5.log
log off
quit
```

Anexe :B

Commandes ATHENA

diffuse	lance une phase de recuit sur le wafer qui permet l'oxydation ou la diffusion d'impuretés time= temps en minute temp= température en °C dryo2, weto2, nitrogen ambiance du gaz oxydant pres=s pression en atmosphère hcl= pourcentage de HCl dans le gaz oxydant
init	spécifie le matériau de base et les dopages initiaux.
etch	spécifie un processus de gravure
implant	lance une phase d'implantation ionique. dose= spécifie la dose d'implantation en cm^{-2} energy= spécifie l'énergie d'implantation en keV tilt= spécifie l'angle d'incidence boron, phosphor, arsenic spécifie l'impureté à planter pearson, newton spécifie le modèle d'implantation utilisé lors de la simulation
depo	déposition d'une couche du matériau précisé. Poly, aluminium spécifie le matériau à déposer Thickness= spécifie l'épaisseur en microns Divisions= spécifie le nombre d'espace vertical du maillage
electrode	définie les électrodes et leur nom
line	spécifie les lignes du maillages et l'espacement avec spacing=
mesh	initialise la génération d'un maillage.

Commandes ATLAS

contact l'électrode	spécifie les attributs physiques d'une électrode. Si contact n'est pas est considérée comme ohmique . name= nom de l'électrode workfunc= valeur du travail de sortie (le travail de sortie est l'énergie minimum, mesurée en électron-volts, nécessaire pour arracher un électron depuis le niveau de Fermi d'un métal)
aluminium	électrode en aluminium
n.poly, p.poly	électrode en polysilicium dopé N ou P
interface	spécifie les paramètres de l'interface silicium – oxyde.
qf=	spécifie une charge fixe à l'interface en cm^{-2}
models	spécifie les modèles physiques utilisés lors de la simulation. srh Shockley-Read-Hall recombination consrh Shockley-Read-Hall recombination using concentration dependent lifetimes fermi Fermi statistics auger Auger recombination

fldmob lateral electric field-dependent model
conmob concentration dependent mobility model
cvt transverse field dependent mobility model
bng Band Gap Narrowing
mos est un macro-modèle pour les composants MOS qui prend en compte cvt, srh et fermi
bipolar macro-modèle pour les composants bipolaire qui prend en compte conmob, fldmob, bgn, consrh et auger
print affiche à l'écran les modèles utilisés ainsi que les coefficients et constantes.
method méthodes numériques utilisées pour résoudre les équations des modèles physiques.
newton méthode Newton
bicgst utilisé pour simulation 3D
gummel méthode Gummel
carriers= spécifie le nombre d'équations de continuité qui vont être résolues :
-carriers=0 : seule l'équation de poisson est résolue
carriers=1 electrons/holes : une équation de continuité est ajoutée
carriers=2 : une solution est obtenue pour les électrons et les trous.
solve permet de rechercher une solution Transient, AC, DC ...
log sauvegarde de fichiers de sortie.
outfile= nom du fichier