

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITE MOULOUD MAMMERRI DE TIZI-OUZOU



FACULTE DU GENIE ELECTRIQUE ET D'INFORMATIQUE
DEPARTEMENT D'AUTOMATIQUE

Mémoire de Fin d'Etudes de MASTER ACADEMIQUE

Domaine : **Sciences et Technologies**

Filière : **Génie électrique**

Spécialité : **Génie Microélectronique**

Présenté par

Mohamed AGOUDJIL

Thème

Caractérisation du dispositif FDSOI 32nm

Mémoire soutenu publiquement le 14/07/2017 Devant le jury composé de :

REMERCIEMENTS

Avant tout je remercie le bon dieu de nous avoir donnée la santé, le courage et la volonté pour accomplir ce travail.

Au terme de ce travail je tiens à remercier en premier lieu mon promoteur M^r A.LAKHLEF pour son assistance, il a fait preuve de beaucoup de compétence dans ses explications ainsi que beaucoup de patience à mon égard.

Mes vifs remerciements vont également aux membres de jury qui ont accepté aimablement d'examiner et de juger mon travail, je leur adresse mes respects les plus distingués.

Mes remerciements à tous mes enseignants qui m'ont transmis les bases de la microélectronique tout le long de ces deux années de master, en particulier le responsable de la formation M^r A.BENFDHILA.

Mes remerciement s'adresse aussi à tous les enseignants qui ont contribué à la réussite dans mes études.








Un remerciement particulier à mes parentes, mes sœurs et mon oncle qui ont fait preuve de beaucoup d'encouragement de solidarité à mon égard pendant tous la période de travail.

Je tiens à remercier pour mes collègues et amis (es) avec qui j'ai passé de très bon moments au sein de l'université MOULOUD MAMMERIE et a tous mes amis(es) et cousins(es).

Que ceux qui se sentent oubliés trouvent ici ma profonde gratitude et les chaleureux pour leur concours dans l'accomplissement de ce travail.

DEDICACES

*Je dédie ce modeste travail à ceux qui sont la source de mon inspiration
et de mon courage, à :*

-  *Mes très chers parents.*
-  *Mes sœurs.*
-  *Mon oncle et sa famille.*
-  *Mes chers cousins et cousine.*
-  *Mes formidables amis(es).*
-  *A toute ma famille et à tous ceux que j'aime.*
-  *sans oublié Mme barqouqa.*

Sommaire

Remerciment

Dédicaces

Liste des figures

Introduction générale..... 1

Chapitre I : Description et évolution du transistor MOSFET

I.1. Introduction.....	3
I.2. Description du MOSFET	3
I.2.1. MOSFET à enrichissement	4
I.2.2. MOSFET à appauvrissement	5
I.3. Caractéristique du transistor MOSFET	5
I.3.1 Potentiel de bandes plates	5
I.3.2 La tension de seuil	6
I.3.3 Courants IOFF et ION	6
I.4. polarisation du transistor MOS	7
I.4.1 Régime d'accumulation.....	8
I.4.2 Régime de bandes plates	9
I.4.3 Régime de déplétion.....	10
I.4.4 Régime d'inversion	10
I.4.4.1 Régime de faible inversion	11
I.4.4.2 Régime de forte inversion.....	11
I.4.5 Régime linéaire ou Ohmique.....	12
I.4.6. Régime de saturation	13
I.5 Notion de la mobilité	13
I.5.1. Mécanismes qui influent sur la mobilité :	14
I.5.1.1. Collisions sur les phonons	15
I.5.1.2. Collisions coulombiennes.....	15
I.5.1.3. Collisions sur la rugosité de surface	16
I.6. évolution technologique du transistor	16
I.6.1 Effet de la miniaturisation (scaling).....	18

I.6.1.1. Effets de canaux courts SCE (short channel effect)	19
I.6.1.2 Effet DIBL (Drain Induced Barrier Lowering)	20
I.6.1.3. Perçage (punch through).....	21
I.6.1.4. Effets de porteurs chauds.....	21
I.7. Solutions technologiques	22
I.7.1. Extensions LDD (Lightly Doped Drain).....	23
I.7.2. Poches de surdopage	23
I.7.3. Siliciuration source et drain.....	25
I.8. Conclusion :.....	26

Chapitre II : Caractérisation du transistor MOSFET

II.1. Introduction :	28
II.2. Technique de caractérisation I(V) :	28
II.2.1. Notion de la tension de seuil :.....	29
II.2.2. La méthode fonction Y :	31
II.2.3. Pente sous le seuil :.....	32
II.2.4. Extraction des résistances séries :.....	33
II.2.5. Détermination des dimensions effectives du canal :.....	34
II.2.5.1. Extracior de ΔL_G :.....	34
II.2.5.2 Extraction de ΔW_G :	35
II.3. Méthode Mc Larty :.....	35
II.3. Méthode de Hamer :	36
II.4. Méthode C(V) :.....	37
II.5. Technique de bruit :.....	40
II.6. technique de pompage de charge :.....	40
II.7. Conclusion	41

Chapitre III : Etude de la fiabilité du transistor FD SOI

III.1. Introduction.....	42
III.2. Fiabilité du transistor FD SOI :	42
III.2.1. La technologie SOI (SILICON ON INSULATOR).....	42
II.2.2. FD-SOI « Fully Depleted Silicon On Insulator » :	43

II.2.3. Les méthodes de fabrication SOI.....	44
III.2.3.1. SOS Silicium sur corindon :	45
III.2.3.2. SIMOX (Separation by Implanted Oxygen) :.....	46
III.2.4. Propriétés physico-chimiques du SiO ₂	46
III.2.4.1. Obtention du SiO ₂	47
III.2.4.2. Structure du SiO ₂	47
III.2.4.3. Défauts dans le SiO ₂ :.....	48
III.2.4.3.1. Défauts intrinsèques	48
III.2.4.3.2 Défauts extrinsèques	49
III.2.5. Défaut à l'interface SiO ₂ /Si.....	49
III.2.6. Notion de piège.....	51
III.2.7. Passivation :.....	52
III.2.8. Depassivation :	52
II.2.9. Différents types de charges dans l'oxyde :	54
II.2.9.1. charges fixes Q _f :	54
II.2.9.2 charges piégées dans l'oxyde Q _{ot} :	55
III.2.9.3. charges mobiles ioniques Q _m :	55
III.2.9.4. charges d'interface piégées Q _{ss} :	55
III.2.10 Propriétés et caractéristique de l'oxyde de hafnium HfO ₂	56
III.2.10.1 L'adoption du High-k HfO ₂	56
II.2.10.2. Propriétés du HfO ₂	56
II.2.10.3. Propriétés d'interface high-k /Si (SiO ₂).....	56
III.3. Application.....	57
III.3.1 Expérience	57
III.3.2. Caractéristique et schéma du FDSOI (composant étudié).....	59
III.3.3. Traitement de données.....	59
III.3.4. résultats.....	60
III.4. Conclusion :.....	65

Listes des figures

Chapitre I :

Figure I.1 : Structure schématique de base du transistor Métal-Oxyde-Semi-conducteur.....	4
Figure I.2 : Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.....	7
Figure I.3 : allure de la charge Q_{sc} en fonction de V_s	8
Figure I.4 : diagramme de bandes d'énergie en régime d'accumulation.....	9
Figure I.5 : diagramme de bandes d'énergie en régime de désertion.....	10
Figure I.6 : diagramme de bandes d'énergie en régime de faible inversion.....	11
Figure I.7 : diagramme de bandes d'énergie en régime de forte inversion.....	12
Figure I.8 : allure de la mobilité en fonction du champ effectif transverse.....	14
Figure I.9 : Representation des effet responsable sur la reduction de la mobilité.....	15
Figure I.10 : Diminution de longueur de grille des technologies CMOS.....	17
Figure I.11 : Impact des effets SCE et DIBL sur les caractéristiques.....	18
électriques d'un nMOSFET.....	18
Figure I.12 : effet canal court SCE et de DIBL sur la barrière de potentiel.....	20
Figure I.13 : Abaissement de la barrière de potentiel dans le canal.....	21
Figure I.14 : Diagramme illustrant les mécanismes d'ionisation.....	22
par impact dans un MOSFET.....	22
Figure I.15: Structure LDD.....	23
Figure I.16 : Effet des poches de surdopage sur le partage de charge.....	24
Figure I.17 : Exemple de l'effet des poches de surdopage sur la tension de seuil.....	24
Figure I.18 : Formation du $TiSi_2$ dans un procédé CMOS afin de siliciurer les accès source et drain.....	26

Chapitre II :

Figure II.1 : Réseau de caractéristiques du MOSFET a) caractéristique de sortie.....	28
b) caractéristique de transfert.	28
Figure II.2 : Représentation schématique du décalage de la tension de seuil d'un MOSFET a canal N sur substrat P.	29
Figure II.3 : tracé du courant de drain en fonction de la tension de grille pour $V_{ds}=25\text{mv}$ à droite le principe de la mesure.....	30
Figure II.4 : Technique d'extraction de la tension de seuil pour le régime saturé,	31
à droite le principe de la mesure.....	31
Figure II.5 : Exemple de construction de la fonction Y a) Courbe de courant et de transconductance à faible V_d b) extraction de V_{th} et $G_m^{1/2}$	32
Figure II.5 : Caractéristique $ID(VGS)$ d'un transistor MOSFET.....	33
Figure II.6 : schéma électrique d'un transistor avec prise en compte des résistances séries R_{SD}	34
Figure II.7 : Détermination de la longueur effective du canal.	35
Figure II.8 : Fonction de Mc Larty en fonction de la tension de grille sur des NMOS FD SOI.....	36
Figure II.9 : Comparaison des mobilités effectives.....	38
Figure II.10 : Allure des courbes $C(V)$ d'une capacité MOS pour un MOS substrat P.....	38
Figure II.11 : Montage expérimental utilisé en pompage de charges.	41

Chapitre III :

Figure III.1 : illustration d'un transistor MOSFET SOI.....	43
Figure III.2 : Représentation schématique d'un transistor MOS FDSOI.....	43
Figure III.3 : Processus SMART CUT.....	45
Figure III.4: Implantation ionique d'oxygène.....	46
Figure III.5 : Motif de base de la silice.	48
Figure III.6 : Représentation plane du réseau atomique de la silice.	48
Figure III.7: Liaisons chimiques de l'interface Si-SiO ₂	50
Figure III.8 : Illustration des différents mécanismes de piégeage.....	51
Figure III.9 : Défaut à l'interface SiO ₂ /Si; le centre Pb.....	52
Figure III.10 : Dépassivation de la liaison Si-H pendant une contrainte NBT.	54
Figure III.11 : Classification des charges dans l'oxyde.	54
Figure III.12 : Bande interdite avec pièges à électrons	55
Figure III.13 : résultats obtenu après stress.....	58
Figure III.14 : figure illustrative des différents appareils constituant le banc expérimentale.....	58
Figure III.15 : Image TEM d'un transistor NMOS FDSOI.....	59
Figure III.16 : Les caractéristiques Id (Vg) pour les différents temps de stress pour (a)Vd=25mV (b) Vd=1V.....	60
Figure III.17 : Les caractéristiques gm(Vg) pour les différents temps de stress (a) pour Vd=25mV et (b) Vd=1V	61
Figure III.18 : la fonction Y en fonction de Vg	62
Figure III.19 : Courbe illustrant la caractéristique de Vth en fonction du temps de stress (a) pour Vd=25mV et (b) pour Vd=1V.....	62
Figure III.20 : pente sous le seuil	63
Figure III.21 : évolution de la pente sous le seuil	63
Figure III.22 : Variation de la tension de seuil en fonction de log(t).....	65

Depuis les années 1950 les transistors MOSFET (Métal Oxyde Semi-conducteur à effet de champ) sont les composants élémentaires des circuits intégrés, il a été le moteur principal de l'industrie du semi-conducteur, il est considéré comme la plus grande invention du 20^{ème} siècle, son architecture et son principe de fonctionnement sont restés inchangés à nos jours ces dimensions géométriques diminuent suivant la loi de Moore, la réduction de la longueur de grille des transistors MOS est principalement motivée par la volonté d'augmenter la densité d'intégration des transistors sur une puce et par le désir d'augmenter leurs performances, par exemple en niveau de courant délivré ou bien en temps de propagation. Par loi d'échelle cette réduction de la longueur de grille entraîne des réductions de paramètres technologiques et électriques des transistors MOS [1].

Les systèmes industriels sont devenus de plus en plus complexes utilisant des nouvelles technologies permettant d'accroître la qualité des produits et des services ainsi que la productivité des systèmes. La technologie CMOS (Complementary MOS), est la plus répandue parmi toutes les technologies semiconducteurs.

Devant l'importance de tel investissement, la notion de fiabilité prend une importance capitale, il s'agit de concevoir des procédés, des dispositifs et des circuits fonctionnels dès les premiers instants de production. Le terme de la fiabilité recouvre également tous les mécanismes d'usure et de dégradation des transistors au cours de leur utilisation et conditionnant bien sûr sur la capacité des circuits à remplir leur fonction sur la durée. Certaines applications dédiées exigent le plus haut niveau de fiabilité et la durée de vie la plus longue possible [27].

La qualité de l'isolant électrique est un facteur de fiabilité des composants utilisés en microélectronique et en électronique de puissance. La tendance actuelle est à la miniaturisation des composants et des contraintes électriques de plus en plus sévères sont imposées aux isolants utilisés en microélectronique (principalement le SiO₂). De plus, les techniques de caractérisation actuelles semblent montrer leurs limites lorsque les épaisseurs d'isolants sont inférieures à 10nm. Le développement d'une nouvelle technique permettant de caractériser les isolants pour l'électronique apparaît ainsi d'un intérêt majeur. Les défauts inhérents à la fabrication de l'isolant et ceux qui apparaissent pendant l'utilisation se traduisent par la formation de zones de charges d'espace dans l'isolant.

Il devient primordial de développer de nouvelles architectures de composants et d'utiliser d'autres matériaux que ceux utilisés traditionnellement en microélectronique.

L'incorporation de nouveaux matériaux permet aussi d'améliorer les performances, tout en gardant la même architecture. Par exemples les oxydes à fort permittivité permettent de réduire considérablement les courants de fuite de grille et donc la consommation des dispositifs CMOS tout en contrôlant de la même façon le potentiel du canal puisque ils offrent les mêmes propriétés électriques que le SiO₂ pour des épaisseurs physiques plus importantes. Dans cette optique, les oxydes à base d'hafnium (HfO₂) sont très étudiés actuellement.

Les travaux de ce mémoire consistent à étudier la fiabilité du transistors FD SOI en utilisant les méthodes de vieillissement par contrainte électrique. Afin de mettre en oeuvre ce travail il nécessite de mettre en pratique les notions de caractérisation et de fiabilité ainsi que la maitrise du banc de mesure par un developpement adequate.

On a organisé l'ensemble des travaux en trois chapitres.

Le premier chapitre est consacré a présenté l'état de l'art des transistors MOSFET et leurs évolution suivant lors de la reduction d'échelle ainsi que les effets néfaste et leurs correction lors de ce dernier. Cependant une étude au deuxième chapitre concernant les différentes techniques de caractérisation qui permettent la détection et l'analyse des dégradations des transistors MOSFETs. Nous avons décrit les techniques standard commençant par la technique I (V) suivie de C(V) et la technique ainsi que les bruits, qui permettent de localiser les dégradations à l'interface, ou une charge piégée dans l'oxyde. Ces techniques doivent être complétées par des méthodes plus poussées telle que le pompage de charges.

Le troisième chapitre sera consacré à l'étude de la fiabilité d'un transistor FD SOI dans la première partie on a présenté la technologie SOI spécifiquement le transistor FD SOI. L'étude de la structure SIO₂ est ces défauts communément responsables de la dégradation ainsi que l'adoption des matériaux a haute permittivités high-k spécialement le HfO₂. Dans la seconde partie de ce chapitre on a étudié un vieillissement accélérer d'un transistor en utilisant un stress électrique, sous logiciel MATCAD on extrait les diffèrent paramètres d'analyse du stress.

I.1. Introduction :

Le transistor MOS, tirant son appellation de sa structure verticale (Méta /oxyde/semi-conducteur), est aujourd'hui la brique élémentaire des circuits intégrés constituant la plus part des dispositifs microélectronique qui nous entourent. Aussi appelé transistor à effet de champ, MOSFET (*MOS FIELD EFFECT TRANSISTOR*). Ce premier chapitre présente, en effet le transistor MOS à effet de champ ainsi que son architecture, son fonctionnement lors des différents régimes de polarisation. Ensuite on mettra en évidence les performances de ce dispositif. On parlera de la mobilité et ces différents mécanismes qui interviennent à sa réduction, l'évolution technologique du transistor induit des effets néfastes au bon fonctionnement de ce dernier alors des solutions technologiques ont été élaboré.

I.2. Description du MOSFET :

Le transistor MOS à effet de champ, et un dispositif à semi-conducteur, quadripolaire constitué d'une électrode de grille (G), de source (s), de drain (d) et de substrat (B)

La longueur du transistor, notée L correspond à la longueur de sa grille et sa largeur notée W. Nous considèrerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un nMOSFET), la conduction se fait à l'interface entre le diélectrique de grille et le substrat [3].

Le MOSFET est constitué Schématiquement du substrat recouvert d'une très fine couche d'oxyde ($0.1\mu\text{m}$) sur la quelle est déposé l'électrode de grille (qui va commander la quantité de charge dans la région sous grille), il est constituée de silicium polycristallin, souvent appelé polysilicium, cette électrode est isolée du substrat par un diélectrique. Deux régions dites source et drain sont réalisé de part et d'autre de la grille, qui sont les électrodes latérales elles sont réalisées par dopage à dégénérescence du substrat, qui est dopée N^+ ou P^+ , selon si il s'agit d'un nMOSFET ou d'un pMOSFET respectivement.

Une différence de potentiel appliquée entre la grille et le substrat, crée dans le semi-conducteur un champ électrique perpendiculaire à l'interface (oxyde/semi-conducteur), ce champ électrique va repousser les porteurs majoritaires de la proximité de l'interface et attire les minoritaires. Il se crée alors un canal sous la grille qui couvre tout l'espace entre le drain et la source entre les quels est appliquée une différence de potentiel dite (V_{DS})

La grille et le drain sont polarisés positivement par rapport à la masse contrairement à la source qui est connecté à la masse, comme le montre la figure 1[1]:

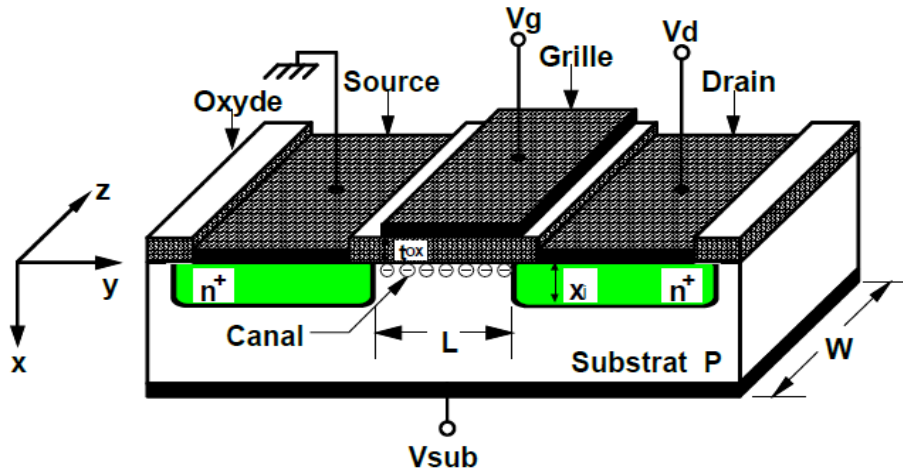


Figure I.1 : Structure schématique de base du transistor Métal-Oxyde-Semi-conducteur.

Les deux types fondamentaux de MOSFET sont :

les MOSFET à appauvrissement (déplétion) dit D-MOSFET, et les MOSFET à enrichissement (Enhancement) dit E-MOSFET. Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement de trous) [2].

I.2.1. MOSFET à enrichissement :

Lorsqu'on applique une tension positive à la grille elle donne naissance à un champ électrique perpendiculaire à l'interface. Ce champ va chasser les trous au voisinage de ce dernier, les électrons de la région 'n' vont diffuser au niveau de la surface du substrat et ils formeront un canal 'n' entre la source et le drain, il y a création d'un canal par enrichissement. On a chassé les trous qui sont les porteurs majoritaires dans le substrat, on les a remplacés par des porteurs minoritaires qui sont les électrons, inversion de la nature des porteurs.

Le canal qui est peuplé de porteurs négatifs, va permettre le passage du courant de la source vers le drain lorsqu'on applique une tension de drain $V_{DS} > 0$

Plus la tension de grille (V_{GS}) augmente, plus l'épaisseur de la couche d'inversion devient importante, mais la couche d'inversion ne prend naissance que lorsque la tension de grille est supérieure à la tension de seuil ($V_{GS} > V_T$).

Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille V_{th} .

I.2.2. MOSFET à appauvrissement :

On considère qu'on travaille avec un transistor à canal 'n', si $V_{GS}=0$, $V_{DS} > 0$ le courant I_{DS} est passant, lorsque on applique une tension ($V_{GS} < 0$) elle va créer un champ électrique perpendiculaire à l'interface ce champ va induire des charges positives (trous) dans le canal ce qui le rendra moins conductible.

Plus la tension de grille (V_{GS}) est négatif, plus le courant de drain (I_{DS}) diminue, ce qui fait que les électrons disparaissent du canal par recombinaison avec les trous induit par (V_{GS}).

La chute de tension dans le canal est plus forte quand on s'éloigne de la source, ce qui explique que l'appauvrissement du canal est plus prononcé coté drain.

Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} .

Remarque :

Le MOSFET à appauvrissement peut fonctionner en mode enrichissement, il suffit de changer la polarité de (V_{GS}) c'est-à-dire la rendre positive, ce qui fait que le champ électrique appliqué changera de sens et il poussera les électrons du canal [6].

I.3. Caractéristique du transistor MOSFET :

I.3.1 Potentiel de bandes plates :

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques sont positives (Na^+ , K^+ ,...). La valeur de la tension V_{GS} qu'il faut appliquer pour contrecarrer l'effet de ces charges s'appelle la tension de bande plate V_{FB} .

L'équation de continuité des potentiels s'écrit alors:

$$V_{GS} = V_{FB} + \psi_s - \frac{Q_{sc}}{C_{ox}} \quad (I.1)$$

Q_{sc} est la charge du semi-conducteur. C_{ox} est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (I.2)$$

ϵ_{ox} , ϵ_0 sont respectivement la permittivité relative de l'oxyde et la permittivité du vide. La tension V_{FB} est non seulement reliée à la densité de charges dans l'oxyde Q_{ox} mais aussi à la différence des travaux de sortie du métal et du semiconducteur : $\Phi_{ms} = \Phi_m - \Phi_s$. Si $\Psi_s = 0$, [1]

I.3.2 La tension de seuil :

La tension de seuil d'un transistor MOSFET est définie comme la tension qu'il faut appliquer pour que le potentiel de surface Ψ_s soit égal à $2\Phi_f$. La tension de seuil est donnée par la somme de la tension de bandes plates et de la chute du potentiel sur le diélectrique et celle sur la zone de déplétion :

$$V_{Th} = V_{FB} + \Phi_d + \frac{Q_{dep}}{C_{ox}} \quad (I.3)$$

Avec $\Phi_d = 2\Phi_f$ qui représente la hauteur de la barrière entre la source et le canal. Lorsque cette barrière est de l'ordre de quelques kT/q (énergie thermique des porteurs dans la source), les porteurs peuvent circuler librement dans le canal. Cette hauteur de barrière dépend aussi des dopages de la source et du canal. La tension de seuil peut être définie comme étant la tension V_{GS} entre la grille et la source pour laquelle la zone de forte inversion apparaît qui donne naissance au courant I_{on} (courant de conduction important), c'est-à-dire la création du canal de conduction entre le drain et la source.

Lorsque la tension grille-source V_{GS} est inférieure à la tension de seuil V_{Th} , on dit que le transistor est bloqué, (courant de conduction est très faible appelé I_{off} pour $V_{GS}=0$).

Le régime bloqué représente l'état du composant en absence de polarisation de grille ($V_{GS}=0$) ou ($V_{GS} < V_{TH}$). La zone sous l'oxyde est désertée des porteurs libres, pas de création de charge d'inversion et le courant de drain I_{DS} est pratiquement nul (courant de fuite I_{OFF})

I.3.3 Courants IOFF et ION :

Le comportement électrique idéal d'un transistor est celui d'un interrupteur parfait pour les applications logiques. Si la tension appliquée sur la grille V_{GS} est nulle, l'interrupteur est bloqué, le

courant de drain doit être nul (I_{off}) ce qu'on appelle l'état OFF. Si $V_{GS} = V_{DS} = V_{DD}$, l'interrupteur est passant et le courant de drain I_{ON} est maximal. Dans le comportement réel, à l'état bloqué, le courant de drain n'est pas nul, il y a un courant de fuite I_{OFF} qui circule, qui est limité par la diffusion coté source et drain. ????? La meilleure qualité du transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant I_{ON} le plus fort et un passage le plus rapide de l'état OFF à l'état ON. La figure 1.2 illustre une caractéristique $\log(I_D(V_{GS}))$ d'un transistor MOSFET donné par la relation suivante :

$$\log(I_{OFF}) = \log(I_{Th}) - \frac{V_{Th}}{S} \quad (I.4)$$

Avec I_{Th} : le courant de drain à $V_{GS} = V_{Th}$

Pour une meilleure performance on exige pour la technologie à fournir des transistors avec un rapport I_{ON}/I_{OFF} très élevé on respectant le cas des hautes puissances hautes performances et faibles puissances de consommation, la pente sous le seuil est indicatrice du seuil du courant I_{OFF}

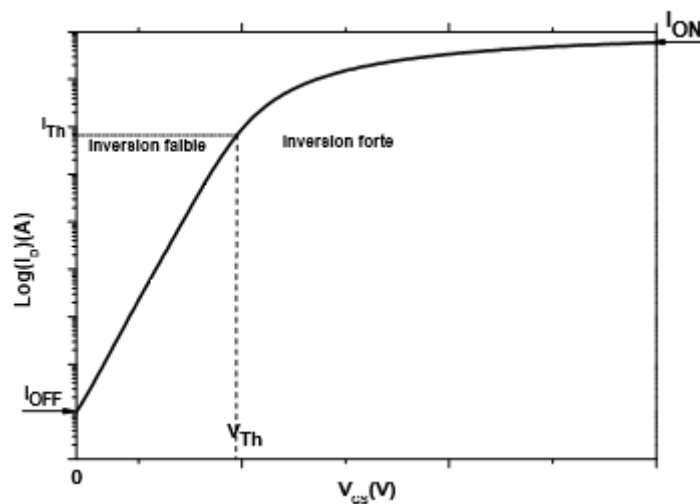


Figure I.2 : Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.

I.4. polarisation d'un transistor MOS :

Le fonctionnement du transistor est distingué en fonction de la polarisation de la grille on trouve les régimes d'accumulation, d'inversion faible et la forte inversion. Le potentiel de grille V_g modifie les courbures de bande d'énergie du semi-conducteur décrite par le potentiel de surface Ψ_s [5].

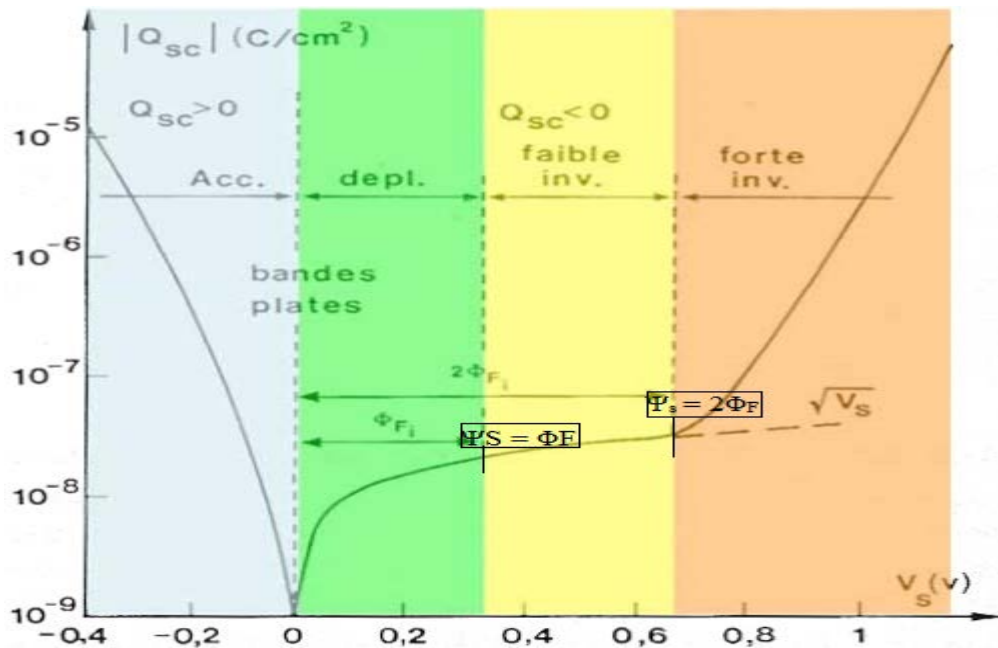


Figure I.3 : allure de la charge Q_{sc} en fonction de V_s .

I.4.1 Régime d'accumulation :

L'oxyde étant supposé idéal, il n'existe aucune charge à l'intérieur, ni statiques, ni en transit. Lorsqu'on applique une tension V_G négative ($V_G < 0$) par rapport au substrat dans le cas du transistor de type n (la tension $V_G > 0$ dans le cas du transistor de type p), le niveau de Fermi du métal et du semi-conducteur sont décalés les porteurs majoritaires vont être attirés vers la surface. Il y a donc accumulation à la surface du semi-conducteur provoquant une courbure des bandes d'énergie à l'interface (oxyde / semi-conducteur), la zone active qui est la zone de charge d'espace est créée à l'interface oxyde / semi-conducteur, on est dans le cas où le potentiel de surface est négatif ($\Psi_s < 0$) dans ce cas le transistor est équivalent à un condensateur de capacité.

Le schéma de bande d'énergie nous donne :

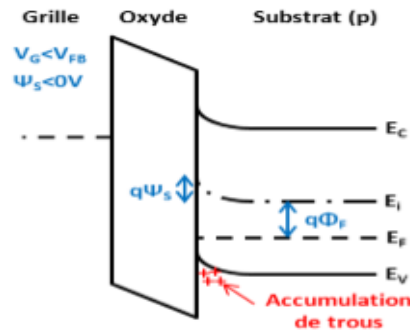


Figure I.4 : diagramme de bandes d'énergie en régime d'accumulation.

I.4.2 Régime de bandes plates

Ce régime correspond au passage de l'accumulation à la désertion, dans ce cas le champ électrique appliqué est nul au niveau de l'interface (SI/SiO₂) donc on a le potentiel de surface qui est nul aussi ($\Psi_s=0$). La courbure de bandes est nulle

La tension qu'on applique à la grille pour avoir ce régime correspond à la tension de bande plate (V_{FB}) telle que :

$$V_{FB} = \Phi_{ms} - \frac{Q_s}{C_{ox}} \quad (I.5)$$

Φ_{ms} : la différence de travaux de sortie du métal et du semi-conducteur.

Q_{ss} : la charge des états d'interface.

C_{ox} : la capacité de l'oxyde.

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les Oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO₂/Si qui n'est pas parfaite. La tension V_{GS} est donc :

$$V_{GS} = V_{FB} + \Psi_s - \frac{Q_{inv} + Q_{dep} + Q_{it}}{C_{ox}} \quad (I.6)$$

La charge d'états d'interface excédentaire est donnée par: $|Q_{it}| = q \cdot N_{it}$, N_{it} est la densité de défauts à l'interface, Q_{inv} et Q_{dep} sont respectivement la charge d'inversion et la charge de déplétion [4].

I.4.3 Régime de déplétion

On appliquant une tension de grille, telle que V_G est légèrement supérieur à la tension de bande plate ($V_G > V_{FB}$) et inférieur à V_T , y'aura alors une légère augmentation du potentiel de surface (Ψ_s) par rapport à zéro ($0 < \Psi_s < \Phi_F$).

La courbure des bandes d'énergie changée de sens par rapport au cas précédent. Le potentiel de surface Ψ_s , est positif et donc le niveau de Fermi à l'interface s'éloigne de la bande de valence et se rapproche du milieu de la bande interdite, c'est-à-dire du niveau de Fermi intrinsèque.

Les porteurs majoritaire (trous) vont déserté de l'interface vers l'intérieur (volume) du semi-conducteur alors que les électrons (minoritaires) sont attirés vers la surface, il y'a donc un dépeuplement en trous majoritaire dans le volume du semi-conducteur au voisinage de l'interface. Il se crée ainsi la zone de charge d'espace (ZCE) dans le volume du semi-conducteur. Ce repoussement dur jusqu'à ce que la surface ne comporte que des charges fixes négatives (accepteurs ionisé, dopants).

Dans ce cas le système ne conduira pas, le transistor se présente comme deux capacités en série (celle de l'oxyde et celle de la ZCE).

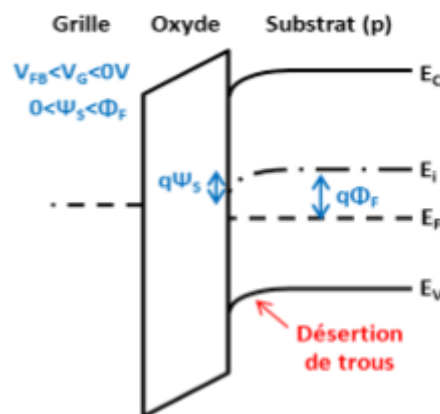


Figure I.5 : diagramme de bandes d'énergie en régime de désertion.

I.4.4 Régime d'inversion

On distingue deux régimes

I.4.4.1 Régime de faible inversion

L'augmentation de la valeur de V_{GS} fait aussi accroître le potentiel de surface Ψ_s , les électrons libres (les porteurs minoritaires), s'accumulent à l'interface ou ils forment une couche d'inversion, ($0V < V_g \leq V_{th}$) soit ($\Phi_F \leq \Psi_s < 2\Phi_F$). Cette condition traduite par l'égalité entre potentiel à l'interface semi-conducteur isolant et le potentiel de volume du semi-conducteur ($\Psi_s = \Phi_F$) qui correspond au seuil de l'inversion faible :

En surface de semi-conducteur les concentrations de porteurs majoritaires et minoritaires sont égales à n_i (n_i : concentration intrinsèque de porteurs). Le dispositif peut alors conduire

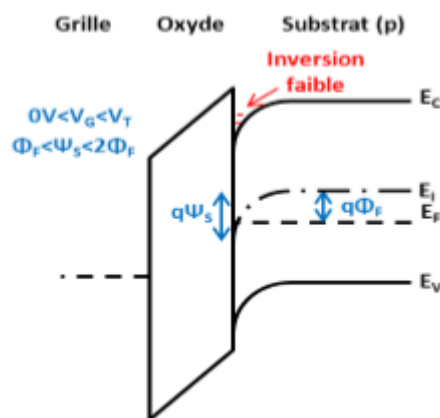


Figure I.6 : diagramme de bandes d'énergie en régime de faible inversion.

I.4.4.2 Régime de forte inversion

($\Psi_s \geq 2\Phi_F, V_{GS} > V_{th}$), la concentration des porteurs minoritaires en surface devient supérieurs à la concentration des porteurs majoritaire dans le volume du semi-conducteur.

C'est dans ce régime que le transistor MOS est principalement utilisé car cette couche de porteurs minoritaire met électriquement en contacte la source et le drain. En effet la source et le drain étant de dopage opposé au substrat leurs porteurs majoritaires correspondant aux porteurs minoritaires de la couche d'inversion. Si on polarise le drain positivement en gardant la source à la masse, les électrons vont être attirés de la couche d'inversion vers le drain, comme la charge d'inversion sous la grille doit rester constante la source va fournir des électrons en quantité équivalente pour compenser les électrons qui sont attirés vers le drain.

Il y'a création de courant d'électrons de source vers le drain qu'on peut contrôler par la polarisation appliqué à la grille.

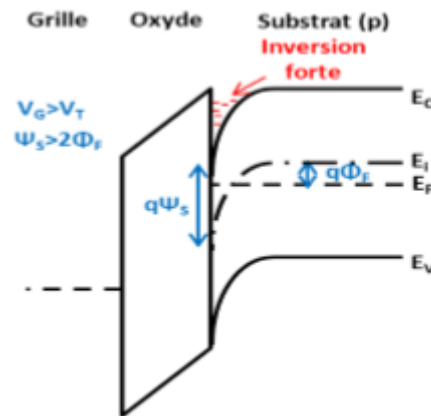


Figure I.7 : diagramme de bandes d'énergie en régime de forte inversion.

I.4.5 Régime linéaire ou Ohmique ($V_G > V_T$) ($V_{DS} \ll V_{DSAT}$)

La tension V_{DS} est faible et négligeable devant la tension V_{GS} , l'application d'une tension sur l'électrode de grille, supérieure à la tension de seuil V_{th} , production d'une couche d'inversion de type n entre la source et le drain, le transistor devient passant ($V_G > V_T$), pour des tensions de drain très faibles, la charge d'inversion par unité de surface Q_{inv} est constante tout le long du canal, un courant de drain circule dans le canal de conduction varie d'une façon proportionnelle par rapport à la tension V_{DS} .

Dans ce cas le canal se comporte comme une résistance, on dit que le transistor est en mode résistif ou ohmique [6].

L'expression du courant de drain peut se mettre sous la forme :

$$I_D = \beta(V_G - V_T - V_D/2)V_D \quad (I.7)$$

$$\beta = (W\mu C_{OX}/L)(\mu A/v^2) \quad (I.8)$$

β : facteur de gain du transistor MOS

W : la largeur du canal du transistor [μm]

L : longueur du canal [μm]

μ : mobilité du porteur [$cm^2/v.s$]

C_{OX} : capacité de l'oxyde par unité de surface [nF/cm^2]

Et la transductance est donnée par :

$$G_{m\text{LIN}} = \beta V_{DS} \quad (\text{I.9})$$

I.4.6. Régime de saturation ($V_{DS} \leq V_{D\text{sat}}$)

Lorsque la tension V_{DS} appliquée est élevée, plus le potentiel coté drain diminue. De ce fait la densité d'électrons et la transductance du coté drain diminuent, le courant de drain n'est plus proportionnel à V_{DS} durant ce régime le courant I_D est indépendant à la tension de drain appliqué.

Pour une tension appliquée au drain est atteinte une certaine valeur de V_D appelée tension de saturation $V_{D\text{SAT}}$ (définie comme $V_{D\text{SAT}} = V_G - V_T$) le canal se pince du coté drain et la conductivité du canal s'annule au voisinage du drain le transistor fonctionne en régime non linéaire

L'expression de la tension de saturation $V_{D\text{sat}}$ et du courant de drain en régime de saturation sont données comme suite :

$$V_{D\text{sat}} = V_{GS} - V_T - (V_{DS}/2) \quad (\text{I.10})$$

$$I_D = \beta (V_G - V_T)^2 \quad (\text{I.11})$$

I.5 Notion de la mobilité :

La mobilité des porteurs est un phénomène de conduction qui décrit la facilité avec laquelle les porteurs se déplacent dans un matériau ou le réseau cristallin, sous l'action d'un champ électrique elle est donnée en $\text{Cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Une technologie donnant une bonne mobilité permet d'obtenir un bon niveau de courant ce qui est crucial pour des transistors MOS. Elle dépend de nombreux paramètres : le champ électrique, l'orientation du cristal, le dopage du substrat ou encore la température [7]. Elle s'exprime en fonction de la masse effective m^* des porteurs, ainsi que du temps moyen entre deux collisions τ appelé aussi le temps de relaxation (temps entre deux collisions). Son expression est donnée par l'équation suivante [23] :

$$\mu = \left(\frac{q \cdot \tau}{m^*} \right) \quad (\text{I.12})$$

La mobilité est relié à la vitesse d'entraînement des porteurs V_d , qui est créée par l'application d'un champ électrique ξ :

$$V_d = -\mu \cdot \xi \quad (\text{I.13})$$

Dans une structure MOS, la mobilité traduit la capacité des porteurs à se déplacer à l'intérieur de la couche d'inversion (canal) sous l'effet d'un champ électrique effectif transverse noté ξ_{eff} . La valeur de ce dernier est directement liée au dopage du canal ainsi qu'à la charge d'inversion selon la relation suivante :

$$\xi_{eff} = \frac{nQ_{inv} + nQ_{dep}}{\epsilon_{si}} \quad (I.14)$$

n : représente le facteur empirique, il est généralement pris égal à 0.5 pour les électrons et 0.3 pour les trous.

La figure suivante montre l'allure de la mobilité en fonction du champ effectif transverse et les différents paramètres influant (collisions sur les phonons, collisions coulombiennes et les collisions sur la rugosité de surface) lors des différentes évolutions :

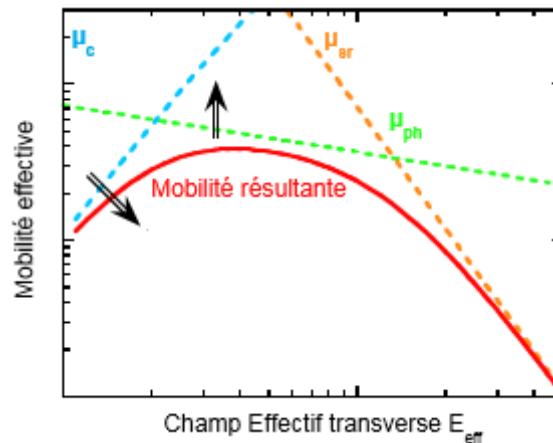


Figure I.8 : allure de la mobilité en fonction du champ effectif transverse.

I.5.1. Mécanismes qui influent sur la mobilité :

Il y'a différents mécanismes de collision qui détériorent la mobilité des porteurs dans la couche d'inversion.

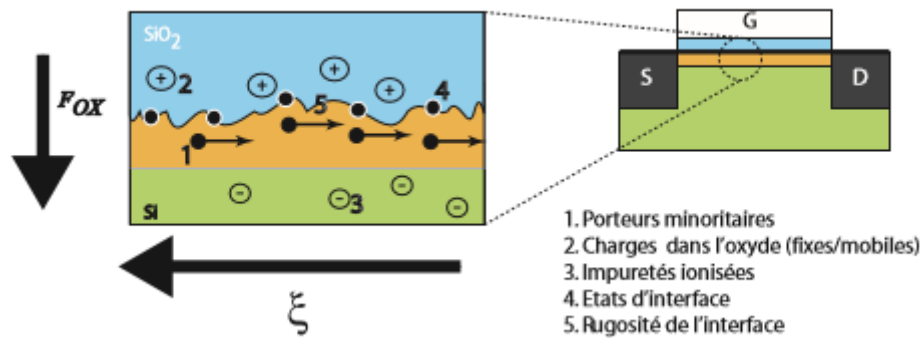


Figure I.9 : Representation des effet responsable sur la reduction de la mobilité.

Avec F_{OX} champ électrique verticale et E le champ latéral

I.5.1.1. Collisions sur les phonons

Ce type de collisions résulte des vibrations du réseau cristallin qui dépend de l'énergie d'excitation. Pour une température inférieure à 100K (faible énergie thermique), on trouve les phonons acoustiques qui prédominent, donnant des collisions quasi-élastiques à faible champ qui conduisent à une mobilité à l'interface de la forme:

$$\mu_{ph} \propto N_{inv}^{1/3} T^{-1} \quad (I.15)$$

où N_{inv} est la concentration de porteurs de la couche d'inversion, T la température absolue. A des températures plus élevées ($100K \leq T \leq 370K$), on trouve les phonons optiques. Ils conduisent à l'expression de la mobilité suivante:

$$\mu_{pho} \propto N_{inv}^{1/\tau} T^{-n} \quad (I.16)$$

Où $\tau=3.6$ et $n=1-1.5$, ces deux constantes dépendant essentiellement de l'orientation cristallographique.

Lors de son transport dans la couche d'inversion, un électron peut entrer en collision avec un ou plusieurs phonons, ce qui se traduit par une chute de la mobilité.

I.5.1.2. Collisions coulombiennes

Les collisions coulombiennes sont dues à la présence de charge électrique parasite, à proximité du canal, qui perturbe le transport des électrons.

Dans la plupart des cas, ces charges sont localisées principalement près de l'interface Si/SiO₂. Ces collisions coulombiennes commencent à se manifester à des températures suffisamment basses lorsque les collisions sur les phonons ne sont pas dominantes [7]. Elles sont importantes en situation de faible inversion, mais deviennent moins effectives lorsqu'on passe en forte inversion à cause de l'effet d'écrantage des charges par les porteurs minoritaires. L'atténuation de la mobilité est donnée par l'expression analytique suivante :

$$\mu_{cc} \propto N_{cs}^{-1} T$$

Où N_{cs} est la concentration de charges de surface, comprenant la charge fixe de l'oxyde et la charge d'états d'interface, plus la charge localisée due aux impuretés ionisées.

Comme pour les collisions photoniques, un électron peut être gêné lors de son transport dans la couche d'inversion (par une charge positive ou négative). Il en résulte une baisse de la mobilité

I.5.1.3. Collisions sur la rugosité de surface

Les défauts à l'interface Si/SiO₂ constituent une importante source de collisions. Ces collisions sur les rugosités de surface sont indépendantes de la température et il en résulte qu'à fort champ électrique (V_g élevé) les électrons proche de l'interface auront tendance à subir cette rugosité de surface, ce qui a pour conséquence de freiner leur transport dans le canal. L'influence de la rugosité de surface sur la réduction de la mobilité augmente fortement avec la diminution de l'épaisseur de l'isolant de grille. Cela se traduit par une diminution du courant I_d à partir d'une certaine tension V_g . ce phénomène est pris en compte dans le modèle empirique de la mobilité effective via le terme θ_2 .

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_g - V_t) + \theta_2(V_g - V_t)^2} \quad (I.17)$$

Où θ_1 et θ_2 sont respectivement les facteurs linéaire et quadratique d'atténuation de la mobilité. Nous pouvons donc écrire l'expression du courant de drain en inversion forte pour des transistors MOS à diélectrique de grille mince :

$$I_d = \frac{w}{L} \mu_0 C_{ox} V_d \frac{(V_g - V_t)}{1 + \theta_1(V_g - V_t) + \theta_2(V_g - V_t)^2} \quad (I.18)$$

I.6. évolution technologique du transistor :

Depuis les années 60, l'intégration en microélectronique suit une évolution exponentielle.

Cette évolution est connue sous le nom de « loi de Moore ». G. Moore, l'un des co-fondateurs

d'Intel avait prédit, en 1973, que le nombre de transistors intégrés sur une puce doublerait environ tous les 18 mois.

La technologie d'aujourd'hui permet la réalisation des transistors MOS avec des canaux ultracourts allant jusqu'à des longueurs déca nanométriques (voir figure I.10).

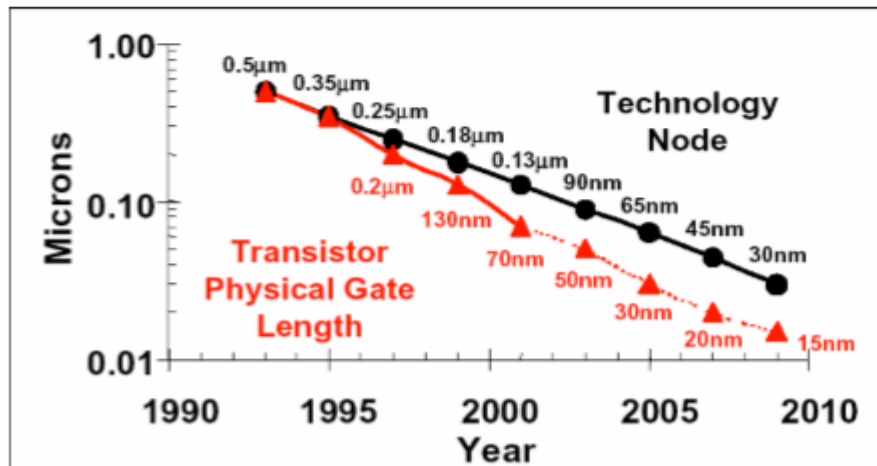


Figure I.10 : Diminution de longueur de grille des technologies CMOS

Parmi les principaux avantages induits par la réduction d'échelle on peut citer l'augmentation de la densité d'intégration, la réduction de coûts de fabrication, la réduction du temps de transit des porteurs dans le canal, la réduction de la consommation. Mais la réduction de la géométrie des transistors MOS entraîne aussi des modifications néfastes sur les performances de ce dernier parmi lesquels : la diminution de la mobilité, la dépendance de la tension de seuil avec la longueur de canal, l'augmentation de la conductance de sortie etc. Des lois de réduction d'échelle ont été proposées afin de minimiser les effets de canaux courts et les porteurs chauds, le premier sont lié à la réduction des dimensions des dispositifs alors que les seconds résultent de l'augmentation des champs électriques. Leur but est de garder le même niveau de champ électrique interne quel que soit les dimensions du transistor [8].

Il ne suffit pas de diminuer les dimensions géométriques du transistor (L et W) mais aussi les dimensions des couches technologiques de celui-ci : oxyde de grille, jonctions source et drain ...etc. Par exemple, pour un transistor de sub-0.25µm de longueur de grille, l'oxyde de grille ne doit pas être plus épais que 1.2nm, ce qui ne signifie que quelques monocouches de silice. Or une si fine couche d'isolant va fuir par effet tunnel et ne jouera plus son rôle d'isolant.

I.6.1 Effet de la miniaturisation (scaling) :

Afin d'améliorer les performances des transistors et de pouvoir réaliser des fonctions électroniques de plus en plus complexes, les dimensions des dispositifs sont réduites, l'épaisseur de l'oxyde de grille devient de plus en plus mince tellement mince qu'il peut être source de courant de fuite. Cependant cette opération induit les effets néfastes au bon fonctionnement des MOSFET, ceux sont les effets de canaux courts et de porteurs chauds les premiers sont liés à la réduction des dimensions du dispositif alors que les seconds résultent de l'augmentation des champs électriques. On cherche à avoir le rapport I_{OFF}/I_{ON} le plus faible possible.

Au niveau du potentiel le long du canal, sous l'influence des zones de charge d'espace des jonctions, la barrière Source/Canal/Drain va s'abaisser (Figure I.13). La tension de seuil V_T va donc chuter. Ce premier effet est appelé SCE, ou « Short Channel Effect ». A cela, se rajoute l'effet de la polarisation du drain, qui va également modifier la répartition du potentiel au niveau de la source. A fort champ de drain, la barrière de potentiel sera, à nouveau, fortement abaissée, et la tension de seuil à nouveau diminuée. C'est l'effet DIBL (« Drain Induced Barrier Lowering »). L'impact de ces différents effets sur les caractéristiques électriques du MOSFET est présenté sur la Figure I.11 Les effets canaux courts conduisent ainsi à un abaissement non contrôlé de la tension de seuil du MOSFET et donc à une augmentation parasite du courant de fuite I_{OFF} du transistor.

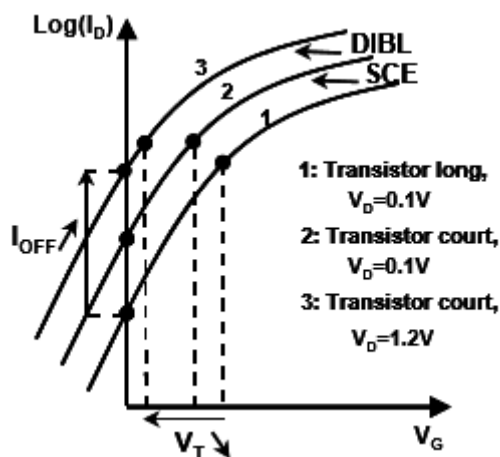


Figure I.11 : Impact des effets SCE et DIBL sur les caractéristiques électriques d'un nMOSFET.

I.6.1.1. Effets de canaux courts SCE (short channel effect)

Origine Afin de comprendre l'origine des effets canaux courts, L'équation de Poisson, qui donne l'évolution du potentiel dans la structure s'exprime par :

$$\epsilon_{si} \frac{\partial E_x}{\partial x}(x, y) + \epsilon_{si} \frac{\partial E_y}{\partial y}(x, y) = \rho(y) \quad (I.19)$$

La composante verticale du champ électrique E_x provient principalement de l'électrode de grille. La composante latérale E_y du champ électrique est originaire des jonctions de source et de drain. On peut associer le premier terme de l'équation à une densité de charge de grille qN_g et le deuxième à une densité de charges de jonction qN_j . La somme de qN_g et qN_j peut être interprétée comme la densité de charge totale. Dans le cas des transistors à canaux long, la composante transversale de champ E_y peut être négligée. L'équation de Poisson se résume dans ce cas à sa forme unidimensionnelle : $qN_g = \rho$

En réduisant les dimensions des transistors, la composante latérale du champ n'est plus négligeable et le terme qN_j ne peut plus être ignoré. La charge n'est alors plus contrôlée uniquement par la grille. Comme la densité de charges de jonction est dépendante des dimensions du transistor et des polarisations appliquées, la tension de seuil dépend également de ces grandeurs. La miniaturisation du canal change la distribution du potentiel qui passe d'une distribution unidimensionnelle à une distribution bidimensionnelle. On voit donc que l'approximation du canal graduel faite dans le cas des canaux longs n'est plus valable pour les transistors MOS à canaux courts.

L'effet canal court traduit la diminution de la tension de seuil par la diminution de la longueur de la grille du dispositif. Il est lié au fait que le potentiel électrostatique entre la source et le canal et entre le canal et le drain qui graduel à cause des zones de charge d'espace le long des jonctions. lorsque la distance entre la source et le drain atteint l'ordre de grandeur des zones de charge d'espace, la barrière de potentiel dans le canal chute et engendre une baisse de la tension de seuil appelé SCE (short channel effect).

Ces effet entraine l'augmentation du courant de fuite qui est liée à la diminution de la tension de seuil

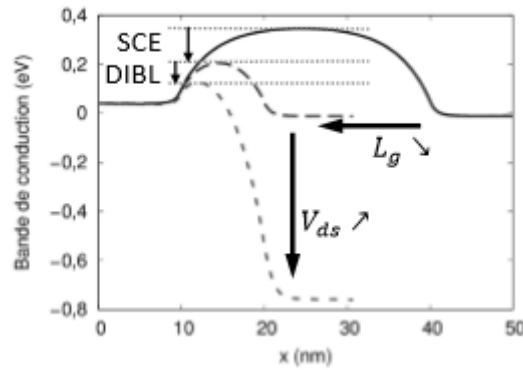


Figure I.12 : effet canal court SCE et de DIBL sur la barrière de potentiel

I.6.1.2 Effet DIBL (Drain Induced Barrier Lowering)

Lorsque le drain est fortement polarisé ($V_d > V_{dsat}$), l'effet DIBL (Drain Induced Barrier Lowering) devient important. Il se traduit par une réduction de la hauteur de barrière source/substrat à fort V_d induisant également une diminution de la tension de seuil. Il en résulte une augmentation du courant de drain avec la tension de drain en régime de saturation. Dans les MOSFETs à canal court, les zones de diffusion de source et de drain sont proches ce qui entraîne une pénétration importante du champ électrique du drain vers la source.

En raison de cette influence du drain la barrière de potentiel à la source peut donc être réduite.

L'importance de cet effet dépend bien sûr de la longueur de canal mais également de la profondeur de jonction ou encore du dopage. La conséquence de l'abaissement de la barrière de potentiel de la source est une injection d'électrons de la source entraînant une augmentation du courant de drain [1].

L'effet DIBL est d'autant plus visible lorsque la tension de drain augmente et que la longueur du canal diminue. Il peut être aussi modélisé au niveau électrique par une réduction de la tension de seuil en fonction de la tension appliquée sur le drain.

$$V_t = V_{t0} - \lambda V_d \quad (I.20)$$

où V_{t0} est la tension de seuil pour V_d proche de zéro. Le paramètre λ est le paramètre de DIBL sont relié au coefficient B .

$$\lambda = B \frac{C_{ox} + C_d}{C_{ox}} \quad (I.21)$$

Ce modèle présente l'avantage de déterminer le paramètre DIBL λ sans avoir à mesurer une tension de seuil, évitant de la sorte les incertitudes dues à la définition de V_t . Ainsi, le DIBL est alors caractérisé par la variation de la tension de seuil selon la relation et pour le mesurer, il suffit donc de mesurer le décalage ΔV_t . Le courant I_d est une fonction de V_d et de $(V_g - V_t)$ de la faible jusqu'à la forte inversion.

Comme le montre la figure I.13 l'abaissement de la barrière de potentiel source-canal-drain

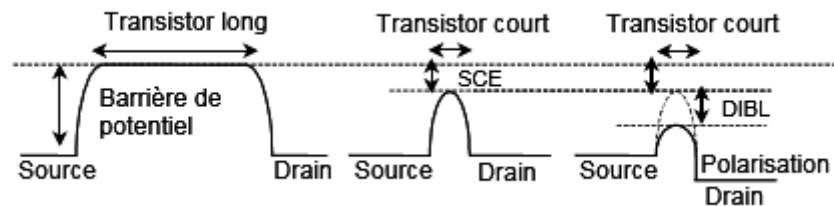


Figure I.13 : Abaissement de la barrière de potentiel dans le canal dû à l'effet successif de la réduction des dimensions du transistor (SCE) et de la polarisation du drain (DIBL)

I.6.1.3. Perçage (punch through)

Pour des tensions de drain élevées, les zones de déplétion de part et d'autre du canal peuvent se toucher, dans ce cas $W_s + W_d = L_g$, ce phénomène porte le nom de perçage (punch through).

Les porteurs majoritaires de la source (les électrons dans le cas d'un transistor MOS de type N) peuvent être injectés directement dans le canal entièrement déplété et collectés par le drain. Le phénomène est essentiellement lié à la hauteur de la barrière de potentiel entre la source et le drain à travers le volume du substrat. Il est fortement dépendant de l'extension des régions de déplétion sous le canal. Le punch through peut être minimisé par un dopage adéquat du canal susceptible de favoriser l'augmentation de la barrière de potentiel source substrat, par exemple par une implantation de canal rétrograde, ou en élaborant une technologie ground plan.

I.6.1.4. Effets de porteurs chauds

Grâce au champ électrique les porteurs acquièrent de l'énergie et en dissipent une partie au réseau cristallin par des collisions sur les phonons acoustiques et optiques. Lorsque le champ électrique longitudinal augmente, les porteurs gagnent plus d'énergie qu'ils n'en dissipent. En utilisant une distribution Maxwellienne [8], on peut dire que $T_p > T_r$, où T_p est la température correspondant aux porteurs et T_r la température thermique du réseau. Sous l'action du champ électrique longitudinal les porteurs peuvent devenir des porteurs "chauds".

A la saturation, le champ électrique de la jonction drain-canal polarisé en inverse est d'autant plus important que la longueur du canal diminue tel que :

$$E = \frac{V_{DS}}{L} \quad (I.22)$$

La génération de paires électron-trou est l'une des conséquences principales des effets de porteurs chauds ainsi que la montre la figure au-dessus.

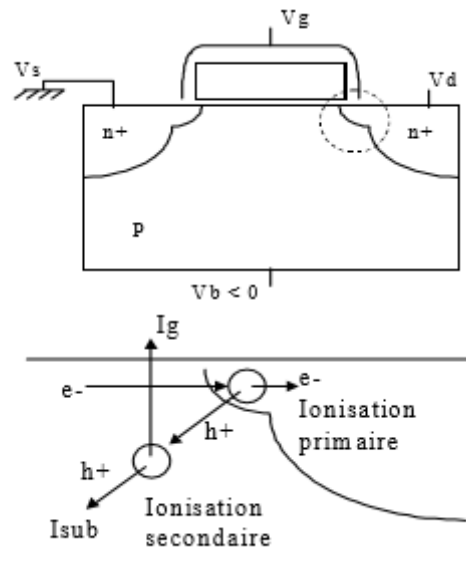


Figure I.14 : Diagramme illustrant les mécanismes d'ionisation par impact dans un MOSFET.

Ce phénomène se produit lorsque les électrons ou les trous ont une énergie suffisante pour ioniser par impact les atomes du réseau. Nous pouvons distinguer deux stades d'ionisation par impact. L'ionisation primaire dont les porteurs du canal sont responsables : les trous générés vont constituer le courant de substrat alors que les électrons seront collectés par le drain (dans le cas d'un nMOSFET). Et l'ionisation secondaire pour laquelle une partie des porteurs créés par ionisation primaire constitue la source de cette ionisation secondaire. Un courant de grille en est issu.

Les trous générés par cette ionisation peuvent emprunter différents chemins :

Ils peuvent être attirés par l'électrode substrat est donné suite à un fort courant de substrat, certains d'entre eux peuvent migrer vers la source qui va créer l'abaissement de la barrière de potentiel de la jonction substrat-canal, il y aura le phénomène d'avalanche qui va se créer au voisinage du drain.

I.7. Solutions technologiques :

Comme on n'a pas pu éliminer ces effets présentés précédemment qui sont néfastes aux fonctionnements des MOSFET on a essayé de les limiter. Les nombreux ajouts technologiques sont aujourd'hui couramment employés dans les technologies les plus avancées. Nous en présenterons trois qui aujourd'hui sont standardisés.

I.7.1. Extensions LDD (Lightly Doped Drain)

On a présentés les effets de porteurs chauds. Rappelons qu'à forte polarisation de drain, se forme une ionisation par impact primaire et secondaire qui crée des défauts dans l'oxyde près du drain provoquant une baisse de la transconductance car ces défauts dégradent la mobilité des porteurs [1]. Ce phénomène entraîne un vieillissement prématuré du transistor affectant donc sa fiabilité. Pour limiter ce phénomène, des extensions LDD (Lightly Doped Drain) sont utilisées.

Les extensions LDD sont des extensions des zones source et drain sous la grille mais avec un dopage plus faible. Ces extensions permettent une réduction du champ électrique effectif maximal coté drain. Les porteurs ne seront plus suffisamment accélérés pour engendrer le phénomène d'ionisation, Comme les extensions LDD ont une résistivité assez importante, le champ latéral ne chute pas à zéro au bord du LDD.

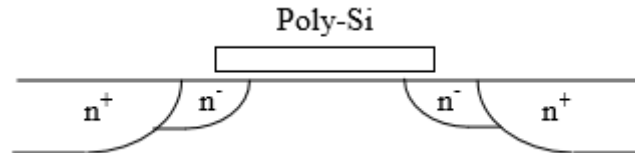


Figure I.15: Structure LDD

I.7.2. Poches de surdopage

Pour pallier la perte de charge contrôlée par la grille, une idée serait d'implanter des zones plus fortement dopées que le substrat, que l'on appelle poches, près de la source et du drain. En effet, lorsque l'on va rapprocher la source et le drain le surplus de charge présents dans ces poches va compenser les charges perdues pour la grille à cause des jonctions source-substrat et drain-substrat.

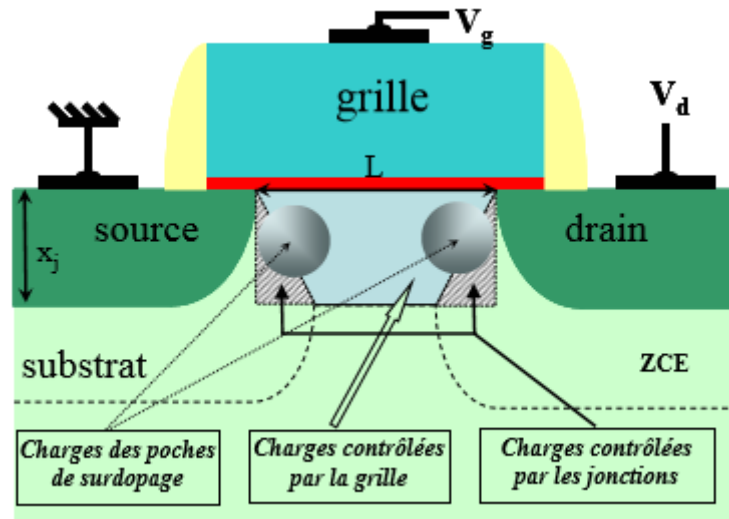


Figure I .16 : Effet des poches de surdopage sur le partage de charge.

Pour expliquer le partage de charge, on y rajoute des poches de surdopage. Sur cette figure I.16, on s'aperçoit donc que les poches sont là pour compenser les charges passées sous le contrôle des jonctions lorsqu'on a diminué la longueur de grille.

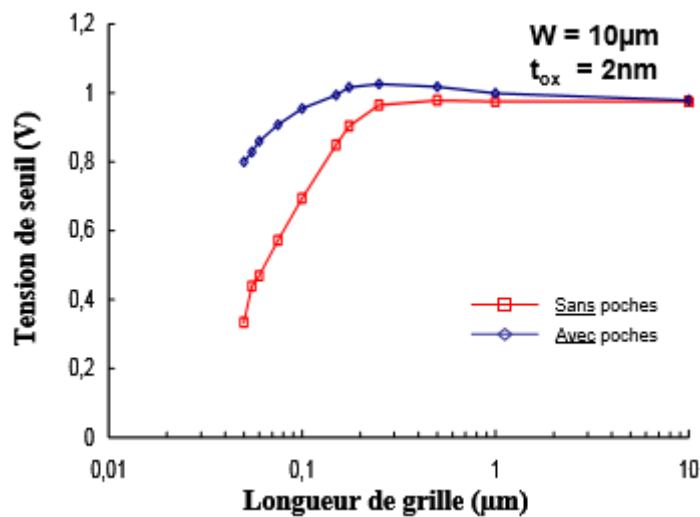


Figure I.17 : Exemple de l'effet des poches de surdopage sur la tension de seuil.

Cette figure montre un exemple de comparaison de la variation de la tension de seuil avec la longueur de grille dans le cas de dispositifs avec et sans poches. Ainsi, pour les transistors long ($L=10\mu\text{m}$), il n'y a pas de différence de valeur car le surplus de charge est négligeable devant la charge totale de la zone

désertée contrôlée par la grille. Si on diminue la longueur de grille, on remarque une légère augmentation de la tension de seuil, celle-ci est due au surplus de charge apporté par les poches qui entraîne une hausse de la charge désertée contrôlée par la grille donc une hausse de la tension de seuil. On parle dans ce cas d'effet de canal court inverse ou RSCE (Reverse Short Channel Effect) en anglais. Lorsque le partage se charge commence à se manifester (ici à $L \approx 0,25 \mu\text{m}$) les deux phénomènes entre en compétition ce qui maintient la tension de seuil à peu près constante jusqu'aux plus faibles longueurs de grille. Le tout est de choisir la bonne dose d'implantation des poches ainsi que leur énergie d'implantation (donc leur profondeur) pour arriver à maintenir une tension de seuil identique quel que soit la longueur de grille (cette valeur étant fixée pour les transistors long à la première implantation V_t). Pour remarque ces poches peuvent rester localisées là où elles ont été implantées ou bien diffuser vers l'oxyde et les jonctions source-drain (ce qui est souvent le cas des nMOS car on utilise du Bore et cet élément diffuse facilement), nous parlons alors de « halos » de surdopage, mais le terme « poches » est plus général et c'est celui le plus souvent utilisé dans ce mémoire.

I.7.3. Siliciuration source et drain

Aux faibles longueurs de grille, la résistance source-drain influe sur le courant de drain. Afin d'enrayer la baisse du courant de drain qui en résulte, on peut chercher à diminuer la valeur des résistances d'accès source et drain. Pour cela, on siliciure les accès source et drain pour les métalliser et ainsi diminuer la valeur de leur résistance carrée. Pour cela on peut utiliser plusieurs alliages à base de Silicium : parmi les premiers utilisés il y eu le Siliciure de Titane (TiSi_2), puis le Siliciure de Cobalt (CoSi_2) alors que les dernières générations de transistors s'orientent plutôt vers le Siliciure de Nickel (NiSi).

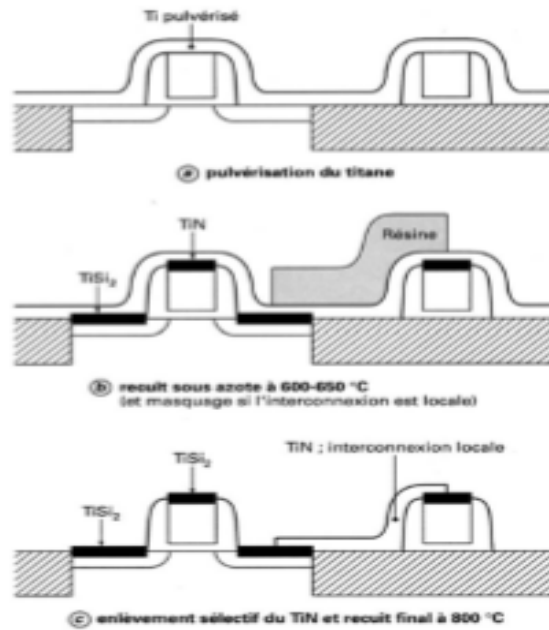


Figure I.18 : Formation du TiSi_2 dans un procédé CMOS afin de siliciurer les accès source et drain

La figure I.18 donne un exemple de siliciuration en utilisant du siliciure de Titane (TiSi_2). Elle procède en quatre étapes :

- Pulvérisation du Titane.
- Recuit sous Azote (formation du TiSi_2 par réaction avec le Silicium et de TiN aux endroits dépourvus de Silicium).
- Retrait sélectif du TiN .
- Recuit final ayant pour objectif la réduction la réduction de la résistivité du TiSi_2 . Un autre avantage majeur de la siliciuration est de pouvoir shunter les grilles duales $\text{N}^+ \text{P}^+$ lorsque l'on utilise ce type de grille.

I.8. Conclusion :

Dans ce chapitre en première partie nous avons tout d'abord étudié et présenté le transistor MOSFET en abordant sa structure, son principe ainsi que ces différents régimes de fonctionnement, on a fait un petit rappel sur la mobilité en passant sur les différents mécanismes de sa réduction.

Pour la deuxième partie de ce chapitre Les MOSFET sont soumis à une miniaturisation incessante, leurs dimensions atteignent désormais le régime nanométrique, cette réduction de dimension a engendré de nombreux phénomènes parasites qui détériorent la caractéristique courante tension, c'est

pour cela qu'on a discuté l'évolution du dispositif dans cette partie on introduisant les effets de la miniaturisation ainsi que ces solutions technologique.

II.1. Introduction :

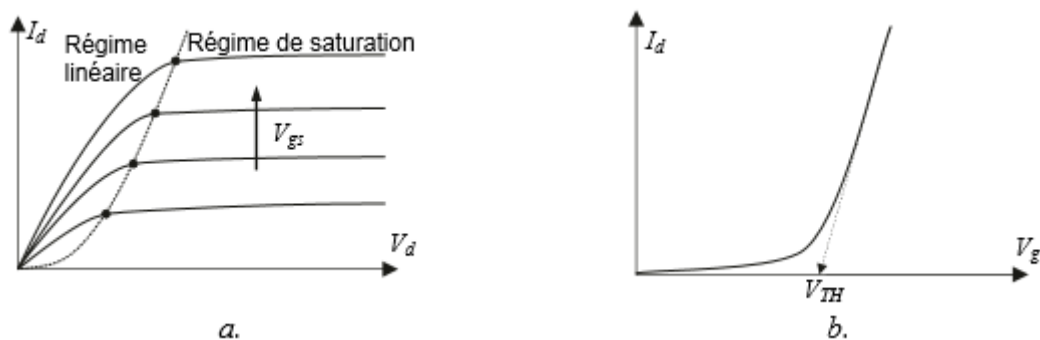
L'extraction des paramètres électriques est très importante en microélectronique, car elle permet une meilleure évaluation du comportement et du rendement des composants, les résultats obtenus de l'extraction mettent en évidence les différents effets qui nuisent à son bon fonctionnement, et permet d'apporter des corrections nécessaires à ces effets néfastes et d'introduire ces paramètres dans des simulateurs afin d'anticiper d'autres effets.

C'est pour cela qu'il est nécessaire de rappeler quelques méthodes d'extraction de paramètres électriques et physiques. Parmi ces méthodes on citera la technique I(V), Méthode Mc Larty, Méthode de Hamer, C(V), pompage de charge ainsi que la technique de bruit.

II.2. Technique de caractérisation I(V) :

Principe

La méthode courant-tension I(V) consiste à mesurer le courant de drain I_d (courant circulant dans le canal) en fonction de la tension drain-source V_d , ou bien en fonction de la tension de grille V_g . Le courant de drain varie d'abord proportionnellement à la tension drain-source V_{ds} : c'est le régime linéaire. Après une certaine valeur de V_{ds} le courant sature : c'est le régime de saturation (Figure II.1) [16]. Le réseau de caractéristiques (caractéristique de sortie et de transfert) ainsi obtenu permet d'établir directement la valeur de la tension de seuil V_{TH} (Figure II.1).



**Figure II.1 : Réseau de caractéristiques du MOSFET a) caractéristique de sortie
b) caractéristique de transfert.**

La mesure courant-tension permet de visualiser le décalage de ΔV_{FB}^{irr} dû à la quantité de charges déposée par le stress. La Figure II.2 illustre ce décalage pour les deux types de MOSFET.

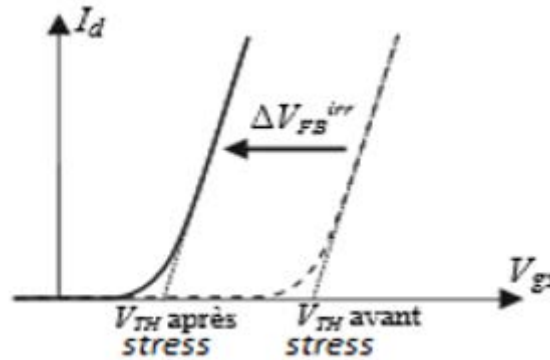


Figure II.2 : Représentation schématique du décalage de la tension de seuil d'un MOSFET à canal N sur substrat P.

Ce type de mesure permet de déterminer avec une grande précision la tension de seuil V_{TH} d'une structure MOS, mais requiert l'existence d'un drain et d'une source qui demande des étapes de fabrications coûteuses lorsqu'il s'agit de caractériser le matériau seul.

L'évaluation des performances d'un dispositif MOSFET s'obtient à l'aide des caractéristiques du transistor. La caractérisation $I(V)$ permet la détermination des paramètres de fonctionnement comme la tension de seuil V_T en linéaire et en saturé, la transductance G_m , les coefficients de réduction de la mobilité θ (ou θ_1 θ_2), la mobilité en champ faible μ_0 , la longueur-largeur du canal L_g - W_g .

II.2.1. Notion de la tension de seuil :

Dans un transistor MOSFET, la tension de seuil est définie comme la tension maximale appliquée entre la grille et la source pour obtenir la forte inversion.

$\Psi_s = 2\Phi_F$ avec : Φ_F est le potentiel de fermi.

La technique utilisée pour l'extraction des paramètres du transistor MOS repose sur l'exploitation des caractéristiques de transfert $I_d(V_g)$ et $g_m(V_g)$ en régime ohmique. Il s'agit de construire la fonction $Y(V_g) = I_d / \sqrt{g_m}$. (II.1)

Celle-ci ne dépend pas du premier facteur de réduction de la mobilité θ_1 et des résistances séries cotés source drain R_{sd} , le deuxième facteur d'atténuation de mobilité devient non négligeable pour les technologies avancées sub 0.25 μ m.

La transductance g_m d'un transistor MOS est définie comme étant égale à la dérivée du courant I_d par rapport à la tension de grille V_g . donc on obtient l'expression suivante :

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \tag{II.2}$$

Sa revient à négliger le facteur de réduction de mobilité θ et les résistances d'accès. En régime linéaire la tension de seuil se détermine en modélisant le courant de sortie $I_d(V_g)$ par une droite, autrement dit on utilise sa tangente au point d'inflexion [24].

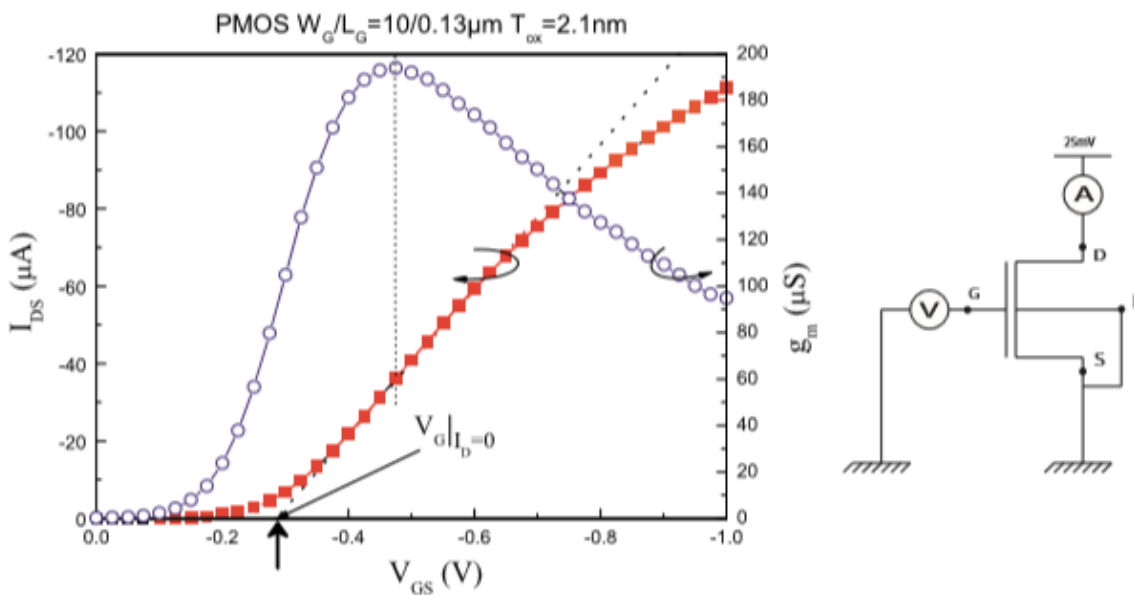


Figure II.3 : tracé du courant de drain en fonction de la tension de grille pour $V_{ds}=25\text{mV}$, à droite le principe de la mesure.

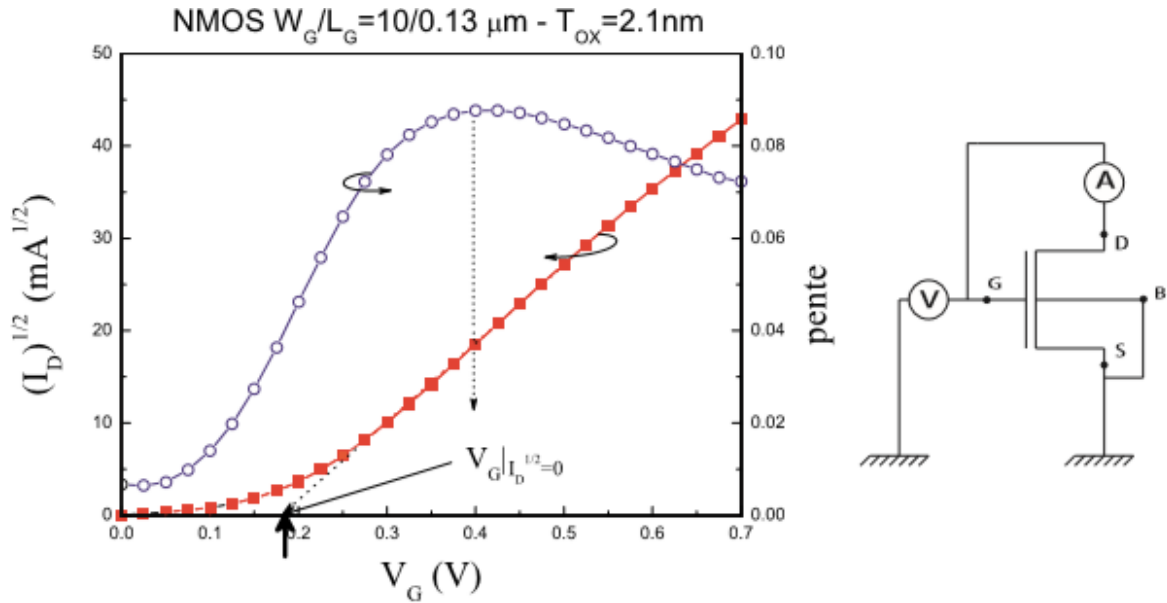


Figure II.4 : Technique d’extraction de la tension de seuil pour le régime saturé, à droite le principe de la mesure.

II.2.2. La méthode fonction Y :

La fonction Y est définie comme la combinaison de la courbe de courant de drain I_d et celle de la transconductance g_m Figure II.5.(a) . Elle permet d’extraire la tension de seuil et la Mobilité à faible champ μ_0 . Cette méthode apporte plus de précisions par rapport aux autres méthodes. Elle permet de s’affranchir de l’impact du premier facteur d’atténuation de la mobilité θ_1 et donc de la résistance d’accès R_{sd} . La fonction Y est définie par le courant du drain divisé par la racine carrée de la transconductance, en prenant l’expression suivante du courant :

$$I_d = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \frac{1}{1 + \theta_1 (V_g - V_{th})} (V_g - V_{th}) V_d$$

En inversion forte, la fonction Y varie linéairement avec V_g et la tension de seuil correspond à l’intersection avec l’axe des abscisses comme le montre la Figure II.5 (b).

$$Y(V_g) = \frac{I_d}{\sqrt{g_m}} = \sqrt{\frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 V_d} (V_g - V_{th}) = \sqrt{G_{m0}} (V_g - V_{th})$$

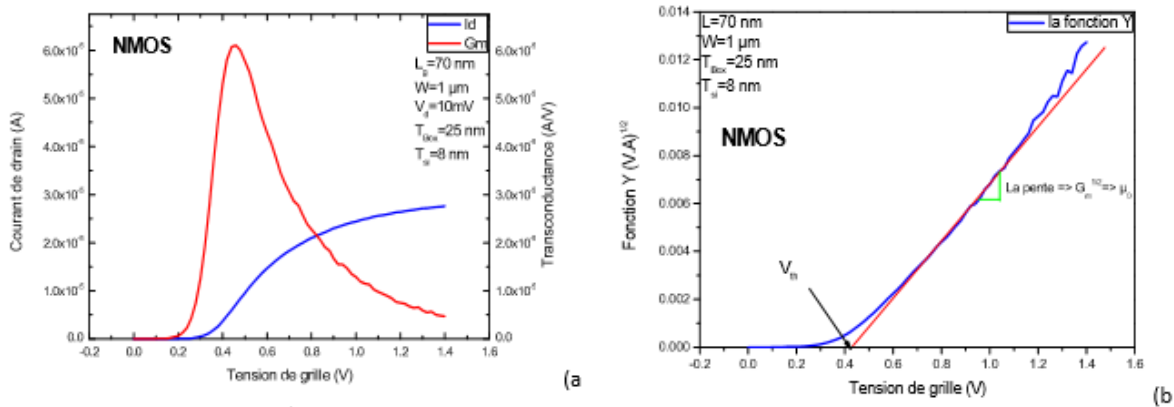


Figure II.5 : Exemple de construction de la fonction Y a) Courbe de courant et de transconductance à faible V_d b) extraction de V_{th} et $G_m^{1/2}$.

II.2.3. Pente sous le seuil :

Quand le transistor est en régime de fonctionnement de faible inversion. L'inverse de la pente sous le seuil S , exprimé en mV/décade, informe de combien il faut diminuer la tension V_{GS} pour réduire le courant sous le seuil d'une décade, il s'agit d'un paramètre capital pour l'optimisation du rapport courant de fuite et courant de saturation, car à tension de seuil égale, une diminution de la valeur de la pente sous le seuil permet une diminution du courant I_{off} sans dégradation du courant sous le seuil. Elle est l'inverse de la pente, au sens mathématique de la droite $\log(ID) = f(V_{GS})$:

$$S = \frac{kT}{q} \cdot \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad (II.3)$$

C_{dep} est la capacité de la couche de déplétion dans le substrat. C_{it} est la capacité associée aux états d'interface. Par sa dépendance en C_{it} , la pente sous le seuil est révélatrice de la qualité de l'interface. La pente idéale, en négligeant C_{dep} et C_{it} devant C_{ox} , vaut $S = kT/q \ln 10$, ce qui correspond à environ 60 mV/décade à température ambiante.

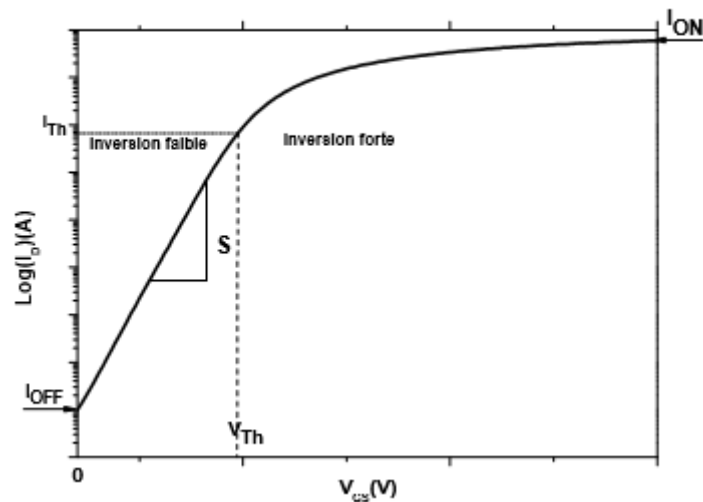


Figure II.5 : Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.

La fonction Y est linéaire en V_G lorsque θ_2 est faible, la courbe de $Y(V_G)$ dans la région linéaire ($\theta_2=0$) sont utilisées pour extraire V_t et G_m . V_t est extraite par extrapolation à $Y=0$ de la partie linéaire de la caractéristique, G_m est donné par la pente de $Y(V_G)$.

Une fois les valeurs V_t et G_m connues, on peut calculer le facteur effectif de réduction de la mobilité θ_{eff} . L'extraction des facteurs d'atténuation de la mobilité se fait en introduisant un facteur d'atténuation effectif θ_{eff} .

II.2.4. Extraction des résistances séries :

Pour les transistors de longueur de grille submicronique, les effets des résistances séries sont une cause relativement importante de perte de performance. Mais avec la réduction de la longueur du canal les résistances d'accès ou résistances séries ($R_{sd}=R_s+R_d$) tendent à dépasser celle du canal. Réduire ces résistances représente un grand challenge pour les prochains nœuds technologiques [11]. La résistance totale d'un transistor peut être décomposée en deux parties :

-La résistance du canal de conduction.

Les résistances d'accès coté source drain.

Les résistances d'accès sont globalement liées aux jonctions et aux contacts (de source et de drain), ainsi qu'aux interconnexions. Ces résistances d'accès notées R_{SD} , entraîne une chute de potentiel aux bornes réelles du canal (S' et D') et entre source et grille (S' et G). On supposant $R_D = R_S = R_{SD}/2$; R_D : résistances séries coté drain ; R_S : résistances séries coté drain.

$$V_{GS'} = V_{GS} - R_{SD} \cdot (I_D/2) \quad (II.4)$$

$$V_{D'S'} = V_{DS} - R_{SD} I_D \quad (II.5)$$

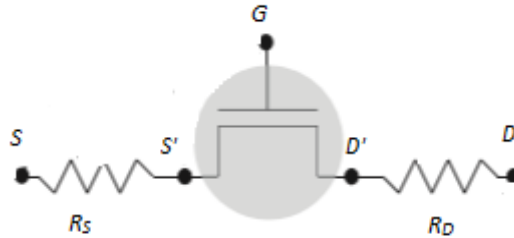


Figure II.6 : schéma électrique d'un transistor avec prise en compte des résistances sériees R_{SD} .

II.2.5. Détermination des dimensions effectives du canal :

Il existe systématiquement une différence entre les dimensions dessinées sur le masque de gravure et la taille réelle du canal. Ces variations sont dues aux procédés de fabrication, et sont donc identiques pour l'ensemble des dispositifs élaborés avec la même technologie. la différence ΔL_G sur la longueur électrique du canal est la conséquence à la fois du phénomène de sur gravure et de la diffusion latérale des dopants des zones source/drain. Quand a ΔW_G il découle de la sur gravure et du type d'isolation latérale (LOCOS ou STI) [24].

II.2.5.1. Extraction de ΔL_G :

L'extraction de la longueur électrique $L_{eff} = L_G - \Delta L_G$ peut s'effectuer en disposant d'un lot de transistors de longueur variable et de largeur fixé. Pour chaque transistor on mesure $I_{DS}(V_{GS})$ afin d'obtenir le maximum de la transductance. Cela permet de n'ignorer la variation de la mobilité en écrivant :

$$I_{DS} = \frac{\mu_0 C_{OX} W_G}{L_G - \Delta L_G} V_{DS} (V_{GS} - V_{Th} - \alpha V_{DS}/2) \quad \rightarrow \quad \frac{1}{g_m} = \frac{1}{\mu_0 C_{OX} W_G V_{DS}} (L_G - \Delta L_G) \quad (II.6)$$

Cette relation est linéaire et le graphe de G_{max}^{-1} qui est l'abscisse a donnée et $L_{eff} = L - \Delta L$. (II.7)

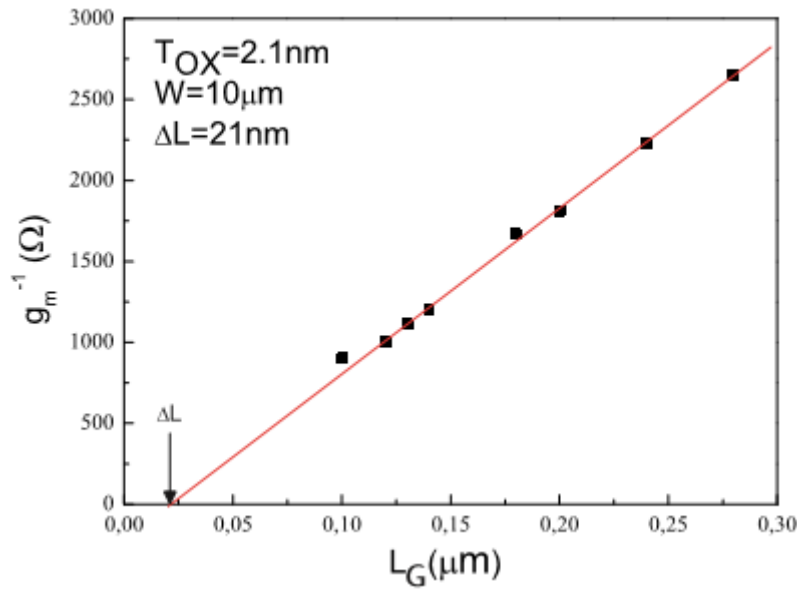


Figure II.7 : Détermination de la longueur effective du canal.

II.2.5.2 Extraction de ΔW_G :

La caractérisation de la largeur effective suit la même stratégie : a partir d'un lot de transistor ayant la longueur fixée et la largeur variable.

II.3. Méthode Mc Larty :

Cette méthode se base sur le dérivé premier et second de l'inverse du courant de drain. Elle permet d'extraire les deux facteurs d'atténuations θ_1 et θ_2 ainsi que la tension de seuil et la mobilité à faible champ μ_0 . L'avantage principal de cette méthode est qu'elle permet de supprimer l'influence de la résistance d'accès source-drain R_{sd} ; en effet les équations (II.9) et (II.11) ne dépendent pas du premier facteur d'atténuation de mobilité θ_1 , La première dérivée donne par :

$$f_{Mc} \left(\frac{1}{(V_g - V_{th})^2} \right) = \frac{\partial}{\partial V_g} \left(\frac{1}{I_d} \right) = \frac{1}{A} \left(\theta_2 - \frac{1}{(V_g - V_{th})^2} \right) \tag{II.8}$$

Avec $A = C_{ox} \cdot V_d \cdot \mu_0 \cdot (W/L)$. Cette équation permet d'extraire θ_2 qui correspond à l'abscisse à l'origine multiplié par A.

La dérivée seconde donne :

$$\frac{\partial^2}{\partial V_g^2} \left(\frac{1}{I_d} \right) = \frac{1}{A} \frac{2}{(V_g - V_{th})^3} \quad (\text{II.9})$$

La fonction de Mc Larty est définie comme :

$$Mc(V_g) = \left(\frac{\partial^2}{\partial V_g^2} \left(\frac{1}{I_d} \right) \right)^{\frac{1}{3}} = \left(\frac{2}{A} \right)^{\frac{1}{3}} (V_g - V_{th}) \quad (\text{II.10})$$

L'abscisse à l'origine de cette fonction permet d'extraire la tension de seuil et la pente permet d'extraire la mobilité à faible champs (Figure II.8).

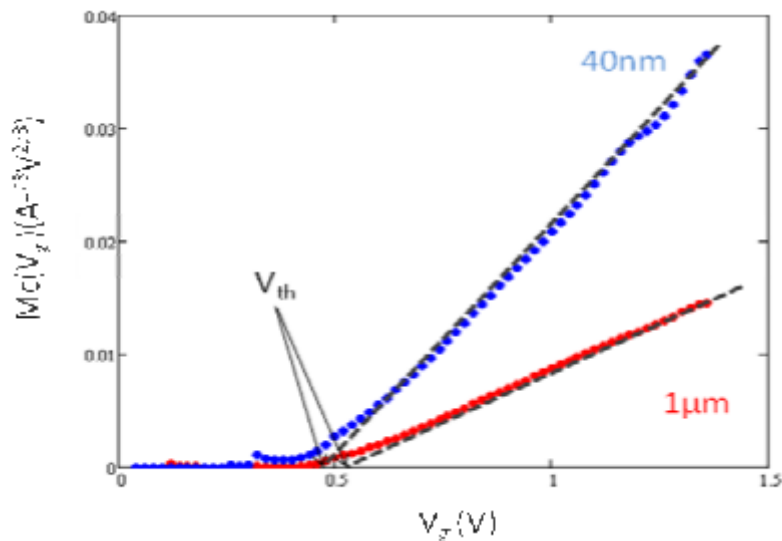


Figure II.8 : Fonction de Mc Larty en fonction de la tension de grille sur des NMOS FD SOI.

Le principal défaut de cette méthode est que la dérivée seconde induit une courbe bruitée ce qui peut poser des problèmes pour extraire le V_{th} et qui provoque des erreurs surtout pour les faibles longueurs de grilles.

II.3. Méthode de Hamer :

Il s'agit d'une procédure numérique d'optimisation des paramètres G_m , V_{th} , θ_1 et θ_2 de façon à faire correspondre le mieux possible les résultats expérimentaux avec la loi :

$$I_d = \frac{G_m(V_g - V_{th}) * V_d}{1 + \theta_1 * (V_g - V_{th}) + \theta_2 * (V_g - V_{th})^2} \quad (\text{II.11})$$

L'avantage majeur de cette méthode c'est qu'elle est simple à programmer et à automatiser à l'échelle industrielle, malheureusement elle a aussi des inconvénients. Elle dépend des valeurs initiales qu'on injecte pour déterminer ces mêmes variables.

II.4. Méthode C(V) :

Principe

La méthode capacité-tension C(V) est une technique originale mise au point dès les années 60 pour caractériser la capacité métal-oxyde-semi-conducteur [25], est la méthode de caractérisation électrique la plus utilisée pour évaluer la quantité de charges dans l'isolant d'une structure MOS. C'est la technique d'extraction de la mobilité effective la plus utilisée encore aujourd'hui pour les transistors longs et larges. Elle consiste en des mesures capacitives couplées à deux mesures de courants en régime linéaire (faibles VD). La mobilité effective est définie par :

$$\mu_{\text{eff}} = \frac{L_{\text{eff}}}{W} \cdot \frac{g_d}{Q_{\text{inv}}} \quad (\text{II.12})$$

Avec g_d la conductance du transistor, donnée par :

$$g_d = \partial I_D / \partial V_{DS} \quad (\text{II.13})$$

En pratique, g_d peut être déterminée par des mesures de I_D à deux valeurs faibles de V_D .

L'intérêt de cette technique est d'extraire pour toutes les polarisations de grille VG la charge d'inversion Q_{inv} et donc de ne faire aucune hypothèse sur le couplage capacitif grille-canal. La mobilité est alors extraite quelque soit la condition de polarisation sur la grille. Ceci la différencie par rapport aux méthodes présentées plus haut, dont l'extraction n'est basée que sur le courant de drain

Les extractions de mobilité effective à partir des techniques présentées précédemment, sont comparées sur la Figure II.9. Les valeurs extraites à partir du courant de drain (fonction Y et Hamer) correspondent parfaitement à celles extraites par split CV en très forte inversion.

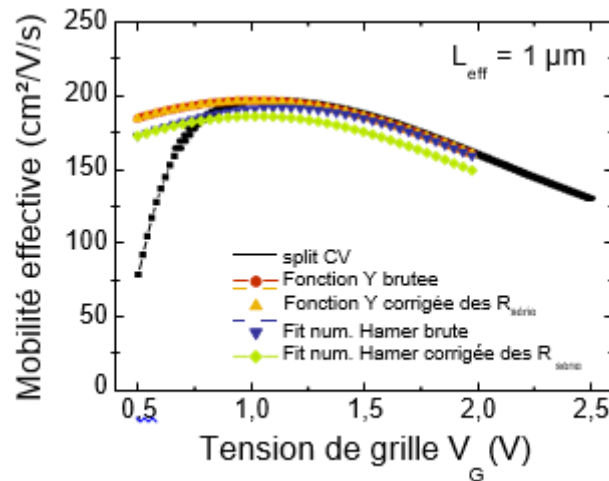


Figure II.9 : Comparaison des mobilités effectives extraites sur un MOSFET de un micron de longueur effective en fonction de la tension de grille par la technique split CV, fonction Y et ajustement numérique de Hamer. Seuls les points correspondant à une tension de grille supérieure à la tension de seuil sont représentés.

L'évolution de la valeur de la capacité de la structure MOS à substrat P et à substrat N en fonction du potentiel de grille V_g est représentée à haute et basse fréquence dans la Figure II.10.

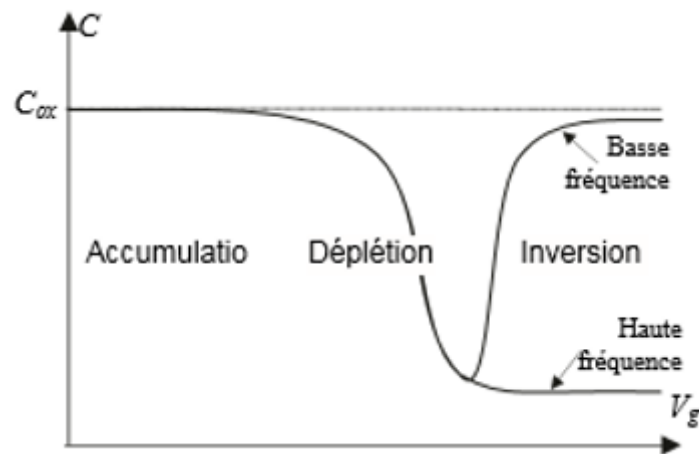


Figure II.10 : Allure des courbes $C(V)$ d'une capacité MOS pour un MOS substrat P.

La mesure $C(V)$ permet de déterminer l'épaisseur de l'oxyde par la relation :

$$C_{ox} = \frac{\epsilon_{ox} S}{d} \tag{II.14}$$

avec C_{ox} la capacité de la structure en régime d'accumulation mesurée en Farad, S la surface de l'électrode de la capacité, ϵ_{ox} la permittivité diélectrique de l'oxyde et d l'épaisseur de l'oxyde.

La caractéristique $C(V)$ de la structure MOS réelle peut présenter différents écarts par rapport à la courbe idéale. Ces écarts sont liés entre autre aux défauts présents dans l'isolant ou à l'interface. En effet, une courbe expérimentale peut être caractérisée par les différents points suivants :

- Le décalage de la courbe $C(V)$, décalage de la tension de bandes plates indique la présence de charges dans l'isolant et à l'interface isolant-semiconducteur
- Un élargissement de la zone de désertion. Cet élargissement est dû aux charges d'interface.
- Une dispersion en fréquence de la capacité d'accumulation, lorsque l'on fait varier la fréquence de mesure. Cette dispersion est généralement attribuée à un effet de résistance série dû au mauvais contact en face arrière du semiconducteur (contact non ohmique).

Les avantages de cette techniques $C(V)$ son multiple :

- Il s'agit d'une méthode relativement simple à mettre en œuvre, rapide, peu couteuse et non destructive (contrairement aux autres mesures physiques telle que l'observation au microscope électronique a transmission). On peut l'utilisé pour faire des tests statiques (c'est-à-dire sur un grand nombre de composants et pas seulement sur une ou deux structures).
- Elle permet d'obtenir un grand nombre d'informations sur les caractéristique électriques de la structure tels que le niveau de dopage de substrat, l'épaisseur d'oxyde, la tension de bande plate, la tension de seuil, et les caractéristiques des défaut de l'interface SI/SIO_2 tels que les densité de pièges d'interface et les concentrations de charges piégées dans l'oxyde.
- On peut l'utilisé sur les capacités MOS et pas seulement sur des transistors MOS. Elle permet donc de séparer la caractérisation de la capacité MOS de celle du transistor MOS, c'est-à-dire de mesurer les paramètres de l'interface SI/SIO_2 sans passer par l'étude du transport le long du canal.

La méthode $C(V)$ atteint ses limites face à des épaisseurs d'oxydes actuellement étudiés de l'ordre de 1 nm. Sur de telles épaisseurs, l'effet tunnel étant très important la mesure de la capacité s'avère très délicate

II.5. Technique de bruit :

Pour l'étude théorique du bruit dans le transistor MOS en basse et moyenne fréquence.

Le bruit est présent dans tous les systèmes électrique ou non électrique et son étude a pour but la réalisation de composants faible bruit nécessaires à certaines applications [22].

La variation du bruit dans les transistors MOS est l'indice d'une dégradation de la couche isolante, à proximité de l'interface. Son amplitude est un indicateur précieux dans les études de fiabilité ou d'analyse de défaillance.

L'influence du bruit sur les performances d'un circuit dépend de la fonction électronique réalisée. En détection, le bruit fixe la sensibilité du circuit, il est donc important de connaître les origines du bruit et de savoir le décrire pour être en mesure de le prendre en compte lors de la conception des différents dispositifs électroniques.

II.6. technique de pompage de charge :

La technique de pompage de charge, nous permettra à la fois de caractériser les états d'interface, d'en extraire une densité moyenne, et de visualiser le profil des défauts en profondeur dans l'oxyde. Le pompage de charge est basé sur la mesure du courant substrat généré par la recombinaison de la charge piégée sur les états d'interface avec la charge présente dans le canal.

On peut distinguer deux façons de procéder, en utilisant des signaux à deux niveaux, ou à trois niveaux. Si la première, la plus utilisée, renseigne sur la densité surfacique des défauts, la seconde permet d'obtenir la répartition énergétique de ceux-ci dans la bande interdite. Toutes les deux présentent des limitations expérimentales pour les dispositifs à oxyde ultra-mince.

Principe

Pour réaliser des mesures de pompage de charges, il faut donc un système de génération d'impulsions, un oscilloscope pour visualiser ces impulsions et un ampèremètre pour mesurer le courant pompé. De plus, le transistor doit être utilisé comme une capacité à anneau de garde, c'est-à-dire avec la source et le drain connectés au même potentiel. Ainsi les porteurs minoritaires qui formaient la couche d'inversion peuvent repartir vers les régions de source et de drain par application d'une tension V_r [17]. ainsi que le montre la figure suivante

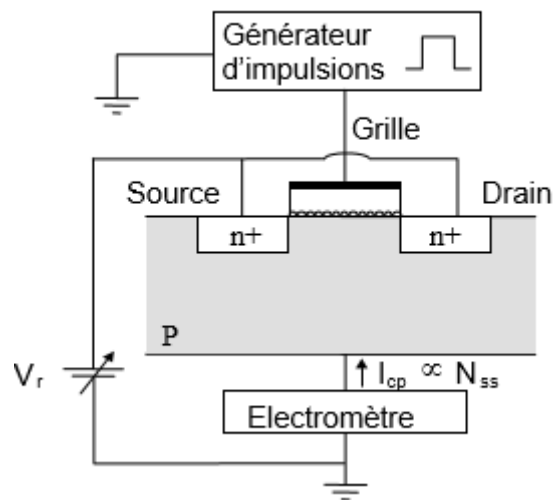


Figure II.11 : Montage expérimental utilisé en pompage de charges.

II.7. Conclusion :

On a vu dans ce chapitre, que les méthodes d'extraction des paramètres électriques sont très pratiques pour différentes recherches dans le domaine de la microélectronique, elle permet de relier plusieurs caractéristiques entre eux, de noter l'évolution de chaque paramètre, d'étudier l'influence de l'un par rapport aux autres et le plus important, comprendre les phénomènes observés lors du fonctionnement du MOSFET tel que la réduction de la mobilité des porteurs de charge, la réduction de la tension de seuil.

III.1. Introduction :

Ce chapitre est divisé en deux grandes parties, la première partie présente la technologie silicium sur isolant (« silicon on Insulator »; SOI) spécifiquement le transistor FD SOI, cette structure permet d'offrir grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat du silicium massif, en effet dans un transistor à effet de champ il n'y a que la couche superficielle du silicium qui est vraiment utile pour le transport des électrons le reste de la plaquette est responsable des effets indésirables dans le premier chapitre, que l'on peut éviter en faisant appel à une solution de type SOI, on citera par la suite quelques méthodes de fabrication du SOI. L'oxyde de silicium SiO_2 est reconnu comme l'élément de base de la technologie, c'est pour cela que le SiO_2 doit être de meilleure qualité avec un nombre minimal de défauts. La couche mince de l'oxyde de silicium présente quelque contrainte durant la miniaturisation c'est pour cela qu'on s'est orienté vers l'adoption des matériaux à haute permittivité tel que le HfO_2 .

Pour la deuxième partie de ce chapitre on traite un vieillissement accéléré d'un transistor par une tension négative sur le bulk avec une tension de l'ordre du champ électrique critique de l'oxyde de silicium (SiO_2) dans les environs de 10MV.

Ce vieillissement est réalisé à l'aide de l'analyseur de paramètres HP 4155 couplé avec un ordinateur ou la manipulation est automatisée, l'analyse de ce vieillissement se fait dans le temps en fonction du temps de stress on remarque que les courbes $I_d(V_g)$ obtenues shift à gauche et à gauche et à droite. Une étude est faite pour exprimer la fiabilité de ce type de transistor les mesures ont été faites à l'IMEP Grenoble en 2012.

III.2. Fiabilité du transistor FD SOI :**III.2.1. La technologie SOI (SILICON ON INSULATOR) :**

La technologie SOI a été inventée originellement pour satisfaire la demande de circuits intégrés résistants aux irradiations ionisantes, elle est actuellement considérée comme la solution privilégiée pour remplacer la technologie (bulk) et atteindre des dimensions deca-nanométriques [10], nous assistons au développement rapide du SOI grâce notamment à la maturité des méthodes de fabrication qui ont permis d'accroître la qualité du matériau tout en diminuant les coûts.

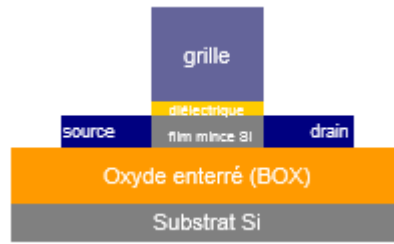


Figure III.1 : illustration d'un transistor MOSFET SOI.

Ce type de transistor est caractérisé par deux paramètres supplémentaires par rapport aux transistors conventionnels : l'épaisseur du film Si (t_{Si}) sur lequel est intégrée la région active du dispositif et l'épaisseur de la couche d'oxyde (t_{BOX}) dit oxyde enterré [12].

La structure SOI a fait naître le concept d'inversion volumique la présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. On distingue principalement deux catégories de dispositifs SOI le PD pour partiellement déserté et FD pour complètement déserté, la différence entre les deux est liée à l'épaisseur du film de silicium ces dispositifs permettent de réduire les capacités parasites ce qui améliore les performances en hautes fréquences par rapport au silicium massif. Ils permettent aussi de supprimer les effets latch-up, et réduisent considérablement le courant de fuite.

II.2.2. FD-SOI « FullyDepletedSilicon On Insulator » :

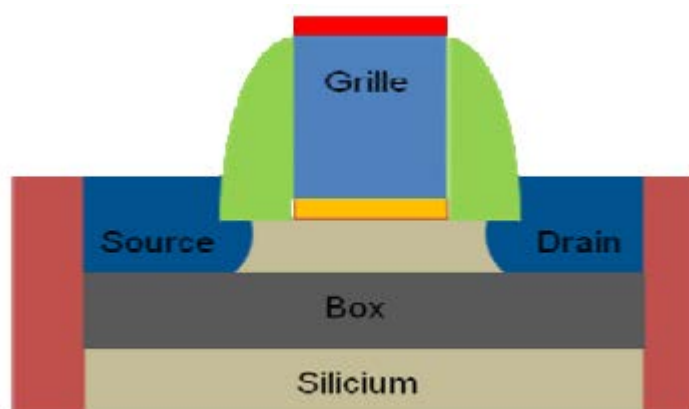


Figure III.2 : Représentation schématique d'un transistor MOS FDSOI.

Le transistor FD se distingue du MOS conventionnel ou Bulk par son canal de conduction mince et isolé du substrat par une couche de diélectrique enterré (BOX, BuriedOxide).il tire ainsi son nom du fait que dès l'inversion faible, la totalité du canal de conduction est déplété, d'où l'utilisation d'un canal mince [14].

Lorsque l'épaisseur t_{Si} est plus fine, la déplétion sous la grille atteint l'oxyde la couche SOI est donc complètement déserté et la grille améliore le contrôle du potentiel dans cette couche, on parle cette fois d'un transistor totalement déserté, FD-SOI « FullyDepletedSilicon On Insulator » [11]. Ces expressions signifient que la région de désertion couvre partiellement ou en totalité la couche de silicium au-dessus du BOX lorsque le transistor est en inversion.

La structure FD SOI ressemble à celle du PD, les seules grandes différences sont ; une absence ou peu de dopage dans le canal et l'amincissement du film du silicium. Pour simplifier, le transistor FD SOI est un transistor MOS intégré sur une couche de silicium ultra mince, opérant en déplétion totale avec un canal confiné dans une zone réduite entre l'oxyde de grille et le Box. L'application d'un potentiel face arrière (Back Bias) via une prise substrat va augmenter les performances et réduire les fuites, par ajustement du V_{th} et réalisant des implantations de dopants sous le Box (c'est ce qu'on appelle plan de masse "Ground Plane").Hormis ces avantages, le FD SOI confère :

-Une immunité due aux composants des zones actives du silicium en raison de la présence de l'oxyde enterré.

-Un excellent contrôle électrostatique du transistor, permettant d'atteindre des performances remarquables pour les faibles V_{dd} .

Tous ces atouts ont fait que le FD SOI est considéré comme un candidat sérieux et crédible pour concurrencer la technologie CMOS sur silicium massif pour les prochains nœuds technologiques [13].

Remarque :

Il faut rappeler que le MOS FD SOI fonctionne globalement de la même manière que le MOS sur silicium massif et les équations introduites dans le premier chapitre restent valable ainsi que les méthodes d'extraction des paramètres des dispositifs.

II.2.3. Les méthodes de fabrication SOI :

Différentes techniques ont été développées pour obtenir une couche de silicium actif isolée du substrat. Certaines méthodes d'obtention sont basées sur la croissance épitaxiale du silicium sur un isolant

cristallin (hétéroépitaxie). Le SOI peut être réalisé à partir d'une tranche de silicium-bulk en isolant une fine couche de Si du substrat par la formation et l'oxydation de silicium poreux [15].

Différents substrats SOI ont été proposés : SOS (Silicium sur Saphir), SIMOX (Implantation d'ions d'oxygène à fortes dose et énergie). Ces wafers sont fabriqués suivant une technique innovante constituée de deux étapes ; la première consiste au collage d'une plaque A oxydée avec une plaque B. Ce collage se fait via des liaisons hydrophiles et les forces de Van Der Walls. La seconde étape, consiste à amincir le film du silicium sur le Box. Cette technique a été développée par Michel Bruel, adopté pour une production industrielle. La figure III.3 expose une brève explication des différentes étapes de fabrication des substrats SOI par la méthode "Smart Cut".

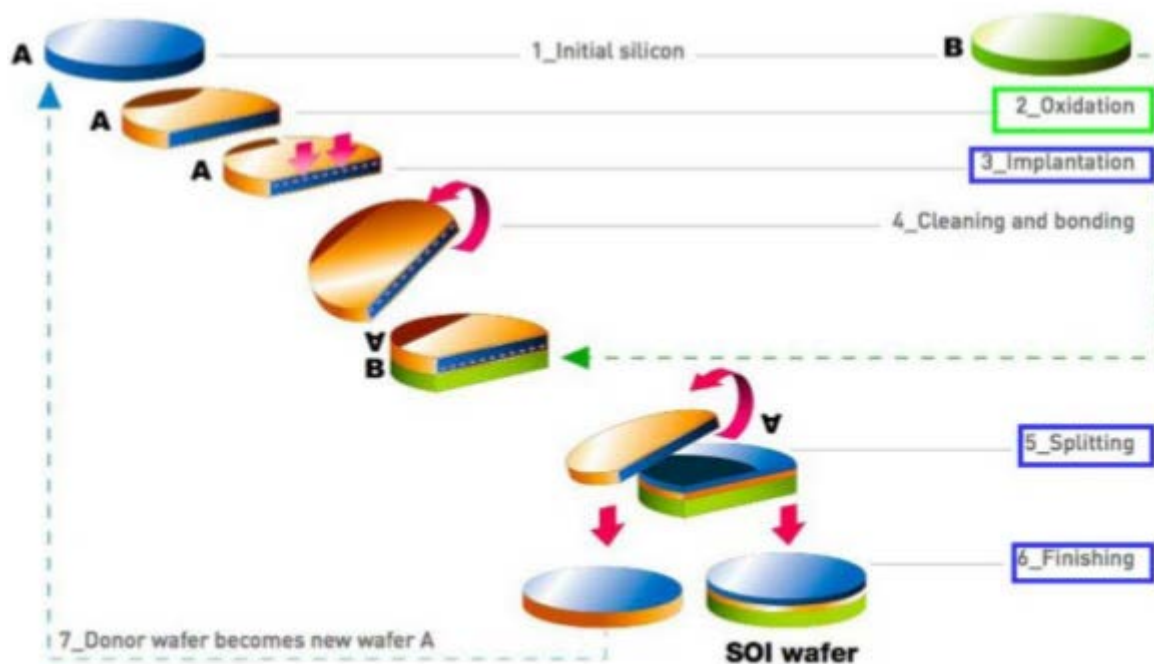


Figure III.3 : Processus SMART CUT.

Il existe d'autres méthodes de fabrication SOI et chacune d'entre elles a ses avantages et inconvénients [11]. Ci-dessous, nous allons décrire les deux principales méthodes :

III.2.3.1. SOS Silicium sur corindon :

Cette méthode et dite aussi silicium sur saphir, pour obtenir la couche de silicium active, on fait croître celle-ci par hétéroépitaxie (procédé qui consiste à faire croître une substance en couche mince

sur un cristal mono cristallin de nature différente) sur un substrat monocristallin d'alumine (α - Al_2O_3). La différence de paramètre de maille cristalline (de l'ordre de 10%) conduit à une couche de silicium de faible qualité cristalline au voisinage de l'interface. Toutefois, lorsque l'épaisseur de la couche de silicium augmente, la densité de défauts cristallins décroît. Pour cette méthode, la densité de défauts est élevée. L'inconvénient principal est l'auto-dopage du silicium par les atomes d'aluminium du substrat d' Al_2O_3 .

III.2.3.2. SIMOX (Separation by Implanted Oxygen) :

Pour le procédé SIMOX, on crée sous la surface d'une plaquette de silicium une couche d'oxyde de silicium (SiO_2) appelée oxyde enterré par une implantation ionique d'oxygène (Figure III.4) à très forte dose ($1.8 \cdot 10^{18} \text{ cm}^{-2}$) suivie de recuits à très haute température ($>1300^\circ\text{C}$). Des couches de silicium de bonne qualité sont obtenues par cette méthode

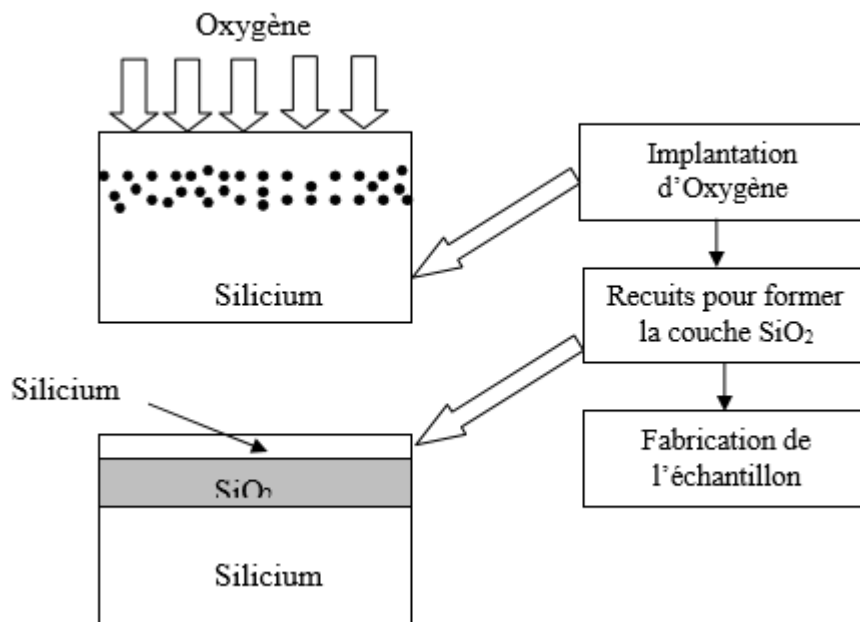


Figure III.4: Implantation ionique d'oxygène.

III.2.4. Propriétés physico-chimiques du SiO_2 :

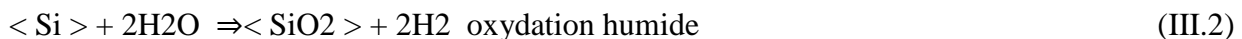
L'oxyde (SiO_2) est le composant principal de la majorité des roches connues et constitue 59% de la masse de la croûte terrestre.

Les couches d'oxyde sont des éléments essentiels car elles constituent les couches d'isolation l'oxyde de grille des transistors ou encore des couches de masquage pour les gravures ou l'implantation ionique, la principale raison qui a conduit au choix du silicium comme substrat de base de la microélectronique est la facilité de faire croître un oxyde stable SiO_2 à sa surface [17].

III.2.4.1. Obtention du SiO₂ :

L'oxyde de grille a été obtenu par oxydation thermique du silicium. C'est la technique la plus couramment utilisée depuis les années 50, car c'est elle qui donne les oxydes de meilleure qualité, même si d'autres procédés tels que le dépôt chimique en phase vapeur (CVD) permettent aujourd'hui d'obtenir des oxydes de qualités équivalentes.

L'oxydation thermique du silicium est effectuée à hautes températures (800 à 1200 °C) à l'intérieur d'un four parcouru par un courant gazeux oxydant (O₂ ou H₂O). Afin de limiter certains effets liés à la redistribution des impuretés de dopage, on cherche à diminuer ces températures. La croissance de l'oxyde se fait en consommant du silicium (environ 1 nm de silicium consommé pour 2 nm d'oxyde formé). Selon la nature de l'oxydant on a :



Pour obtenir une épaisseur de 2000 Å à 1000° C, il faut près de 8 heures en oxydation sèche, contre moins d'une heure en oxydation humide. L'oxydation sèche, qui donne un oxyde de meilleure qualité et d'épaisseur mieux contrôlée, est réservée à l'obtention d'oxydes minces (de grille, piédestal des LOCOS...), tandis que l'oxydation humide est utilisée pour la formation d'oxydes épais (de masquage, de champ, d'isolation de grands substrats...) [16].

La croissance de l'oxyde et sa qualité dépendent de la qualité du substrat de silicium et en particulier de sa surface, à partir de laquelle il doit croître. Une surface rugueuse donnera un oxyde de mauvaise qualité. C'est pour cela que des procédés de nettoyage sont mis en œuvre avant l'oxydation afin d'assurer une surface propre et lisse.

La température, les gaz et leur débit sont des paramètres de grande importance qui définissent l'épaisseur et la qualité de l'oxyde.

III.2.4.2. Structure du SiO₂ :

La silice peut se trouver sous trois formes allotropiques (même composition chimique, mais arrangements atomiques différents) : cristalline (ordre cristallographique à longue distance), amorphe (ordre à courte distance) (Figure III.6) et vitreuse (ordre à courte distance)[16][17]. La structure obtenue par oxydation thermique est la silice amorphe. L'unité structurale de base de la silice est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre (Figure III.5).

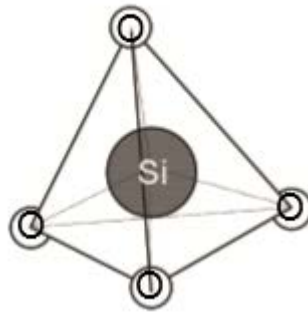


Figure III.5 : Motif de base de la silice.

La silice est donc constituée d'un arrangement de tétraèdres SiO_4 reliés entre eux par l'intermédiaire de sommets oxygènes. Ces tétraèdres sont caractérisés par la distance atomique Si-O (de 1,6 à 1,63 Å), et par la valeur de l'angle θ entre les liaisons O-Si-O (θ varie de 110° à 180° , avec une valeur moyenne de 144° pour la silice amorphe).

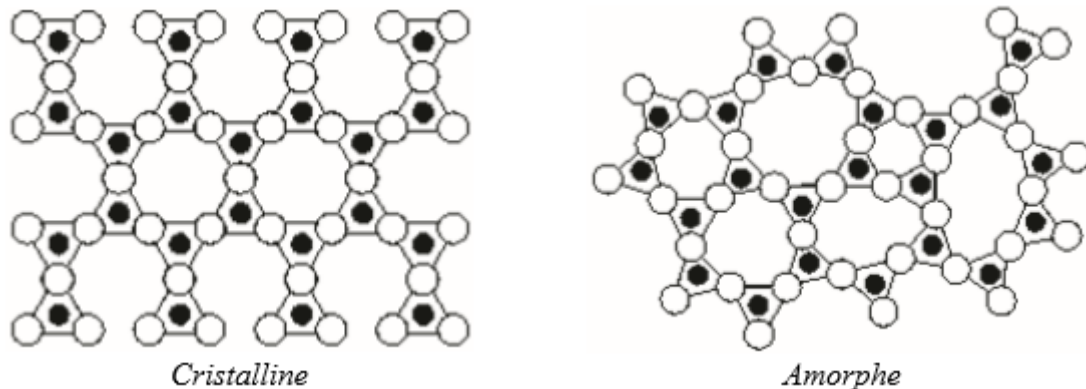


Figure III.6 : Représentation plane du réseau atomique de la silice.

III.2.4.3. Défauts dans le SiO_2 :

Les défauts résultent des conditions de croissance de l'oxyde, mais aussi des traitements que subit le transistor, antérieurs (qualité de la surface sur laquelle l'oxyde va croître) et postérieurs (implantations, diffusion, traitements thermiques, contraintes mécaniques) à la croissance de l'oxyde [16].

III.2.4.3.1. Défauts intrinsèques :

Ces défauts sont liés à l'arrangement des atomes de silicium et d'oxygène entre eux : si la structure est telle que localement les distances et les angles θ entre les atomes varient, mais pas

suffisamment pour qu'il y ait rupture de liaisons entre atomes, alors on parle de micro- hétérogénéités (réseau continu mais orienté de façon aléatoire). Sinon, peuvent apparaître des défauts ponctuels (imperfections qui perturbent la périodicité du réseau sur un ou deux sites atomiques), qui, combinés entre eux, conduisent à la formation de défauts complexes. Ponctuels ou complexes, ces défauts sont dus à des interstitiels (substitution d'un atome du réseau par un autre) ou à des lacunes (d'oxygène ou de silicium) associés à des liaisons contractées, cassées ou pendantes [17].

III.2.4.3.2 Défauts extrinsèques :

Ils sont liés à la présence dans l'oxyde d'atomes étrangers qui se combinent avec le réseau de nombreuses manières, selon la valeur de leur rayon atomique, selon qu'ils sont ionisés ou non ou selon les conditions thermodynamiques de leur introduction. Un atome de silicium peut, par exemple, être remplacé par un atome de type accepteur (groupe III) ou de type donneur (groupe V) du tableau périodique, tandis qu'un atome d'oxygène peut être remplacé par un autre anion. De façon analogue aux défauts intrinsèques, on parlera de défauts ponctuels ou complexes. Les impuretés peuvent pénétrer à l'intérieur de l'oxyde à différents moments du processus technologique :

- au cours de l'oxydation thermique, si les impuretés sont déjà présentes dans le substrat de silicium (cas des atomes dopants comme l'arsenic As, le bore B ou le phosphore P par exemple) ou si elles ont été introduites, volontairement ou non, dans le gaz oxydant (cas de l'eau et des composés chlorés).
- au cours de la croissance de la silice, si elles sont présentes dans l'ambiance : cas des ions alcalins tels que les ions calcium Ca^{2+} , les ions potassium K^+ ou les ions sodium Na^+ .
- au cours des étapes qui suivent la croissance ou la déposition de l'oxyde, lors de la métallisation, de l'implantation ionique ou des traitements haute température (cas des composés tels que l'argon Ar, le dihydrogène H_2 ou le diazote N_2) [16].

III.2.5. Défaut à l'interface SiO_2/Si :

Ces défauts proviennent du raccordement des deux matériaux. Pour la silice, la distance moyenne entre deux atomes de silicium est de 3,05 Å contre 2,35 Å pour le silicium cristallin. Autrement dit, l'oxydation d'un atome de silicium correspond à un accroissement relatif en volume d'un facteur environ de 2,3. L'interface présente donc beaucoup plus de liaisons contraintes, distordues, pendantes... qu'il n'y en a dans le volume de l'oxyde [17]. Les liaisons chimiques les plus probables à l'interface Si- SiO_2 sont représentées sur la figure III.7

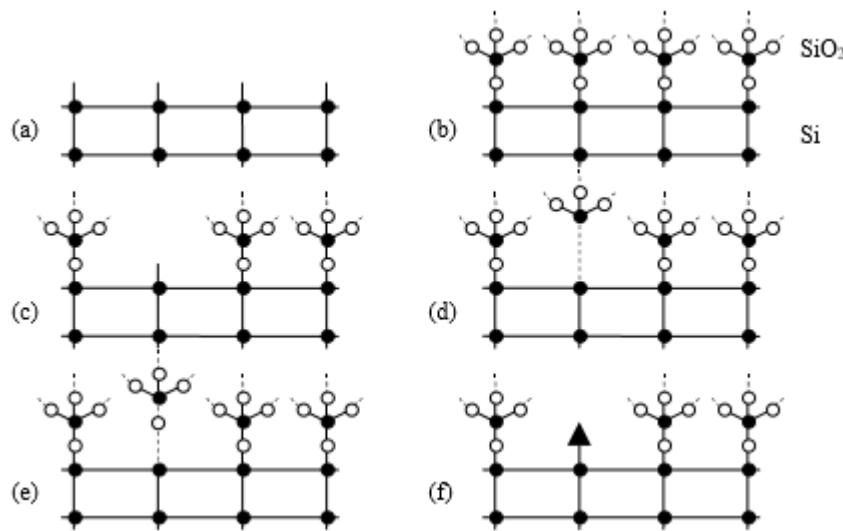


Figure III.7: Liaisons chimiques de l'interface Si-SiO₂ (a) surface Si libre, (b) interface parfaite, (c) liaison Si₃≡Si- pendante, (d) liaison Si-Si faible, (e) liaison Si-O faible, (f) impureté à l'interface.

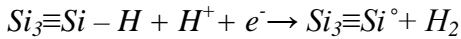
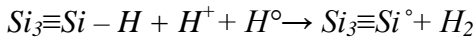
A l'interface entre substrat et isolant se forme une couche interstitielle, qui passe d'une structure de silicium à celle de l'oxyde, en fonction de la densité d'oxygène variant progressivement ; naturellement cela provoque l'apparition de défauts à l'interface ; ce sont des lacunes d'oxygènes d'un type particulier ; associées à une liaison pendante sur l'atome de silicium central.

Indépendamment de la couche interstitielle due à l'injection d'oxygène, il existe des défauts intrinsèques à l'interface Si/SiO₂ dus principalement au désaccord de maille entre les deux matériaux. Les centres Pb sont constitués des liaisons restant pendantes à l'interface ; ce sont les principaux responsables des charges piégées à l'interface. La densité de centres Pb dépend essentiellement de l'orientation du substrat.

Ces défauts comportent un atome de silicium tri-coordonné, lié à trois atomes de silicium du substrat, et qui possède une liaison pendante (électron paramagnétique) perpendiculaire à l'interface et dirigées vers l'oxyde. Un P_b centre peut être représenté par : $Si_3 \equiv Si^\circ$

Afin de limiter l'impact des liaisons pendantes sur le transport du courant dans le transistor, celles-ci peuvent être passivés par des atomes d'hydrogène ce qui conduit à la formation des groupes $Si_3 \equiv Si-H$, sous l'effet d'un stress (champ électrique) une déprévation des états d'interface se produit, un consensus a été atteint sur la participation des espèces hydrogènes à ce processus (H_2 , relatif a été

atteint sur la participation des espèces d'hydrogènes à ce processus(H_2 , proton H^+ , ou l'hydrogène atomique H° , ou d'autres éléments). Les réactions chimiques peuvent être décrites comme suit :

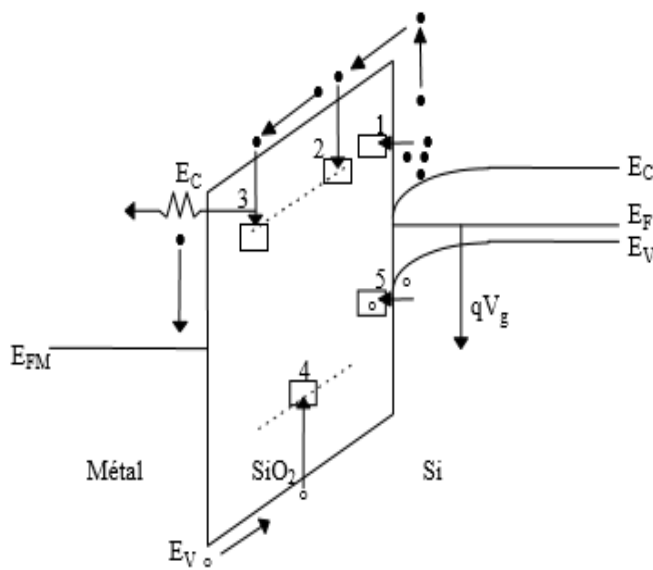


Les atomes d'hydrogène vont venir occuper les liaisons pendantes Si par Si -H et ainsi les empêcher de capturer ou de libérer des charges pendant le fonctionnement du dispositif.

III.2.6. Notion de piège :

Les défauts qui introduisent des niveaux d'énergie à l'intérieur de la bande interdite de l'oxyde sont électriquement actifs, car assimilables à des puits de potentiel capables de capturer des porteurs. Un défaut peut se comporter comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande, ou comme un lieu de recombinaison s'il peut échanger des porteurs avec les bandes de conduction et de valence [16]. Les différents mécanismes de piégeage possibles sont illustrés sur la figure III.8.

Selon l'état de sa charge, un piège peut être accepteur ou donneur. Dans le premier cas il est chargé négativement s'il est occupé par un électron et neutre s'il est vide. Dans le second cas il est neutre s'il est occupé par un électron et chargé positivement s'il est vide.



- 1 : Transition tunnel d'un électron depuis la bande de conduction du Si
- 2 : Capture non radiative d'un électron de la bande de conduction du SiO2
- 3 : Capture radiative d'un électron de la bande de conduction du SiO2
- 4 : Capture d'un trou de la bande de valence du SiO2
- 5 : Transition tunnel d'un trou depuis la bande de valence du Si

Figure III.8 : Illustration des différents mécanismes de piégeage.

III.2.7. Passivation :

Il a été montré que les défauts d'interface apparaissent lors de la relaxation des contraintes mécanique après l'étape d'oxydation du substrat. Ces défauts ponctuels sont communément appelés défauts de surface, pièges d'interfaces, états d'interface, centres Pb, ou encore centres Pb0 et Pb1. Tous ces termes font référence à un état électronique permis, localisé dans la zone interfaciale et dont l'énergie se situe dans le gap du silicium du substrat. De manière générale, les deux caractéristiques propres à l'état d'interface sont sa capacité à émettre ou capturer des porteurs de charge (défini par le coefficient de capture qui correspond à la probabilité de capturer un porteur), et son niveau énergétique dans le gap. Le terme « piège » est ainsi utilisé pour faire référence à la capture des porteurs (électrons ou trous), et le terme « d'état » qualifie le niveau d'énergie associé au piège [26].

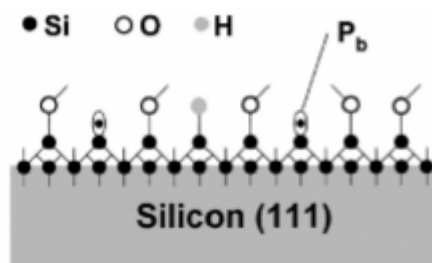


Figure III.9 : Défaut à l'interface SiO₂/Si; le centre Pb.

La passivation de l'interface ou le recuit post-oxydation à haute température sous atmosphère inerte permet une réorganisation de l'interface et une diminution du nombre de liaisons pendantes. La passivation de l'interface permet de saturer un centre Pb avec un atome d'hydrogène. Il est important de noter que la liaison Si-H est électriquement neutre. C'est ainsi que l'interface SiO₂/Si contient un grand nombre de liaison Si-H.

III.2.8. Depassivation :

Le mécanisme « diffusion de l'hydrogène » a été proposé pour interpréter la dégradation sous contrainte NBT.

Lors de l'application d'une contrainte en tension (champ électrique), des défauts sont activés par une réaction électrochimique. La dissociation de la liaison Si-H donne la liaison pendante Si. Et l'atome d'hydrogène H₀ neutre. La raison et les conditions de dissociation étaient alors inconnues [26].



Cette étape est la partie « réaction » du mécanisme. Elle est limitée par la réaction de dissociation de la liaison Si-H

Les deux éléments nécessaires à la dégradation NBTI sont les trous du canal d'inversion (h^+) et les espèces hydrogénées (A). Les trous du canal d'inversion et les espèces hydrogénées réagissent tous les deux avec la liaison Si-H pour produire un ion H^+ ou une entité hydrogénée chargée positivement (H_3O^+ par exemple) et une liaison pendante Si – SiO selon la réaction :



La diffusion de l'hydrogène est le facteur limitant de la réaction. Concrètement, une liaison Si-H électriquement activée du substrat rompt et donne naissance à un piège d'interface et une entité hydrogénée. Cette dernière diffuse à travers l'oxyde.

Si l'ensemble de la communauté scientifique est convaincu de l'implication de la liaison Si-H dans la dégradation à l'interface, les espèces hydrogénées mises en jeu sont loin d'un consensus général. Les espèces proposées sont –OH, H, H_2 , H^+ et H_2O . La Figure III.10 représente les étapes de la réaction dans le cas du H_2O (Dépassivation de la liaison Si-H pendant une contrainte NBT) les illustrations montrent les différents étapes de réaction :

(a) initialement, le dispositif est vierge avec une liaison Si-H non dépassivée et une molécule H_2O proche de l'interface, (b) lors de l'application de la contrainte la molécule d'eau s'oriente et les trous sont attirés à l'interface SiO_2/Si , (c) La molécule H_2O capture un trou h et l'atome d'hydrogène de la liaison Si-H pour générer une molécule H_3O^+ , (d) la molécule H_3O^+ diffuse par champ électrique dans l'oxyde et s'éloigne du centre Pb

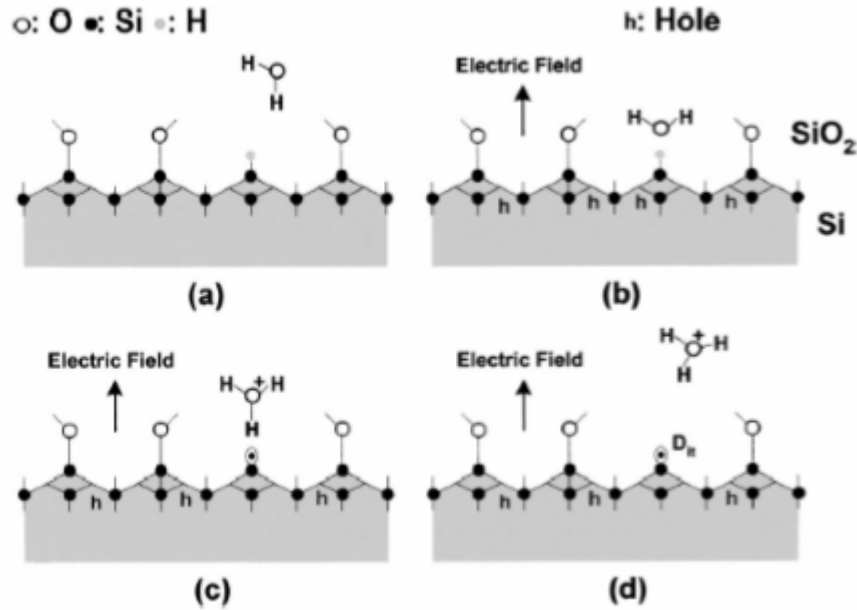


Figure III.10 : Dépassivation de la liaison Si-H pendant une contrainte NBT.

II.2.9. Différents types de charges dans l'oxyde :

Pour mieux interpréter les phénomènes physiques mis en jeu, une classification des charges dans l'oxyde a été réalisée, on distingue quatre types de charges dans l'oxyde (Figure III.10) [16].

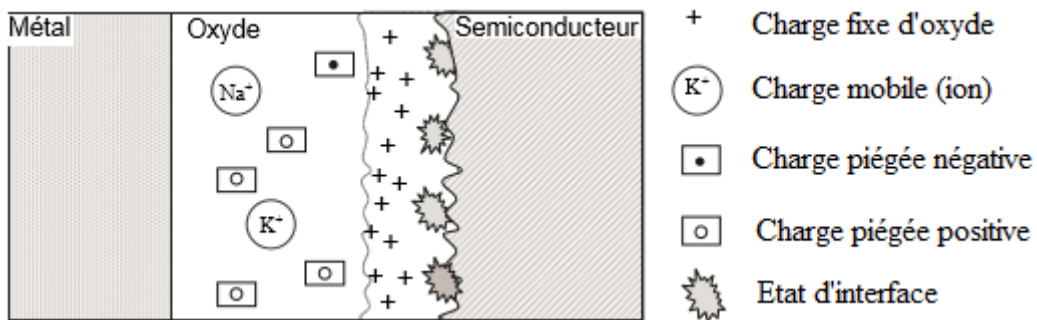


Figure III.11 : Classification des charges dans l'oxyde.

II.2.9.1. charges fixes Q_f :

C'est une charge positive localisée très près des interfaces Si-SiO₂ et grille-SiO₂ qui n'évolue pas, sauf si des conditions thermiques ou électriques particulières dégradent le dispositif (radiations ionisantes, contraintes électriques). Cette charge est attribuée à un excès de silicium figé à la fin du

processus d'oxydation (atomes de silicium ionisés). La charge fixe d'un oxyde thermique humide est plus grande que celle d'un oxyde sec puisque dans le premier cas, la vitesse de réaction étant plus grande, la réaction d'oxydation à l'interface est plus incomplète.

La présence éventuelle d'une charge fixe à l'interface Si-SiO₂ est un fait important, puisqu'elle va induire à la surface du silicium une charge image négative qui modifie le potentiel de surface du semi-conducteur et donc les tensions de seuil et de bandes plates du dispositif [17].

II.2.9.2 charges piégées dans l'oxyde Q_{ot} :

De signe positif ou négatif, les charges piégées sont dues aux piégeages des trous et des électrons dans le volume de l'oxyde. Ce type de piégeages est dû à une modification interne de la structure de l'oxyde sous l'effet d'un stress ou d'un stimulus extérieur. Si une paire électron-trou est créée ou injectée dans l'oxyde, les électrons et les trous peuvent être piégés par des puits de potentiels (Figure III 12). La répartition spatiale de la charge piégée dépend des conditions d'élaboration de l'oxyde. Comme pour les charges fixes d'oxyde, il ne peut y avoir d'échange avec le semiconducteur [17].

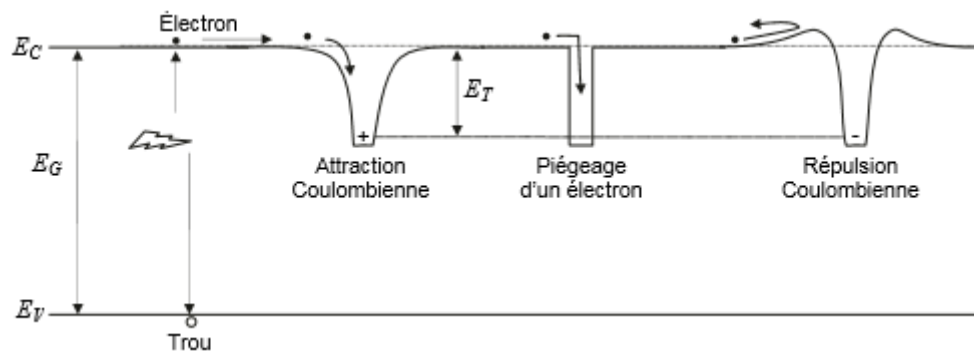


Figure III.12 : Bande interdite avec pièges à électrons.

III.2.9.3. charges mobiles ioniques Q_m :

C'est une charge due à la contamination de l'oxyde par des impuretés ioniques (métaux alcalins : K⁺, Li⁺, Na⁺...). Ces impuretés, localisées à l'interface Si-SiO₂, peuvent migrer d'une interface à une autre sous l'effet d'un champ électrique ou de la température.

III.2.9.4. charges d'interface piégées Q_{ss} :

Elle est piégée par les défauts qui résultent de la discontinuité de réseau à l'interface Si-SiO₂. Ces défauts appelés états d'interface jouent un rôle primordial dans le fonctionnement du transistor

MOS, car contrairement aux défauts de volume de l'oxyde, ils sont en communication électrique directe avec le semi-conducteur. Le signe de cette charge dépend des conditions de polarisations appliquées au dispositif, qui font que selon sa nature (donneur ou accepteur) et sa position par rapport au niveau de Fermi, un état d'interface est chargé négativement, positivement ou neutre.

III.2.10 Propriétés et caractéristique de l'oxyde de hafnium HfO₂ :

III.2.10.1 L'adoption du High-k HfO₂ :

L'épaisseur des oxydes de grille correspondent à quelque couches atomique, ce qui se traduit par l'apparition d'un courant de fuite important, mettent en péril les futures générations des transistors MOS, pour essayer de réduire les effets décrits précédemment, de nouveaux oxydes avec haute permittivité diélectrique sont donc proposés pour remplacer l'oxyde de silicium SiO₂. Ces nouveaux matériaux permettent la fabrication d'oxydes de grille épais tout en gardant les caractéristiques capacitives de l'oxyde de silicium. Par contre, ces diélectriques doivent être compatibles avec le matériau de grille. Ces matériaux a haute permittivité sont des oxyde de métaux tel que TA₂O₅, TiO₂, HfO₂..., parmi tous ces candidats potentiels, un seul semble avoir les caractéristiques requises pour remplacer le SiO₂ c'est le HfO₂ effectivement, l'oxyde de hafnium (le HfO₂) avec sa permittivité relative ϵ_r , élevé (de l'ordre de 20 contre 3.9 du SiO₂), son gap relativement grand (de l'ordre de 5.5 eV) et enfin sa relative sensibilité thermodynamique sur le silicium font de lui un prétendant parfait à la succession du SiO₂ [19][11].

II.2.10.2. Propriétés du HfO₂ :

Le HfO₂ est un matériau largement étudié depuis ces dernières années dans le milieu de la microélectronique, en vue de son intégration dans les générations technologiques futures. Ainsi, un grand nombre de publications ont été et sont encore éditées. L'intérêt du HfO₂ provient de sa compatibilité avec la technologie du silicium, comme sa stabilité thermique, mais aussi de sa haute permittivité, variant entre 17 et 25. La densité théorique du HfO₂ est de 9,68 g/cm³ mais lors de son application en couche mince une densité plus faible peut être obtenue, la valeur de la densité dépend des conditions de croissance.

Le HfO₂ présente une énergie de bande interdite théorique E_g de 5,62 eV. Cependant, dans la littérature, différentes valeurs de E_g sont évaluées et semblent différer selon la structure dans laquelle se trouve le matériau. Ainsi des valeurs variant de 4,19 eV pour les films amorphes, à 5,65 eV pour les films cristallins. Pour les films cristallisés, la taille des grains, influencent aussi la valeur de E_g obtenue [23].

II.2.10.3. Propriétés d'interface high-k /Si (SiO₂) :

Les propriétés d'interface entre le HfO₂ (matériau high-k) et le Si sont déterminantes parce qu'elles influencent directement sur les performances du transistor. Lorsque l'épaisseur de diélectrique devient inférieure à 1 nm, les interfaces entre les matériaux peuvent dominer les propriétés chimiques et électriques de l'empilement de grille. Les deux points les plus importants à considérer pour l'étude de l'interface sont les défauts et la stabilité thermique [19].

La concentration de défauts plus élevée à l'interface HfO₂/Si est expliquée par la différence de structure électronique des high-k par rapport à celle de SiO₂ (ou SiN). L'interface entre le high-k et le Si (ou SiO₂, Si-NO) est hétérovalente, à cause de la différence d'ionicté des liaisons entre les deux matériaux, c'est-à-dire que le nombre d'électrons disponibles et celui nécessaire pour former une liaison covalente ne sont pas équilibrés ; cela provoque la génération de défauts intrinsèques à l'interface en donnant des charges fixes (~10¹² charges/cm²).

La principale difficulté réside dans la possibilité de réaction entre le Si et le HfO₂ pendant le dépôt du diélectrique et le traitement thermique post-dépôt.

III.3. Application :

III.3.1 Expérience :

Pour effectuer cette expérimentation il est nécessaire d'utiliser un équipement qui est constitué de trois appareils connectés entre eux qui sont :

L'analyseur de paramètres HP4155 couplé avec un ordinateur par un port GPIB (General Purpose Interface Bus) pour assurer la transmission des données parallèlement avec LabVIEW, l'objectif de l'installation du circuit sous test dans le fixateur du circuit sous test, après fixation et indication et réglage de paramètres du transistor concerné, est d'obtenir à la fin une liste inscrite de str 0 à str 18 qui montre les résultats des stress appliqués.



Figure III.13 : résultats obtenus après stress.

Le test se fait par la technique stress mesure stress selon un programme de stress, on fait une extraction selon le temps de stress constituer de 20 mesures comme suite (0.1 1 2 4 6 8 10 20 40 60 80 100 200 400 600 800 1000 1100 1200 1300s) est à chaque fois on aura un fichier pour une mesure spécifique.

Chaque mesure contient une caractéristique $I_d(V_g)$ avec V_d et V_b comme paramètres V_g varie de 0 à 1.5V avec un pas de 0.01 et le V_d varie de 0.025V à 1V avec un pas de 0.975. Donc la mesure se fait une fois à V_d variante entre $V_d=25mV$ et à $V_d=1V$ et aussi à $V_b=0V$ et à $V_b=5V$.

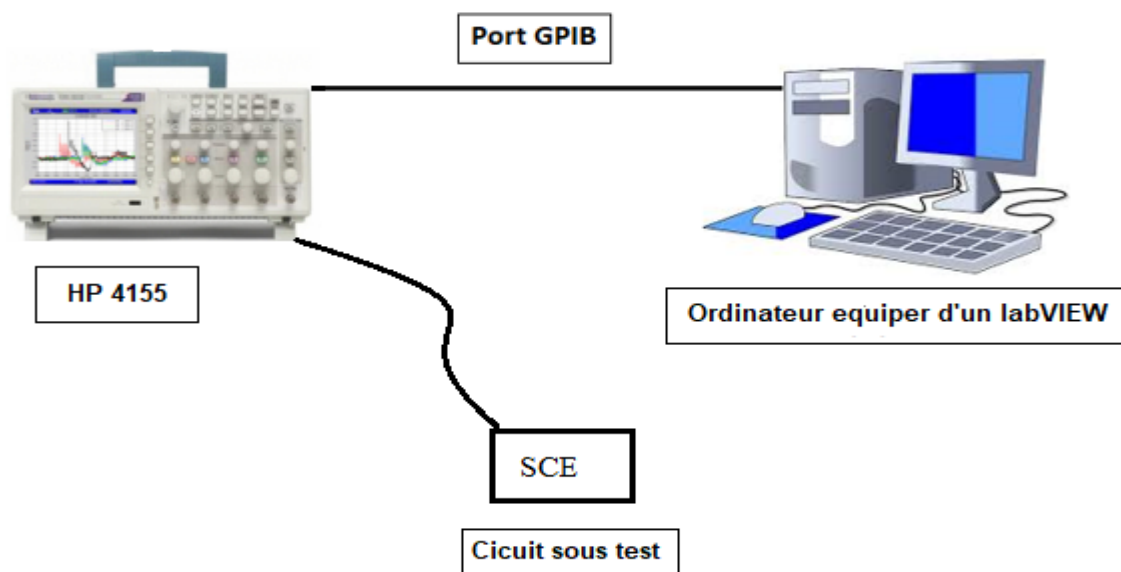


Figure III.14 : figure illustrative des différents appareils constituant le banc expérimentale.

III.3.2. Caractéristique et schéma du FDSOI (composant étudié) :

Son épaisseur d'oxyde est de $T_{ox}=1.7.10^{-7}$ cm et la largeur du canal et de $w=10^{-4}$ cm et $\epsilon_0=8.85.10^{-14}$ F/cmavec un Box de 25 nm et une épaisseur de film de 8 nm et une longueur de grille de 32 nm.

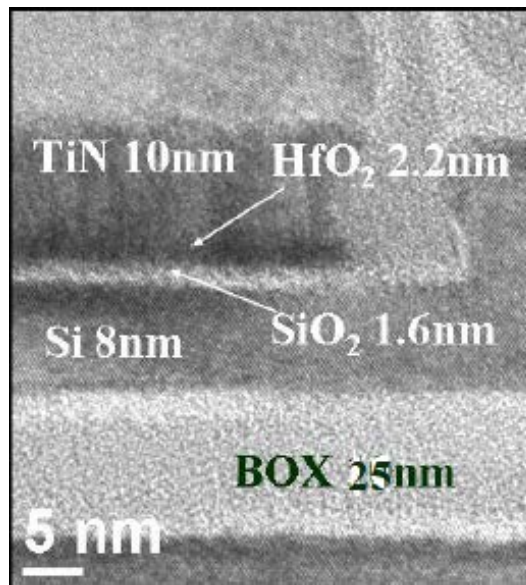


Figure III.15 : Image TEM d'un transistor NMOS FDSOI.

III.3.3. Traitement de données :

Après avoir récupéré les données de la mesure sous forme de fichier texte, sous logiciel MATCAD on extrait les différents paramètres d'analyse du stress en introduisant les paramètres du dispositif, on référencie les différents temps de mesures à chaque caractéristique et on élabore des équations spécifiques aux différentes extractions (telle que la fonction Y pente sous le seuil ..).

L'affectation des caractéristiques I_d et G_{mson} donné comme suite :

I_{dL} , G_{mL} pour des tensions de grille V_g variant de 0 à 1.5V et une tension de drain $V_d=25$ mV et une tension de bulk (substart) de $V_b=0V$ (en linéaire).

I_{dLB} , G_{mLB} pour des tensions de grille variante de 0 jusqu'à 1.5V et une tension de drain $V_d=25$ mV et un $V_b=5V$ (en linéaire).

I_{dH} , G_{mH} pour des tensions de grille V_g variant de 0 à 1.5V et une tension de drain $V_d=1$ mV et une tension de bulk (substart) de 0V (en saturer).

I_{dHB} , G_{mHB} pour des tensions de grille variante de 0 jusqu'à 1.5V et une tension de drain $V_d=1$ mV et un $V_b=5V$ (en saturer).

III.3.4. résultats :

- Les courbes $I_d(V_g)$ et $G_m(V_g)$:

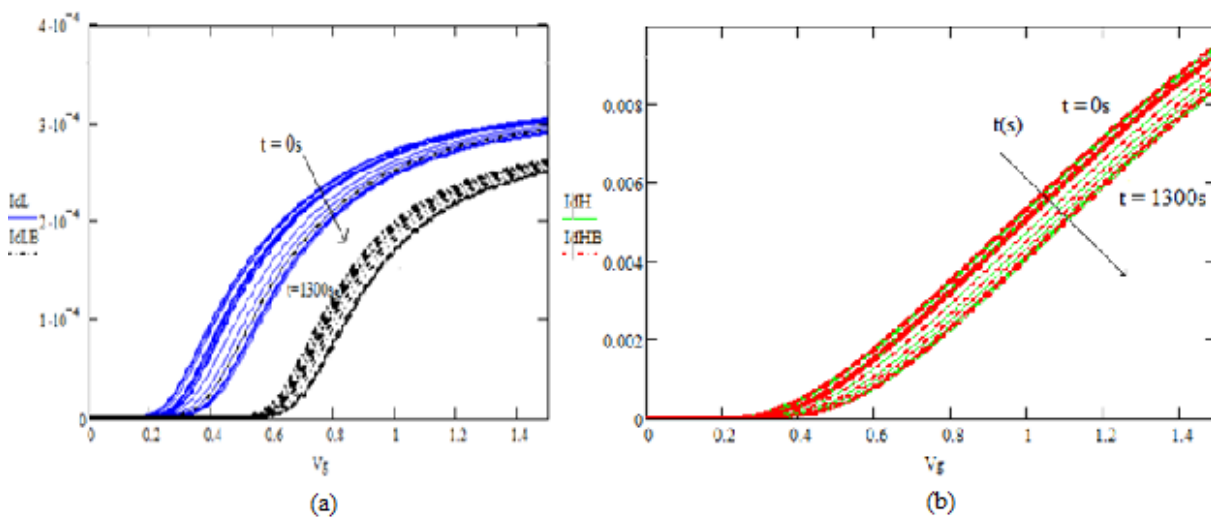


Figure III.16 : Les caractéristiques $I_d(V_g)$ pour les différents temps de stress pour (a) $V_d=25$ mV (b) $V_d=1$ V

La figure au-dessus représente l'allure des courbes $I_d(V_g)$ pour l'ensemble des temps de stress, on remarque que les courbes diminuent en fonction du temps de stress de 0 à 1300s, pour le régime linéaire c'est-à-dire $V_d=25$ mV en appliquant la tension V_b la courbe shift à droite, pour le régime saturé on remarque que les courbes I_{dH} et I_{dHB} se concorde.

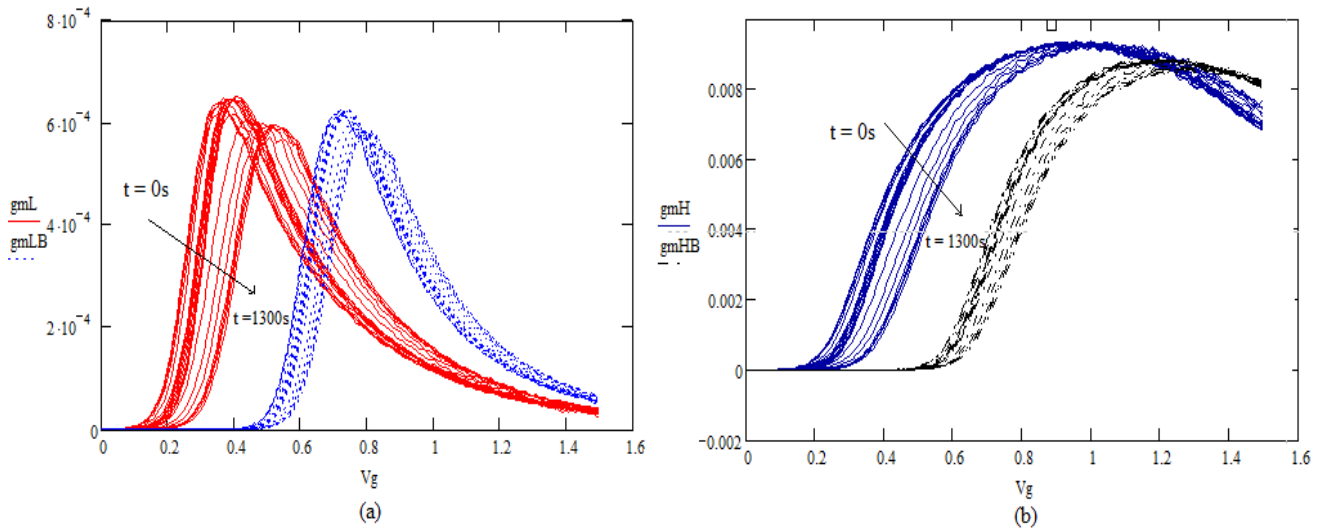


Figure III.17: Les caractéristiques $gm(V_g)$ pour les différents temps de stress (a) pour $V_d=25mV$ et (b) $V_d=1V$.

La figures III.17 représente l’allure des courbes $G_m(V_g)$ pour l’ensemble des temps de stress, respectivement (a) représente $gm_L(V_g)$, $gm_{LB}(V_g)$ et (b) représente $gm_H(V_g)$, $gm_{HB}(V_g)$, les courbe se dégrade de 0s a 1300s les pentes shift en introduisant la tension du bulk V_b , les courbes qui se dégrade montre clairement la dégradation de la mobilité et un décalage de la tension de seuil, ainsi qu’un corrélation de ces effets notamment l’écart entre les tensions de seuil avec et sans effet de substrat est identique pour les régimes linéaire et saturé.

- **La fonction Y :**

Pour l’extraction des paramètres tel que la tension de seuil une méthode appliqué dite la

Fonction Y :

$$Y = \frac{IdL}{\sqrt{gm}} \tag{III.5}$$

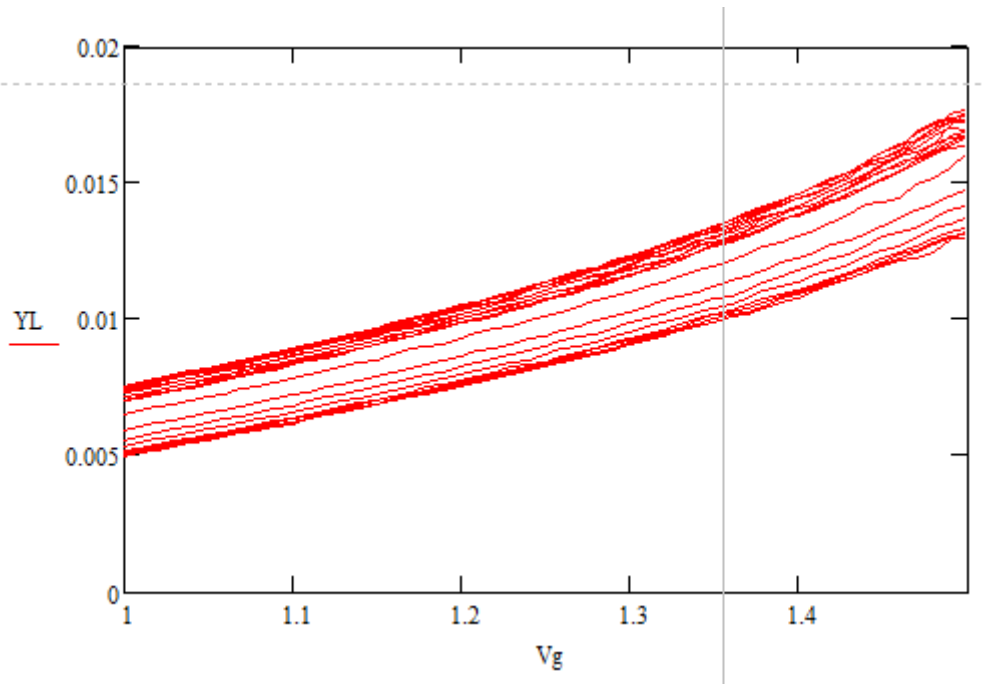


Figure III.18 : la fonction Y en fonction de Vg.

- La tension de seuil :

Elle est calculée par ces équations :

$$\begin{aligned}
 & \text{ii} := 0..Np - 2 & n1 & := 100 & n2 & := 110 & \text{iii} & := n1..n2 \\
 & \text{SyL}_{\text{ii},k} := \frac{Y_{L_{\text{ii}+1,k}} - Y_{L_{\text{ii},k}}}{V_{g_{\text{ii}+1}} - V_{g_{\text{ii}}}} & \text{SymL}_k & := \frac{\sum_{i=n1}^{n2} \text{SyL}_{i,k}}{n2 - n1 + 1} & \text{VthL}_k & := \frac{\sum_{\text{iii}} \left(\frac{-Y_{L_{\text{iii},k}}}{\text{SymL}_k} + V_{g_{\text{iii}}} \right)}{n2 - n1 + 1}
 \end{aligned} \tag{III.6}$$

Avec $\text{SyL}_{\text{ii},k}$ est la pente de la fonction Y en fonction de la Vg, elle est utilisée pour calculer la pente moyenne Sym qui est aussi utilisé pour le calcul de la tension de seuil.

La tension de seuil augmente pour les deux régimes.

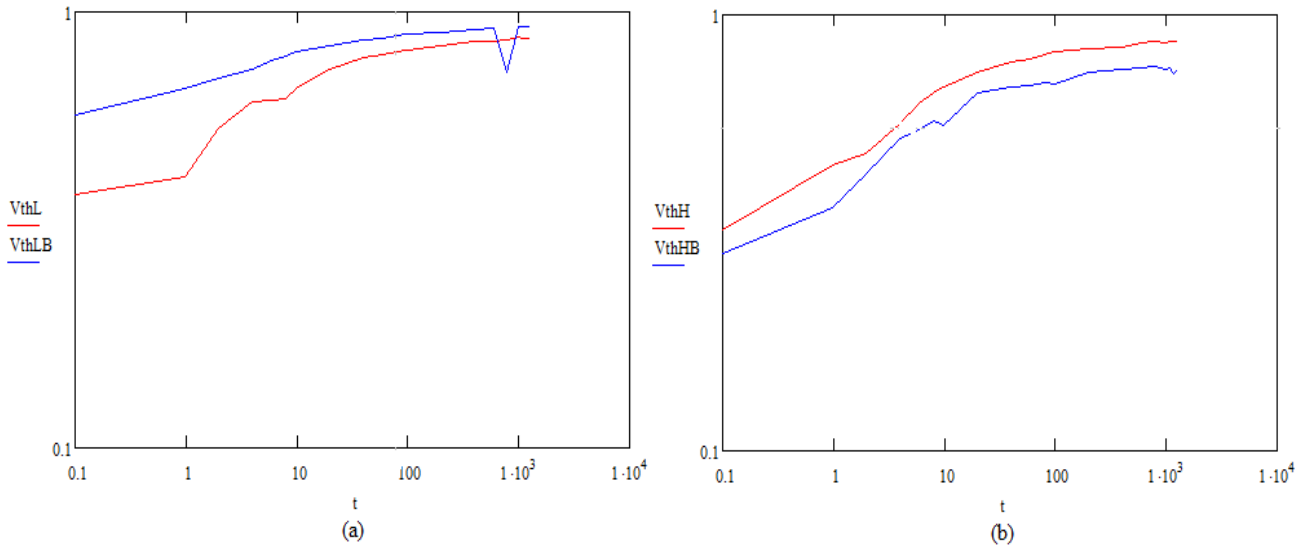


Figure III.19 : Courbe illustrant la caractéristique de V_{th} en fonction du temps de stress (a) pour $V_d=25mV$ et (b) pour $V_d=1V$.

- La pente sous le seuil :

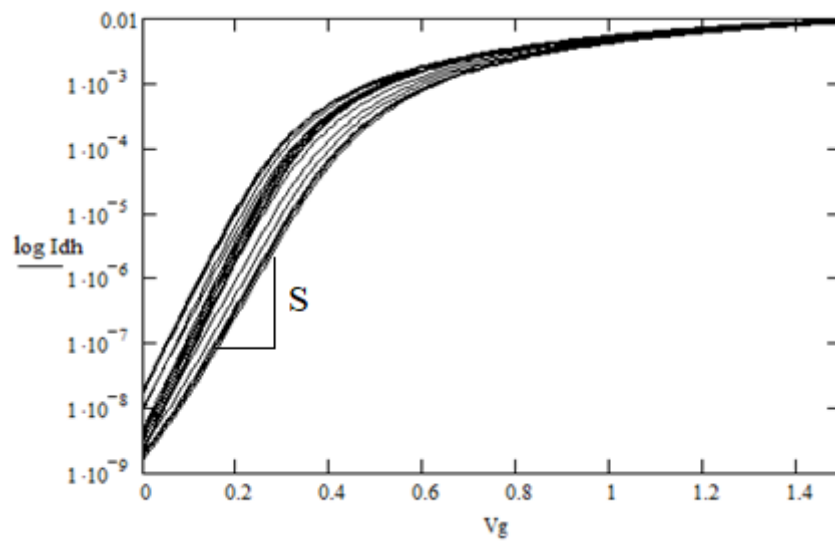


Figure III.20 : pente sous le seuil.

Elle est calculer par :

$$S = \frac{d \log(I_{DS})}{dV_{GS}} \tag{III.7}$$

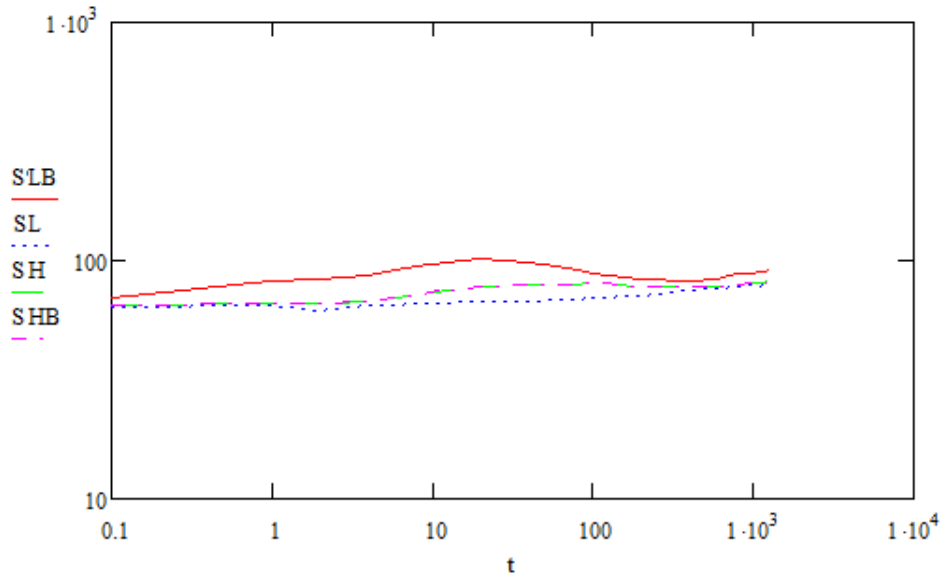


Figure III.21 : évolution de lapente sous le seuil.

L'ecart entre les pentes sous le seuil est conservé c'est-à-dire il y a la même quantité de pignes occupés qui est conservés, autrement dit c'est les écarts entre les capacités d'interface qui est conservés pour le SH et SHB

- **La variation de la tension de seuil**

Le stress fait évoluer la variation de la tension de seuil ΔV_{th} selon le modèle approximative de puissance en fonction du temps ($\Delta V_{th} \propto t^n$) donnée par l'équation suivante :

$$\Delta V_{th} = A.t^n \tag{III.8}$$

Pour linéariser cette courbe on applique le logarithme et on obtient l'équation suivante :

$$\log \Delta V_{th} = \log A + n.\log t \tag{III.9}$$

$$\text{On a : } y_i = a x_i + b \tag{III.10}$$

On pose :

$$y_i = \log \Delta V_{th_i}$$

$$x_i = \log t_i$$

$$b = \log A$$

$$a = n$$

L'extraction des paramètres a et b sont développées selon l'équation de la droite

la méthode de calcul est obtenue comme suit :

$$n = a = \frac{\log \Delta V_{th_i}}{\log t_i} = \frac{\log y_2 - \log y_1}{\log x_2 - \log x_1} \tag{III.11}$$

$$b = \log \Delta V_{th_i} - n * \log t_i \tag{III.12}$$

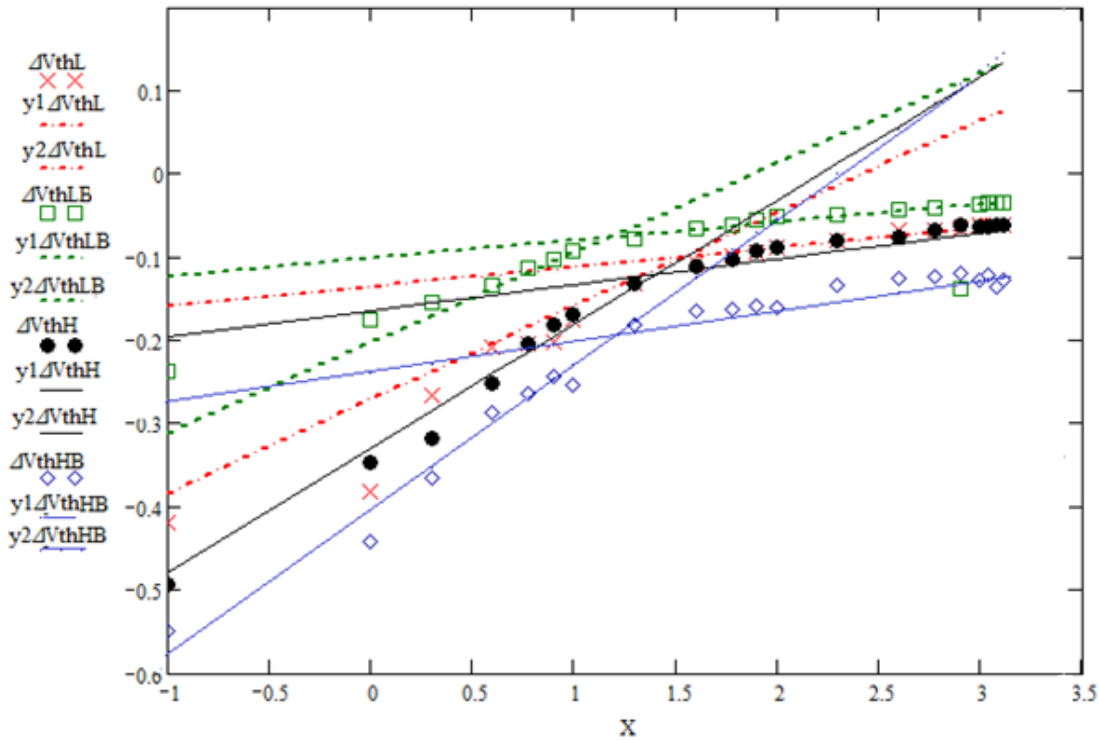


Figure III.22 : Variation de la tension de seuil en fonction de log(t).

III.4. Conclusion :

Dans ce chapitre on a commencé par une l'étude sur le transistor SOI spécialement sur le dispositif FD SOI qui offre une alternative prometteuse a la technologie bulk conventionnelle qui se rapproche à ces limites à une échelle fortement submicronique, on a constaté que la course a la miniaturisation montrée que l'oxyde de grille traditionnel SiO_2 est poussé presque au bout de ses limites physiques. En conséquence, les performances des transistors MOSFET submicronique se voient limitées. Pour y remédier, il est nécessaire de remplacer le SiO_2 par des diélectriques de grille de permittivité supérieure appelés high-k.

Dans la deuxième partie une expérimentation a été faite pour traite un vieillissement accélérer d'un transistor, pour ensuite extraire quelque caractéristiques électriques du transistor étudier.

Conclusion générale

De nos jours, la miniaturisation des transistors utilisés dans les procédés de fabrication augmente fortement la probabilité d'apparition des défaillances matérielles. Les méthodes de conception actuelles ajoutent des marges sur les caractéristiques du produit final. Si rien n'est fait au niveau de la conception, les produits deviennent moins compétitifs du fait de ces marges. Il est donc nécessaire d'estimer le vieillissement des dispositifs pendant la conception.

Dans cette étude nous avons montré une étude en caractéristique et en fiabilité. Dans cette optique nous avons présenté dans ce manuscrit trois chapitres.

Dans le premier chapitre nous avons étudié l'état de l'art du transistor MOSFET on a décrit ce transistor on a cité ces caractéristiques ainsi que régime de polarisation pour ensuite arriver à l'évolution on parle sur les effets de la miniaturisation ainsi que les solutions adaptées à ce fait.

Dans le second chapitre on a introduit les différentes techniques de caractérisation utilisées pour l'extraction des caractéristiques du transistor.

Pour finir le troisième chapitre est consacré à l'étude de fiabilité du transistor FD SOI, ainsi qu'une application réalisée pour étudier les caractéristiques du dispositif en réalisant des courbes qui caractérisent les différents paramètres du dispositif.

Bibliographie :

[1] : Krunoslav ROMANJEK «caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà » soutenue Le Mardi 9 Novembre 2004.

[2] : BENHAMIDA YAHIA «Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique » Soutenu en Juin 2012.

[3] : www.eudil.fr/eudil.

[4] : HENRY MATHIEU « Physique de s/c et des dispositifs électroniques » ouvrage édité par DUNOD 1998.

[5] : SEBASTIEN GUARNAY «Étude des mécanismes de dégradation de la mobilité sur les architectures FDSOI pour les nœuds technologiques avancés (<20nm)» soutenue le 21 avril 2015.

[6] : MELLE GUEDDA HAYAT «Etude des Effets Indésirables dans les Transistors MOSFETS à Canaux Courts», soutenue en 2012.

[7] : MELLE RACHIDA TALMAT «Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETS nanométriques (FinFETs) », soutenue 6 janvier 2005.

[8] : CLEMENT BERTOLINI «estimation à haut-niveau des dégradations temporelles dans les processeurs : méthodologie et mise en œuvre logicielle » soutenue le 13 Décembre 2013.

[9] : Modulation du transistor de sortie de grille métallique par le dispositif CMOS, INSTITU NATIONAL DES SINECE DE LYON, 2007.

[10] : XIANG-LEI HAN « Réalisation et caractérisation de dispositif MOSFET nanométrique à base de réseaux denses de nanofils verticaux en silicium », soutenue en 2011.

[11] : IMED BEN AKKEZ «Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm», soutenue le 7 août 2006.

[12] : ABDELMALEK NIDHAL « Etude et modalisation du transistor MOSFET nanométrique » Université de BATNA, soutenue en 2010.

[13] : Dimitrie SOUSSAN « Contribution aux interfaces d'entrée -sortie rapide technologie Silicium sans isolant », Université de Grenoble soutenue le 05 juillet 2013.

[14] : FLORENT ROCHETTE « Etude de caractérisation de l'influence des contraintes mécanique sur les propriétés du transport électronique dans les architectures MOS avancées » Soutenu le 26 septembre 2008.

Références bibliographiques

[15] : FAYÇAL DJEFFAL «Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application à la conception des dispositifs intégrés», soutenue le 19 avril 2006.

[16] : OLIVIER FRUCHIER «Étude du comportement de la charge d'espace dans les structures MOS : Vers une analyse du champ électrique interne par la méthode de l'onde thermique», soutenue le 1er décembre 2006.

[17] : Yves MANEGLIA «analyse en profondeur des défauts de l'interface SI-SIO₂ par la technique du pompage de charges», soutenue le 18 décembre 1998.

[18]: M.STOCHINGER « optimization of ultras -law -power CMOS transistor », Institut für Elektronik, PHD thèses 2000.

[19] : THOMAS BERTAUD «Elaboration et caractérisation large bande de matériaux (high-k)» soutenue le 9 novembre 2010.

[21] : Youjean CHANG «étude de caractérisation de matériaux diélectriques de grille a forte permittivité pour les technologies CMOS ultimes », soutenue le 21 juillet 2003.

[22] : Thèse Pascal MASSON «Etude par pompage de charge et par mesures de bruit basse fréquence de transistor MOS », soutenue le 13 janvier 2009.

[23] : Olivier WEBER « Etude, Fabrication et Propriétés de Transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité », Soutenue le 14 décembre 2005.

[24] : Thèse Thierry Di Gilio « Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13µm », soutenu le 20 octobre 2006.

[25] : WWW.CIME.APG.FR/TP_ENSPG_2A_MESURE_CV .

[26] : Mickael DENAIS « étude des phénomènes de dégradation de type negative bias temperature instability (NBTI) dans les transistors mos submicroniques des filieres CMOS avancées».

Résumé

Les systèmes industriels sont devenus de plus en plus complexes utilisant des nouvelles technologies permettant d'accroître la qualité des produits et des services ainsi que la productivité des systèmes. La technologie CMOS (Complementary MOS), est la plus répandue parmi toutes les technologies semiconducteurs. Devant l'importance de tel investissement, la notion de fiabilité prend une importance capitale, il s'agit de concevoir des procédés, des dispositifs et des circuits fonctionnels dès les premiers instants de production. Le terme de la fiabilité recouvre également tous les mécanismes d'usure et de dégradation des transistors au cours de leur utilisation et conditionnant bien sur la capacité des circuits à remplir leur fonction sur la durée. Certaines applications dédiées exigent le plus haut niveau de fiabilité et la durée de vie la plus longue possible.

Mots clés

FDSOI (fully depleted silicon on insulator), MOSFET (metal oxide semiconductor field effect transistor), SiO_2 , HfO_2 .