

--	--	--	--	--	--	--	--	--	--



UNIVERSITÉ MOULOUD MAMMERRI DE TIZI-OUZOU

**FACULTÉ DU GÉNIE ELECTRIQUE ET D'INFORMATIQUE
DÉPARTEMENT AUTOMATIQUE**

MÉMOIRE DE FIN D'ÉTUDES

Master Académique

Spécialité : Génie Micro et Nano électronique

Portant thème sur :

La Technologie des FinFETs

Dirigé par :

M^r Arezki BENFDILA

Présenté par :

M^{elle} HARROUCHE Kathia

Soutenu le JJ/MM/AAAA

Devant le Jury

M^r Arezki BENFDILA	Professeur	UMMTO	Président
M^r Arezki BENFDILA	Professeur	UMMTO	Président
M^r Arezki BENFDILA	Professeur	UMMTO	Promoteur
M^r Arezki BENFDILA	Professeur	UMMTO	Promoteur

**Promotion 2016
(3^{ème} Promotion)**

Remerciements

*Mes premiers remerciements vont tout naturellement à mon encadreur Mr **BENFDILA Arezki**, pour ses conseils avisés, pour sa rigueur scientifique qui m'a permis d'approfondir mon travail, et pour ses encouragements qui ont contribué à l'aboutissement de ce mémoire, je remercie également Mr **LAKHLEF Ahcene** pour ses conseils pertinents et son soutien et tous les enseignants qui m'ont encadré et qui ont su me pousser de l'avant. ;*

*Je tiens à remercier tout particulièrement : **BELHIMMER Lounes**, **DJOUDEER Mohand** et **KESSI Mohamed** pour l'aide précieuse et le soutien qu'ils m'ont apportés, leurs vastes connaissances m'ont grandement aidé à surmonter les difficultés et à faire avancer ce travail ;*

Je remercie aussi tout mes amis(es) qui ont contribué de loin ou de près à la réalisation de ce travail ;

Je remercie bien évidemment les membres de ma famille pour le soutien indéfectible.

Dédicace

Je dédie ce modeste travail en premier lieu à ma famille ;

A mes amis(es) ;

A mes professeurs ;

A toute la promotion de master Génie Micro-électronique.

KATIA

SOMMAIRE GÉNÉRAL

SOMMAIRE GÉNÉRAL	
LISTE DES SYMBOLES ET ABREVIATIONS.....	
LISTE DES FIGURES.....	
INTRODUCTION GÉNÉRALE.....	1

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

I.1 Introduction	3
I.2 MOSFET Bulk.....	3
I.2.1 Les effets canal court.....	4
I. 2.2 Effet canal étroit.....	6
I.2.3 Effet tunnel	8
I.2.4 Effet GIDL (Gate Induced Drain Leakage).....	8
I.3 La technologie SOI (Silicon On Insulator)	11
I.3.1 Transistor MOSFET SOI simple grille.....	12
I.3.1.1 MOSFET PD SOI (partiellement déplété).....	12
I.3.1.2 MOSFET FD SOI (complètement déplété)	15
I.3.2 Comparaison entre le transistor MOSFET Bulk et MOSFET SOI.....	16
I.3.3 Avantage de la technologie SOI par rapport au MOS Bulk	16
I.3.4 Inconvénients de la technologie SOI.....	17
I.4 Les MuGFET.....	18
I.4.1 Transistor MOSFET double grille	18
I.4.2 Le FinFET.....	19
I.4.3 Transistor MOSFET triple grille.....	20
I.4.4 Le GAA MOSFET	21
I.5 Avantages et inconvénients des transistors à grille multiple.....	22
I.6 Conclusion :.....	22

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

II.1	Introduction.....	23
II.2	Présentation du FinFET	23
II.2.1	Le transistor double grille quasi planaire (FinFET).....	23
II.2.2	Le FinFET vertical.....	25
II.3	Procédé de fabrication du FinFET.....	25
II.3.1	Fabrication des Fins (ailettes).....	25
II.3.1.1	Substrat utilisé.....	25
II.3.1.2	Principales méthodes de lithographie.....	26
II.3.2	Fabrication de la grille	30
II.3.3	Dopage des extensions de source et de drain	31
II.3.4	Formation des plots de source et de drain	33
II.4	SOI FinFET vs bulk FinFET.....	35
II.5	Propriétés électriques du FinFET	38
II.6	Effet de coin.....	39
II.7	Les effets de la mécanique quantique.....	42
II.8	Underlap Overlap	43
II.9	Inconvénients de la technologie d’underlap.....	44
II.10	Conclusion	44

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

III.1	Introduction	45
III.2	Modélisation compacte du transistor double grille canal long.....	45

III.2.1	Modèle de Yuan Taur	45
III.2.2	Modèle PSP FinFET	48
III.2.3	Synthèse des principaux modèles existants.....	51
III.3	Modélisation compacte d'un transistor FinFET SOI.....	52
III.3.1	Les effets canaux courts.....	53
III.3.1.1	Influence des canaux courts sur le potentiel électrostatique	54
III.3.1.2	Influence de la distribution de la densité de charge sur la longueur effective du canal	59
III.3.2	Dégradation de la mobilité	63
III.4	Conclusion.....	64
	Conclusion générale.....	65
	Bibliographie.....	66

LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS

Paramètres géométriques et technologiques des transistors MOS

Longueur de la grille	L_g	m
Longueur du canal	L	m
Largeur du canal	W	m
La zone de déplétion maximale	X_{dmax}	m
Hauteur du Fin	H_{fin}	m
Pich des Fins (distance entre les Fins)	P_{fin}	m
Largeur du Fin	W_{fin}	m
Epaisseur du film de silicium	t_{si}	m

Abréviations significations

ALD	«Atomic Layer Deposition»
CVD	«Chemical Vapor Deposition»
DG	Transistor MOS SOI double-grille.
BOX	«Burried Oxyde» l'oxyde enterré.
DIBL	« Drain Induced Barrier Lowering » : Abaissement de la barrière de potentiel induit par le drain.
FDSOI	Transistor MOS SOI entièrement déplété.
FinFET	Fin Filed effect transistor.
GAA	Transistor MOS SOI à grille enrobante.
GIDL	«Gate Induced Drain Leakage» Effet GIDL,
ITRS	« International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs.
MEB	Microscope électronique à balayage.
MOS	Métal-Oxyde-Semi-conducteur.
MOSFET	« MOS Field Effect Transistor » : Transistor à effet de champ MOS.
PDSOI	Transistor MOS SOI partiellement déplété.
CS	« Charge sharing » : Partage de charge.
RSCE	«Rise Short-Channel Effects» Effet canal court inverse.
SCE	« Short-Channel Effects » : Effect canaux courts.
SOI	« Silicon On Insulator » : Silicium sur isolant.
SG	Transistor MOS SOI à une grille.
TG	Transistor MOS SOI triple-grille.
TMOS	Transistor Métal-Oxyde-Semi-conducteur.
UTB SOI	«Ultra Thin Body SOI»
RIE	«Reactive Ion Eching » gravure anisotrope sèche.
PLAD	Dopage par plasma pulsé.
SEG	«Selective Epitaxial Growth» l'épitaxie sélective.

LISTE DES FIGURES

Chapitre I

		PAGE
Figure I.1	Variations de la tension de seuil en fonction de la longueur du canal pour la technologie MOSFET 0,13 μm .	5
Figure I.2	Illustration du phénomène du perçage volumique.	6
Figure I.3	Les régions d'extension du canal du à l'effet canal étroit.	7
Figure I.4	variation de la tension de seuil avec la longueur L (courbe en bas) et l largeur W (courbe en haut).	7
Figure I.5	Variation de la caractéristique $I_{ds}(V_{gs})$ en fonction de V_{ds} .	8
Figure I.6	Point clé de l'optimisation d'un MOSFET Bulk.	9
Figure I.7	Le SOI permet d'atteindre les générations futures de dispositifs définies par l'ITRS roadmap jusqu'au nœud 20nm (SOIC).	11
Figure I.8	Structure d'un transistor (simple grille) SOI de type n.	12
Figure I.9	Représentation schématique d'un transistor MOS PD SOI.	13
Figure I.10	Mécanisme de l'ionisation par impact.	14
Figure I.11	Effet Kink pour un PD SOI.	14
Figure I.12	Représentation schématique d'un transistor MOS FD SOI.	15
Figure I.13	Coupe schématique dans un circuit Bulk (a) et SOI (b).	16
Figure I.14	Classification et dénomination des MuGFET.	18
Figure I.15	Lignes de champ électrique.	19
Figure I.16	Définition du FinFET.	20
Figure I.17	Structure 3D d'un TG MOSFET.	20
Figure I.18	Structure du GAA MOSFET.	21

Chapitre II

		PAGE
Figure II.1	Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi planaire (la flèche indique l'orientation du transport et la position des grilles. indique la direction de l'effet de champ par rapport au	23

	<i>plan supérieur du substrat qui correspond au plan horizontal).</i>	
Figure II.2	<i>Schéma d'une structure de FinFET quasi planeaire.</i>	24
Figure II.3	<i>: Structure verticale d'un FinFET.</i>	25
Figure II.4	<i>Structures FinFET 3D.</i>	25
Figure II.5	<i>Principe de la lithographie optique en projection.</i>	27
Figure II.6	<i>Lithographie à entretoises (spacer lithography).</i> a) : Principe général de la lithographie à entretoises. b) : Résultats après plusieurs itérations de fabrication d'entretoises : a - motifs sacrificiels obtenus par lithographie classique, b - une itération d'entretoises, c - deux itérations d'entretoises et d - trois itérations d'entretoises	29
Figure II.7	<i>FinFET obtenu par lithographie à entretoises.</i> a) : FinFET obtenu par lithographie à entretoises. b) : Dispositif FinFET réel.	30
Figure II.8	<i>Principe de l'implantation à angle θ non nul.</i>	32
Figure II.9	<i>Comparaison des résistances mesurées au milieu de chaque face</i>	33
Figure II.10	<i>rehaussement de la source et du drain par SEG ainsi que de son compromis intrinsèque</i> a) :Suppression des entretoises au niveau de la source et drain. b) : compromis inhérent au rehaussement	34
Figure II.11	<i>effets du rehaussement de source et de drain par SEG.</i> a) :Amélioration de la résistance Rsd. b) : Evolution des caractéristiques courant tension ($L_g=45nm$, $W_{fin}=17nm$).	35
Figure II.12	<i>SOI vs Bulk FinFET.</i>	35
Figure II.13	<i>comparaison des caractéristiques de transfert des SOI et Bulk FinFET pour les deux différents dopages du body à $V_{ds}=1,2V$.</i>	36
Figure II.14	<i>Le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET.</i>	37
Figure II.15	<i>le dibl en fonction de L_g</i>	37
Figure II.16	<i>Comparaison des caractéristiques de sortie des SOI et Bulk FinFET pour les deux différents dopages du corps.</i>	37
Figure II.17	<i>les régions ou l'effet de coin se produit dans la section verticale d'un FinFET.</i>	40
Figure II.18	<i>effet du BOX dans la direction Y-Z.</i>	41
Figure II.19	<i>effet BOX dans la direction X-Z</i>	41

Figure II.20	décalage du premier niveau d'énergie du digramme de bandes de canal par le confinement électrique et structurel de ses charges.	42
	Figure (II.21): structure FinFET avec les régions « underlap ».	43

Chapitre III		PAGE
Figure III.1	structure d'un DG MOSFET.	46
Figure III.2	Potentiel minimum en fonction de la longueur du canal, pour une largeur $W_{Si} = 3nm$ et $W_{Si} = 10nm$.	54
Figure III.3	Potentiel minimum en fonction de la longueur du canal, pour une largeur $W_{Si} = 3nm$ et $W_{Si} = 10nm$.	57
Figure III.4	Comparaison du roll-off des simulations TCAD 3D.	59
Figure III.5	Profil de source à drain de la concentration d'électrons libres de simulations TCAD 3D à $W_{Si} = 10 nm$, $L = 100 nm$ et différentes tensions de grille (lignes continues). Profils de concentration du dopage. Délimitation du canal effectif en fonction de la tension de grille.	60
Figure III.6	Longueur de diffusion des porteurs majoritaires des source et drain dans le canal en fonction de la tension de grille, extraite de simulations TCAD 3D à différentes largeurs W_{Si} et selon un modèle physique classique et quantique.	60
Figure III.7	Découpage du canal complet du FinFET selon une série de résistance.	61

Introduction générale



INTRODUCTION GENERALE

Depuis plus de 40 ans l'industrie de la microélectronique produit des puces de silicium qui réalisent des tâches de calculs et plus généralement des fonctions logiques. En effet c'est en 1967 que Frank Wanlass invente le concept de la technologie CMOS qui exploite le transistor à effet de champ MOS.

Une course à la performance de ces puces a mené à une miniaturisation toujours plus importante des transistors MOS. Cela a permis la conception de circuits intégrés à très large et ultra-large échelle (VLSI-ULSI) comportant toujours plus de transistors. Au fil des années la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistor MOS (TMOS).

En réduisant au fil des générations la taille des TMOS, les circuits intégrés deviennent de plus en plus performants et leurs dimensions sont réduites, par conséquent le moteur de l'évolution de la microélectronique a principalement consisté en la réduction des dimensions des transistors. En 1973 Gordon Moore a constaté que la densité des transistors sur une surface donnée pouvait être doublée tout les deux ans, ce qui revient à dire que la taille des TMOS peut être réduite pour un facteur de 0.7 tout les deux ans, c'est ce qu'on appelle ' la loi de Moore'.

A chaque nouvelle génération de transistor la réalisation du défi lancé par la loi de Moore apparaît comme un problème difficile à résoudre. Respecter la loi de Moore nécessite un compromis complexe entre la physique, la technologie et la rentabilité. Ainsi la réduction de la taille des TMOS de technologie conventionnelle (MOSFET Bulk) approche de ses limites. En effet les questions de mise à l'échelle conduisent à des effets parasites.

Bien que ces défis aient augmentés au fil du temps, une solution bien adaptée a consistée à concevoir de nouvelles architectures basées sur la technologie SOI (Silicon On Insulator) a pour but de compenser ces effets néfastes. La technologie SOI permet de réaliser des transistors multiple-grille qui représentent les dispositifs les plus prometteurs pour succéder à la technologie MOS Bulk. On cite entre autres le transistor FinFET, ce composant a en effet une bonne compatibilité avec les chaînes de fabrication actuelles de l'industrie intégrant ces nouveaux dispositifs. Il se pose alors naturellement le problème de la conception de circuits intégrant ces nouveaux dispositifs. Ainsi, le développement de modèles compacts performants, notamment pour le FinFET, devient une demande pressante. A la différence d'un

INTRODUCTION GENERALE

modèle purement physique, un modèle compact utilise idéalement des expressions explicites pour le calcul des différentes grandeurs physiques telles que le courant de drain, les densités de charges, les transcapacités, etc. L'intérêt d'un modèle compact est de donner au concepteur un résultat de simulation le plus rapidement possible tout en conservant une précision suffisante à la bonne fonctionnalité du circuit simulé.

Depuis quelques années, plusieurs modèles compacts de MOSFET double grille et de FinFET ont été publiés. Cependant, actuellement aucun d'entre eux ne répond complètement à toutes les attentes des concepteurs, ainsi la réalisation d'un modèle complet de transistors à multiple grilles reste donc encore à faire.

CHAPITRE I



CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

I.1 Introduction

Le transistor MOSFET est le dispositif le plus répandu dans la production actuelle des composants semi-conducteurs, il est considéré comme le dispositif de base de la micro-électronique. Il est cependant à noter que son développement et tout particulièrement la diminution de ses grandeurs géométriques au fil des années a laissé malheureusement apparaître certains phénomènes parasites non négligeables. Des solutions technologiques sont mises en œuvre afin de réduire ces courants parasites. Malgré les diverses solutions proposées, il est de plus en plus difficile d'optimiser les procédés de fabrication des architectures classiques des transistors MOS. Ainsi, des solutions alternatives au MOSFET conventionnel sont développées pour les futurs noeuds technologiques. Il s'agit du transistor MOS SOI. L'émergence de nouvelles architectures telles que les transistors MOS à multiple grilles, comprenant les transistors double grille, FinFET ou à grille enrobante dits GAA (Gate-All-Around), permettent d'améliorer le contrôle électrostatique du dispositif et limitent ainsi les effets parasites généralement observés.

I.2 MOSFET Bulk

D'après la 'loi de Moore', la densité des transistors sur une surface donnée peut être doublée ou la taille du transistor MOSFET-Bulk peut être réduite par un facteur de 0,7 tous les deux ans, c'est ce que l'on appelle le 'Scaling' CMOS. Mais depuis que cette technologie est entrée dans l'ère du nanométrique, de nombreux effets néfastes apparaissent et deviennent non-négligeables, certains d'entre eux deviennent difficilement contournables ou obligent à des solutions technologiques complexes et coûteuses.

L'ITRS prévoit qu'il n'en reste plus pour la réduction des dimensions (d'évolution) de la technologie MOSFET bulk, ensuite ce transistor ne pourra plus être réduit et la technologie des processus permettant de supprimer (ou limiter) ces effets néfastes coûtera trop chère, ce qui aura pour effet d'augmenter le prix des puces. Les principales contraintes technologiques auxquelles le dispositif MOSFET Bulk est confronté dans la course à la miniaturisation sont [2] :

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

I.2.1 Les effets canal court

Le transistor à canal court subit l'influence de plusieurs effets parasites qui influent sur la tension V_{th} et affecte le bon fonctionnement du dispositif.

- **Le partage de charge de déplétion (CS)**

La zone de charge des jonctions source/substrat et drain/substrat s'étend essentiellement vers la zone la moins dopée c'est-à-dire en direction du substrat.

Ces zones de charges d'espace induisent les effets de bord à la zone de déplétion. Lorsque la longueur du canal diminue, ces effets de bord deviennent importants, en effet la zone de désertion s'ajoute à celle contrôlée par la grille cette zone de déplétion est plus grande que celle prédite dans le modèle MOSFET à canal long, plus d'atomes accepteurs ionisés entraînant l'augmentation du potentiel de surface, la barrière de potentiel qui empêche les électrons d'entrer dans le canal est abaissée, il s'en suit une augmentation de la quantité des porteurs dans la zone d'inversion par conséquent la tension de seuil diminue en fonction de la longueur du canal [4].

- **La vitesse de saturation**

La vitesse des porteurs minoritaires est proportionnelle au champ électrique longitudinal, elle atteint un seuil V_{dmax} pour une valeur de champ critique E_c . Lorsque la longueur du canal diminue le champ dans le canal peut atteindre cette valeur critique à partir de laquelle la vitesse des porteurs commence à saturer.

La caractéristique $I_{ds.sat}(L_g)$ ne tend pas vers l'infini quand L_g tend vers 0, mais elle tend vers une constante.

La saturation de vitesse entraîne une diminution de $V_{ds.sat}$ ainsi que $I_{ds.sat}$ sur les caractéristiques des MOSFETs [2].

- **Effet canal court inverse (RSCE)**

L'effet canal court inverse est lié au dopage non uniforme le long du canal. Pendant les étapes de réalisation du canal et de l'oxyde de grille post-LDD ou après l'implantation de

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

zones fortement dopées ou poches ou ‘pocket’ ou de ‘halo’ au niveau de la source et du drain, un sur-dopage a lieu dans le canal au niveau des interfaces source/substrat et drain/substrat [4]. La zone sur-dopée s'accroît avec la réduction de la longueur du canal. Le dopage effectif augmente. Ceci implique une élévation de la tension de seuil lorsque la longueur de grille diminue.

- **Effet de la réduction de la barrière de potentiel induit par le drain (DIBL)**

Pour un dispositif à canal court lorsqu'on augmente le potentiel de drain la zone de charge d'espace liée à la jonction drain/substrat s'élargit. Ainsi la quantité de charge de déplétion contrôlée par la grille diminue par rapport à V_{ds} appliquée, donc la tension de seuil diminue en fonction de V_{ds} [1]. Ce phénomène correspond à l'effet DIBL figure (I.1), qui par conséquent entraîne :

- La mise en conduction du MOSFET même à l'état bloqué.
- Dégradation de la pente sous le seuil.
- L'augmentation du seuil du courant de fuite I_{off} .
- Modifie le potentiel de surface.

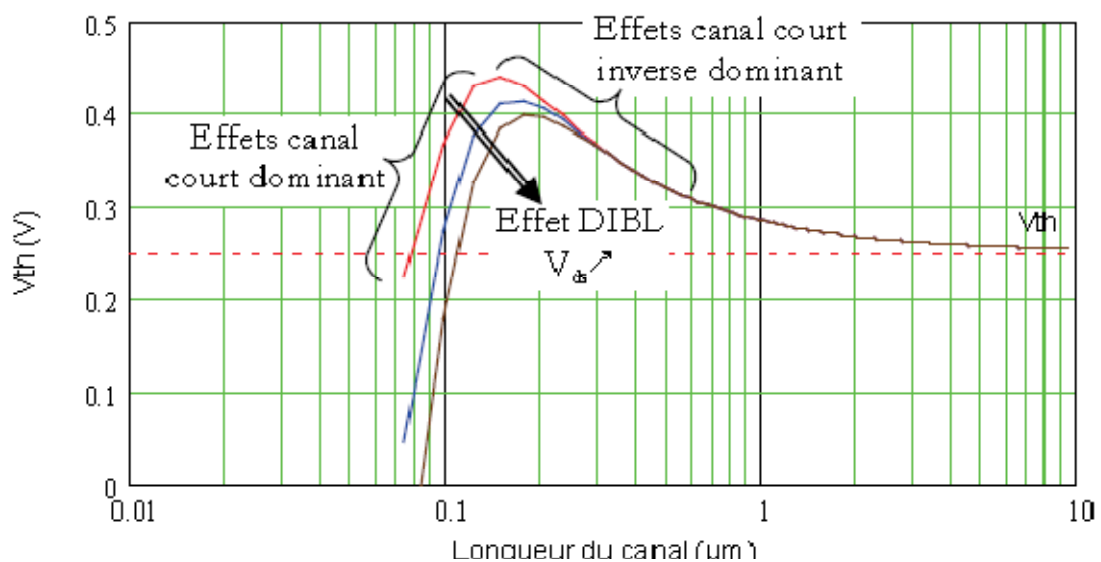


Figure (I.1) : Variations de la tension de seuil en fonction de la longueur du canal pour la technologie MOSFET 0,13 μm .

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

- **L'effet de perçage**

L'effet de perçage ou 'punch through' figure (I.2) à lieu lorsque les zones de charges d'espace des jonctions source/substrat et drain/substrat se rejoignent dans la zone active. Cette vision du phénomène est empirique. En fait, pour des fortes tensions V_{ds} , les lignes de champ de la zone de drain atteignent la source et augmentent le potentiel de surface. La tension de seuil effective devient nulle. La quantité de charges d'inversion croît. Le transistor conduit même pour $V_{gs}=0$ V. Cet abaissement de la barrière de potentiel conduit à la formation d'un faible courant d'électron de la source au drain. Ce courant se positionne soit en surface de la zone active pour un canal uniformément dopé, soit dans le corps du silicium lorsque le dopage en surface est important. Cet effet implique une pente sous le seuil légèrement dégradée et un plus fort courant de fuite à l'état bloqué (I_{off}) contrôlé par V_{ds} [2][4].

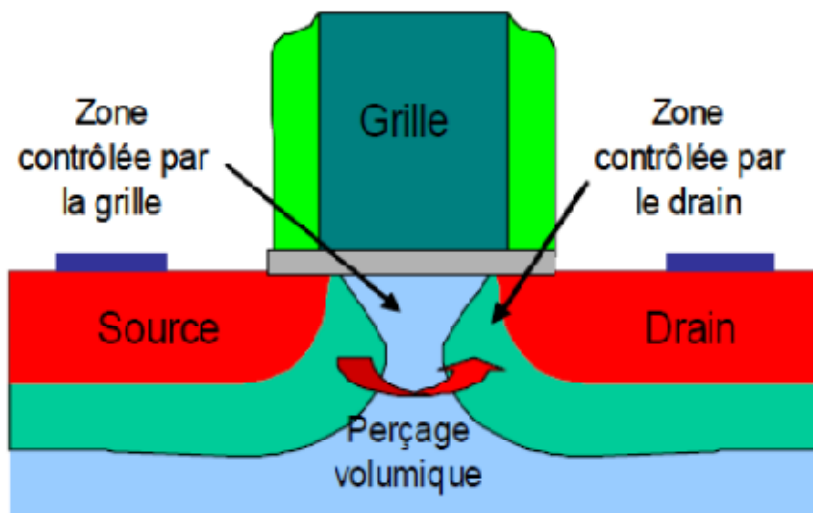


Figure (I.2) : Illustration du phénomène du perçage volumique.

I. 2.2 Effet canal étroit

Similairement à l'effet canal court, l'effet canal étroit est l'extension de la région de déplétion dans la région appelée 'bec d'oiseau' à cause des champs frangeants. Les lignes du champ électrique vertical atteignent la zone active du MOSFET. Ce champ de frange s'ajoute au champ électrique traversant l'oxyde de grille, et assure une déplétion supplémentaire sous le canal par conséquent la tension de seuil est mal contrôlée et le courant de fuite I_{off} est plus élevé [1][2].

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

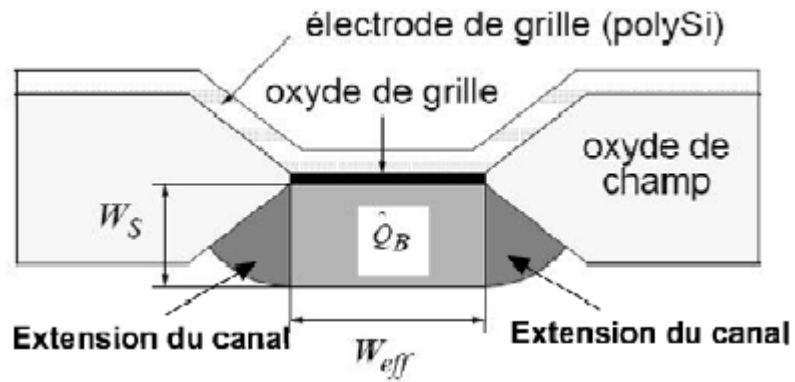


Figure (I.3) : Les régions d'extension du canal du à l'effet canal étroit.

Les deux régions foncées sur la figure (I.3) montrent l'extension du canal, contrairement à l'effet canal court, l'effet canal étroit induit une augmentation de la tension de seuil figure (I.4).

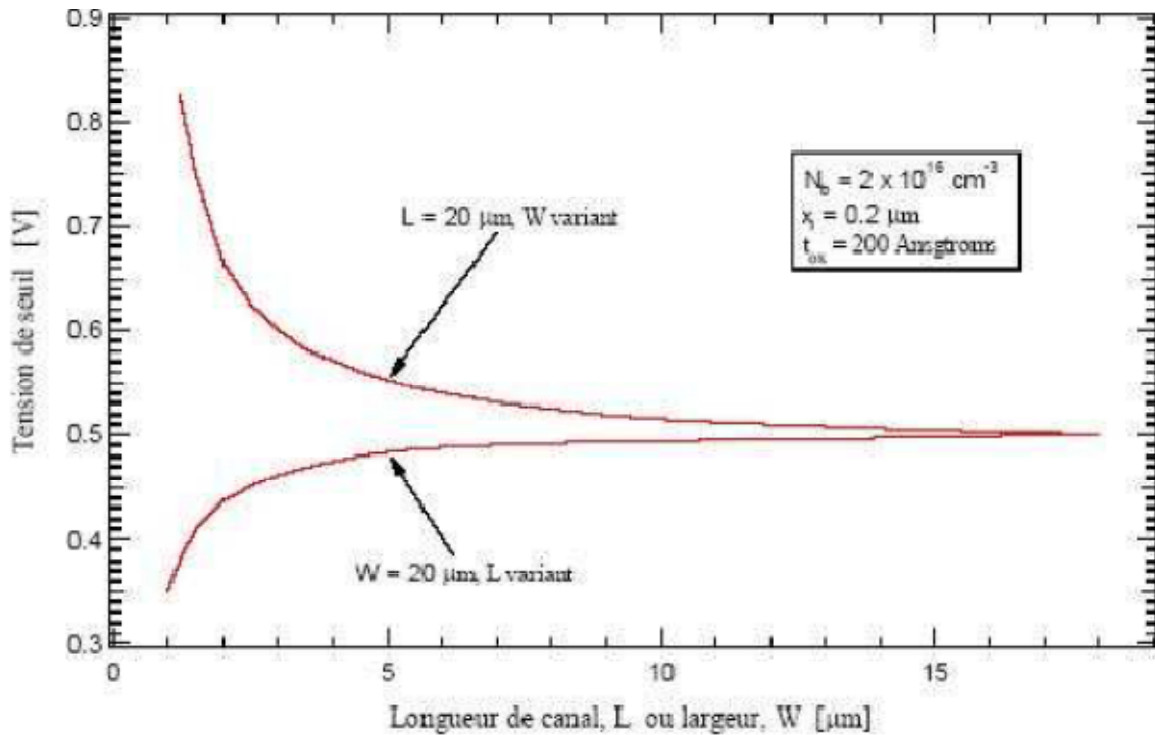


Figure (I.4) : variation de la tension de seuil avec la longueur L (courbe en bas) et la largeur W (courbe en haut).

I.2.3 Effet tunnel

Quand l'oxyde de silicium atteint des épaisseurs nanométriques, des courants de fuite tunnel de grille peuvent survenir, pour des épaisseurs d'environ 3 nm, il peut y avoir un courant tunnel, pour des épaisseurs inférieure à 3 nm donc un courant tunnel direct peut (Fowler Nordheim tunneling).

D'autres courants peuvent être générés à cause des défauts dans le volume de l'oxyde, tels que la conduction Poole Frenkel ou la conduction par sauts' Hopping'.

Un autre courant tunnel entre la source et le drain peut apparaitre quand les longueurs de grilles sont seulement de quelques nanomètres. La barrière de potentiel source-canal-drain devient si faible que les porteurs peuvent directement passer par effet tunnel de la source au drain, même sous faible polarisation de grille et/ou drain. Il s'agit ici d'une des limites physiques les plus fondamentales puisque cet effet tunnel parasite est susceptible d'affecter la caractéristique sous le seuil et donc le courant I_{off} des dispositifs ultimes de la microélectronique [1][4].

I.2.4 Effet GIDL (Gate Induced Drain Leakage)

A V_{ds} fort le courant de fuite drain-source ou I_{off} augmente en fonction de V_{ds} ce phénomène correspond au GIDL figure (I.5) [3].

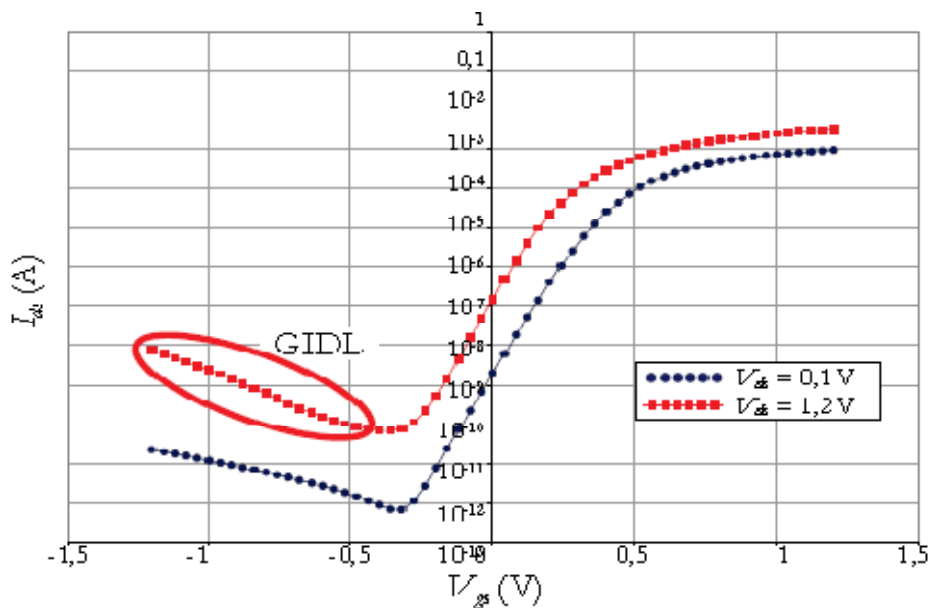


Figure (I.5) : Variation de la caractéristique $I_{ds}(V_{gs})$ en fonction de V_{ds} .

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

Pour un MOSFET à canal n dans sa région n+ du côté du drain une large zone de déplétion se forme sous les effets conjugués de forts champs électriques longitudinaux et verticaux. Un courant tunnel bande à bande issu de paires électron/trous se forme à l'interface oxyde de grille/substrat. Les électrons de la bande de valence accèdent à la bande de conduction par des effets tunnel direct et indirect. Les électrons sont évacués par le drain, sous l'action du champ électrique vertical. Les trous sont repoussés dans le substrat, par la zone de désertion créée à la jonction drain/substrat polarisée en inverse.

Le courant de GIDL varie en fonction:

- De la température par l'intermédiaire de E_g et des effets de porteurs chauds pour des champs électriques de surface faibles.
- Du type de dopage de la grille par rapport au dopage du substrat.
- Des effets de bords dans les dispositifs à faible largeur de grille.
- Des pièges à l'interface oxyde de grille/drain pour des champs électriques faibles et, des effets de porteurs chauds.

Le dopage de la zone n+ influe sur le courant de GIDL en modifiant le potentiel de surface, mais surtout, en réduisant le champ électrique transversal qui traverse la zone de drain. Ainsi, les dispositifs avec une zone de LDD présentent moins d'effets GIDL.

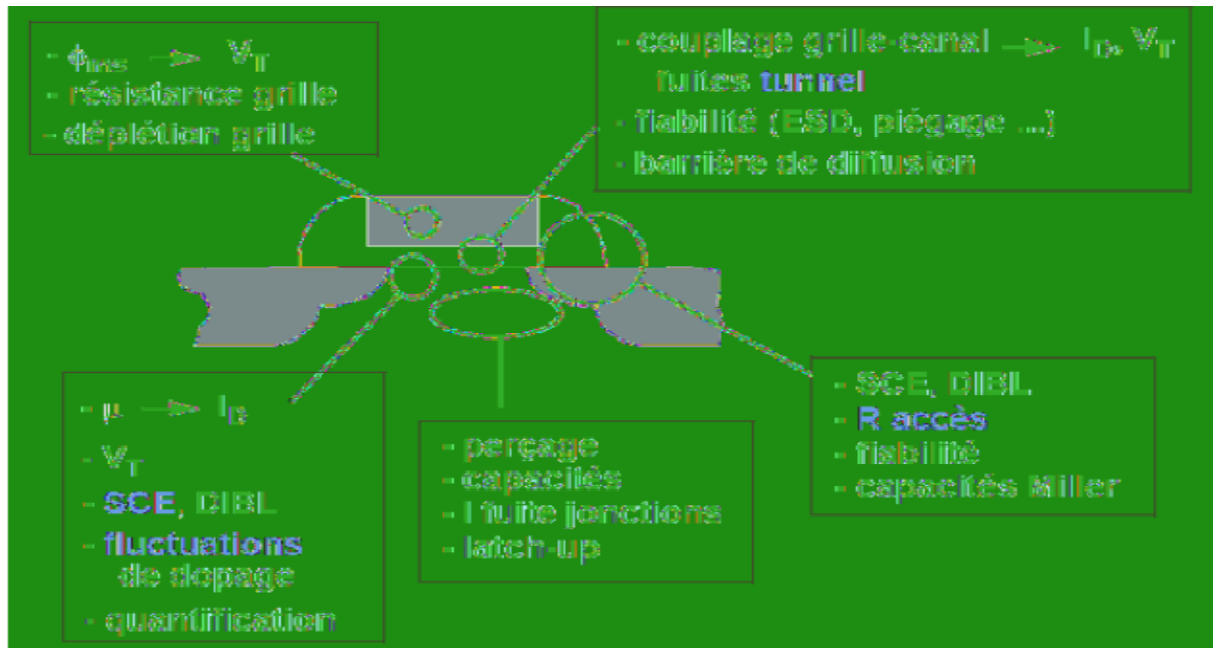


Figure (I.6) : Point clé de l'optimisation d'un MOSFET Bulk.

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

En résumé les principaux effets néfastes dans la technologie MOS Bulk sont présentés dans la figure (I.6) [2], parmi eux l'effet de canal court et l'effet DIBL qui sont deux effets importants et très problématiques dans l'optimisation d'un MOSFET Bulk et qui perturbent fortement le bon fonctionnement électrique du dispositif lors de sa miniaturisation pour limiter ces effets néfastes, le dopage du canal doit être très grand ce qui induit alors les effets quantiques néfastes au niveau de la grille.

Pour avoir un courant de drain très important la technologie Si contraint a été développée pour réduire la collision et améliorer la mobilité.

Une faible résistance de grille est préférée afin de diminuer la chute de potentiel traversant la grille. Par ailleurs, la grille fabriquée en polysilicium a permis de simplifier le processus de fabrication du transistor, mais a engendré un effet de poly-déplétion, le choix d'une grille métallique permet d'éliminer cet effet.

La réduction de l'épaisseur de l'oxyde de grille entraîne un courant de fuite tunnel traversant l'oxyde de grille, cela à une incidence sur la fiabilité du transistor.

La réduction du nombre de porteurs participants à l'élaboration du courant est réduite par la miniaturisation des dimensions ce qui amène le problème de fluctuation du nombre des porteurs.

En raison de la collision entre les porteurs et les atomes du cristal lorsque le champ longitudinal devient très important, des paires électrons-trous sont créées. Dans le cas d'un NMOS, les électrons circulent vers le drain et les trous se dirigent vers le substrat ce qui forme le courant de fuite de substrat.

Nous trouvons aussi une petite quantité de porteurs se dirigeant vers l'oxyde de grille induit un courant de fuite de grille.

Dans une cellule CMOS conventionnelle, entre le NMOS et le PMOS, un transistor bipolaire est formé, ainsi un courant de fuite de substrat circule et une quantité d'énergie est perdue.

Tous ces effets empêchent la miniaturisation du transistor MOS Bulk, et les solutions pour y remédier deviennent de plus en plus complexes et coûteuses, par conséquent une autre technologie doit être trouvée en remplacement de la technologie MOS Bulk pour continuer la miniaturisation des composants dans les circuits intégrés.

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

I.3 La technologie SOI (Silicon On Insulator)

Avec la réduction des performances des dispositifs plusieurs grands industriels comme STM ont fait le choix de se lancer sur la technologie SOI.

L'approche SOI consiste à introduire dans le transistor silicium Bulk une fine couche d'isolant (oxyde de silicium), c'est ce qu'on appelle UTB SOI (Ultra Thin Body Silicon On Insulator). Les études ont montrées que cette technologie pouvait résoudre les problèmes de consommation et de résoudre les problèmes liés à la réduction d'échelle des dispositifs jusqu'à des longueurs de grille de 20nm.

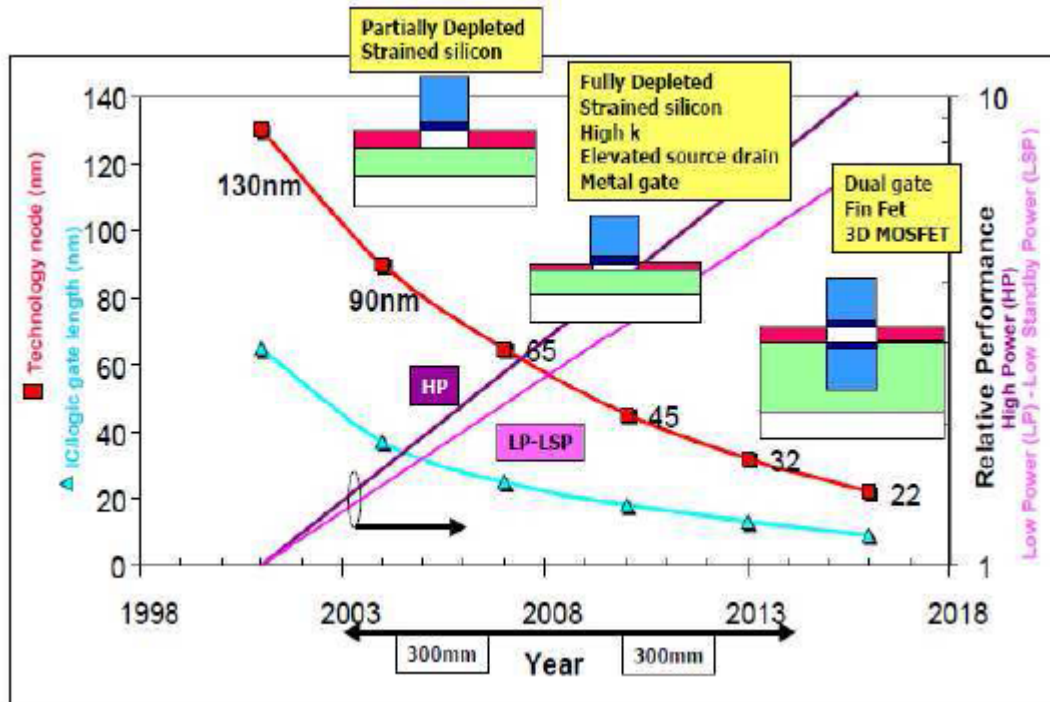


Figure (I.7) : Le SOI permet d'atteindre les générations futures de dispositifs définies par l'ITRS roadmap jusqu'au nœud 20nm (SOIC).

La technologie SOI a été handicapée au début des années 90 par le prix des substrats silicium sur isolant produit par SOITEC qui en détenait le principal brevet de fabrication. Mais les limites actuelles du Bulk ont fait que le FD SOI devient un successeur potentiel sérieux en raison de sa faible consommation et de son efficacité en termes de réduction de courant de fuite [2].

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

I.3.1 Transistor MOSFET SOI simple grille

Le terme SOI de l'anglais 'Silicon On Insulator' signifie silicium sur isolant, contrairement au transistor MOSFET conventionnel où les composants sont réalisés sur un substrat de silicium dit bulk d'une épaisseur de l'ordre 600 μm , le SOI MOSFET est réalisé sur un film de silicium posé auparavant sur une couche d'oxyde enterrée (BOX) figure (I.8).

La présence de l'oxyde enterré 'burried oxide dit BOX' permet un meilleur contrôle du potentiel dans le canal par la grille comparé au transistor MOSFET conventionnel [4].

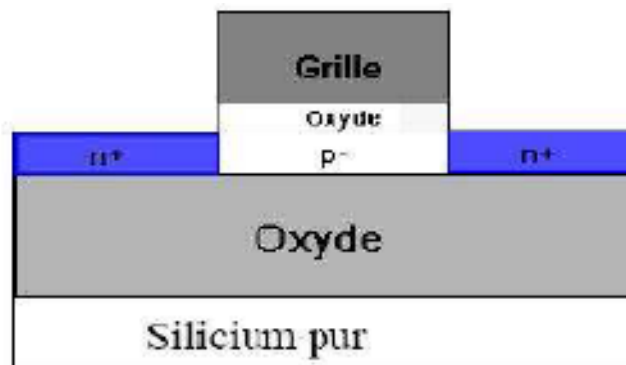


Figure (I.8) : Structure d'un transistor (simple grille) SOI de type n.

Il existe plusieurs types de technologies SOI, et les transistors de chaque technologie n'ont pas les mêmes caractéristiques électriques.

En fonction du dopage du canal et selon l'épaisseur du silicium 'Tsi', le transistor d'une technologie SOI peut être défini comme entièrement ou partiellement déserté (respectivement 'FD' ou 'PD' pour fully ou partially depleted). L'épaisseur du film de silicium agit directement sur les caractéristiques électriques. Il est alors question de film de silicium mince pour FD ou épais pour PD.

I.3.1.1 MOSFET PD SOI (partiellement déplété)

Le MOSFET PD reste similaire au MOS sur silicium massif, les charges des porteurs majoritaires se trouvent repoussées de l'interface diélectrique/silicium créant ainsi une zone de déplétion d'une profondeur maximale X_{dmax} qui reste inférieure à l'épaisseur Tsi

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

figure(I.9). La non déplétion de toute la couche de silicium crée une zone neutre, pouvant se transformer en zone d'accumulation de charge qui fait augmenter son potentiel modifiant ainsi les caractéristiques du MOSFET (tension de seuil), c'est l'effet body flottant ou 'FBE', ce body flottant 'FB' se situe au-delà du champ électrique contrôlé par V_{gs} , il est proche de la zone en contact avec l'oxyde enterré [5].

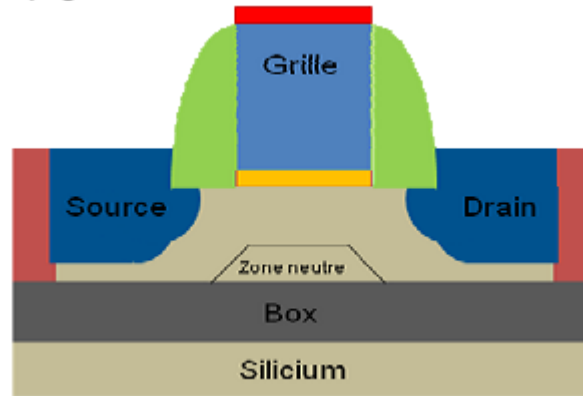


Figure (I.9) : Représentation schématique d'un transistor MOS PD SOI.

Pour la technologie SOI partiellement déplété PD SOI : l'épaisseur d'oxyde $T_{si} > 2 * X_{dmax}$.

X_{dmax} est la zone de déplétion maximale qui est donnée par l'équation :

$$X_{dmax} = \sqrt{\frac{4\epsilon_{si}\Phi_F}{qN_a}}$$

Avec : Φ_F est le potentiel de fermi, N_a est la concentration de dopage dans la région P (cas du NMOS), ϵ_{si} est la permittivité du silicium et q est la charge d'un électron.

Les dispositifs PD exhibent de performances meilleures notamment en termes de courant Ion comparés à ceux sur silicium massif. Néanmoins, d'autres effets parasites, connus sous le nom de substrat flottant (Floating Body Effects) apparaissent :

- **Effet Kink**

Ce phénomène apparaît à fort champ électrique, il est dû à l'ionisation par impact qui crée des paires électrons-trous près du drain. Certaines de ces charges ne se recombinent pas et donnent lieu à des charges libres. Dans le cas d'un NMOS, les électrons vont suivre le courant de drain en revanche, les trous vont s'accumuler lentement dans le body, comme sur

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

la figure (I.10) Ce phénomène contribue à l'augmentation du potentiel dans le canal et par conséquent, induit une diminution de la tension de seuil et une augmentation du courant de drain (1^{er} Kink), figure (I.11) [5] [6].

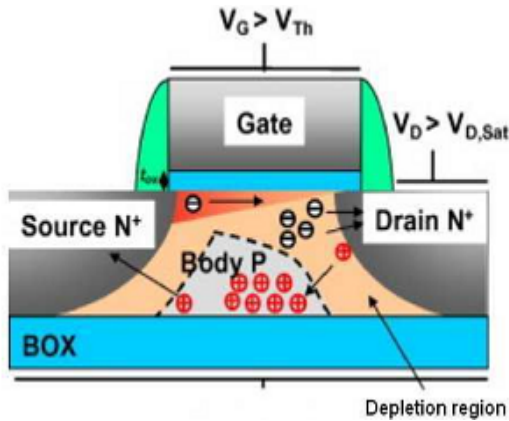


Figure (I.10) : Mécanisme de l'ionisation par impact.

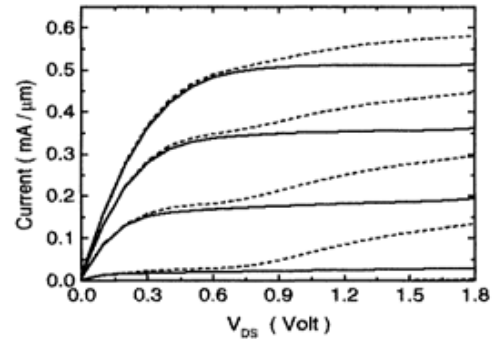


Figure (I.11) : Effet Kink pour un PD SOI.

- **Effet bipolaire parasite**

Un second effet kink peut aussi apparaître après le premier. Il est dû à la polarisation en direct de la diode source/body et peut engendrer le passage d'un courant bipolaire parallèle au MOSFET. C'est l'effet bipolaire parasite. Ce phénomène parasite contribue à la dégradation de la tension de seuil, une pente sous le seuil inférieure à 60 mV/déc et une perte de contrôle du courant par la grille, ce qui peut donner lieu à de très forts courants de fuites. Pour atténuer cet effet, une implantation LDD est proposée comme solution. Cette technique permet de réduire l'ionisation par impact et le gain du bipolaire [5][1].

Toutefois, ces effets sont atténués et peuvent disparaître dans le cas du FD SOI, en raison de la déplétion totale du film de silicium, ce qui annule l'effet Kink.

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

I.3.1.2 MOSFET FD SOI (complètement déplété)

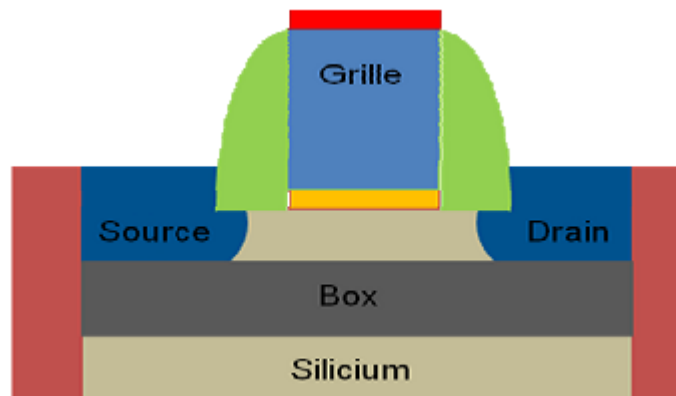


Figure (I.12) : Représentation schématique d'un transistor MOS FD SOI.

La structure FD SOI ressemble à celle du PD, les seules grandes différences sont, une absence ou peu de dopage dans le canal et l'amincissement du film du silicium. Pour simplifier, le transistor FD SOI est un transistor MOS intégré sur une couche de silicium ultra mince, opérant en déplétion totale avec un canal confiné dans une zone réduite entre l'oxyde de grille et le Box [6].

Dans une structure FDSOI, il y a trois mécanismes distincts qui contribuent au courant de drain, il existe l'inversion face avant et face arrière aux interfaces canal-grille en face avant et canal-oxyde enterré en face arrière. Et la conduction du body dans la région centrale du canal non dopé[7]. L'application d'un potentiel face arrière (Back Bias) via une prise substrat va augmenter les performances et réduire les fuites, par ajustement du V_{th} et réalisant des implantations de dopants sous le Box (c'est ce qu'on appelle plan de masse "Ground Plane"). L'amincissement de l'oxyde enterré permet la réduction des effets de canaux courts et ceci en réduisant le couplage électrostatique latéral entre source et drain. Cette action permet aussi la modulation de la tension de seuil. En revanche, l'utilisation d'un BOX mince favorise la formation d'une zone de déplétion en dessous de ce dernier, ce qui a tendance à augmenter l'épaisseur équivalente du BOX. Cet effet parasite peut être surmonté en intégrant le GP ou plan de masse. Cette opération va limiter la pénétration du champ sous le canal ainsi le couplage à travers le canal [6][1].

Finalement, l'effet du plan de masse 'Ground Plane' et la polarisation face arrière 'Back Biasing' influent positivement sur les différents paramètres du transistor comme le DIBL, la

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

tension de seuil V_{th} et la mobilité des porteurs dans le canal. Hormis ces avantages, le FD SOI confère [7] :

- Un excellent contrôle électrostatique du transistor, permettant d'atteindre des performances remarquables pour les faibles V_{dd} .
- Une réduction considérable de la variabilité, les transistors MOS FDSOI possèdent un coefficient de variabilité de la tension de seuil, aussi appelé coefficient de Pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif. Cela permet ainsi, une grande stabilité et un meilleur rendement.

I.3.2 Comparaison entre le transistor MOSFET Bulk et MOSFET SOI

Dans le cas du transistor MOS bulk, l'isolation des composants est de type électrique, c'est-à-dire qu'elle s'effectue au travers des jonctions polarisées dans le sens inverse et que les composants complémentaires sont réalisés dans des caissons de types opposés. Par contre, pour les transistors SOI, l'isolation est de type diélectrique ou hybride électrique-diélectrique, ce qui signifie qu'un isolant entoure entièrement les composants figure 13, ces derniers sont réalisés dans un film de silicium et ne nécessitent aucune polarisation particulière d'isolation. Le courant de substrat et le phénomène de latch-up sont donc naturellement éliminés. Mais à cause de la faible conductivité thermique de l'oxyde, cette isolation apporte aussi un effet néfaste par rapport au MOS bulk, c'est-à-dire l'effet d'auto-échauffement [1].

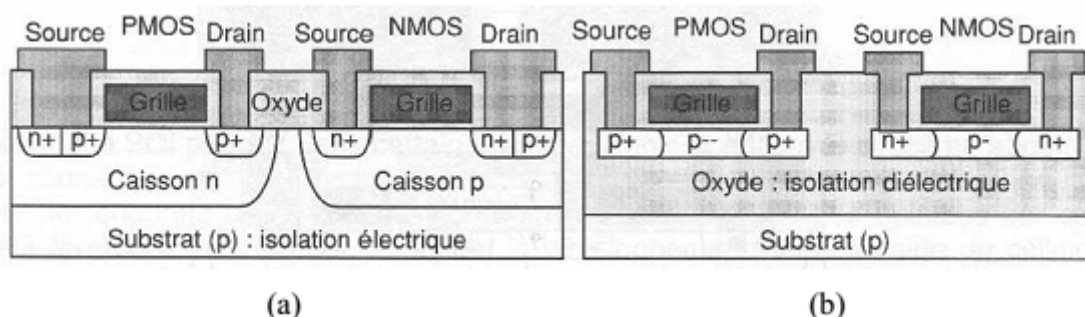


Figure (I.13) : Coupe schématique dans un circuit Bulk (a) et SOI (b).

I.3.3 Avantage de la technologie SOI par rapport au MOS Bulk

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déplété, sont dans l'ensemble bien meilleures comparées au transistor MOS Bulk, les principales propriétés de la technologie SOI par rapport au MOSFET Bulk sont :

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

- ✓ Diminution des effets parasites : la présence de l'oxyde enterré réduit capacités parasites et les courants de fuites.
- ✓ La petite épaisseur du film de silicium limite la pénétration des champs de source et de drain dans le silicium, l'effet canal court est donc moins sensible dans le FD SOI que dans le MOS Bulk.
- ✓ Le transistor FD SOI a une pente sous le seuil plus idéale que le transistor MOS Bulk (une faible tension de fonctionnement).
- ✓ Le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important en technologie SOI.
- ✓ L'utilisation d'un film faiblement dopé dans le cas du transistor FD SOI et la réduction des champs électriques dans le SOI permettent d'améliorer la mobilité des porteurs, et par conséquent le courant de saturation.
- ✓ L'utilisation du wafer SOI, en dépit de coût très cher, facilite le processus de fabrication grâce à l'absence des caissons de la technologie MOS.

I.3.4 Inconvénients de la technologie SOI

- ✓ La qualité du substrat qui affecte négativement les performances du transistor notamment la dérive de la tension de seuil et la dégradation de la mobilité.
- ✓ Coût de production cher.
- ✓ Effet du body flottant pour le transistor PD SOI : augmentation brusque du courant de drain due à l'ionisation par impact (1^{er} Kink), et dégradation de la tension de seuil due à l'effet bipolaire parasite (2^{eme} Kink) [5].
- ✓ L'augmentation des résistances parasites des contacts source et drain due à la réduction de l'épaisseur Tsi et l'apparition des effets de confinement quantique des porteurs dans les films très minces pour le transistor FD SOI.
- ✓ L'auto échauffement ou l'influence de l'épaisseur sur la conductivité thermique du film de silicium (surtout quand il s'agit d'un film mince), ce phénomène conduit à une réduction de mobilité des porteurs et une augmentation de la tension de seuil.
- ✓ Les effets canaux courts résultant en un abaissement de la tension de seuil qui sont le recouvrement des zones de charge d'espace entre la grille et les source/drain et l'effet DIBL.

La technologie SOI à une grille ne permet pas de réduire les effets néfastes tels que l'effet canal court en raison de l'influence électrostatique. Cependant l'ajout de grille autour de la

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

couche de silicium favorise l'isolement de canal de conduction et offre un meilleur contrôle sur ce canal, en conséquence nous voyons apparaître des structures SOI avec deux, trois ou plus de trois grilles afin d'améliorer le contrôle électrostatique sur le canal de conduction et donc de limiter les effets de canal court. On parle alors de transistors à effet de champ à grilles multiples (*Multiple-Gate FET* : MuGFET).

I.4 Les MuGFET

Il existe une grande variété de MuGFET, dont les noms dépendent de la configuration. La figure (I.14) recense les principales configurations de MuGFET que l'on peut trouver dans. Il est intéressant de noter que l'on parle de dispositifs 'multigrille' alors qu'en réalité il ne s'agit que d'une seule et même électrode placée sur un certain nombre de faces du canal. Sachant que la conduction du courant s'effectue essentiellement à la surface du canal. Dans le cas des dispositifs à ailettes à double ou triple grille, cela nécessite surtout que la hauteur des ailettes H_{fin} soit suffisamment grande devant leur pitch P_{fin} [10].

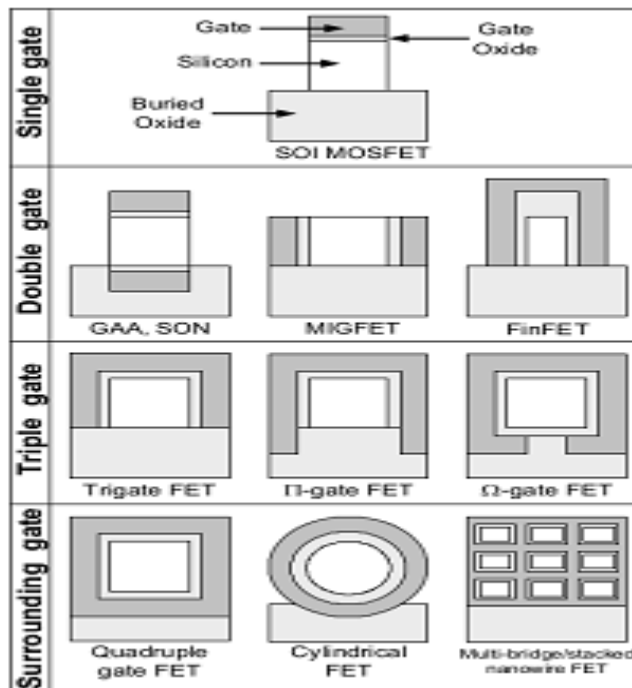


Figure (I.14) : Classification et dénomination des MuGFET.

I.4.1 Transistor MOSFET double grille

Comme cela a été évoqué précédemment, il existe un champ électrique dans l'oxyde enterré d'un transistor SOI simple grille (Figure I.15). Les lignes de champ électriques relient

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

le drain et le silicium en traversant l'oxyde enterré et augmentent le potentiel dans le silicium. Cela s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing). Une solution efficace proposée pour éliminer l'effet DIVSB est l'ajout d'une deuxième grille enterrée sous le silicium. Ce dispositif s'appelle simplement le MOSFET double-grille (DG). La grille enterrée coupe les lignes de champ électrique dans l'oxyde enterré, éliminant ainsi l'effet de DIVSB. Par rapport au plan de masse enterré, le DG MOSFET est plus avantageux grâce au renforcement du contrôle du canal par les grilles. La pénétration des zones de charge déplétées par les source/drain étant réduite par rapport à la technologie SOI, cela implique donc un plus faible effet de canal court et une pente sous le seuil quasi-idéale. Un second canal se forme proche de l'interface Si-SiO₂ de la grille enterrée doublant ainsi le courant en régime de forte inversion [1][2].

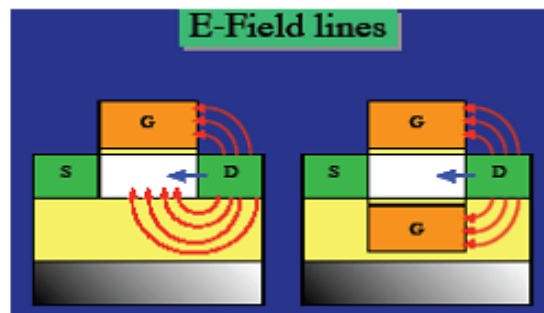


Figure (I.15) : Lignes de champ électrique.

Des prototypes de DG MOSFET ont été réalisés. Le processus de fabrication d'un DG MOSFET peut varier de l'un à l'autre. Mais quel que soit le processus de fabrication, les deux grilles doivent être strictement alignées. Le non alignement des grilles pose un problème très gênant dans le comportement d'un DG MOSFET, Tout le film de silicium ne peut plus être contrôlé par la grille enterrée et une capacité parasite importante intervient dans le comportement électrique du transistor.

I.4.2 Le FinFET

La première structure FinFET a été publiée sous le nom de 'DELTA'. Elle est construite à base d'un film de silicium fin sur un wafer SOI [2]. La forme du film de silicium ressemble à un aileron (soit 'fin' en anglais). C'est pourquoi elle est nommée FinFET. Dans le cas des FinFETs le transport électronique et le champ de grille sont parallèles au plan de substrat.

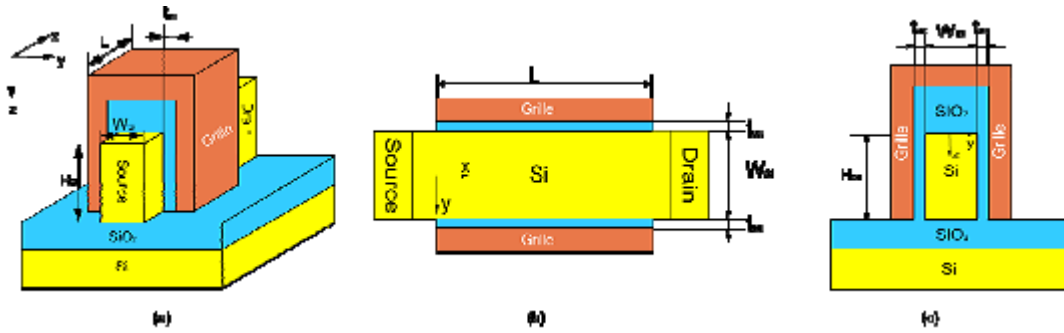


Figure (I.16) : Définition du FinFET.

La structure du transistor FinFET est définie à la Figure (I.16). La grille enrobe le film de silicium. La section horizontale est similaire à un DG MOSFET (Figure I.16b). L'oxyde de la grille supérieure est très épais afin de négliger l'influence de la grille associée. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET. Nous pouvons donc estimer que la largeur du canal total en forte inversion est équivalente à 2 fois la hauteur du Fin (H_{si}).

I.4.3 Transistor MOSFET triple grille

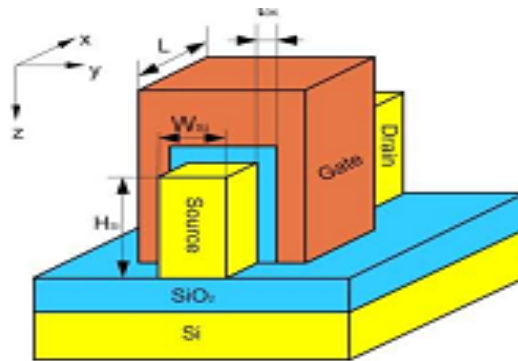


Figure (I.17) : Structure 3D d'un TG MOSFET.

La Figure (I.17) montre la structure 3D d'un MOSFET triple-grille (TG MOSFET). Une règle simple (liée au scaling) permet de distinguer le FinFET et le TG MOSFET. Si $2 \times H_{si} \gg W_{si}$, nous sommes dans le cas du FinFET. Sinon, si $2 \times H_{si}$ est comparable avec W_{si} et si l'épaisseur de l'oxyde de la grille supérieure est égale à l'épaisseur de l'oxyde des deux côtés latéraux, nous sommes dans le cas du TG MOSFET. Au niveau de la fabrication, le TG MOSFET est plus simple. Dans l'étape de la Figure 17c, l'oxyde recouvrant le silicium peut être formé avec la même durée que pour les deux côtés latéraux. Avec trois grilles, le TG

CHAPITRE I : LA TECHNOLOGIE MOS A MULTI GRILLE

MOSFET renforce encore plus le contrôle du canal. Une estimation simple de la largeur 'équivalente' du canal est de 2 fois la hauteur du silicium plus la largeur du silicium soit $(2 \times H_{Si} + W_{Si})$ [4]. Pour des mêmes dimensions, le TG MOSFET a donc un courant plus grand qu'un FinFET. Mais pour finaliser la fabrication, les source et drain seront épitaxiés depuis le haut de la structure ; si l'oxyde au-dessus du film de silicium est très fin, cela risque de court-circuiter les source et drain avec la grille. Afin d'éviter ce risque, une extension du silicium (underlap) est nécessaire [2]. Cependant, l'introduction de cet underlap augmente la résistance d'accès. Il est à noter que la modélisation du TG MOSFET est plus compliquée que celle du FinFET, à cause des régions de 'coins' proches de l'interface sous la grille supérieure où les influences des grilles horizontale et verticale se superposent. Le FinFET et le TG MOSFET sont basés toujours sur la technologie SOI. Les canaux se positionnent toujours sous l'oxyde de grille. Les lignes électriques des grilles verticales traversent le BOX lorsqu'elles sont dans le bas du silicium. On appelle cela l'effet de BOX qui influence le comportement du transistor et peut être négligé seulement lorsque la largeur du silicium (W_{Si}) est petite.

I.4.4 Le GAA MOSFET

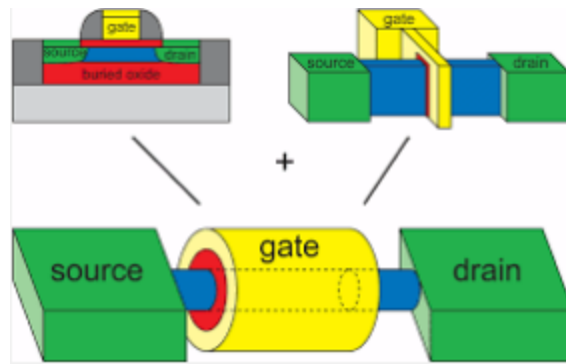


Figure (I.18) : Structure du GAA MOSFET.

L'architecture Gate All Around (GAA) est un autre type d'architecture multi grille planaire. Le principe de ce dispositif consiste à entourer totalement le canal de conduction pour un meilleur contrôle électrostatique et donc de lutter efficacement contre les effets de canal court et l'effet BOX. La structure cylindrique du GAA permet d'avoir un comportement symétrique par rapport au FinFET et TG MOSFET, Il n'y aura plus de problème de coins. Le contrôle du canal est meilleur donc le SCE et le DIBL sont minimisés. L'inconvénient de la technologie GAA MOSFET est qu'elle est très difficile à fabriquer et donc très chère.

I.5 Avantages et inconvénients des transistors à grille multiple

- **Avantages**

- ✓ Amélioration du contrôle électrostatique sur le canal de conduction.
- ✓ La conduction s'effectue d'une manière volumique et non pas surfacique.
- ✓ Procédés proches d'un MOSFET.
- ✓ La réduction des effets néfastes tels que SCE.
- ✓ Suppression des courants de fuites.

- **Inconvénients**

- ✓ Leur fabrication qui nécessite la mise en œuvre de procédés plus que délicat.
- ✓ L'accroissement des résistances des extensions source et drain.
- ✓ La réduction des dimensions de la zone active.
- ✓ Difficulté de lithographie.

I.6 Conclusion :

La technologie MOS bulk arrivera bientôt la fin de son évolution, et cela à cause notamment de nombreux effets (liés au scaling) de plus en plus néfastes au bon fonctionnement des dispositifs. Le SCE et le DIBL sont deux des principaux inconvénients. Succédant au MOSFET bulk, la technologie multiple-grilles devrait permettre de continuer à suivre 'la loi' de Moore. D'après la théorie du scaling, la technologie multiple grilles a une longueur naturelle plus courte que le MOS bulk grâce au contrôle renforcé du canal. Le FinFET renforce le contrôle du canal par rapport au MOSFET bulk et au MOSFET SOI simple grille, mais moins bien que le Triple Grille, il est plus facile à fabriquer que les autres transistors multiple grille, et a une compatibilité de fabrication par rapport au MOSFET Bulk meilleure que les autres. La largeur du Fin (W_{si}) est le paramètre très important il est responsable de la 'réduction d'échelle' du FinFET.

CHAPITRE II



II.1 Introduction

Les respects de la loi de Moore par les fabrications des dispositifs à semi-conducteur, entraîne une réduction toujours plus drastique des dimensions des dispositifs, tant et si bien que l'on se heurte à l'heure actuelle à des limites technologiques avec la réduction des dimensions en conservant le même design de dispositifs.

Un des obstacles majeurs concernant les transistors à effet de champ (Field Effect Transistors) FET en technologie Métal-Oxyde-Semiconducteur (MOS) de type massif sont les effets dits: le canal court (Short Chanel Effect) SCE, qui traduisent une dégradation du contrôle électrostatique de la grille sur le canal de conduction entre la source et le drain.

Un des autres phénomènes parasites est l'abaissement de la barrière de potentiel vue par les porteurs du canal (DIBL).

Une des façons d'améliorer le contrôle électrostatique sur le canal de conduction et donc de limiter les effets de canal court est d'augmenter le nombre de grilles autour du canal en question. On parle alors de transistors à effet de champ à grilles multiples (Multiple-Gate FET : MuGFET). Si les SCE sont contenus, il est alors de nouveau envisageable de réduire les dimensions des dispositifs (à conditions que les techniques de fabrication le permettent).

II.2 Présentation du FinFET

II.2.1 Le transistor double grille quasi planaire (FinFET)

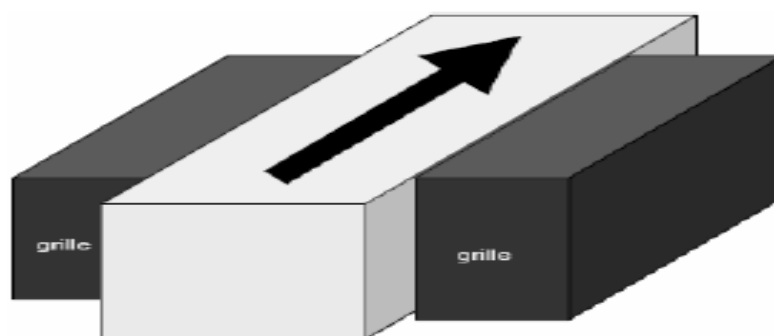


Figure (II.1): *Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi planaire (la flèche indique l'orientation du transport et la position des grilles. indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal).*

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

Les transistors double grille planaires et à conduction verticale ne sont pas facilement intégrables dans la filière CMOS. Un nouveau type d'architecture plus proche de la technologie MOS classique a été étudié: les transistors à conduction latérale ce type d'architecture appelée transistor MOS double grille quasi planaire (FinFET) ou le transport électronique ou et le champ de grille sont parallèles au plan du substrat. Il tire son nom de son canal en forme d'aileron (Fin). La première mise en œuvre de dispositifs FinFET a été publiée en 1980, par D. Hisamoto et al. Ce transistor a été initialement nommé DELTA et a été renommé FinFET en 1999.

Les étapes de fabrication d'un tel dispositif sont schématisées sur la figure (II.2). La zone active (en forme d'aileron ou de mur) et les caissons source et drain commencent par être dessinés, l'oxyde et le contact de grille sont ensuite déposés autour de l'aileron puis gravés.

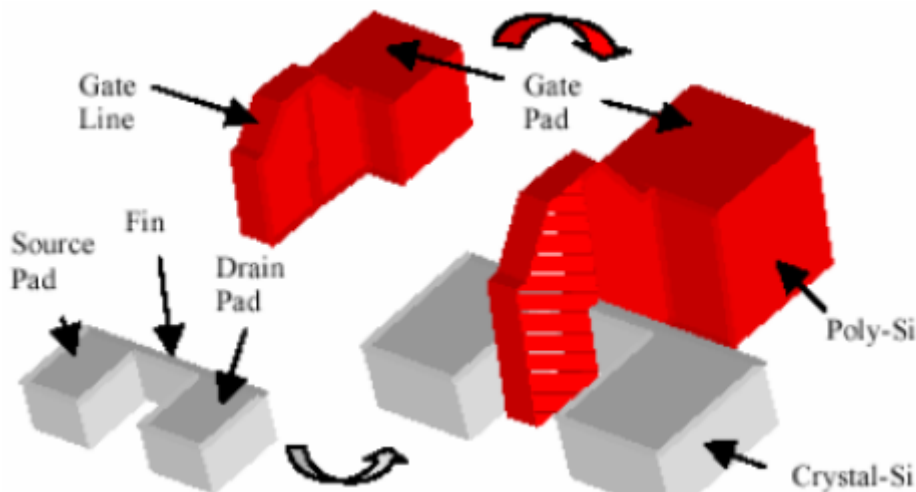


Figure (II.2): Schéma d'une structure de FinFET quasi planaire.

L'auto alignement des grilles d'un FinFET est naturel, de plus des étapes technologiques supplémentaires permettent de séparer électriquement les grilles. La zone active est déterminée par la hauteur H de l'aileron, cela peut être avantageux en termes de densité d'intégration par rapport à la structure planaire. Finalement, le FinFET est très prometteur car il est relativement simple à fabriquer comparé aux autres technologies, de plus sa technologie est particulièrement compatible avec la technologie CMOS bulk.

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

Par ailleurs, la présence du substrat de silicium autorise davantage de fuites de courant que d'autres technologies telles que le SOI. Enfin, il se trouve que la hauteur H_{fin} des ailettes est entièrement contrôlée par le procédé de gravure du silicium, ce qui rend cette grandeur relativement sujette à variation d'un wafer à l'autre, ce qui n'est pas vraiment souhaitable pour une production de masse [10].

L'utilisation d'un substrat de type SOI limite les fuites de courant par le fond de substrat et permet surtout de contrôler précisément la hauteur des ailettes fabriquées.

II.3.1.2 Principales méthodes de lithographie

La première étape dans l'élaboration de FinFET consiste à fabriquer les ailettes dans le silicium, il s'agit de contrôler précisément la hauteur H_{fin} des ailettes, tout en étant capable de produire les ailettes de largeur W_{fin} les plus fines possibles et présentant le pitch P_{fin} le plus faible possible afin d'augmenter la densité surfacique des dispositifs sur un substrat SOI on commence par oxyder sur une épaisseur contrôlée (le plus souvent égale à la hauteur H_{fin} souhaitée) la couche de silicium. Remarquons par ailleurs au passage que la dimension critique (Critical Dimension : CD) de cette étape est désormais la largeur W_{fin} des ailettes, plutôt que la longueur de grille L_g comme dans les technologies planaires.

- **Lithographie conventionnelle**

La lithographie conventionnelle en UV est utilisée notamment pour fabriquer des ailettes de plusieurs dizaines de nanomètre de largeur.

Il s'agit d'un simple procédé de lithographie optique en projection dont un dispositif de principe est rappelé à la figure (II.5). Rappelons par ailleurs que la dimension critique CD est alors donnée par la formule :

$$CD = K_1 \times \frac{\lambda}{NA}$$

Où λ est la longueur d'onde (dans le vide) de la lumière utilisée, NA l'ouverture numérique définie à la Figure (II.5), et k_1 un coefficient numérique inférieur à l'unité lié aux procédés technologiques (résine employée, *etc.*).

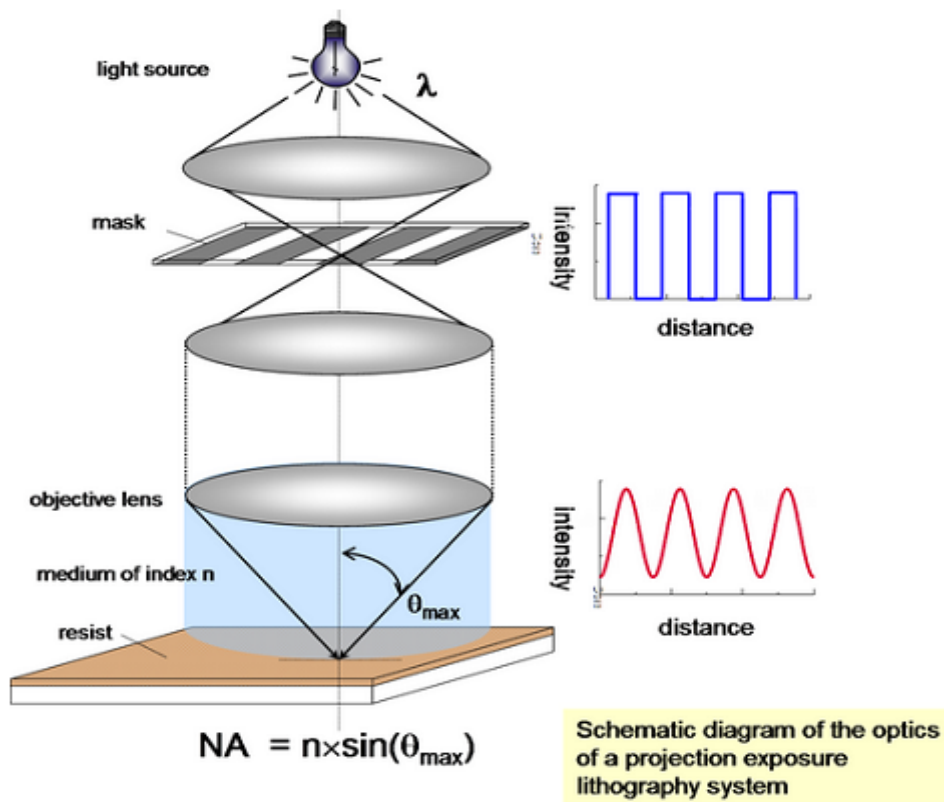


Figure (II.5) : *Principe de la lithographie optique en projection.*

Ainsi, cette méthode se résume à déposer une couche de résine polymère photosensible sur le wafer, à l'exposer et à la développer puis à en transférer le motif dans le silicium par une gravure anisotrope sèche de type Reactive Ion Etching (RIE) [10].

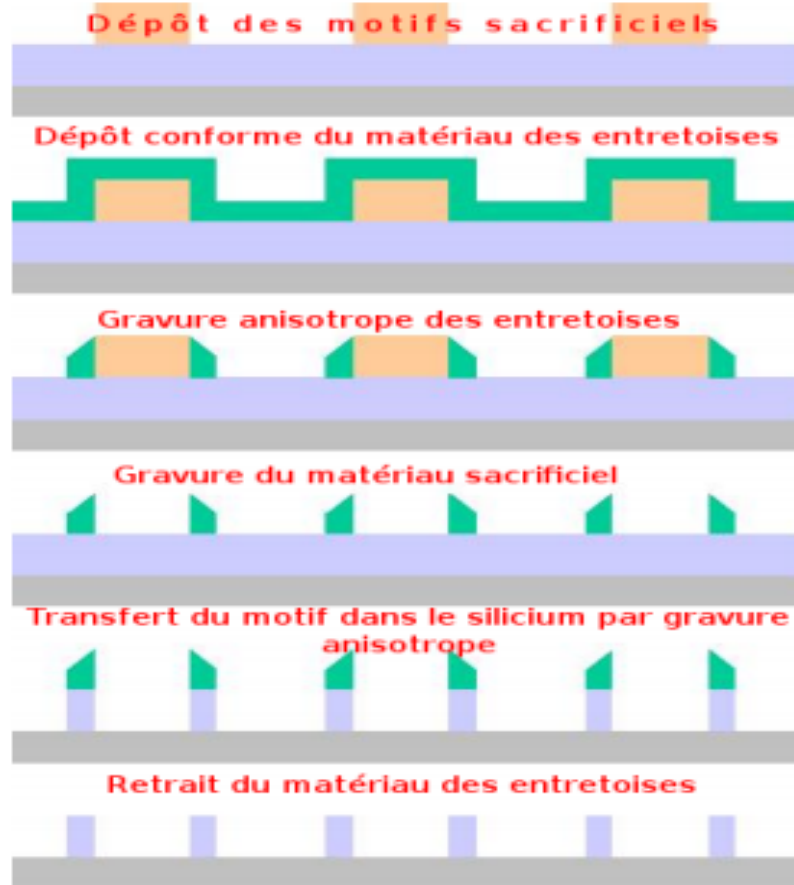
- **Lithographie en immersion**

Lorsque l'on souhaite obtenir des motifs de taille de l'ordre de dizaine de nanomètre ou moins, la lithographie optique sèche précédente n'est plus applicable. La réduction du CD et donc l'augmentation d'ouverture numérique de NA, ce dernier étant proportionnel à l'indice de réfraction n du milieu entre le dispositif optique et la résine. Il s'agit donc d'avoir recours à un milieu d'indice optique supérieur à celui de l'air. Il s'agit donc d'avoir recours à un milieu d'indice optique supérieur à celui de l'air. La solution retenue à l'heure actuelle est l'utilisation d'eau ultra-pure déionisée, dont l'indice optique tend vers $n = 1,44$. On parle alors de lithographie en immersion (parfois abrégé en i-lithography). On peut donc espérer gagner environ 40 % sur CD.

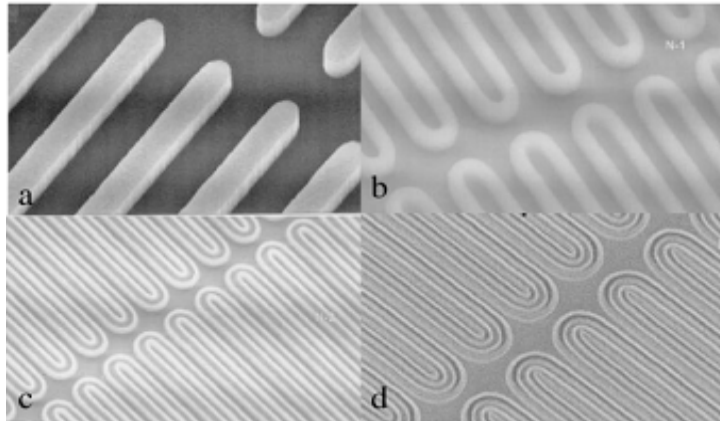
- **Lithographie à entretoises (spacer lithography)**

Une autre méthode de lithographie optique, particulièrement astucieuse et bien adaptée aux FinFET. Il s'agit de la lithographie à entretoises (spacer lithography). Elle repose dans les grandes lignes sur l'idée d'utiliser un motif sacrificiel pour y appuyer des entretoises d'épaisseur contrôlée, qui seront ensuite finalement transférées dans le silicium. Les étapes générales sont détaillées dans la figure (II.6-a) [10]. Un tel procédé permet donc de doubler le nombre d'ailettes à pitch fixé pour la première étape de lithographie (consistant à fabriquer les motifs sacrificiels à base du SiGe généralement).

En réalité, en répétant le procédé avec des matériaux sacrificiels bien choisis, il a été démontré qu'il est possible de fabriquer quatre voire six ailettes au lieu d'une seule. Figure (II.6-b) [8][9]. Nous voyons donc déjà apparaître un intérêt majeur de cette technique : à contrainte fixée sur la lithographie optique initiale, on augmente significativement la largeur apparente de conduction du FinFET puisque l'on augmente le nombre d'ailettes. Il est bon de constater que l'épaisseur des entretoises et donc des ailettes n'est plus fixée. La dimension critique CD est désormais contrôlée par le dépôt des entretoises (verre de phospho-silicate PSG), qui se fait le plus souvent par (lower pressure) (Chemical Vapor Deposition) (CVD) et permet donc d'obtenir des épaisseurs de quelques nanomètres de façon particulièrement bien contrôlée. À condition d'utiliser un procédé de gravure final suffisamment sélectif, il est alors possible d'obtenir un ensemble d'ailettes de grand facteur de forme, et présentant une faible dispersion en W_{fin} .



a) : Principe général de la lithographie à entretoises.

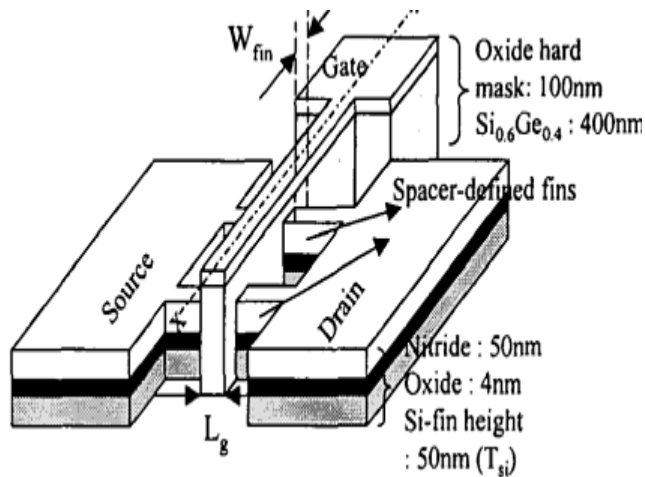


b) : Résultats après plusieurs itérations de fabrication d'entretoises : a - motifs sacrificiels obtenus par lithographie classique, b - une itération d'entretoises, c - deux itérations d'entretoises et d - trois itérations d'entretoises

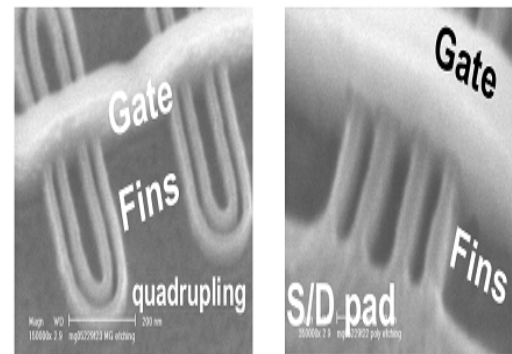
Figure (II.6) : Lithographie à entretoises (spacer lithography).

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

La technique de lithographie à entretoises n'est cependant pas exempte d'inconvénients. Tout d'abord, elle ne permet de produire que des ailettes de largeur identique. Par ailleurs, elle requiert un choix judicieux de matériaux d'entretoises et de mélange de gravure afin de garantir une bonne sélectivité des différentes étapes de gravure ainsi que le retrait complet des résines photosensibles utilisées. La figure (II.7) nous montre un dispositif de FinFET obtenu par lithographie à entretoises.



a) : FinFET obtenu par lithographie à entretoises.



b) : Dispositif FinFET réel.

Figure (II.7) : FinFET obtenu par lithographie à entretoises.

→ Problèmes géométriques rencontrés

-*La présence de charges piégées* : la RIE est à l'origine de la présence de ces charges à la surface des ailettes qui seront autant de pièges situés à l'interface silicium-diélectrique après la fabrication de la grille.

-*l'effet de coin (corner effect)* : Il s'agit d'une inversion se produisant au niveau des arêtes anguleuses des ailettes (les coins sur une vue en coupe). Ceci se produit en raison du contrôle électrostatique doublement exercé par la grille de part et d'autre de l'arête. Outre des fuites de courant apparaissent, le problème peut aller jusqu'à l'existence de deux tensions de seuils distinctes.

La première idée pour limiter l'étendue du problème est de doper peu les ailettes, afin de limiter le percement [2].

II.3.2 Fabrication de la grille

En ce qui concerne le dépôt d'oxyde, ce dernier se résume la plupart du temps à une étape de lithographie basique suivie d'un dépôt de quelques nanomètres d'oxyde, (éventuellement à forte permittivité, tel que l'oxyde d'hafnium, afin d'accroître le contrôle électrostatique de la grille) par des procédés CVD, voire ALD (Atomic Layer Deposition), ce dernier permettant de déposer de façon itérative des couches d'épaisseur atomique en s'appuyant sur un couple de réactions chimiques alternées [10][8].

Le matériau requis pour la grille dépend des applications puisqu'il détermine la valeur de la tension de seuil V_t . Dans le cas des FinFET (en silicium), il s'agit plutôt de matériaux dont le travail de sortie se situe au milieu du gap du silicium. Si l'on souhaite utiliser un métal, ce dernier doit pouvoir supporter de fortes températures, ne serait-ce qu'en raison du recuit d'activation des dopants (de type Rapid Thermal Annealing : RTA) qui a lieu tout à la fin du processus de fabrication. Ceci limite donc le choix des matériaux métalliques. Une solution possible est d'avoir recourt à du TiN ou du TiSiN.

L'avantage est que ce type de grilles peut s'obtenir entre autres par un dépôt de matériau relativement conforme de quelques dizaines de nanomètres. Une autre méthode disponible, notamment si l'on souhaite pouvoir ajuster la valeur de la tension de seuil, est d'utiliser une grille en molybdène (Mo). Ce matériau possède une température de fusion très élevée (supérieure à 2600°C donc on ne craint pas le RTA de l'ordre de 1000°C). L'intérêt du molybdène est qu'il est possible d'ajuster son travail de sortie (et donc V_t). Par contre, le dépôt de Mo étant effectué par pulvérisation, il n'est pas aussi conforme que peuvent l'être les dépôts de type métal-nitride.

II.3.3 Dopage des extensions de source et de drain

Une fois que les ailettes ont été réalisées, et que la grille a été déposée, il est temps de procéder au dopage des extensions de source et de drain. Il s'agit donc d'implanter des dopants à la surface des ailettes, sachant que deux de ces faces sont verticales.

- **Implantation à angle non nul**

Les faces latérales des ailettes étant orthogonales à la surface du wafer, la méthode usuelle est un dopage par implantation inclinée. Il est alors nécessaire de procéder à deux passes

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

d'implantation pour doper successivement un côté des ailettes puis l'autre, comme représenté à la figure (II.8).

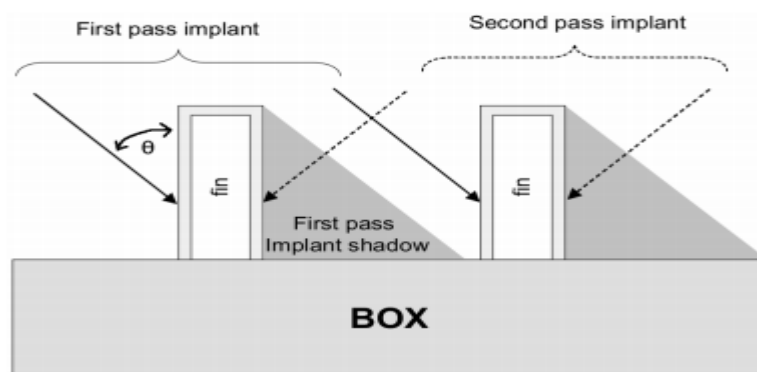


Figure (II.8) : Principe de l'implantation à angle θ non nul.

L'existence d'un angle d'inclinaison limite au-delà duquel une partie de la surface d'une ailette sera masquée par l'ailette adjacente. Cette partie ne sera donc pas dopée, ce qui n'est pas souhaité. C'est le phénomène de masquage.

La condition d'inclinaison maximale pour qu'il n'y ait pas de masquage est :

$$\theta \leq \arctan \left(\frac{P_{fin} - W_{fin}}{H_{fin}} \right) = \theta_{max}$$

L'implantation inclinée ne permet pas l'obtention d'un dopage conforme des extensions de source et de drains. Or un dopage conforme est souhaitable pour limiter la résistance associée.

- **Le dopage par plasma pulsé**

L'utilisation d'un plasma pulsé pour implanter les dopants PLAD est une méthode prometteuse plutôt que d'utiliser la méthode usuelle ou l'on cherchait à augmenter l'angle d'inclinaison θ et qui est parfois difficilement envisageable en raison du problème de masquage.

En plongeant le wafer dans un plasma à base d'un gaz de BF_3 et en étudiant le résultat (par Scanning Spreading Resistance Microscopy : SSRM), on obtient le résultat de la figure (II.9). Ces mesures de résistance locale permettent d'obtenir une image du dopage puisque plus ce dernier est important, meilleure sera la conductivité.

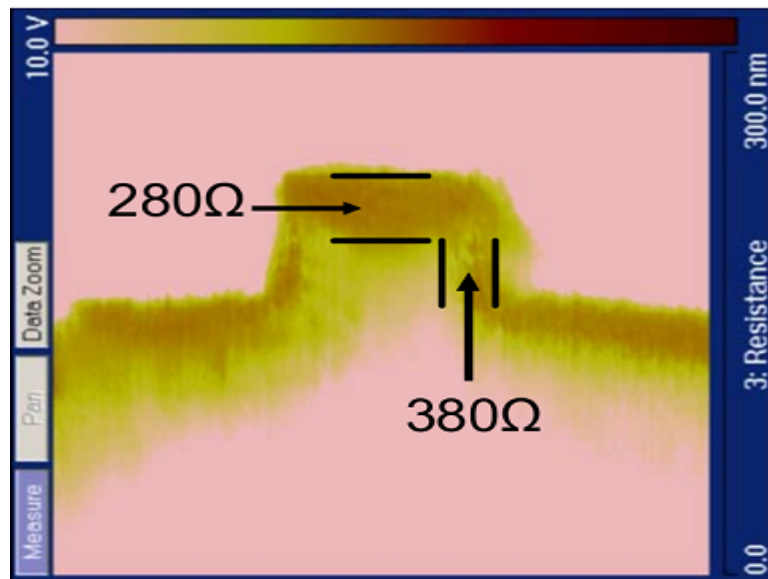


Figure (II.9) : *Comparaison des résistances mesurées au milieu de chaque face.*

Le rapport des résistances est de 1,36 entre la face du haut et les faces latérales de l'ailette étudiée. Ce résultat est bien meilleur que le rapport de 2 que nous obtenions dans le cas d'une implantation ionique inclinées à 45°. La technique PLAD permet donc bien d'obtenir un dopage des extensions sensiblement plus conforme que ce que l'on peut espérer avec la technique usuelle, une amélioration significative du courant Ion, on constate également l'augmentation de certains défauts tels qu'un Ioff élevé.

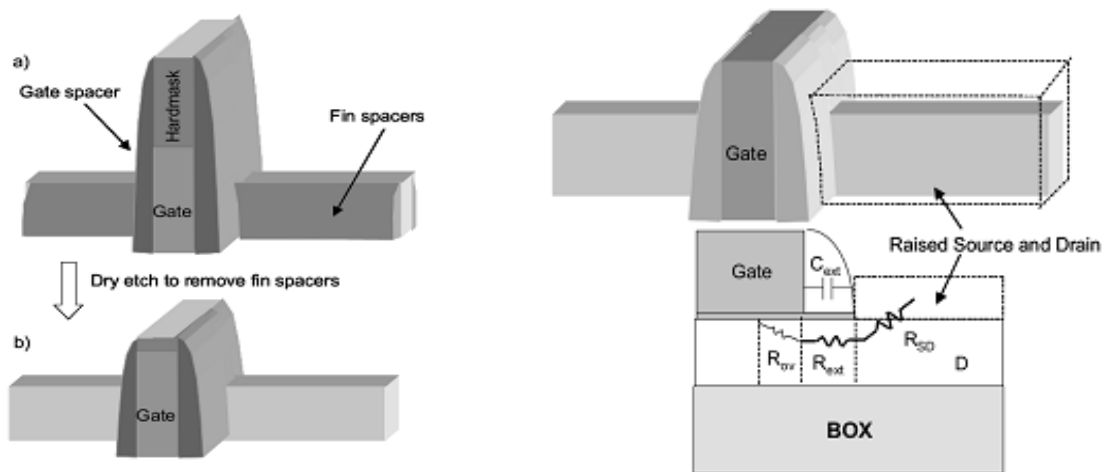
II.3.4 Formation des plots de source et de drain

Il est intéressant de réduire toujours davantage la largeur des ailettes et donc leur section. Ainsi, il ne semble pas judicieux de chercher à réaliser directement la prise de contact sur chaque ailette, non seulement parce que cela implique des contraintes d'alignement mais surtout parce que la résistance associée est particulièrement élevée. Une idée assez simple est alors d'augmenter la section des zones d'ailette qui ne sont pas sous la grille (Overlap) [9]. On parle dans ce cas de source et de drain rehaussés (Raise Source/Drain : R S/D). Un autre intérêt est que l'augmentation de la section de silicium réduit les fuites induites par la source (Gate-Induced Drain Leakage : GIDL).

L'épitaxie sélective (Selective Epitaxial Growth : SEG) est une méthode utilisée pour croître le silicium uniquement sur la zone souhaitée de l'ailette. Dans notre cas, en supposant que le seul matériau permettant une croissance épitaxiale du silicium est le silicium lui-même, nous devons donc réussir à retirer les entretoises sur les parois du drain et de la

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

source. On obtient alors une source et un drain au silicium à nu, tandis que le sommet de la grille, la plupart du temps lui aussi en silicium, est toujours protégé (que ce soit par un reste d'entretoise ou un reste de masque dur) et ne devrait donc pas être sujet à une croissance épitaxiale. Il s'agit de la méthode schématisée sur la figure (II.10-a) [10]. La figure (II.10-b) illustre quant à elle ce que l'on souhaite obtenir par SEG, ainsi que le compromis inhérent au rehaussement. En effet, nous pouvons chercher à minimiser la résistance R_{ext} des extensions, en réduisant la largeur de l'entretoise restante, cela a pour effet d'augmenter la capacité C_{ext} liée à la surface en regard entre le rehaussement et la grille. Il est donc nécessaire de procéder à un compromis entre ces deux effets parasites.

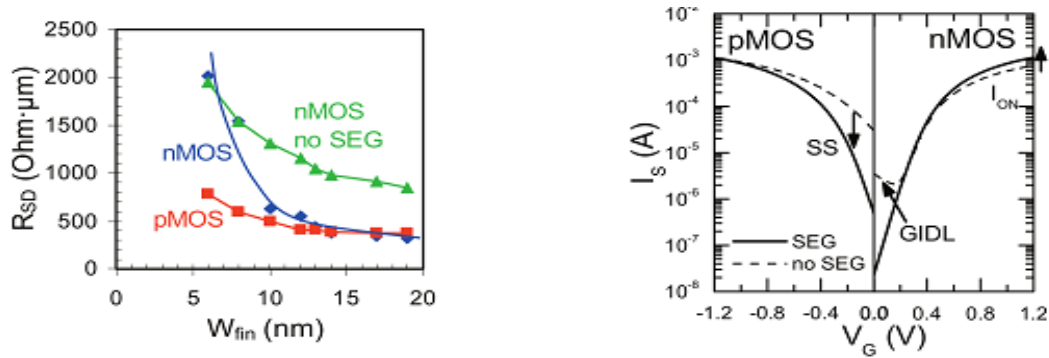


a) : *Suppression des entretoises au niveau de la source et drain.*

b) : *compromis inhérent au rehaussement*

Figure (II.10) : *rehaussement de la source et du drain par SEG ainsi que de son compromis intrinsèque.*

La Figure (II.11) illustre quant à elle les effets bénéfiques du rehaussement du drain et de la source par SEG sur les caractéristiques électriques de dispositifs Trigate FET. On remarque sur la Figure (II.11-a) que la résistance RSD est bien réduite grâce à la SEG. Pour sa part, la Figure (II.11-b) montre une augmentation du courant I_{on} après la SEG, ce qui irait dans le sens de l'hypothèse que l'on a bien réduit RSD. On observe au passage une amélioration du GIDL apportée par la SEG.



a) : Amélioration de la résistance Rsd.

b) : Evolution des caractéristiques courant tension ($L_g=45\text{nm}$, $W_{fin}=17\text{nm}$).

Figure (II.11): effets du rehaussement de source et de drain par SEG.

II.4 SOI FinFET vs bulk FinFET

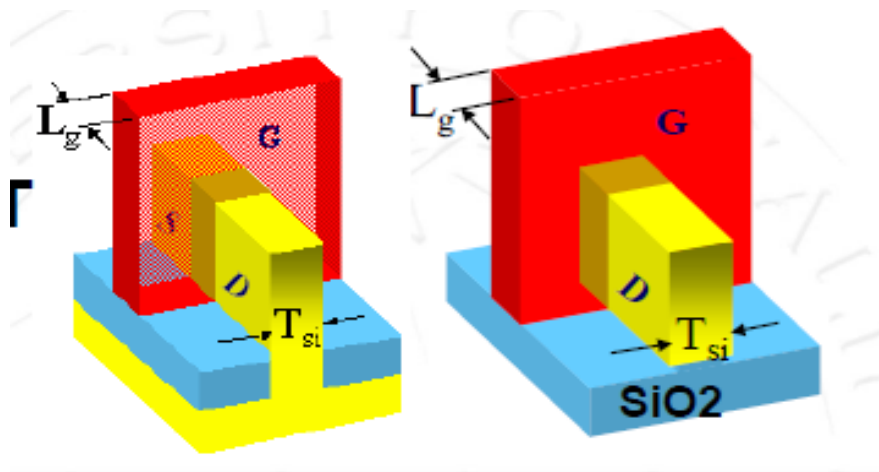


Figure (II.12): SOI vs Bulk FinFET.

Le FinFET est réalisé sur un wafer SOI et hérite donc de l'inconvénient associé, à savoir une faible conductivité thermique due à la couche d'oxyde au-dessous du film de silicium.

Pour remédier à ce problème, le Bulk (Body-Tied) FinFET utilise le wafer de silicium comme base de fabrication au lieu du wafer SOI. Cela réduit aussi le coût de production. Le premier Bulk FinFET a été publié pour un type-n et pour un type-p. Le wafer de silicium est gravé en laissant une tranche de film de silicium qui sert de corps du

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

Transistor. Le silicium est donc relié directement avec le substrat. La chaleur peut ainsi s'évacuer via le bas du film de silicium.

La figure (II.13) est une comparaison de performances entre un SOI- et un Bulk-FinFET, elles sont faites au travers de la caractéristique ID/ VGS, sous la même polarisation de drain ($V_{DS}=1,2V$). Pour le Bulk FinFET, les source/drain sont réalisés par un dopage vertical très fort du type contraire au canal. La profondeur des source/drain est plus petite que celle des 2 grilles verticales. Deux types de dopages du 'body' sont comparés. Un grand dopage augmente la tension de seuil (V_{th}). Pour le même dopage, V_{th} et I_{off} pour un Bulk FinFET sont légèrement plus grands que pour un SOI FinFET. Mais la pente sous le seuil reste la même.

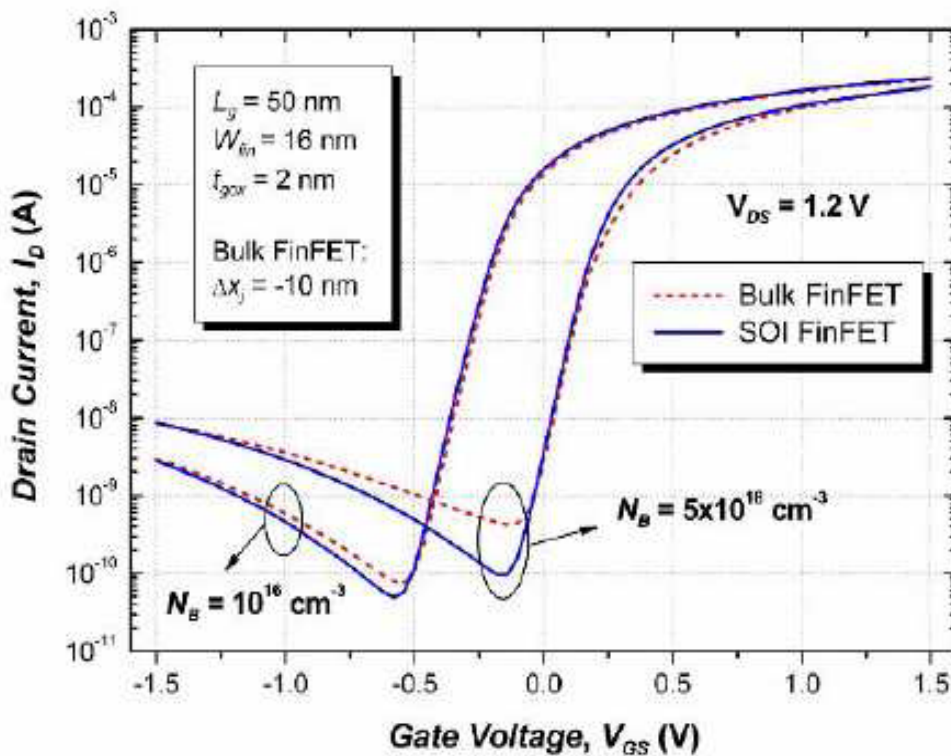


Figure (II.13): comparaison des caractéristiques de transfert des SOI et Bulk FinFET pour les deux différents dopages du body à $V_{ds}=1,2V$.

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

Un autre aspect important pour caractériser la performance concerne le DIBL. Pour un dopage donné, le DIBL est plus faible pour le Bulk FinFET que pour le SOI FinFET (Figure (II.14.15)).

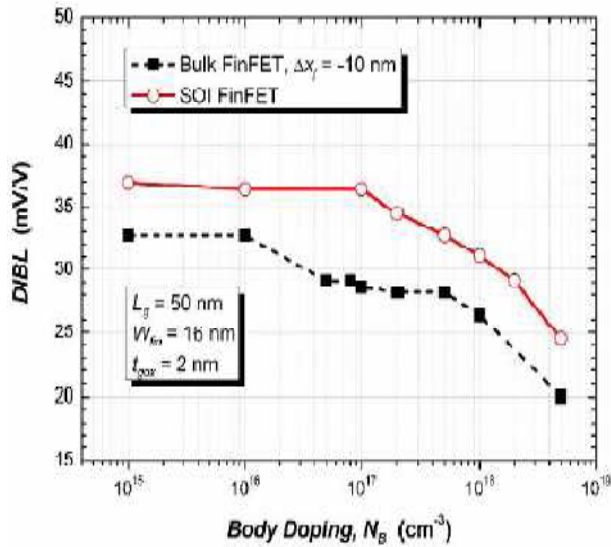


Figure (II.14): Le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET.

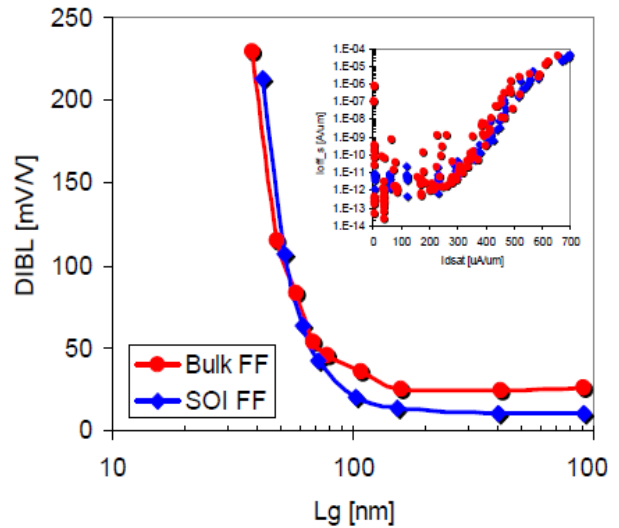


Figure (II.15) : le dibl en fonction de L_g

Dans le régime de saturation (Figure (II.16)), le SOI FinFET à un courant plus important que le Bulk FinFET et il est moins sensible au dopage de silicium. Pour un même faible dopage du silicium, les SOI- et Bulk- FinFET ont quasiment le même courant.

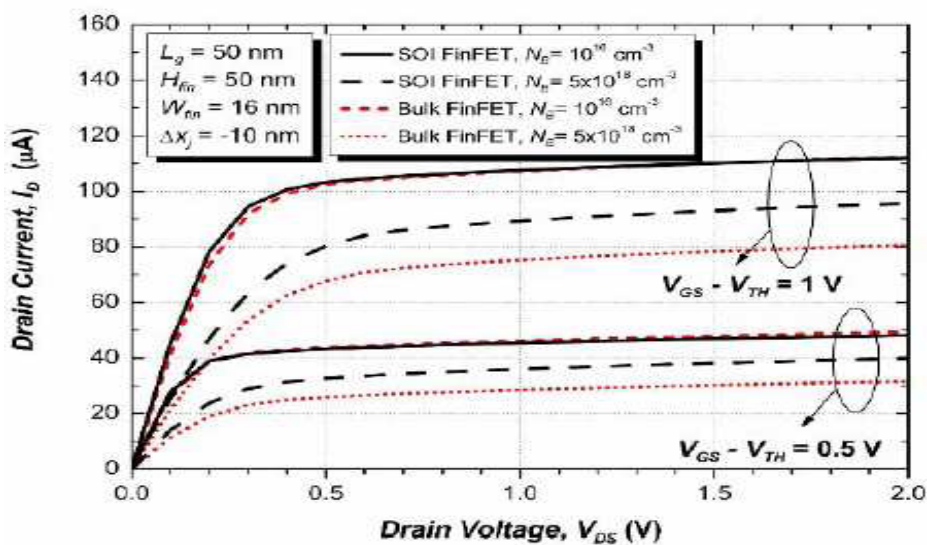


Figure (II.16): Comparaison des caractéristiques de sortie des SOI et Bulk FinFET pour les deux différents dopages du corps.

II.5 Propriétés électriques du FinFET

Les propriétés électriques du FinFET sont liées aux paramètres géométriques et technologiques, et leurs effets:

- **La longueur du canal (L)**

La longueur du canal est le paramètre le plus important, et pour fabriquer un circuit qui fonctionne le plus vite possible et qui consomme moins d'énergie et avec une surface plus petite possible, il faut diminuer la longueur du canal de transistor.

La réduction de la longueur du canal a pour avantages:

- La diminution de la résistance série;
- Avoir un courant plus important;
- La réduction de la transcapacité (C_{gg});
- L'augmentation de la vitesse du circuit.

Par contre, le SCE et le DIBL sont reliés directement avec la réduction de la longueur du canal. Plus petite est la longueur du canal, plus gênants sont ces effets SCE et DIBL.

- **La largeur (ou l'épaisseur) du Fin (W_{Si})**

L'épaisseur du film de silicium joue un rôle très important pour le fonctionnement du transistor. Pour que toute l'épaisseur du film de silicium soit déplétée, W_{Si} doit être petite. Rappelons que pour une longueur du canal donnée, une petite valeur de W_{Si} limite la dégradation des performances due aux effets SCE et DIBL. La réduction de W_{Si} peut aussi limiter la pénétration des lignes électriques venant des grilles en traversant l'oxyde au-dessous du Fin.

La diminution de W_{Si} n'a pas que des conséquences bénéfiques. Elle impliquera l'apparition des effets de la mécanique quantique, la tension de seuil va donc augmenter et la capacité de l'oxyde de grille sera réduite. Par ailleurs, lorsque W_{Si} est réduite la résistance série augmente et le courant diminue, l'auto échauffement s'en trouve aussi renforcé.

- **La hauteur du Fin (HSi)**

La hauteur du Fin peut être assimilée à la largeur du canal dans le cas du transistor MOSFET bulk. Sauf qu'ici, en forte inversion, la largeur du canal peut être estimée à 2 fois HSi. Afin d'avoir un courant important, la hauteur HSi doit être la plus grande possible. Cela limite aussi les effets de coin et les effets de mécanique quantiques dans la direction verticale.

- **Le dopage du film de silicium**

Dans la technologie MOSFET bulk, il est nécessaire de doper le canal très fortement pour réduire le SCE pour un transistor de faible longueur de grille. Mais ce n'est plus le cas pour un FinFET. Le Fin est laissé non-dopé ou très faiblement dopé, permettant ainsi une mobilité plus importante et une tension de seuil fixée par le travail de sortie de la grille et par les dopages du film de silicium quand le film du silicium est très fortement dopé.

- **Des jonctions S/D-canal**

Puisque le Fin reste intrinsèque ou faiblement dopé, le gradient de dopage de la source et du drain vers le canal est grand et la pénétration du dopage au canal est donc plus profonde.

La longueur d'overlap devient plus importante ce qui influence fortement la résistance série et dégrade le courant. Une jonction abrupte est nécessaire pour permettre une résistance plus faible.

II.6 Effet de coin

L'effet de coin est un effet indésirable de la géométrie des Fins (ailettes), il est localisé aux arrêtes anguleuses des Fins comme indiqué à la figure (II.17), l'allure du potentiel est changé dans ces coins du silicium. Ce changement résulte en un courant de fuite aux coins qui n'est pas sous le contrôle des grilles. Dans cette région la tension de seuil est plus petite qu'ailleurs, ainsi avant que le transistor ne soit activé, il existe déjà une somme de courant de fuite, cela augmente fortement le courant de fuite Ioff.

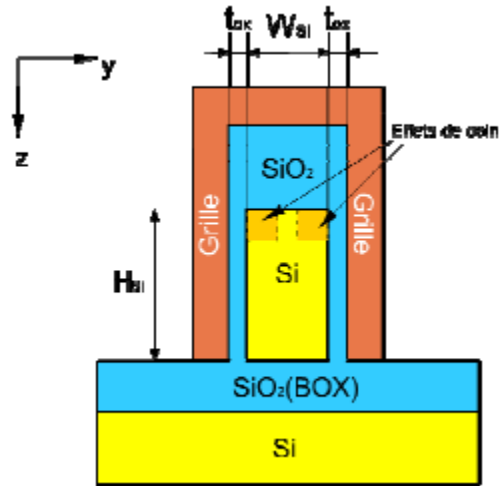


Figure (II.17): les régions où l'effet de coin se produit dans la section verticale d'un FinFET.

Les solutions proposées pour supprimer les effets de coin

- La première idée pour limiter l'étendue du problème est de doper peu les Fins, si le dopage du silicium est très faible ou intrinsèque les effets de coin sont généralement négligeables.
- Arrondir le coin (c'est pourquoi le GAA n'a pas d'effet de coin).
- Augmenter la hauteur du Fin (H_{Si}): si la partie du coin est suffisamment petite par rapport à tout le film de silicium, les effets de coin peuvent être négligés.

L'effet de coin dont on a parlé est localisé dans les deux coins supérieurs, en fait il peut exister aussi dans les deux coins inférieurs (figure (II.18)), Les lignes électriques venant des grilles traversent l'oxyde en bas et arrivent au film de silicium. Elles influencent le potentiel en bas du silicium. Cet effet s'appelle aussi l'effet du BOX il a une influence similaire à l'effet de coin et il peut être limité en réduisant la largeur du Fin (W_{Si}).

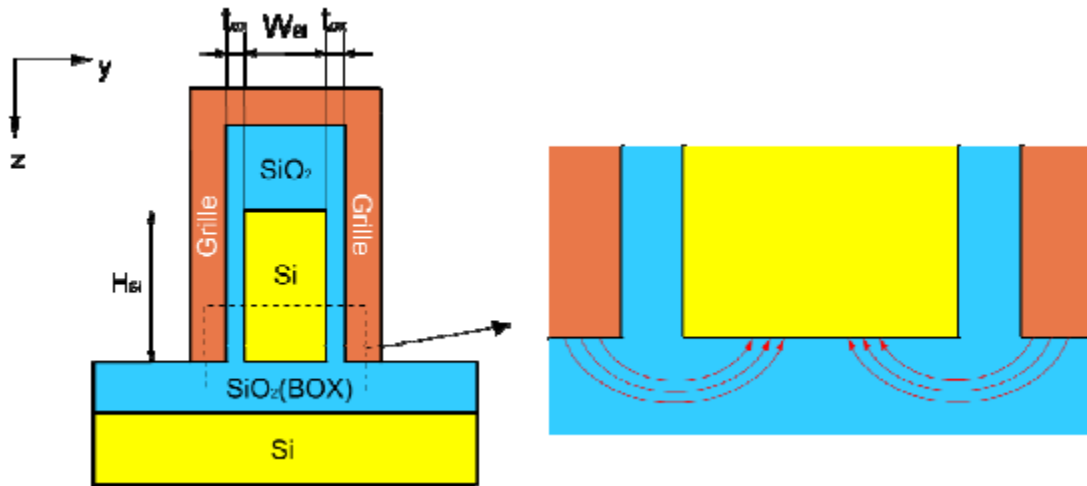


Figure II.18: *effet du BOX dans la direction Y-Z.*

Les effets de coin dépendent du dopage du silicium, bien qu'il existe une influence de la pénétration du champ venant de la grille via l'oxyde au-dessus et au-dessous du silicium et qu'il en résulte un gradient du potentiel dans le sens vertical aux coins inférieurs et supérieurs. Cette influence sera très réduite quand le dopage du silicium très faible ou le silicium est intrinsèque.

L'effet du BOX peut aussi se produire dans la direction X-Z, c'est ce qu'on appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing) (Figure (II.19)), les lignes électriques venant des source et drain traversent l'oxyde en bas et arrivent dans le silicium. Le potentiel dans le film du silicium notamment à côté du drain est augmenté par la polarisation du drain, il est similaire au DIBL et résulte en une diminution de la tension e seuil.

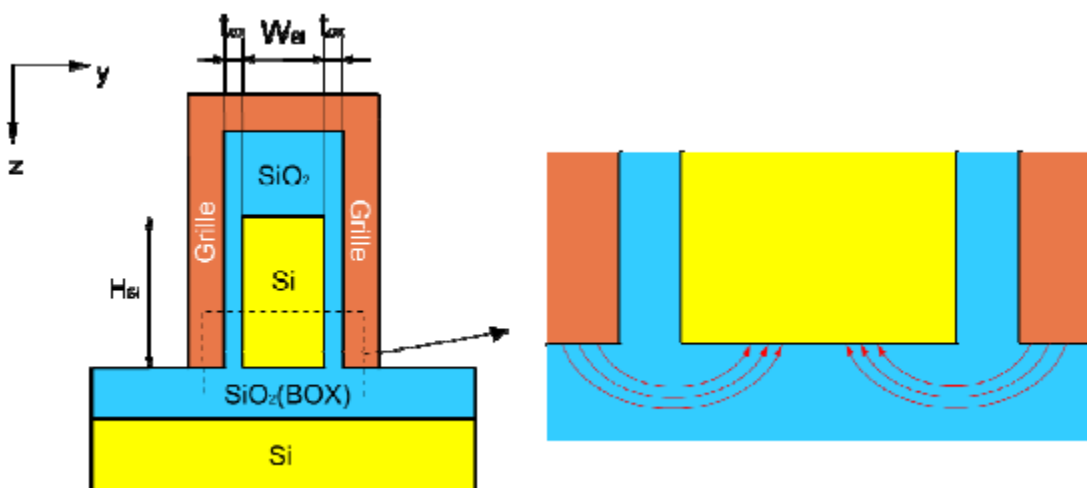


Figure II.19: *effet BOX dans la direction X-Z*

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

Pour éliminer l'effet DIVSB, une couche moins épaisse d'oxyde en bas du film est préférée, afin de limiter la pénétration du champ électrique du drain traversant le BOX et arrivant au silicium. L'augmentation du potentiel de l'interface Fin/BOX induit par le drain est donc diminué. Une autre solution permettant d'éliminer l'effet DIVSB est d'augmenter la hauteur du silicium.

II.7 Les effets de la mécanique quantique

D'après la théorie du scaling, une petite largeur du Fin (W_{Si}) est espérée pour limiter le SCE, le DIBL et le DIVSB, mais en même temps les effets de la mécanique quantique apparaissent et commencent à dominer.

En forte inversion, un effet de quantification des porteurs de la couche d'inversion prend place dans le puits de potentiel défini entre la barrière d'oxyde de grille et la bande de conduction du silicium. Nous parlons alors de confinement électrique (figure (II.20)). Lorsque la largeur du film de silicium est réduite à quelques nanomètres, un puits quantique est aussi formé entre les deux couches d'oxyde, soit un confinement structurel, en plus du confinement électrique dû aux forts champs électriques transverses en forte inversion.

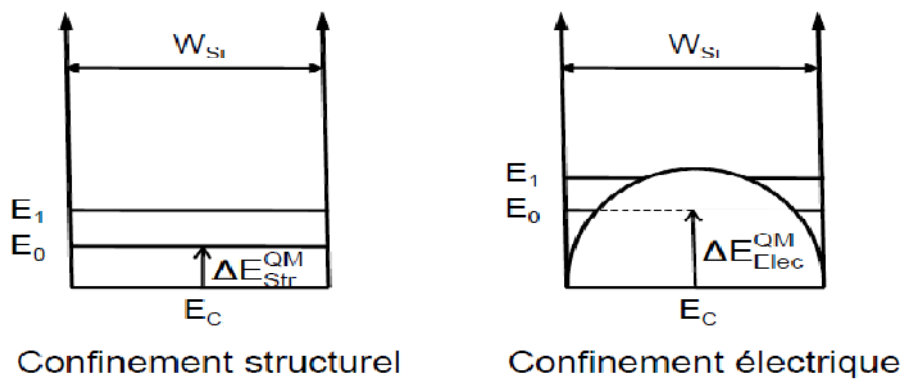


Figure II.20 : décalage du premier niveau d'énergie du digramme de bandes de canal par le confinement électrique et structurel de ses charges.

II.8 Underlap Overlap

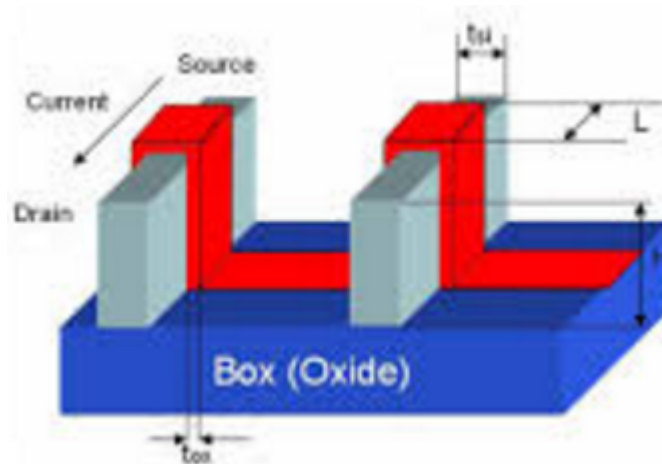


Figure (II.21): structure FinFET avec les régions « underlap ».

Comme montré en figure (II.21) les parties du silicium non couvertes (en gris) correspondent à l'underlap.

L'underlap (non recouvrement) a été introduit pour faciliter la théorie du scaling du MOSFET Bulk pour des longueurs de grille inférieures à 20nm, il est aussi utilisé dans la technologie FinFET.

En technologie MOSFET Bulk, le silicium est très fortement dopé pour réduire les effets SCE et DIBL. Par contre, le champ latéral devient très important ce qui cause plus de collisions entre les électrons et les atomes, donc une faible mobilité et un courant de substrat plus important, l'underlap dans ce cas sert à :

- Affaiblir le champ latéral ;
- Supprimer la capacité d'overlap ;
- Réduire les retards (et permettre au circuit de fonctionner plus rapidement) ;
- Réduire les effets SCE et le DIBL.

Dans la technologie FinFET, le silicium reste intrinsèque ou très faiblement dopé donc le champ latéral est très faible. L'underlap n'a plus d'intérêt en ce qui concerne la réduction du champ latéral, mais il réduit le retard en supprimant la capacité d'overlap. Dans le régime de faible inversion, la longueur du canal est étendue dans les régions de l'underlap, donc les SCE

CHAPITRE II : INTRODUCTION A LA TECHNOLOGIE VERTICALE

et le DIBL sont naturellement réduits. En forte inversion, la longueur du canal est égale à la longueur de grille (L_g).

II.9 Inconvénients de la technologie d'underlap

- Elle augmente la longueur du dispositif ;
- Diminution de la densité d'intégration ;
- Introduction d'une résistance d'accès très importante (dépend de la polarisation du drain) ;
- Réduit le courant de l'état ON.

II.10 Conclusion

Le FinFET renforce le contrôle du canal par rapport au MOSFET Bulk et au MOSFET simple grille SOI, comme il est plus facile à fabriquer que les autres technologies multiple-grille, grâce à sa compatibilité de fabrication par rapport au MOSFET Bulk. La largeur du Fin (W_{si}) est le paramètre le plus important dans le comportement électrique du FinFET, il est responsable de la réduction d'échelle du FinFET.

La structure 3D du FinFET introduit de nouveaux effets indésirables comme l'effet de coins qui peut être bien éliminé par un dopage très faible du silicium ou un silicium intrinsèque. L'exigence d'une petite largeur du Fin (pour obtenir les meilleures performances du FinFET) entraîne l'apparition des effets quantiques non négligeables, et qui doivent être absolument considérés dans tout modèle compact du FinFET, de par leur importance sur les performances du transistor.

CHAPITRE III



CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

III.1 Introduction

L'émergence de nouvelles architectures telles que les transistors MOS à multiple grilles, comprenant les transistors double grille, FinFET, permettent d'améliorer le contrôle électrostatique du dispositif et limitent ainsi les effets parasites généralement observés. Le transistor FinFET a une bonne compatibilité avec les chaînes de fabrication des transistors conventionnels et semble leur plus prometteur successeur. Il se pose alors naturellement le problème de la conception de circuits intégrant ces nouveaux dispositifs. Ainsi, le développement de modèles compacts performants, notamment pour le FinFET, devient une demande pressante. A la différence d'un modèle purement physique, un modèle compact utilise -idéalement- des expressions explicites pour le calcul des différentes grandeurs physiques telles que le courant de drain, les densités de charges, les transcapacités, etc. L'intérêt d'un modèle compact est de donner au concepteur un résultat de simulation le plus rapidement possible tout en conservant une précision suffisante à la bonne fonctionnalité du circuit simulé

III.2 Modélisation compacte du transistor double grille canal long

La section horizontale d'un FinFET est similaire à un DG MOSFET. Un FinFET peut être considéré comme un DG MOSFET avec des canaux verticaux. Cependant, les effets liés à la structure 3D doivent être pris en compte. On peut malgré tout les négliger si le FinFET a une hauteur très grande (supérieure à 50nm), dans ce cas, il peut alors être considéré comme un DG MOSFET. Le modèle compact du FinFET peut donc être établi sur le modèle du DG MOSFET en ajoutant éventuellement les corrections dues aux effets de la structure 3D[2].

III.2.1 Modèle de Yuan Taur

Le premier modèle du DG MOSFET était proposé par Yuan Taur pour les transistors non-dopés. Ensuite, par une série de travaux, lui et son équipe ont développé un modèle complet. La définition de l'orientation (x-y) utilisée est montrée à la figure III.1 :

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

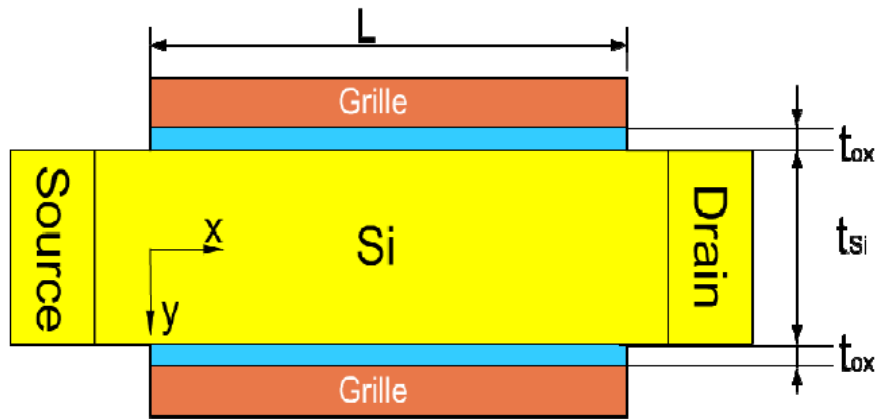


Figure III.1 : structure d'un DG MOSFET.

Il résout l'équation de poisson en 1D dans le cas d'un transistor à canal long et de type n, donc avec une densité de trous négligeable :

$$\frac{d^2\psi}{dy^2} = \frac{e}{\epsilon_{si}} n_i e^{e(\psi-V)/kT} \quad (\text{III.1})$$

Ou V est le potentiel de quasi-fermi. Celui ci est supposé constant dans la direction y.

Après deux intégrations et avec la condition aux limites $d\psi/dy|_{y=0} = 0$, il trouve :

$$\psi(y) = V - \frac{2.k.t}{e} \cdot \ln \left[\frac{t_{si}}{2.\beta} \cdot \sqrt{\frac{e^2.n_t}{2.\epsilon_{si}.k.T}} \cdot \cos\left(\frac{2.\beta.y}{t_{si}}\right) \right] \quad (\text{III.2})$$

Ou $0 \leq y \leq t_{si}/2$ et $\beta(x)$ est une constante (dans la direction y) à déterminer par la condition aux limites :

$$\epsilon_{ox} \cdot \frac{V_g - \Delta\phi - \psi\left(y = \pm \frac{t_{si}}{2}\right)}{t_{ox}} = \pm \epsilon_{si} \cdot \frac{d\psi}{dy} \Big|_{y = \pm \frac{t_{si}}{2}} \quad (\text{III.3})$$

On remplaçant (III.2) dans (III.3), nous avons :

$$\frac{e.(V_g - \Delta\phi - V)}{2.k.t} - \ln \left(\frac{2}{t_{si}} \cdot \sqrt{\frac{2.\epsilon_{si}.k.T}{e^2.n_t}} \right) = f_r(\beta) \quad (\text{III.4})$$

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

Ou : $f_r(\beta) = \ln \beta - \ln (\cos \beta) + 2/\alpha \cdot \beta \cdot \tan \beta$

$$\alpha = C_{ox} / C_{si}$$

Le courant de drain est calculé par l'intégrale de Pao-Sah :

$$I_{ds} = \mu \cdot \frac{W}{L} \cdot \int_0^{V_{ds}} Q_i(V) \cdot dV = \mu \cdot \frac{W}{L} \cdot \int_{\beta_s}^{\beta_d} Q_i(V) \cdot \frac{dV}{d\beta} \cdot d\beta \quad \text{(III.5)}$$

Ou W est la largeur du MOSFET.

En utilisant la loi de Gauss et l'équation (III.2), nous pouvons dire :

$$Q_i = 2 \cdot \epsilon_{si} \cdot \frac{2 \cdot k \cdot T}{e} \cdot \frac{2 \cdot \beta}{t_{si}} \cdot \tan \beta \quad \text{(III.6)}$$

Remplaçant $dV/d\beta$ par la différentiation de (III.4) et Q_i par (III.6) dans (III.5), Taur obtient l'expression suivante du courant de drain :

$$I_{ds} = \mu \cdot \frac{W}{L} \cdot \frac{4 \cdot \epsilon_{si}}{t_{si}} \cdot \left(\frac{2 \cdot k \cdot t}{e} \right)^2 \cdot (g_r(\beta_s) - g_r(\beta_d)) \quad \text{(III.7)}$$

Ou $g_r(\beta) = \beta \cdot \tan \beta - \beta^2/2 + \beta^2/\alpha \cdot \tan^2 \beta$. Afin de calculer le courant de drain β_s et β_d sont indispensables. Ces deux variables intermédiaires sont calculées par (III.4) en remplaçant V par V_s et V_d pour β_s et β_d respectivement par la méthode de Newton-Raphson[2].

Après une redéfinition du potentiel électrostatique dans le canal en incluant l'influence des source et drain, les effets canaux courts (SCEs) sont inclus physiquement et cette version du modèle est alors valide pour une longueur et une largeur du canal minimum de 24nm et 5nm respectivement. Mais pour une largeur si petite ($t_{Si} \ll 20nm$), les effets quantiques devraient être considérés mais ils ne sont pas encore pris en compte dans le modèle de Taur. Cependant, la résolution de β_s et β_d n'est pas explicite, de plus les SCEs sont inclus d'une manière implicite. Cela freine l'utilisation de cette version du modèle de Taur dans les simulations de circuits ou il est préférable de disposer d'un modèle explicite, ce qui veut dire

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

rapide en temps de simulation, plus robuste numériquement et permettant aux concepteurs de faire des dimensionnements "à la main".

Etant donné l'inconvénient de l'expression implicite, l'équipe de Taur a développé un algorithme explicite. Les paramètres β_s et β_d sont alors résolus explicitement et le modèle de Taur devient un modèle explicite qui convient à la simulation de circuit. Néanmoins, l'algorithme explicite est compliqué ce qui freine son utilisation dans le dimensionnement "à la main". De plus, il n'y a pas encore de résultats montrés sur un dispositif court inférieur à 70nm[2].

III.2.2 Modèle PSP FinFET

Afin d'éviter le problème du canal implicite, le groupe du modèle PSP (MOSFET Bulk) a développé sa version du modèle pour le FinFET.

Le point de départ du modèle PSP FinFET est le même que le modèle de Taur sauf que certaines grandeurs sont normalisées, les tensions sont normalisées par rapport à la tension thermique ($U_T = k \cdot T / e$) et les paramètres géométriques sont normalisés par rapport à la

longueur de Debye ($L_D = \sqrt{(\epsilon_{si} U_T) / (2eN_A)}$). [2]

L'équation de Poisson s'écrit après la normalisation comme :

$$\frac{d^2\psi}{dy^2} = \frac{\exp(\psi - v)}{2} \quad \text{(III.8)}$$

La solution de (III.8) est :

$$\psi(x, y) = v(x) - \ln \left[\frac{\cos^2 \left(\sqrt{\alpha(y)} \cdot \frac{y}{2} \right)}{\alpha(y)} \right] \quad \text{(III.9)}$$

Où $\alpha(y)$ ne dépend pas de x comme β dans le modèle de Taur et il doit être résolu par la condition aux limites.

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

$$C_{ox} (V_g - \psi_s(x)) = \psi_s'(x) \quad (\text{III.10})$$

Où $\psi_s(x)$ est le potentiel de surface ($= \Psi(x, t_{si}/2)$) et $\psi_s'(x)$ est le champ à la surface ($= \delta\Psi/\delta y(x, t_{si}/2)$).

L'expression du potentiel (III.9) diffère de (III.2) pour des raisons de normalisation comme dit précédemment.

La densité locale du courant est calculée en prenant en compte les phénomènes de conduction de diffusion :

$$-\mu H_{si} \cdot q \cdot \frac{dv}{dx} = -\mu H_{si} \cdot \left(q \cdot \frac{d\psi}{dx} - \frac{dq}{dx} \right) \quad (\text{III.11})$$

Où H_{si} est la hauteur du film de silicium qui est équivalente à la largeur du DG MOSFET.

Après intégration de (III.11) suivant la direction-y, l'expression suivante est obtenue :

$$I_{DS} = -\mu H_{si} \cdot \int_{-t_{si}/2}^{t_{si}/2} q \cdot dy \cdot \frac{dv}{dx} = -\mu H_{si} \cdot Q \cdot \frac{dv}{dx} = -\mu H_{si} \cdot \left(\int_{-t_{si}/2}^{t_{si}/2} q \cdot \frac{d\psi}{dx} \cdot dy - \frac{dQ}{dx} \right) \quad (\text{III.12})$$

Puis après un arrangement de (III.12), nous avons :

$$\int_{-t_{si}/2}^{t_{si}/2} q \cdot \frac{d\psi}{dx} \cdot dy = Q \cdot \frac{dv}{dx} + \frac{dQ}{dx} = \tilde{Q} \cdot \frac{d\psi_s}{ds} \quad (\text{III.13})$$

Avec

$$\begin{cases} \tilde{Q} = Q \cdot \left[1 + \frac{\gamma}{4} \cdot g(\theta) \right] \\ g(\theta) = \frac{\sin(2\theta) - 2\theta \cdot \cos(2\theta)}{\theta \cdot \tan \theta \cdot [2\theta + \sin(2\theta)]} \\ \theta = \sqrt{\alpha(y)} \cdot \frac{t_{si}}{4} \end{cases}$$

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

Une approximation est faite : $g(\theta) \approx 0$ donc $\tilde{Q} \approx Q$. l'expression du courant de drain devient alors :

$$I_{DS} = -\mu.H_{si} \cdot \left(\tilde{Q} \cdot \frac{d\psi_s}{dx} - \frac{dQ}{dx} \right) \approx -\mu.H_{si} \cdot \left(Q \cdot \frac{d\psi_s}{dx} - \frac{dQ}{dx} \right) \quad \text{(III.14)}$$

Avec $2 \cdot C_{ox} \cdot (\Psi_s - V_g) = Q$, devient :

$$I_{DS} \approx -\mu \cdot \frac{H_{si}}{2 \cdot C_{ox}} \cdot \left(Q \cdot \frac{dQ}{dx} - 2 \cdot C_{ox} \cdot \frac{dQ}{dx} \right) \quad \text{(III.15)}$$

Après l'intégration de (III.15) de la source au drain, le courant de drain est finalement donné par :

$$I_{DS} \approx -\mu \cdot \frac{H_{si}}{2 \cdot L \cdot C_{ox}} \cdot \bar{Q}^* \cdot \Delta Q^* \quad \text{(III.16)}$$

$$\text{ou } \begin{cases} \bar{Q}^* = (Q_0^* + Q_L^*)/2 \\ \Delta Q^* = Q_L^* - Q_0^* \\ Q_{0,L}^* = Q_{0,L} - 2C_{ox} \end{cases}$$

En comparant (III.15) et (III.16), on a une relation :

$$\frac{dx}{L} = \frac{Q^* \cdot dQ^*}{\bar{Q}^* \cdot \Delta Q^*} \quad \text{(III.17)}$$

A l'aide de (III.17) les expressions Q_i , Q_s et Q_d peuvent être déduites :

$$-Q_G = Q_I = \bar{Q} - \eta \cdot \Delta Q^* / 6 \quad \text{(III.18)}$$

$$Q_D = \left[\bar{Q} - (\eta + \eta^2 / 5 - 1) \cdot \Delta Q^* / 6 \right] / 2 \quad \text{(III.19)}$$

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

$$Q_s = \left[\bar{Q} - \left(\eta - \eta^2/5 + 1 \right) \cdot \Delta Q^* / 6 \right] / 2 \quad (\text{III.20})$$

Avec $\eta = \Delta Q^* / (2 \cdot Q^*)$.

L'avantage de ce modèle canal long est l'expression explicite qui est souhaitée pour un modèle compact. L'intégration des effets de petites géométries dans le modèle du FinFET est similaire au modèle MOSFET-bulk (PSP) ; cela exige donc beaucoup de paramètres ce qui rend le modèle complexe et donc très difficile pour une utilisation calcul à la main[2].

III.2.3 Synthèse des principaux modèles existants

Les principaux modèles existants actuellement au monde sont : le modèle de Yuan Taur pour le DG MOSFET, PSP FinFET, Benjamain Inigues et le modèle de Taur. A Fjelbly. Le modèle de Taur est le premier modèle de DG MOSFET qui a pris en compte les effets canaux courts, sa dernière version devient explicite grâce à un algorithme explicite mais très compliqué à comprendre ce qui freine son utilisation, de plus il n'y a pas encore de résultats montrés sur les dispositifs courts inférieurs à 70 nm. L'équipe PSP a développé une version pour le FinFET de son modèle originellement dédié au MOSFET Bulk, bien qu'ils prennent en compte les effets canaux courts d'une manière similaire au modèle PSP (élaboré pour un MOSFET Bulk), de nombreux paramètres (et donc des procédures d'extraction de paramètres lourdes) freinent l'utilisation de ce modèle pour la simulation de circuits intégrés.

L'équipe de B. Inigues a développé un modèle compacte précis avec la prise en compte des effets quantiques. Mais pour l'instant aucune validation pour des longueurs inférieures à 70nm n'a été montrée.

T. A Fjelbly a appliqué la méthode mathématique 'conformal mapping' pour résoudre l'équation de poisson dans la région de faible inversion. Il a pris en compte les effets canaux courts d'une manière inhérente. Cependant ce modèle permet uniquement de décrire le comportement du dispositif sous le seuil, Il a besoin ensuite d'utiliser d'autres modèles pour décrire le comportement au-delà du seuil. Le modèle de Fjelbly n'est donc pas un modèle complet ou est en cours du développement.

Ces modèles présentent donc un certain nombre d'inconvénients pour une utilisation en conception de circuits intégrés et aucun d'entre eux ne répond complètement à toutes les

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

attentes des concepteurs, ainsi la réalisation d'un modèle complet de transistors à multiple grilles reste donc encore à faire dans le but qu'il soit plus complet avec une gamme de validation plus large que les autres, avec un nombre de paramètres relativement limités, robuste numériquement et adapté pour la simulation de circuits intégrés en technologie FinFET[2].

III.3 Modélisation compacte d'un transistor FinFET SOI

La structure du FinFET s'apparente à celle d'un MOSFET double grille disposé à la verticale. Une troisième grille surmonte la structure double grille, mais la constitution d'une couche épaisse d'oxyde de silicium entre cette grille et le film de silicium, permet d'ignorer son influence électrostatique sur le dispositif. Le but de cette structure est de fabriquer des transistors dont le comportement électrique est celui du transistor double grille, et ainsi pouvoir utiliser les modèles compacts existants de ce dispositif. Nous considérerons le transistor FinFET comme un transistor MOSFET double grille de largeur de film de silicium W_{Si} , de hauteur H_{Si} et de longueur de grille toujours égale à L [18].

Le modèle FinFET ultime :

Le FinFET est constitué d'une grande épaisseur d'oxyde de 50 nm sous la grille supérieure, et d'une épaisseur d'oxyde de 1,5 nm pour les deux grilles latérales. La section horizontale du FinFET est très similaire à la structure d'un MOSFET double grille conventionnel. Cela est particulièrement vrai pour les FinFETs très étroits qui ont une hauteur H_{Si} supérieure à 50 nm. La perte de contrôle électrostatique du canal par l'influence combinée des grilles latérales et de la grille supérieure aux angles supérieurs du canal, dit 'effets de coin', peut être négligée si le film de silicium est peu dopé ou si H_{Si}/W_{Si} est très grand. Ainsi le cœur physique du modèle compact de FinFET peut être dérivé de celui d'un modèle de MOSFET double grille symétrique[18].

Tout d'abord, la densité de charge de grille q_g est exprimée en terme de potentiels de canal et de grille (v_{ch} et v_g , respectivement) soit :

$$v_g - v_{t0} - v_{ch} = 4 \cdot q_g + \ln(q_g + \ln(1 + \alpha \cdot q_g)) \text{ avec } \alpha = C_{ox}/C_{si}$$

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

Où les potentiels sont normalisés selon $v = V/U_t$ (U_t est la tension thermodynamique) et les densités de charges selon $q = Q/(4C_{ox} U_t)$. C_{ox} est la capacité d'oxyde de grille ($= \epsilon_{ox}/t_{ox}$), C_{si} est la capacité de la couche de silicium ($= \epsilon_{si}/W_{si}$) et v_{t0} représente la tension de seuil canal long ($= \ln [(8C_{ox}U_t)/(e n_i W_{si})]$).

En définissant le courant de drain normalisé par : $i = I_d / (4 \mu C_{ox} U_t^2 H_{si} / L)$, nous obtenons une relation entre le courant et les densités de charge de source et de drain données par :

$$i = -q_m^2 + 2 \cdot q_m + \frac{2}{\alpha} \cdot \ln \left(1 - \alpha \frac{q_m}{2} \right) \Bigg|_{q_{ms}}^{q_{md}} \quad \text{(III.21)}$$

Où q_m est la densité de charge mobile ($= -2qg$)[18].

III.3.1 Les effets canaux courts

Les effets canaux courts (SCEs) correspondent à une dégradation de la tension de seuil et de la pente sous le seuil lors de la réduction des longueurs des canaux Du FinFET, et l'augmentation de la tension source-drain. La modélisation des effets canaux courts est l'étude du potentiel électrique et la répartition des charges mobiles au sein de différentes géométries de canal afin de montrer l'origine physique des SCEs.

Le transistor FinFET est un transistor à canal faiblement dopé, le rendant facilement complètement déplété. Dans la direction source-drain, le transistor FinFET est constitué de deux jonctions PN dont les régions les moins dopées sont communes, soit le film de silicium ou le canal d'inversion apparait. Cependant, étant donné les petites géométries de canal qui nous occupent et qui permettent d'atteindre un état de déplétion totale, les jonctions ne sont jamais à l'équilibre. Ainsi le potentiel électrique du canal de source à drain est l'association des profils de deux jonctions PN cote à cote, avec un potentiel qui atteint son minimum au centre du canal si le drain n'est pas polarisé [18][19].

La modélisation des effets canaux courts se fait tant sur le plan électrostatique que des densités de charges, nous intéressons donc à l'influence de la longueur du canal sur le profil de potentiel longitudinal :

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

III.3.1.1 Influence des canaux courts sur le potentiel électrostatique

Pour les plus courts canaux, la réduction de leur longueur produit, pour une largeur W_{Si} donnée, une modification de la tension de seuil. Cette dégradation est accentuée par l'effet de l'abaissement de la barrière induite par le drain (DIBL). En effet, la barrière de potentiel est la différence de potentiels entre celui de la source et le potentiel le plus faible du film de silicium qui est le potentiel minimum. Lorsque la longueur du film est suffisamment petite, l'augmentation du potentiel du drain entraîne avec lui une augmentation du potentiel minimum et donc une diminution de la barrière de potentiel.

La longueur du film de silicium et la tension source-drain influent sur la barrière de potentiel du transistor, la réduction de la barrière de potentiel implique une augmentation de courant de drain, Ainsi, le roll-off de la tension de seuil (indépendamment de la réduction normale de la tension de seuil par la réduction de la longueur de grille) et l'effet DIBL ont une même origine physique[18].

La figure (III.2) est une simulation numérique qui nous montre la variation du potentiel minimum ($\Delta\Psi_{smin}$) en fonction de la longueur de grille et pour deux tensions de drain, en prenant le potentiel minimum du canal long comme référence.

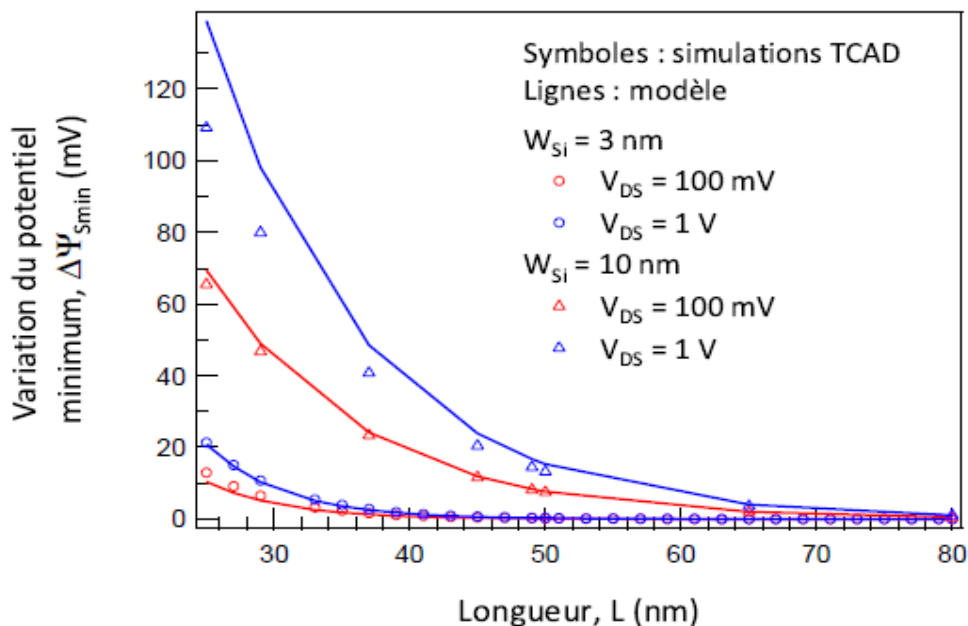


Figure (III.2) : Potentiel minimum en fonction de la longueur du canal, pour une largeur $W_{Si} = 3$ nm et $W_{Si} = 10$ nm.

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

Dans le cas des canaux ultra-courts, soit lorsque le potentiel minimum est modifié, le profil de potentiel le long du canal n'est plus plat (non équilibre des jonctions), même s'il n'y a pas de tension source-drain appliquée. Les profils de potentiel des jonctions source/canal et drain/canal constituent l'ensemble du profil de la source au drain. L'approximation du canal graduel ne peut donc plus s'appliquer. Le modèle dit canal long qui demande cette hypothèse n'est donc plus valable [18].

→ **Une solution pour continuer à utiliser le modèle canal long pour les dispositifs ultra courts :**

Le courant de drain en faible inversion est imposé par le potentiel minimum, quelle que soit la géométrie. En faible inversion et pour un canal long non dopé, le potentiel minimum existe d'une interface Si/SiO₂ à l'autre du film de silicium et est imposé par la tension de grille à travers l'oxyde de grille. En effet, en étant placé en régime de faible inversion, la densité de charges du canal n'implique pas un champ électrique suffisant à travers la couche d'oxyde de grille pour avoir une différence de potentiel entre la grille et le canal. Le potentiel de surface peut être supposé égal à la tension de grille V_g [18][19].

La tension de grille appliquée au transistor équivaut donc au potentiel minimum pour un canal long. Ainsi, une même variation du potentiel minimum dans le canal demande une même variation de la valeur de la tension de grille à utiliser dans le modèle compact. Cette relation est une solution pour tenir compte des effets canaux courts dans la modélisation du transistor FinFET. En effet, si nous pouvons prédire la valeur du potentiel minimum dans les dispositifs ultra-courts, en fonction notamment de la longueur du canal et de la tension de drain, nous pouvons directement l'utiliser dans le modèle compact canal long pour naturellement prédire le courant de drain en tenant compte des effets canaux courts. Ainsi en gardant la forme du modèle canal long, nous l'étendons pour le cas des canaux courts en remplaçant simplement V_g par V_{gN} défini comme suit :

$$V_{gN} = V_g + \Delta \psi_{s \min} \quad (\text{III.22})$$

→ **Calcul de la variation du minimum du potentiel :**

Pour calculer $\Delta \psi_{s \min}$ nous utilisons la solution du profil de potentiel le long du canal. L'équation de Poisson est résolue en 2D avec l'hypothèse que la densité de charges mobiles dans le canal est négligeable. Il s'agit donc ici de la résolution du laplacien à deux dimensions en tenant compte des conditions aux limites que sont les potentiels des électrodes de grilles,

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

source et drain. Cette solution du potentiel est ainsi uniquement valable lorsque le FinFET est en régime de faible inversion. On prend : $L / \lambda_G > 1.5$, où λ_G est la longueur d'échelle générale, donnée par :

$$\epsilon_{si} \cdot \tan(\pi \cdot t_{ox} / \lambda_G) = \epsilon_{ox} \cdot \tan[\pi/2 - \pi \cdot W_{si} / (2\lambda_G)] \quad (\text{III.23})$$

Le ratio $r = L/\lambda_G$ reflète l'importance des effets canaux courts : plus ce ratio est petit, et plus les SCEs sont forts. Par exemple, pour $W_{si} = 3$ nm et $L = 50$ nm, les SCEs sont négligeables étant donné le ratio de 5,5, alors que pour la même longueur mais avec $W_{si} = 10$ nm, l'effet DIBL est très important avec dans ce cas un ratio $r = 2,8$. En utilisant l'expression du potentiel, nous obtenons la relation suivante pour $\Delta\Psi_{smin}$:

$$\Delta\Psi_{smin} = F_s \cdot [2 \cdot (V_{bi} - V_g) + V_d] \quad (\text{III.24})$$

Où V_{bi} est le potentiel des jonctions source /drain et F_s est une fonction que nous rappelons ici :

$$F_s = \cos\left(\frac{\pi \cdot W_{si}}{2 \cdot \lambda_G}\right) \cdot \sinh(\pi \cdot r/2) \cdot \operatorname{csc} h(\pi \cdot r) \cdot f_\omega \quad (\text{III.25})$$

Où :

$$f_\omega = \frac{2 \cdot \lambda_G^2 \cdot \tan(\pi \cdot t_{ox} / \lambda_G) \cdot \sin\left[\frac{\pi \cdot W_{si}}{2 \lambda_G}\right]}{\pi^2 \cdot t_{ox} \left[\sin\left(\frac{\pi \cdot W_{si}}{\lambda_G}\right) \cdot t_{ox} \cdot \operatorname{csc}\left(\frac{2 \cdot \pi \cdot t_{ox}}{\lambda_G}\right) + \frac{W_{si}}{2} \right]} \quad (\text{III.26})$$

Etant données les hypothèses de calcul de la solution analytique, nous rappelons que la variation de potentiel minimum $\Delta\Psi_{smin}$ calculée n'est valable qu'en faible inversion. Cependant, les valeurs de variation de potentiel issues de l'expression analytique pour des tensions de grilles en forte inversion, sont des valeurs négligeables comparées à la tension de grille (Figure (III.3)). Ainsi, la relation (III.22) est considérée valide dans tous les régimes de fonctionnement. De plus, la modélisation analytique du potentiel minimum dépend de la tension VDS entre source et drain. L'effet d'abaissement de barrière de potentiel induite par le drain (DIBL) est donc déjà pris en compte dans la relation (III.22) [18].

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

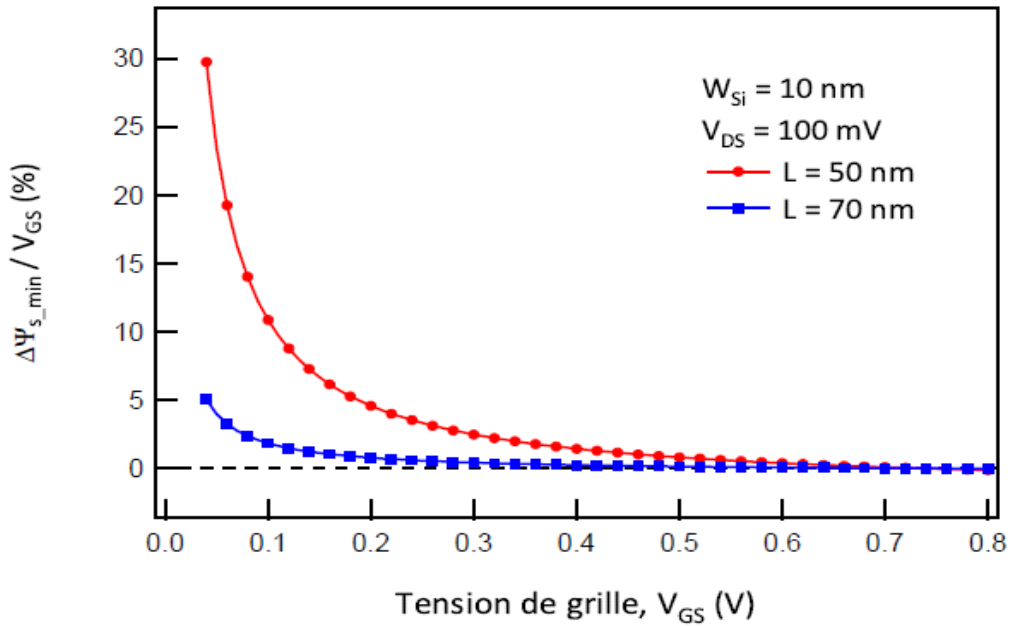


Figure (III.3) : Variation du potentiel minimum $\Delta\Psi_{smin}$ par rapport à la tension de grille en pourcentage en fonction de la tension de grille.

Maintenant que les formes normalisées des équations ci-dessus sont définies, nous sommes capables de calculer explicitement la densité de charge mobile.

Les variables associées à la charge mobile q_m sont redéfinies comme suit :

$$q_m = q_m(V_{gN}, V_{ch}, W_{si}, L) \quad \text{(III.27)}$$

$$V_{gN} = V_g + \Delta\Psi_{smin}$$

Avec : $\Delta\Psi_{smin} = \Delta\Psi_{smin} / UT$

Ainsi, en calculant la charge normalisée q_m en fonction de v_{gN} dans (III.21), nous conservons l'équation du courant de drain fonction de la charge mobile, qui est étendue aux dispositifs canaux courts en utilisant le modèle du potentiel minimum. Il est intéressant de remarquer qu'à travers cette nouvelle formulation plus physique des effets canaux courts, il est nullement nécessaire d'employer ni des paramètres empiriques, ni des fonctions mathématiques ou encore des calculs itératifs dépendant des potentiels appliqués au transistor

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

[18]. Ceci est une remarque très importante puisqu'il assure une formulation cohérente des charges et du courant dans des FinFET d'échelle très réduite et faiblement dopés. Nous apportons ici une amélioration majeure au modèle de FinFET.

→Dégradation de la pente sous le seuil :

Un autre effet important relié à la réduction sévère de la longueur de canal du FinFET, est la dégradation de la pente sous-le-seuil. En définissant la pente sous-le-seuil comme la variation de tension de grille nécessaire à la réduction du courant sous-le-seuil d'une décade, et sachant que le courant sous-le-seuil dépend principalement de la hauteur de la barrière d'énergie du canal, le facteur de pente n est calculé au potentiel minimum au centre du canal (Ψ_{smin}) :

$$n = \frac{\partial v_g}{\partial \psi_{cmin}} = \frac{1}{1 - 2 \cdot \sinh(\pi \cdot r/2) \cdot \csc h(\pi \cdot r) \cdot f \omega} \quad (\text{III.28})$$

La dégradation sous-le-seuil est prise en compte en termes de tension de pincement, soit :

$$v_p = \frac{v_g - v_{to}}{n} = \frac{v_{po}}{n} \quad (\text{III.29})$$

Ou V_{po} correspond à la conventionnelle tension de pincement. Le facteur de pente donné par (III.28) est défini dans la région sous-le-seuil, et ainsi (III.29) a une signification physique seulement en faible inversion. Par conséquent, en forte inversion le facteur de pente ne doit pas affecter la tension de pincement et la classique définition de la tension de pincement (v_{po}) peut être utilisée. De part le formalisme de notre modèle, et en particulier grâce à la forme de la relation du courant de drain (III.21), nous n'avons nullement besoin d'employer de fonctions de lissage pour décrire physiquement le comportement du dispositif. La substitution de v_{po} par v_p mène à une modélisation cohérente et précise de la charge et du courant normalisés[18][2].

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

III.3.1.2 Influence de la distribution de la densité de charge sur la longueur effective du canal :

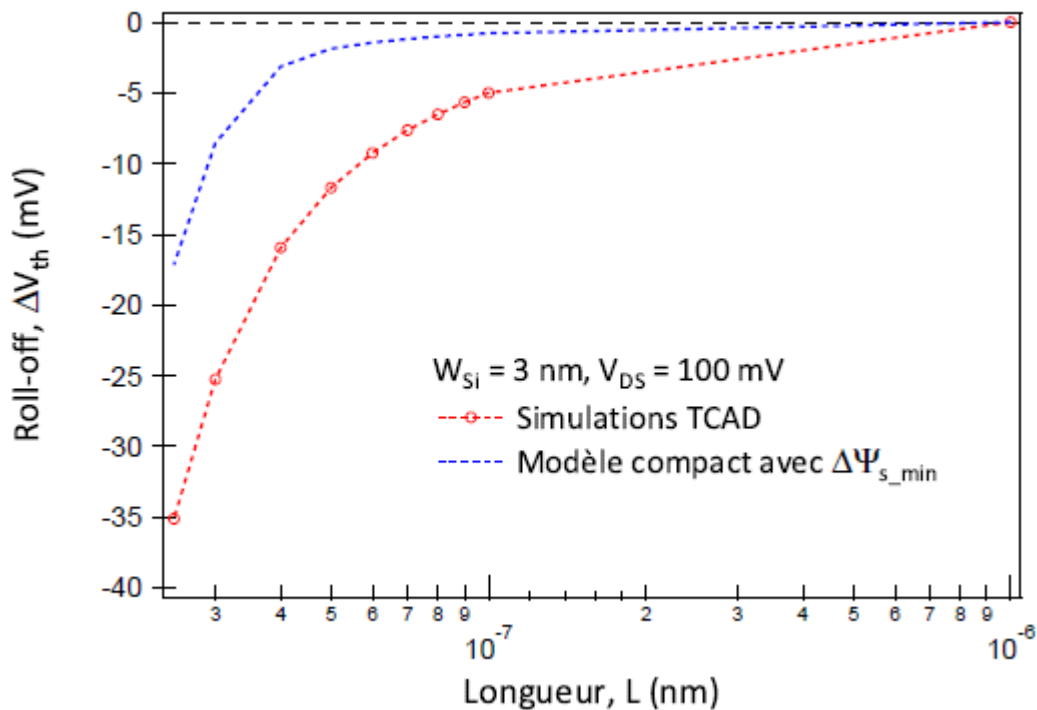


Figure (III.4) : Comparaison du roll-off des simulations TCAD 3D.

En observant la Figure (III.4), nous remarquons qu'une dégradation de tension de seuil existe à toutes les longueurs de canal. Cependant, le phénomène physique pris en compte par le modèle de variation de potentiel n'intervient que pour les canaux ultra-courts. Un autre effet physique que la variation du potentiel minimum induit donc une dégradation des performances du transistor en régime sous-le-seuil, et ce quelle que soit la longueur du canal[18][2].

→Longueur effective du canal :

L'observation du profil longitudinal de concentration de porteurs libres dans le canal à VDS nulle (Figure (III.5)) nous fait apparaître cet autre phénomène qui implique des effets canaux courts. La conduction électrique a pour support les porteurs de charge libres, et l'intensité de la conductivité dépend proportionnellement de la concentration de ces porteurs libres. Ainsi, le canal du point de vue électrique ne commence pas et ne se termine pas aux

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

interfaces des régions P et N, mais nous le définissons plutôt par la région de conductivité minimale. En effet, les réservoirs de porteurs libres, que sont les régions de source et drain, s'étendent selon une diffusion sous la grille, rendant la longueur du canal effectif inférieure à celle de la grille.

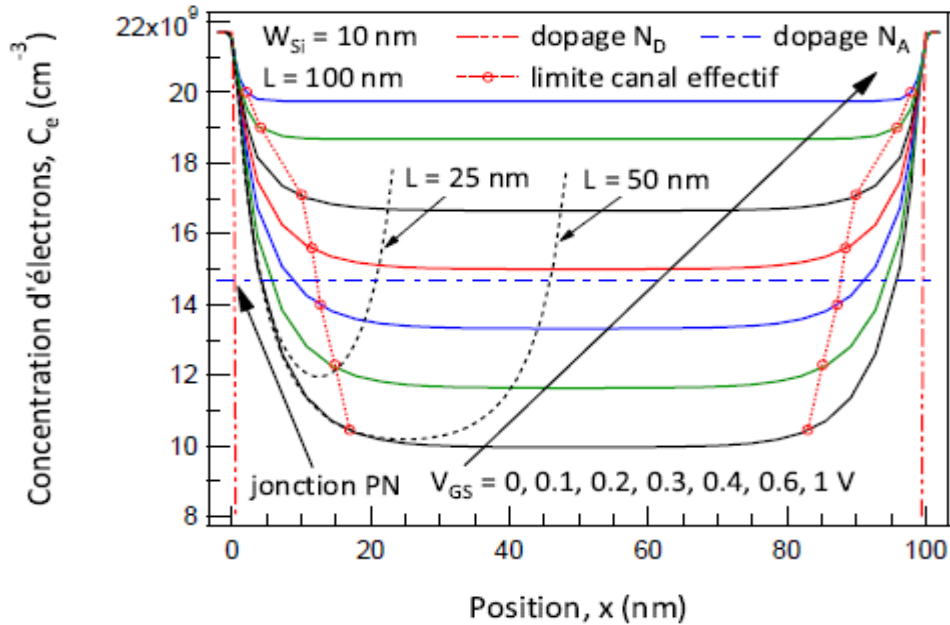


Figure (III.5) : Profil de source à drain de la concentration d'électrons libres de simulations TCAD 3D à $W_{Si} = 10 \text{ nm}$, $L = 100 \text{ nm}$ et différentes tensions de grille (lignes continues). Profils de concentration du dopage. Délimitation du canal effectif en fonction de la tension de grille.

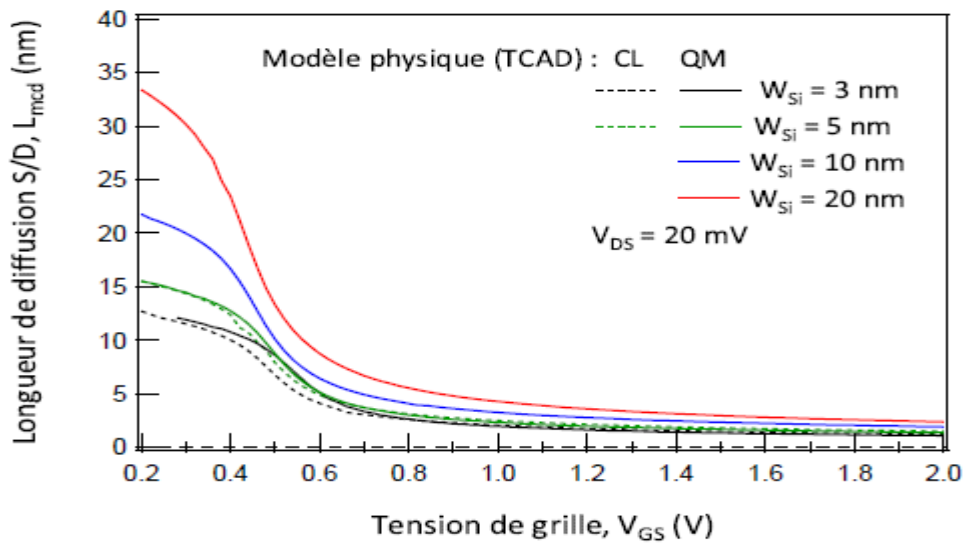


Figure (III.6) : Longueur de diffusion des porteurs majoritaires des source et drain dans le canal en fonction de la tension de grille, extraite de simulations TCAD 3D à différentes largeurs W_{Si} et selon un modèle physique classique et quantique.

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

La figure (III.5) nous montre par ailleurs que cette longueur effective du canal dépend de la tension de grille du transistor. L'augmentation de cette tension augmente la concentration de porteurs libres dans le canal, et la longueur de diffusion des porteurs libres de la source et du drain dans le canal est effectivement plus faible (figure (III.6)).

Selon cette constatation physique, la longueur du canal à utiliser dans le modèle compact est réduite par rapport à la longueur de grille du transistor, et ce quelle que soit cette longueur de grille. Ainsi l'erreur sur la longueur de canal demandée par le modèle compact est de plus en plus grande relativement à la longueur de grille lorsque celle-ci diminue. Et étant donné que le calcul du roll-off est basé sur la longueur de grille, la dégradation de tension de seuil doit augmenter progressivement avec la diminution de la longueur de grille. Il s'agit bien de ce qui est observé sur la courbe du roll-off des simulations TCAD (figure (III.4)) [18][19][2].

→ **Extraction de la longueur de diffusion des porteurs majoritaires dans le canal :**

L'extraction de la longueur de diffusion des porteurs majoritaires L_{MCD} dans le canal se fait depuis les régions de source et de drain, afin de quantifier la longueur effective du canal qui s'extrait dans des conditions de très forte inversion.

Pour étudier la quantification de la longueur de diffusion des porteurs de charge, et au même temps la longueur effective du canal, une méthode simple d'extraction est proposée et elle est valable quelle que soit la tension de grille [18].

En considérant le canal complet du transistor comme trois résistances électriques en série (figure (III.7)), la résistance totale du canal s'écrit donc :

$$R_{totale} = 2 \cdot R_{extSD} + R_{ch}, \text{ avec } R_{extSD} = R_{extS} = R_{extD}$$

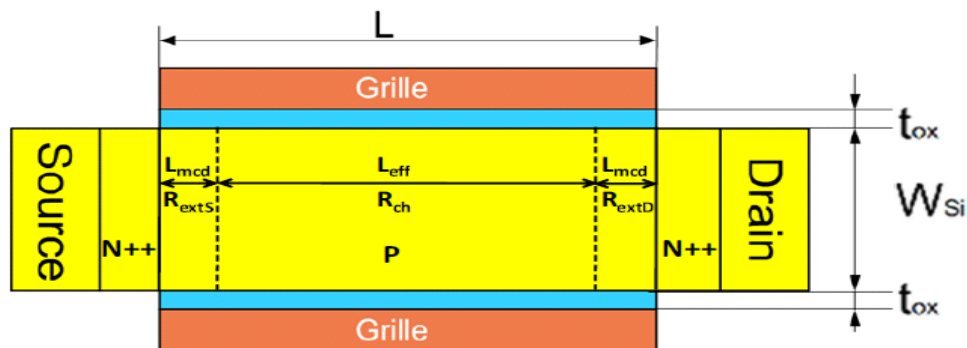


Figure (III.7) : Découpage du canal complet du FinFET selon une série de résistance.

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

$R_{ch} = a \cdot L_{eff} = a \cdot (L - 2 \cdot L_{MCD})$. Ainsi le courant de drain à une très faible tension source-drain peut simplement s'écrire :

$$I_D = \frac{V_{DS}}{2 \cdot R_{extSD} + a \cdot (L - 2 \cdot L_{MCD})} \quad (\text{III.30})$$

Afin d'extraire la longueur L_{MCD} , nous considérons deux transistors FinFET de deux longueurs de grilles différentes L_1 , et L_2 supérieures de quelques centaines de nanomètres des longueurs ultra-courtes, toute chose égale par ailleurs. De là nous exprimons le rapport des courants de drain des deux FinFET :

$$\frac{I_{D1}}{I_{D2}} = \frac{2 \cdot R_{extSD} + a \cdot (L_2 - 2 \cdot L_{MCD})}{2 \cdot R_{extSD} + a \cdot (L_1 - 2 \cdot L_{MCD})} \quad (\text{III.31})$$

Les deux régions adjacentes de la source et du drain sont des régions de fortes concentrations de charges mobiles relativement à celle du canal. Ainsi, nous considérons que la résistance R_{extSD} est négligeable devant celle du canal étant donné les longueurs relativement longues des deux FinFET : avec $L_1 > L_2$,

$R_{ch1} > R_{ch2} \gg R_{extSD}$ Ainsi, l'expression du rapport de courant de drain peut se simplifier en :

$$\frac{I_{D1}}{I_{D2}} = \frac{L_2 - 2 \cdot L_{MCD}}{L_1 - 2 \cdot L_{MCD}} \quad (\text{III.32})$$

et la longueur de diffusion des porteurs majoritaires des régions source et drain L_{MCD} , peut être exprimée en fonction de caractéristiques électriques :

$$L_{MCD}(V_{GS}, W_{si}) = \frac{1}{2} \cdot \frac{I_{D2}(V_{GS}, W_{si}) \cdot L_2 - I_{D1}(V_{GS}, W_{si}) \cdot L_1}{I_{D2}(V_{GS}, W_{si}) - I_{D1}(V_{GS}, W_{si})} \quad (\text{III.33})$$

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

III.3.2 Dégradation de la mobilité

Lorsque le film de silicium est réduit à quelques nanomètres de largeur, la mobilité des électrons des couches d'inversions faible et modérée devient dépendante de la largeur W_{Si} . La dégradation de la mobilité en faible inversion est particulièrement forte pour les plus faibles largeurs de silicium telles que 3 ou 5 nm, la dispersion due aux phonons optiques de surface joue un rôle important dans le transport à champ faible pour les transistors SOI à canal ultra mince. Expérimentalement, il a été montré que la dégradation de la mobilité devient réellement significative pour des longueurs de canal inférieures à 100 nm.

La dégradation de la mobilité due au champ électrique transverse en forte inversion ($E_{\perp SI}$) est modélisé par une approche conventionnelle basée sur la charge utilisant la charge de grille, de plus nous considérons aussi un champ électrique transverse additionnel ($E_{\perp WI}$) résultant des effets canaux courts [18].

Nous calculons le champ électrique transverse moyen au milieu du canal ($E_{\perp WI}$) :

$$E_{\perp WI} = -\frac{\pi}{\lambda_G} \cdot \tan\left(\frac{\pi \cdot W_{Si}}{2 \cdot \lambda_G}\right) \cdot \Delta\psi_{Smin} \quad (\text{III.34})$$

Le champ électrique transverse en régime de forte inversion est obtenu à travers la charge de grille :

$$E_{\perp SI} = -Q_G / \epsilon_{si} \quad (\text{III.35})$$

Par conséquent, la mobilité effective transverse est donnée par :

$$\mu_{\perp} = \frac{\mu_0}{1 + \frac{E_{\perp WI}}{e_0} + \frac{E_{\perp SI}}{e_1} + \frac{E_{\perp SI}^2}{e_2}} \quad (\text{III.36})$$

Ou μ_0 est la mobilité à champ faible, $e_0 = -1 \text{ V} \cdot \text{nm}^{-1}$ est un facteur de normalisation, et, e_1 et e_2 sont des paramètres empiriques.

CHAPITRE III : MODELISATION COMPACTE D'UN TRANSISTOR FINFET

Ensuite, la dépendance de la mobilité sur le champ électrique longitudinal est modélisée de manière précise par :

$$\mu = \frac{\mu_{\perp}}{\left[1 + \left(E_{\parallel} / E_c\right)^v\right]^{1/v}} \quad (\text{III.37})$$

Où $E_c = V_{\text{sat}}/\mu_{\perp}$ est le champ électrique à la vitesse de saturation (V_{sat} est la vitesse de saturation des porteurs), $E_{\parallel} = V_{\text{deff}}/L$ est le champ électrique latéral effectif moyen et v est une constante ($=1.4$) [18][19].

III.4 Conclusion

La modélisation compacte du transistor FinFET est basée sur la modélisation du transistor MOSFET double grille, dont l'utilisation reste valide pour une petite géométrie du transistor FinFET, pour cela nous prenons en compte les effets canaux courts avec le roll-off de la tension de seuil, le DIBL et la dégradation de la pente sous-le-seuil, sans qu'aucun paramètre empirique ne soit nécessaire grâce à l'évaluation de la variation du potentiel minimum. La modélisation de la dégradation de la mobilité et la modélisation de la modulation de longueur de canal sont prises en compte dans la définition d'une longueur effective du canal.

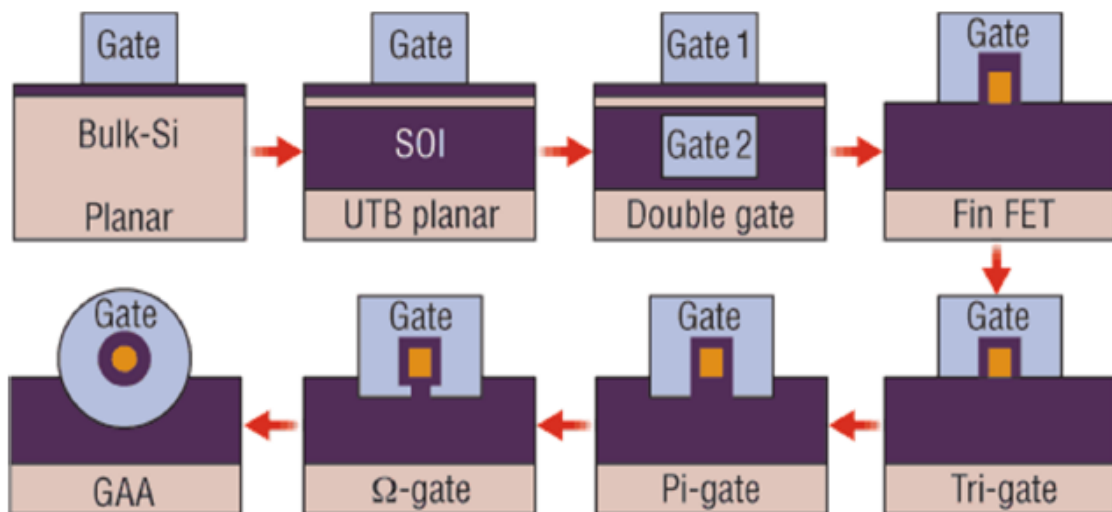
Les modélisations des différents phénomènes physiques sont réalisées indépendamment les unes des autres, et sont ensuite facilement combinées pour former un modèle complet. Ainsi, l'influence de chaque effet physique est directement visible dans chaque expression du modèle compact, le faible nombre de paramètres à extraire en fait un modèle orienté conception pour la réalisation de circuits numériques.

Conclusion générale



CONCLUSION GENERALE

L'évolution de la technologie MOS vers des transistors de plus en plus petits a vu apparaître certains effets néfastes appelés effets canaux courts ou short channel effects. La technologie Multiple-Grille devrait permettre de poursuivre cette évolution grâce à son excellent contrôle du canal, la technologie SOI Multiple-Grille permet de réduire les effets néfastes liés à la réduction de la taille de transistor. En comparant le FinFET avec les autres dispositifs notamment les principales technologies multi grille nous voyons que le FinFET renforce le contrôle du canal par rapport au MOSFET, comme il est plus facile à fabriquer, mais l'effet de coin devient non négligeable, une solution est d'arrondir les coins, le GAA MOSFET est une structure complètement cylindrique permet d'avoir un comportement symétrique. Ces nouvelles architectures à deux ou plusieurs grilles permettent d'influencer sur le comportement du transistor, ce contrôle offre un nouveau degré de liberté qui permettra la création d'architectures innovantes. Des architectures encore plus exotiques, comme par exemple les dispositifs appelés transistor à 'Pi-gate' et ' Ω -gate' sont envisageables.



La conception des circuits intégrant ces nouveaux dispositifs, et le développement de modèles compacts performants, notamment pour le FinFET, devient une demande pressante. L'intérêt d'un modèle compact est de donner au concepteur un résultat de simulation le plus rapidement possible tout en conservant une précision suffisante à la bonne fonctionnalité du circuit simulé.

Plusieurs modèles compacts de MOSFET double grille et de FinFET ont été publiés, cependant, actuellement aucun d'entre eux ne répond complètement à toutes les attentes des concepteurs, ainsi la réalisation d'un modèle complet de transistors à multiple grilles reste donc encore à faire dans le but qu'il soit plus complet avec une gamme de validation plus large que les autres, avec un nombre de paramètres à extraire relativement limités.

Références bibliographique :

[1] : Birahim Diagne 'Etude et modélisation d'un transistor MOS SOI double grille dédié à la conception' thèse doctorat 2007.

[2] : Mingchun TANG 'Études et Modélisation Compacte du Transistor FinFET' thèse doctorat 2009.

[3] : Rachida Talmat 'Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)' thèse doctorat 2009.

[4] : Merad faiza 'conception et simulation des caractéristiques électriques d'un transistor MOSFET à conduction latéral de type FinFETs'. Thèse magister 2014.

[5] : Julien le coz 'Réduction de la consommation statique des circuits intégrés en technologie SOI partiellement déplété' thèse doctorat 2011.

[6] : Thèse étude théorique et expérimentale des performances des dispositifs FD SOI. Imed Ben Akaz.

[7]: SOI industry consortium: questions and answer on fully depleted SOI technology. Xavier GAUCHY.

[8]: Lecture 7: thin body MOSFET's process.

[9]: Modeling Random variability of 16nm bulk FinFET. Victor Moroz, Qiang Lu, Munking choi.

[10] : IBM Research FinFET technology a substrate perspective.

[11]: David publishing '3D multi-gate transistors: concept, opération and fabricatio.

[12]: David Michael Fried 'The design fabrication characterization of independent gate FinFET' Mai 2014.

[13]: Rainer Waser 'Logic devices and concepts Nanotechn ology. Volume 4: Information Technology II'.

[14]: Epi Defined (ED) FinFET: An alternate device architecture for high mobility Ge channel integration in PMOSFET.

[15]: An Independent Double-Gate Thin Film FinFET Featuring Lithography-Free Channel Length Definition.

[16]: J. P. Colinge 'FinFET and other multi gate transistors'.

[17]: SOI industry consortium. Comparison study of FinFETs: SOI vs. Bulk

[18]: Nicholas Cheveillon 'Etude et modélisation compacte du transistor FinFET ultime' thèse doctorat 2012.

[19]: Mathieu Moreau 'Modélisation et simulation numérique des nano transistors multi-grille à matériaux innovants' thèse doctorat 2010.