

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MOULOU MAMMERI, TIZI-OUZOU



FACULTE DE GENIE ELECTRIQUE ET D'INFORMATIQUE
DEPARTEMENT D'ELECTRONIQUE

Mémoire de fin d'études

Présenté en vue de l'obtention
du diplôme de Master en Électronique

Option : Électronique Industrielle

Thème:

Etude et Réalisation d'une Carte pour Pompage de Charge Rapide

Proposé par :

M^r : TAHI Hakim

Étudié et réalisé par:

M^r : RABAHALLAH Samir

Encadré par :

M^r : BENNAMENE Kamal

Année universitaire 2011/2012

Remerciements

Je tiens tout d'abord à remercier Dieu le tout puissant et miséricordieux, qui ma donné la force et la patience d'accomplir ce modeste travail.

*Je remercie vivement monsieur **Bennamane Kamel**, mon encadreur, pour la totale confiance qu'il m'a accordée. Je lui suis tout particulièrement reconnaissant pour les conseils qu'il a su me donner, et le soin avec lequel il a suivi ce travail, s'est toujours montré à l'écoute et très disponible tout au long de la réalisation de ce mémoire.*

*Je tiens à remercier Monsieur **Tahi Hakim** pour son accueil chaleureux au CDTA (centre de développement des technologies avancées) d'Alger.*

Je n'oublie pas mes parents pour leur contribution, leur soutien et leur patience.

Je tiens à exprimer ma reconnaissance à tous ceux qui ont contribué, directement ou indirectement, au bon déroulement de notre travail.

Dédicaces

A ma famille, a mes proches

A la mémoire de ma sœur

Je dédie ce travail

Sommaire

Chapitre I : le transistor MOS

I.1. introduction	1
I.2. La capacité MOS	1
I.2.1. La structure MOS.....	1
I.2.2. Régimes de fonctionnement de la structure MOS	2
I.2.3. Les équations de bases de la structure MOS	3
I.3. Le diélectrique de grille: Cas du SiO₂	4
I.3.1.Obtention du SiO ₂	4
I.3.2. Structure du SiO ₂	5
I.3.3. Défauts dans le SiO ₂	6
I.3.3.1. Défauts intrinsèques	6
I.3.3.2. Défaut extrinsèques.....	6
I.4. Caractéristiques électriques	7
I.4.1. Diagramme de bandes d'énergie.....	7
I.4.2. Propriétés électriques de l'oxyde	7
I.5. Les types de charges dans l'oxyde	7
I.5.1. La charge fixe (Q _f)	8
I.5.2. La charge piégée (Q _t)	8
I.5.3. La charge mobile ionique (Q _m).....	8
I.5.4. La charge piégée à l'interface (Q _{it}).....	8
I.6. Les défauts de l'interface Si/SiO₂	9
I.6.1. Nature des défauts à l'interface	9
I.6.2. Propriétés des états d'interface	9
I.6.2.1. Notion de piège.....	10
I.6.2.2. Notion de section de capture	10
I.6.2.3. Les états rapides et les états lents.....	10

Sommaire

I.7. Propriétés de transport dans l'oxyde	11
I.8. Le transistor à effet de champ (MOSFET)	11
I.8.1. Structure du MOSFET	11
I.8.2. Principe de fonctionnement.....	12
I.9. Conduction électrique entre la source et le drain	12
I.9.1. Expression de la charge participant à la conduction électrique entre la source et le drain	12
I.9.2. Expression du courant de drain linéaire	13
I.9.3. Expression du courant de drain en mode saturé	13
I.10. Conclusion	14
Références du chapitre I	15

Chapitre II : physique du pompage de charge

II.1. Introduction	16
II.2. Principe du pompage de charge	16
II.2.1. Montage expérimental	16
II.2.2. Principe de base du pompage de charge	17
II.3. Pompage de charge à deux niveaux	18
II.3.1. Analyse des phénomènes physiques.....	18
II.3.1.1. Evolution du remplissage des pièges avec le signal de grille	18
II.3.1.2. Expression du courant pompé	23
II.4. Pompage de charge à ΔV_{GB} constant	24
II.5. Pompage de charge à V_{GBI} constant	25
II.6. Pompage de charge à trois niveaux	27
II.6.1. Introduction	27
II.6.2. Principe	27
II.7. Modèle général de pompage de charge	27

Sommaire

II.7.1. Expression du courant pompé	27
II.8. Conclusion	29
Références du chapitre II	30
Chapitre III : Réalisation pratique	
III.1. Introduction	31
III.2. Principe de la technique	31
III.3. Conception de la carte	32
III.3.1. Liste des composants	32
III.3.2. L'amplificateur opérationnel LF347N.....	32
III.3.3. Représentation schématique et caractéristiques	33
III.3.3.1. Caractéristiques.....	34
III.3.4. Montage en amplificateur inverseur	34
III.3.5. Saisie de schéma électrique de la carte.....	34
III.3.6. Tracé du circuit imprimé de la carte.....	35
III.3.7. Implantation des composants	36
III.4. Présentation du banc de mesure	36
III.5. Résultats des tests sur la carte.....	37
III.6. Description du logiciel de programmation	37
III.6.1. Introduction à Labview	37
III.6.2. Structure d'un programme Labview.....	37
III.6.2.1. La face avant.....	38
III.6.2.2. Un digramme	38
III.6.3. Palette des commandes	39
III.6.4. Palette des fonctions	39
III.6.5. La palette d'outils	40
III.6.6. Les structures d'exécutions dans labview.....	40

Sommaire

III.6.6.1. La structure condition	40
III.6.6.2. La boucle for.....	41
III.6.6.3. La boucle while.....	41
III.6.7. Les sous VIs dans labview	41
III.6.8. Les fils de liaison dans labview	42
III.7. Programme de commande du circuit sous Labview.....	42
III.7.1. Génération du signal de grille	42
III.7.1.1. Face avant du programme de signal de caractérisation.....	42
III.7.1.2. Diagramme du programme de signal de caractérisation.....	43
III.8. Le VI de l'oscilloscope Tektronix utilisé.....	43
III.9. Conclusion.....	44
Référence du chapitre III	45

La liste des figures

Figure/Chapitre	Titre	Page
Chapitre I		
Figure I.1:	Schéma d'une structure MOS	1
Figure I.2:	Schéma électrique capacitif équivalent d'une structure MOS	1
Figure I.3 :	Diagramme de bandes d'énergie représentant les différents régimes du semi- conducteur en fonction du potentiel appliqué : le régime d'accumulation (a), le régime de bandes plates (b), le régime de désertion (c), le régime d'inversion faible (d), et le régime d'inversion forte (e).	3
Figure I.4 :	Motif de base de la silice	5
Figure I.5:	Représentation plane du réseau de la silice, cristalline (a) et amorphe (b)	6
Figure I.6 :	Diagramme de bandes du système Si-SiO ₂	7
Figure I.7:	Les types de charges de l'oxyde et leur localisation	8
Figure I.8 :	Configurations atomiques possibles et défauts près de l'interface Si/SiO ₂ : (1) Les liaisons pendantes de Si; (2) Oxygène non lié; (3) Lacune d'oxygène; (4) Liaison Si-O contrainte (ou faible); (5) Espèces contenant de l'hydrogène (liaisons -H et -OH).	9
Figure I.9:	Illustration des différents mécanismes de piégeage	10
Figure I.10 :	Structure physique d'un transistor MOS canal N: (a) vue en perspective; (b) coupe	11
Figure I.11:	Caractéristique de sortie $I_D(V_{GS})$ d'un transistor nMOSFET.	12

Chapitre II

- Figure III.1: Schéma de principe du banc de mesure utilisé pour le pompage de Charge. 16
- Figure III.2: Le signal trapézoïdal appliqué à la grille du transistor MOS pour le pompage de charge à deux niveaux. 19
- Figure II.3: Evolution du diagramme de bandes du transistor, du remplissage des états d'interface et des divers courants dans le transistor lors d'un cycle du signal de grille à deux niveaux de tension. (a) Régime d'accumulation, (b) Emission de trous (à l'équilibre puis hors équilibre), (c) Capture d'électrons, (d) Régime d'inversion forte, (e) Emission d'électrons (à l'équilibre puis hors équilibre), (f) Capture de trous. 21
- Figure II.4 : (a) Représentation schématique d'une caractéristique $I_{cp}(V_{GBI})$ en pompage de charge à deux niveaux à ΔV_{GB} constant. (b) Positions du signal de grille par rapport aux tensions V_{FB} et V_{th} . (c) Zones de la bande interdite (gris clair et gris foncé) balayées par le niveau de Fermi et zones participant au courant pompé (gris clair). 25
- Figure II.5 : (a) Courbe $I_{cp}(V_{GBh})$ théorique pour un signal de grille à deux niveaux avec V_{GBI} constant. (b) Positions du signal de grille par rapport aux tensions V_{FB} et V_{th} . (c) Zones de la bande interdite (gris clair et gris foncé) balayées par le niveau de Fermi et zones participant au courant pompé (gris clair).
- Figure II.6 : Signaux de grille complémentaires utilisés en pompage de charges 3 niveaux. (a) contrôle de l'émission d'électrons, (b) contrôle de l'émission de trous. 27

Chapitre III

- Figure III.1 : Représentation schématique du nouveau banc de mesure pour le pompage de charge [2] 31

Figure III.2 : Brochage du LF347N [3]	32
Figure III.3 : Schéma interne du LF347N (document National Semiconductor). ¼ Quad [3]	33
Figure III.4 : Représentation schématique	33
Figure III.5 : Montage en inverseur	34
Figure III.6 : Schéma électrique de la carte	35
Figure III.7 : Circuit imprimé de la carte	35
Figure III.8 : Photographie de la carte réalisée	36
Figure III.9 : Photographie du dispositif expérimental utilisé	36
Figure III.10 : La courbe $V(I_{sd})$ en fonction du temps	37
Figure III.11 : Exemple de face-avant	38
Figure III.12 : Exemple d'un diagramme	38
Figure III.13 : Palette des commandes de la face-avant	39
Figure IVII.14 : Palette des fonctions de diagramme	39
Figure III.15 : Palette d'outils	40
Figure III.16 : Une structure condition	40
Figure III.17 : La boucle for	41
Figure III.18 : La boucle While	41
Tableau : les fils de liaison dans labview	42
Figure III.19 : Face avant du VI de signal de grille	42
Figure III.20 : Diagramme du VI de signal de grille	43
Figure III.21 : Face avant du VI de l'oscilloscope	43
Figure III.22: Diagramme du VI de l'oscilloscope	44

Table des symboles et des abréviations

Symboles	Unités	Définitions
A_{eff}	m^2	Aire effective du canal
BC	-	Bande de conduction
BI	-	Bande interdite
BV	-	Bande de valence
C_{ox}	Fm^{-2}	Capacité d'oxyde
c_n	$\text{m}^{-3}\text{s}^{-1}$	Coefficient de capture des électrons
c_p	$\text{m}^{-3}\text{s}^{-1}$	Coefficient de capture des trous
C_{SC}	Fm^{-2}	Capacité associée au semi-conducteur
E	J	Energie
E_C	J	Energie du niveau le plus bas de la bande de conduction
E_{CS}	J	Energie du niveau le plus bas de la bande de conduction à l'interface
$E_{\text{em,e}}$	J	Valeur particulière de E_m correspondant à la fin du régime d'émission des électrons
$E_{\text{em,h}}$	J	Valeur particulière de E_m correspondant à la fin du régime d'émission des trous
E_F	J	Energie du niveau de Fermi
E_{Fh}	J	Energie du niveau de Fermi pour $V_{\text{GB}} = V_{\text{GBh}}$
E_{Fl}	J	Energie du niveau de Fermi pour $V_{\text{GB}} = V_{\text{GBl}}$
E_{FM}	J	Energie du niveau de Fermi dans le métal
E_i	J	Niveau d'énergie intrinsèque (loin de l'interface)
E_m	J	Fonction de remplissage : niveau d'énergie pour lequel la probabilité de remplissage des états d'interface est égale à $\frac{1}{2}$
E_V	J	Energie du niveau le plus haut de la bande de valence (loin de l'interface)
E_{VS}	J	Energie du niveau le plus haut de la bande de valence à l'interface
e_n	s^{-1}	Coefficient d'émission des électrons
e_p	s^{-1}	Coefficient d'émission des trous
E_{vide}	J	Energie du vide
F_p	Hz	Fréquence du signal de grille
I_{DS}	A	Courant Drain-Source
I_{cp}	A	Courant pompé au niveau du substrat
I_{cpDS}	A	Courant pompé au niveau des zones de drain et de source
I_1	A	Courant d'émission d'électrons
I_2	A	Courant de capture d'électrons
I_3	A	Courant de capture de trous

I_4	A	Courant d'émission de trous
I_D	A	Courant de drain
I_{OFF}	A	Courant de fuite
K	JK^{-1}	Constante de Boltzmann ($K=1.38 \times 10^{23} JK^{-1}$)
L	m	Longueur de canal du transistor
MOS	-	Métal – Oxyde – Semi-conducteur
N_A	m^{-3}	Concentration des impuretés dopantes de type accepteur
N_D	m^{-3}	Concentration des impuretés dopantes de type donneur
N_t	Jm^{-3}	Concentration volumique des pièges dans l'isolant loin de l'interface
N_{ss}	Jm^{-2}	Concentration des pièges dans le semi-conducteur
n_i	m^{-3}	Concentration intrinsèque d'électrons dans le semi-conducteur
n_s	m^{-3}	Concentration d'électrons à l'interface
p_s	m^{-3}	Concentration des trous à l'interface
Q_{cp}	C	Charge pompée pendant une période du signal de grille
Q_{it}	Cm^{-2}	Charge due aux états d'interface
Q_{ox}	Cm^{-2}	Charge piégée dans le volume de l'isolant de grille
Q_{sc}	Cm^{-2}	Charge dans le semi-conducteur
Q_G	Cm^{-2}	Charge dans le poly-silicium de grille
q	C	Valeur absolue de la charge de l'électron ($1.602 \times 10^{-19} C$)
Q_{Depmax}	C	Charge déplétion maximale
Q_{Def}	C	La charge dans l'isolant rapporté à l'interface Si/SiO ₂ comprenant l'ensemble des charges générées par les défauts d'interface
T	K	Température absolue
T_p	s	Période du signal de grille
t_d	s	Temps de descente du signal de grille
t_m	s	Temps de montée du signal de grille
t_{ox} ou d_{ox}	m	Epaisseur d'oxyde
t_h	s	Durée haute du signal de grille
t_l	s	Durée basse du signal de grille
$T_{em,e}$	s	Temps d'émission des électrons
$T_{em,h}$	s	Temps d'émission des trous
V_{DS}	V	Tension Drain – Source
V_{FB}	V	Tension de bandes plates : tension V_{GS} pour laquelle $\Psi_s = 0$ à la source
V_{GBh}	V	Tension correspondante au niveau haut du signal de grille
$V_{GBem,e}$	V	Tension V_{GB} pour laquelle $E_m = E_{em,e}$
$V_{GBem,h}$	V	Tension V_{GB} pour laquelle $E_m = E_{em,h}$
V_{GBI}	V	Tension correspondante au niveau bas du signal de grille
V_{GS}	V	Tension Grille – Source
V_{mg}	V	Tension V_{GS} pour laquelle $\Psi_s = \Phi_F$ à la source

V_{ox}	V	Tension aux bornes de l'oxyde
V_T	V	Tension de seuil du transistor
V_{th}	V	Tension V_{GS} pour laquelle $\Psi_S = 2 \Phi_F$ à la source
V_{th}	Ms^{-1}	Vitesse thermique des porteurs
V_{GB}	V	Tension Grille – Bulk (substrat)
V_G	V	Tension Grille
V_{DD}	V	Tension pour laquelle le transistor
W	m	Largeur de canal du transistor
X	m	La distance du piège de l'oxyde à l'interface
Y_{Depmax}	m	Epaisseur maximale de la zone de déplétion
ZCE	-	Zone de charge d'espace
β	-	Constante (participant à la composante géométrique du CP)
ϵ_0	Fm^{-1}	Permittivité du vide ($8.85 \times 10^{-12} Fm^{-1}$)
ϵ_{ox}	-	Constante diélectrique de l'oxyde de silicium (3.82)
ϵ_{Si}	Fm^{-1}	Permittivité du semi-conducteur (11.9)
Φ_F	V	Potentiel de volume du semi-conducteur
Φ_{MS}	J	Travail de sortie entre le métal et le semi-conducteur
λ	-	Constante de l'effet tunnel
λ_e	-	Constante d'atténuation tunnel pour les électrons
λ_h	-	Constante d'atténuation tunnel pour les trous
μ_0	$m^2V^{-1}s^{-1}$	Mobilité des électrons dans le canal à faible champ électrique
μ_{eff}	$m^2V^{-1}s^{-1}$	Mobilité effective des électrons dans le canal
σ_n	m^2	Section de capture des électrons à l'interface
σ_p	m^2	Section de capture des trous à l'interface
σ	Cm^2	Section de capture des pièges
τ	s	Constante de temps des pièges dans l'isolant
τ_{ee}	s	Constante de temps d'émission d'électrons
τ_{eh}	s	Constante de temps d'émission de trous
Ψ	V	Potentiel dans le semi-conducteur
Ψ_S	V	Potentiel de surface du semi-conducteur
t_3	s	Durée intermédiaire du signal de grille

Introduction générale :

La microélectronique a commencé avec l'invention du transistor en 1947, par John Bardeen et Walter Brittain des Bell Laboratories. L'évolution de l'industrie de la microélectronique doit une grande partie à l'existence de l'oxyde de silicium, en particulier au dioxyde de silicium, SiO_2 . Cela a rendu possible le développement de la technologie CMOS (Complementary Metal-Oxyde-Semiconductor) qui, du fait de sa faible consommation et de sa forte densité d'intégration, est à la base de nombreux circuits intégrés.

En microélectronique, la silice ou dioxyde de silicium (SiO_2) est utilisée pour la conception de différentes sortes de films dont le rôle est d'isoler (empêcher le transfert de charges). Ces films sont utilisés à tous les niveaux de la conception des circuits intégrés.

En tant qu'oxyde de grille de transistor MOS, le film de SiO_2 ainsi que l'interface qu'il forme avec le silicium, jouent un rôle crucial dans le fonctionnement des dispositifs. En effet, la commande de l'ouverture et de la fermeture du canal se fait par application d'un champ électrique à travers cet oxyde, tandis que la mobilité des porteurs dans le canal, ainsi que le bruit du dispositif sont directement fonction de la qualité structurale de l'interface Si- SiO_2 . Il est donc particulièrement important de contrôler à la fois l'épaisseur de la couche, sa qualité structurale et la qualité de l'interface Si- SiO_2 .

Avec la réduction des dimensions des dispositifs et en particulier de l'épaisseur des oxydes de grille, les études sur les propriétés du SiO_2 et de son interface avec le silicium, ont connu un grand intérêt. Afin d'avoir des dispositifs fiables et performants, l'oxyde doit posséder une grande qualité structurale, un minimum de défauts d'interface et de charges fixes. Les chercheurs dans le domaine de la caractérisation ont développé plusieurs techniques de caractérisation des états d'interfaces (méthode de la conductance, pompage de charge, méthode C(V)), afin de décrire microscopiquement l'interface, pour une meilleure connaissance de l'origine physique des défauts.

Néanmoins, ces techniques sont complexes et leurs temps de mesure est de l'ordre de la seconde, mais la dégradation induite par stress peut recouvrir pendant ce temps de mesure, donc il y a nécessité d'améliorer la vitesse de mesure. Une nouvelle technique de pompage de charge ultra rapide a été développée. Le but de notre travail est la réalisation de cette technique. Pour y parvenir on a organisé le mémoire comme suit :

Le premier chapitre est consacré à une brève présentation du transistor MOS, ainsi que les propriétés de l'interface Si- SiO_2 et ses défauts électriquement actifs. Le second chapitre porte sur l'étude du pompage de charge et la description des différents phénomènes physiques mis en jeu au cours d'un cycle de pompage. Et le dernier chapitre est consacré à la réalisation pratique de cette nouvelle technique de pompage de charge, et au développement des différentes applications sous Labview pour l'acquisition des signaux de mesure et leur analyse.

Chapitre I :

Le transistor MOS

I.1. Introduction :

Afin de bien comprendre le principe de fonctionnement du transistor MOS. Il est nécessaire de rappeler le fonctionnement des dispositifs élémentaires, tels que la structure MOS, l'architecture de ce dispositif ainsi que les différents régimes la caractérisant.

I.2. La capacité MOS :

I.2.1. La structure MOS :

Par définition un condensateur est constitué de deux électrodes conductrices séparées par un matériau isolant. La capacité MOS se compose d'une succession de trois couches :

- Une couche « métallique ». Il s'agit typiquement d'aluminium. Dans certains dispositifs, ce « métal » est en fait du polysilicium fortement dopé.
- Une couche « isolante », généralement composée d'oxyde ou de nitrure de silicium.
- Une couche de semi-conducteur, du silicium dans les dispositifs actuels.

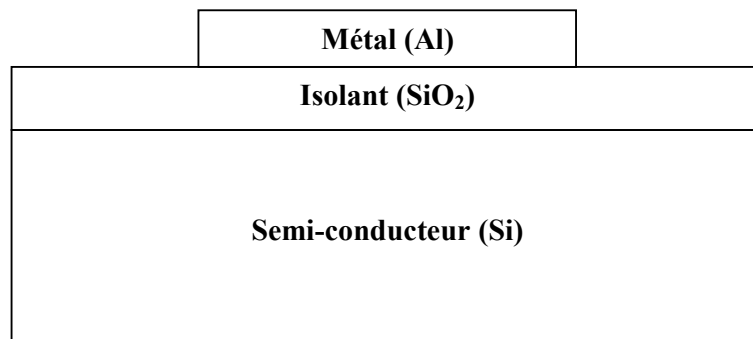


Figure I.1: Schéma d'une structure MOS

La structure MOS est donc équivalente à la mise en série de deux capacités, la capacité de l'isolant (C_{OX}) et celle créée à l'interface isolant/semi-conducteur (C_{SC}).

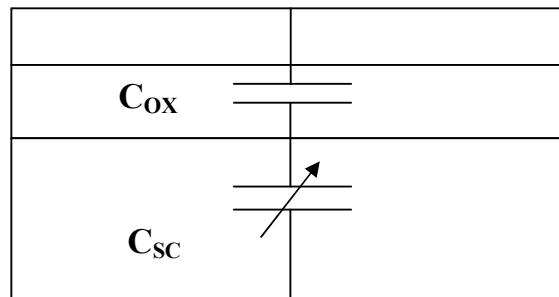
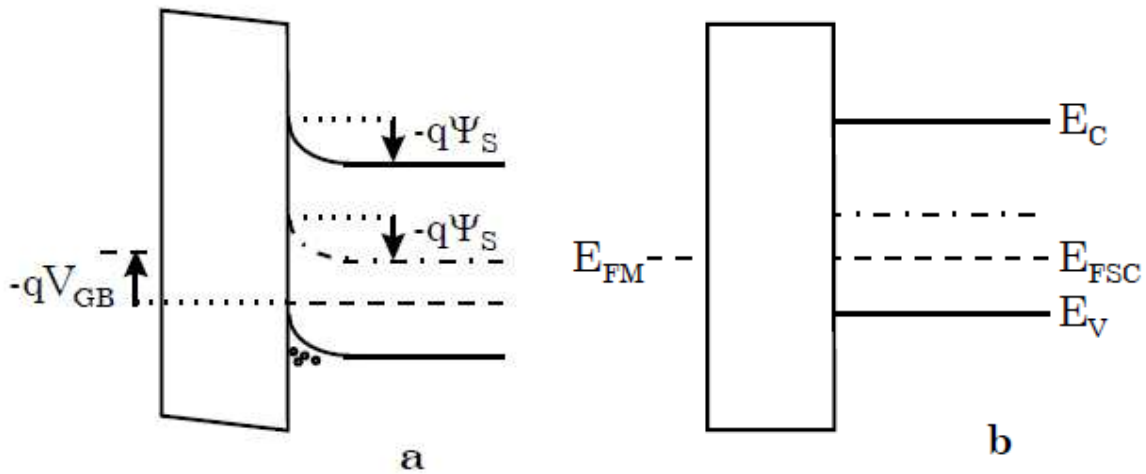


Figure I.2: Schéma électrique capacitif équivalent d'une structure MOS

I.2.2. Régimes de fonctionnement de la structure MOS :

La polarisation de la capacité par une tension V_{GB} , entre la grille métallique et le substrat, implique l'apparition d'une charge Q_G dans la grille et d'une charge opposée Q_{SC} dans le semi-conducteur. La variation de la tension V_{GB} modifie la valeur de ces charges, ce qui a pour conséquence les changements de régimes de fonctionnement de la capacité. La figure (I.3) présente les différents diagrammes de bandes d'énergie d'une structure MOS de type (P) en fonction de la tension V_{GB} . (On peut évidemment utiliser le même formalisme pour les dispositifs à substrat de type N en changeant les N en P et en inversant les polarités) [1].

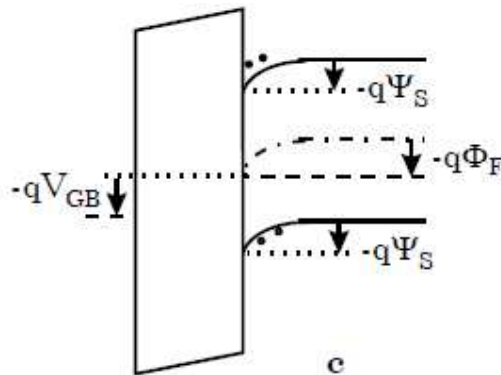


régime d'accumulation

$$V_{GB} < V_{FB}, \Psi_S < 0$$

régime de bandes plates

$$V_{GB} = V_{FB}$$



régime de désertion

$$V_{FB} < V_G < V_{mg}, 0 < \Psi_S < \Phi_F$$

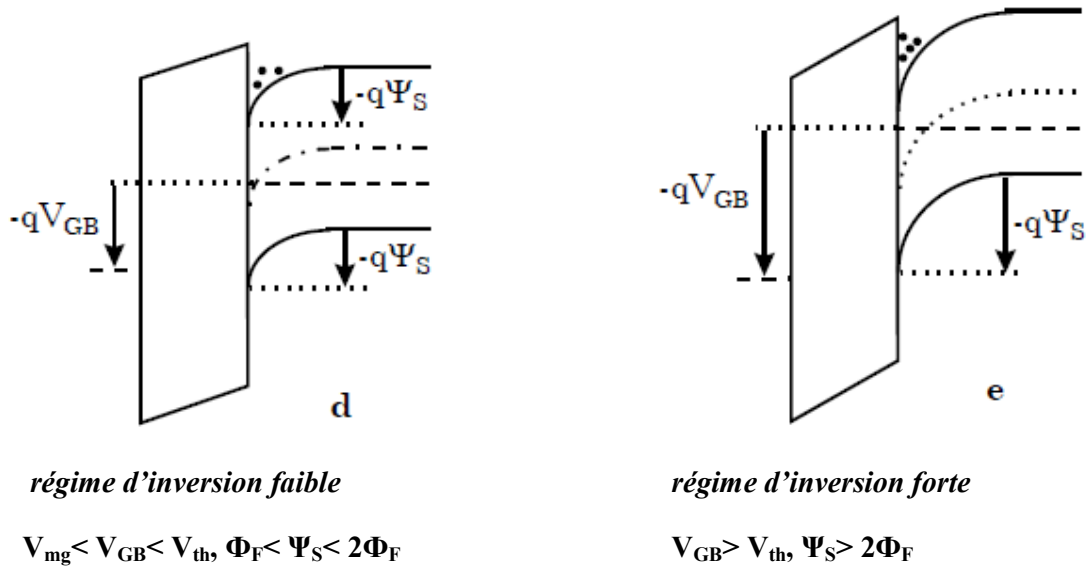


Figure I.3 : Diagramme de bandes d'énergie représentant les différents régimes du semi-conducteur en fonction du potentiel appliqué : le régime d'accumulation (a), le régime de bandes plates (b), le régime de désertion (c), le régime d'inversion faible (d), et le régime d'inversion forte (e). [1]

I.2.3. Les équations de bases de la structure MOS :

La capacité totale d'une capacité MOS, de surface A_{eff} , est [1] :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \dots\dots\dots(I.1)$$

avec :

$$\begin{cases} C_{ox} = \frac{\epsilon_{ox} A_{eff}}{t_{ox}} \\ C_{sc} = \frac{dQ_G}{d\Psi_s} = -\frac{dQ_{sc}}{d\Psi_s} \end{cases} \dots\dots\dots(I.2)$$

La charge au niveau de la grille, Q_G est reliée à la tension aux bornes de l'isolant par la relation capacitive :

$$Q_G = C_{ox} \cdot V_{ox} \dots\dots\dots(I.3)$$

Notons que dans les expressions (I.2), les états d'interface et la déplétion de grille ne sont pas pris en compte.

Pour une capacité MOS, deux équations doivent être respectées : la neutralité de la charge (I.4) et la conservation de l'équation aux potentiels (I.5) :

$$Q_G + Q_{ox} + Q_{sc} = 0 \dots\dots\dots (I.4)$$

$$V_{GB} = \Phi_{MS} + \Psi_S + V_{ox} \dots\dots\dots (I.5)$$

A partir des équations (I.3) à (I.5), l'équation aux potentiels (I.5) s'écrit :

$$V_{GB} = V_{FB} + \Psi_S - \frac{Q_{sc}}{C_{ox}} \dots\dots\dots (I.6)$$

Où la tension de bandes plates, V_{FB} est définie par :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \dots\dots\dots (I.7)$$

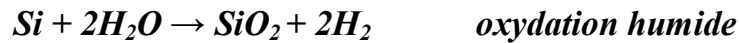
Notons que dans le cas d'une capacité MOS réelle, les pièges d'interface, Q_{it} ne sont plus négligeables et la relation donnant la tension de bandes plates, V_{FB} doit être corrigée pour prendre en compte ces charges :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}(\Psi_S = 0)}{C_{ox}} \dots\dots\dots (I.8)$$

I.3. Le diélectrique de grille: Cas du SiO₂:

I.3.1.Obtention du SiO₂ :

Le diélectrique de grille s'obtient par l'oxydation thermique du silicium. C'est la technique la plus utilisée depuis les années 50, vu la qualité des oxydes obtenue. L'oxydation thermique du silicium est effectuée à hautes températures (800 à 1200 °C) à l'intérieur d'un four parcouru par un courant gazeux oxydant (O₂ ou H₂O). Selon la nature de l'oxydant on a :



L'oxydation sèche, donne un oxyde de meilleure qualité et d'épaisseur mieux contrôlée, tandis que l'oxydation humide est utilisée pour la formation d'oxydes épais.

La croissance de l'oxyde et sa qualité dépendent de la qualité du substrat de silicium et en particulier de sa surface, à partir de laquelle il doit croître [2].

I.3.2. Structure du SiO_2 :

La silice peut se trouver sous trois formes allotropiques (même composition chimique, mais arrangements atomiques différents) :

- Cristalline (ordre cristallographique à longue distance).
- Vitreuse (ordre à courte distance).
- Amorphe (absence d'ordre).

La structure obtenue par oxydation thermique est la silice vitreuse. Elle est amorphe dans le cas d'un mauvais contrôle de la croissance de l'oxyde.

L'unité structurale de base de la silice est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre.

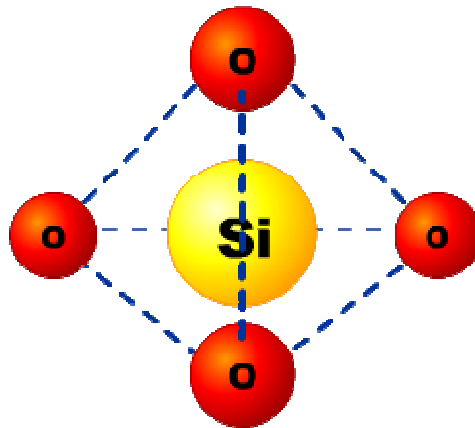


Figure I.4 : Motif de base de la silice

La silice est constituée d'un arrangement de tétraèdres SiO_4 reliés entre eux par l'intermédiaire des sommets. Ces tétraèdres sont caractérisés par la distance atomique Si-O (de 1,6 à 1,63Å), et par la valeur de l'angle θ entre les liaisons O-Si-O (θ varie de 110° à 180°), avec une valeur moyenne de 144° pour la silice amorphe [3].

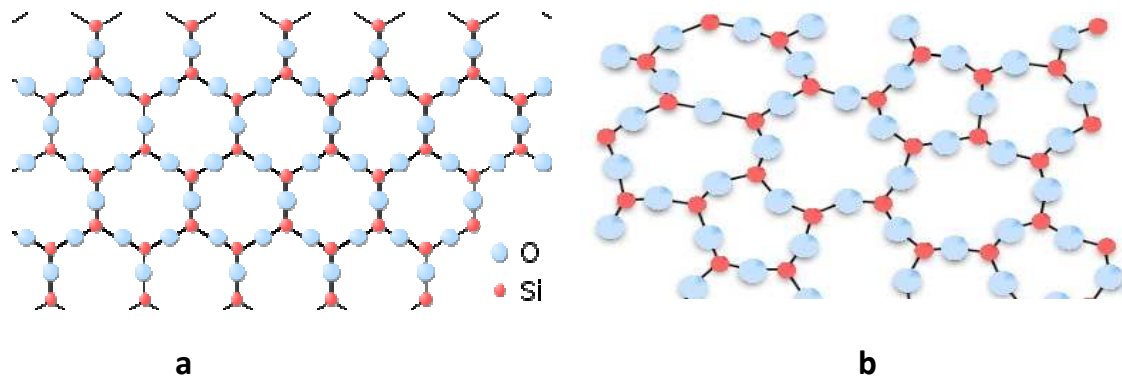


Figure I.5: Représentation plane du réseau de la silice, cristalline (a) et amorphe (b)

I.3.3. Défauts dans le SiO₂ :

Les défauts résultant des conditions de croissance de l'oxyde, mais aussi des traitements que subit le transistor, antérieurs (qualité de la surface sur laquelle l'oxyde va croître) et postérieurs (implantations, diffusion, traitements thermiques, contraintes mécanique...) à la croissance de l'oxyde.

I.3.3.1. Défauts intrinsèques :

Ils sont liés à l'arrangement des atomes de silicium et d'oxygènes entre eux. Ces défauts sont dus à des interstitiels (substitution d'un atome du réseau par un autre) ou à des lacunes (d'oxygène ou de silicium) associés à des liaisons contractées, cassées ou pendantes.

I.3.3.2. Défaut extrinsèques :

Ils sont liés à la présence dans l'oxyde d'atomes étrangers. Ces impuretés peuvent pénétrer à l'intérieur de l'oxyde à différents moments du processus technologique :

- Durant l'oxydation thermique, si elles sont déjà présentes dans le substrat de silicium (cas des atomes dopants As, B, P...) ou si elles ont été introduites, volontairement ou non, dans le gaz oxydant (cas de l'eau et des composés chlorés).
- Durant la croissance de la silice, si elles sont présentes dans l'ambiance (cas des ions alcalins Ca, K, Na...).
- Durant les étapes qui suivent la croissance ou la déposition de l'oxyde [métallisation, implantation ionique, traitements haute température (Ar, H₂, N₂...)].

I.4. Caractéristiques électriques :

I.4.1. Diagramme de bandes d'énergie :

Un diagramme de bandes représente les états d'énergie permis des électrons. Le premier diagramme de bandes du système Si-SiO₂ a été obtenu par Williams à partir de mesures de photoémission [2]. Ce diagramme est représenté ci-dessous :

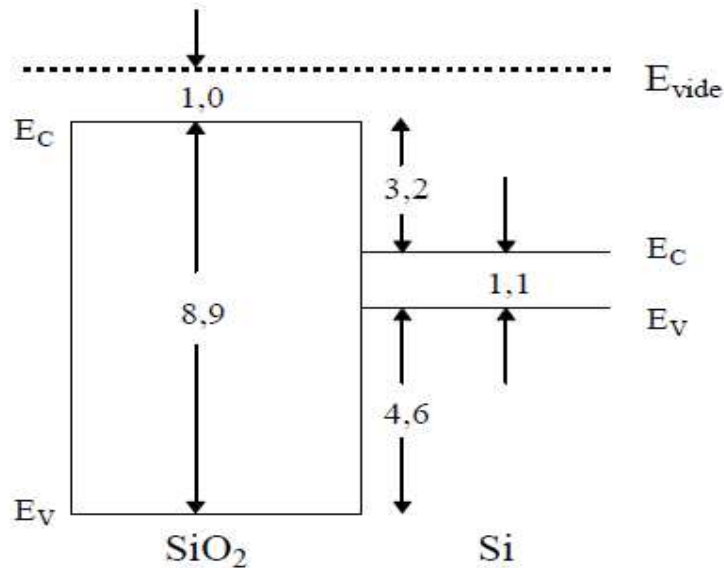


Figure I.6 : Diagramme de bandes du système Si-SiO₂

A partir de ce diagramme on constate que la largeur de la bande interdite de l'oxyde est relativement importante, ce qui est à l'origine du caractère isolant du SiO₂. Les valeurs des hauteurs de barrière vues par les porteurs sont élevées : 3,2eV pour les électrons et 4,6eV pour les trous.

I.4.2. Propriétés électriques de l'oxyde :

- La résistivité élevée de l'oxyde (de l'ordre de 10^{15} à 10^{16} $\Omega \cdot \text{cm}$), confirme sa propriété d'isolant électrique.
- A température ambiante, les valeurs de la conductivité et de la diffusivité thermique sont assez faibles (respectivement $0,014 \text{ Wcm}^{-1}\text{°C}$ et $0,006 \text{ cm}^2\text{s}^{-1}$).
- La mobilité des porteurs à la température ambiante, est de 10 à $20 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ pour les électrons et de l'ordre de $10^{-5} \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ pour les trous.

I.5. Les types de charges dans l'oxyde :

Une nomenclature a été proposée par B.E. Deal en 1980 [4]. Quatre types de charges y sont répertoriés (Figure I.7) :

La charge fixe, la charge piégée, la charge mobile ionique et la charge des états d'interface.

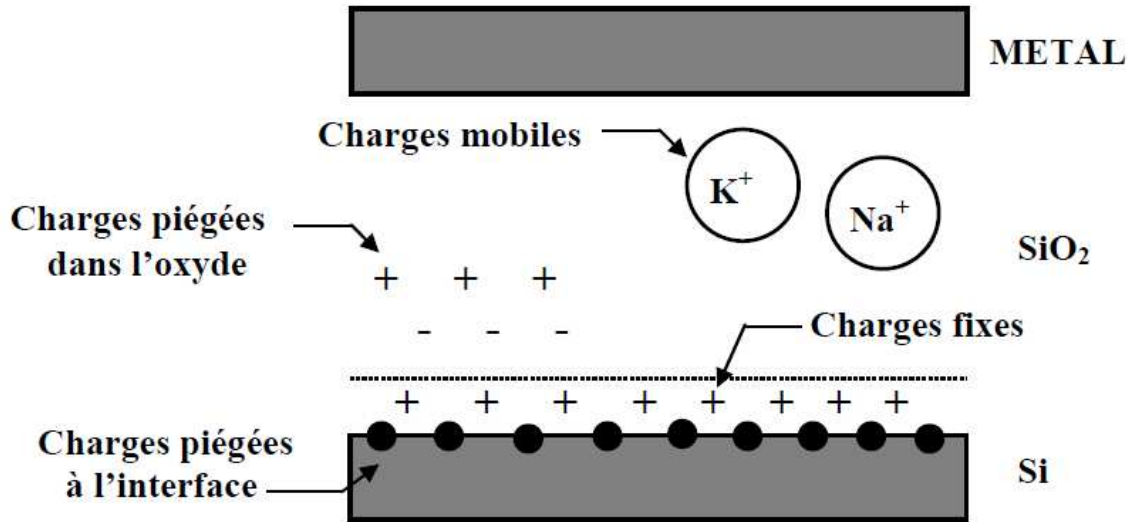


Figure I.7: Les types de charges de l'oxyde et leur localisation

I.5.1. La charge fixe (Q_f) :

C'est une charge positive qui n'est pas en contact électrique avec le silicium. Elle est localisée très près des interfaces Si-SiO₂. Cette charge introduit à la surface du silicium une charge image négative qui modifie le potentiel de surface du semi-conducteur et par conséquent les tensions de seuil et de bandes plates de la structure MOS.

I.5.2. La charge piégée (Q_t) :

Cette charge peut être positive ou négative. Elle est stockée par les pièges du volume de l'oxyde. Cette charge n'est pas permanente au même titre que la charge fixe. On peut diminuer sa concentration par le biais d'un apport thermique ou d'un champ électrique approprié.

I.5.3. La charge mobile ionique (Q_m) :

C'est une charge due à la contamination de l'oxyde par des impuretés ioniques (métaux alcalins : K⁺, Li⁺, Na⁺...). Ces impuretés, localisées à l'interface Si-SiO₂, peuvent migrer d'une interface à une autre sous l'effet d'un champ électrique ou de la température.

I.5.4. La charge piégée à l'interface (Q_{it}) :

Elle est piégée par les défauts qui résultent de la discontinuité de réseau à l'interface Si-SiO₂. Ces défauts appelés états d'interface jouent un rôle primordial dans le fonctionnement du transistor MOS, car contrairement aux défauts de volume de l'oxyde, ils sont en

communication électrique avec le semi-conducteur. Le signe de cette charge dépend de la nature du défaut (donneur ou accepteur) et du potentiel de surface.

I.6. Les défauts de l'interface Si/SiO₂ :

I.6.1. Nature des défauts à l'interface :

Ces défauts sont généralement attribués à des liaisons pendantes de silicium (Si trivalent) ou d'oxygène, des liaisons Si-O-Si plus au moins distordues ou encore des liaisons faibles de divers type (Si-O par exemple).

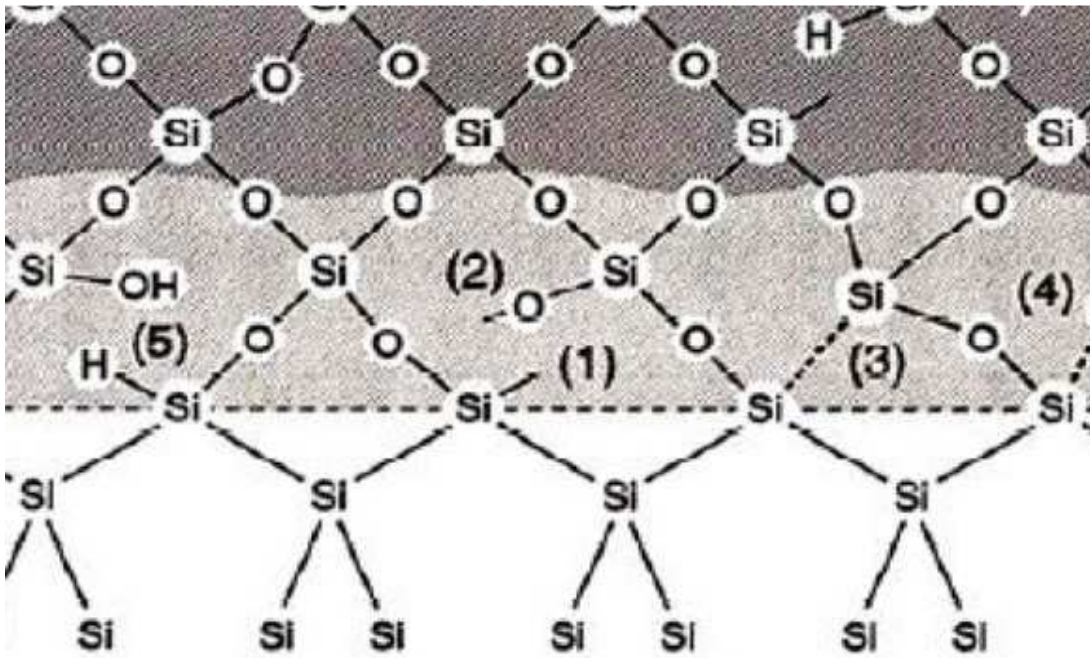


Figure I.8 : Configurations atomiques possibles et défauts près de l'interface Si/SiO₂ : (1) Les liaisons pendantes de Si; (2) Oxygène non lié; (3) Lacune d'oxygène; (4) Liaison Si-O contrainte (ou faible); (5) Espèces contenant de l'hydrogène (liaisons -H et -OH).

La figure I.8 présente la configuration atomique de l'interface Si/SiO₂ et ses défauts intrinsèques avec la configuration des liaisons. Ces défauts peuvent être électriquement actifs et échanger des charges (piégée) ou non (charges fixes) avec le substrat de Si.

I.6.2. Propriétés des états d'interface :

La densité d'états d'interface, notée N_{ss} ou D_{it} , représente le nombre de défauts électriquement actif par unité de surface et d'énergie ($eV^{-1}cm^{-2}$) situés à l'interface Si-SiO₂. Ces défauts sont susceptibles de capturer ou de réémettre des porteurs.

Les valeurs moyennes de N_{ss} sont comprises entre quelques $10^9 eV^{-1}cm^{-2}$ pour une interface de qualité et quelques $10^{12} eV^{-1}cm^{-2}$ pour une interface fortement dégradée.

I.6.2.1. Notion de piège :

Un défaut peut se comporter comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande, ou comme un lieu de recombinaison s'il peut échanger des porteurs avec les bandes de conduction et de valence. Les différents mécanismes, de piégeage possibles sont illustrés sur la figure I.9.

Selon l'état de sa charge, un piège peut être accepteur ou donneur. Dans le premier cas il est chargé négativement s'il est occupé par un électron et neutre s'il est vide. Dans le second cas il est neutre s'il est occupé par un électron et chargé positivement s'il est vide.

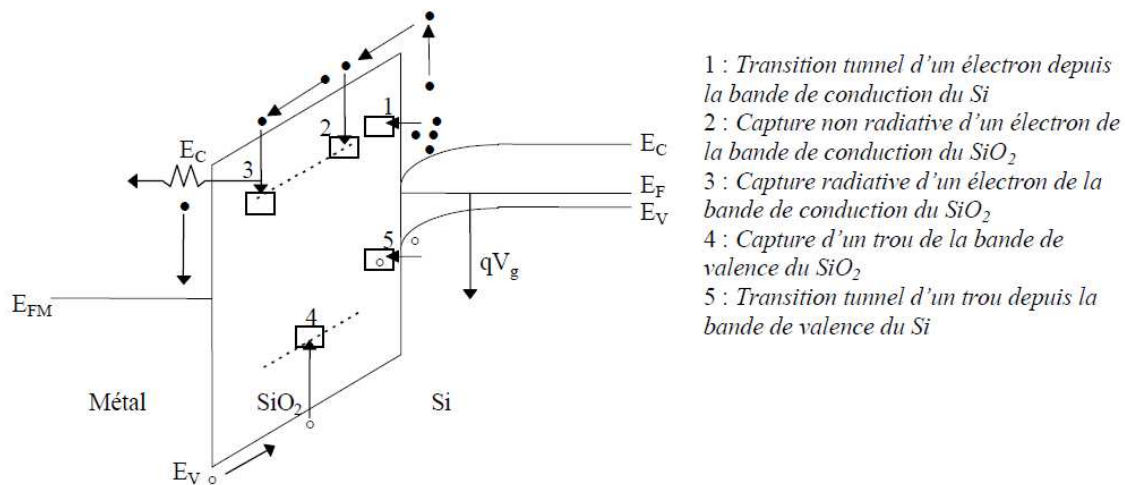


Figure I.9: Illustration des différents mécanismes de piégeage

I.6.2.2. Notion de section de capture :

La section de capture exprime la facilité avec laquelle un défaut peut capturer un porteur. Elle est notée σ , s'exprime en cm^2 , et correspond à une aire critique perpendiculaire au flux de porteurs à l'intérieur de laquelle peut se faire la capture du porteur par le piège.

I.6.2.3. Les états rapides et les états lents :

La notion d'états rapides ou lents est liée au temps de réponse des pièges à l'application d'une sollicitation électrique. On appelle états lents, par opposition aux états rapides situés à l'interface, les états situés dans l'oxyde, à une certaine distance de l'interface et qui communiquent avec le semi-conducteur par effet tunnel.

I.7. Propriétés de transport dans l'oxyde [2] :

Bien que l'oxyde soit un très bon isolant, l'injection et le transport de porteurs à partir des interfaces reste possible pendant le fonctionnement du dispositif. Ceci est d'autant plus vrai que l'épaisseur des oxydes diminue.

I.8. Le transistor à effet de champ (MOSFET) :

Le transistor à effet de champ ou Field Effect Transistor (FET) tire son nom de son principe de fonctionnement selon lequel l'intensité du courant traversant le dispositif est contrôlée par le champ électrique créé par la tension appliquée à l'électrode de commande.

I.8.1. Structure du MOSFET [6] :

La figure I.12 montre la structure physique d'un transistor MOS de type (P). Deux zones de type N fortement dopées, sont diffusées sur un substrat de type P, appelées source et drain.

Une très fine couche d'oxyde SiO_2 , qui est un excellent isolant électrique, est créée à la surface du substrat de manière à recouvrir la zone qui s'étend entre le drain et la source.

Sur cette couche isolante, est déposé une couche d'aluminium pour former l'électrode de grille (Gate) des contacts métalliques sont également prévus au niveau de la source, du drain et du substrat.

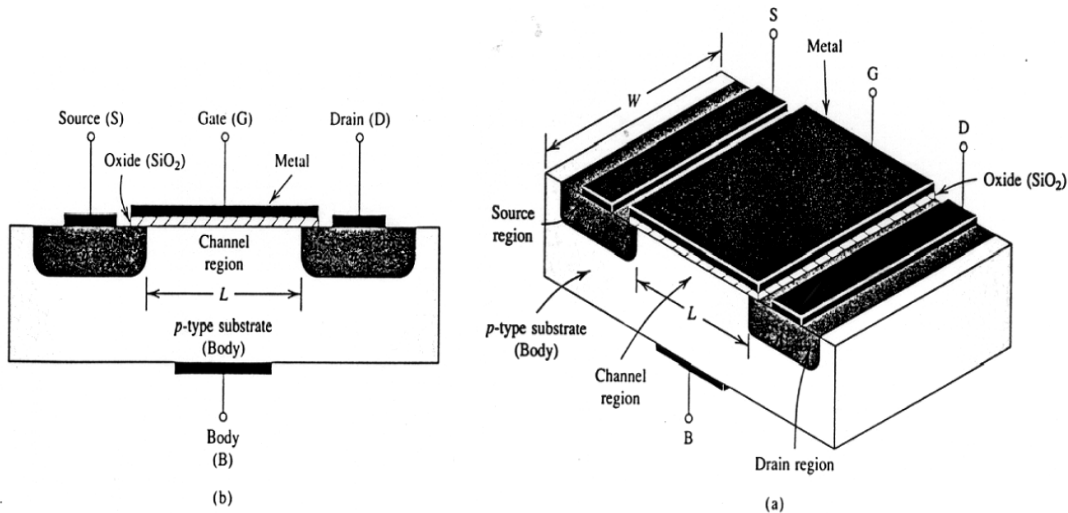


Figure I.10 : Structure physique d'un transistor MOS canal N: (a) vue en perspective; (b) coupe

I.8.2. Principe de fonctionnement :

De manière idéale, le principe de fonctionnement du transistor MOS est comparable à celui d'un interrupteur. En effet, son fonctionnement est basé sur la modulation du transport d'une densité de charges dans une couche semi-conductrice (le canal de conduction) par le biais d'un champ électrique qui lui est appliqué perpendiculairement. La création des porteurs de charge (électrons pour un transistor nMOSFET, trou pour un transistor pMOSFET) par effet de champ est régie par la polarisation V_G d'une électrode de commande appelée « grille » à travers une couche isolante (le diélectrique de grille). Le transport des porteurs dans le canal se fait sous l'impulsion d'une différence de potentiel V_D entre deux réservoirs de charges (source et drain) établissant un courant de drain I_D .

Le transistor assure donc la transition d'un état bloqué ($V_G=0$) pour lequel le courant de drain équivaut au courant de fuite I_{OFF} , à un état passant pour lequel la polarisation de grille V_G est égale à celle de drain V_D ($V_G=V_D=V_{DD}$), permettant le passage du courant de drain I_{ON} (Figure I.13).le passage du premier état au second est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire quand une tension de grille V_G supérieure à la tension dite de seuil V_T est appliquée.

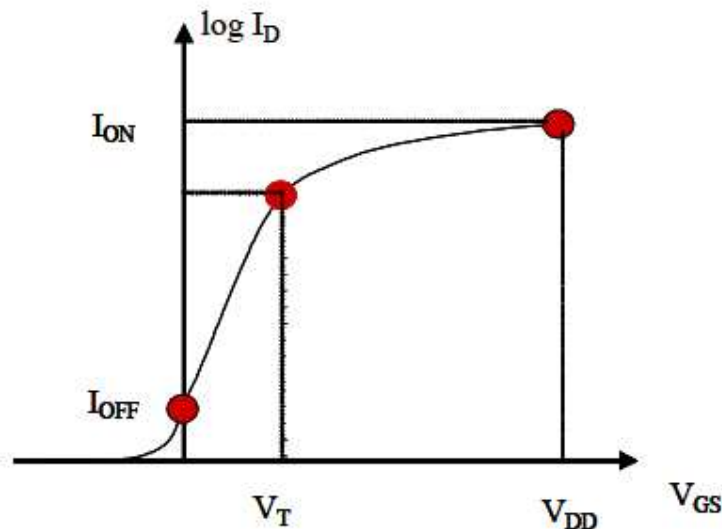


Figure I.11: Caractéristique de sortie $I_D(V_{GS})$ d'un transistor nMOSFET [8].

I.9. Conduction électrique entre la source et le drain :

I.9.1. Expression de la charge participant à la conduction électrique entre la source et le drain [10] :

La charge Q_{Inv} est la charge dite d'inversion participant à la conduction donnant lieu au courant I_{DS} entre la source et le drain.

Elle est égale à la différence entre la charge totale dans le semi-conducteur Q_{sc} et la charge maximale de déplétion Q_{Depmax} liée à l'extension de la ZCE (zone de charge d'espace).

$$Q_{inv} = Q_{sc} - Q_{Depmax} \dots\dots\dots (I.9)$$

Avec :

$$Q_{sc} = -C_{ox} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{ox}} - 2\Phi_F \right) \dots\dots\dots (I.10)$$

$$Q_{Depmax} = -qN_A y_{Depmax} = -\sqrt{2qN_A \epsilon_0 \epsilon_{si} (2\Phi_F)} \dots\dots\dots (I.11)$$

I.9.2. Expression du courant de drain linéaire :

Le courant de drain est proportionnel à la charge mobile (Q_{inv}) dans le canal et à l'inverse du temps de transit τ des électrons pour traverser le canal de la source au drain. La tension de grille doit d'abord atteindre une tension de seuil V_T pour créer le canal d'inversion. Le temps de transit est le quotient entre la longueur du canal L et la vitesse de l'électron, soit le quotient entre la mobilité μ_0 et le champ électrique à travers le canal (V_{DS}/L).

$$I_{DS} = \frac{Q_{inv}}{\tau} = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} = \beta_0 (V_{GS} - V_T) V_{DS} \dots\dots (I.12)$$

Avec V_{DS} la différence de potentiel entre la source et le drain et $\beta_0 = \mu_0 C_{ox} \frac{W}{L}$ le facteur géométrique.

I.9.3. Expression du courant de drain en mode saturé :

Le courant saturé est le cas particulier où $V_{DS} > V_{GS} - V_T$. La condition d'inversion n'est plus respectée près du drain et le canal se pince. Une zone de forte résistivité se forme et absorbe tout accroissement de V_{DS} localement près du drain. L'équation du courant devient :

$$I_{DS} = \mu_{eff} C_{ox} \frac{W}{2L} (V_{GS} - V_T)^2 \dots\dots\dots (I.13)$$

Cette modélisation du courant de drain en régime saturé est issue du modèle de C.T.Sha [11].

I.10. Conclusion :

Dans ce premier chapitre nous avons fait un rappel général sur le transistor MOS ; un rappel sur les dispositifs élémentaires qui le constitue, tel que la capacité MOS, sa structure, ses équations de bases, ses différents régimes de fonctionnement et ses diagrammes de bandes d'énergie. Ensuite nous avons fait un rappel sur la structure du SiO₂ comme diélectrique de grille, ses différentes caractéristiques, les pièges, les charges dans l'oxyde ainsi que les propriétés et défauts de l'interface Si-SiO₂ qui sont nécessaires pour comprendre le pompage de charge, et on a terminé ce chapitre par présenter le transistor MOS, son principe de fonctionnement et les expressions du courant de sortie I_D .

Références du chapitre I

- [1] : Thèse doctorat Sandrine Bernardini : « modélisation des structures Métal-Oxyde-Semi-conducteur (MOS), application aux dispositifs mémoires. Octobre 2004
- [2] : Thèse doctorat Yves MANEGLIA : « Analyse en profondeur des défauts de l'interface Si-SiO₂ par la technique de pompage de charges. 18 décembre 1998.
- [3]: R.L. MOZZI, B.E Warren, « The structure of vitreous silica », J.Appl.cryst ; vol.2, p.164, 1969.
- [4]: B.E Deal, “Standardized terminology for oxide charges associated with thermally oxidized silicon”, IEEE Trans. Electron Dev, vol.27 (3), pp 606.
- [5]: B.Balland, G.Barbottin, “trapping and detrapping kinetics impact on C(V) and I(V) curves”, tire de instabilities in silicon devices 2, G.Barbottin et A.Vapaille, vol.2, pp.17-81, Elsevier editions 1989.
- [6]: Joël REDOUTEY, « les transistors à effet du champ MOS », centrale Marseille.
- [7] : Thèse doctorat, Nicolas Gaillard, « Etude des propriétés morphologiques et chimiques de l'interface métal/isolant et de leurs impact sur les performances de la capacité TiN/Ta₂O₅/TiN », Université Joseph Fourier.
- [8] : Thèse doctorat, Olivier WEBER : « Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité ». 14 décembre 2005.
- [9] : P.Hesto, « Nature of electronic conduction », tiré de « instabilities in silicon devices », G.Barbottin et A.Vappaille, vol, 1, p.263 Elsevier éditions 1986.
- [10] : Thèse doctorat. Mickael DENAIS : « Etude des phénomènes de dégradation de type négative bias temperature instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées ». Université de Provence d'Aix-Marseille I.
- [11] : C.T.Sha : « characteristics of the metal-oxid-semiconducteurs », Transactions on Electron Devices, Vol.11, N°: 7, pp.324-344, July 1964.

Chapitre II :
Physique du pompage de charge

II.1. Introduction :

Le pompage de charge (CP) a été introduit pour la première fois en 1969 par Brugler et Jaspers [1]. Ces derniers rapportent que lorsqu'une série d'impulsions est appliquée sur la grille d'un transistor MOS pour amener successivement la surface du semi-conducteur en inversion et en accumulation, un processus de recombinaison de porteurs a lieu et donne naissance à un courant de substrat.

Ce phénomène qu'ils ont appelé pompage de charges, s'effectue au travers des pièges de l'interface Si-SiO₂.

II.2. Principe du pompage de charge :

II.2.1. Montage expérimental :

Le montage expérimental utilisé en pompage de charge est présenté dans la figure II.1 :

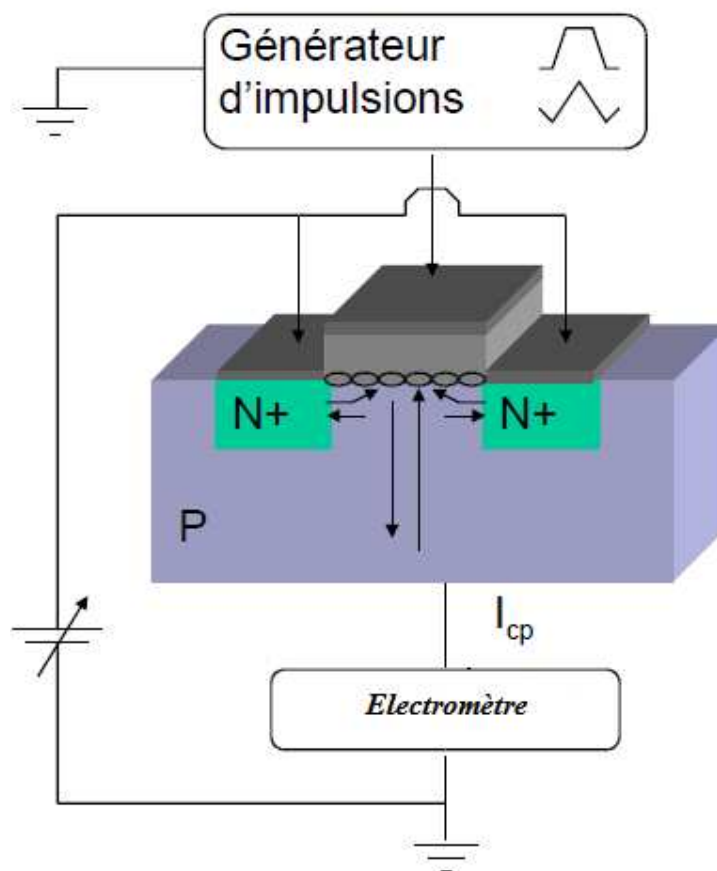


Figure II.1: Schéma de principe du banc de mesure utilisé pour le pompage de charge [2].

II.2.2. Principe de base du pompage de charge :

L'étude par pompage de charge des transistors MOS nécessite qu'ils soient utilisés comme des capacités MOS, c'est-à-dire avec les zones de drain et de source connectées au même potentiel, comme illustré sur la figure (II.1).

Lorsque la surface du canal d'un transistor MOS bascule périodiquement de l'inversion à l'accumulation sous l'action d'un signal de grille, les états d'interfaces capturent et émettent des électrons du canal pour rester en équilibre avec les bandes d'énergie. Ce mécanisme donne naissance à un courant dit « courant pompé » au niveau du substrat du transistor.

Pour expliquer le phénomène de courant pompé, nous allons partir d'une situation où la structure MOS est en régime d'accumulation depuis suffisamment longtemps pour qu'un état d'équilibre soit établi. La polarisation de grille, $V_{GB} < V_{FB}$ (qui correspond à $\Psi_s \leq 0$), impose aux pièges d'être vides d'électrons. On applique alors une tension sur la grille qui fait basculer la structure du régime d'accumulation au régime d'inversion forte, $V_{GB} > V_{th}$ (qui correspond à $\Psi_s \geq 2\Phi_F$). La couche d'inversion se crée très rapidement (avec une constante de temps qui dépend de la qualité du silicium) et les pièges capturent des électrons du canal, avec une certaine constante de temps, afin de rester en équilibre avec les bandes d'énergie (ou plutôt le niveau de Fermi). Les électrons sont fournis par les zones de drain et de source. Le retour au régime d'accumulation renvoie les électrons du canal vers les zones N^+ . Cette fois, les pièges libèrent les électrons capturés, avec une autre constante de temps, et ils vont se recombiner avec les trous venant du substrat. Cet appel de trous correspond au « courant pompé » que l'on mesure au niveau de la prise du substrat.

L'expression du courant pompé est [2] :

$$I_{cp} = F_p A_{eff} Q_{it} + \beta F_p A_{eff} C_{ox} (V_{GBh} - V_T) \dots \dots \dots (II.1)$$

Où F_p (Hz) est la fréquence du signal de grille, A_{eff} (m^2) l'aire effective du canal, Q_{it} (cm^{-2}) la charge pompée par les états d'interface et V_{GBh} la tension de grille au niveau haut. β est la proportion de la couche d'inversion amenée à disparaître par recombinaison avec les trous du substrat lors du basculement en régime d'accumulation.

Le deuxième terme de I_{cp} correspond à la composante géométrique du courant. Elle est due au courant de recombinaison des électrons qui n'ont pas le temps de regagner la source ou le drain avant l'arrivée des trous du substrat lors du passage du régime d'inversion forte au régime d'accumulation. L'erreur systématique (qui se répète à chaque cycle du signal de grille) correspond à cette composante parasite, peut être diminuée en appliquant une polarisation inverse aux jonctions de drain et de source [3], ce qui réduit la longueur effective du canal par extension des zones de désertion des diodes source/substrat drain/substrat. On peut aussi augmenter le temps de descente du signal de grille [1] pour ralentir la formation de la couche d'accumulation et ainsi donner plus du temps aux électrons pour regagner les zones

de drain et de source. La solution préférable pour s'affranchir complètement de cette composante continue est d'étudier des transistors ayant des longueurs de canal typiquement inférieures à quelques microns.

Le premier terme de l'expression (II.1) correspond au courant pompé par les états d'interface. La charge pompée par cycle du signal de grille est égale à :

$$Q_{it} = q \int_{E_1}^{E_2} D_{it}(E) dE = qD_{it} \Delta E = q^2 D_{it} \Psi_s \dots \dots \dots (II.2)$$

Où $D_{it}(E)$ est la densité d'états d'interface (Jm^{-2}) au niveau énergétique $E(J)$. D_{it} est la densité moyenne d'états d'interface dans le domaine d'énergie $\Delta E = E_2 - E_1$ correspondant à la variation du potentiel de surface $\Delta\Psi_s = \Psi_{s2} - \Psi_{s1}$ imposée par le signal de grille.

En négligeant la composante géométrique, l'expression du courant pompé devient :

$$I_{cp} = F_p A_{eff} q^2 D_{it} \Delta\Psi_s \dots \dots \dots (II.3)$$

Ou, si on exprime D_{it} en $eV^{-1}m^{-2}$:

$$I_{cp} = F_p A_{eff} q D_{it} \Delta\Psi_s \dots \dots \dots (II.4)$$

II.3. Pompage de charge à deux niveaux :

II.3.1. Analyse des phénomènes physiques :

A présent, nous allons étudier de façon un peu plus fine les mécanismes mis en jeu lorsque la structure MOS bascule alternativement du régime d'accumulation au régime d'inversion forte.

II.3.1.1. Evolution du remplissage des pièges avec le signal de grille :

Pour illustrer le phénomène de pompage de charge, nous allons utiliser un signal de grille de forme trapézoïdale dont les différentes caractéristiques (en amplitude et en temps) sont définies en figure (II.2). Ce signal balaye alternativement le semi-conducteur du régime d'accumulation au régime d'inversion forte.

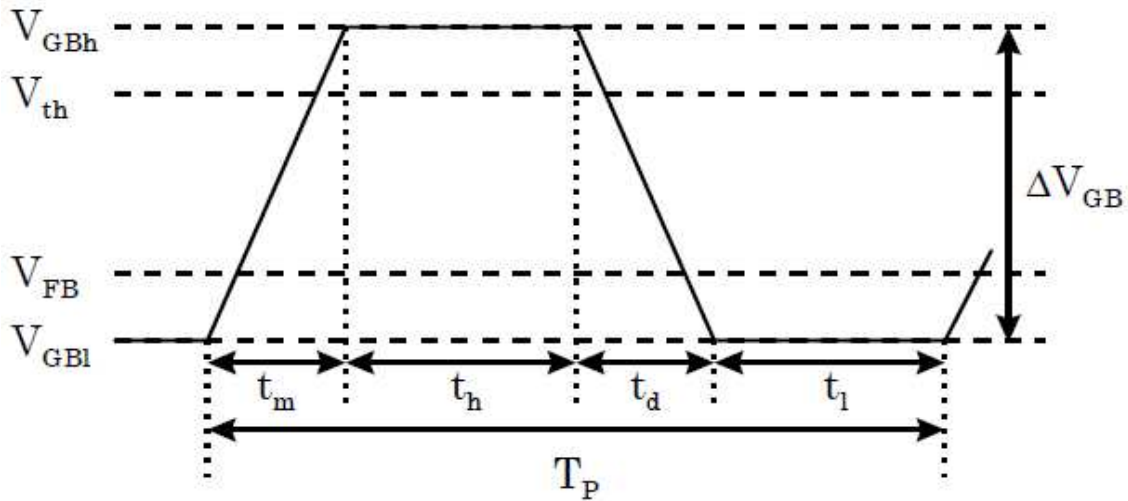


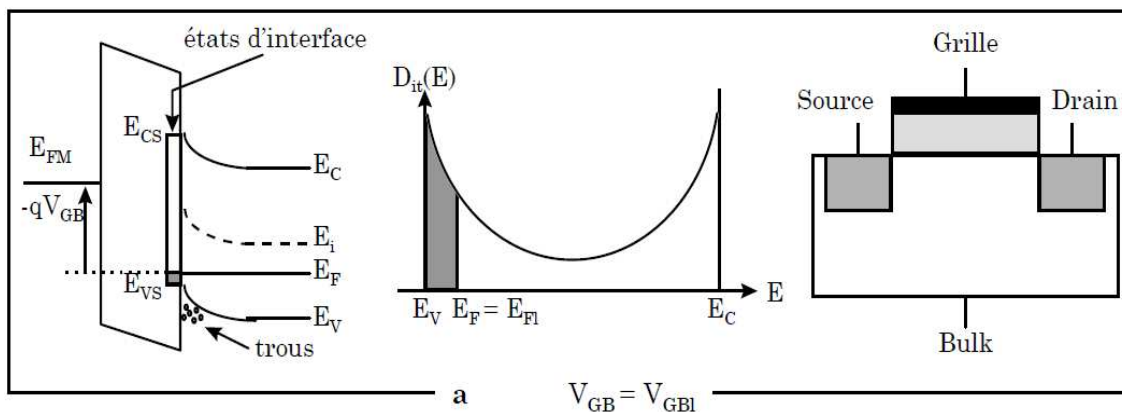
Figure II.2: Le signal trapézoïdal appliqué à la grille du transistor MOS pour le pompage de charge à deux niveaux [2].

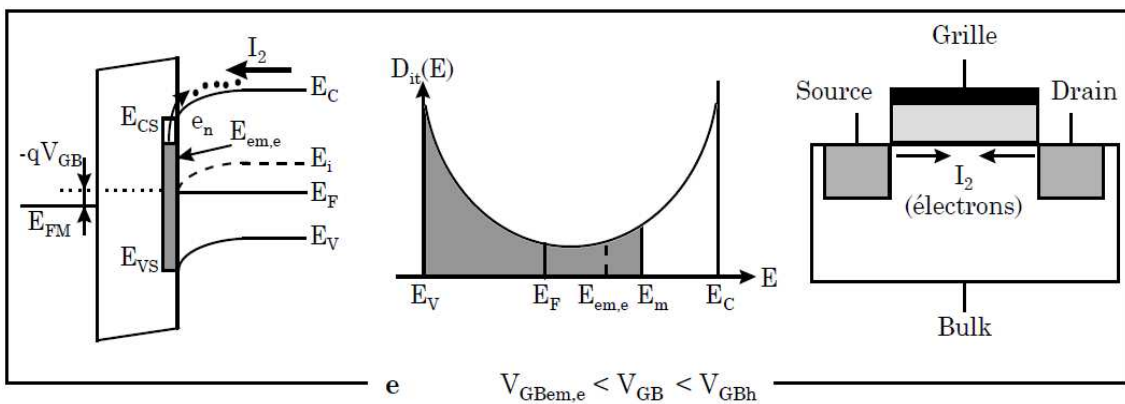
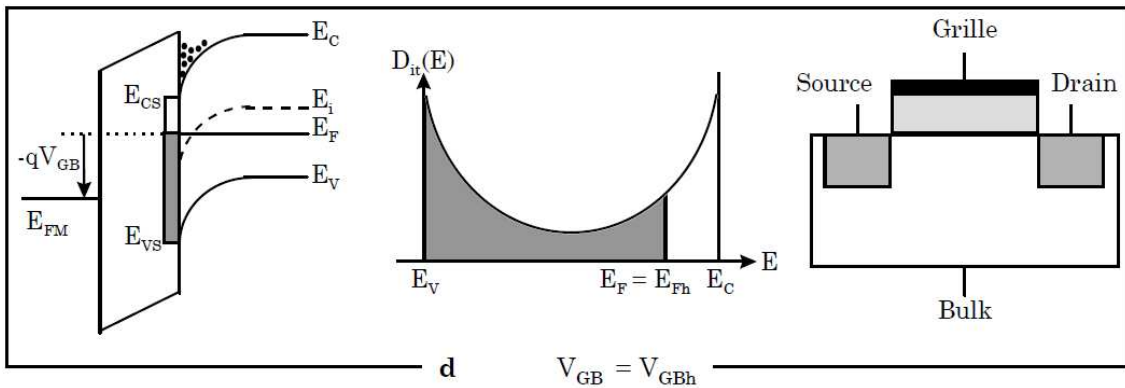
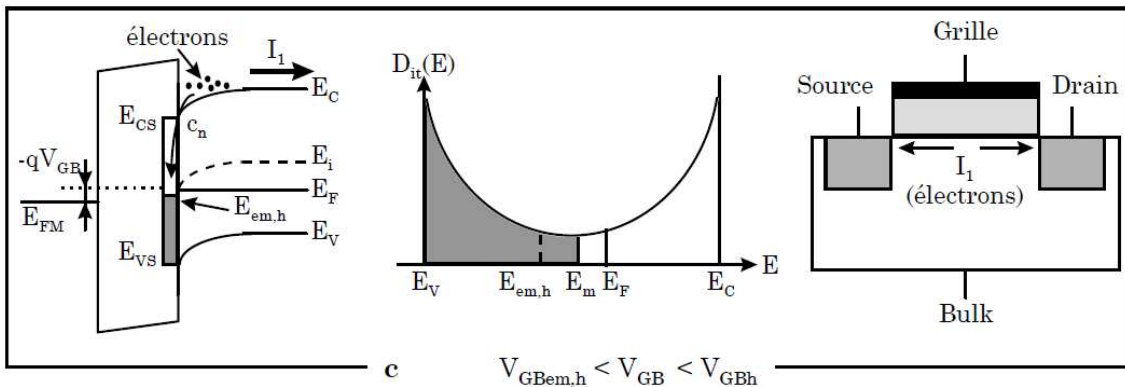
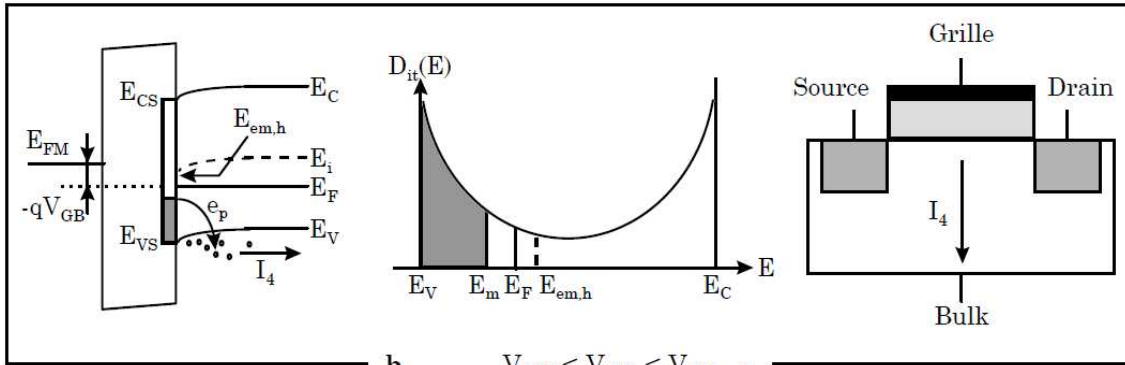
Pour comprendre les mécanismes physiques qui prennent place au niveau de l'interface lors d'un cycle du signal de grille, nous allons nous servir des figures (II.3.a) à (II.3.f). Précisons que le niveau d'énergie E_m représente le niveau d'énergie pour lequel la probabilité d'occupation des pièges est égale à $1/2$. Nous appellerons l'évolution de E_m au cours du temps la « fonction de remplissage des pièges ».

➤ **Figure (II.3.a) :** $V_{GB} = V_{GBl}$

La grille est polarisée avec une tension continue satisfaisant la condition de régime d'accumulation c'est-à-dire $V_{GBl} < V_{FB}$. L'égalité entre E_m et E_{F1} , valeur particulière du niveau de Fermi pour la polarisation V_{GBl} , indique que la polarisation a été appliquée pendant un temps suffisamment long pour que le système soit stabilisé.

Les pièges dont le niveau d'énergie est inférieur à E_{F1} sont occupés par des électrons (partie grise), les pièges situés énergétiquement au-dessus de E_{F1} sont vides d'électrons (c'est-à-dire occupés par des trous).





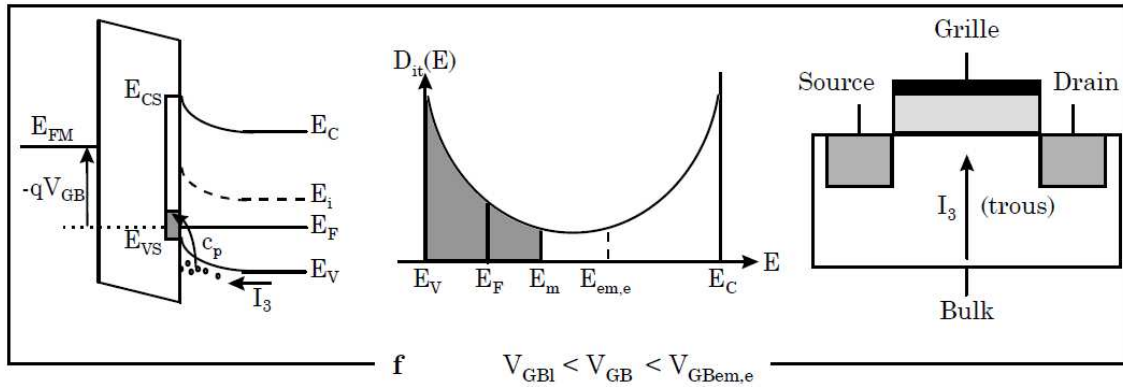


Figure II.3: Evolution du diagramme de bandes du transistor, du remplissage des états d'interface et des divers courants dans le transistor lors d'un cycle du signal de grille à deux niveaux de tension. (a) Régime d'accumulation, (b) Emission de trous (à l'équilibre puis hors équilibre), (c) Capture d'électrons, (d) Régime d'inversion forte, (e) Emission d'électrons (à l'équilibre puis hors équilibre), (f) Capture de trous [2].

➤ **Figure (II.3.b) :** $V_{GB1} < V_{GB} < V_{GBem,h}$

Lorsque V_{GB} augmente, le semi-conducteur passe du régime d'accumulation au régime de bandes plates ($V_{GB} = V_{FB}$). La variation du potentiel de surface, et donc du niveau de Fermi, est relativement faible comparée à la variation de la tension de grille et les pièges émettent leurs trous en équilibre avec le niveau de Fermi. Cela signifie que les variations de E_m suivent celles de E_F . Notons qu'en régime d'accumulation les électrons libres sont quasiment inexistant à l'interface et il est plus probable d'émettre un trou vers la bande de valence (capture d'un électron de la bande de valence) que de capturer un électron de la bande de conduction.

L'augmentation de V_{GB} fait passer le semi-conducteur en régime de désertion puis en régime d'inversion faible. Une variation du potentiel de grille engendre une plus grande variation du potentiel de surface que lors du régime d'accumulation et le niveau E_m n'arrive plus à suivre le niveau de Fermi. On dit que l'émission de trous se fait hors équilibre. La concentration en électrons à l'interface est encore extrêmement faible et il est toujours plus probable d'émettre des trous que de capturer des électrons. Ce régime hors équilibre va continuer jusqu'à ce que la capture d'électrons de la bande de conduction l'emporte sur l'émission de trous. Cela se produit pour $E_m = E_{em,h}$ lorsque le semi-conducteur passe de l'inversion faible à l'inversion forte, soit pour $V_{GB} = V_{th}$. En résumé, l'émission de trous se fait entre les niveaux d'énergie E_{F1} et $E_{em,h}$ et l'intensité du courant de trous (moyenne sur une période du signal de grille) émis par les pièges vers le substrat s'écrit (signe positif car ce courant sort du substrat) :

$$I_4 = qA_{eff} F_p \int_{E_{F1}}^{E_{em,h}} D_{it}(E) dE \dots \dots \dots (II.5)$$

➤ **Figure (II.3.c):** $V_{GBem,h} < V_{GB} < V_{GBh}$

Lorsque la polarisation de grille fait passer le semi-conducteur de l'inversion faible à l'inversion forte de nombreux électrons arrivent à l'interface en provenance des zones de drain et de source (création de la couche d'inversion). Il est donc à présent beaucoup plus probable de capturer un électron de la bande de conduction (BC) que d'émettre un trou vers la bande de valence (BV). En effet, on peut considérer que les électrons de la BC perdent de l'énergie en "tombant" dans un piège alors que le passage d'un trou vers la BV "coûte" de l'énergie (électrons qui passent de la bande de valence au piège). Le remplissage des pièges se fait alors très rapidement et le niveau E_m rejoint le niveau de Fermi E_F . Cette capture d'électrons se produit jusqu'à ce que $E_F = E_{Fh}$, qui est la valeur du niveau de Fermi lorsque le potentiel de grille est égal à V_{GBh} (niveau haut). Ce phénomène de capture d'électrons (minoritaires du substrat) se traduit par un courant I_1 de la couche d'inversion vers les zones de drain et de source (sens inverse des électrons) :

$$I_1 = -qA_{eff}F_p \int_{E_{em,h}}^{E_{Fh}} D_{it}(E) dE \dots \dots \dots (II.6)$$

➤ **Figure (II.3.d):** $V_{GB} = V_{GBh}$

Cette figure montre le diagramme de bandes de la structure MOS en régime d'inversion forte lorsque le régime permanent est établi ($E_m = E_F = E_{Fh}$). Tous les pièges se trouvant en dessous de E_F sont occupés par des électrons.

➤ **Figure (II.3.e) :** $V_{GBem,e} < V_{GB} < V_{GBh}$

Le potentiel de surface varie lentement avec la tension de grille lorsque le semi-conducteur va du régime d'inversion forte vers le régime d'inversion faible. Les pièges se vident alors par émission de leurs électrons vers la bande de conduction (c'est-à-dire vers le canal) et le niveau E_m arrive à suivre les variations du niveau de Fermi. On dit que l'émission d'électrons se fait à l'équilibre. A noter que la concentration en trous à l'interface est infime en régime d'inversion et l'émission d'un électron vers la bande de conduction est plus probable que la capture d'un trou de la bande de valence.

Au fur et à mesure que V_{GB} diminue, le semi-conducteur passe en régime d'inversion faible puis en régime de désertion. Les variations du potentiel de surface (donc du niveau de Fermi) sont plus rapides et les pièges n'émettent pas leurs électrons suffisamment vite pour que E_m suive E_F . L'émission des électrons se fait alors hors équilibre. Ce régime d'émission ne s'arrête que lorsque le semi-conducteur passe en régime d'accumulation, c'est-à-dire pour $V_{GB} = V_{FB}$ qui correspond à $E_m = E_{em,e}$. L'émission d'électrons vers le canal n'est donc effective qu'entre les niveaux E_{Fh} et $E_{em,e}$. Elle donne naissance à un courant d'électrons I_2 des états d'interface vers les zones de source et de drain :

$$I_2 = qA_{eff}F_p \int_{E_{em,e}}^{E_{Fh}} D_{it}(E) dE \dots \dots \dots (II.7)$$

➤ **Figure (II.3.f):** $V_{GBI} < V_{GB} < V_{GBem,e}$

Le semi-conducteur passe à présent en régime d'accumulation ce qui apporte un nombre considérable de trous à l'interface. Il devient alors plus probable de capturer un trou de la bande de valence (émission d'un électron vers la bande de valence) que d'émettre un électron vers la bande de conduction. De plus, cette transition ne nécessite pas l'apport d'énergie (électron qui "descend" vers la bande de valence) contrairement à l'émission d'un électron (électron qui "monte" vers la bande de conduction). Le vidage des pièges se fait alors très rapidement et le niveau E_m rejoint le niveau de Fermi. Cette capture de trous continue jusqu'au niveau d'énergie $E_F = E_{Fl}$.

Ce phénomène de capture de trous (majoritaires du substrat) donne naissance à un courant I_3 du substrat vers l'interface :

$$I_3 = -qA_{eff}F_p \int_{E_{Fl}}^{E_{em,e}} D_{it}(E) dE \dots \dots \dots (II.8)$$

II.3.1.2.Expression du courant pompé :

Le courant de pompage de charge I_{cp} mesuré au niveau du substrat est la somme des courants I_3 et I_4 :

$$I_{cp} = I_3 + I_4 = qA_{eff}F_p \left[-\int_{E_{Fl}}^{E_{em,e}} D_{it}(E) dE + \int_{E_{Fl}}^{E_{em,h}} D_{it}(E) dE \right] \dots (II.9)$$

Donc :

$$I_{cp} = qA_{eff}F_p \int_{E_{em,e}}^{E_{em,h}} D_{it}(E) dE \dots \dots \dots (II.10)$$

Comme $E_{em,h} < E_{em,e}$, on peut dire que le courant pompé est dû à une capture de trous (porteurs majoritaires du substrat) par les pièges d'interface (courant dirigé vers l'intérieur du substrat). De plus, si l'on considère la densité moyenne des états d'interface, D_{it} , dans la gamme d'énergie allant de $E_{em,h}$ à $E_{em,e}$, l'équation (II.10) devient :

$$I_{cp} = qA_{eff}F_p D_{it}(E_{em,h} - E_{em,e}) \dots \dots \dots (II.11)$$

Avec:

$$E_{em,e} = E_i - kT \ln(t_{em,e} n_i \nu_{th} \sigma_n) \dots \dots \dots (II.12)$$

$$E_{em,h} = E_i + kT \ln(t_{em,h} n_i v_{th} \sigma_p) \dots \dots \dots (II.13)$$

Ce courant est identique au courant transitant par les zones de drain et de source I_{cpDS} et dont l'origine est la capture d'électrons par les pièges d'interface (courant dirigé de l'interface vers les zones N^+). En effet :

$$I_{cpDS} = I_1 + I_2 = qA_{eff} F_p \left[-\int_{E_{em,h}}^{E_{Fh}} D_{it}(E) dE + \int_{E_{em,e}}^{E_{Fh}} D_{it}(E) dE \right] \dots (II.14)$$

Donc :

$$I_{cpDS} = qA_{eff} F_p D_{it}(E_{em,h} - E_{em,e}) \dots \dots \dots (II.15)$$

Cette particularité s'explique par le fait que le courant moyen I_{cp} observé au niveau du substrat ne peut provenir que de la recombinaison via les états d'interface des trous du substrat avec les électrons fournis par la source et le drain (il n'y a pas création spontanée de courant).

II.4. Pompage de charge à ΔV_{GB} constant [4] :

La figure suivante (II.4) présente la courbe caractéristique, dite « courbe en cloche », le signal de grille choisi, est de forme rectangulaire ou trapézoïdale et d'amplitude ($\Delta V_{GB} = V_{GBl} - V_{GBh}$) constante. Les premières illustrations de cette courbe ont été publiées par Elliot [3] et elle se compose de cinq parties distinctes :

- **Partie (3) :** le signal de grille fait passer alternativement la surface du semi-conducteur de l'accumulation à l'inversion et le courant pompé est maximum.
- **Partie (1) et (5) :** le semi-conducteur est toujours soit en régime d'accumulation, soit en régime d'inversion forte. Il n'y a pas de phénomène de recombinaison entre les deux types de porteurs et les pièges. Le courant pompé est nul.
- **Partie (2) et (4) :** cas intermédiaire entre les situations (1) et (3) puis (3) et (5).

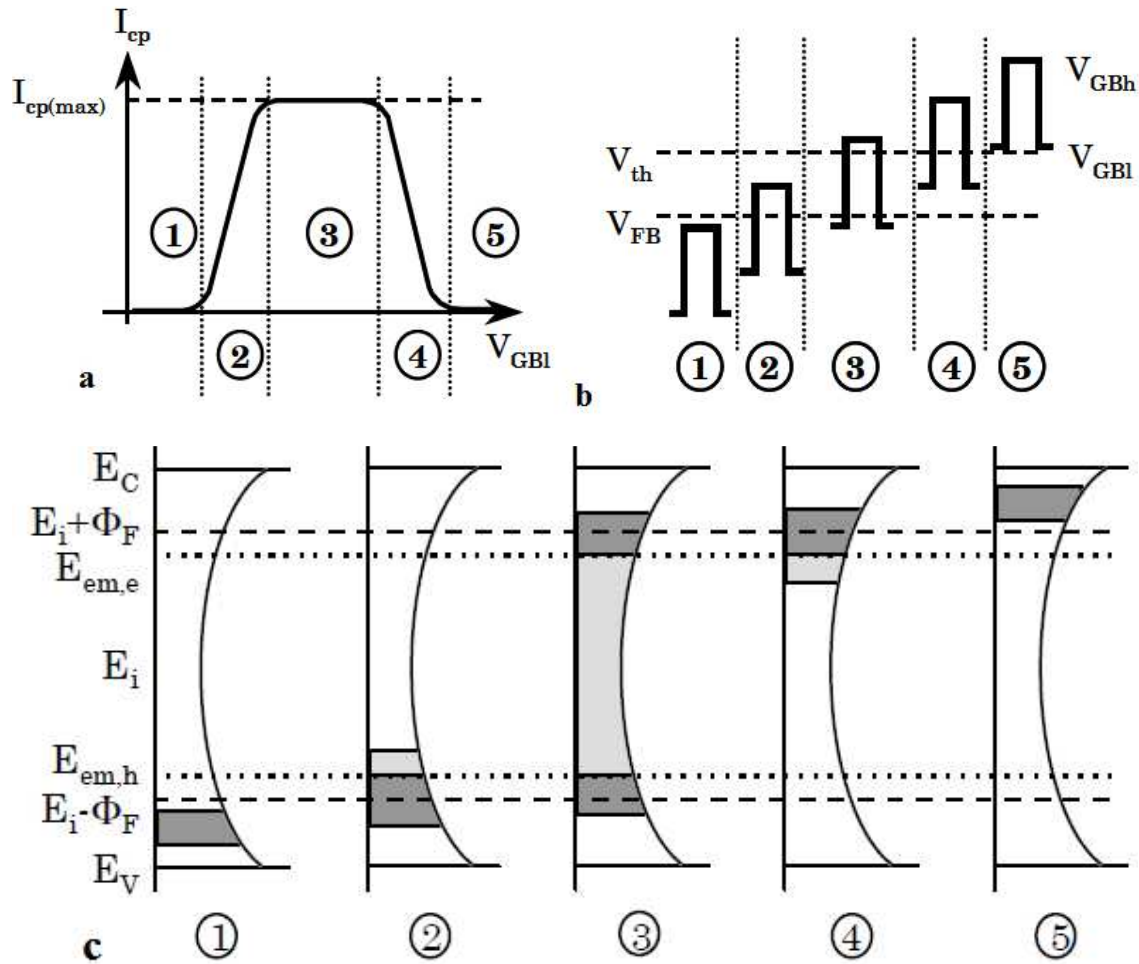


Figure II.4 : (a) Représentation schématique d'une caractéristique $I_{cp}(V_{GBI})$ en pompage de charge à deux niveaux à ΔV_{GB} constant. (b) Positions du signal de grille par rapport aux tensions V_{FB} et V_{th} . (c) Zones de la bande interdite (gris clair et gris foncé) balayées par le niveau de Fermi et zones participant au courant pompé (gris clair) [4].

Pour obtenir le courant pompé maximal, il faut donc définir le pulse avec une amplitude et un niveau bas tel que le semi-conducteur passe de l'accumulation à l'inversion pendant la durée du pulse. Cela correspond à une amplitude ΔV_{GB} supérieure à $(V_{th} - V_{FB})$ et à un niveau bas du pulse V_{GBI} inférieur à la tension de bandes plates V_{FB} .

II.5. Pompage de charge à V_{GBI} constant :

C'est la première approche qui a été proposée pour déterminer la densité d'états d'interface [5]. Elle consiste à appliquer un signal carré ou trapézoïdal de tension basse V_{GBI} constante et de tension haute V_{GBh} variable, comme l'illustre la figure (II.5.b).

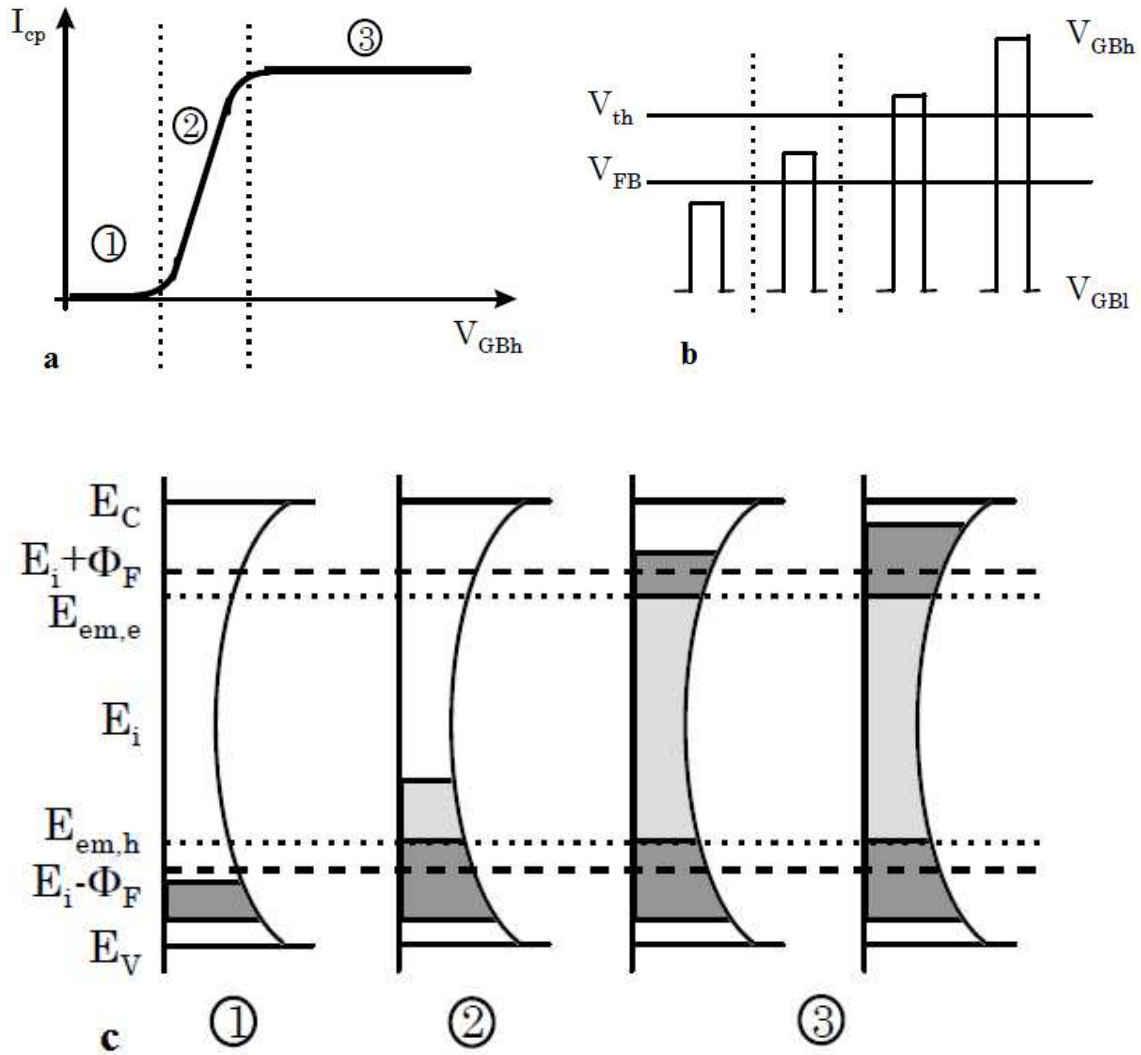


Figure II.5 : (a) Courbe $I_{cp}(V_{GBh})$ théorique pour un signal de grille à deux niveaux avec V_{GBI} constant. (b) Positions du signal de grille par rapport aux tensions V_{FB} et V_{th} . (c) Zones de la bande interdite (gris clair et gris foncé) balayées par le niveau de Fermi et zones participant au courant pompé (gris clair).

La courbe (figure II.5.a) peut se décomposer en trois parties distinctes. Les deux premières parties (1) et (2) sont identiques à celles du pompage de charge à ΔV_{GB} constant. Une fois que le maximum d'états d'interface est mis à contribution, une augmentation de V_{GBh} ne change théoriquement pas l'amplitude du courant pompé (partie (3)).

Cependant, l'expérience montre que le courant pompé ne sature pas mais augmente plus au moins légèrement. Declercq et Jaspers [5] ont attribué ce phénomène à des états lents situés près de l'interface. La couche d'inversion augmente avec la tension V_{GBh} , ces pièges lents ont plus de chance de capturer un électron et de contribuer ainsi au phénomène de pompage.

Une dernière méthode consiste à garder V_{GBh} constant et à faire varier V_{GBI} . Elle est similaire à la précédente.

II.6. Pompage de charge à trois niveaux :

II.6.1. Introduction :

Le pompage de charge à trois niveaux est une technique introduite en 1987 par Tseng [6]. Cette technique qui, elle aussi, a connu différents développements, permet aujourd'hui d'obtenir la distribution énergétique de la densité d'états d'interface $D_{it}(E)$, celle des constantes de temps d'émission, $\tau_{ee}(E)$ et $\tau_{eh}(E)$, ainsi que celle des sections de capture des pièges pour les électrons et les trous, $\sigma_e(E)$ et $\sigma_h(E)$.

II.6.2. Principe :

Il a été vu que dans le cas d'un signal à deux niveaux de tensions, les pièges qui participent à la recombinaison sont ceux compris dans la fenêtre d'énergie définie par $E_{em,e}$ et $E_{em,h}$. En introduisant un niveau intermédiaire de tension V_3 et de durée t_3 il est possible de sélectionner les états d'interface qui participent à la recombinaison. Si le troisième niveau positionne le niveau de Fermi à l'interface dans la partie haute de la bande interdite, il permet de contrôler les pièges qui participent à l'émission d'électrons (figure II.6.a). Dans le cas contraire il permet de contrôler ceux qui participent à l'émission de trous (figure II.6.b).

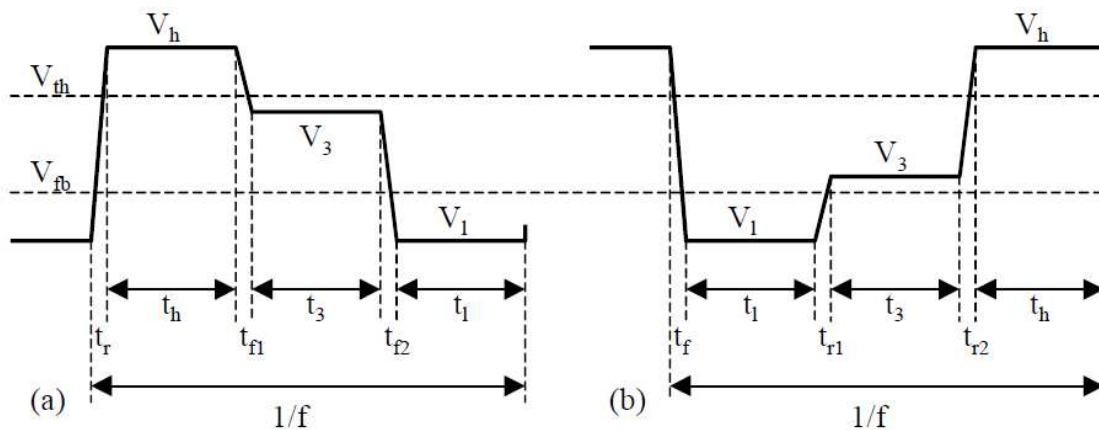


Figure II.6 : Signaux de grille complémentaires utilisés en pompage de charges 3 niveaux. (a) contrôle de l'émission d'électrons, (b) contrôle de l'émission de trous.

II.7. Modèle général de pompage de charge

II.7.1. Expression du courant pompé :

Un modèle fiable et rigoureux de pompage de charge a été proposé récemment. Il prend en compte l'ensemble des paramètres du signal de grille : les tensions hautes et basses $V_{h,l}$, les temps de transition $t_{r,f}$ et les temps haut et bas $t_{h,l}$, ainsi que la distribution de constantes de temps à l'interface Si/SiO₂ mise en évidence par Pompage de charge il y a quelques années.

Si l'on suppose que la distribution de constantes de temps correspond à la capture des porteurs par effet tunnel, c'est-à-dire à une distribution des défauts dans la direction de l'oxyde, Q_{cp} s'écrit [11] :

$$Q_{cp} = \frac{I_{cp}}{f} = qA \int_{E_{em,h}(x)}^{E_{em,e}(x)} \int_0^{d_{ox}} N_t(x, E) \Delta F(E_{fh}, E_{fl}, x, E) dx dE. \quad (II.16)$$

Où $E_{em,e}(x)$ et $E_{em,h}(x)$ sont les niveaux haut et bas de l'intervalle d'énergie, $\Delta E(x)$, où se fait la recombinaison, x , la distance d'un piège de l'oxyde à l'interface Si/SiO₂, $N_t(x)$, la concentration volumique des pièges en x , exprimée en $eV^{-1}cm^{-3}$.

$\Delta F(E_{fh}, E_{fl}, x, E)$ est la variation de la fonction de remplissage des pièges. Elle donne la probabilité qu'un piège, situé à x pour une énergie E , contribue à Q_{cp} . Si l'on suppose que les propriétés des défauts varient peu avec l'énergie, elle est donnée par [12] :

$$\Delta F(E_{fh}, E_{fl}, x) = \frac{\left[1 - \exp\{-c_n(E_{fh}, x)t_h\}\right] \left[1 - \exp\{-c_p(E_{fl}, x)t_l\}\right]}{1 - \exp\left\{-c_n(E_{fh}, x)t_h - c_p(E_{fl}, x)t_l\right\}} \quad (II.17)$$

$c_n(E_{fh}, x)$ et $c_p(E_{fl}, x)$ sont les taux de capture pour les électrons et les trous en x quand V_g est égal à V_h ou V_l , respectivement. Ils s'écrivent :

$$c_n(E_{fh}, x) = \left[n_s(E_{fh}) \sigma_e(x) v_{th} \right] \dots \dots \dots (II.18)$$

$$c_p(E_{fl}, x) = \left[p_s(E_{fl}) \sigma_h(x) v_{th} \right] \dots \dots \dots (II.19)$$

Où n_s et p_s sont respectivement les concentrations en électrons et en trous à la surface pendant les temps t_h et t_l , v_{th} , la vitesse thermique des porteurs, $\sigma_e(x)$ et $\sigma_h(x)$, les sections de capture apparentes vue de l'interface Si/SiO₂ pour les électrons et les trous, pour un piège en x . Dans le cas d'une capture par effet tunnel, $\sigma_e(x)$ et $\sigma_h(x)$ s'expriment respectivement par [13] :

$$\sigma_e(x) = \sigma_e(0) \exp\left(-\frac{x}{\lambda_e}\right) \quad \text{et} \quad \sigma_h(x) = \sigma_h(0) \exp\left(-\frac{x}{\lambda_h}\right) \dots \dots (II.20)$$

II.8. Conclusion :

Ce deuxième chapitre a permis, de donner une approche détaillée de la technique de pompage de charges à deux niveaux. Nous avons aussi donné les trois différentes façons de polarisation de la grille pour pompage de charge à deux niveaux (pompage de charges à ΔV_{GB} constant, pompage de charges à V_{GBl} constant, et à V_{GBh} constant). Néanmoins, ces méthodes de pompage de charges à deux niveaux, ne permettent pas de déterminer les sections efficaces de capture d'une manière précise, nous avons recours à une technique de pompage de charge à trois niveaux. Et à la fin de ce chapitre, nous avons donné le modèle général de pompage de charge, qui est un modèle fiable, qui prend en compte l'ensemble des paramètres du signal de grille.

Références du chapitre II

- [1] : J.S.Brugler, et P.G.A.Jespers, « charge pumping in MOS devices », IEEE Trans. Electron Devices, Vol, ED-16 (3), pp. 297-302, 1969.
- [2] : Thèse doctorat, Pascal Masson : « Etude par pompage de charge et par mesure de bruit basse fréquence de transistor MOS à oxynitrides de grille ultra-minces ». 13 Janvier 1999, INSA de Lyon.
- [3] : Elliot A.B.M. « The use of charge pumping currents to measure surface state densities in MOS transistors ». Solide-State Electronics, 1976, Vol.19, p.241-247.
- [4]: Pascal Masson, « De la caractérisation/simulation des défauts électriquement actifs aux dispositifs mémoire ». présenter pour obtenir l’habilitation à diriger des recherches, soutenu le 24 octobre 2003, Université d’Aix-Marseille I.
- [5] : Declercq M. and Jespers P. “ Analysis of interface properties in MOS transistors by means of charge pumping measurements”. Rev. HF, Acta Tech.Belgica, 1974, Vol.9, p.244-253.
- [6]: Tseng W.L. “A new charge pumping method measuring Si-SiO₂ interface state”. J.Appl.phys. 1987, Vol.62, No.2, p.591-599.
- [7]: J.E.Chung, R.S.Muller, “The development and application of a Si-SiO₂ interface trap measurements system based on staircase charge pumping technique”. Solid-State Electron, Vol.32(10), pp.867-882, 1989.
- [8]: M.G.Ancona, N.S.Saks, “ Numerical simulation of 3-level charge pumping”. J.Appl.Phys, Vol.71(9), pp.4415-4421, 1992.
- [9]: J.L.Autran, B.Balland, L.M.Gaborieau, “Development of an interface-trap measurement system using 3-level charge pumping for submicrometer MOSFETs”. IBM J.Res. Develop, 1994.
- [10]: F.Hofman, W.H.Krautschneider, “A simple technique for determining the interface trap distribution of submicron metal-oxide-semiconductor transistors by the charge pumping method”, J.Appl.phys, Vol.65(3), pp.1358-1360, 1989.
- [11]: D.Bauza, “A new model for charge pumping measurements”. J.Appel.Phys, soumis, 1999.
- [12]: D.Bauza, G.Ghibardo, “Analytical study of the contribution of fast and slow oxide traps to the charge pumping current in MOS structures”. Solid-State Electron, Vol.39(4), p.563-570,1996.
- [13]: F.P.Heiman, G.Warfield, “The effect of oxide traps on the MOS capacitance”, IEEE Trans Electron Devices, Vol.ED-12(4), pp.167-179, 1965.

Chapitre III :
Réalisation pratique

III.1. Introduction :

Caractériser les états d'interface, permet de déterminer la densité moyenne des états rapides électriquement actifs de l'interface Si-isolant ou leur distribution énergétiques, pour cela, plusieurs techniques ont été développées, telle que, la méthode de la conductance, la méthode C(V) et le pompage de charge. Bien que ces techniques ont été utilisées avec succès, ils ont améliorées notre compréhension des états d'interface, mais, elles souffrent d'un inconvénient commun; « la mesure prend beaucoup de temps ». Leurs temps de mesure est de l'ordre de la secondes, et les résultats récents [1], [4] montrent, une importante dégradation induite par stress durant la mesure. Pour minimiser l'effet du stress, le temps de mesure doit être réduit à l'ordre de la microseconde. Pour cela plusieurs recherches ont été effectuées dans ce sens, et ils sont arrivés à développer une technique pour pompage de charge ultra rapide [2].

L'objectif de ce troisième chapitre est la réalisation d'une carte pour pompage de charge ultra rapide, et de développer une application pour la mesure et l'acquisition des résultats sur ordinateur. Pour cela on a utilisé le logiciel de programmation graphique Labview2011, et une interface GPIB-USB.

III.2. Principe de la technique :

Le schéma synoptique de la technique est représenté dans la figure suivante :

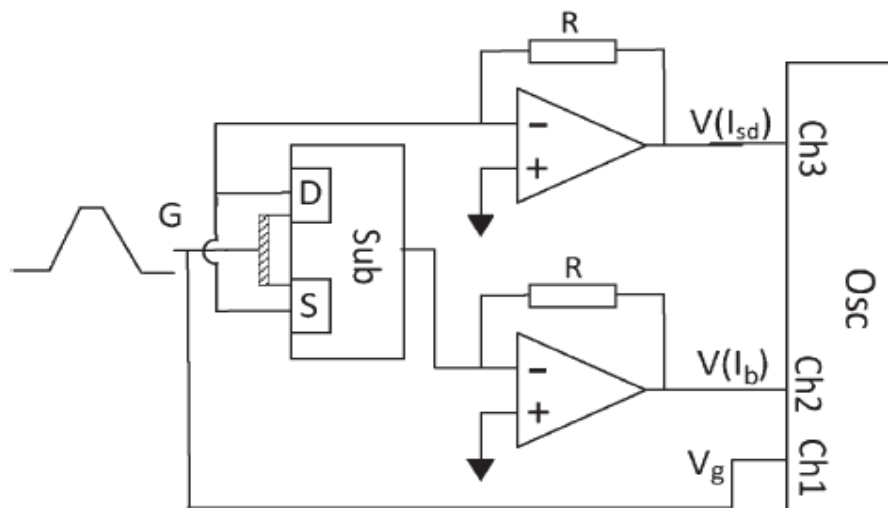


Figure III.1 : Représentation schématique du nouveau banc de mesure pour le pompage de charge [2].

La figure III.1 montre le montage expérimental, la source et le drain du MOSFET sont connecter directement vers l'entrée inverseuse de premier amplificateur opérationnel, le substrat est connecter vers l'entrée inverseuse de deuxième amplificateur opérationnel, les

deux sorties des amplificateurs opérationnel qui correspondent à $V(I_{sd})$ et $V(I_b)$, et la grille (V_g) sont connectées vers un oscilloscope numérique.

III.3. Conception de la carte :

III.3.1. Liste des composants :

Pour réaliser la carte on a besoin des composants suivant :

- Deux résistances de 10K
- Quatre fiches BNC
- Deux amplificateurs opérationnels

Pour les amplificateurs opérationnels on a utilisé un circuit intégré à quatre amplis AOP, dont la référence est : LF347N (Datasheet ; Annexe).

III.3.2. L'amplificateur opérationnel LF347N :

Le composant se présente sous forme d'un boîtier plastique muni de bornes de raccordement. C'est un circuit intégré, c'est-à-dire qu'il est formé d'une multitude de composants électroniques élémentaires (résistances, transistors, condensateurs, diodes, etc...) formant un circuit complexe et intégrés dans un boîtier.

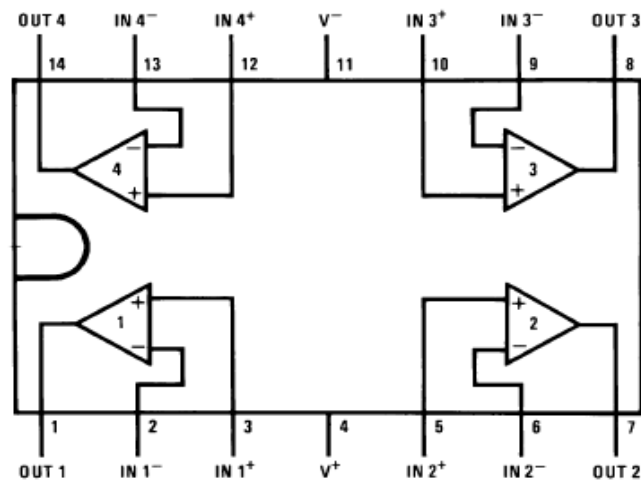


Figure III.2 : Brochage du LF347N [3]

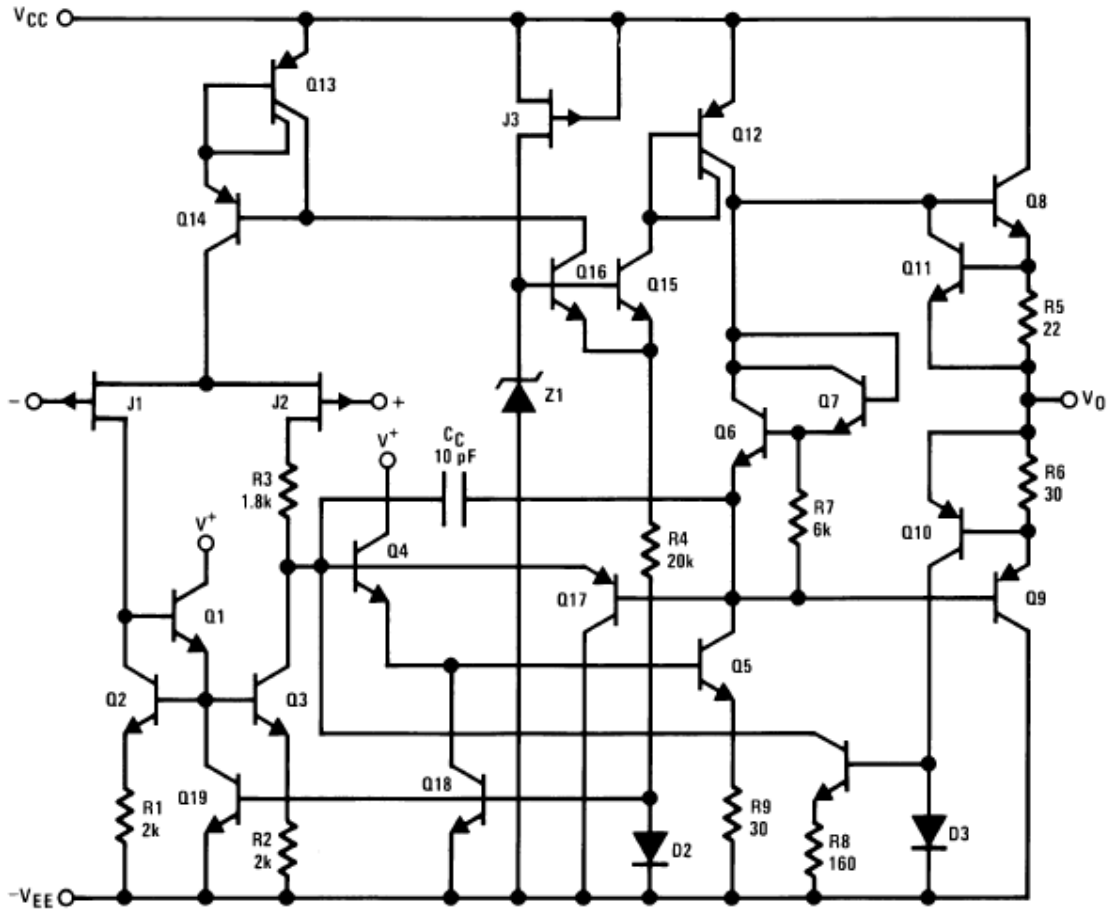


Figure III.3 : Schéma interne du LF347N (document National Semiconductor). ¼ Quad [3]

III.3.3. Représentation schématique et caractéristiques :

C'est un composant muni de trois bornes de raccordements fonctionnelles : deux entrées + et - et une sortie. Il possède deux bornes d'alimentation dont la tension est en général symétrique $\pm 5V$, $\pm 10V$, $\pm 12V$, $\pm 15V$. Dans certains cas l'alimentation peut aussi être dissymétrique, par exemple : $0V -5V$.

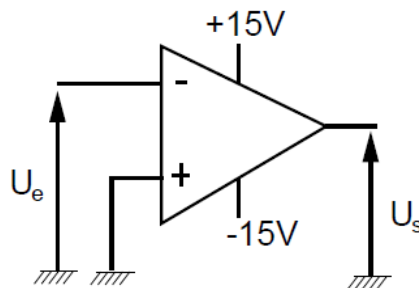


Figure III.4 : Représentation schématique

III.3.3.1. Caractéristiques :

Le gain : le gain est donc le facteur d'amplification de la tension d'entrée u du composant. En prenant comme exemple un gain de 60000, alors si $u = 1V$, U_s devrait être 60000V, ce qui est impossible vu que la tension d'alimentation ne dépasse pas $\pm 15V$. On dit que l'amplificateur est saturé, son fonctionnement est non linéaire.

Par contre, en fonctionnement normal, linéaire, si le gain est très grand c'est-à-dire tend vers l'infini, alors u tend vers 0.

La bande passante : c'est la capacité de l'amplificateur à répondre linéairement à une variation rapide du signal d'entrée. De manière générale, la bande passante est définie comme étant la bande de fréquences pour laquelle le gain ne change pas, qui est égale à 4MHz.

III.3.4. Montage en amplificateur inverseur :

On peut obtenir le gain que l'on désire par le choix d'un rapport de deux résistances, et dans ce cas le gain se calcule par la relation suivante :

$$\left. \begin{array}{l} i = \frac{U_e - u}{R_1} = \frac{U_e}{R_1} \\ i = -\frac{U_s - u}{R_2} = -\frac{U_s}{R_2} \end{array} \right\} \Rightarrow \frac{U_s}{U_e} = G = -\frac{R_2}{R_1} \dots\dots (III.1)$$

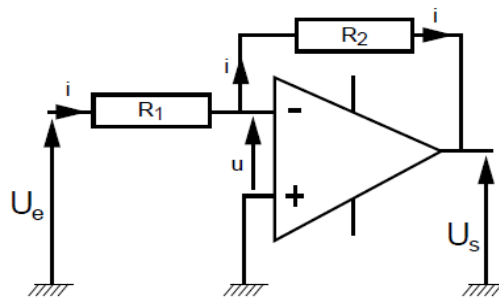


Figure III.5 : Montage en inverseur

III.3.5. Saisie de schéma électrique de la carte :

On schématise le montage en utilisant le logiciel « Altium Designer ». On effectue alors les connections nécessaires entre les différents composants.

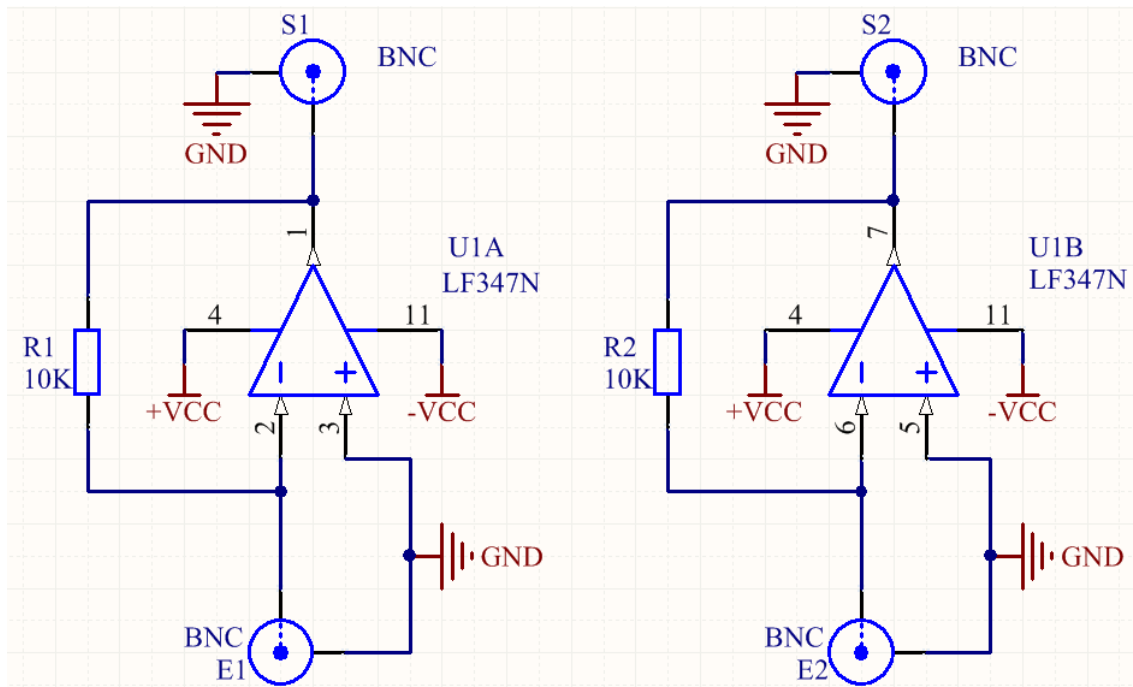


Figure III.6 : Schéma électrique de la carte

III.3.6. Tracé du circuit imprimé de la carte :

Faire les liaisons physiques entre tous les composants électriques, on doit :

- Fixer les largeurs des pistes, fixer le nombre de couches, fixer les diamètres des trous, fixer les distances minimales entre deux pistes.

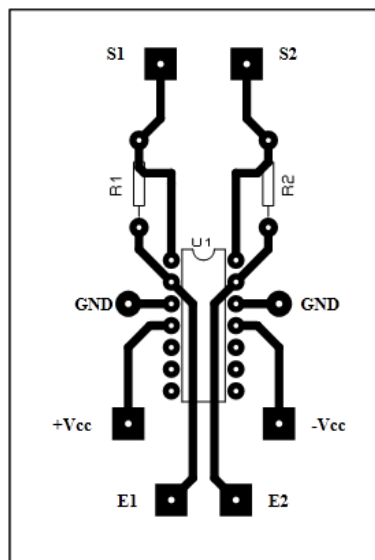


Figure III.7 : Circuit imprimé de la carte

III.3.7. Implantation des composants :

Après l'implantation des composants sur la maquette on obtient la carte suivante :

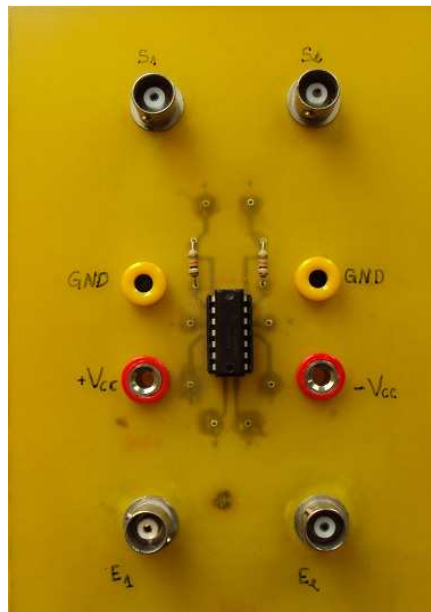


Figure III.8 : Photographie de la carte réalisée

III.4. Présentation du banc de mesure :

Le dispositif expérimental utilisé, est représenté sur la figure suivante :

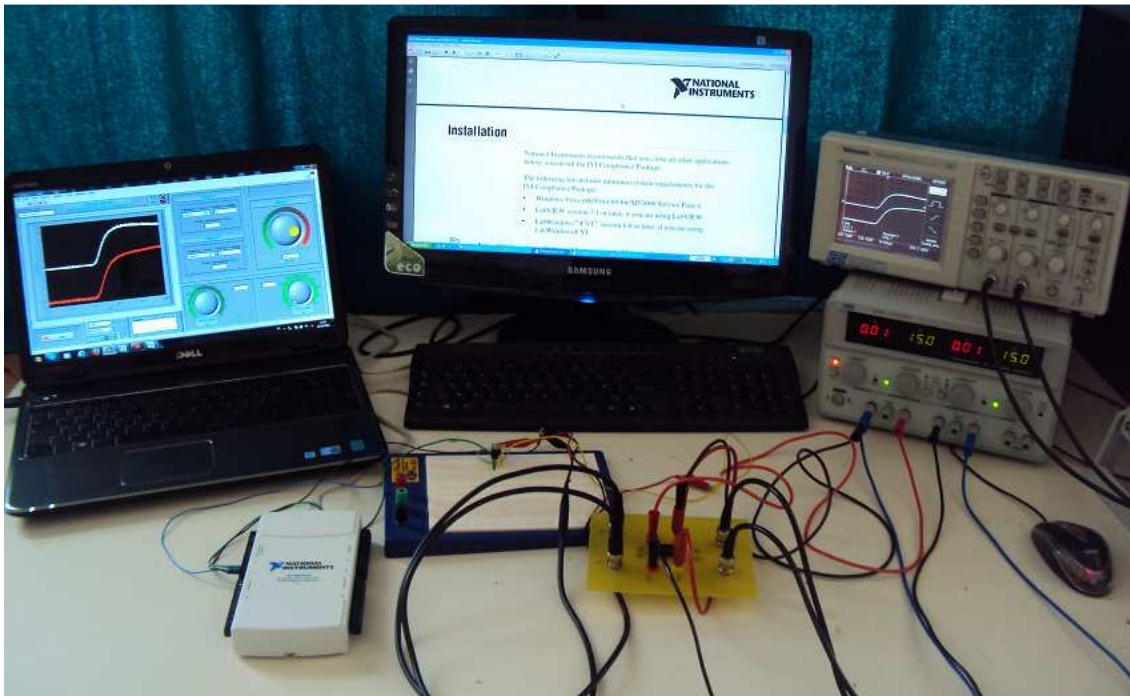


Figure III.9 : Photographie du dispositif expérimental utilisé

III.5. Résultats des tests sur la carte :

La figure suivante montre la courbe obtenue, sur un transistor MOS de puissance, pour un signal de grille de forme trapézoïdal :

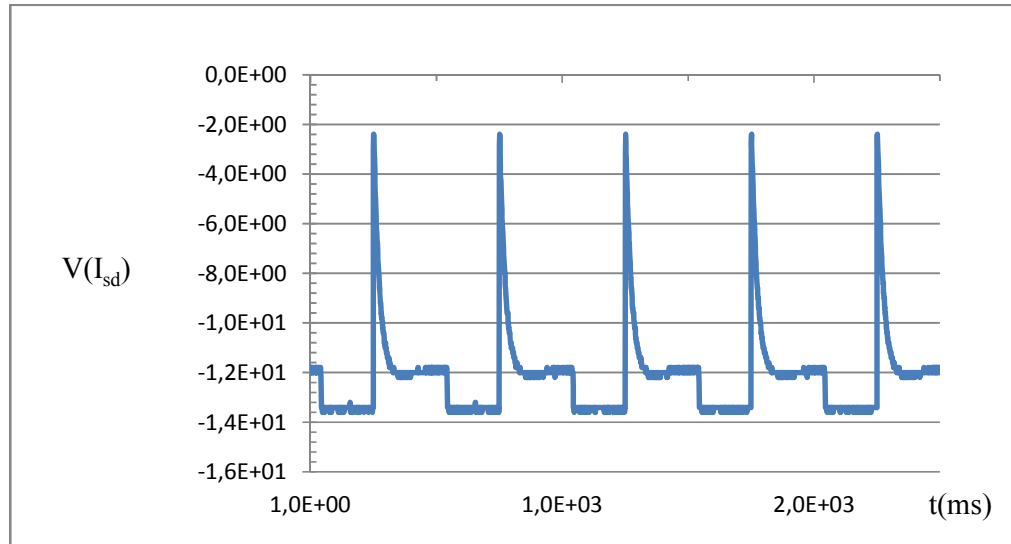


Figure III.10 : La courbe $V(I_{sd})$ en fonction du temps

III.6. Description du logiciel de programmation :

III.6.1. Introduction à Labview :

Labview (Laboratory Virtual Instrument Engineering Workbench) est un langage de programmation destiné au contrôle d'instruments et l'analyse de données. Labview est basé sur un environnement de programmation graphique (Langage G) utilisant la notion de flot de données pour ordonnancer les opérations.

Ce logiciel offre de larges possibilités de communication entre l'ordinateur et le monde physique (possibilité de gérer ou de communiquer avec diverses interfaces numériques, carte GPIB, liaisons série ou parallèle...etc.).

Le principe de Labview est de remplacer les instruments de mesure, un ordinateur muni d'une carte d'acquisition et de labview est capable de remplacer un voltmètre, un fréquencemètre ou un oscilloscope.

III.6.2. Structure d'un programme Labview [6]:

Labview étant plus particulièrement destiné à l'instrumentation, Les programmes labview s'appellent des instruments virtuels (VIs), un programme labview apparait constitué comme un appareil de mesure :

III.6.2.1. La face avant :

La face-avant correspond à l'interface utilisateur. La figure III.8 montre un exemple de fenêtre de face-avant.

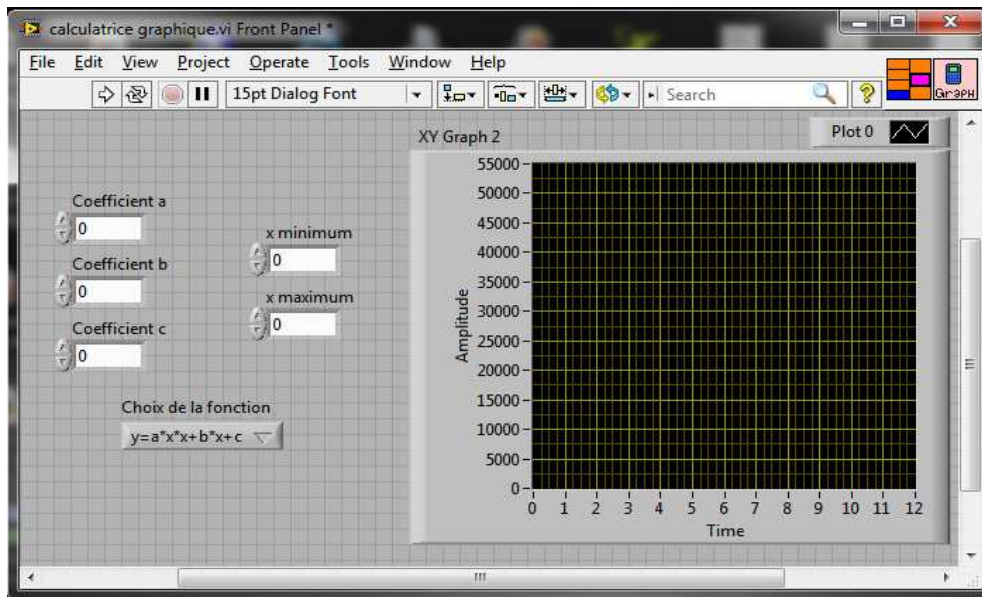


Figure III.11 : Exemple de face-avant

III.6.2.2. Un digramme :

Le diagramme correspond aux circuits internes de l'appareil et constitue le cœur du programme. La figure III.9 montre un exemple d'un diagramme.

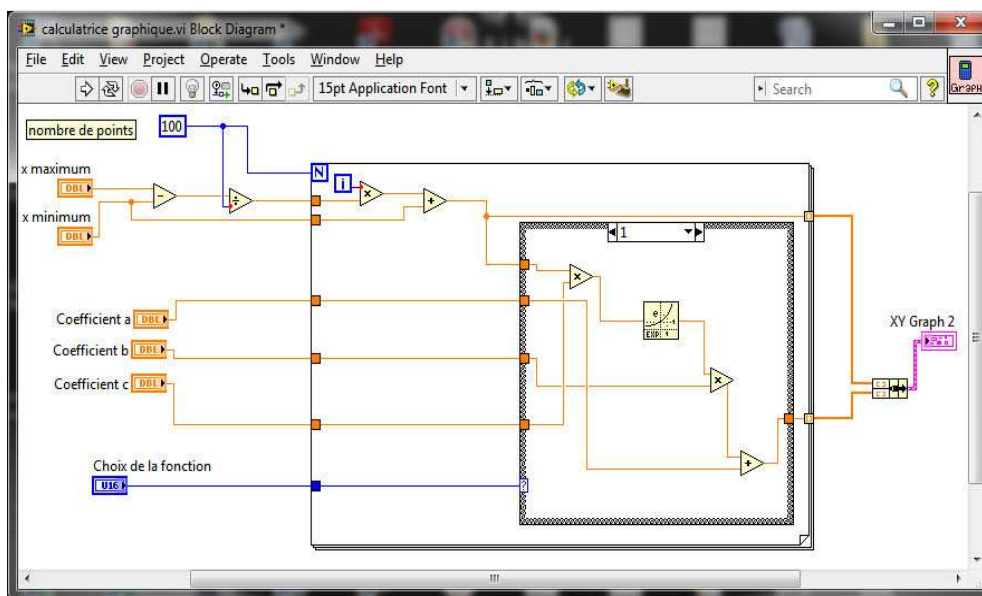


Figure III.12 : Exemple d'un diagramme

III.6.3. Palette des commandes :

La palette des commandes contient les commandes et les indicateurs utilisés pour créer la face-avant. La palette commandes se compose de plusieurs catégories, la figure III.10 présente une palette commande avec toutes ses catégories visibles.

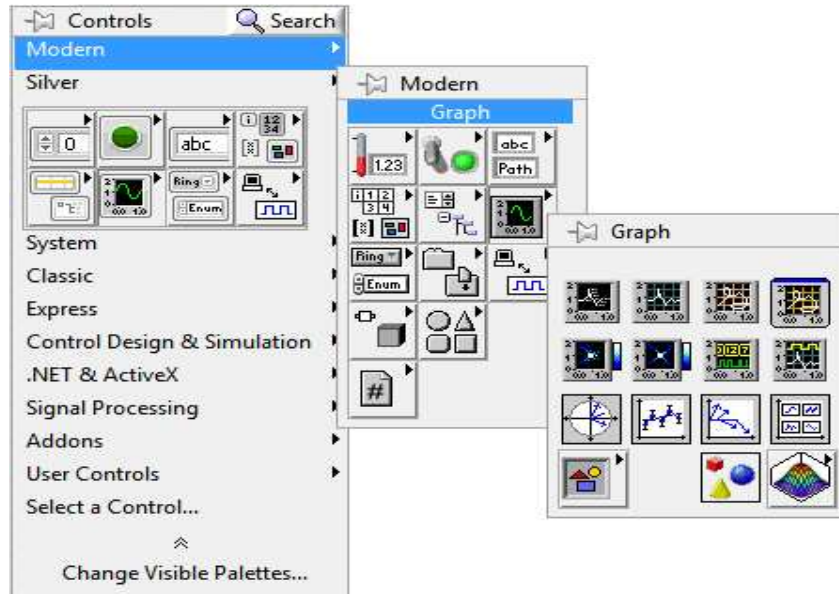


Figure III.13 : Palette des commandes de la face-avant

III.6.4. Palette des fonctions :

La palette fonctions contient les VIs, les fonctions et les constantes qu'on utilise pour créer le diagramme. La figure III.11 présente la palette fonctions.

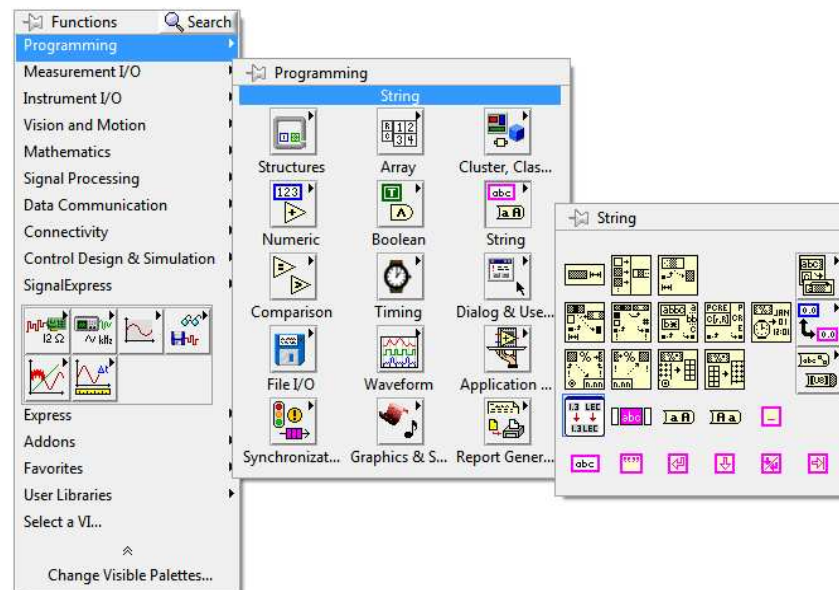


Figure III.14 : Palette des fonctions de diagramme

III.6.6.2. La boucle for :

Une boucle for exécute un sous-diagramme un nombre de fois prédéfini, la figure III.14 montre une boucle for dans labview.

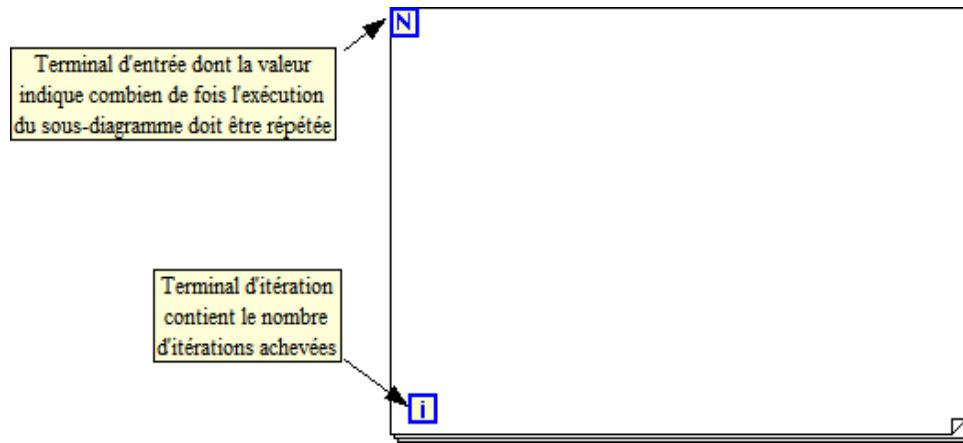


Figure III.17 : La boucle for

III.6.6.3. La boucle while :

Comme les boucles Do et les boucles Repeat-Until des langages de programmation textuels, la boucle While, représentée dans la figure III.15, exécute le code jusqu'à ce qu'une condition ait lieu.

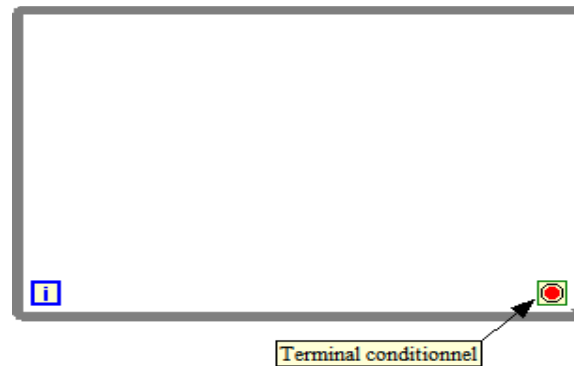


Figure III.18 : La boucle While

III.6.7. Les sous VIs dans labview :

Une fois un VI construit, on peut l'utiliser dans un autre VI. Un VI appelé à partir du diagramme d'un autre VI est appelé sous-VI. Un nœud de sous-VI correspond à un appel de sous-programme dans des langages de programmation textuels.

Chaque VI affiche une icône dans le coin supérieur droit de la fenêtre de la face-avant et de la fenêtre diagramme. Un exemple d'icône par défaut est représenté ici. Si on utilise un VI comme sous-VI, l'icône identifie le sous-VI sur le diagramme du VI.



III.7.1.2. Diagramme du programme de signal de caractérisation :

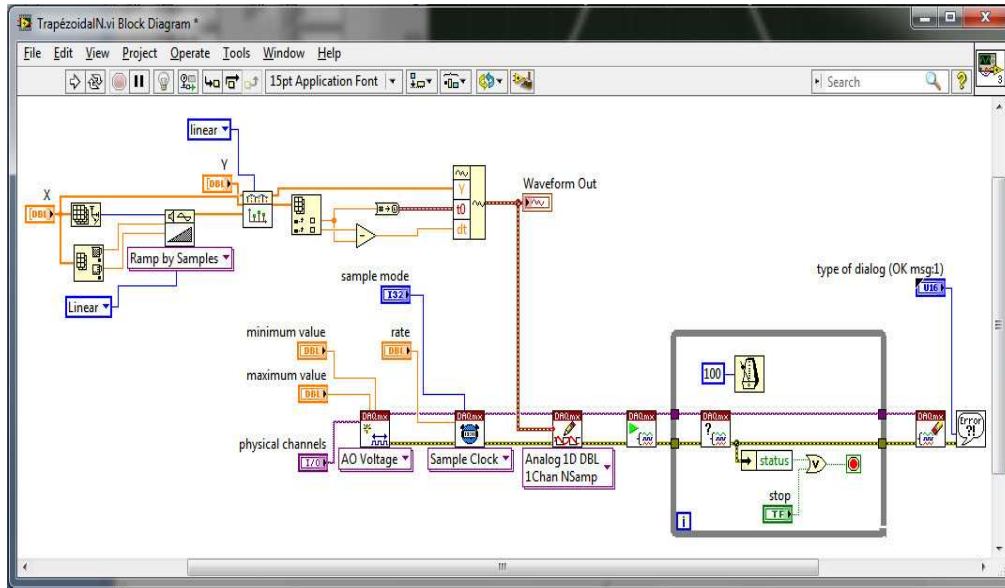


Figure III.20 : Diagramme du VI de signal de grille

III.8. Le VI de l'oscilloscope Tektronix utilisé :

Les figures suivantes représentent l'interface de l'oscilloscope (Tektronix TDS1012) et son diagramme sous labview :

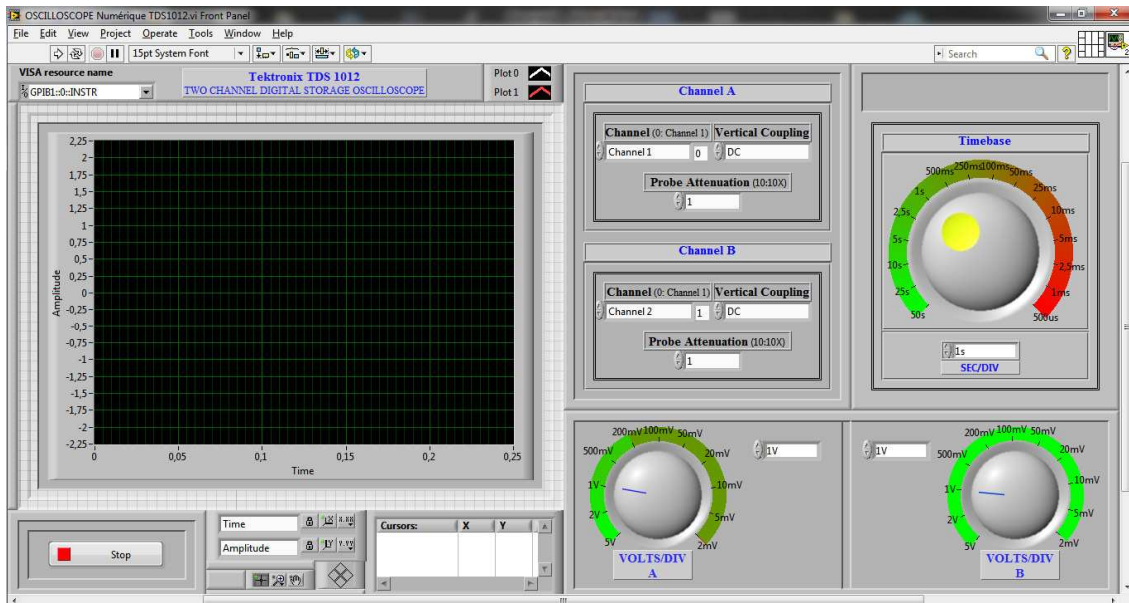


Figure III.21 : Face avant du VI de l'oscilloscope

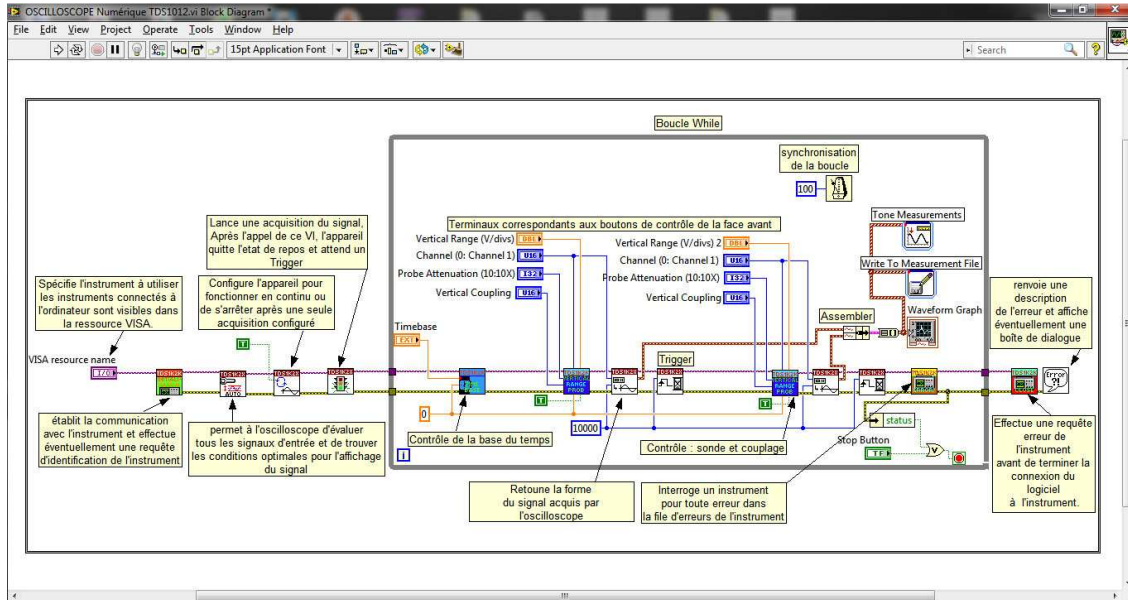


Figure III.22: Diagramme du VI de l'oscilloscope

III.9. Conclusion :

Dans ce dernier chapitre, nous avons réalisé une carte pour une nouvelle technique de pompage de charge. Qui est sensée permettre une étude en temps très court (de l'ordre de microseconde) de l'interface Si-SiO₂ des transistors MOS. Nous avons aussi développé une application pour un oscilloscope numérique, avec le logiciel labview, cette application permet de contrôler l'oscilloscope et de récupérer les courbes visualisées sur son écran. Et nous avons aussi développé une autre application pour la carte NI USB-6218 qui nous permet de générer le signal trapézoïdal utilisé sur la grille du transistor.

Référence du chapitre III

[1] : J.F.Zhang, Z.Ji, M.H.Chang, B.Kaczer, and G.Groeseneken, “ Real V_{th} instability of pMOSFETs under practical operation conditions,” in IEDM Tech. Dig. 2007, pp. 817-820.

[2]: L.Lin, Zhigang Ji, Jian Fu Zhang, Wei Dong Zhang, Ben Kaczer, Stefan De Gendt, and Guido Groeseneken, “A single pulse charge pumping technique for fast measurement of interface states,” IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 58, No. 5, May 2011.

[3]: Document NATIONAL Semiconductor “ LF147/LF347 Wide Bandwith Quad JFET Input Operational Amplifiers”.

[4]: M.F.Li, D.Huang, W.J.Liu, Z.Y.Liu, and X.Y.Huang, “New insights of BTI degradation in MOSFETs with SiON gate dielectrics,” ECS Trans. Vol. 19, no. 2, pp. 301-318, 2009.

[5]: Nasser Kehtarnavaz and Namjin Kim “Digital Signal Processing System-Level Design Using Labview,” University of Texas at Dallas. 2005.

[6]: Francis Cottet, Michel Pinard, « Labview Programmation et applications », Dunod. 2009

Conclusion générale :

L'évolution continue des technologies employées dans l'industrie microélectronique s'accompagne de nouveaux problèmes de fiabilité des circuits. Ces problèmes sont typiquement liés à la réduction des dimensions et l'implantation de matériaux nouveaux. Dès lors, il est fondamental d'identifier les points faibles des circuits afin d'en évaluer leur performance. Il apparaît ainsi un besoin permanent de développer de nouvelles techniques d'analyse des composants microélectroniques.

Dans ce présent travail, nous avons réalisé une carte pour la caractérisation ultra rapide des états d'interface, cette technique a réduit considérablement le temps de mesure comparé aux techniques conventionnelles, tel que la CP (charge pumping), la CV (capacitance voltage) et la méthode de la conductance.

Nous avons aussi, développé des applications sous labview, pour contrôler la carte NI USB-6218 afin de générer le signal de grille (signal d'attaque), gérer un oscilloscope numérique de type Tektronix et acquérir les différents signaux sur micro ordinateur pour d'éventuels traitements.

Enfin, comme perspective pour ce travail, on pourrait envisager d'étendre cette technique, on la combinant avec la I(V), pour des mesures NBTI (Negative Bias Temperature Instability).

Annexe

Matériaux utilisés :

1) NI GPIB-USB-HS

Contrôleur GPIB pour l'USB Hi-Speed

- Vitesses de transfert IEEE 488.1 jusqu'à 1,8 Mo/s (standard) et 7,7 Mo/s (HS488)
- Conformité USB Hi-Speed ; compatibilité avec les ports USB 1.x Full-Speed
- Aucun câble GPIB requis pour la connexion des instruments ; installation et configuration Plug-and-Play
- Driver NI-488.2 pour Windows, Mac OS X et Linux (2.6-24)
- Conformité RoHS ; entière compatibilité avec l'IEEE 488.2



Description

Le contrôleur compact NI GPIB-USB-HS transforme n'importe quel ordinateur doté d'un port USB en contrôleur IEEE 488.2 Plug-and-Play aux fonctions complètes, pour contrôler jusqu'à 14 instruments GPIB programmables. Le GPIB-USB-HS tire parti de l'USB Hi-Speed, afin d'offrir des performances élevées, jusqu'à 1,8 Mo/s avec le handshake IEEE 488 standard, et 7,7 Mo/s avec le handshake IEEE 488 High-Speed (HS488). Le format compact et la légèreté du GPIB-USB-HS en font une solution idéale pour les applications qui utilisent un ordinateur portable ou pour d'autres applications où l'ordinateur ne dispose pas d'emplacement d'E/S interne libre. Le GPIB-USB-HS conforme RoHS est livré avec le driver NI-488.2 pour Windows, Mac OS X ou Linux.

Résumé des spécifications :

Généralités :

Produit	GPIB-USB-HS
Famille de produit	GPIB
Format	USB
Numéro de référence	779704-01, 778927-01
Système d'exploitation/cible	Linux, Windows
Support de LabVIEW RT	Non
Tension	5 VDC

Intensité	500 mA
Alimentation	Alimentation interne
Conformité au standard GPIB	HS488, IEEE 488.1, IEEE 488, IEEE 488.2
Analyseur GPIB intégré	Non
Circuit ASIC GPIB embarqué	TNT5004

Informations sur le port :

Nombre de ports	1
Max Baud Rate (IEEE 488.1)	1.8 Mo/s
Vitesse de transfert maximum (HS488)	7.2 Mo/s
Longueur de câble maximum	4 m
Taille de la FIFO tampon d'E/S	64 o, 32 o
Connexions/ports matériels maximum	14

Spécifications physiques :

Longueur	10.7 cm
Largeur	6.6 cm
Hauteur	2.6 cm
Connecteur d'E/S	24-pin IEEE 488
Température de fonctionnement	0 °C
Température de fonctionnement	55 °C

2) NI USB-6218

Acquisition de données MIO 16 bits, 250 kéch./s de la Série M alimentée par le bus

- 32 entrées analogiques (16 bits, 250 kéch./s)
- 2 sorties analogiques (16 bits, 250 kéch./s); 8 entrées et 8 sorties numériques ; 2 compteurs 32 bits
- Isolation CAT I de 60 V, pour une précision et une sécurité accrues ; connectivité de signaux intégrée
- Streaming de signaux de NI, pour des transferts de données en continu haute vitesse soutenus sur USB, disponibles en version OEM
- Compatible avec LabVIEW, LabWindows™/CVI et Measurement Studio pour Visual Studio .NET
- Driver NI-DAQmx et logiciel interactif d'enregistrement de données NI LabVIEW SignalExpress LE



Description

Le NI USB-6218 est un boîtier d'acquisition de données USB multifonction isolé de la Série M hautes performances, optimisé pour une excellente précision aux fréquences d'échantillonnage élevées. Il offre 32 entrées analogiques, une fréquence d'échantillonnage sur une seule voie de 250 kéch./s ; 2 sorties analogiques ; 8 entrées et 8 sorties numériques ; 4 gammes d'entrée programmables ($\pm 0,2$ V à ± 10 V) par voie ; un déclenchement numérique et 2 compteurs/timers. Une isolation CAT I de 60 V est fournie pour une précision et une sécurité.

Le boîtier USB-6218 est spécifiquement conçu pour des applications mobiles ou à espace restreint. L'installation Plug-and-Play minimise le temps de configuration et de paramétrage, tandis que la connectivité directe par bornier à vis diminue les coûts et simplifie les connexions de signaux. Alimenté par le bus USB signifie qu'il est possible de se passer des alimentations externes inutiles. Le driver NI-DAQmx et les logiciels de services de mesure offrent une configuration prête-à-l'emploi et des interfaces de programmation dotées de fonctionnalités telles que l'Assistant DAQ, pour réduire le temps de développement.

Ce boîtier intègre également la nouvelle technologie de streaming de signaux de NI, qui permet un streaming de données bidirectionnel haute vitesse de type DMA sur USB.

Driver

Le driver NI-DAQmx et les logiciels de services de mesure offrent une configuration d'emploi aisé et des interfaces de programmation dotées de fonctionnalités telles que l'Assistant DAQ, pour réduire le temps de développement.

*Résumé des spécifications :**Généralités*

Produit	USB-6218
Famille de produit	DAQ multifonction
Format	USB
Numéro de référence	779678-01
Système d'exploitation/cible	Linux, Mac OS, Windows
Famille de produits d'acquisition de données	Série M
Types de mesure	Tension
Type d'isolation	Isolation par bloc
Conformité RoHS	Oui

Entrée analogique

Voies	32, 16
Voies asymétriques	32
Voies différentielles	16
Résolution	16 bits
Fréquence d'échantillonnage	250 kéch. /s
Tension d'entrée analogique maximum	10 V
Gamme de tension maximum	-10 V, 10 V
Précision de la gamme de tension maximum	2.69 mV

Sensibilité de la gamme de tension maximum	91.6 μ V
Gamme de tension minimum	-200 mV, 200 mV
Précision de la gamme de tension minimum	0.088 mV
Sensibilité de la gamme de tension minimum	4.8 μ V
Nombre de gammes	4
Échantillonnage simultané	Non
Mémoire embarquée	4095 échantillons

Sortie analogique

Voies	2
Résolution	16 bits
Tension d'entrée analogique maximum	10 V
Gamme de tension maximum	-10 V, 10 V
Précision de la gamme de tension maximum	3.512 mV
Gamme de tension minimum	-10 V, 10 V
Précision de la gamme de tension minimum	3.512 mV
Fréquence de mise à jour	250 kéch./s
Un seul courant de commande	2 mA
Tous les courants de commande	4 mA

E/S numériques

Voies bidirectionnelles	0
Entrées uniquement	8
Sorties uniquement	8
Nombre de voies	0, 8
Cadencement	Logiciels
Niveaux logiques	TTL

Débit du courant d'entrée	Courant absorbé
Débit du courant de sortie	Courant fourni
Filtres d'entrée programmable	Non
Supporte les états de démarrage programmable ?	Oui
Un seul courant de commande	16 mA
Tous les courants de commande	50 mA
Timer chien de garde	Non
Supporte les protocoles de reconnaissance d'E/S ?	Non
Supporte les motifs d'E/S ?	Non
Gamme d'entrée maximale	0 V, 5.25 V
Gamme de sortie maximale	0 V, 3.8 V

Compteurs/timers

Nombre de compteurs/timers	2
Opérations bufférisées	Oui
Retirer l'antirebond/le glissement	Oui
Synchronisation GPS	Non
Gamme maximale	0 V, 5.25 V
Fréquence de source maximale	80 MHz
Génération d'impulsions	Oui
Résolution	32 bits
Stabilité de la base de temps	50 ppm
Niveaux logiques	TTL

Spécifications physiques :

Longueur	16.9 cm
Largeur	9.4 cm
Hauteur	3.1 cm

Connecteur d'E/S

Borniers à vis

Cadencement/déclenchement/synchronisation

Déclenchement

Numérique

Oscilloscope à mémoire numérique



Features & Benefits

- 40 MHz, 60 MHz, and 100 MHz Bandwidths
- Sample Rates up to 1 GS/s Real Time
- 2 Channels
- Monochrome LCD Display
- Removable Data Storage using the Front-panel USB Port
- Seamless PC Connectivity through the USB Device Port, with OpenChoice[®] and NI SignalExpress[®] PC Software
- Advanced Triggers including Pulse Width Trigger and Line-selectable Video Trigger
- FFT Standard on All Models
- 12 Automatic Measurements
- Multiple-language User Interface and Context-sensitive Help
- Direct Print to All PictBridge[®]-compatible Printers through the USB Device Port
- Lifetime Warranty*¹

Applications

- Design and Debug
- Education and Training
- Manufacturing Test and Quality Control
- Service and Repair

TDS1000B Series Oscilloscopes

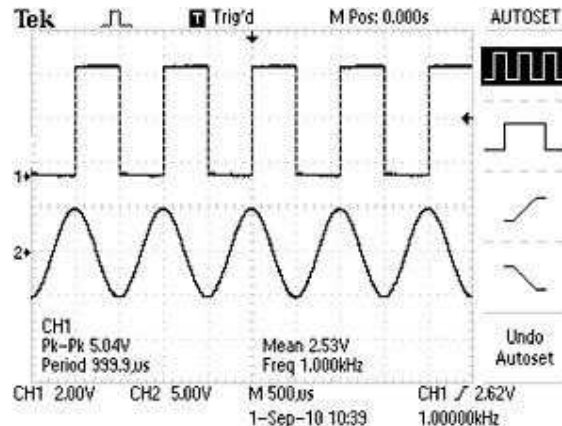
Instantly Productive. Incredibly Easy.

The TDS1000B Series digital storage oscilloscopes deliver an unbeatable combination of performance and ease of use, at a price you can afford.

Affordable Digital Precision

With up to 100 MHz bandwidth and 1 GS/s maximum sample rate, no other digital storage oscilloscope offers as much bandwidth and sample rate for the price. The TDS1000B Series oscilloscopes provide accurate real-time acquisition up to their full bandwidth, the same record length at all time base settings, advanced triggers to isolate signals of interest, and 12 standard automatic measurements on all models. Their Fast Fourier Transform (FFT) and waveform add, subtract, and multiply math functions allow you to analyze, characterize, and troubleshoot circuits.

Quick and Easy Waveform Capture



The simple user interface with classic analog-style controls makes these instruments easy to use, reducing learning time and increasing efficiency. Innovative features such as the Autoset Menu, Probe Check Wizard, and Context-sensitive Help Menu optimize instrument setup and operation.

Characteristics

TDS1000B Series Digital Storage Oscilloscopes

Characteristic	TDS1001B	TDS1002B	TDS1012B
Display (1/4 VGA LCD)	Mono		
Bandwidth* ²	40 MHz	60 MHz	100 MHz
Channels	2		
External Trigger Input	Included on all models		
Sample Rate on Each Channel	500 MS/s	1.0 GS/s	1.0 GS/s
Record Length	2.5K points at all time bases on all models		
Vertical Resolution	8 bits		
Vertical Sensitivity	2 mV to 5 V/div on all models with calibrated fine adjustment		
DC Vertical Accuracy	±3% on all models		
Vertical Zoom	Vertically expand or compress a live or stopped waveform		
Maximum Input Voltage	300 V _{RMS} CAT II; derated at 20 dB/decade above 100 kHz to 13 V _{p-p} AC at 3 MHz		

Position Range	2 mV to 200 mV/div +2 V; >200 mV to 5 V/div +50 V
Bandwidth Limit	20 MHz for all models
Input Coupling	AC, DC, GND on all models
Input Impedance	1 M Ω in parallel with 20 pF
Time Base Range	5 ns to 50 s/div
Time Base Accuracy	50 ppm
Horizontal Zoom	Horizontally expand or compress a live or stopped waveform
I/O Interfaces	
USB Ports	USB host port on front panel supports USB flash drives USB device port on back of instrument supports connection to PC and all PictBridge-compatible printers
GPIB	Optional
Nonvolatile Storage	
Reference waveform display	(2) 2.5K point reference waveforms
Waveform storage without USB flash drive	(2) 2.5K point
Maximum USB flash drive size	64 GB
Waveform storage with USB flash drive	96 or more reference waveforms per 8 MB
Setups without USB flash drive	10 front-panel setups
Setups with USB flash drive	4000 or more front-panel setups per 8 MB
Screen images with USB flash drive	128 or more screen images per 8 MB (the number of images depends on file format selected)
Save All with USB flash drive	12 or more Save All operations per 8 MB A single Save All operation creates 3 to 9 files (setup, image, plus one file for each displayed waveform)

*² Bandwidth is 20 MHz at 2 mV/div, all models.

Acquisition Modes

Mode	Description
Peak Detect	High-frequency and random-glitch capture. Captures glitches as narrow as 12 ns (typical) at all time base settings from 5 μ s/div to 50 s/div
Sample	Sample data only
Average	Waveform averaged, selectable: 4, 16, 64, 128

Single Sequence	Use the Single Sequence button to capture a single triggered acquisition sequence
Roll	At acquisition time base settings of >100 ms/div

Trigger System

Characteristic	Description
Trigger Modes	Auto, Normal, Single Sequence

Trigger Types

Trigger	Description
Edge (Rising/Falling)	Conventional level-driven trigger. Positive or negative slope on any channel. Coupling selections: AC, DC, Noise Reject, HF Reject, LF Reject
Video	Trigger on all lines or individual lines, odd/even or all fields from composite video, or broadcast standards (NTSC, PAL, SECAM)
Pulse Width (or Glitch)	Trigger on a pulse width less than, greater than, equal to, or not equal to, a selectable time limit ranging from 33 ns to 10 s

Trigger Source

CH1, CH2, Ext, Ext/5, AC Line.

Trigger View

Displays trigger signal while Trigger View button is depressed.

Trigger Signal Frequency Readout

Provides frequency readout of the trigger source.

Cursors

Characteristic	Description
Types	Amplitude, Time
Measurements	ΔT , $1/\Delta T$, ΔV

Automatic Waveform Measurements

Period, Frequency, +Width, -Width, Rise Time, Fall Time, Max, Min, Peak-to-Peak, Mean,

RMS, Cycle RMS.

Waveform Math

Characteristic	Description
Operators	Add, Subtract, Multiply, FFT
FFT	Windows: Hanning, Flat Top, Rectangular; 2048 sample points
Sources	CH1 – CH2, CH2 – CH1, CH1 + CH2, CH1 × CH2

Autoset Menu

Signal Type	Autoset Menu Choices
Single-button, automatic setup of all channels for vertical, horizontal, and trigger systems, with undo Autoset.	
Square Wave	Single Cycle, Multicycle, Rising or Falling Edge
Sine Wave	Single Cycle, Multicycle, FFT Spectrum
Video (NTSC, PAL, SECAM)	Field: All, Odd, or Even Line: All or Selectable Line Number

Autorange

Automatically adjust vertical and/or horizontal oscilloscope settings when probe is moved from point to point, or when the signal exhibits large changes.

Display Characteristics

Characteristic	Description
Display	¼ VGA backlit passive LCD with adjustable multilevel contrast and inverse video selectable from front panel
Interpolation	Sin (x)/x
Display Types	Dots, vectors
Persistence	Off, 1 s, 2 s, 5 s, infinite
Format	YT and XY

Multiple-language User Interface and Context-sensitive Help

Characteristic	Description
Languages Available	English, French, German, Italian, Japanese, Korean, Portuguese, Russian* ³ , Simplified Chinese, Spanish, Traditional Chinese

*³ Requires Russian firmware, indicated by "RUS" suffix.

Environmental and Safety

Characteristic	Description
Temperature	
Operating	0 to +50 °C
Nonoperating	-40 to +71 °C
Humidity	
Operating and Nonoperating	Up to 80% RH at or below +40 °C
Operating and Nonoperating	Up to 45% RH up to +50 °C
Altitude	
Operating and Nonoperating	Up to 3,000 m
Electromagnetic Compatibility	Meets Directive 2004/108/EC, EN 61326-2-1 Class A; Australian EMC Framework
Safety	UL61010-1:2004, CSA22.2 No. 61010-1:2004, EN61010-1:2001, IEC61010-1:2001

Physical Characteristics

Instrument		
Dimensions	mm	in.
Width	326.3	12.85
Height	158.0	6.22
Depth	124.2	4.89
Weight	kg	lb.
Instrument Only	2.0	4.4
With accessories	2.2	4.9
Instrument Shipping		
Package Dimensions	mm	in.
Width	476.2	18.75
Height	266.7	10.5
Depth	228.6	9.0
RM2000B Rackmount	mm	in.
Width	482.6	19.0
Height	177.8	7.0
Depth	108.0	4.25

LF147/LF347

Wide Bandwidth Quad JFET Input Operational Amplifiers

General Description

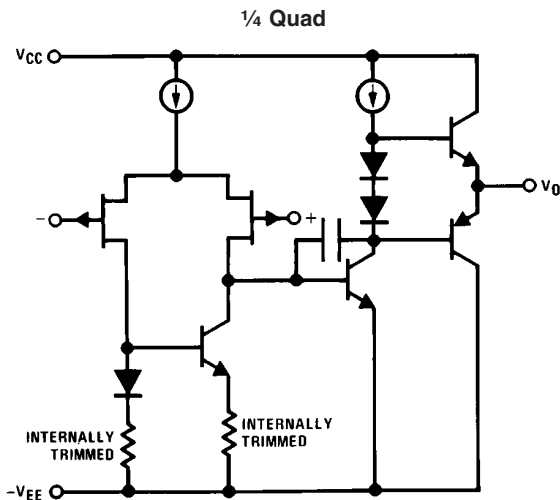
The LF147 is a low cost, high speed quad JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF147 is pin compatible with the standard LM148. This feature allows designers to immediately upgrade the overall performance of existing LF148 and LM124 designs.

The LF147 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift.

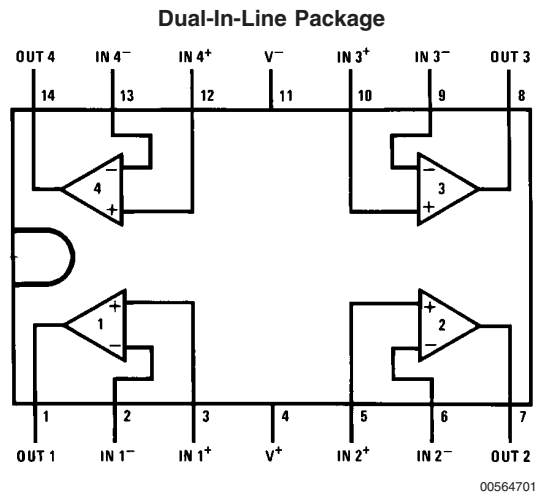
Features

- Internally trimmed offset voltage: 5 mV max
- Low input bias current: 50 pA
- Low input noise current: 0.01 pA/√Hz
- Wide gain bandwidth: 4 MHz
- High slew rate: 13 V/μs
- Low supply current: 7.2 mA
- High input impedance: 10¹²Ω
- Low total harmonic distortion: ≤0.02%
- Low 1/f noise corner: 50 Hz
- Fast settling time to 0.01%: 2 μs

Simplified Schematic



Connection Diagram



Note 1: LF147 available as per JM38510/11906.

Top View
Order Number LF147J, LF147J-SMD, LF347M,
LF347BN, LF347N, LF147J/883,
or JL147 BCA (Note 1)
See NS Package Number J14A, M14A or N14A

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

	LF147	LF347B/LF347
Supply Voltage	±22V	±18V
Differential Input Voltage	±38V	±30V
Input Voltage Range (Note 3)	±19V	±15V
Output Short Circuit Duration (Note 4)	Continuous	Continuous
Power Dissipation (Notes 5, 11)	900 mW	1000 mW
T _j max	150°C	150°C
θ _{JA}		
Ceramic DIP (J) Package		70°C/W
Plastic DIP (N) Package		75°C/W
Surface Mount Narrow (M)		100°C/W
Surface Mount Wide (WM)		85°C/W

	LF147 (Note 6)	LF347B/LF347 (Note 6)
Operating Temperature Range		
Storage Temperature Range	-65°C ≤ T _A ≤ 150°C	
Lead Temperature (Soldering, 10 sec.)	260°C	260°C
Soldering Information		
Dual-In-Line Package		
Soldering (10 seconds)		260°C
Small Outline Package		
Vapor Phase (60 seconds)		215°C
Infrared (15 seconds)		220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.		
ESD Tolerance (Note 12)		900V

DC Electrical Characteristics (Note 7)

Symbol	Parameter	Conditions	LF147			LF347B			LF347			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V _{OS}	Input Offset Voltage	R _S =10 kΩ, T _A =25°C Over Temperature		1	5		3	5		5	10	mV mV
ΔV _{OS} /ΔT	Average TC of Input Offset Voltage	R _S =10 kΩ		10			10			10		μV/°C
I _{OS}	Input Offset Current	T _J =25°C, (Notes 7, 8) Over Temperature		25	100		25	100		25	100	pA nA
I _B	Input Bias Current	T _J =25°C, (Notes 7, 8) Over Temperature		50	200		50	200		50	200	pA nA
R _{IN}	Input Resistance	T _J =25°C		10 ¹²			10 ¹²			10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S =±15V, T _A =25°C V _O =±10V, R _L =2 kΩ Over Temperature	50	100		50	100		25	100		V/mV V/mV
V _O	Output Voltage Swing	V _S =±15V, R _L =10 kΩ	±12	±13.5		±12	±13.5		±12	±13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S =±15V	±11	+15 -12		±11	+15 -12		±11	+15 -12		V V
CMRR	Common-Mode Rejection Ratio	R _S ≤10 kΩ	80	100		80	100		70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 9)	80	100		80	100		70	100		dB
I _S	Supply Current			7.2	11		7.2	11		7.2	11	mA

AC Electrical Characteristics (Note 7)

Symbol	Parameter	Conditions	LF147			LF347B			LF347			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Amplifier to Amplifier Coupling	$T_A=25^\circ\text{C}$, $f=1\text{ Hz}-20\text{ kHz}$ (Input Referred)		-120			-120			-120		dB
SR	Slew Rate	$V_S=\pm 15\text{V}$, $T_A=25^\circ\text{C}$	8	13		8	13		8	13		V/ μs
GBW	Gain-Bandwidth Product	$V_S=\pm 15\text{V}$, $T_A=25^\circ\text{C}$	2.2	4		2.2	4		2.2	4		MHz
e_n	Equivalent Input Noise Voltage	$T_A=25^\circ\text{C}$, $R_S=100\Omega$, $f=1000\text{ Hz}$		20			20			20		nV/ $\sqrt{\text{Hz}}$
i_n	Equivalent Input Noise Current	$T_j=25^\circ\text{C}$, $f=1000\text{ Hz}$		0.01			0.01			0.01		pA/ $\sqrt{\text{Hz}}$
THD	Total Harmonic Distortion	$A_V=+10$, $R_L=10\text{k}$, $V_O=20\text{ Vp-p}$, $BW=20\text{ Hz}-20\text{ kHz}$		<0.02			<0.02			<0.02		%

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Note 3: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 4: Any of the amplifier outputs can be shorted to ground indefinitely, however, more than one should not be simultaneously shorted as the maximum junction temperature will be exceeded.

Note 5: For operating at elevated temperature, these devices must be derated based on a thermal resistance of θ_{JA} .

Note 6: The LF147 is available in the military temperature range $-55^\circ\text{C}\leq T_A\leq 125^\circ\text{C}$, while the LF347B and the LF347 are available in the commercial temperature range $0^\circ\text{C}\leq T_A\leq 70^\circ\text{C}$. Junction temperature can rise to $T_j\text{ max} = 150^\circ\text{C}$.

Note 7: Unless otherwise specified the specifications apply over the full temperature range and for $V_S=\pm 20\text{V}$ for the LF147 and for $V_S=\pm 15\text{V}$ for the LF347B/LF347. V_{OS} , I_B , and I_{OS} are measured at $V_{CM}=0$.

Note 8: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j . Due to limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D . $T_j=T_A+\theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

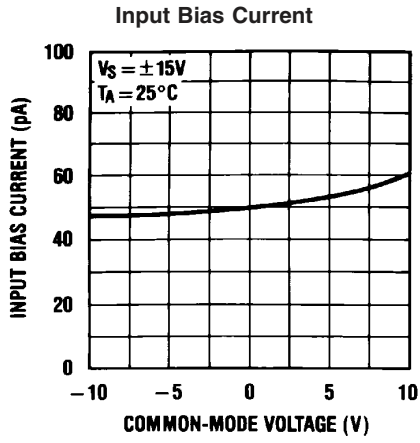
Note 9: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice from $V_S = \pm 5\text{V}$ to $\pm 15\text{V}$ for the LF347 and LF347B and from $V_S = \pm 20\text{V}$ to $\pm 5\text{V}$ for the LF147.

Note 10: Refer to RETS147X for LF147D and LF147J military specifications.

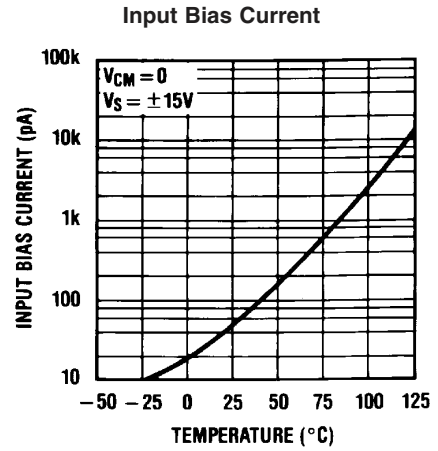
Note 11: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

Note 12: Human body model, $1.5\text{ k}\Omega$ in series with 100 pF .

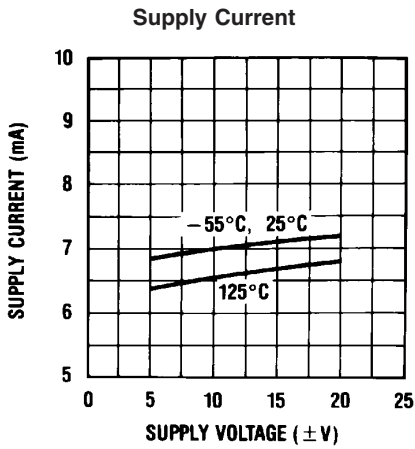
Typical Performance Characteristics



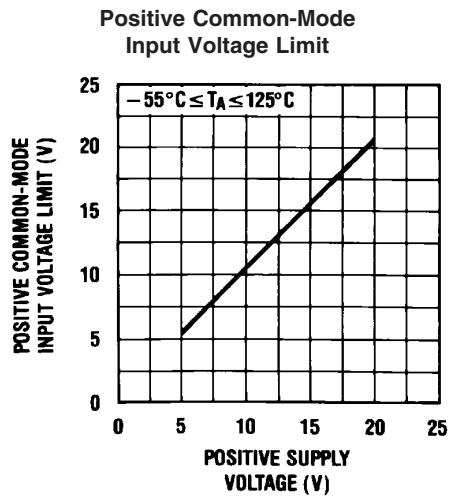
00564714



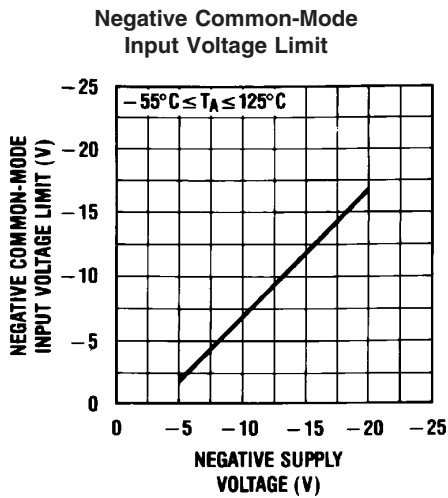
00564715



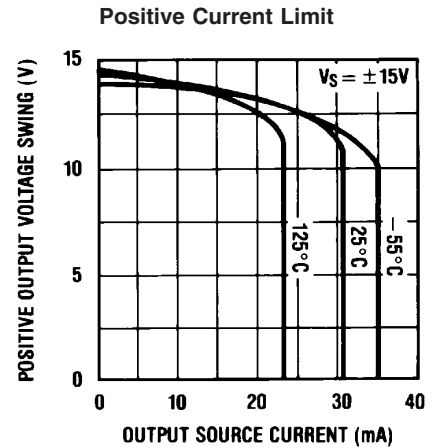
00564716



00564717

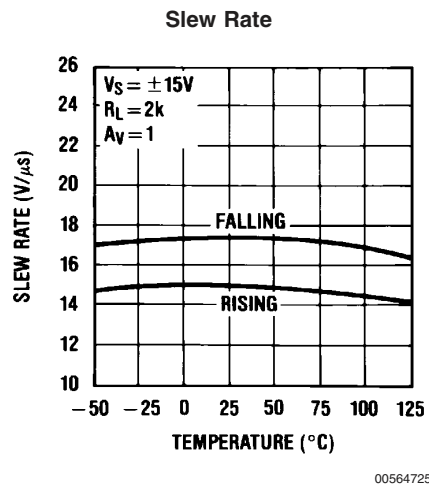
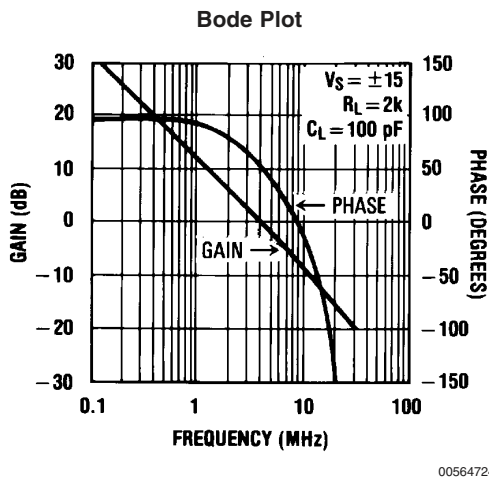
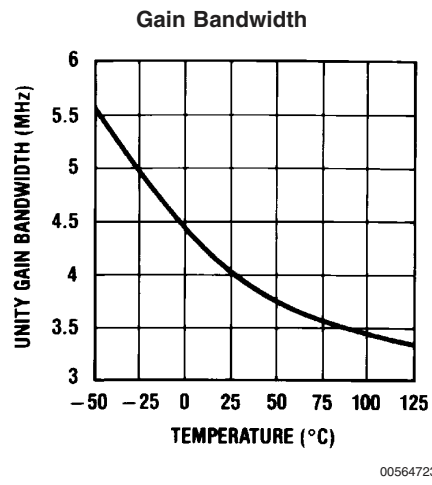
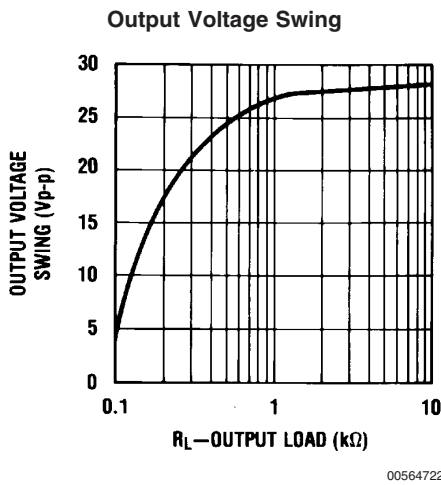
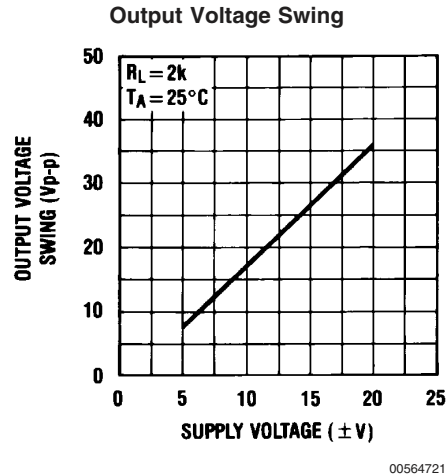
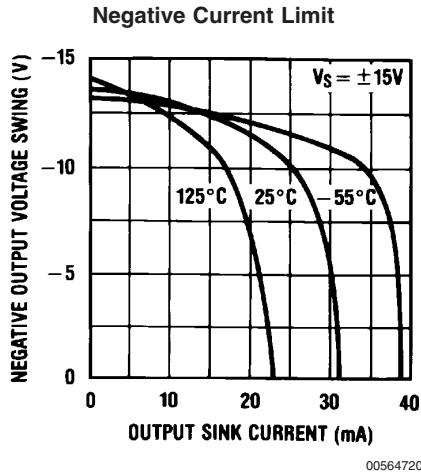


00564718

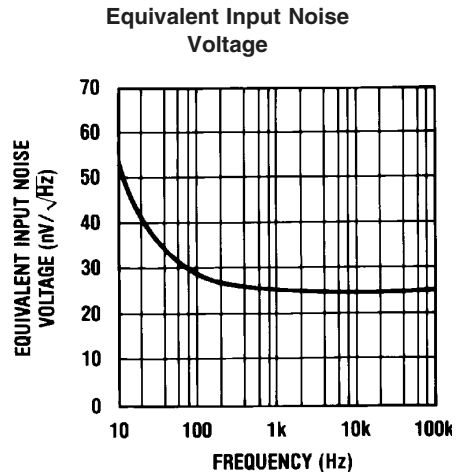
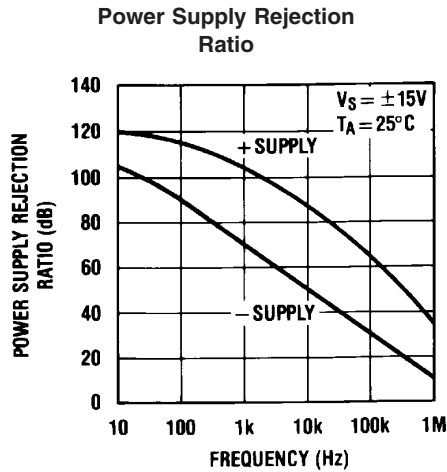
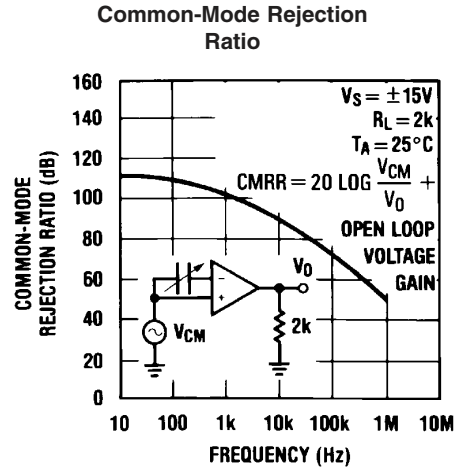
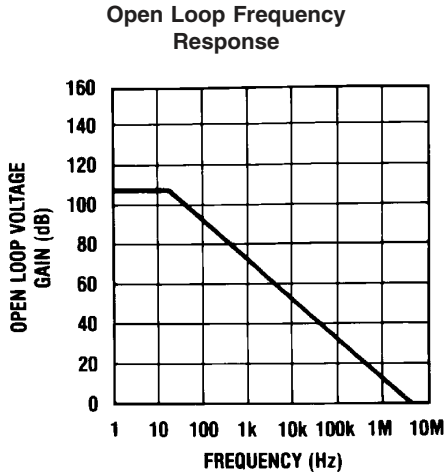
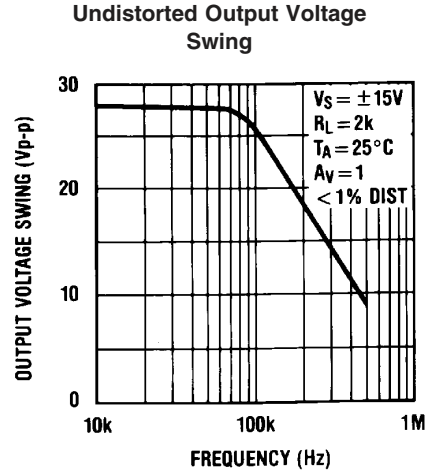
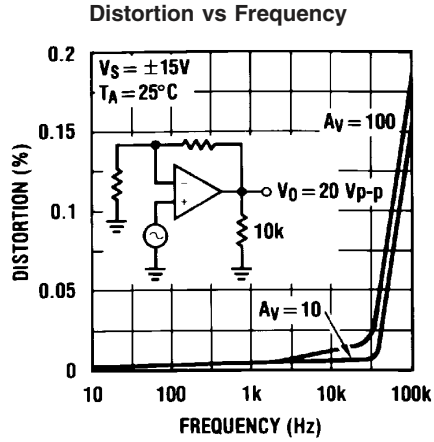


00564719

Typical Performance Characteristics (Continued)

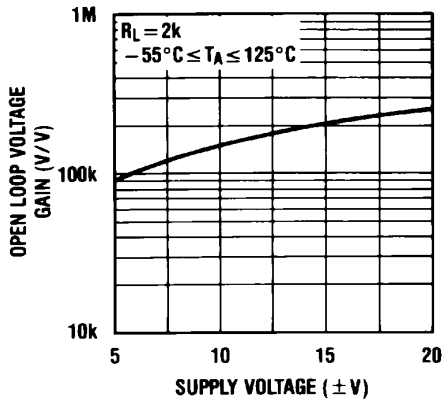


Typical Performance Characteristics (Continued)



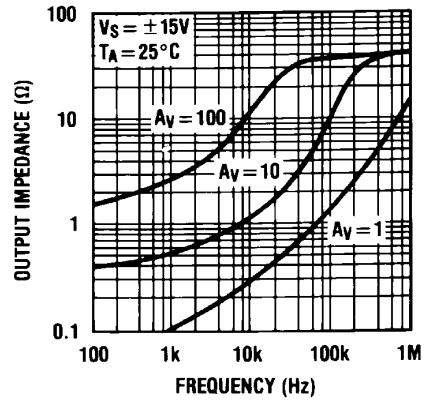
Typical Performance Characteristics (Continued)

Open Loop Voltage Gain



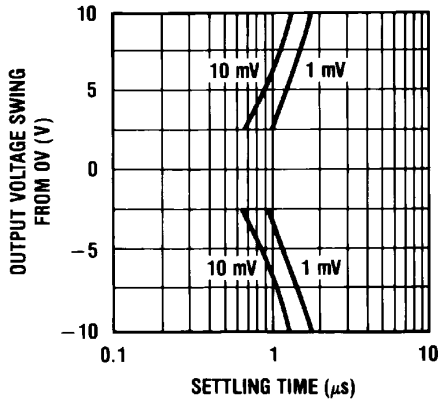
00564732

Output Impedance



00564733

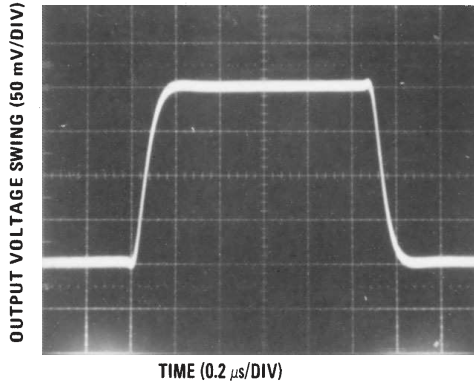
Inverter Settling Time



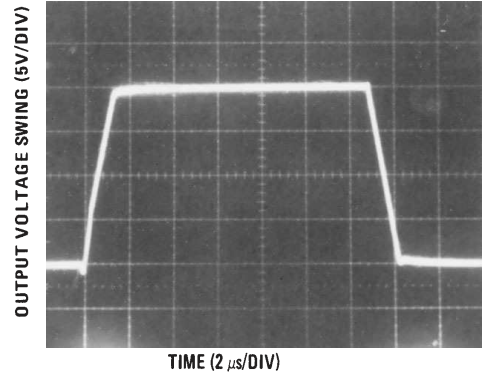
00564734

Pulse Response $R_L=2\text{ k}\Omega$, $C_L=10\text{ pF}$

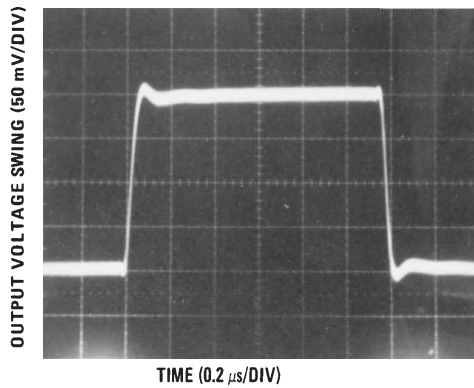
Small Signal Inverting



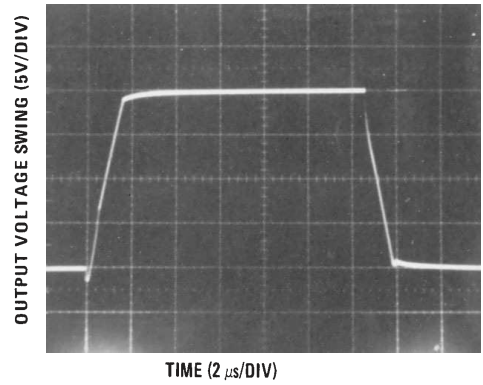
Large Signal Inverting



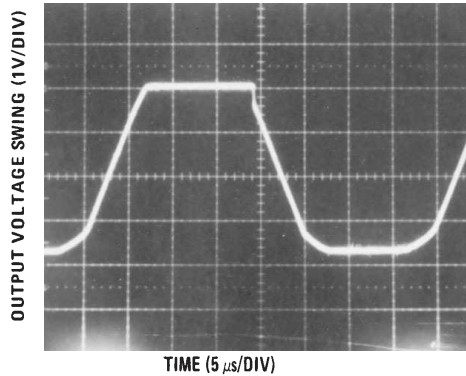
Small Signal Non-Inverting



Large Signal Non-Inverting



Current Limit ($R_L=100\Omega$)



Application Hints

The LF147 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages

should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Application Hints (Continued)

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on $\pm 4.5\text{V}$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF147 will drive a $2\text{ k}\Omega$ load resistance to $\pm 10\text{V}$ over the full temperature range. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

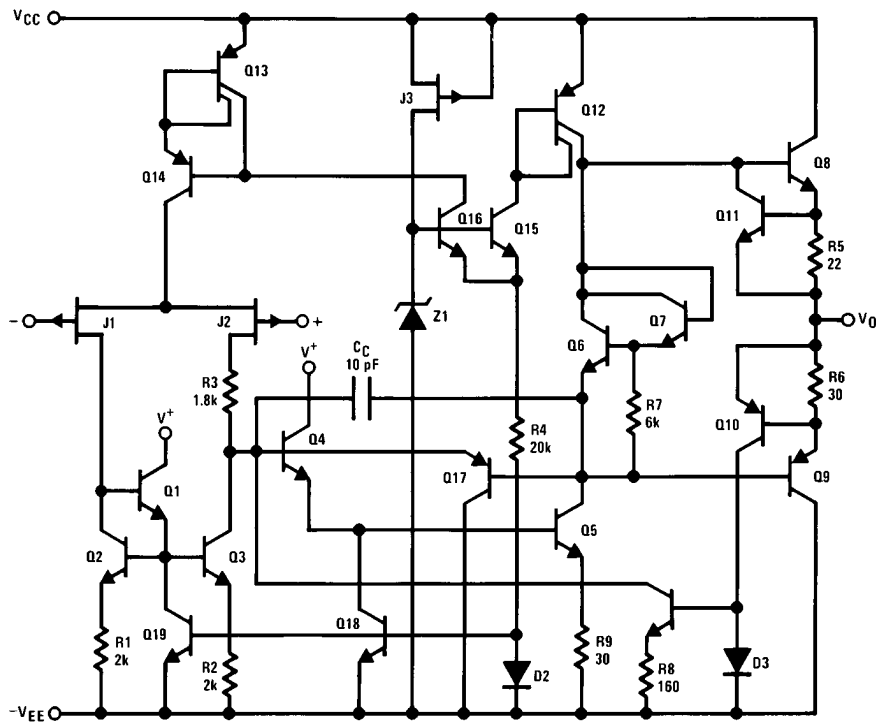
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a

socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

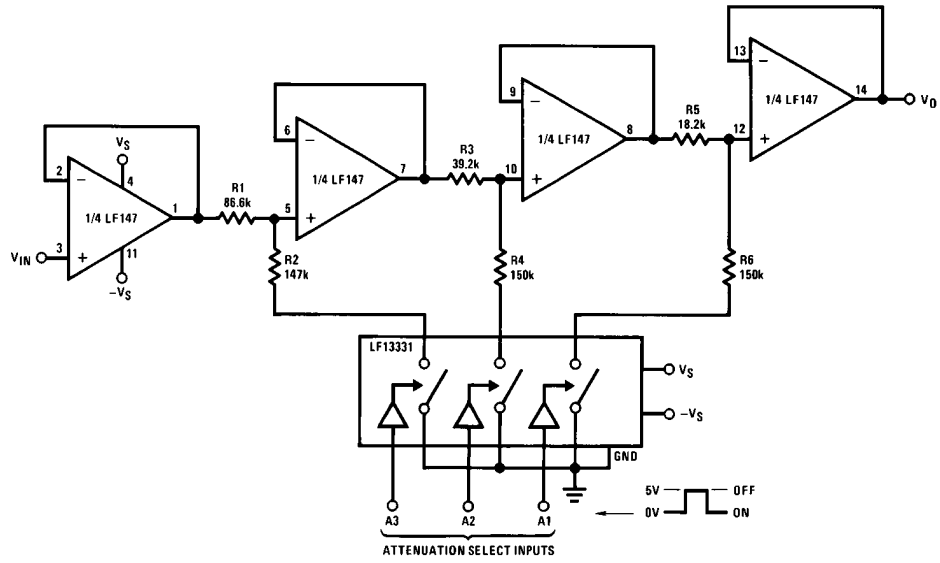
Detailed Schematic



00564709

Typical Applications

Digitally Selectable Precision Attenuator



00564710

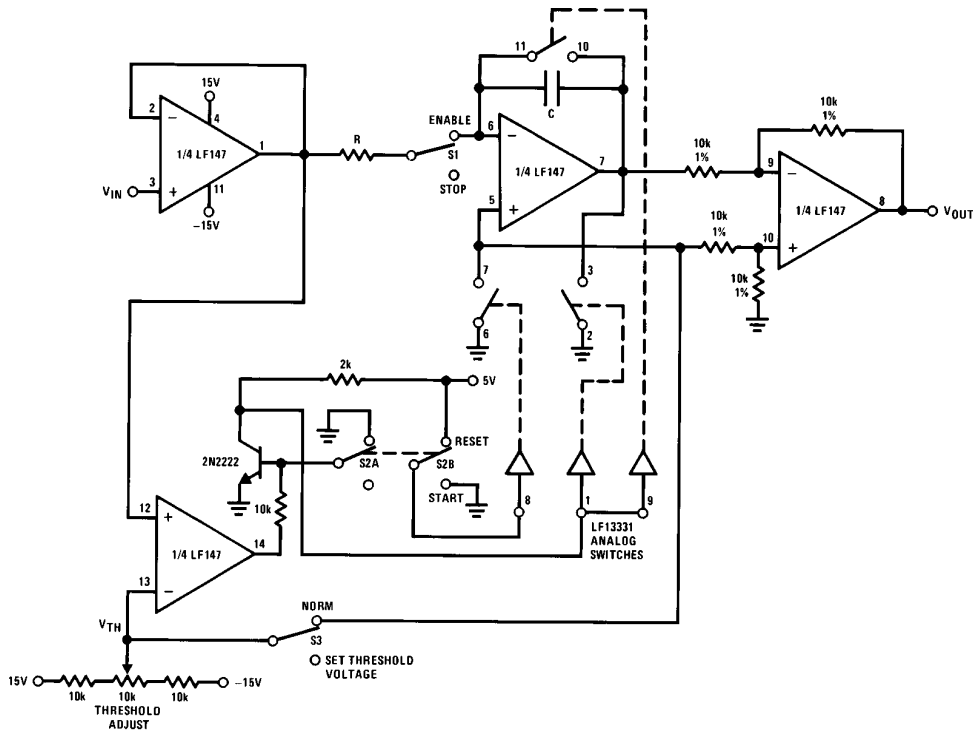
All resistors 1% tolerance

- Accuracy of better than 0.4% with standard 1% value resistors
- No offset adjustment necessary
- Expandable to any number of stages
- Very high input impedance

A1	A2	A3	V _O Attenuation
0	0	0	0
0	0	1	-1 dB
0	1	0	-2 dB
0	1	1	-3 dB
1	0	0	-4 dB
1	0	1	-5 dB
1	1	0	-6 dB
1	1	1	-7 dB

Typical Applications (Continued)

Long Time Integrator with Reset, Hold and Starting Threshold Adjustment



00564711

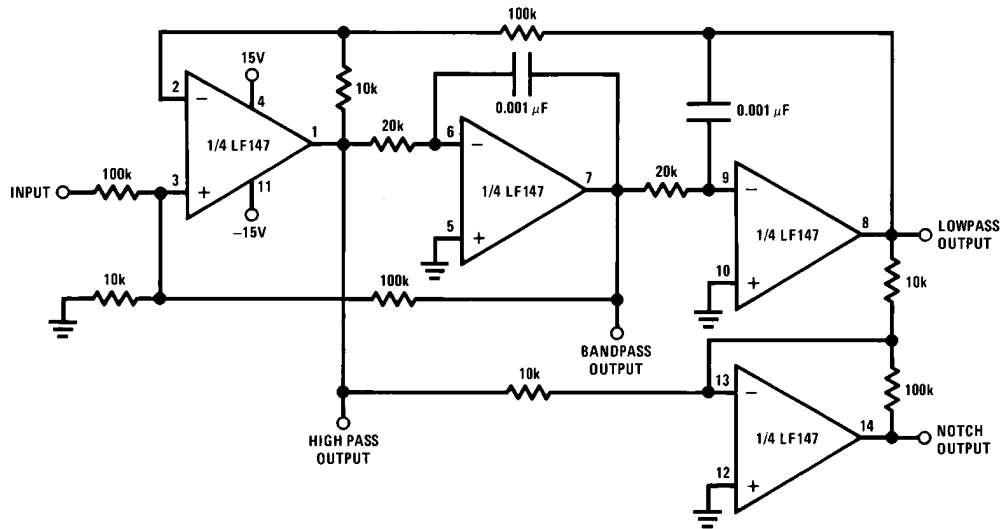
- V_{OUT} starts from zero and is equal to the integral of the input voltage with respect to the threshold voltage:

$$V_{OUT} = \frac{1}{RC} \int_0^t (V_{IN} - V_{TH}) dt$$

- Output starts when $V_{IN} \geq V_{TH}$
- Switch S1 permits stopping and holding any output value
- Switch S2 resets system to zero

Typical Applications (Continued)

Universal State Variable Filter



00564712

For circuit shown:

$f_o=3$ kHz, $f_{NOTCH}=9.5$ kHz

$Q=3.4$

Passband gain:

Highpass — 0.1

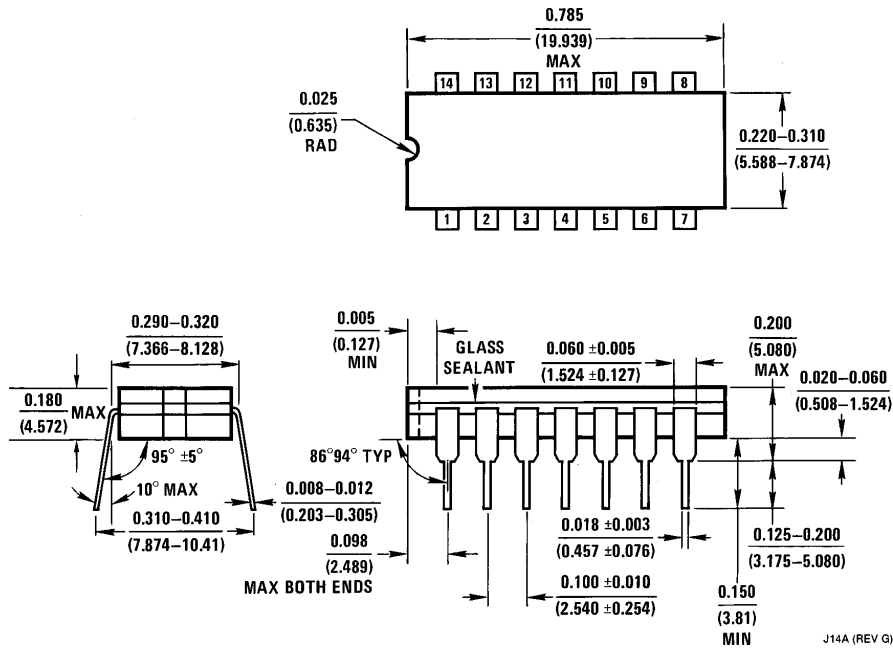
Bandpass — 1

Lowpass — 1

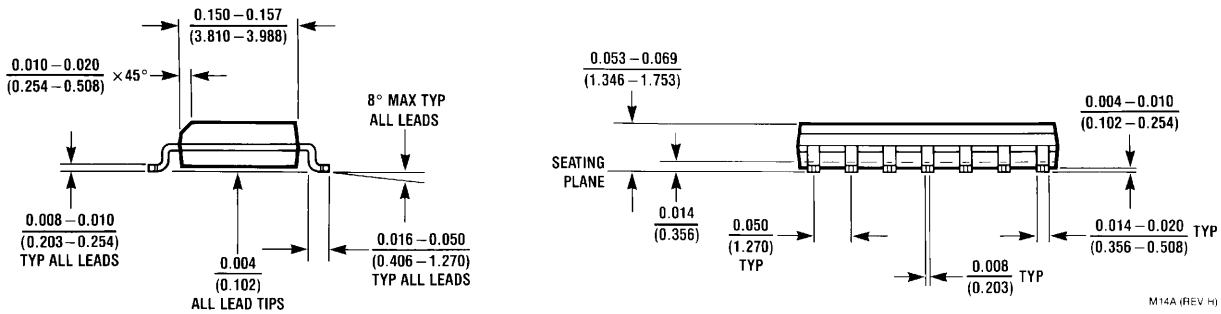
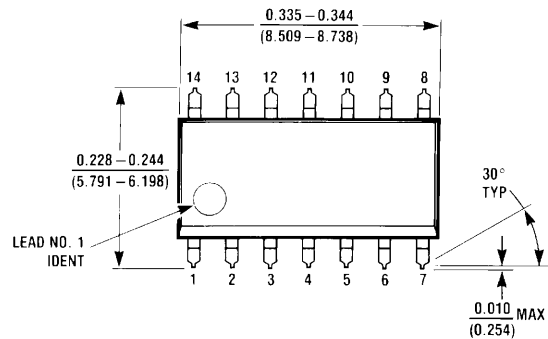
Notch — 10

- $f_o \times Q \leq 200$ kHz
- 10V peak sinusoidal output swing without slew limiting to 200 kHz
- See LM148 data sheet for design equations

Physical Dimensions inches (millimeters) unless otherwise noted

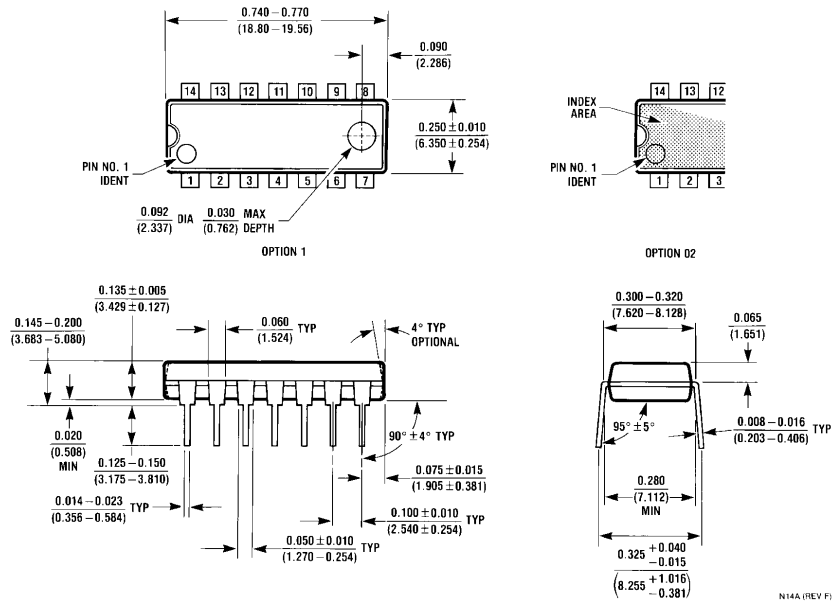


Ceramic Dual-In-Line Package (J)
 Order Number LF147J, LM147J-SMD or LF147J/883
 NS Package Number J14A



S.O. Package (M)
 Order Number LF347M or LF347MX
 NS Package Number M14A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package (N)
Order Number LF347BN or LF347N
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

BANNED SUBSTANCE COMPLIANCE

National Semiconductor certifies that the products and packing materials meet the provisions of the Customer Products Stewardship Specification (CSP-9-111C2) and the Banned Substances and Materials of Interest Specification (CSP-9-111S2) and contain no "Banned Substances" as defined in CSP-9-111S2.



National Semiconductor
Americas Customer Support Center
 Email: new.feedback@nsc.com
 Tel: 1-800-272-9959

National Semiconductor
Europe Customer Support Center
 Fax: +49 (0) 180-530 85 86
 Email: europe.support@nsc.com
 Deutsch Tel: +49 (0) 69 9508 6208
 English Tel: +44 (0) 870 24 0 2171
 Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer Support Center
 Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
 Fax: 81-3-5639-7507
 Email: jpn.feedback@nsc.com
 Tel: 81-3-5639-7560

www.national.com