

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITE MOULOU D MAMMERI DE TIZI-OUZOU



FACULTE DU GENIE ELECTRIQUE ET D'INFORMATIQUE
DEPARTEMENT D'AUTOMATIQUE

Mémoire de Fin d'Etudes de MASTER ACADEMIQUE

Domaine : Sciences et Technologies

Filière : Génie électrique

Spécialité : **Génie Microélectronique**

Présenté par
Belkacem ARIB

Thème

La Technologie SOI (Silicon On Insulator) « SOI DG MOSFET »

Mémoire soutenu publiquement le 18/07/2016 Devant le jury composé de :

Mr Hocine KANANE	MCA	UMMTO	Président
Mr Takfarinas CHELLI	MAA	UMMTO	Examineur
Mr Ahcène LAKHLEF	MCA	UMMTO	Examineur
Mr Arezki BENFDILA	Professeur	UMMTO	Promoteur

Nom: ARIB
Prénom: BELKACEM

Master académique, Spécialité Génie Microélectronique
Mémoire de fin d'étude soutenu le Mardi 19/07/2016.
Encadré par Mr Arezki BENFDILA.

RESUMÉ

Le transistor MOSFET a évolué à grande vitesse ces dernières décennies grâce à l'industrie de la microélectronique qui a su faire évoluer ce dispositif ainsi que les circuits dans lesquelles ce dernier est intégré. La réduction de la taille des circuits a entraîné la diminution physique du transistor qui n'est pas sans conséquence sur son fonctionnement rendant l'utilisation des transistors sur substrat massifs inopérants au-dessous du nœud 50nm. Avec la réduction considérable de la longueur du canal, la taille des transistors se rapproche de quelques dizaines de nanomètres et les lois générales de la physique généralement utilisées pour décrire son fonctionnement sont remises en cause car elles ne peuvent plus expliquer l'apparition de nouveaux phénomènes physiques tels que les effets SCE. C'est ainsi que furent mise en jeu de nouvelles technologies et structures permettant de minimiser ces effets indésirables dû à la miniaturisation des dispositifs. En ce qui nous concerne nous avons jugé plus approprié de poursuivre l'étude d'une structure nanométrique comportant deux grilles au lieu d'une structure conventionnelle. Cette structure permettant un double contrôle du canal est la structure DGMOSFET SOI.

REMERCIEMENTS

Tout d'abord, je tiens à remercier mon encadreur, responsable de la spécialité Génie Micro et nano Électronique, Mr Arezki.BENFDILA, pour m'avoir offert l'opportunité d'effectuer ce projet de fin d'étude, pour l'aide et les conseils très précieux qui m'ont hissé dans le domaine de la microélectronique.

Ensuite, un grand merci à Mr Ahcène LAKHLEF et à Mr GOUDJIL, Mr MAIDI, Mr KANANE et tous les enseignants qui m'ont encadré et qui ont su me pousser de l'avant. J'ai beaucoup profité de leur rigueur scientifique et de leur sérieux. Leur expérience dans le domaine de l'électronique, particulièrement dans le domaine de la microélectronique, m'a permis de m'investir avec détermination dans ce travail de thèse. Leurs compétences ont été indispensables à son bon déroulement.

Je remercie également les membres du jury qui ont accepté aimablement d'examiner et de juger mon travail, je leur fais honneur de respect.

Mes remerciements s'adressent aussi à mes collègues du laboratoire GRMNT microélectronique, Lounes BELHIMER, Mohand KESSI, Mohand DJOUDER, pour toute aide de leur part et aussi le soutien moral incessant qui nous a motivés et fournir plus d'efforts. Mes remerciements vont aussi à mes deux meilleurs amis Mohamed BELMADI et Toufik AKBAL.

Avant de conclure, j'aimerais réitérer ma gratitude à Mr Arezki BENFDILA et Mr Ahcène LAKHLEF, pour leur grande patience, leurs conseils et leur disponibilité à toute épreuve. Leurs remarquables compétences ont rendu ces travaux de recherche particulièrement enrichissants. Je les remercie également pour la confiance qu'ils m'ont accordée tout au long de ces deux années.

DÉDICACES

Je dédie ce modeste travail à :

- Mes parents.
- Mes deux frères.
- Ma belle sœur.
- Toute ma famille.
- Tous mes collègues et mes amis.

SOMMAIRE GENERAL

SOMMAIRE GÉNÉRAL	iv
LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS	vii
LISTE DES TABLEAUX.....	ix
LISTE DES FIGURES.....	x
INTRODUCTION GÉNÉRALE	1

CHAPITRE. I _____ LE TRANSISTOR MOSFET

I.1	Enjeux et challenges du transistor MOSFET	3
I.2	Structure Métal-Oxyde -Semi-conducteur ‘MOS’	5
I.3	Description du transistor MOSFET	6
I.3.1	Différents Types de transistors MOSFET.....	6
I.3.2	Conditions de conduction du transistor MOSFET	7
I.3.3	Principe de fonctionnement des transistors à effet de champ ‘MOSFETs’	7
I.4	Diagramme des bandes d’énergie du transistor MOSFET	9
I.4.1	Régimes de fonctionnement du transistor MOSFET.....	10
I.4.1.1	Régime de bandes plates	11
I.4.1.2	Régime d’accumulation	12
I.4.1.3	Régime de déplétion ou de désertion	12
I.4.1.4	Régime d’inversion faible.....	12
I.4.1.5	Régime d’inversion forte.....	13
I.5	Caractéristiques I / V du transistor MOSFET	13
I.6	Paramètres électriques du transistor MOSFET	16
I.6.1	Tension de seuil V_{TH} du transistor MOSFET.....	16
I.6.2	Tension de bande plate V_{FB} (Flat-Band)	16
I.6.3	La pente sous seuil « S »	17
I.6.4	Le courant I_{OFF} et I_{ON}	17
I.6.5	La capacité MOS	18
I.6.6	Le courant de drain dans le transistor MOS	20
I.6.7	La transconductance du transistor MOS	23
I.7	Les avantages et inconvénients des transistors MOSFET	23
I.7.1	Les avantages des transistors MOSFET.....	23
I.7.2	Les inconvénients des transistors MOSFET	23
I.8	La miniaturisation, l’effet de réduction de géométrie et ses limites	23
Conclusion.....		24

CHAPITRE. II _____ LA TECHNOLOGIE CMOS AVANCÉE

II.1	Enjeux et challenges de la technologie CMOS-----	25
II.2	La technologie CMOS -----	27
II.3	Les effets parasites associés à la réduction d'échelle-----	27
II.3.1	SCE « Short Channel Effect » effet canal court-----	28
II.3.1.1	Partage de charge CS -----	29
II.3.1.2	L'effet DIBL « Drain Induced Barrier Lowering » -----	30
II.3.2	Déplétion de grille-----	31
II.3.3	Problèmes liés aux dopages -----	31
II.3.4	Problèmes liés aux faibles épaisseurs d'oxyde -----	32
II.3.5	Effets de « Latch-up »-----	32
II.3.6	Effets de porteurs chauds-----	33
II.3.7	Pente sous le seuil -----	33
II.3.8	Les aspects extrinsèques-----	34
II.3.8.1	Les résistances Source/Drain (Résistances Séries) -----	34
II.3.8.2	La capacité extrinsèque-----	35
II.3.9	Les phénomènes quantiques dans le canal-----	35
II.3.10	Les effets de la géométrie du transistor sur la tension de seuil -----	36
II.4	Notions de transport dans les transistors MOSFET courts-----	37
II.4.1	Mobilité et vitesse de saturation-----	38
II.4.2	Le transport balistique ou quasi-balistique-----	39
II.5	Les solutions technologiques pour améliorer les performances des MOSFETs -----	41
II.5.1	Les architectures visant à optimiser le contrôle électrostatique-----	41
	Conclusion-----	43

CHAPITRE. III _____ LA TECHNOLOGIE SOI (Silicon On Insulator) "SOI DG MOSFET"

III.1	Enjeux et challenges de la technologie « SOI » -----	44
III.2	La technologie « SOI »-----	46
III.3	Les avantages essentiels des circuits « SOI »-----	47
III.3.1	Diminution des effets parasites -----	47
III.3.2	Amélioration du contrôle de la grille sur la charge de déplétion -----	47
III.3.3	Amélioration de la pente sous le seuil -----	48
III.3.4	Autres avantages de cette technologie -----	49
III.4	Le fonctionnement du transistor MOSFET sur SOI -----	49
III.4.1	Le transistor partiellement déplété PD-SOI-----	49
III.4.1.1	Fonctionnement du transistor : effets du substrat flottant -----	49
III.4.1.1.a	Influence des courants internes -----	59
III.4.1.1.b	Influence du coulage capacitif -----	51
III.4.1.2	Avantages de la technologie PD-SOI -----	52
III.4.1.2.a	Performances -----	52
III.4.1.2.b	Effet Latch-up -----	52
III.4.1.3	Inconvénients de la technologie PD-SOI -----	53
III.4.1.3.a	Effet mémoire -----	53
III.4.1.3.b	Consommation statique accrue -----	54
III.4.1.3.c	Auto-échauffement -----	54
III.4.2	Le transistor complètement déplété FD-SOI -----	55
III.4.2.1	Paramètres électriques du MOS FD-SOI -----	56
III.4.2.2	Courant de fuites à travers la grille -----	57
III.4.2.3	Contrôle électrostatique accrue -----	58
III.5	Les Inconvénients majeurs de la technologie « SOI » -----	58
III.6	Les architectures alternatives à multi-grilles -----	59
III.6.1	La technologie MOSFET double grille DG MOSFET -----	61
III.4.1.1.a	Transistor MOS DG planaire -----	61
III.4.1.1.b	Transistor MOS DG quasi-planaire -----	62
III.4.1.1.b	Transistor MOS DG verticale -----	63
III.6.2	Le transistor MOS triple grille et le triple ⁺ grille -----	63
III.6.3	Le transistor MOS quadruple grille -----	64
	Conclusion -----	64
	CONCLUSION GÉNÉRALE -----	65
	REFERENCES BIBLIOGRAPHIQUES -----	66

LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS

Significations	Constantes	Unités
Constante diélectrique du silicium	ϵ_{Si}	Fm ⁻¹
Constante diélectrique de l'oxyde	ϵ_{ox}	Fm ⁻¹
Charge élémentaire	$e = 1,6 \cdot 10^{-19}$	C
Constante de Boltzmann	$k = 1,38 \cdot 10^{-23}$	J · K ⁻¹

Significations	Symboles	Unités
Paramètres du silicium		
Niveau d'énergie de la bande de conduction	E_c	eV
Niveau d'énergie de la bande de valence	E_v	eV
Niveau de Fermi intrinsèque	E_i	eV
Niveaux de Fermi du métal	E_{fm}	eV
Niveaux de Fermi du silicium de type p	E_{fp}	eV
Niveaux de Fermi du silicium de type n	E_{fn}	eV
Concentration intrinsèque des porteurs dans le silicium	n_i	cm ⁻³

Paramètres géométriques et technologiques des transistors MOS

Longueur de la grille	L_g	m
Longueur du canal	L	m
Largeur du canal	W	m
Profondeur de jonction du MOSFET bulk	X_j	m
Epaisseur d'oxyde au-dessus du film de silicium	t_{ox1}	m
Epaisseur d'oxyde en dessous du film de silicium	t_{ox2}	m
Epaisseur de la grille	t_g	m
Epaisseur du film de silicium	t_{si}	m
Longueur de diffusion latérale	L_d	m
Longueur de recouvrement	L_{ov}	m
Température	T	K
Dopage du substrat	N_A	cm ⁻³
Dopage de la source et du drain	N_D	cm ⁻³

Paramètres électriques des transistors MOS

Tension thermodynamique	U_T	V
Tension d'alimentation	V_{DD}	V
Tension de bandes plates	V_{FB}	V
Polarisation de la grille	V_g	V
Polarisation du drain	V_d	V
Polarisation de la source	V_s	V
Polarisation du substrat pour le MOSFET bulk	V_b	V
Différence des travaux de sortie entre la grille et le silicium	$\Delta\Phi_{ms}$	V
Potentiel de Fermi	Φ_F	V
Potentiel de surface	Ψ_S	V
Potentiel au centre du film de silicium	Ψ_C	V
Tension de seuil pour un transistor canal long	V_{to}	V
Tension de seuil pour un transistor canal court	V_{th}	V
Courant de drain	I_d	A
Mobilité des porteurs à champ faible	μ_0	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
Mobilité effective des porteurs	μ_{eff}	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
Capacité de l'oxyde sur une grille	C_{ox1}	F
Capacité d'oxyde totale	C_{OX}	F
Capacité extrinsèque	C_{ext}	F
Capacité de bord interne	C_{if}	F
Capacité de bord externe	C_{of}	F
Capacité de recouvrement	C_{ov}	F
Pente sous le seuil	SS	mV / déc
Facteur de substrat	n	

Paramètres électriques du modèle

Champ critique	E_0	$\text{V} \cdot \text{cm}^{-1}$
Vitesse de saturation des porteurs	v_{sat}	$\text{cm} \cdot \text{s}^{-1}$
Mobilité des porteurs à champ faible	μ_0	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
Paramètre d'ajustement du modèle de capacité de recouvrement		$\lambda \cdot \text{V}^{-1}$
Paramètre d'ajustement du modèle pour les effets canaux courts		σ

Grandeurs électriques normalisées

Densité de charge d'inversion normalisée	q_m
Polarisation de la grille normalisée	v_g
Polarisation du drain normalisée	v_d
Polarisation de la source normalisée	v_s
Potentiel de Fermi normalisé	ϕ_f
Tension de seuil pour un transistor canal long normalisée	v_{to}
Tension de seuil pour un transistor canal court normalisée	v_{th}
Courant de drain normalisé	i_{ext}
Capacité de bord interne normalisée	c_{if}
Capacité de bord externe normalisée	c_{of}
Capacité de recouvrement normalisée	C_{ov}

Abréviations significations

ADG	Transistor MOS SOI double-grille en mode de fonctionnement asymétrique
DG	Transistor MOS SOI double-grille.
DIBL	« Drain Induced Barrier Lowering » : Abaissement de la barrière de potentiel induit par le drain.
FDSOI	Transistor MOS SOI entièrement déplété.
GAA	Transistor MOS SOI à grille enrobante.
ITRS	« International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs.
MEB	Microscope électronique à balayage.
MOS	Métal-Oxyde-Semi-conducteur.
MOSFET	« MOS Field Effect Transistor » : Transistor à effet de champ MOS.
PDSOI	Transistor MOS SOI partiellement déplété.
QG	Transistor MOS SOI quadruple-grille.
CS	« Charge sharing » : Partage de charge.
SCE	« Short-Channel Effects » : Effect canaux courts.
SDG	Transistor MOS SOI double-grille en mode de fonctionnement symétrique.
SOI	« Silicon On Insulator » : Silicium sur isolant.
SG	Transistor MOS SOI à une grille.
TEM	Microscopie par transmission électronique.
TG	Transistor MOS SOI triple-grille.
TMOS	Transistor Métal-Oxyde-Semi-conducteur.

LISTE DES TABLEAUX

		PAGE
<i>Table I.1</i>	<i>Conditions de conduction du transistor MOSFET.</i>	7

LISTE DES FIGURES

Chapitre I

	PAGE
Figure I.1	Symbole sur schéma électrique du transistor MOS de type N. 5
Figure I.2	Vue en coupe : Structure Interne du transistor MOS. 5
Figure I.3	Vue en coupe : Structure Interne du transistor MOS. 5
Figure I.4	Schéma simplifié représentant un transistor MOS à effet de champ de type n (nMOSFET). 6
Figure I.5	Types fondamentaux de transistors MOSFETs et symboles. a) MOSFET de type n / b) MOSFET de type p. 7
Figure I.6	Effet de champ dans le transistor MOSFET. 8
Figure I.7	Exemple de structure de bande sur nMOS. a) Configuration NPN et obtention d'une barrière énergétique dans la zone P entre les 2 zones N. b) Capacité MOS constituée par la grille, l'oxyde et le canal. 8
Figure I.8	Caractéristique de sortie $I_D(V_G)$ idéale (en trait gras) et réelle (en trait fin) d'un transistor nMOSFET. 9
Figure I.9	a/ Diagramme de bandes du transistor MOS à canal n faisant apparaître les quasi-niveaux de fermi $\Phi_c = -V_{BS}$ a la source $\Phi_c = V_{DS} - V_{BS}$ au drain. V_{DS} est la tension appliquée entre le drain et la source, et V_{BS} la tension appliquée entre le substrat et la source. b/ Coupe d'un transistor MOS à canal n 10
Figure I.10	Description schématique des différents états de fonctionnement d'un transistor nMOS. La première ligne est une représentation schématique du MOS. La seconde représente une coupe longitudinale de l'énergie le long du canal, et la dernière représente l'énergie suivant une coupe transverse au canal dans les régions Métal, Oxyde et Semi-conducteur. 11
Figure I.11	Schéma des bandes en régime de bande plates. Définition de la tension de bande plate (V_{FB}). $V_G = V_{FB}$ 11
Figure I.12	Schéma des bandes d'énergie en régime d'accumulation. 12
Figure I.13	Schéma des bandes d'énergie en régime de déplétion ou de désertion. 12
Figure I.14	Schéma des bandes d'énergie en régime de faible inversion. 13
Figure I.15	Schéma des bandes d'énergie en régime de forte inversion. 13
Figure I.16	Réseaux de caractéristiques du MOSFET sur substrat type P. 14
Figure I.17	Caractéristiques de sortie et de transfert du transistor MOSFET. 15
Figure I.18	a) Caractéristiques $I_D(V_{GS})$ a $V_{DS} = V_{DD}$ typique d'un NMOS. ($I_{ON} G_m V_{TH}$ sont indiqués) b) Caractéristiques $\log [I_D(V_{GS})]$ a $V_{DS} = V_{DD}$ typique d'un NMOS. ($I_{ON} I_{OFF} S$ sont indiqués) 17
Figure I.19	La capacité électrique équivalente de la structure MOS. 19
Figure I.20	La capacité équivalente de la structure MOS avec $C_{sc} = C_{acc} + C_{dep} + C_{inv}$. 19
Figure I.21	Les capacités parasites associées au transistor MOSFET. 19
Figure I.22	Caractéristique $I_d - V_g$ en régime ohmique schématisée en échelle logarithmique. 20
Figure I.23	Caractéristique $I_d - V_g$ en régime non-ohmique (régime linéaire) schématisée en échelle logarithmique. 21
Figure I.24	Caractéristique $I_d - V_d$ en régime saturé. a) Courant de drain en régime saturé de la forte inversion. b) Caractéristique $I_d - V_d$ en forte inversion schématisée. 22

Chapitre II

	PAGE	
Figure II.1	a/ Vue en coupe d'un transistor nMOS montrant le partage des charges de déplétion (régions colorées). b/ Impact des effets SCE et DIBL sur les caractéristiques électriques d'un nMOSFET.	28
Figure II.2	Abaissement de la barrière de potentiel dans le canal dû à l'effet successif de la réduction des dimensions du transistor (SCE) et de la polarisation du drain (DIBL).	28
Figure II.3	Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (Gauche) et à canal court (Droite).	28
Figure II.4	a/ Structure d'un transistor MOSFET à canal long. b/ Structure d'un transistor MOSFET à canal court. Dans « b », les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées (W_{SC} et W_{DC}).	29
Figure II.5	Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS.	29
Figure II.6	a/ Illustration de l'effet de la réduction de la longueur de grille sur la barrière de potentiel. b/ Illustration de l'effet de la réduction de la longueur de grille sur la tension de seuil. c/ Comparaison entre MOSFET canal long (Gauche) et MOSFET canal court (Droite) à tension $V_{DS}=0$ et à $V_{DS}>0$.	30
Figure II.7	Influence de l'effet du DIBL sur la caractéristique $I_D - V_{GS}$ du transistor MOS.	31
Figure II.8	Vue en microscopie électronique à transmission (TEM) à haute résolution d'un empilement polysilicium/SiO ₂ /Si avec une épaisseur TOX de SiO ₂ égale à 0,8nm. Empilement polysilicium/HfO ₂ /Si Les points sur l'image correspondent aux nuages électroniques d'atomes.	32
Figure II.9	Illustration de l'effet Latch-up sur un inverseur CMOS sur substrat massif.	33
Figure II.10	Diagramme illustrant les mécanismes d'ionisation par impact dans un MOSFET.	33
Figure II.11	Schéma d'une structure de transistor MOS bulk mettant en évidence les aspects extrinsèques.	34
Figure II.12	Illustration des différentes résistances vues entre le drain et la source.	35
Figure II.13	Schéma illustrant les différentes composantes de la capacité extrinsèque du transistor MOS bulk.	35
Figure II.14	Partage de la charge de déplétion entre grille, source et drain.	36
Figure II.15	Evolution de la tension de seuil théorique en fonction de la longueur de canal selon le modèle de Yau.	37
Figure II.16	Evolution de la vitesse des électrons avec le champ électrique longitudinal $E_{//}$.	38
Figure II.17	Illustration de la limite balistique (la valeur maximale que le courant peut atteindre).	39
Figure II.18	Représentation schématique du profil de la bande de conduction proche de la source du MOSFET illustrant le coefficient de rétrodiffusion des porteurs injectés à la vitesse v_{inj} .	40
Figure II.19	Compromis ION/IOFF, longueur de grille et tension d'alimentation VDD pour les transistors nMOS haute performance (HP), opérant à faible puissance (LOP) et à faible puissance de veille (LSTP).	41
Figure II.20	Coupe longitudinale schématique de l'état de l'art du transistor MOSFET en technologie « bulk ».	42

Chapitre III		PAGE
Figure III.1	Coupe schématique de transistors MOSFET.	46
Figure III.2	Représentation schématique d'un transistor SOI. a/ Entièrement déplété FDSOI. b/ Partiellement déplété PDSOI.	46
Figure III.3	Distribution de la charge de déplétion pour le MOSFET bulk et le SOI.	47
Figure III.4	Circuit capacitif équivalent. a/ d'un MOSFET bulk. b/ d'un MOSFET SOI.	48
Figure III.5	Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante.	48
Figure III.6	Représentation schématique de transistors MOS. a/ D'un MOSFET sur substrat massif « bulk ». b/ D'un MOSFET SOI partiellement déserté « PD-SOI ». c/ D'un MOSFET SOI totalement déserté « FD-SOI ».	49
Figure III.7	Modèle électrique du transistor PD-SOI a body flottant.	50
Figure III.8	Vues en coupe d'un transistor NMOS. a/ Courants internes impliqués dans l'effet substrat. b/ Mécanisme d'ionisation par impact.	50
Figure III.9	Illustration de l'effet kink dans la caractéristique I-V d'un transistor FB.	51
Figure III.10	a/ Réseau capacitif d'un transistor NMOS vue de profil. b/ Influence du réseau capacitif sur le potentiel de body du transistor NMOS d'un inverseur.	51
Figure III.11	Vue en coupe d'un inverseur CMOS dont les transistors sont électriquement isolés entre eux, ce qui immunise le circuit contre le phénomène de latch-up.	52
Figure III.12	Illustration de l'effet mémoire sur un inverseur à 25°C ayant une pente d'entrée de 250ps, une charge à 5fF ($1F=10^{-15}fF$) et une période de 2.5ns.	53
Figure III.13	Illustration du courant GIDL qui s'intensifie pour une V_g fortement négative.	54
Figure III.14	Caractéristique I(V) d'un transistor HVT à 25°C avec et sans prise en compte de l'auto-échauffement.	55
Figure III.15	Représentation schématique d'un transistor MOS FDSOI.	55
Figure III.16	Énergie de consommation vs la tension d'alimentation pour des portes logiques CMOS pour SOI et Bulk.	56
Figure III.17	Illustration du phénomène de partage de courant de grilles. a/ Schématiquement. b/ avec les courbes de courant.	57
Figure III.18	a/ Évolution du V_T en fonction de L_G quand $V_D=0,05V$ et $V_D=1V$. b/ Comparaison des valeurs de DIBL obtenues en FDSOI, en bulk (et en FinFET).	58
Figure III.19	Influence électrostatique sur le SOI à une grille.	59
Figure III.20	Evolution (en recherche) de la technologie SOI au fil des années.	60
Figure III.21	Les différentes structures multi-grilles : SOI double-grille, SOI triple-grille, SOI quadruple-grille/Surrounding-gate, et grille en forme Π ou Ω .	60
Figure III.22	Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET).	60
Figure III.23	Orientation du transport électronique et effet de champ sur le MOSFET double grille planaire.	61
Figure III.24	Image au MEB (microscope électronique à balayage) d'une coupe de transistor MOS double-grille. a/ non-auto-alignée. b/ auto-alignée.	62
Figure III.25	Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire.	62
Figure III.26	Schéma d'une structure de FinFET quasi-planaire.	62
Figure III.27	Images de FinFET : a/ Image au MEB d'une vue de dessus d'un FinFET. b/ Image au MEB d'une coupe perpendiculaire au flux des porteurs d'un FinFET. L'encart montre une image en TEM de « l'aileron » et de l'oxyde de grille.	63
Figure III.28	Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire.	63
Figure III.29	Image au MEB d'un transistor vertical à grille enrobante ($L_g = 100nm$).	63
Figure III.30	L'extension des grilles conduisant aux structures Π et Ω SOI MOSFETs.	64

INTRODUCTION GÉNÉRALE

A l'heure où la microélectronique ne s'est jamais autant interrogé qu'au jour d'aujourd'hui sur son avenir et sur les frontières de la miniaturisation qu'elle n'a cessé de repousser depuis une quarantaine d'années, les micro et nanotechnologies sont aujourd'hui présentes dans tout les domaines. Les circuits électroniques ont acquis une valeur d'une importance considérable dans le domaine technique et industriel mais aussi, de part de leurs poids, dans l'économie mondiale. Cette évolution repose sur la filière silicium avec comme figure de proue le transistor à effet de champ à grille isolée dit MOSFET (Metal Oxide Semiconductor Field Effect Transistor) combiné à la technologie CMOS (Complementary Metal Oxide Semiconductor) [1]. À partir du milieu des années 70, avec l'avènement des microprocesseurs et de la micro-informatique, le nombre de MOSFET par puce n'a pas cessé de croître. Cette croissance s'est faite grâce à la diminution des dimensions des transistors et notamment la longueur de la grille L_G . Concrètement, les progrès technologiques ne permettront de multiplier la densité d'intégration par deux que tous les dix-huit mois. Cette évolution appelée « loi de Moore » régit aujourd'hui la ligne directrice des objectifs, soit plus généralement, la feuille de route – connue sous le terme roadmap– des différentes industries de la microélectronique [2].

La croissance rapide de l'industrie de l'électronique s'est basée sur l'évolution de la technologie des circuits intégrés en termes de performances (fréquence d'horloge notamment) et de coût par fonction. Toutefois, après quasiment une vingtaine d'années de course effrénée vers la réduction des dimensions des composants électroniques, les problèmes ne se limitent plus aux seules difficultés de réalisation. En effet avec la miniaturisation, nous assistons à l'apparition de phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS [2]. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain donnant naissance au phénomène dit DIBL (drain induced barrier leakage), les effets canaux courts dits SCE (short channel affect), les phénomènes de nature quantique, le courant tunnel de grille, la fluctuation aléatoire des dopants, etc.

Ces phénomènes sont hélas devenus inévitables lorsque les dimensions des dispositifs sont réduites de manière drastique et rendent la miniaturisation difficile voire impossible. Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, paraît une solution de choix pour l'avenir de la microélectronique. Il semble acquis que les transistors intégrant une seconde grille tels que le transistor double-grille SOI et le FinFET soient en phase de devenir des solutions indispensables à la conception de circuits micro et nanoélectroniques. Grâce à leurs structures, ces dispositifs offrent non seulement un courant plus important, mais également un meilleur contrôle du canal lorsque leurs dimensions sont fortement réduites, en comparaison avec le MOSFET bulk. Ces nouvelles structures permettant de réduire ces effets canaux courts et doivent être capables de décrire le plus exactement possible le comportement électrique (statique et dynamique) de ces dispositifs. Permettant ainsi d'élaborer ensuite au mieux les circuits intégrés [1] [3].

Depuis quelques années, nous voyons apparaître quelques modèles compacts de transistor MOS double-grille. Ces modèles sont plus ou moins performants, plus ou moins « lisibles » par le concepteur sur le plan technologique, et plus ou moins adaptés à la conception de circuits intégrés. Cela se traduit par une efficacité plus ou moins grande ; par efficacité, nous entendons : résultats de simulation, domaine de validité, efficacité numérique, bon modèle dynamique (s'il existe) [2].

Dans ce travail, je me suis intéressé à l'étude du transistor MOSFET nanométrique. On aurait pu viser par cette étude un transistor sur bulk nanométrique, cependant les transistors conventionnels voient leurs performances se dégrader au-dessous du nœud 50nm les rendant pratiquement inopérant. C'est pour cette raison que nous avons opté dans cette étude pour une variante de transistors à multi grilles soit la technologie SOI double-grille. Ce travail s'inscrit dans l'étude portant sur la technologie SOI double grille du transistor MOSFET et vise des solutions possibles aux contraintes rencontrées dans les transistors conventionnels tels que les dimensions géométriques des structures, position des contacts source et drain entre autre ses performances en terme de courant et aussi compléter cette étude en examinant certains effets indésirables altérant son fonctionnement. Ainsi cette étude élaborée a fait l'objet de trois chapitres :

Dans le chapitre 1, nous présenterons brièvement le transistor MOSFET ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes.

Dans le second chapitre je présenterais la technologie CMOS avancée qui vient compléter le premier chapitre.

Enfin le troisième chapitre sera consacré à la présentation de la technologie SOI et les structures MOSFET à double grille qui seront bien des solutions assez satisfaisantes pour pouvoir pousser la barre des dimensions à sa limite finale sans avoir à faire face aux différents problèmes qu'on verra dans le premier chapitre.

Références

[1] Birahim DIAGNE « Etude et modélisation compacte d'un transistor MOS SOI double grille dédié a la conception », Université Louis Pasteur-Strasbourg I, France, 16 Novembre 2007.

[2] Delphine AIME « Modulation du travail de sortie de grilles métalliques totalement siliciurées pour des dispositifs CMOS DECA-NANOMETRIQUES », INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, France, 2007.

[3] Abdelazziz KEBIB « Etude et simulations d'un transistor MOS vertical », Université Abou-Bekr Belkkaïd-Tlemcen, Algérie, Janvier 2013.

Chapitre 1

I.1. ENJEUX ET CHALLENGES DU TRANSISTOR MOSFET

Le transistor MOS, tirant son appellation de sa structure verticale (Métal/Oxyde/Semi-conducteur), est aujourd'hui la brique élémentaire des circuits intégrés constituant la plupart des dispositifs microélectroniques qui nous entourent. Aussi appelé transistor à effet de champ, MOSFET (*MOS Field Effect Transistor*), son principe de base fut énoncé pour la première fois dans les années 1920s par J. E. Lilienfeld, mais il fallut attendre 1960 pour en voir la première réalisation. L'échec des nombreuses tentatives provenait à l'époque de la difficulté à contrôler l'état d'interface entre l'isolant et le semi-conducteur du canal. C'est dans les années 1960's, avec l'utilisation de l'oxyde de silicium (SiO_2), que les technologies CMOS (*Complementary MOS*) et planaires imposèrent le transistor MOS comme l'élément incontournable de la microélectronique [1] [2].

Ce premier chapitre présente, en effet, le transistor MOS (Métal-Oxyde-Semi-conducteur) à effet de champ (FET) qui a atteint aujourd'hui des dimensions nanométriques. Nous introduisons ce transistor MOS et nous verrons aussi qu'avec la diminution des dimensions, des effets parasites négligeables jusqu'à présent sont apparus. Pour pouvoir poursuivre cette miniaturisation sur les prochaines générations de transistor, il convient de développer de nouvelles architectures et introduire de nouveaux matériaux. C'est sur cet aspect, plus spécifique à l'objet de ce travail, que nous nous sommes focalisés avec l'introduction de la grille métallique et des diélectriques à haute permittivité (*high-k*) [2].

CHAPITRE. I _____ LE TRANSISTOR MOSFET

I.1 Enjeux et challenges du transistor MOSFET ----- 3

I.2 Structure Métal-Oxyde -Semi-conducteur ‘MOS’ ----- 5

I.3 Description du transistor MOSFET ----- 6

 I.3.1 Différents Types de transistors MOSFET----- 6

 I.3.2 Conditions de conduction du transistor MOSFET ----- 7

 I.3.3 Principe de fonctionnement des transistors à effet de champ ‘MOSFETs’ ----- 7

I.4 Diagramme des bandes d’énergie du transistor MOSFET ----- 9

 I.4.1 Régimes de fonctionnement du transistor MOSFET----- 10

 I.4.1.1 Régime de bandes plates ----- 11

 I.4.1.2 Régime d’accumulation ----- 12

 I.4.1.3 Régime de déplétion ou de désertion ----- 12

 I.4.1.4 Régime d’inversion faible----- 12

 I.4.1.5 Régime d’inversion forte----- 13

I.5 Caractéristiques I / V du transistor MOSFET ----- 13

I.6 Paramètres électriques du transistor MOSFET ----- 16

 I.6.1 Tension de seuil V_{TH} du transistor MOSFET----- 16

 I.6.2 Tension de bande plate V_{FB} (Flat-Band) ----- 16

 I.6.3 La pente sous seuil « S » ----- 17

 I.6.4 Le courant I_{OFF} et I_{ON} ----- 17

 I.6.5 La capacité MOS ----- 18

 I.6.6 Le courant de drain dans le transistor MOS ----- 20

 I.6.7 La transconductance du transistor MOS ----- 23

I.7 Les avantages et inconvénients des transistors MOSFET ----- 23

 I.7.1 Les avantages des transistors MOSFET----- 23

 I.7.2 Les inconvénients des transistors MOSFET ----- 23

I.8 La miniaturisation, l’effet de réduction de géométrie et ses limites ----- 23

Conclusion----- 24

I.2. Structure Métal-Oxyde -Semi-conducteur

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor), en français transistor à effet de champ est un composant actif, comme le transistor bipolaire, ou la diode, à base de silicium. Il existe le NMOS (équivalent au transistor bipolaire NPN), et son symbole est représenté sur la figure I.1 [1].

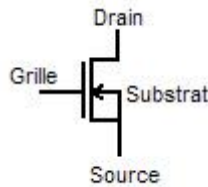


Figure I.1 Symbole sur schéma électrique du transistor MOS de type N.

Le transistor MOS possède 4 pattes (électrodes). Le substrat est accessible sur certains boîtiers, mais en général il est relié à la source du transistor. Voici la structure interne dans la figure I.2 qui représente une vue en coupe, d'un transistor MOS. La partie en jaune est un isolant de SiO₂ (du verre). Cette couche d'isolant est sensible: c'est elle qui cause souvent la destruction du transistor, en cas de décharge électrostatique sur la grille par exemple [1] [2].

On remarque sur cette coupe, tout l'intérêt à placer le substrat au potentiel le plus bas du circuit: en effet, la source, le substrat et le drain du MOS forment un transistor bipolaire NPN. Il ne faut en aucun cas que ce transistor bipolaire parasite soit passant [2].

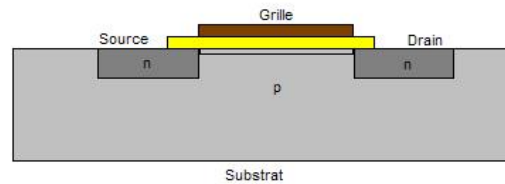


Figure I.2 Vue en coupe : Structure Interne du transistor MOS.

La structure de base du transistor MOSFET est représentée par la figure I.3.

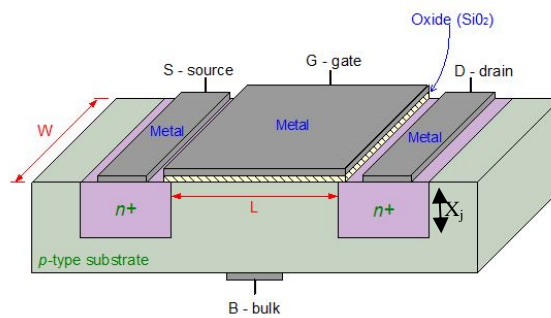


Figure I.3 Vue en coupe : Structure Interne du transistor MOS.

Ce transistor est réalisé à partir d'un substrat semi-conducteur (B-Bulk), généralement de type P, dans lequel deux régions sont implantées (N⁺) définissant la source (S-source) et le drain (D-drain). L'électrode de grille (G-gate) est obtenue à partir d'un oxyde (SiO₂) recouvert par une couche de polysilicium fortement dopée, et puis la métallisation qui consiste à mettre en place les contacts métalliques sur les trois principales électrodes S/G/D (Metal). Les principaux paramètres géométriques du transistor sont L (largeur de grille) W (largeur transversale de la structure) X_j (profondeur des caissons) T_{ox} (épaisseur de l'oxyde de grille).

Dans les circuits intégrés, le transistor MOS est généralement isolé des composants voisins par des tranchés d'isolation. La zone active du transistor dite canal est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface Oxyde/Semi-conducteur,[2].

I.3. Description du transistor MOSFET

Le transistor MOS (Métal Oxyde Semi-conducteur) est la brique élémentaire de la technologie CMOS. Son fonctionnement repose sur le principe d'un interrupteur commandé. Deux réservoirs de porteurs de charge, la source et le drain (S/D), sont séparés par une barrière de potentiel constituée par le canal. De ce fait on peut dire qu'il en existe deux types de transistor : le transistor nMOSFET où le courant est fourni par les électrons, et le transistor pMOSFET où le courant est assuré par les trous [3].

Dans le cas d'une technologie conventionnelle sur silicium massif, le transistor est fabriqué sur un substrat de silicium dopé de type P dans lequel on crée par implantation ionique ou diffusion, deux zones très fortement dopées du type opposé (n^{++}), appelées région de source et de drain. Une couche d'oxyde de silicium est ensuite élaborée par oxydation au-dessus de la zone du substrat non recouverte par les régions de source et drain [3]. Finalement, la grille en polysilicium est déposée sur la couche d'oxyde pour constituer le dernier élément de commande du dispositif, d'où, on retient que le transistor MOSFET comporte trois principales électrodes (contacts de la source, du drain et de la grille) auxquelles sont associées trois polarisations indépendantes (V_S , V_D et V_G respectivement). Dans une utilisation standard, le contact de source est relié électriquement à la masse et la tension V_S est nulle. La figure I.4 nous montre la représentation schématique bidimensionnelle du transistor nMOSFET [4].

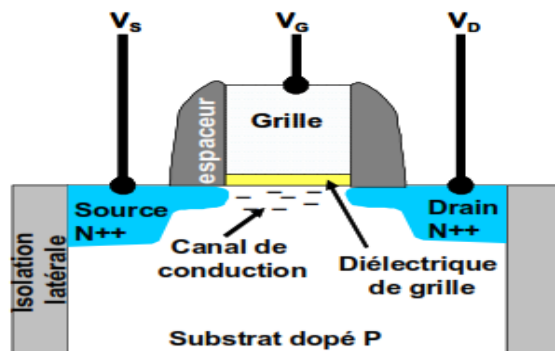


Figure I.4 Schéma simplifié représentant un transistor MOS à effet de champ de type n (nMOSFET).

I.3.1. Différents Types de transistors MOSFET

On distingue deux types fondamentaux de transistors MOSFETs illustrés par la figure I.5 [6]:

- Les nMOS dont le canal d'inversion est constitué d'électrons. Le canal est alors dopé de type P et les zones de source et de drain sont dopées N. figure I.5.a
- Les pMOS dont le canal d'inversion est constitué de trous. Le canal est dopé N et les zones de source et de drain sont dopées P. figure I.5.b

Et dans ces deux types on inclut deux modes pour chacun d'eux qui sont le transistor à mode enrichissement ou à appauvrissement.

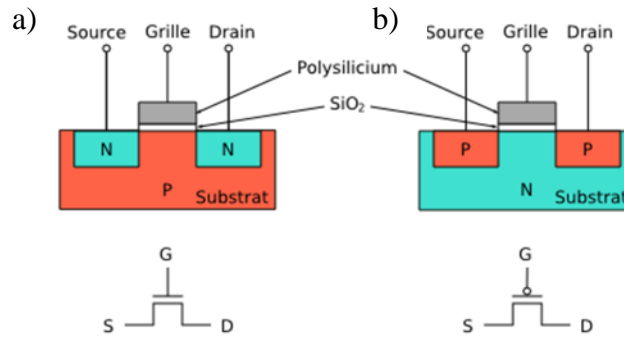


Figure I.5 Types fondamentaux de transistors MOSFETs et symboles.
a) MOSFET de type n / b) MOSFET de type p.

I.3.2. Conditions de conduction du transistor MOSFET

Les transistors MOSFET à enrichissement sont bloqués sans tension de commande sur la grille (normally off), ils deviennent passants à partir d'une certaine tension de grille V_{TH} . Plus $|V_{GS}| > |V_{TH}|$ plus le transistor MOSFET devient passant. Les transistors MOSFET à appauvrissement sont passants sans tension de commande sur la grille (normally on), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au delà d'une tension de blocage V_{GSoff} . Ce qu'il faut retenir est que le canal conducteur existe si la tension de grille est supérieure (cas du transistor nMOS) ou inférieure (cas du transistor pMOS) à une tension de seuil V_{TH} , et ça pour un transistor à enrichissement et l'inverse est juste pour un transistor à appauvrissement ceci est illustré dans la table I.1 [20].

Table I.1 Conditions de conduction du transistor MOSFET.

Type (Canal)	Mode	Porteurs	Condition de conduction
pMOSFET (N)	Enrichissement	Electrons	$V_{GS} > V_{TH}$
pMOSFET (N)	Appauvrissement	Electrons	$V_{GS} < V_{GSoff}$
nMOSFET (P)	Enrichissement	Trous	$V_{GS} < V_{TH}$
nMOSFET (P)	Appauvrissement	Trous	$V_{GS} < V_{GSoff}$

I.3.3. Principe de fonctionnement des transistors à effet de champ 'MOSFETs'

Comme son nom l'indique, le fonctionnement du transistor à effet de champ (MOSFET) repose sur l'action d'un champ électrique vertical. Ce champ permet de moduler localement la concentration des porteurs (Les porteurs sont des électrons pour un transistor nMOSFET et des trous pour un transistor pMOSFET) dans une zone semi-conductrice appelée canal de conduction ou canal d'inversion, située entre deux réservoirs de charges (la source et le drain). Le champ électrique est régi par une électrode de commande, appelée grille, à travers une couche isolante que constitue le diélectrique de grille la figure I.6 illustre l'effet de champ dans le transistor MOSFET [5].

Le fonctionnement de cette électrode s'apparente à un interrupteur contrôlant le passage de l'état passant à l'état fermé. Cette propriété explique son utilisation massive, principalement dans la conception des circuits logiques.

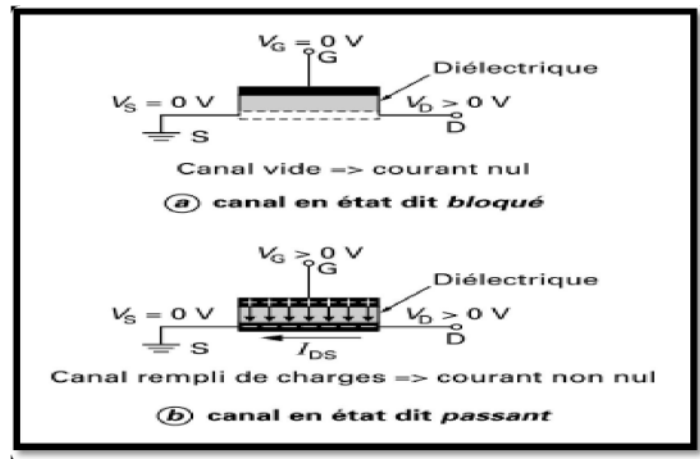


Figure I.6 Effet de champ dans le transistor MOSFET.

Les deux réservoirs de porteurs de charge, la source et le drain (S/D), sont séparés par une barrière de potentiel constituée par le canal. Cette barrière est contrôlée par la troisième électrode, la grille, qui est séparée du canal par l'oxyde de grille constituant ainsi une capacité MOS. Si la barrière est suffisamment élevée, les porteurs ne peuvent pas passer de la source au drain, le transistor est bloqué. Si la barrière est basse, un canal se forme et le transistor est passant. Le passage des porteurs d'un réservoir à l'autre peut alors avoir lieu si un champ électrique latéral les entraîne de la source au drain, d'où la polarisation de drain [5]. Une telle configuration est obtenue sur Si avec deux jonctions PN tête-bêche formant un système NPN : source et drain sont dopés N, et le canal dopé P entre les deux constitue la barrière. La grille est dopée N comme la source et le drain (S/D) et le transistor constitué est alors un nMOS : les porteurs de charge assurant la conduction sont des électrons (Figure I.7.a). Avec le système symétrique PNP et une grille P, c'est un pMOS, et les trous assurent la conduction.

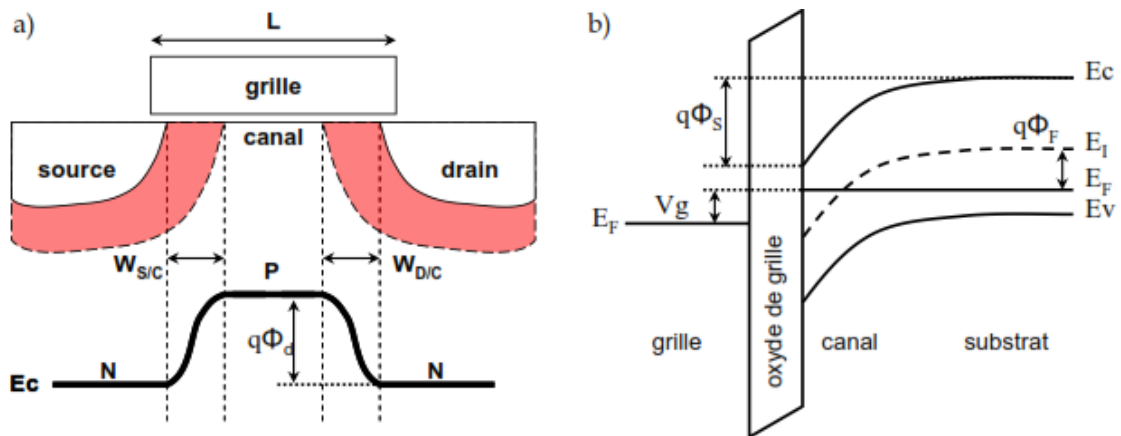


Figure I.7 Exemple de structure de bande sur nMOS.

- Configuration NPN et obtention d'une barrière énergétique dans la zone P entre les 2 zones N.
- Capacité MOS constituée par la grille, l'oxyde et le canal. Le couplage électrostatique entre grille et canal module la hauteur de la barrière entre source et drain à l'interface oxyde/silicium. Un canal peut alors se former à cette interface et autoriser le passage des électrons de la source vers le drain.

$W_{S/C}$ et $W_{D/C}$ représentent la largeur des zones de charge d'espace pour chacune des jonctions PN, source/canal et drain/canal, et Φ_d est la hauteur de barrière de la jonction (Figure I.7.a). En ce qui concerne la capacité MOS (Figure I.7.b), Φ_S est le potentiel de surface, indiquant la courbure de bande, Φ_F le potentiel de Fermi et V_g la polarisation de grille. Le champ vertical de la grille peut ainsi modifier la concentration des porteurs libres à l'interface oxyde/Si. Dans le cas d'un nMOS, il peut accumuler des trous, porteurs majoritaires du volume dopé P, augmentant ainsi la barrière Φ_d à la surface du Si. On parle alors d'accumulation. Au contraire, le champ peut repousser les trous de la surface et c'est la désertion (ou déplétion). Lorsqu'il est suffisamment fort, des électrons libres minoritaires des réservoirs S/D sont attirés vers l'interface. Pour un nombre suffisant d'électrons, on parle d'inversion surfacique de la population car le silicium dopé P au départ devient N en surface. On a alors une configuration $(N^+) N (N^+)$ en surface. Plus l'inversion sera forte et plus la barrière sera diminuée, jusqu'à être annulée [8].

Les deux types de transistors (n/p MOSFET) ayant un fonctionnement symétrique, on ne détaillera que le transistor nMOSFET par la suite.

Dans un cas idéal, lorsque la tension appliquée sur la grille est nulle ($V_G=0V$), le champ électrique est nul, il n'y a aucun porteur dans le canal et le courant de drain (I_{DS}) équivaut au courant de fuite (I_{OFF}): le transistor est bloqué. Au contraire, quand la polarisation de grille V_G est égale à celle du drain V_D , un champ électrique est créé, les porteurs affluent dans le canal, et peuvent alors transiter librement d'un réservoir à l'autre, générant un courant de drain non nul I_D : le transistor est alors passant (Figure I.8). Le passage de l'état bloqué à l'état passant est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire pour une tension $V_G = V_T$.

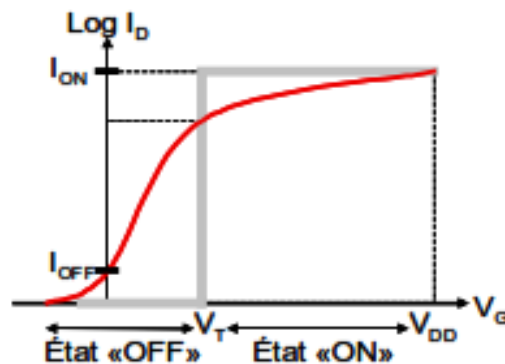


Figure I.8 Caractéristique de sortie $I_D(V_G)$ idéale (en trait gras) et réelle (en trait fin) d'un transistor nMOSFET.

I.4. Diagramme des bandes d'énergie du transistor MOSFET

L'état électrique de la structure MOSFET est conditionné par l'état de la capacité MOS (Métal/Oxyde/Semi-conducteur). On en distingue principalement cinq régimes de fonctionnement. Le diagramme suivant (Figure I.9) représente le diagramme de bandes d'une structure MOS avec un substrat de type P, qui va nous aider à expliquer et essayer de définir chacun des régimes [18] [20].

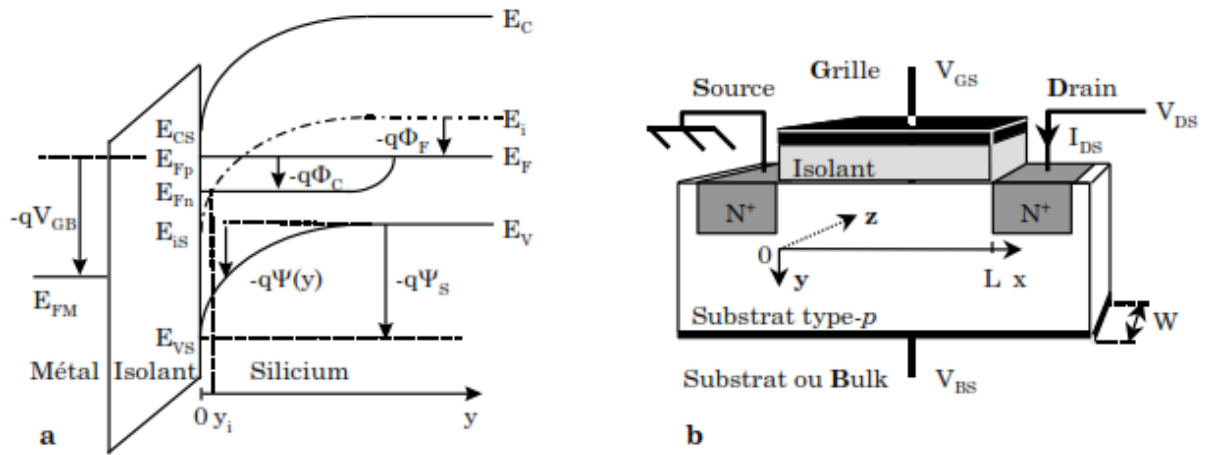


Figure I.9 a) Diagramme de bandes du transistor MOS à canal n faisant apparaître les quasi-niveaux de fermi $\Phi_c = -V_{BS}$ a la source $\Phi_c = V_{DS} - V_{BS}$ au drain. V_{DS} est la tension appliquée entre le drain et la source, et V_{BS} la tension appliquée entre le substrat et la source.

b) Coupe d'un transistor MOS à canal n.

Le niveau de Fermi du métal est au dessus du minimum de la bande de conduction (non représenté) ce qui donne à ce matériau un nombre considérable d'électrons libres. Les bandes de conduction et de valence de l'isolant sont représentées mais non spécifiées car elles n'interviennent pas dans l'établissement des diverses expressions.

Le semi-conducteur, représenté en régime d'inversion forte, fait apparaître deux notations pour le nom des bandes : une dans le volume du substrat et une à l'interface SI/isolant (oxyde) spécifié par l'indice 'S'. Les énergies de ce diagramme sont en joules (J) et les diverses tensions sont en volts (V). $\Psi_{(y)}$ et E_i représentent respectivement la courbure des bandes et le milieu de la bande interdite du semi-conducteur. E_c (e.g. E_{cs}) et E_v (e.g. E_{vs}) sont le bas de la bande de conduction et le haut de la bande de valence du semi-conducteur. Le choix du sens des flèches a pour origine la tension que l'on applique entre la grille et le substrat. Cela revient à faire la différence entre les niveaux de Fermi du métal et du semi-conducteur.

En raison d'une polarisation non nulle appliquée entre la source et le drain, le semi-conducteur, au niveau du canal, n'est pas à l'équilibre thermodynamique. Cela se traduit par l'apparition de quasi niveaux de Fermi notés E_{Fn} pour les électrons et E_{Fp} pour les trous avec, dans le cas d'un substrat de type p : $E_{Fp} = E_F$. Φ_c correspond à l'écart entre ces quasi niveaux de Fermi. Il est égal à la polarisation extérieure appliquée entre le point y et le volume du semi-conducteur ($y \rightarrow \infty$). Ce potentiel est fonction de la position considérée le long du canal, il est égal à $-V_{BS}$ au niveau de la source et à $V_{DS} - V_{BS}$ au niveau du drain.

I.4.1. Régimes de fonctionnement du transistor MOSFET

Pendant le fonctionnement du transistor, la tension entre la source et le drain est positive, créant un champ électrique horizontal pouvant mettre en mouvement les porteurs dans le canal. Or, les dopants étant de nature différente dans le canal et les zones de source et de drain, une barrière énergétique, de hauteur Φ , apparaît entre le canal et les extensions. Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif. L'ensemble source/substrat/drain peut être vu comme une jonction NPN. On peut distinguer alors trois situations en fonction de la tension V_G appliquée sur la grille (Figure I.10) [1] [18] [20].

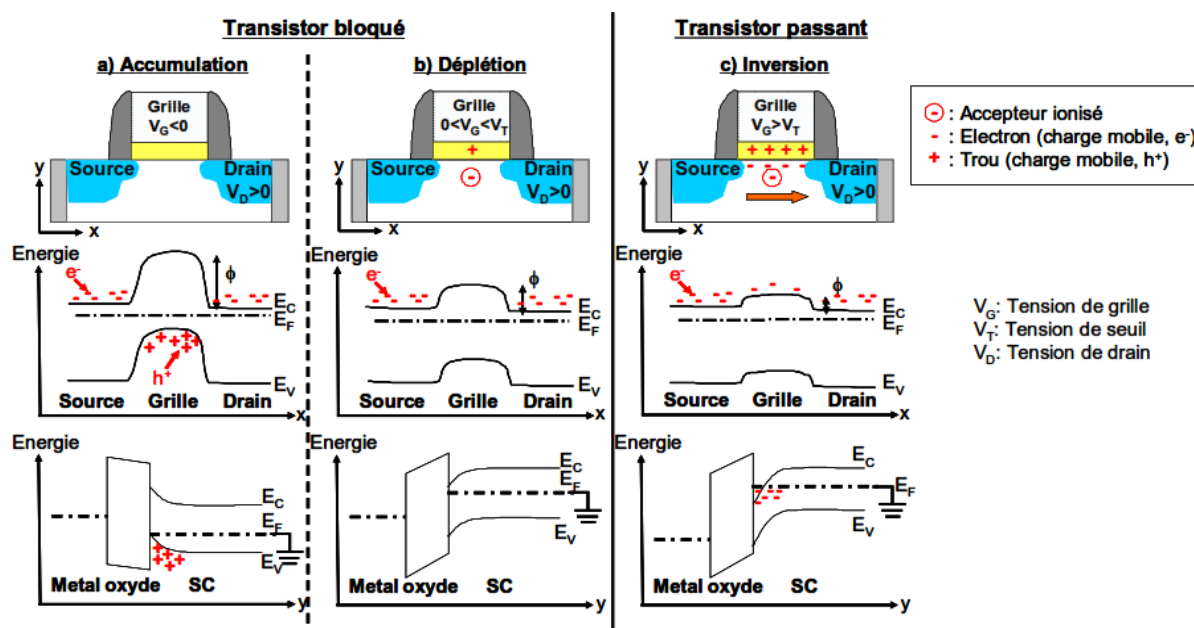


Figure I.10 Description schématique des différents états de fonctionnement d'un transistor nMOS. La première ligne est une représentation schématique du MOS. La seconde représente une coupe longitudinale de l'énergie le long du canal, et la dernière représente l'énergie suivant une coupe transverse au canal dans les régions Métal, Oxyde et Semi-conducteur.

Les différents régimes de fonctionnement sont définis suivant les valeurs du potentiel de surface et selon la polarisation de la grille. Ici ces régimes sont définis dans le cas du transistor nMOSFET.

I.4.1.1. Régime de bandes plates

Soit $\Psi_s = 0$

Si l'on se place en régime de bande plate (Figure I. 11/ Figure I. 12.a), où le potentiel de surface dans le canal est égal à celui dans le volume, il faut alors, pour amener le transistor en conduction, appliquer sur la grille une tension de seuil V_T telle que [20] :

$$V_T = V_{FB} - V_{OX} + 2 \Phi_F \tag{Eq I.1}$$

V_{OX} étant la chute de potentiel dans l'oxyde et V_{FB} étant définie comme la tension de bande plate prenant en compte la différence Φ_{MS} des travaux de sortie du silicium et du matériau de l'électrode de grille ainsi que la présence de charges dans l'oxyde.

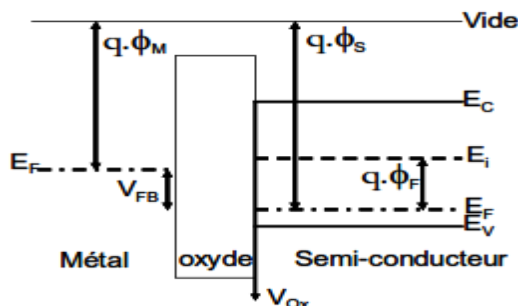


Figure I.11 Schéma des bandes en régime de bande plate. Définition de la tension de bande plate (V_{FB}). $V_G = V_{FB}$

I.4.1.2. Régime d'accumulation

Soit $V_G < V_{FB}$ et $\Psi_S < 0$

Une valeur largement négative de la tension de grille V_G crée un appel de trous (porteurs majoritaires du substrat) en surface du canal. On est en régime d'accumulation. L'énergie potentielle dans le canal est supérieure à celle de la source créant une barrière de potentiel. Le transistor est bloqué (Figure I.12) [18] [20].

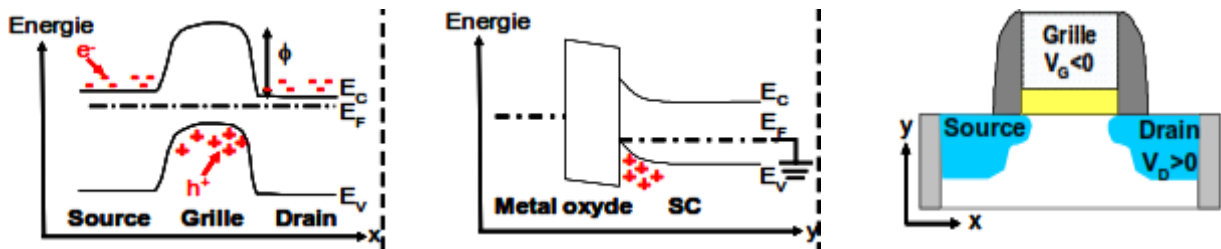


Figure I.12 Schéma des bandes d'énergie en régime d'accumulation.

I.4.1.3. Régime de déplétion ou de désertion

Soit $V_G > V_{FB}$ et $0 < \Psi_S < \Phi_F$

A faible potentiel V_G , les trous, porteurs majoritaires dans le substrat, sont repoussés en profondeur, ne laissant que les accepteurs ionisés (charges fixes de type opposé) dans le canal. Il apparaît alors une zone de charge d'espace où les charges fixes dues aux dopants créent une capacité de désertion (C_{DEP}). Cela se traduit par une courbure de la bande de conduction en surface vers le niveau de Fermi. Le potentiel du canal demeure alors inférieur à celui de la source et le courant ne passe pas même si la barrière se voit déjà diminuée (Figure I.13) [20].

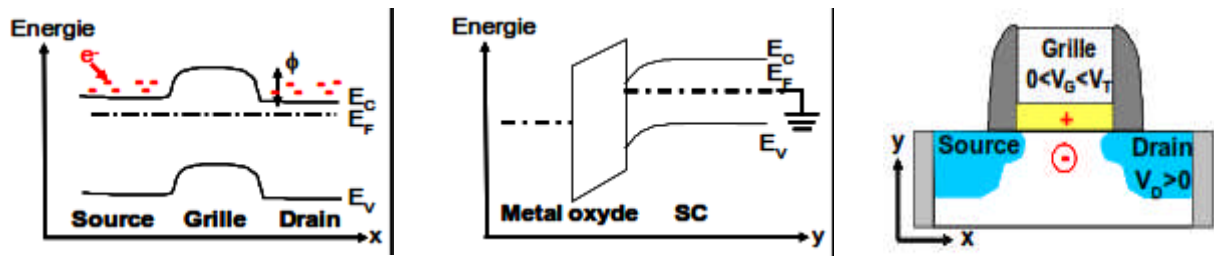


Figure I.13 Schéma des bandes d'énergie en régime de déplétion ou de désertion.

I.4.1.4. Régime d'inversion faible

Soit $V_{FB} < V_G \leq V_{TH}$ et $\Phi_F \leq \Psi_S < 2\Phi_F$

Cette condition traduite par l'égalité entre potentiel à l'interface semi-conducteur isolant et le potentiel de volume du semi-conducteur ($\psi_S = \Phi_F$) qui correspond au seuil de l'inversion faible : En surface de semi-conducteur les concentrations de porteurs majoritaires et minoritaires sont égales à n_i . (Figure I.14) [20].

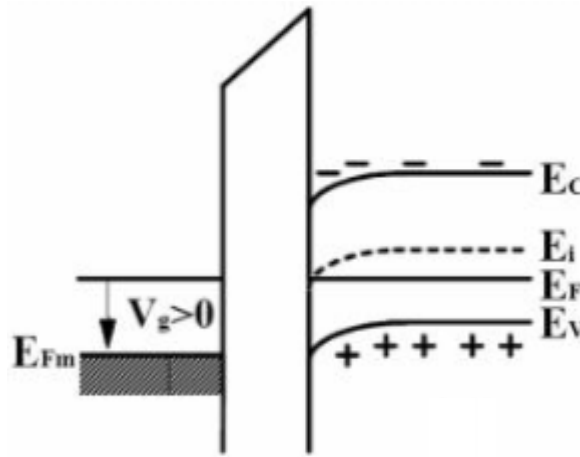


Figure I.14 Schéma des bandes d'énergie en régime de faible inversion.

I.4.1.5. Régime d'inversion forte

Soit $V_G > V_{TH}$ et $\Psi_S > 2\Phi_F$

Si l'on augmente encore le potentiel de grille V_G , la bande de conduction est encore plus fortement courbée vers le niveau de Fermi: la barrière de potentiel source-canal Φ est quasi nulle (Figure I.15). La tension de seuil (V_T) correspond alors à la tension de grille (V_G) pour laquelle le régime du transistor passe de l'inversion faible à l'inversion forte. Cette notion de tension de seuil est fondamentale dans le fonctionnement du transistor MOS car elle gouverne la mise en conduction de celui-ci. La condition d'inversion forte est obtenue lorsque le potentiel de surface dans le canal est égal à deux fois la différence Φ_F entre le niveau de Fermi et le niveau intrinsèque du silicium (Figure I.11) [24]. Cette condition assure que le canal contienne des porteurs de même type que la source et le drain.

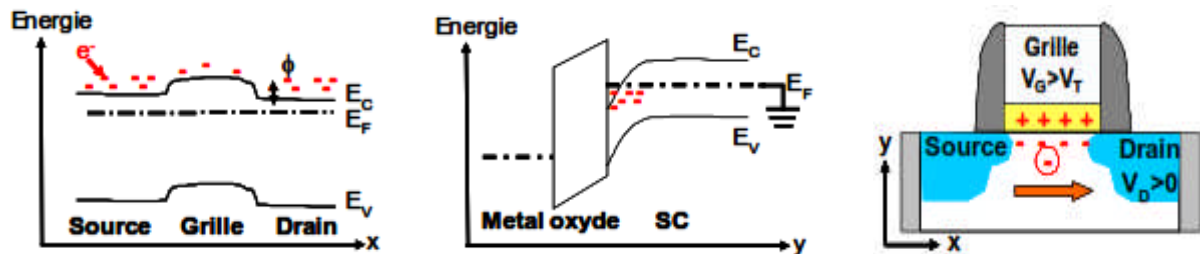


Figure I.15 Schéma des bandes d'énergie en régime de forte inversion.

I.5. Caractéristiques I / V du transistor MOSFET

La méthode courant-tension $I(V)$ consiste à mesurer le courant de drain I_D (courant circulant dans le canal) en fonction de la tension drain-source V_D , ou bien en fonction de la tension de grille V_G . Le courant de drain varie d'abord proportionnellement à la tension drain-source V_{DS} : c'est le régime linéaire. Après une certaine valeur de V_{DS} le courant sature : c'est le régime de saturation (Figure I.16.a) [18]. Le réseau de caractéristiques ainsi obtenu permet d'établir directement la valeur de la tension de seuil V_{TH} (Figure I.16.b).

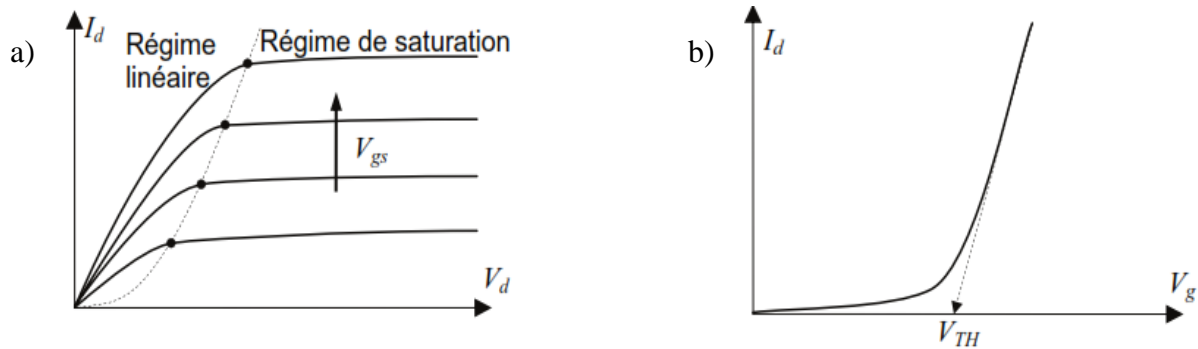


Figure I.16 Réseaux de caractéristiques du MOSFET sur substrat type P.

Lorsqu'une différence de potentiel V_{DS} est appliquée entre le drain et la source, un courant peut circuler dans le canal. La condition pour laquelle s'effectue l'inversion est [20] :

$$\Psi_S > \Phi_F \quad \text{Eq I.2}$$

Ψ_S est le potentiel de surface et Φ_F correspondant à l'écart entre le potentiel intrinsèque E_i et le potentiel de Fermi E_f du semi-conducteur dopé de type accepteur.

Φ_F s'exprime suivant cette formule :

$$\phi_f = \frac{K.T}{e} \cdot \ln \left(\frac{N_A}{N_i} \right) \quad \text{Eq I.3}$$

Où N_A est la concentration des dopants du substrat et N_i la concentration intrinsèque du silicium. Alors que, l'inversion forte a son tour apparaît lorsque :

$$\Psi_S > 2\Phi_F \quad \text{Eq I.4}$$

En première approximation, le volume du semi-conducteur ψ_S reste équivalent à $2\Phi_F$, la distinction entre ces deux régimes de fonctionnement, (régime linéaire/régime de saturation), nous amène à définir un paramètre important qui est la tension de seuil V_{TH} .

Dans la figure I.17 [20] on illustre les caractéristiques de transfert $I_{DS} = f(V_{GS})$ et de sortie $I_{DS} = f(V_{DS})$ des deux types de transistors MOSFET et ceci dans le mode normally off et normally on.

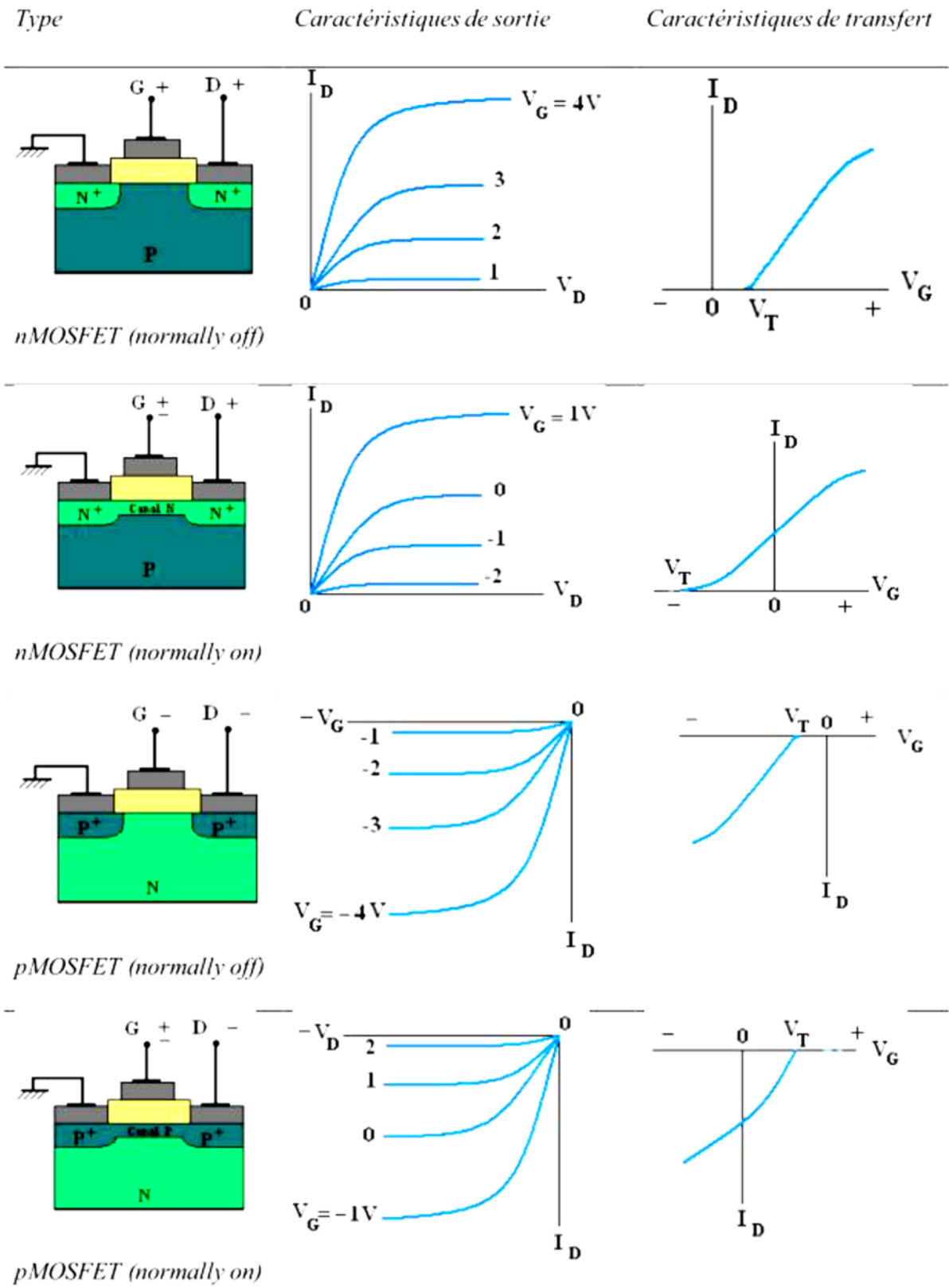


Figure 1.17 Caractéristiques de sortie et de transfert du transistor MOSFET.

I.6. Paramètres électriques du transistor MOSFET

I.6.1. Tension de seuil V_{TH} du transistor MOSFET

La tension de seuil est un paramètre important dans le fonctionnement du transistor MOSFET, cette tension est définie comme étant la différence de potentiel appliquée entre la grille et la source afin que la zone d'inversion apparaisse, ceci se traduit par la formation du canal de conduction entre drain et source [15].

Sous cette condition, la tension de seuil est atteinte lorsqu'on dépasse le régime de bandes plates qui est défini comme l'égalité entre potentiel de surface dans le canal et celui dans volume. Après avoir eu à dépasser ce régime on bascule vers le régime d'inversion forte qui est exprimé par cette équation (Eq I.5) :

$$V_G = V_{OX} + 2 \Phi_F = V_{TH} \quad \text{Eq I.5}$$

Où V_{OX} est la tension dans l'oxyde qui est donnée par :

$$V_{OX} = -Q_{OX} / C_{OX} \quad \text{Eq I.6}$$

Et C_{OX} est donnée par :

$$C_{OX} = (\epsilon_0 \epsilon_{OX}) / T_{OX} \quad \text{Eq I.7}$$

À champ de grille nul, le canal n'est pas en tension de bandes plates à cause de la différence des travaux de sortie entre le silicium et l'électrode de grille [12]. On définit alors une tension de bandes plates V_{FB} comme la tension de grille nécessaire pour amener le potentiel Ψ_s à l'interface semi-conducteur-isolant ce qui va permettre d'écrire la tension de seuil sous la forme suivante :

$$V_T = V_{FB} + \frac{|Q_{dep}|}{C_i} + 2\phi_F = V_{FB} + 2\phi_F + V_{OX} \quad \text{Eq I.8}$$

I.6.2. Tension de bande plate V_{FB} (Flat-Band)

La valeur de la tension de bande plate V_{FB} permet de contrôler et de déduire la quantité de charges fixes présentes dans l'oxyde. En l'absence de potentiel de surface Ψ_s , on a tendance à parler de condition de bandes plates (Flat-Band), dans ce cas, la tension de grille est exactement égale à V_{FB} , la tension électrique appliquée entre la grille et le substrat afin d'obtenir cette configuration est appelée tension de bandes plates V_{FB} et elle est donnée par cette expression [20] :

$$V_{FB} = \Phi_{MS} - Q_{OX} / C_{OX} \quad \text{Eq I.9}$$

La tension V_{GS} sera donc sous cette forme :

$$V_{GS} = V_{FB} + \psi_s - \frac{Q_{inv} + Q_{dep} + Q_{interface}}{C_{OX}} \quad \text{Eq I.10}$$

La charge d'état d'interface $Q_{interface}$ est donnée par :

$$[Q_{interface}] = q \cdot N_{interface} \cdot \Psi_s \quad \text{Eq I.11}$$

I.6.3. La pente sous seuil « S »

La pente sous le seuil S , elle nous dicte de combien il faut diminuer la tension V_{GS} pour pouvoir réduire le courant sous le seuil d'une décade. Cette pente sous le seuil est exprimée en mV/décade, elle est définie comme l'inverse de la pente normal $\text{Log}(I_D - V_{GS})$, son expression est donnée comme suit [23] :

$$S = \frac{KT}{q} \cdot \text{Ln}10 \left[1 + \frac{C_{dep}}{C_{OX}} + \frac{C_{interface}}{C_{OX}} \right] \tag{Eq I.12}$$

I.6.4. Le courant I_{OFF} et I_{ON}

Les performances statiques d'un transistor MOSFET peuvent schématiquement se résumer à quatre grandeurs caractéristiques: le courant à l'état bloqué I_{OFF} , le courant à l'état passant I_{ON} , la tension de seuil V_{TH} et l'inverse de la pente sous le seuil S . Nous appellerons V_{DD} la tension d'alimentation. L'objectif de ce paragraphe est de rappeler brièvement la définition de chaque grandeur et leurs liens [23].

La figure I.17 représente le schéma d'un n-MOSFET, ainsi que la caractéristique $I_D(V_{GS})$ (à $V_{DS}=V_{DD}$) correspondante sur laquelle I_{OFF} , I_{ON} , V_{TH} et S sont représentés :

- Le courant à l'état bloqué I_{OFF} est défini à $V_{GS}=0V$ et $V_{DS}=V_{DD}$. Ce courant représente la fuite du transistor.
- La tension de seuil V_{TH} d'un MOSFET représente la tension V_{GS} séparant l'état passant de l'état bloqué.
- L'inverse de la pente sous le seuil S définit la tension de grille à appliquer pour faire varier le courant de drain d'une décade. Par abus de langage, on parlera souvent de la pente sous le seuil pour désigner S .
- Le courant à l'état passant I_{ON} représente le courant du transistor en fonctionnement nominal. En technologie CMOS, il est défini à $V_{GS}=V_{DS}=V_{DD}$. La vitesse de fonctionnement d'un circuit dépend directement de ce courant. (Figure I.18.a)

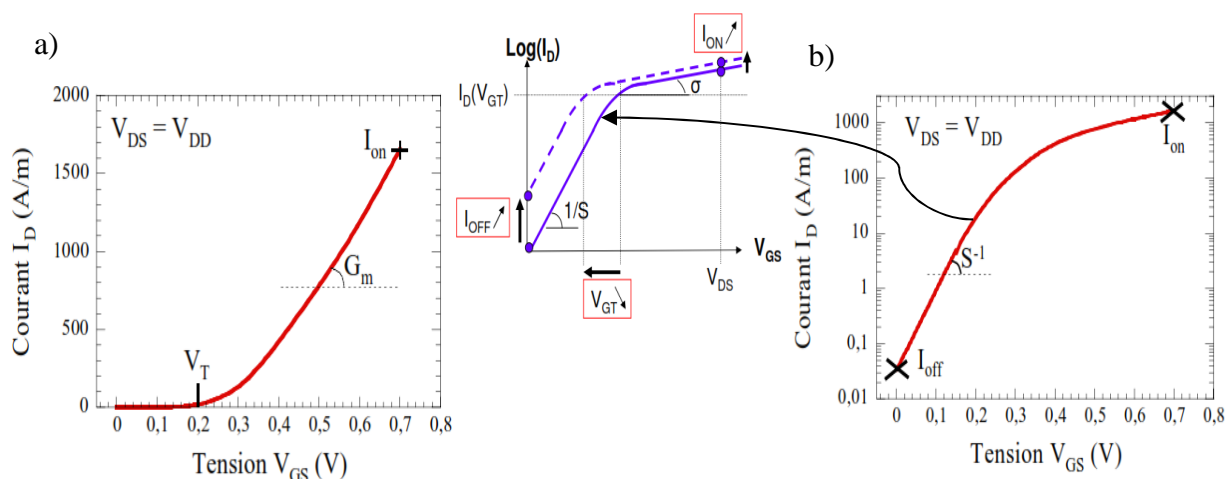


Figure I.18

a) Caractéristiques $I_D(V_{GS})$ à $V_{GS} = V_{DD}$ typique d'un NMOS. (I_{ON} G_m V_{TH} sont indiqués)

b) Caractéristiques $\log[I_D(V_{GS})]$ à $V_{DS} = V_{DD}$ typique d'un NMOS. (I_{ON} I_{OFF} S sont indiqués)

Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ($I_D \neq 0$). Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant diffusif, d'où la dépendance exponentielle de la caractéristique $I_D(V_{GS})$ sous le seuil illustrée en figure I.18.b.

Le passage de l'état OFF (bloqué) à l'état ON (passant) se fait par la polarisation de grille $V_G = V_{TH}$. Le courant I_{OFF} est dépendant de la pente sous le seuil. Il est donné par la relation suivante :

$$\text{Log}(I_{OFF}) = \text{Log}(I_{TH}) - \frac{V_{TH}}{S} \quad \text{Eq I.13}$$

Avec : $I_{TH} = 10^{-7} \text{ W/L} \quad \text{Eq I.14}$

Un faible courant I_{OFF} va permettre de limiter la consommation et la puissance statique dissipée ($P_s = V_{DD} * I_{OFF}$) dans un circuit. Les paramètres I_{ON} et I_{OFF} apparaissent comme de très bons indicateurs des performances globales d'un dispositif [11]. Plus le rapport I_{ON} / I_{OFF} est élevé, plus le dispositif est meilleur. Le graphe I_{ON} / I_{OFF} est l'un des principales figures (graphes en bleu Figure I.18) de mérite utilisées pour évaluer et comparer rapidement les performances de plusieurs dispositifs. La caractéristique $I_D(V_{GS})$ de la figure I.18 montre que I_{OFF} , $I_D(V_{TH})$, V_{TH} et S sont liées par la relation (Eq I.15). Au premier ordre, on peut écrire que $I_{ON}/I_{OFF} \sim I_D(V_{TH})/I_{OFF}$.

$$\frac{I_D(V_{TH})}{I_{OFF}} = 10^{\frac{V_{TH}}{S}} \quad \text{Eq I.15}$$

I.6.5. La capacité MOS

La capacité MOS est une structure métal-oxyde-semi-conducteur, qui est le dispositif le plus simple et le plus utilisé pour l'étude des surfaces des semi-conducteurs. Il est possible de l'étudier à partir de mesures électriques de capacité et/ou de conductance en fonction de la tension appliquée ou de la fréquence, ce qui permet de déterminer quelques caractéristiques physiques des échantillons et d'extraire les paramètres qui les caractérisent. Les informations que l'on peut obtenir par cette caractérisation concernent d'une part l'interface entre le semi-conducteur et la couche isolante (densité et distribution énergétique des états d'interface, durée de vie des porteurs minoritaires à l'interface,...) et d'autre part, la qualité de la couche isolante elle-même (densité de charge dans la couche, hauteur de la barrière de potentiel entre la couche isolante et la grille ou le semi-conducteur,...) [19].

On considère, dans un premier temps, le cas de la structure MOS idéale dont les hypothèses d'idéalité sont :

- régime de bandes plates lorsque la polarisation appliquée est nulle ($V_G=0V$).
- pas de charges électriques dans l'isolant ($Q_{fix}=0$).
- pas d'états électroniques à l'interface semi-conducteur-oxyde ($N_{SS}=0$).

La capacité électrique équivalente de la structure correspond à la capacité de l'oxyde C_{ox} en série avec la capacité créée à l'interface isolant-semi-conducteur C_{sc} . Elle s'écrit :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \quad \text{Eq I.16}$$

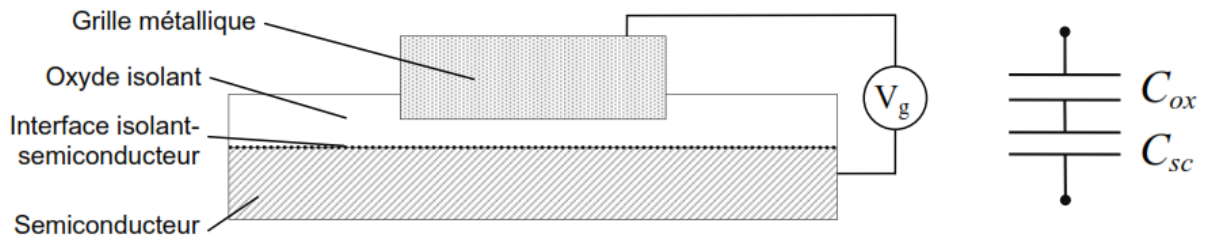


Figure I.19 La capacité électrique équivalente de la structure MOS.

En réalité, la capacité grille-source est un peu plus élevée car la métallisation de grille recouvre légèrement la source, de la même manière, il existe une capacité grille-drain due à ce recouvrement. La capacité drain-substrat (capacité d'une jonction bloquée) peut en général être négligée en première approximation, donc la capacité totale, d'une surface A , est composée de la capacité d'oxyde C_{ox} en série avec la capacité dynamique du semi-conducteur C_{sc} qui est la somme des capacités d'inversion C_{inv} d'accumulation C_{acc} et de déplétion C_{dep} [18] [20].

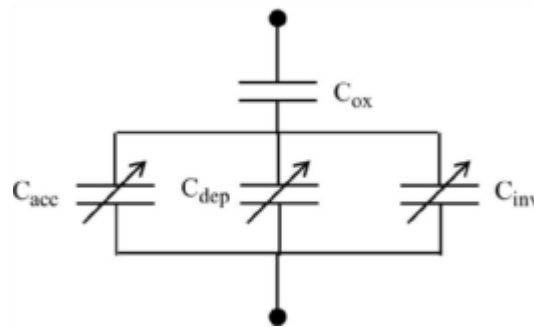


Figure I.20 La capacité équivalente de la structure MOS avec $C_{sc} = C_{acc} + C_{dep} + C_{inv}$.

On a tendance à prendre en compte de certaines capacités parasites d'un ordre de grandeur de quelques centièmes de pF/μ^2 . Ces capacités sont généralement dues à la présence d'oxyde de grille et aussi la présence de l'oxyde qui isole les connexions du substrat. La figure I.21 nous montre les différentes capacités parasites tel que la capacité grille-substrat/ les capacités connexions-substrat/ les capacités diffusion-substrat qui sont des capacités différentielle due a la présence des jonctions source-substrat et drain-substrat qui sont polarisées en inverse. Par défaut de présence de ces capacités parasites on a la possibilité de déterminer les caractéristiques dynamiques des circuits logiques tels que leur vitesse de réponse et ainsi leur consommation [18] [24].

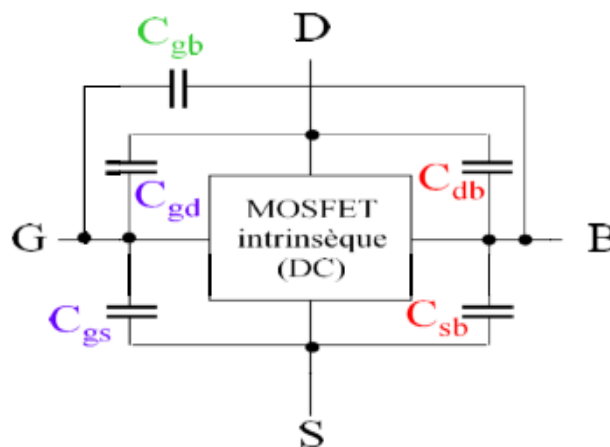


Figure I.21 Les capacités parasites associées au transistor MOSFET.

I.6.6. Le courant de drain dans le transistor MOS

Concernant la tension appliquée au drain nous pouvons distinguer trois régimes de fonctionnement : le régime ohmique (faible inversion), non-ohmique/linéaire (forte inversion) et le régime de saturation [24].

➤ **Le courant de drain en régime ohmique**

Nous commençons par le régime ohmique bien que le régime principal de fonctionnement d'un transistor MOS soit le régime de saturation car c'est dans ce régime que sont faites principalement les mesures courant-tension servant à extraire les paramètres électriques du transistor MOS [21].

✓ **Cas de faible inversion**

En régime de faible inversion le courant de drain varie exponentiellement avec V_G (Figure I.22) et il est donné par l'expression suivante (Eq I.17).

$$I_d = \frac{W}{L} \frac{kT}{q} \mu_0 C_d V_d \exp\left(\frac{qA(V_G - V_{TH})}{kT}\right) \quad \text{Eq I.17}$$

Avec

$$A = \frac{C_{ox}}{C_{ox} + C_d + C_{ss}} \quad \text{Eq I.18}$$

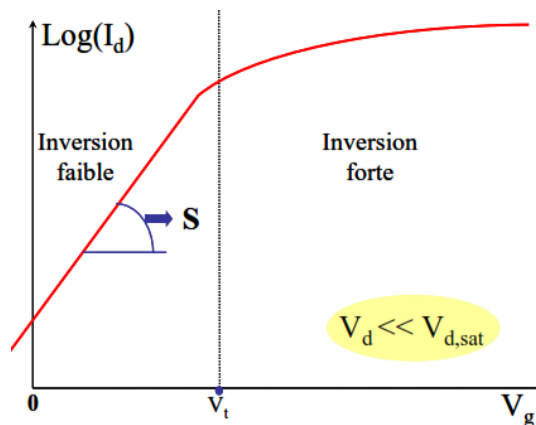


Figure I.22 Caractéristique I_d - V_g en régime ohmique schématisée en échelle logarithmique.

➤ **Le courant de drain en régime non-ohmique**

✓ **Cas de forte inversion (régime linéaire)**

Le régime ohmique est caractérisé par de faibles tensions de drain. Dans ce cas, le canal du transistor se comporte comme une résistance quasi bidimensionnelle contrôlée par la tension de grille (Figure I.23). Le courant de drain s'écrit alors [18]:

$$I_d = \frac{W}{L} \mu_{eff} Q_i V_d \quad \text{Eq I.19}$$

Où Q_i est la charge absolue d'inversion et μ_{eff} la mobilité effective des porteurs dans le canal. La mobilité effective dépend de la charge d'inversion selon

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_i}{Q_c}} \quad \text{Eq I.20}$$

Où μ_0 est la mobilité sous champ électrique faible, et Q_c est la charge critique qui caractérise la diminution de mobilité aux fortes tensions de grille. Une valeur typique de Q_c est de d'ordre de $10^{13} \text{ q.cm}^{-2}$.

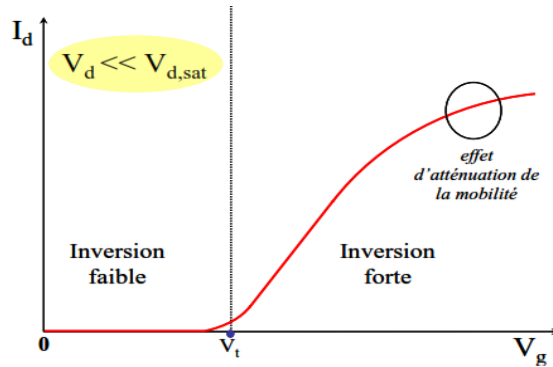


Figure I.23 Caractéristique I_d - V_g en régime non-ohmique (régime linéaire) schématisée en échelle logarithmique.

➤ **Le courant de drain en régime de saturation**

Lorsque la tension du drain augmente, la différence de potentiel entre le drain et la grille V_{DG} diminue, en conséquence la charge d'inversion diminue lorsqu'on s'approche du drain. Pour une valeur de tension de drain $V_{d,sat} \approx V_G - V_{TH}$, le canal proche du drain est pincé et le courant de drain reste constant avec l'augmentation de la tension de drain (Figure I.24.a) [20]. Après intégration de la conductance le long du canal nous obtenons l'expression suivante pour le courant de drain :

$$I_{d,sat} = \int_0^{V_d} \frac{W}{L} \mu_{eff} Q_i d\Phi_c \approx \frac{1}{2} G_m V_{d,sat}^2 \quad \text{Eq I.21}$$

Où $Q_i = C_{ox} (V_g - V_t - \Phi_c)$, Φ_c étant la différence entre les quasis niveaux de Fermi des électrons et des trous. Mais pour des dispositifs courts, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation de drain. Cette augmentation est due à trois effets du second ordre :

- L'éloignement du point de pincement par rapport au drain
- La réduction de la tension de seuil avec l'augmentation de la tension de drain
- L'effet d'avalanche

Le calcul du courant de saturation dans ce cas est assez complexe, néanmoins on peut l'approximer par :

$$I_{d,sat}(V_d) = I_{d,sat} \left(1 + \frac{V_d - V_{d,sat}}{V_E} \right) \quad \text{Eq I.22}$$

Où

$$V_E = \frac{L}{\lambda_0} V_{d,sat} \quad \text{Eq I.23}$$

Avec

$$\lambda_0 = \sqrt{\left(\frac{\epsilon_{si}}{\epsilon_{ox}} x_j t_{ox} \right)} \quad \text{Eq I.24}$$

C'est dans ce régime avec $V_d = V_{DD}$, V_{DD} étant la tension d'alimentation du transistor, que sont généralement utilisés les transistors MOS, c'est ce qu'on appelle l'état « on ». Le transistor MOS se comporte alors comme une source de courant dont l'intensité est contrôlée par une grille de commande (V_g). Si on continue à augmenter la tension de drain, le champ électrique longitudinal E_x deviendra très important. Les porteurs dans le canal peuvent alors acquérir des énergies suffisantes pour générer des paires électron-trou par ionisation par impact. A leur tour, les porteurs générés par impact, accélérés par le fort champ, peuvent générer des nouvelles paires électrons-trous. Ce phénomène d'avalanche conduit à une forte et brusque augmentation du courant de drain [15].

Au final, la figure I.24.b montre la variation du courant de drain à une polarisation de grille donnée en forte inversion en fonction de la tension de drain. C'est ce qu'on appelle une caractéristique $I_d - V_d$. C'est aussi à partir de ce type de courbes que sont extraits certains paramètres électriques contrôlant le fonctionnement d'un MOSFET [16].

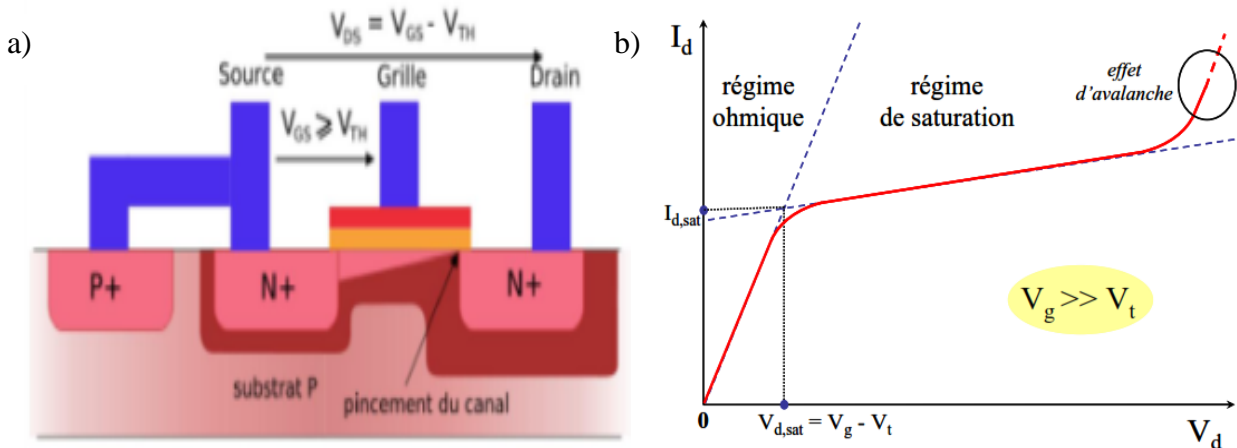


Figure I.24 Caractéristique $I_d - V_d$ en régime saturé.

a) Courant de drain en régime saturé de la forte inversion.

b) Caractéristique $I_d - V_d$ en forte inversion schématisée.

➤ Remarque

Une particularité très intéressante du transistor MOSFET, est que : la réduction simultanée de la longueur L et la largeur W ne change pas le courant I_{DS} , pourvu que le rapport W/L reste constant.

I.6.7. La transconductance du transistor MOS

La transconductance G_m est l'un des paramètres les plus importants pour la mesure du gain des dispositifs, elle est définie comme étant la dérivée du courant de drain par rapport à la tension de grille V_G . G_m correspond à la pente de la courbe $I_D(V_{GS})$ à fort V_{DS} (Figure I.17.a) soit [16] :

$$G_m = \left. \frac{\partial I_d}{\partial V_G} \right|_{V_{DS}} = cste \quad \text{Eq I.25}$$

La relation de la transconductance s'obtient à partir des relations (Eq I.19/Eq I.20) et de l'équation de neutralité électrique (conservation de la charge) pour finalement obtenir la relation suivante :

$$G_m = \frac{W}{L} \frac{\mu_{eff}^2}{\mu_0} \frac{C_i}{C_{ox} + C_d + C_{ss} + C_i} C_{ox} V_d \quad \text{Eq I.26}$$

Où C_{ox} , C_d , C_{ss} , C_i sont les capacités associées respectivement à l'oxyde de grille, à la zone de déplétion, aux états d'interface et à la couche d'inversion. Cette relation décrit la transconductance de façon continue, de la faible à la forte inversion.

I.7. Les avantages et inconvénients des transistors MOSFET [13] [15] [24]

I.7.1. Les avantages des transistors MOSFET

- R_{DSon} très grande, de l'ordre de $10^{12} \Omega$, alors que pour un transistor à effet de champ à jonction elle est de l'ordre de $10^{18} \Omega$.
- Impédance d'entrée élevée $> 100 M\Omega$ due à la structure MOS, donc grand en I (peu de consommation en entrée).
- Facilité de fabrication en raison de peu d'opérations et de symétrie.
- Faible bruit intrinsèque.
- Tension de seuil importante (2.5 à 4V ou 0.8 à 2V).
- Une large densité d'intégration (plus de 10^7 transistors par puce).

I.7.2. Les inconvénients des transistors MOSFET [24]

- Très sensible aux Décharges Electro Statiques (ESD), ne jamais laisser la grille en l'air.
- La vitesse de commutation est plus faible que celle des transistors bipolaires.
- La dispersion des paramètres est élevée.
- Très sensible à la contamination lors de la fabrication.
- Nécessité de prévoir des protections pour les entrées.

I.8. La miniaturisation, l'effet de réduction de géométrie et ses limites

La future génération de transistors MOS atteindra certainement des dimensions caractéristiques de l'ordre de quelques nanomètres. La miniaturisation du transistor à effet de champ est dictée à la fois par des arguments de coût, par la nécessité d'intégrer de nombreuses fonctions sur une surface réduite, mais aussi par la volonté d'augmenter la vitesse des circuits tout en diminuant leur consommation. Pour cela, l'un des enjeux majeurs est d'obtenir un rapport I_{ON}/I_{OFF} élevé [20]. Ces « nanoMOSFET » imposent de nouveaux défis

technologiques à relever et dévoilent de nouveaux phénomènes que l'on peut plus négliger. Dans les chapitres qui vont suivre, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET est confronté dans sa course à la miniaturisation.

Conclusion

Dans le but de diminuer le coût de production, l'encombrement et d'améliorer en même temps les performances, les MOSFETs, sont soumis à une miniaturisation incessante. Leurs dimensions atteignant désormais le régime nanométrique (<100nm), cette réduction des dimensions a engendré de nombreux phénomènes parasites qui détériorent les caractéristiques courant-tension. Ainsi de nouvelles architectures de dispositifs sont requises afin de minimiser la puissance dissipée et d'améliorer le transport électronique. Parmi ces architectures innovantes, citons en particulier le cas du dispositif à double grille.

En outre, l'un des enjeux de la miniaturisation des MOSFETs dans le régime nanométrique passe par l'étude des phénomènes de transport électronique. Cependant, pour de tels dispositifs, des phénomènes de transport comme le transport balistique et les effets quantiques ne peuvent plus être négligés car ils sont susceptibles d'influencer notablement les performances électriques.

Tout comme l'avènement de l'électronique sur semi-conducteur au détriment des tubes à vide, de nouveaux dispositifs permettant d'améliorer, voir de remplacer la technologie MOSFET bulk, sont développés. Le chapitre suivant présente l'une des nouvelles technologies qui s'intitule comme la technologie complémentaire avancée du MOSFET en anglais « Advanced Complementary MOS », et puis à la fin de ce chapitre on passera au dernier qui présentera à son tour la technologie alternative qui est les transistors double grille avec la technologie silicium sur isolant « SOI DG MOSFET », ce dernier s'affiche comme l'une des solutions innovantes potentielles, susceptibles d'assurer la pérennité de la nanoélectronique sur silicium.

Chapitre 2

II.1. ENJEUX ET CHALLENGES DE LA TECHNOLOGIE CMOS

Depuis près de quarante ans, la miniaturisation du transistor MOS est guidée par un jeu très simple de règles de réduction d'échelle proposées par de nombreuses firmes spécialisées (INTEL, IBM ...). Cependant, il est devenu difficile de satisfaire ces règles tout en optimisant le ratio I_{ON}/I_{OFF} . Aussi, l'ITRS (*International Technology Roadmap for Semiconductors*) a-t-elle défini les spécifications à remplir pour chaque famille de transistors, différenciées par leurs applications respectives et les différents compromis I_{ON}/I_{OFF} visés pour des transistors nMOS haute performance (HP) et basse consommation (LOP, LSTP). Pour les transistors HP, les spécifications sont fixées pour assurer une progression du temps intrinsèque τ de 17% par an, indépendamment des fuites de grille. En revanche, pour les transistors basse consommation, le courant I_{OFF} doit être bas. Les puces opérant à faible puissance (LOP), pour lesquelles la puissance active doit être minimisée, ont une tension d'alimentation V_{DD} faible. Mais pour les transistors à basse consommation de puissance (LSTP), le courant I_{OFF} très faible impose une tension de seuil V_T relativement élevée, ce qui empêche l'abaissement de la tension d'alimentation [2].

Ces dernières années, le transistor traditionnel et ses matériaux de base tels que le PolySi ou le SiO₂ ont vu leurs limites repoussées. Pour pouvoir continuer cette course à la miniaturisation, il devient nécessaire d'introduire de nouveaux matériaux et d'envisager de nouvelles architectures. En effet, si l'on regarde de plus près les spécifications de l'ITRS pour les applications hautes performances, cette miniaturisation va trouver ces limites à partir de 2008 [8].

Dans ce chapitre, et dans l'optique de définir les différentes limites de la technologie des transistors sur substrat massif ou autrement dit le MOSFET Bulk conventionnel, on présentera alors la technologie CMOS avancée qui nous guidera à voir plus clair et pouvoir introduire et mettre en œuvre les efforts considérables qui ont été faits pour développer de nouvelles architectures.

CHAPITRE. II _____ LA TECHNOLOGIE CMOS AVANCÉE

II.1	Enjeux et challenges de la technologie CMOS-----	25
II.2	La technologie CMOS -----	27
II.3	Les effets parasites associés à la réduction d'échelle-----	27
II.3.1	SCE « Short Channel Effect » effet canal court-----	28
II.3.1.1	Partage de charge CS -----	29
II.3.1.2	L'effet DIBL « Drain Induced Barrier Lowering » -----	30
II.3.2	Déplétion de grille-----	31
II.3.3	Problèmes liés aux dopages -----	31
II.3.4	Problèmes liés aux faibles épaisseurs d'oxyde -----	32
II.3.5	Effets de « Latch-up »-----	32
II.3.6	Effets de porteurs chauds-----	33
II.3.7	Pente sous le seuil -----	33
II.3.8	Les aspects extrinsèques-----	34
II.3.8.1	Les résistances Source/Drain (Résistances Séries) -----	34
II.3.8.2	La capacité extrinsèque-----	35
II.3.9	Les phénomènes quantiques dans le canal -----	35
II.3.10	Les effets de la géométrie du transistor sur la tension de seuil -----	36
II.4	Notions de transport dans les transistors MOSFET courts-----	37
II.4.1	Mobilité et vitesse de saturation -----	38
II.4.2	Le transport balistique ou quasi-balistique-----	39
II.5	Les solutions technologiques pour améliorer les performances des MOSFETs -----	41
II.5.1	Les architectures visant à optimiser le contrôle électrostatique-----	41
	Conclusion-----	43

II.2. La technologie CMOS

La réduction des dimensions des transistors MOSFET, et en premier lieu de leur longueur de grille L_G , a permis d'augmenter régulièrement les performances fréquentielles des circuits numériques CMOS ainsi que leur densité d'intégration. Cette évolution nécessite cependant de suivre un certain nombre de règles de dimensionnement régulièrement mises à jour par l'*International Technology Roadmap for Semiconductors*, association d'ingénieurs et de chercheurs qui établissent la feuille de route de l'industrie de la microélectronique. Il est en effet indispensable de mettre à l'échelle l'ensemble des paramètres définissant les caractéristiques d'un MOSFET (épaisseur d'oxyde SiO_2 de grille T_{ox} , dopage du canal, profondeur des réservoirs de source et drain...) afin de maîtriser les effets parasites dits de "canal court" qui perturbent le contrôle par l'électrode de grille du courant de drain. Ainsi, pour augmenter la capacité de grille dans les mêmes proportions que la longueur de grille L_G était réduite, le rapport L_G/T_{ox} a été maintenu pendant longtemps à peu près constant ($L_G/T_{ox} \approx 50$) dans les circuits CMOS. Toutefois, ces lois d'échelle semblent bientôt atteindre leurs limites dans le cas des composants de longueur de grille de moins de 50 nm. La diminution excessive de l'épaisseur d'isolant de grille (moins de 1 nm pour la silice utilisée habituellement, soit seulement quelques couches atomiques) en est un exemple bien connu. Une difficulté tout aussi importante est liée à la réduction à quelques dizaines d'ions, voire moins, du nombre d'impuretés de dopage dans la zone active des transistors. Les caractéristiques des transistors dépendent alors de la répartition aléatoire des dopants, d'où des fluctuations de courant qui sont intolérables pour des applications [4].

II.3. Les effets parasites associés à la réduction d'échelle

Les transistors en technologie CMOS et les transistors MOS sur substrat massif « bulk » sont réalisés à la surface de la tranche de silicium, appelée couche active. L'épaisseur nécessaire pour réaliser le transport des électrons est très fine, de 0,1 μm à 0,2 μm , alors que les tranches de silicium ont une épaisseur de 800 μm . Le volume inactif du transistor, qui représente plus de 99,9 %, sert de support mécanique pour manipuler les transistors et les mettre en boîtier. Ce substrat inactif induit des phénomènes parasites, tels que des courants de fuite dans le substrat et des capacités de jonctions élevées. À proximité des jonctions source-canal et drain-canal, les charges de déplétion physiquement situées sous la grille ont leur ligne de champ qui se terminent non pas dans la grille mais dans les zones source-drain (Figure II.1.a) : c'est le partage de charge. Ces charges « partagées » ne peuvent donc pas compter dans le calcul du V_T (équation Eq II.1) et prennent une part grandissante de la charge de déplétion et d'inversion contrôlées par la grille lorsque la longueur de grille diminue [5].

$$V_T = V_{FB} - \frac{Q_{DEP}}{C_{OX}} + 2\Phi_f \quad \text{Eq II.1}$$

Au niveau du potentiel le long du canal, on peut voir que, sous l'influence des zones de charge d'espace des jonctions, la barrière Source/Canal/Drain va s'abaisser (Figure II.2). La tension de seuil V_T va donc chuter. Ce premier effet est appelé SCE, ou « Short Channel Effect ». À cela, se rajoute l'effet de la polarisation du drain, qui va également modifier la répartition du potentiel au niveau de la source. À fort champ de drain, la barrière de potentiel sera, à nouveau, fortement abaissée, et la tension de seuil à nouveau diminuée. C'est l'effet DIBL (« Drain Induced Barrier Lowering »). L'impact de ces différents effets sur les caractéristiques électriques du MOSFET est présenté sur la (Figure II.1.b). Les effets canaux

courts conduisent ainsi à un abaissement non contrôlé de la tension de seuil du MOSFET et donc à une augmentation parasite du courant de fuite IOFF du transistor. Dans ce qui va suivre, on va voir clairement tout ces problèmes qui bloquent cette avancée de la miniaturisation [9].

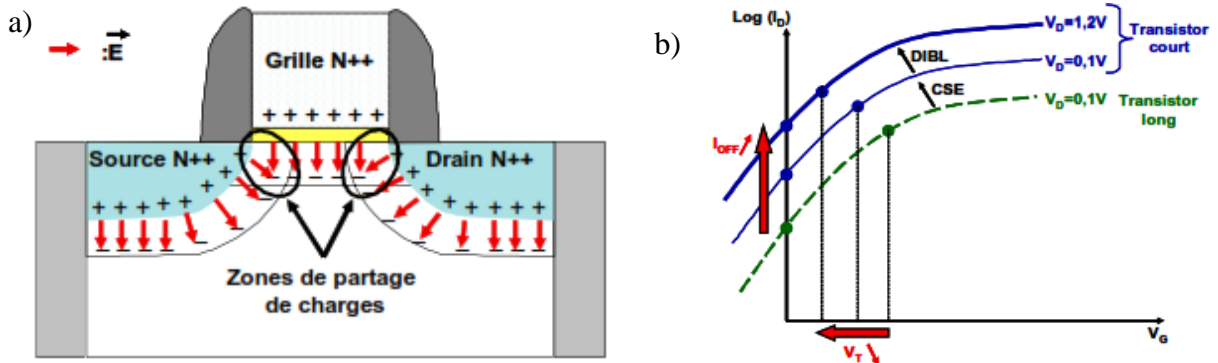


Figure II.1 a/ Vue en coupe d'un transistor nMOS montrant le partage des charges de déplétion (régions colorées).
b/ Impact des effets SCE et DIBL sur les caractéristiques électriques d'un nMOSFET.

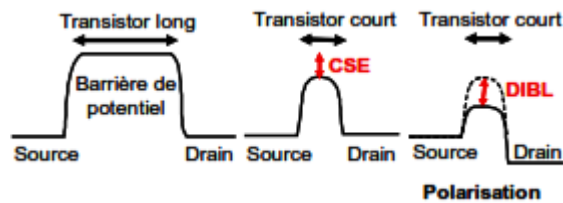


Figure II.2 Abaissement de la barrière de potentiel dans le canal dû à l'effet successif de la réduction des dimensions du transistor (SCE) et de la polarisation du drain (DIBL).

II.3.1. SCE « Short Channel Effect » effet canal court

La diminution de la longueur de canal des transistors MOSFET induit de nombreux effets, dont l'un est appelé effet de canal court. Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze Q_g à la figure II.3. Pour les transistors à canal « long », cet effet est faible par rapport à la zone de contrôle de la grille, tandis qu'au fur et à mesure de la réduction de la longueur de la grille, cet effet devient de plus en plus significatif [1] [7] [16].

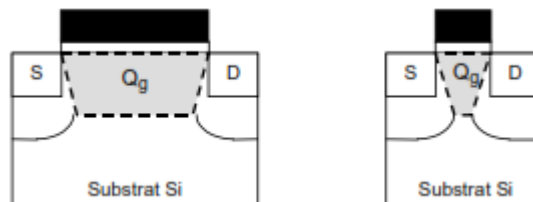


Figure II.3 Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (Gauche) et à canal court (Droite).

L'effet de canal court s'explique par une perte de contrôle de la charge du canal par la grille, ce qui a pour conséquence de réduire la tension de seuil. Cet effet est très important pour les transistors MOSFET sur substrat massifs.

II.3.1.1. Partage de charges de déplétion CS

En diminuant la longueur de grille, c'est-à-dire en rapprochant la source du drain, certes le temps de commutation entre les états logiques du dispositif est diminué, mais la proportion spatiale du canal de conduction contrôlée par la grille l'est aussi. Ces effets dits de canal court (SCE pour Short Channel Effects) peuvent se résumer à la perte du contrôle électrostatique de la grille sur le canal. En effet, dans les transistors longs, la charge de désertion dans le canal est essentiellement contrôlée par la grille. Mais, lorsque la longueur de grille du transistor diminue, les régions de désertion aux jonctions source et drain restent de taille constante alors que la région du canal contrôlée parla grille diminue (voir figure II.4) [7].

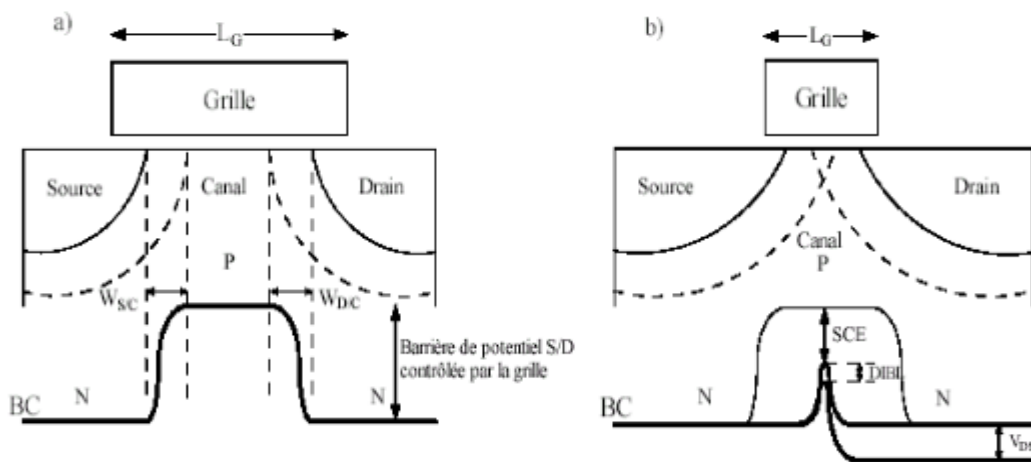


Figure II.4 a/ Structure d'un transistor MOSFET à canal long.
 b/ Structure d'un transistor MOSFET à canal court.
 Dans « b », les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées (W_{sc} et W_{dc}).

Il en résulte, dans les transistors courts, que le potentiel le long du canal peut être complètement dominé par les extensions des zones de charge d'espace autour des jonctions source et drain au détriment du contrôle de la grille. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil S ainsi que du courant [8] [9]. Ce résultat s'observe bien sur la caractéristique I_D-V_G en échelle logarithmique de la figure II.5.

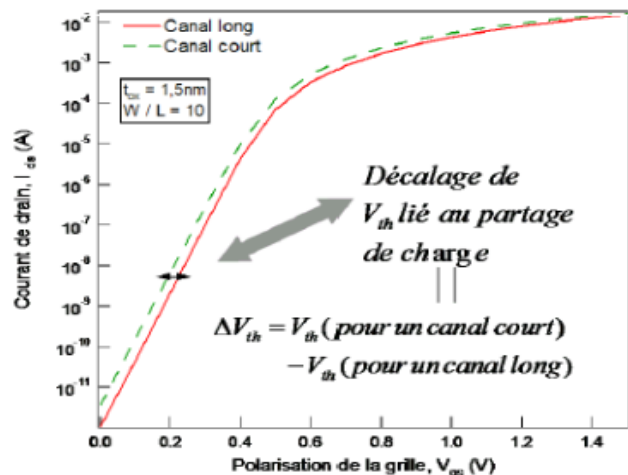


Figure II.5 Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS.

II.3.1.2. L'effet DIBL « Drain Induced Barrier Lowering »

En plus du SCE, la polarisation du drain (V_d) a également un effet sur la barrière de potentiel puisque l'extension de la ZCE au drain dépend de V_d . En conséquence, sur transistor court, V_d induit un abaissement supplémentaire de la tension de seuil appelé DIBL (*Drain Induced Barrier Lowering*) (figures II.6.a et b). Le DIBL est alors attribué à l'influence du potentiel de drain sur la hauteur de barrière du côté de la jonction source/substrat. L'abaissement de la barrière de potentiel, dû aux effets de canal court entre la source et le drain est la cause d'une diminution de la tension de seuil mais aussi d'une augmentation du courant de fuite I_{OFF} . Pour expliquer l'effet du DIBL [9], nous devons considérer un dispositif à canal court. Comme décrit dans la figure II.6.a, lorsque aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long. Cependant, avec une tension de drain appliquée, le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source (figure II.6.a). L'injection augmentée d'électrons par la source, par dessus la barrière de canal réduite, lorsque V_{DS} augmente, entraîne une croissance du courant de drain et donc une décroissance de V_T .

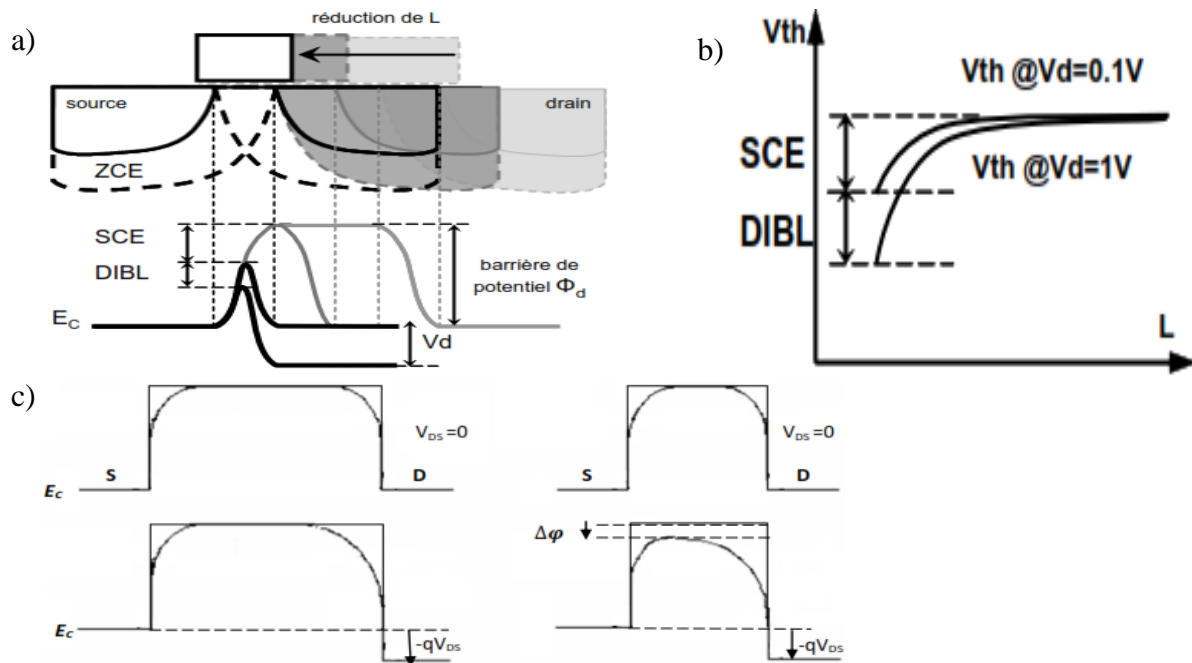


Figure II.6 a/ Illustration de l'effet de la réduction de la longueur de grille sur la barrière de potentiel.
 b/ Illustration de l'effet de la réduction de la longueur de grille sur la tension de seuil.
 c/ Comparaison entre MOSFET canal long (Gauche) et MOSFET canal court (Droite) à tension $V_{DS}=0$ et à $V_{DS}>0$.

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_T divisé par le ΔV_{DS} suivant l'équation suivante et figure II.7 l'illustre clairement :

$$DIBL = \frac{\Delta V_T \text{ (mV)}}{\Delta V_{DS} \text{ (V)}} \quad \text{Eq II.2}$$

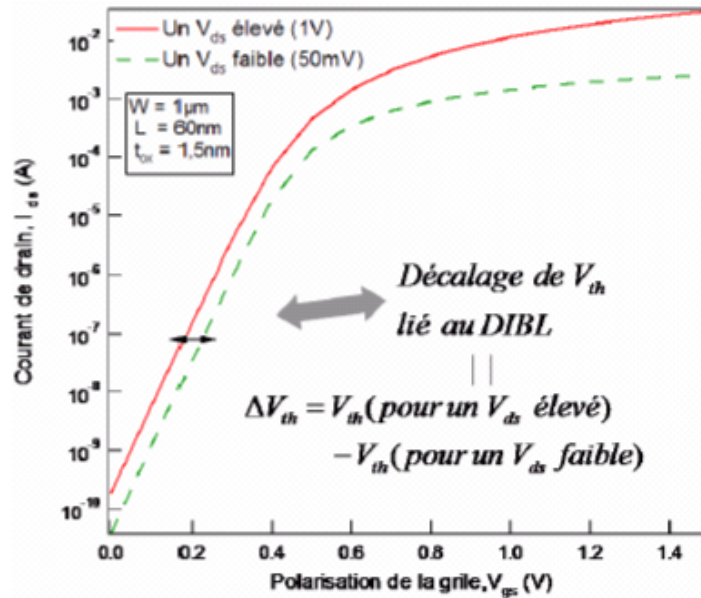


Figure II.7 Influence de l'effet du DIBL sur la caractéristique $I_D - V_{GS}$ du transistor MOS.

II.3.2. Déplétion de grille

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein même du polysilicium en inversion. Ce phénomène est connu sous le nom de déplétion du polysilicium de grille. Cette déplétion entraîne la diminution du courant de saturation I_{on} et l'augmentation « effective » de l'épaisseur d'oxyde. Ceci a pour conséquence directe, une diminution du contrôle de la grille sur le potentiel dans le canal. Le phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs. L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type mid-gap dont les travaux de sortie sont identiques à celui du silicium. Nous pouvons citer le CoS_{12} et le TiN comme exemples de matériau de ce type [9].

II.3.3. Problèmes liés aux dopages

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à 10^{18} atomes / cm^{-3} , un canal mesurant $20 \times 20 \times 20$ nm³ ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET bulk et CMOS avancée [9] [15].

Cette difficulté dans la mise au point des nano transistors, réside dans la réalisation des différents dopages (canal et caissons S/D) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques électriques [16].

Tous les effets canaux courts que nous avons brièvement cités et qui se manifestent au niveau des transistors de petites dimensions pourrait être largement réduit par l'élaboration de

nouvelles structures permettant ainsi une conduction volumique. On citera entre autres les transistors doubles grilles à conduction latérales les doubles grilles à conduction verticales, les finfets, les trigates ...etc.

II.3.4. Problèmes liés aux faibles épaisseurs d'oxyde

L'épaisseur d'oxyde de grille doit être réduite afin d'améliorer le contrôle du canal de conduction. Une augmentation du courant I_{DS} (surtout I_{ON}) passe notamment par une augmentation de la capacité d'oxyde (C_{OX}), ce qui équivaut à une diminution de l'épaisseur d'oxyde de grille (T_{OX}). Pour des épaisseurs inférieures à 2 nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant [9].

Parmi les solutions, une consiste donc à remplacer l'oxyde standard SiO_2 ($k=3.9$) par un diélectrique de plus haute permittivité dit *high-k* comme l'oxyde d'hafnium (HfO_2 : $k=20-25$). Parmi les matériaux présentant *high k* les plus prometteurs, citons ZrO_2 et HfO_2 (voir figure II.8). L'oxyde d'hafnium HfO_2 avec sa permittivité relative k_{ox} de l'ordre de 20, son gap relativement grand de l'ordre de 5,65 eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde.

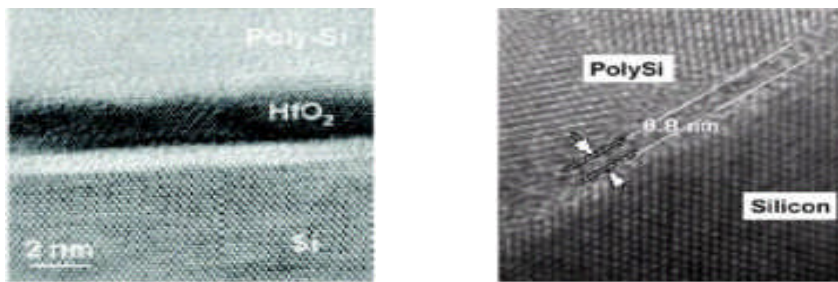


Figure II.8 Vue en microscopie électronique à transmission (TEM) à haute résolution d'un empilement polysilicium/ SiO_2 / Si avec une épaisseur T_{OX} de SiO_2 égale à 0,8nm. Empilement polysilicium/ HfO_2 / Si Les points sur l'image correspondent aux nuages électroniques d'atomes.

II.3.5. Effets de « Latch-up » (thyristor parasite)

L'effet de « Latch-up » peut entraîner le verrouillage d'une structure parasite de type thyristor, inhérente aux technologies CMOS sur substrat massif. Cet effet s'explique par la mise en conduction d'une structure PNPN à travers le substrat, à cause de deux transistors bipolaires parasites NPN et PNP, formés entre substrat, le caisson et les zones de diffusion des transistors NMOS et PMOS (Figure II.9). Si cette structure thyristor est verrouillée par un courant fort dans la base d'un des deux transistors bipolaires, les alimentations sont court-circuitées, pouvant causer la destruction irrémédiable du composant en quelques microsecondes par effet thermique. Dans des architectures alternatives, un oxyde enterré prévient tout chemin de courant à travers le substrat, empêchant une telle structure de se former [1].

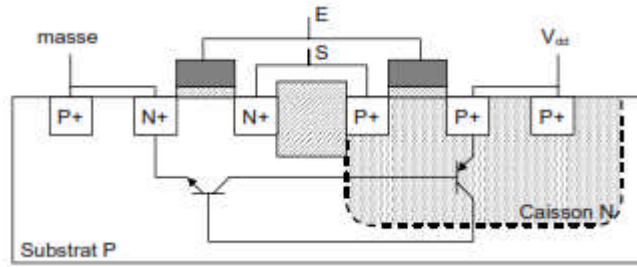


Figure II.9 Illustration de l'effet Latch-up sur un inverseur CMOS sur substrat massif.

II.3.6. Effets de porteurs chauds

Les porteurs acquièrent de l'énergie grâce au champ électrique et en dissipent une partie au réseau cristallin par des collisions sur les phonons acoustiques et optiques. Lorsque le champ électrique longitudinal augmente, les porteurs gagnent plus d'énergie qu'ils n'en dissipent. En utilisant une distribution Maxwellienne, on peut dire que $T_p > T_r$, où T_p est la température correspondant aux porteurs et T_r la température thermique du réseau. Donc, sous l'action du champ électrique longitudinal les porteurs peuvent devenir des porteurs "chauds".

Le champ électrique et ainsi les effets des porteurs chauds seraient plus grands avec l'augmentation de potentiel entre drain et source et/ou avec la réduction du canal.

Une des conséquences principales des effets de porteurs chauds est la génération de paires électron-trou (voir figure II.10). Ce phénomène se produit lorsque les électrons ou les trous ont une énergie suffisante pour ioniser par impact les atomes du réseau. Nous pouvons distinguer deux stades d'ionisation par impact. L'ionisation primaire dont les porteurs du canal sont responsables : les trous générés vont constituer le courant de substrat alors que les électrons seront collectés par le drain (dans le cas d'un nMOSFET). Et l'ionisation secondaire pour laquelle une partie des porteurs créés par ionisation primaire constitue la source de cette ionisation secondaire. Un courant de grille en est issu [7] [9].

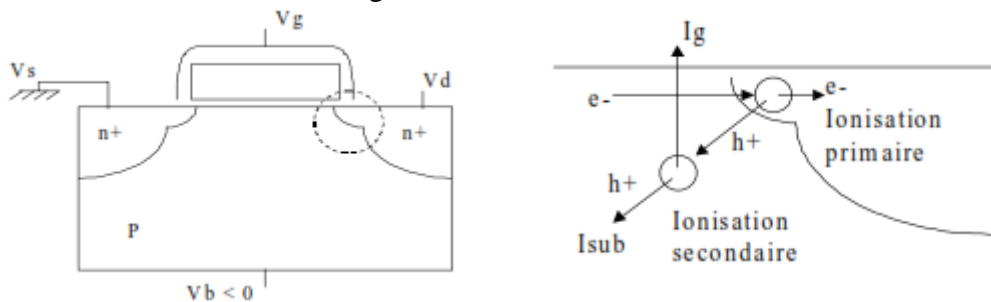


Figure II.10 Diagramme illustrant les mécanismes d'ionisation par impact dans un MOSFET.

La compréhension des mécanismes d'ionisation par impact est nécessaire pour évaluer les situations de dégradation maximale due aux porteurs chauds selon deux principaux critères : la structure technologique et la polarisation de cette structure.

II.3.7. Pente sous le seuil

Ce qu'on appelle dans la littérature « pente inverse sous le seuil » se définit comme l'inverse de la pente de la caractéristique I_d en fonction de V_{GS} , dans la zone où la tension est inférieure à la tension de seuil V_{TH} ($SS = n \cdot \ln(10) \cdot k.T / e$ avec $n = 1 + C_{dep} / C_{ox}$). C'est un courant de diffusion de porteurs minoritaires, puisque la couche d'inversion du canal n'est pas encore formée [9] [12]. Il contribue à la puissance statique consommée par les circuits numériques, c'est-à-dire la puissance consommée à l'état de veille. Dans les architectures alternatives visant à contourner ce problème, il a été montré que les transistors MOSFETs ont une pente

inverse sous le seuil plus faible, permettant d'utiliser des tensions de seuil plus faibles, sans augmenter les courants de fuite. Comme conséquence, de meilleures performances en termes de rapidité peuvent être obtenues à des tensions d'alimentations plus faibles.

II.3.8. Les aspects extrinsèques

Jusqu'à présent, nous avons décrit le comportement intrinsèque du transistor MOS, c'est-à-dire que nous avons considéré que les électrodes de drain et de source étaient connectées directement de part et d'autre du canal. Les choix technologiques qui sont appliqués aux niveaux des diffusions de source et de drain ont en fait une incidence très forte dans le comportement électrique global du transistor MOS bulk. Ces diffusions drain et source sont ainsi sources de dégradation de plus en plus importantes sur le comportement électrique, tant sur le plan statique (résistances), que dynamique (capacité extrinsèque notamment), et cela d'autant plus que le transistor devient petit. Ainsi, est-il indispensable de comprendre et de prendre en compte ces zones pour correctement évaluer les performances réelles du transistor. Les principaux éléments, générés lors de la fabrication du transistor, qui dégradent les performances intrinsèques des dispositifs sont (Figure II.11) [15]:

- ✓ La résistance d'accès à la grille (due aux contacts et au type de grille utilisée).
- ✓ Les résistances d'accès au drain et à la source (dues aux contacts, aux extensions et aux source/drain siliciurées ou non).
- ✓ Les résistances d'accès au substrat.
- ✓ Les capacités grille-drain et grille-source : capacités de bord (fringe) et de recouvrement (overlap).
- ✓ Les capacités drain-substrat et source-substrat (capacités métalliques et de jonction).
- ✓ La capacité drain-source (capacité métallique et de proximité).
- ✓ Les capacités grille-substrat.

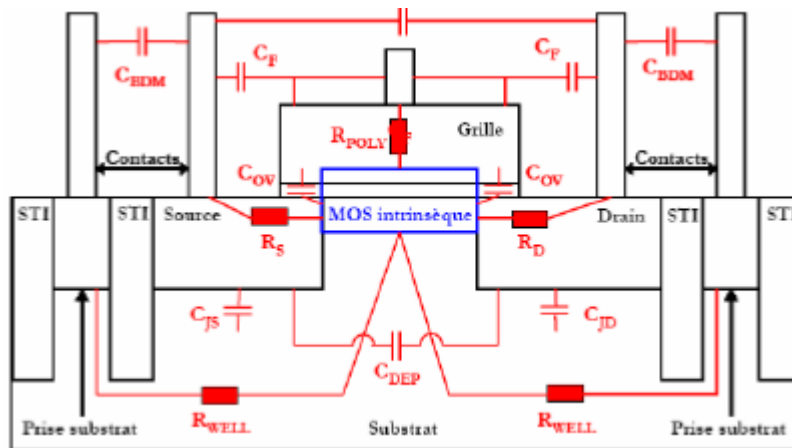


Figure II.11 Schéma d'une structure de transistor MOS bulk mettant en évidence les aspects extrinsèques.

II.3.8.1. Les résistances Source/Drain (Résistances Séries)

Lors du scaling des dispositifs, la diffusion latérale ne peut être réduite dans les mêmes proportions que la longueur de grille, ainsi la région de recouvrement entre la grille et les diffusions de source et de drain devient-elle une fraction significative de la longueur de grille des structures fortement-submicroniques. Cela a pour conséquence directe d'augmenter le poids de la résistance extrinsèque (R_S+R_D), appelée également résistance série R_{sd} , au regard de la résistance canal R_{ch} . Par ailleurs, il est nécessaire de réduire l'extension des profondeurs

des jonctions (X_j) de source et de drain afin de réduire les effets canaux courts. Mais, en contrepartie, cette réduction des profondeurs des jonctions entraîne une augmentation des résistances parasites de source et de drain R_S et R_d en série avec la résistance du canal R_{ch} (montré dans la Figure II.12). Par conséquent, les technologues doivent trouver un compromis entre le contrôle des effets canaux courts qui dégradent le courant I_{OFF} et les résistances parasites qui dégradent le courant I_{ON} [18].

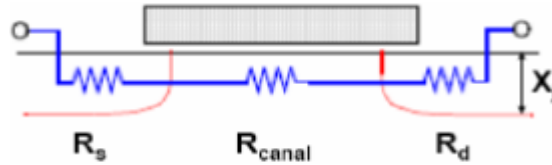


Figure II.12 Illustration des différentes résistances vues entre le drain et la source.

Dans les technologies submicroniques, la présence de régions peu dopées près du canal et des diffusions de drain et de source (ces régions sont désignées sous le nom de L_{DD} ou «*Lightly Doped Drain*») permet une meilleure répartition des zones de déplétion et donc du champ dans la structure. Les porteurs ne seront plus suffisamment accélérés pour engendrer le phénomène d'ionisation par impact. Malheureusement ces zones sont fortement résistives, aussi elles augmentent encore la valeur de la résistance série (R_{sd}) et réduisent les tensions effectives réellement appliquées sur les électrodes de source et de drain.

II.3.8.2. La capacité extrinsèque

Quand les transistors deviennent fortement submicroniques, la capacité extrinsèque constitue une part importante de la capacité de grille du dispositif (plus de 30% pour un MOSFET de $0,2 \mu\text{m}$). Par ailleurs, de part l'importante réduction d'échelle des transistors, cette capacité est fortement dépendante des polarisations externes appliquées aux électrodes, lorsque ces transistors se trouvent dans le régime sans courant. La capacité extrinsèque désigne l'ensemble des trois capacités parasites du transistor MOS, à savoir la capacité de recouvrement C_{ov} (ou d'overlap), la capacité de bord interne C_{if} et la capacité de bord externe C_{of} (Figure II.13) [8].

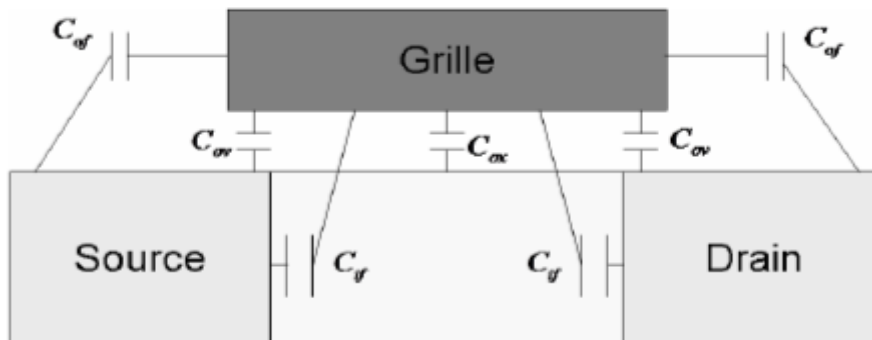


Figure II.13 Schéma illustrant les différentes composantes de la capacité extrinsèque du transistor MOS bulk.

II.3.9. Les phénomènes quantiques dans le canal

Les nanoMOSFET se caractérisent par l'apparition de phénomènes de nature quantique jusqu'alors inexistantes ou tout du moins négligeables. Ainsi, outre le passage des électrons par effet tunnel à travers la grille, il existe aussi une quantification des niveaux d'énergie dans le canal de conduction. De par l'augmentation du dopage de canal dans les transistors, le puits

de potentiel de confinement dans lequel circulent les porteurs devient de plus en plus étroit, augmentant ainsi l'écart entre les différents niveaux d'énergie. Cet effet modifie notamment la position du maximum de densité des porteurs qui se trouve décalée de l'interface entre l'oxyde et le semi-conducteur. Il en découle une capacité MOS effective plus faible que celle prévue théoriquement et par conséquent une sous-estimation de la tension de seuil V_{TH} par surestimation de l'efficacité de la grille [12].

II.3.10. Les effets de la géométrie du transistor sur la tension de seuil

Comme observé expérimentalement, la tension de seuil ne reste pas la même si les dimensions W et L sont réduites [20]. Ce genre de phénomène peut être modélisé en utilisant un logiciel de simulation par éléments finis à deux dimensions comme SILVACO(ATLAS) en vue de résoudre des équations telles que les équations de Poisson et de transport. Toutefois, un modèle plus simple, développé par Yau, a permis de déterminer «graphiquement» les relations qui lient la répartition de la charge de déplétion et la tension de seuil. Ce modèle porte le nom de répartition de charge (Charge-sharing model). La vue en coupe à la figure I.14 montre la répartition de la charge de déplétion d'un transistor MOS à canal court. La relation habituellement utilisée pour la tension de seuil des transistors à canal long est la suivante :

$$V_T = V_{FB} + 2\Phi_F \pm \frac{Q_D}{C_{OX}} \quad \text{Eq II.3}$$

Avec : + pour un nMOSFET.
- pour un pMOSFET.

V_{FB} : est la tension de bande plate.

$2\Phi_F$: est le potentiel de surface maximum en forte inversion ($V_{GS} > V_T$).

La charge de déplétion est donnée comme :

$$Q_D = -qX_{dm}N_A(Cb/m) \quad \text{Eq II.4}$$

Où : X_{dm} : est la profondeur de la charge de déplétion.

La ZCE est créée par un champ qui possède une composante longitudinale et transversale. Pour les transistors à canal long, la composante transversale du champ, c'est-à-dire le champ créé par la grille, contrôle pratiquement toute la charge de déplétion. La composante longitudinale du champ, c'est-à-dire le champ créé par le drain, n'a que peu d'effet sur la charge de déplétion figure II.14 [15]. Si la longueur du canal diminue, la charge de déplétion contrôlée par le drain prend de plus en plus d'importance par rapport à celle contrôlée par la grille. Cette diminution de la charge de déplétion va entraîner une diminution de la tension de seuil [20].

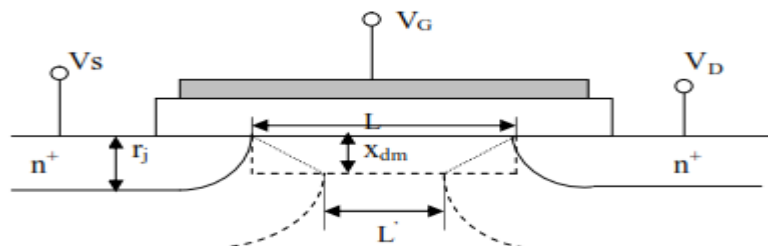


Figure II.14 Partage de la charge de déplétion entre grille, source et drain.

En effet, la charge de déplétion effective Q'_D qui est représentée par la surface de trapèze (Eq II.5) est inférieure à la surface de la charge de déplétion qui est utilisée en première approximation pour les canaux longs ($S=X_{dm} \cdot L$).

$$S' = X_{dm} \frac{(L + L)}{2} \quad \text{Eq II.5}$$

La charge Q'_D contrôlée par la grille est donnée par :

$$Q'_D L = q N_A X_{dm} \frac{(L + L)}{2} \quad \text{Eq II.6}$$

Par des considérations d'ordre géométrique, on peut prouver que :

$$\frac{(L + L)}{2L} = 1 - \left(\sqrt{1 + \frac{2X_{dm}}{r_j}} - 1 \right) \frac{r_j}{L} \quad \text{Eq II.7}$$

La tension de seuil est donc une fonction du dopage, de L et de la profondeur de la jonction (r_j). En remplaçant Q_D par Q'_D (Eq II.6) dans l'expression de la tension de seuil (Eq II.3), on obtient:

$$V_T = V_{FB} + 2\Phi_F \pm \frac{Q_D}{C_{OX}} \left[1 - \left(\sqrt{1 + \frac{2X_{dm}}{r_j}} - 1 \right) \frac{r_j}{L} \right] \quad \text{Eq II.8}$$

Le model de Yau prévoit avec assez de justesse la chute de tension de seuil expérimentale (Figure II.15).

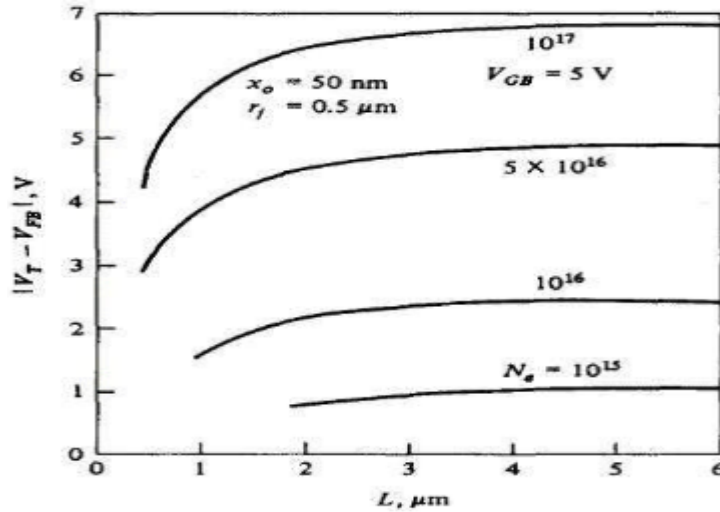


Figure II.15 Evolution de la tension de seuil théorique en fonction de la longueur de canal selon le modèle de Yau.

II.4. Notions de transport dans les transistors MOSFET courts

Dans les MOSFETs courts, d'autres paramètres physiques (autre que la mobilité des porteurs) gouvernent le transport. Il s'agit de la saturation de la vitesse de dérive, des phénomènes non-stationnaires et des effets balistiques. Ce sont ces mécanismes de transport qui sont alors à l'origine des limitations du courant de drain dans ces transistors (en plus de la limitation principale induite par les résistances séries comme évoqué précédemment) [14] [19].

L'objectif des paragraphes suivants est de donner les notions de base pour ces régimes de transport.

II.4.1. Mobilité et vitesse de saturation

En régime stationnaire, sous l'action d'un champ électrique longitudinal $E_{//}$ entre la source et le drain, les porteurs se déplacent avec une vitesse de dérive v définie par l'équation suivante [19]:

$$v = \mu E_{//} \quad \text{Eq II.9}$$

Toutefois, à partir d'une certaine valeur du champ $E_{//}$, appelé champ critique longitudinal $E_{c,//}$ ($E_{c,//} \approx 10^4 \text{ V/cm}$ dans Si), la vitesse de dérive des porteurs n'est plus proportionnelle au champ électrique longitudinal (Figure II.16) et tend vers valeur limite appelée vitesse de saturation V_{sat} ($V_{\text{sat}} \approx 10^7 \text{ cm/s}$ dans Si).

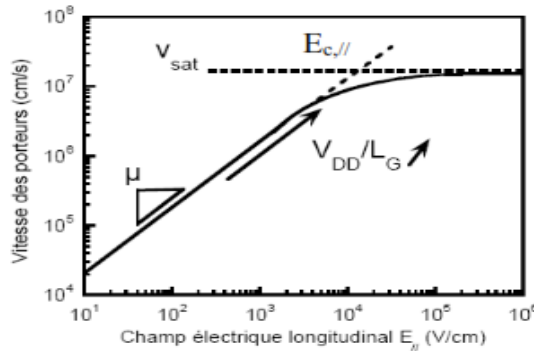


Figure II.16 Evolution de la vitesse des électrons avec le champ électrique longitudinal $E_{//}$.

Son origine physique est due aux collisions inélastiques subies par les porteurs avec les phonons optiques du réseau qui deviennent de plus en plus probables à mesure que l'énergie des porteurs augmente. Or, le champ électrique longitudinal dans les dispositifs CMOS actuels est largement supérieur à $E_{c,//}$. Ainsi, dans les transistors courts, le régime de saturation ne trouve pas la même origine physique. Alors que pour les canaux longs, la saturation est atteinte dès lors que $V_D = V_{D,\text{sat}} = V_G - V_T$, c'est-à-dire lorsque le canal est pincé (le champ latéral aux bornes de la charge d'inversion est alors constant d'où un courant saturé), pour les canaux courts, le courant sature avant le pincement du canal, puisque les porteurs atteignent leur vitesse limite. Il devient légitime de se poser la question de l'intérêt du paramètre mobilité pour les MOSFETs ultracourts et de remplacer l'équation du courant de drain dans le régime ohmique par l'expression suivante valable dans le régime de saturation de la vitesse des porteurs [14]:

$$I_{D\text{sat}} = C_{OX,\text{eff}} W v_{\text{sat}} (V_G - V_T) \quad \text{Eq II.10}$$

Il est intéressant de noter que la longueur du canal n'intervient plus dans l'expression d' $I_{D\text{sat}}$, ainsi dans ce régime, une réduction de la longueur du canal ne permet plus de gagner en performance. Avant d'atteindre v_{sat} , on peut adapter l'équation de courant de drain dans le régime ohmique en modélisant la diminution de mobilité avec V_D , $\mu_{\text{eff}}(V_D)$ selon une équation du type :

$$\mu_{\text{eff}}(V_D) = \frac{\mu_{\text{eff}}}{1 + E_{//} + E_{c,//}} = \frac{\mu_{\text{eff}}}{1 + \theta_D V_D} \quad \text{pour } \rightarrow E < E_{c,//} \quad \text{Eq II.11}$$

Avec : $V_D \approx E_{//} L_{\text{eff}}$ et $\theta_D = \mu_{\text{eff}} / (2v_{\text{sat}} L_{\text{eff}})$.

Cependant, il a été démontré que la mobilité des porteurs joue toujours un rôle fondamental en régime de saturation et que l'augmentation de la mobilité continue à être bénéfique pour le courant I_{ON} . Le champ électrique dans le canal côté source en régime de saturation resterait ainsi inférieur au champ $E_{c, //}$ même pour des dispositifs de longueur de grille inférieure à 50nm. Signalons par ailleurs, que la vitesse de saturation n'est pas une limite infranchissable puisqu'il a été mis en évidence des phénomènes de survitesse lorsque l'énergie des porteurs augmente très rapidement (cas du transport hors-équilibre), comme c'est le cas dans les MOSFETs ultracourts n'est aujourd'hui pas clairement démontré.

II.4.2. Le transport balistique ou quasi-balistique

Le transport dans le canal peut être décrit également à partir de l'approche balistique. Les dispositifs CMOS ultimes se rapprochent en effet de la limite balistique même s'ils ne seront probablement jamais complètement balistiques. Lorsque la distance entre la source et le drain devient inférieure au libre parcours moyen des porteurs λ entre deux collisions ($\approx 20\text{nm}$ dans le silicium intrinsèque), les porteurs ne subissent plus aucune interaction pendant leur transport dans le canal. Cette limite balistique définit la valeur maximale que le courant peut atteindre (Figure II.17). Le courant devient uniquement limité par la vitesse d'injection v_{inj} des porteurs au niveau de la source selon l'équation [19]:

$$I_{Dsat} = WQ_{inv}v_{inj} \tag{Eq II.12}$$

Où Q_{inv} représente ici, la charge d'inversion côté source. Dans le cas d'un régime purement balistique, (tous les porteurs injectés au niveau de la source atteignent le drain, et si l'on considère un gaz de porteurs non dégénéré, v_{inj} est égal à la vitesse thermique des porteurs v_{th} définie par :

$$v_{th} = \sqrt{\frac{2k_B T}{\pi \cdot m^*}} \tag{Eq II.13}$$

Où m^* est la masse effective isotrope de conduction. La valeur de v_{th} pour les électrons dans le silicium est environ $1,2 \times 10^7 \text{cm/s}$ à $T=300\text{K}$.

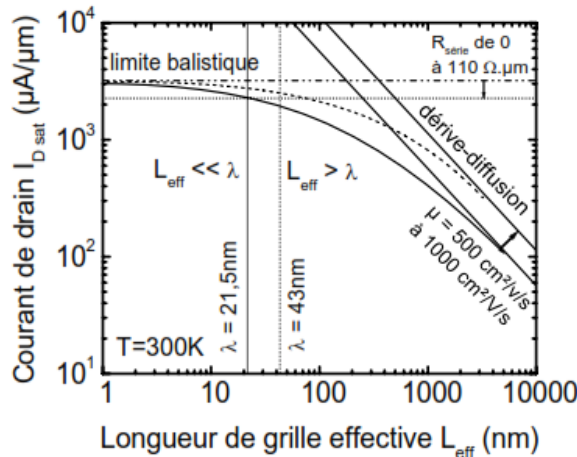


Figure II.17 Illustration de la limite balistique (la valeur maximale que le courant peut atteindre).

Dans le cas d'un régime quasi-balistique, pour lequel certains porteurs injectés au niveau de la source rétrodiffusés, on définit un coefficient de rétrodiffusion « r » traduisant la proportion

des porteurs qui ne sont pas collectés par le drain. D'après Lundstrom et Al, les courants de drain en régime linéaire ($V_D < k_B T/q$) et saturé s'écrivent :

$$I_{Dlin} = WC_{OX,eff} \frac{v_{inj}}{2k_B T/q} (1 - r_{lin}) (V_G - V_T) V_D \rightarrow \text{avec} \left(r_{lin} = \frac{L_{eff}}{L_{eff} + \lambda} \right) \quad \text{Eq II.14}$$

$$I_{Dsat} = WC_{OX,eff} v_{inj} \left(\frac{1 - r_{sat}}{1 + r_{sat}} \right) (V_G - V_T) \rightarrow \text{avec} \left(r_{sat} = \frac{l}{l + \lambda} \right) \quad \text{Eq II.15}$$

Où l est une longueur critique caractéristique de la rétrodiffusion à V_D fort. Elle correspond approximativement à la distance sur laquelle le potentiel côté source chute de $k_B T/q$ (communément appelée « kT layer »). Au-delà de cette distance, on considère que les porteurs ne peuvent plus revenir dans la source. l dépend donc du profil du potentiel près de la source (Figure II.18). λ est le libre parcours moyen des porteurs dans le canal, il est directement relié à la mobilité des porteurs μ via la relation [5] :

$$\lambda = \frac{2k_B T}{q} \cdot \frac{\mu}{v_{th}} \quad \text{Eq II.16}$$

Sa valeur à $T=300K$ est typiquement de quelques dizaines de nanomètres dans les technologies actuelles (Figure II.17).

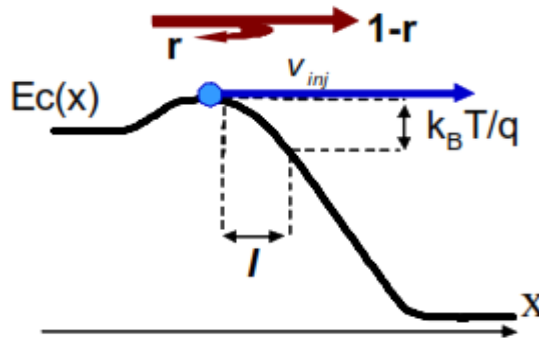


Figure II.18 Représentation schématique du profil de la bande de conduction proche de la source du MOSFET illustrant le coefficient de rétrodiffusion des porteurs injectés à la vitesse v_{inj} .

À partir des expressions du courant de drain en régime linéaire selon l'approche quasi-balistique (Eq II.14) et l'approche classique, on peut définir une mobilité équivalente μ_{eq} :

$$\mu_{eq} = \frac{v_{th}}{2k_B T/q} \cdot \frac{\lambda}{1 + \lambda/L_{eff}} \quad \text{Eq II.17}$$

Ainsi lorsque $L_{eff} \gg \lambda$, $\mu_{eq} = \mu$ et lorsque $L_{eff} \ll \lambda$ (limite balistique), $\mu_{eq} = \mu L_{eff}/\lambda$ (Figure II.16). Contrairement au modèle classique, cette mobilité diminue avec la longueur de grille. Expérimentalement, on observe une dégradation de la mobilité dans les technologies avancées. Or, le concept de mobilité est basé sur les mécanismes de collision, cette dépendance avec la longueur du canal n'a donc pas véritablement de sens physique. On peut

se poser aussi la question de la validité du concept de mobilité effective ou de son extraction pour les MOSFETs ultracourts.

Mais cette dégradation de mobilité est observée dès des longueurs de grille de plusieurs centaines de nanomètres. Elle ne peut donc pas s'expliquer uniquement par l'apparition d'effets balistiques puisque l'on se situe dans la région $L_{eff} \gg \lambda$. Il doit donc exister une dégradation de μ avec L . Notons en plus que cette dégradation observée expérimentalement s'accroît avec l'augmentation du dopage du canal, ce qui ne peut être expliqué que par une dégradation de μ (associée à une augmentation des interactions avec les impuretés dopantes) [6]. Finalement on peut dire qu'actuellement, les mécanismes de collisions restent les éléments clés pour expliquer le transport à faible et fort champ longitudinal.

II.5. Les solutions technologiques pour améliorer les performances des MOSFETs

Pour améliorer les performances des MOSFETs il faut être capable de faire débiter un courant I_{ON} plus fort tout en gardant un niveau de fuite I_{OFF} acceptable (fixés par l'ITRS) [1]. Afin de limiter le courant I_{OFF} il est alors nécessaire de limiter au maximum les effets de canal court, c'est-à-dire optimiser le contrôle électrostatique du canal par la grille. D'après les équations donnant le courant à l'état ON, pour augmenter le courant I_{ON} on peut soit augmenter la tension d'alimentation V_{DD} , avec, entre autres, les problèmes de puissance dissipée que cela procure (cette solution est donc écartée), soit améliorer le couplage électrostatique entre la grille et le canal, tout en gardant un courant I_{OFF} acceptable (Figure II.19), soit modifier directement les propriétés du transport électronique, sans altérer a priori le courant à l'état bloqué.

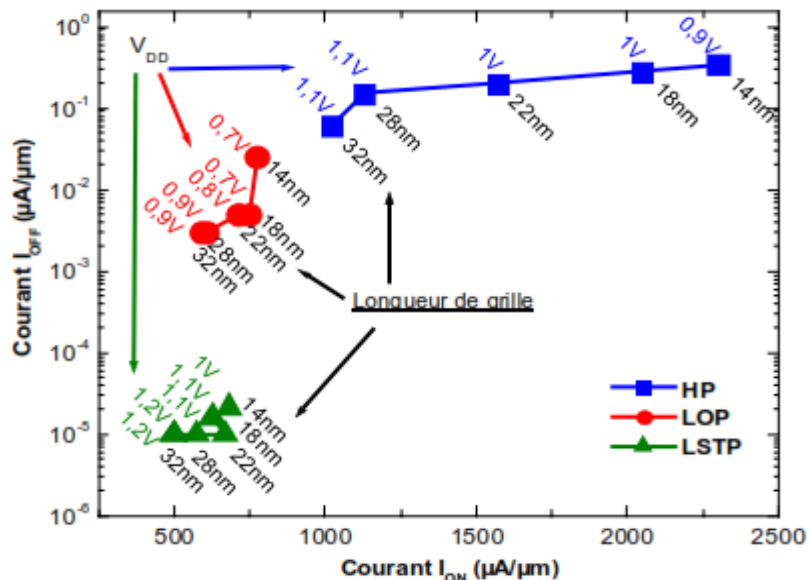


Figure II.19 Compromis I_{ON}/I_{OFF} , longueur de grille et tension d'alimentation V_{DD} pour les transistors nMOS haute performance (HP), opérant à faible puissance (LOP) et à faible puissance de veille (LSTP).

II.5.1. Les architectures visant à optimiser le contrôle électrostatique

La technologie la plus communément utilisée en production est appelée « bulk » [13]. Les dispositifs sont fabriqués sur des plaquettes de silicium massif. Afin de limiter les effets de canal court il convient d'optimiser l'architecture pour garder un très bon contrôle

électrostatique du canal par la grille. Pour limiter la chute de V_T avec la longueur de grille (SCE) et avec la tension de drain (DIBL), on peut diminuer les profondeurs des jonctions de source et de drain avec le substrat (ingénierie des jonctions fines pour réduire le couplage parasite capacitif avec le substrat ou, ce qui revient au même, pour minimiser la part de la charge de désertion contrôlée par les source/drain au lieu de la grille). On implante alors, avant de réaliser les réservoirs source et drain à proprement parler, une région dite LDD (pour « Lightly Doped Drain »), comme illustré sur la figure II.20 [13] [20].

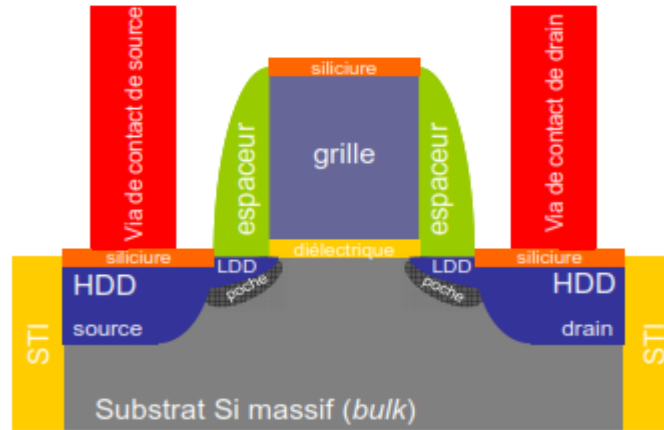


Figure II.20 Coupe longitudinale schématique de l'état de l'art du transistor MOSFET en technologie « bulk ».

À l'origine, ces extensions, plus faiblement dopées que les zones réservoirs, dites HDD (pour « Highly Doped Drain »), avaient pour but de minimiser le champ électrique localement, au niveau de la jonction avec le drain, ceci pour limiter la création de porteurs chauds. Aujourd'hui ces zones sont plutôt appelées « S/D extension » dans la littérature puisqu'elles sont très fortement dopées afin de limiter les $R_{série}$ et leur but est de mieux contrôler les effets de canal court. Cependant ceci a toujours pour effet d'augmenter les résistances séries R_{EXT} , comparativement aux régions HDD, limitant ainsi le courant I_{ON} . On peut aussi augmenter la distance entre les extensions et le canal afin de réduire les capacités parasites de recouvrement sous les espaceurs. Dans ce cas ce sont les résistances séries R_{OV} qui seront augmentées. Ainsi pour obtenir les meilleurs résultats en termes de compromis $R_{série}$ /effet canal court, il convient de réaliser des jonctions les plus abruptes possibles [13].

Une autre astuce utilisée pour limiter les effets de canal court consiste à augmenter la hauteur de barrière avec le canal. Plutôt que de sur-doper tout le canal, entraînant une trop forte dégradation de la mobilité des porteurs et modifiant aussi la tension de seuil des transistors longs, on réalise des poches de sur-dopage du canal au niveau des jonctions source/drain et canal/drain (par implantation dite « tiltée », à grand angle d'incidence), augmentant localement le dopage du canal. Toutefois pour des dimensions fortement submicroniques ces poches de sur-dopage affectent le transport, limitant les performances. Les marges de manœuvre étant de plus en plus faibles, toutes ces techniques sont désormais conjointement mises à profit (Figure II.20) [15].

Les outils de conception peuvent également être avantageusement utilisés pour réduire les fuites dans les circuits (Co-intégration des MOSFETs HP et LP, polarisation du substrat...).

Toutes ces optimisations technologiques seront très probablement utilisées dans la technologie « bulk » jusqu'au nœud technologique 45nm par la plupart des industriels (comme Intel®, STMicroelectronics, Toshiba, NEC ou Infineon). Cependant quelques

industriels (comme IBM, Motorola/Freescale ou encore AMD) ont d'ores et déjà adopté une nouvelle technologie, utilisant un nouveau substrat de départ : le Silicium sur Isolant (SOI). Cette technologie est présentée dans le chapitre suivant.

Conclusion

En conclusion, on dira que la réduction des dimensions des transistors MOSFET a permis d'augmenter régulièrement les performances des circuits numériques CMOS, tout en maîtrisant les bilans énergétiques mis en jeu. Mais, cette évolution nécessite cependant de suivre un certain nombre de règles de dimensionnement qui semblent bientôt atteindre leurs limites dans le cas des NanoMOSFETs. La diminution de l'épaisseur de l'oxyde de grille jusqu'à environ 1 nm pose ainsi de graves problèmes tant physiques qu'électriques. Dans cette perspective, il paraît tout à fait nécessaire de trouver des architectures alternatives à celle du MOSFET "massif" utilisé jusqu'à présent. Les dispositifs à grille multiple sur SOI, dans lesquels les dimensions de la zone active deviennent inférieures à quelques dizaines de nm dans toutes les directions, et l'utilisation de films nanométriques de Si contraints devraient ainsi permettre d'améliorer encore les performances des circuits CMOS. Parallèlement à cette évolution de la microélectronique classique vers une électronique "ultime", des études amont doivent être menées pour identifier des alternatives à la logique CMOS.

Dans le chapitre suivant, on s'intéressera plus spécialement à la technologie SOI, cette technologie s'affiche comme l'une des solutions innovantes potentielles, susceptibles d'assurer la pérennité de la nanoélectronique sur silicium.

Chapitre 3

III.1. ENJEUX ET CHALLENGES DE LA TECHNOLOGIE « SOI »

Ce chapitre présente la technologie silicium sur isolant (« Silicon On Insulator » : SOI) a été inventée dans les années 1960-1970 pour satisfaire la demande de circuits intégrés durcis aux irradiations ionisantes [22]. Le premier matériau, le silicium sur saphir « SOS », a été suivi par une variété de structures SOI. Leur dénominateur commun est d'offrir, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif (Figure III.1.a). En effet, dans un transistor à effet de champ métal oxyde semi-conducteur MOSFET, il n'y a que la couche superficielle de silicium, d'épaisseur 0,1 à 0,2 μm (c'est-à-dire moins de 0,1% de l'épaisseur totale de la plaquette de silicium), qui est vraiment utile pour le transport des électrons. Le reste de la plaquette est responsable d'effets parasites indésirables, que l'on peut éviter en faisant appel à une solution de type SOI (Figure III.1.b).

La mise au point de nouveaux matériaux SOI, ainsi que l'explosion des appareils électroniques portables, a promu le SOI comme une technologie de choix pour la fabrication de composants à basse consommation «Low Power», à haute performance «High Performance» et à haute fréquence [17]. Nous décrivons la technologie SOI, en commençant par les avantages essentiels des circuits SOI, par rapport aux dispositifs conventionnels sur silicium massif, sont présentés. Nous verrons que les mécanismes qui régissent le fonctionnement des transistors MOS sur SOI, partiellement ou totalement désertés, sont assez différents de ceux habituellement rencontrés dans les MOSFETs sur silicium massif. Le SOI a un fort potentiel pour repousser les frontières de la microélectronique, par la miniaturisation des transistors MOS conventionnels ou bien par les architectures innovantes qu'il peut accueillir. Nous discuterons finalement les défis qui restent à relever avant que le SOI puisse jouer le rôle dominant qu'il mérite sur le marché de la micro-électronique.

CHAPITRE. III _____ LA TECHNOLOGIE SOI (Silicon On Insulator) "SOI DG MOSFET"

III.1	Enjeux et challenges de la technologie « SOI »	44
III.2	La technologie « SOI »	46
III.3	Les avantages essentiels des circuits « SOI »	47
III.3.1	Diminution des effets parasites	47
III.3.2	Amélioration du contrôle de la grille sur la charge de déplétion	47
III.3.3	Amélioration de la pente sous le seuil	48
III.3.4	Autres avantages de cette technologie	49
III.4	Le fonctionnement du transistor MOSFET sur SOI	49
III.4.1	Le transistor partiellement déplété PD-SOI	49
III.4.1.1	Fonctionnement du transistor : effets du substrat flottant	49
III.4.1.1.a	Influence des courants internes	59
III.4.1.1.b	Influence du coulage capacitif	51
III.4.1.2	Avantages de la technologie PD-SOI	52
III.4.1.2.a	Performances	52
III.4.1.2.b	Effet Latch-up	52
III.4.1.3	Inconvénients de la technologie PD-SOI	53
III.4.1.3.a	Effet mémoire	53
III.4.1.3.b	Consommation statique accrue	54
III.4.1.3.c	Auto-échauffement	54
III.4.2	Le transistor complètement déplété FD-SOI	55
III.4.2.1	Paramètres électriques du MOS FD-SOI	56
III.4.2.2	Courant de fuites à travers la grille	57
III.4.2.3	Contrôle électrostatique accrue	58
III.5	Les Inconvénients majeurs de la technologie « SOI »	58
III.6	Les architectures alternatives à multi-grilles	59
III.6.1	La technologie MOSFET double grille DG MOSFET	61
III.4.1.1.a	Transistor MOS DG planaire	61
III.4.1.1.b	Transistor MOS DG quasi-planaire	62
III.4.1.1.b	Transistor MOS DG verticale	63
III.6.2	Le transistor MOS triple grille et le triple ⁺ grille	63
III.6.3	Le transistor MOS quadruple grille	64
	Conclusion	64

III.2. La technologie SOI

Le terme SOI (Silicon On Insulator) signifie littéralement silicium-sur-isolant [2]. Contrairement au MOSFET bulk (figure III.1.a) où les composants sont réalisés sur un substrat de silicium appelé bulk, d'une épaisseur de l'ordre de 600 μ m dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de silicium au préalable posé sur une couche d'oxyde enterrée (figure III.1.b). Le film de silicium a une épaisseur que nous noterons t_{Si} .

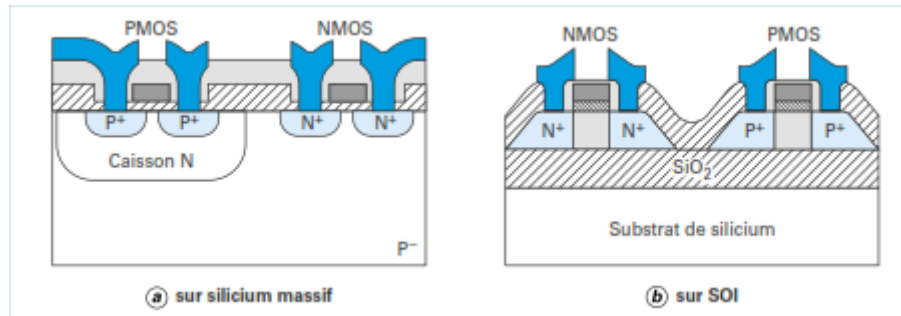


Figure III.1 Coupe schématique de transistors MOSFET.

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure «SOI» a fait naître le concept d'inversion volumique. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOSFET sur silicium massif [3]. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré, nous parlons alors de transistor partiellement déplété (ou PDSOI, « Partially Depleted SOI »). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film, nous parlons alors de transistor entièrement déplété (ou FDSOI, « Fully Depleted SOI »). La figure III.2 décrit ces deux structures.

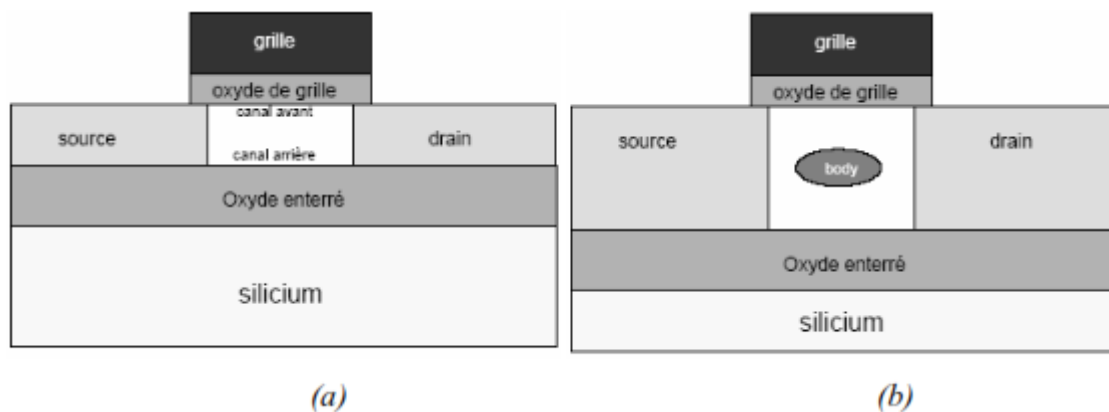


Figure III.2 Représentation schématique d'un transistor SOI.
 a/ Entièrement déplété FDSOI.
 b/ Partiellement déplété PDSOI.

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur X_{Si} de la zone de désertion dans le film dépendra du dopage du film [22].

III.3. Les avantages essentiels des circuits SOI

Les propriétés électriques de la structure Silicium sur isolant, sont dans l'ensemble bien meilleures comparées au transistor MOS bulk. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à $30nm$. Nous allons maintenant voir les principales propriétés de la technologie SOI par rapport au MOSFET bulk [9] [10] [11].

III.3.1. Diminution des effets parasites

Les avantages de la technologie SOI sont multiples. Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites voir éliminées. En effet, les capacités de jonction parasite source-substrat et drain-substrat, lesquelles pour le MOSFET bulk correspondent à la capacité d'une jonction polarisée en inverse, ne sont en réalité pour le SOI qu'une capacité d'oxyde enterré C_{Box} . Naturellement, cette capacité d'oxyde enterré est quatre, voire sept fois inférieure à la capacité de la jonction obtenue sur le silicium massif, cet effet de corps conduisant à une amélioration de la performance de 30% par rapport à cette dernière, tel l'état de commutation [10]. En plus de cet avantage, le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé, ceci a pour conséquence directe une meilleure gamme de température d'opération. Parmi les avantages, notons également que lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension de grille nulle, ce qui est également avantageux en ce qui concerne le courant de percement. Il y a aussi le latch-up, présent sur le MOSFET bulk, qui est éliminé sur le SOI [12]. Le latch-up est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ de transistors nMOS et pMOS voisins, comme nous pouvons s'en rendre compte sur la figure III.1.b, que ces zones sont totalement isolées et, ainsi, le claquage entre ces deux zones est impossible. En plus d'une simplification dans les procédés de fabrication due au nombre réduit de masques, l'isolation verticale et horizontale résulte dans la faculté d'augmenter la densité d'intégration des composants réalisés sur une même plaquette de même dimension comparée avec la technologie bulk qui est une conséquence directe de la suppression de cet effet parasite.

III.3.2. Amélioration du contrôle de la grille sur la charge de déplétion

Si nous comparons le transistor MOS bulk au transistor SOI, avec des dimensions identiques (L, W, t_{ox}, X_j), nous constatons que le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important en technologie SOI. Comme la montre la figure III.3, ce phénomène est d'autant plus marqué que la longueur du canal diminue.

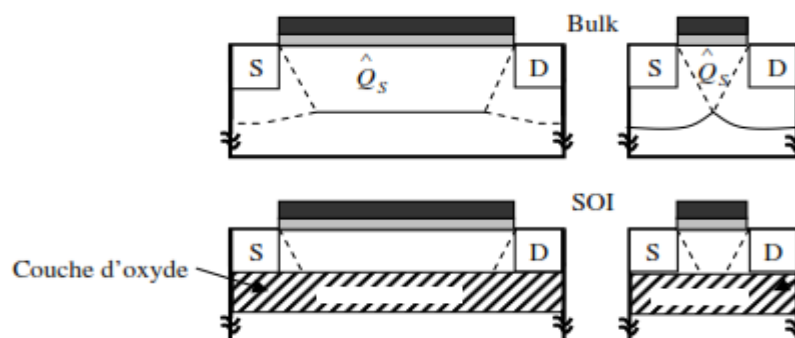


Figure III.3 Distribution de la charge de déplétion pour le MOSFET bulk et le SOI.

III.3.3. Amélioration de la pente sous le seuil

Contrairement au transistor MOS bulk (Figure III.4.a), où la capacité C_{dep} ne peut être négligée d'où un facteur de substrat $n > 1$, le film du transistor SOI sur film mince, est déserté en entier avant que la tension n'atteigne la tension de seuil, C_{Si} qui désigne la capacité du film de silicium entièrement déserté est donc ramenée à une constante, d'où le facteur de substrat défini comme suit (Eq III.1) [14]:

$$n = \left(1 + \frac{C_{Si}}{C_{ox1}} \right) - \frac{\frac{C_{Si}}{C_{ox2}} - \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{Si}}{C_{ox2}}} \quad \text{Eq III.1}$$

Où C_{ox1} et C_{ox2} , représentent les capacités d'oxyde situées respectivement dans la partie supérieure et la partie inférieure du film de silicium.

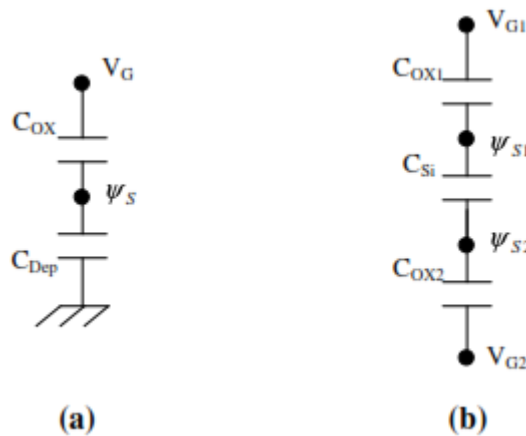


Figure III.4 Circuit capacitif équivalent.
a/ d'un MOSFET bulk.
b/ d'un MOSFET SOI.

Habituellement, pour des films minces, $C_{ox2} \ll C_{ox1}$ et $C_{ox2} \ll C_{Si}$, et donc nous obtenons une valeur de n proche de l'unité et une pente sous le seuil optimale. En pratique, la valeur de pente sous le seuil est aux alentours de 65mV/déc. (Figure III.5) [22].

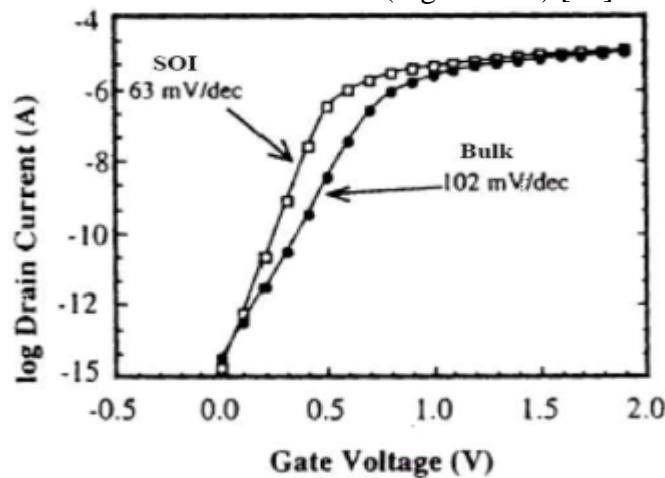


Figure III.5 Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante.

III.3.4. Autres avantages de cette technologie

On peut en citer d'autres avantages de cette technologie tels qu'une [15] :

- ✓ Basse tension d'opération avec la même performance de sortie comparée avec la technologie bulk qui doit opérer à une plus haute tension de fonctionnement, ceci mène à une basse consommation (autour de 40 à 50% moins).
- ✓ Réduction dans l'influence des radiations tel le taux d'erreur-logicielle qui affecte le stockage en mémoire des données.
- ✓ Réduction du courant de fuite, ce qui amène à une meilleure application numérique pour une consommation réduite.
- ✓ Une diminution des effets canaux courts à la réduction du composant.

III.4. Le fonctionnement du transistor MOSFET sur SOI

Le transistor SOI se distingue du transistor massif conventionnel (Figure III.6.a) par une couche d'oxyde enterrée : le BOX (Buried OXide). Lorsque l'épaisseur du film de silicium t_{si} constituant le canal de conduction est grande, la zone de désertion sous le canal de conduction ne s'étend pas suffisamment en profondeur pour atteindre l'oxyde enterré. On parle de dispositifs partiellement désertés (Partially Depleted SOI – PDSOI) (Figure III.6.b) [16]. Ils présentent des propriétés proches du transistor conventionnel. En revanche, lorsque l'on réduit l'épaisseur du film de silicium, cette couche de désertion peut atteindre le BOX. On parle alors de transistors totalement désertés (Fully Depleted SOI – FDSOI) (Figure III.6.c). Le film mince de silicium, en limitant physiquement la profondeur des jonctions source/drain et la profondeur de désertion T_{DEP} , permet un meilleur contrôle électrostatique de la grille sur le canal [17].

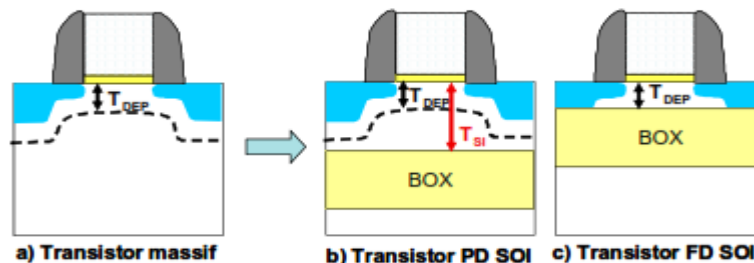


Figure III.6 Représentation schématique de transistors MOS.
 a/ D'un MOSFET sur substrat massif « bulk ».
 b/ D'un MOSFET SOI partiellement déserté « PD-SOI ».
 c/ D'un MOSFET SOI totalement déserté « FD-SOI ».

Dans ce qui va suivre, on va voir ces deux type de fonctionnement du transistor SOI.

III.4.1. Le transistor partiellement déplété PD-SOI

III.4.1.1. Fonctionnement du transistor : effets du substrat flottant

Comme son nom l'indique, le transistor est partiellement déserté. Le body flottant qui en résulte aura son potentiel qui fluctue sous l'influence de mécanismes lents et rapides. Les mécanismes lents sont les courants internes (Figure III.6). Ils ont une influence sur les caractéristiques électriques du MOS avec des constantes de temps allant de la milliseconde à la seconde. Les mécanismes rapides sont les couplages capacitifs au travers des différentes capacités parasites du transistor. Elles ont une influence plus rapide sur le potentiel du body, de l'ordre de la nanoseconde voire de la picoseconde [10] [22].

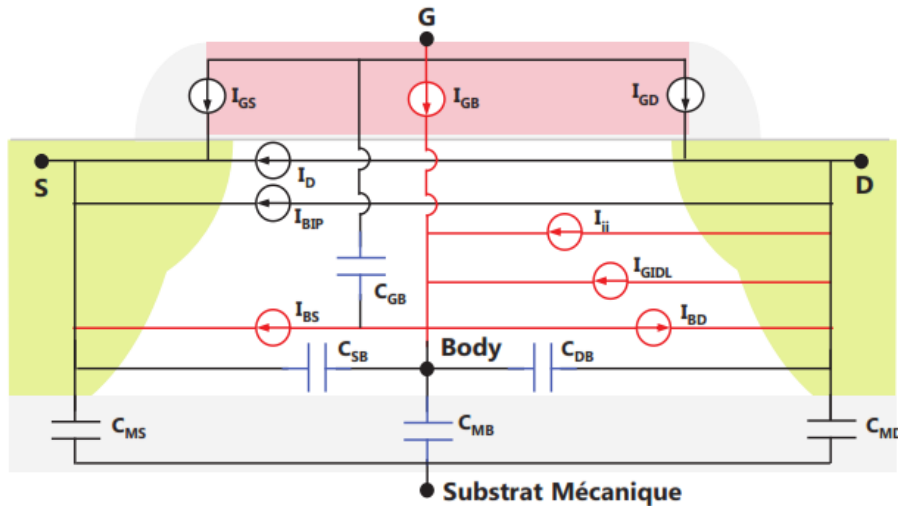
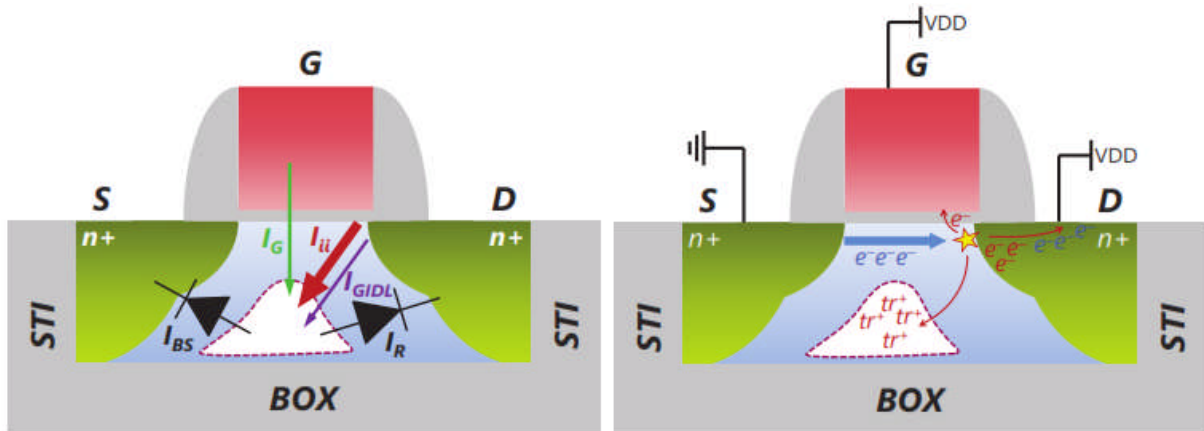


Figure III.7 Modèle électrique du transistor PD-SOI à body flottant.

III.4.1.1.a. Influence des courants internes

Parmi la variété de courants internes impliqués dans le fonctionnement d'un transistor, cinq courants sont impliqués dans l'effet de body flottant : le courant d'ionisation par impact I_{ii} , le courant GIDL I_{GIDL} (Gate Induced Drain Leakage en anglais), le courant de grille I_G , le courant de jonction inverse drain-body I_R et le courant de jonction direct body-source I_{BS} (cf. Figure III.8.a). Les quatre premiers agissent, dans différentes proportions, sur l'accumulation de charges dans le body flottant alors que le dernier est impliqué dans la décharge [9].



(a) (b)
Figure III.8 Vues en coupe d'un transistor NMOS.
a/ Courants internes impliqués dans l'effet substrat.
b/ Mécanisme d'ionisation par impact.

Le courant d'ionisation par impact joue un rôle majeur dans l'accumulation de charges dans le body. Il est le résultat de la génération de paires électron-trou en régime de saturation à la suite d'impacts d'électrons au niveau du pincement de la couche d'inversion, proche du drain. Les électrons ainsi créés sont attirés vers le drain et une certaine quantité vers la grille par effet tunnel, faisant subir une dégradation à l'oxyde de grille (Figure III.8.b) [7] [9] [17].

Les trous générés sont quant à eux attirés vers le body flottant, ce qui augmente le potentiel du body et donc le courant I_{DS} . Puisque le courant I_{DS} augmente, le phénomène d'ionisation par impact s'intensifie. Davantage de porteurs s'accumulent dans le body. A son tour, V_T diminue

et le courant I_{DS} croît de nouveau. Ce phénomène est appelé effet kink. Il se traduit par un "saut" dans la caractéristique $I(V)$ d'un transistor FB (Floating Body), illustre dans la Figure III.9.

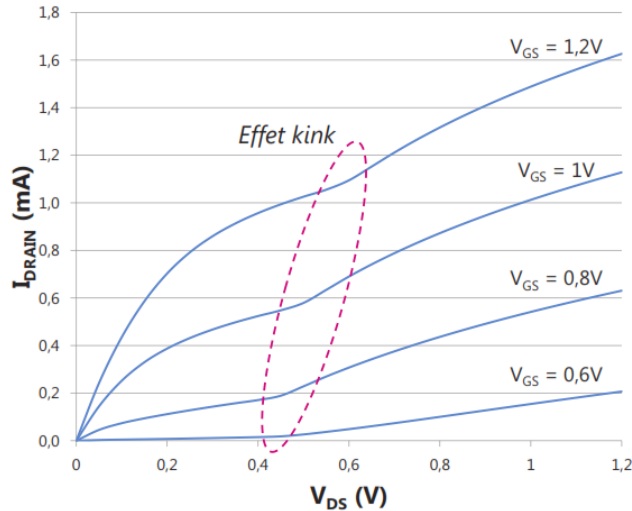


Figure III.9 Illustration de l'effet kink dans la caractéristique $I-V$ d'un transistor FB.

III.4.1.1.b. Influence du coulage capacitif

Au-delà des fluctuations lentes du potentiel de body évoquées précédemment, le body flottant fait également l'objet de fluctuations rapides. En effet, le body se situe au sein du réseau capacitif d'un transistor MOS PD-SOI composé des capacités grille-body C_{GB} , drain-body C_{DB} , source-body C_{SB} et de BOX C_{BOX} (Figure III.10.a) [9] [10] [16].

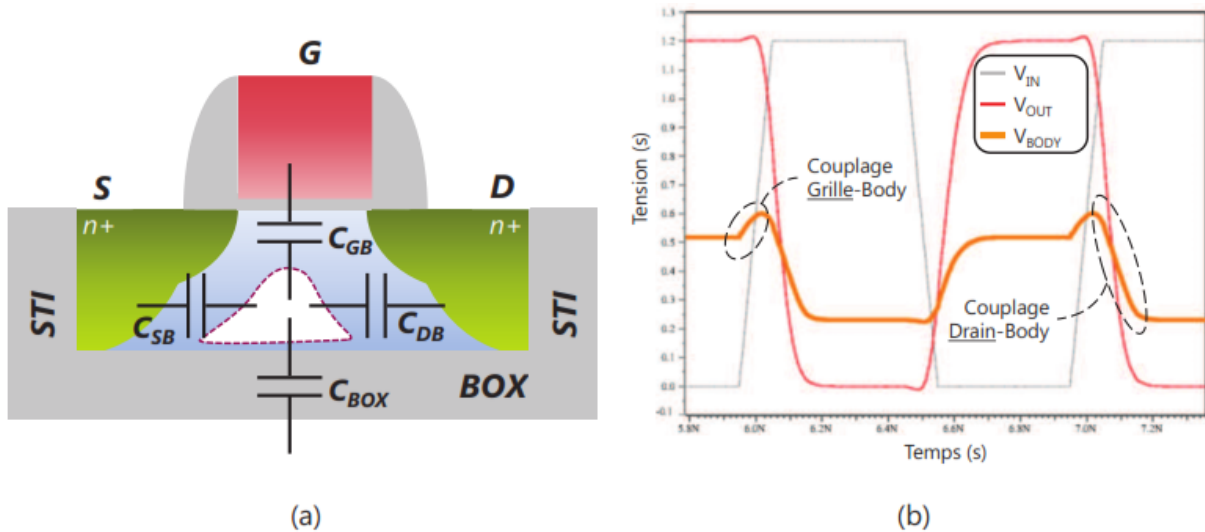


Figure III.10 a/ Réseau capacitif d'un transistor NMOS vue de profil.
b/ Influence du réseau capacitif sur le potentiel de body du transistor NMOS d'un inverseur.

Par exemple, dans le cas d'un inverseur, le transistor nMOS est sujet à des variations rapides sur la grille et le drain, alors que la source est connectée à GND. Lors d'un front montant sur la grille, le canal d'inversion n'est pas formé au début de la transition. Cela occasionne un couplage capacitif entre la grille et le body. Le potentiel de body augmente, réduisant la tension de seuil V_T . Dans un second temps, le canal sous la grille se crée et le potentiel de drain diminue, ce qui par couplage capacitif réduit le potentiel de body et augmente le V_T (Figure III.10.b) [10] [22].

La combinaison entre le couplage capacitif et les courants internes du MOS PD-SOI va conditionner le potentiel de body, aussi bien dynamiquement, pour le premier, que de manière statique pour le second. Ces effets de substrat flottant sont utilisés avantageusement pour produire un gain de performance. Néanmoins, la fluctuation du potentiel de body qui en résulte va créer une incertitude sur les temps de propagation liée aux variations de la tension de seuil au cours du temps. Ces spécificités seront explicitées par la suite.

III.4.1.2. Avantages de la technologie PD-SOI

III.4.1.2.a. Performances

Le premier avantage, provenant de l'utilisation d'une telle technologie, est le gain en performance obtenu grâce à la réduction des capacités de jonction d'une part, et grâce aux effets de body flottant d'autre part [22].

L'ajout d'un oxyde enterré permet de réduire les capacités de jonction C_{SB} et C_{DB} du transistor PD-SOI comparativement au transistor bulk. Ainsi, l'étage précédent du circuit voit une plus faible valeur capacitive. Par conséquent, moins d'énergie est nécessaire pour faire commuter une porte logique, comparativement à une porte logique identique en bulk. De plus, dans le cas du nMOS en technologie PD-SOI, le caractère flottant du body permet à ce dernier d'atteindre un potentiel positif, alors qu'il est connecté à GND en technologie bulk. Il est en effet amené à croître grâce à l'effet kink, à l'effet bipolaire et aux couplages capacitifs. Dans le cas du pMOS en technologie PD-SOI, le potentiel de body est amené à diminuer, alors qu'il est connecté à VDD en technologie bulk. Cela occasionne une réduction de la tension de seuil qui améliore la performance [17].

Tous ces éléments combinés permettent d'améliorer la fréquence de fonctionnement de ~20 à ~30% à surface égale, ou bien de réduire d'autant la consommation dynamique, à fréquence égale, par rapport à la technologie bulk.

III.4.1.2.b. Effet Latch-up

Le phénomène de latch-up en technologie bulk, est un problème majeur dans les circuits drainant de forts courants. Il entraîne un effet destructif sur les dispositifs impliqués. En SOI, grâce au BOX et aux tranchées d'oxyde (STI pour Shallow Trench Isolation en anglais), les transistors MOS adjacents sont isolés électriquement les uns des autres. Par conséquent, les transistors bipolaires parasites, formés en bulk par juxtaposition des caissons de type opposés, sont supprimés. L'effet de latch-up est ainsi éliminé dans les technologies SOI (Figure III.11).

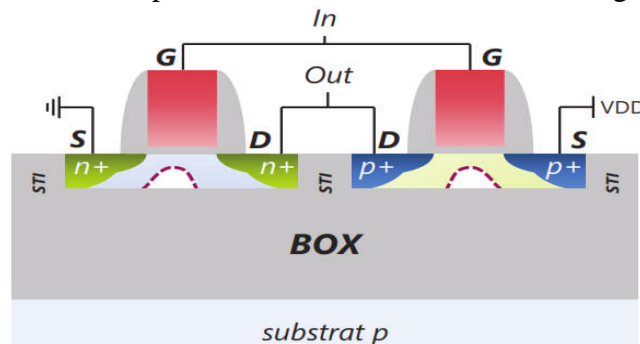


Figure III.11 Vue en coupe d'un inverseur CMOS dont les transistors sont électriquement isolés entre eux, ce qui immunise le circuit contre le phénomène de latch-up.

En bulk, il est nécessaire de placer les nMOSs à des distances suffisantes des pMOSs. Chaque ensemble de pMOS et de nMOS doit aussi être individuellement entouré d'anneaux de contacts afin de polariser son caisson de façon à réduire la résistance d'accès. Grâce à l'oxyde enterré, les précautions prises pour supprimer cet effet en bulk n'ont plus lieu d'être en PD-SOI. Cela se traduit par un gain en surface important [11].

III.4.1.3. Inconvénients de la technologie PD-SOI

Les avantages précédents s'accompagnent cependant de phénomènes défavorables. Le caractère flottant du body cause une incertitude supplémentaire sur le temps de propagation et une consommation statique accrue. De plus, le confinement du transistor dans l'oxyde peut agir défavorablement sur le coefficient d'évacuation de la chaleur et peut donc dégrader le courant selon l'activité du transistor. En voila quelques inconvénients qui se résultent [2] :

III.4.1.3.a. Effet mémoire

Les circuits qui transmettent des données, où le rapport cyclique est variable, sont particulièrement sujets à l'effet mémoire [10]. Les fluctuations de la tension de body au cours du temps induisent des variations de la tension de seuil et du courant I_{DS} . Dans les circuits numériques, cela se traduit par une incertitude sur le temps de propagation en fonction de l'histoire passée du circuit. Ainsi, le potentiel de body sera conditionne par l'état statique initial du circuit. Cet écart peut être caractérisé par la méthode 1ère/2nde transition. Cela consiste à polariser deux portes identiques (un inverseur dans cet exemple), le premier par un niveau logique '0' en entrée, appelé condition initiale DC0, et le second par le niveau logique '1', appelé condition initiale DC1 (Figure III.12). Le potentiel de body du nMOS appelé V_{BN} , ainsi que le potentiel de body du pMOS appelé V_{BP} , sont chacun polarisés différemment en fonction de leur condition initiale. A partir des deux conditions statiques, les temps de propagation des premiers fronts en sortie des deux inverseurs sont extraits. A 25°C, la variation induite entre DC0 et DC1 est d'environ 10% pour les temps de propagation sur front montant en sortie, avec des transistors dits HVT (High V_T en anglais), en technologie 65nm.

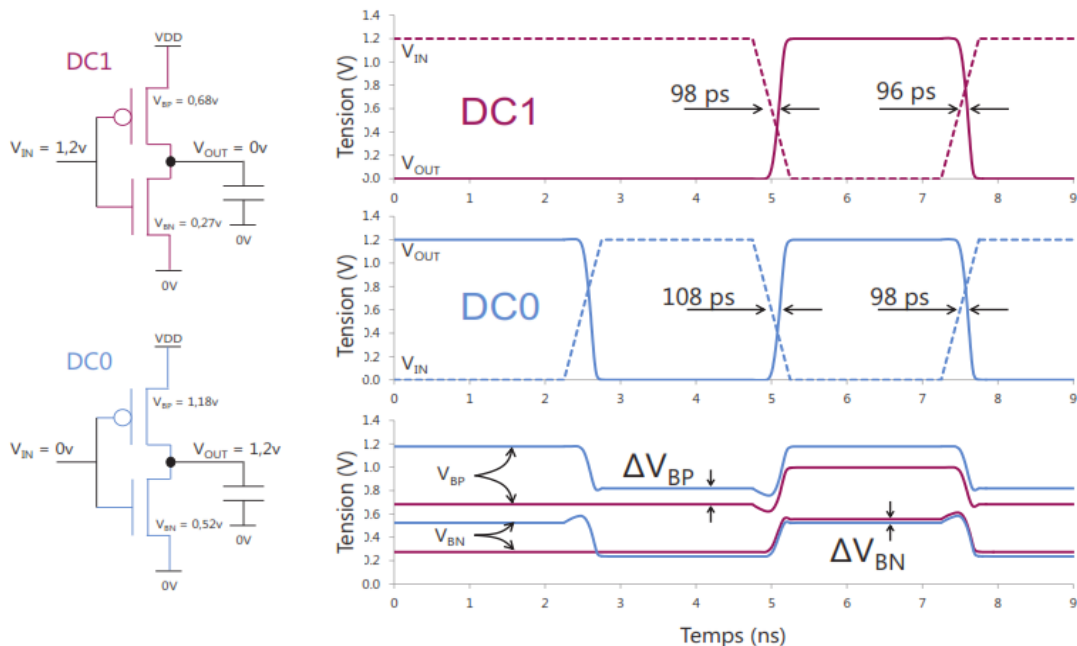


Figure III.12 Illustration de l'effet mémoire sur un inverseur à 25°C ayant une pente d'entrée de 250ps, une charge à 5fF ($1F=10^{-15}fF$) et une période de 2.5ns.

Par la suite, le potentiel de body fluctue différemment selon que le circuit est soumis à un train d'impulsions ou bien qu'il reste dans une longue période d'inactivité. La variation du body dépend également de la pente d'entrée, de la charge de sortie, de la fréquence et du PVT (Process, Voltage, Temperature en anglais) [10].

III.4.1.3.b. Consommation statique accrue

Le caractère flottant du body accroît la consommation statique I_{OFF} d'un MOS en technologie PD-SOI. Le courant statique, à l'opposé du courant dynamique, intervient lorsque le circuit est au repos. En analysant le bilan énergétique des circuits actuels, il apparaît que la consommation statique prend de l'importance devant la consommation dynamique. Ceci est particulièrement vrai pour les circuits numériques à faible taux d'activité. La réduction des géométries du transistor et de la tension d'alimentation VDD en sont la cause [3] [10]. Bien que la réduction de VDD permette une diminution de la consommation dynamique, cela produit une augmentation de la consommation statique. En effet, la réduction de VDD nécessite de réduire également la tension de seuil V_T pour maintenir le niveau de performance nécessaire. Or, le principal courant de fuite impliqué dans le mécanisme de la consommation statique est le courant sous le seuil noté I_{STH} (Subthreshold en anglais). Ce courant, présent en régime de faible inversion, dépend de V_T de manière exponentielle. Il est accompagné des courants de jonctions qui ont une forte dépendance en température, du courant DIBL lié à une diminution du V_T à cause des effets canaux courts, du courant de grille qui croît avec la réduction de l'épaisseur d'oxyde de grille, et enfin du courant GIDL qui s'intensifie pour une tension de grille fortement négative (Figure III.13).

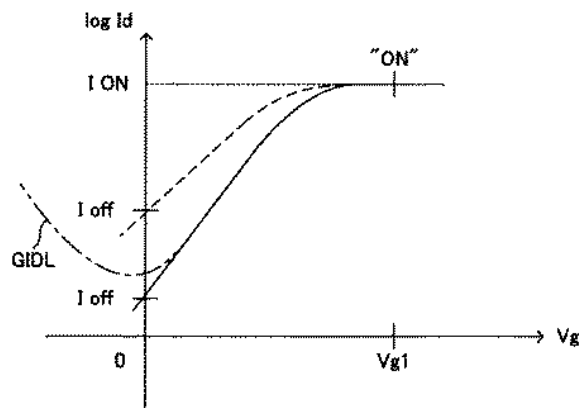


Figure III.13 Illustration du courant GIDL qui s'intensifie pour une tension de grille fortement négative.

III.4.1.3.c. Auto-échauffement

En technologie bulk, l'échauffement généré par le transistor pendant sa conduction est évacué vers l'arrière du silicium massif. L'auto-échauffement reste négligeable. En technologie SOI, l'isolation complète du transistor par l'oxyde enterre affaiblit la capacité d'évacuation de la chaleur. En effet, l'oxyde de silicium présente une résistance thermique environ 100 fois plus élevée que celle du silicium [10]. La chaleur générée étant piégée plus longtemps, le transistor s'échauffe et les caractéristiques en sont affectées. La mobilité et la vitesse de saturation des porteurs diminuent ce qui réduit le courant de drain. Au niveau d'un circuit logique, cela peut causer une baisse de performance. Cependant, dans les circuits logiques standards, le phénomène est peu contraignant. En effet, les transistors impliqués dans les commutations ne

conduisent que durant les transitions. L'échauffement qui en découle peut être évacué avant que la transition suivante ne se produise. Dans les circuits drainant de forts courants, tels que les buffers de sortie, l'effet d'auto-échauffement peut devenir non-négligeable.

Au contraire des circuits numériques, où le transistor ne conduit que durant la transition, les circuits analogiques sont soumis à des courants circulant de manière continue. L'échauffement qui en résulte dégrade le courant de saturation. La caractéristique $I(V)$ d'un transistor HVT (Figure III.14) montre l'impact du phénomène d'auto-échauffement pouvant conduire à une dégradation maximale de 10% sur le courant de saturation. Or, l'auto-échauffement peut produire des disparités entre deux MOS dont les courants sont différents, causant des erreurs de polarisation.

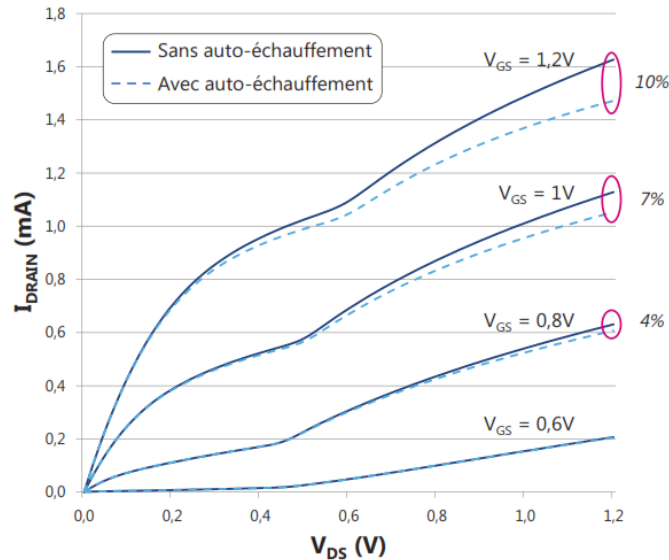


Figure III.14 Caractéristique $I(V)$ d'un transistor HVT à 25°C avec et sans prise en compte de l'auto-échauffement.

III.4.2. Le transistor complètement déplété FD-SOI

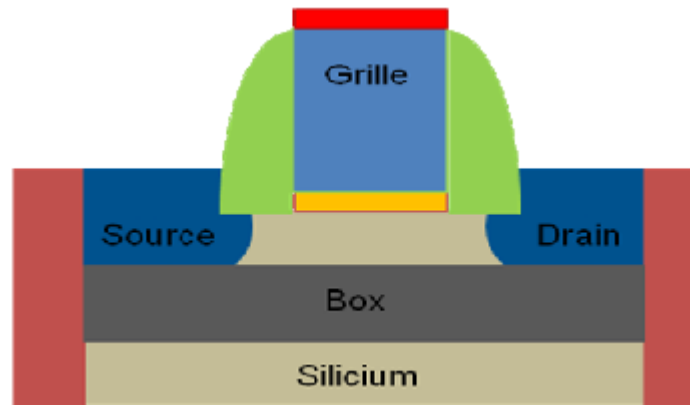


Figure III.15 Représentation schématique d'un transistor MOS FDSOI.

La structure FD-SOI ressemble à celle du PD-SOI, les seules grandes différences sont, une absence ou peu de dopage dans le canal et l'amincissement du film du silicium. Pour simplifier, le transistor FD-SOI est un transistor MOS intégré sur une couche de silicium ultra mince, opérant en déplétion totale avec un canal confiné dans une zone réduite entre l'oxyde de grille et le Box [15]. L'application d'un potentiel face arrière (Back Bias) via une prise substrat va augmenter les performances et réduire les fuites, par ajustement du V_{TH} et réalisant

des implantations de dopants sous le Box (c'est ce qu'on appelle plan de masse "Ground Plane"). Hormis ces avantages, le FD-SOI confère :

- ✓ Une immunité due aux composants des zones actives du silicium en raison de la présence de l'oxyde enterré.
- ✓ Un excellent contrôle électrostatique du transistor, permettant d'atteindre des performances remarquables pour les faibles V_{DD} .
- ✓ Une réduction considérable de la variabilité, les transistors MOS FD-SOI possèdent un coefficient de variabilité de la tension de seuil (A_{VT}), aussi appelé coefficient de Pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif. Cela permet ainsi, une grande stabilité et un meilleur rendement des SRAM pour les faibles V_{DD} .

En comparaison avec le CMOS sur silicium massif dans les circuits, pour une même tension d'alimentation on a une augmentation de 20 à 30% en termes de performances et une réduction ~40 % de la consommation d'énergie de consommation grâce au FD-SOI (Figure III.16).

Tous ces atouts ont fait que le FD-SOI est considéré comme un candidat sérieux et crédible pour concurrencer la technologie CMOS sur silicium massif pour les prochains nœuds technologiques.

Il faut rappeler que le MOS FD-SOI fonctionne globalement de la même manière que le MOS sur silicium massif et les équations introduites dans le premier chapitre restent valable ainsi que les méthodes d'extraction des paramètres des dispositifs.

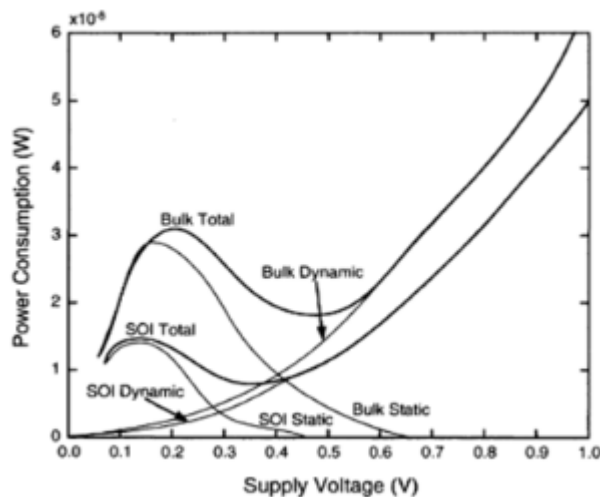


Figure III.16 Énergie de consommation vs la tension d'alimentation pour des portes logiques CMOS pour SOI et Bulk.

III.4.2.1. Paramètres électriques du MOS FD-SOI

Les performances d'un transistor MOS FD-SOI sont évaluées au travers des paramètres tels que la valeur de la tension de seuil V_{TH} , la pente sous le seuil SS et la mobilité des porteurs [10] [15]. L'extraction de paramètres supplémentaires comme le DIBL, la résistance d'accès R_{sd} ou les courants de fuites nous permettent de comprendre les phénomènes parasites qui

dégradent ces caractéristiques. Ces données nous aident à optimiser les architectures ou le processus de fabrication pour minimiser leurs impacts et avoir de meilleures performances.

La majeure partie des méthodes d'extractions des paramètres se basent sur la mesure de la courbe de courant de drain en fonction de la tension de grille I_D-V_G . Ces mesures restent plus précises par rapport aux mesures capacitives qui deviennent problématiques pour les faibles longueurs de grille malgré leurs immunités vis-à-vis des résistances d'accès.

L'extraction de paramètres électriques se fait principalement en régime ohmique ($V_D \ll V_{D,sat}$). Dans ce cas, le courant de drain s'écrit

$$I_D = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_0 \frac{(V_G - V_{TH}) V_D}{1 + \theta_1 (V_G - V_{TH}) + \theta_2 (V_G - V_{TH})^2} \quad \text{Eq III.2}$$

Avec

$$\theta_1 = \theta_{1,0} + \frac{W_{eff}}{L_{eff}} \mu_0 C_{ox} R_{sd} \quad \text{Eq III.3}$$

Le θ_1 exprime l'influence des résistances d'accès sur le courant de drain et θ_2 le facteur d'atténuation relié à la rugosité de surface et à la diffusion à travers les phonons extrait à fort champ transversal. Ce modèle analytique rend compte du comportement du transistor MOSFET et donne une signification physique pour chacun de ces paramètres.

III.4.2.2. Courant de fuites à travers la grille

Il est commun au transistor MOS sur silicium massif et FD-SOI [15]. Il est dû à l'augmentation de la densité de courant surfacique sous la grille avec la réduction de l'épaisseur du diélectrique. Ce courant devient problématique pour les oxydes très minces et induit de forts courants de fuites et une augmentation de la consommation de puissance statique. Et ne pas en tenir compte induit une sous-estimation du courant débité et fausse l'extraction des paramètres. K.Romanjek a pleinement analysé le mécanisme et a exposé un modèle de correction équation II.7

$$I_D \approx \alpha (I_{D,max} - I_{S,m}) \quad \text{Eq III.4}$$

Pour des tensions V_D très faibles, la couche d'inversion peut être supposée uniforme dans le canal (Figure III.17 (a) & (b)) ce qui nous permet de supposer que $\alpha \sim 1/2$ ce qui équivaut à écrire I_D corrigé (EQ III.5) :

$$I_{D,cor} = I_{D,mes} + \frac{I_G}{2} \quad \text{Eq III.5}$$

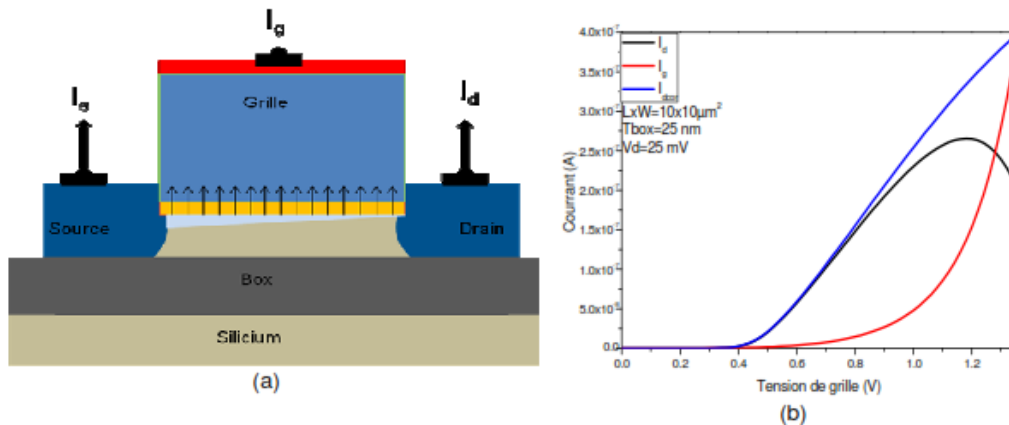


Figure III.17 Illustration du phénomène de partage de courant de grilles
a/ Schématiquement. b/ avec les courbes de courant.

III.4.2.3. Contrôle électrostatique accrue

La maîtrise des effets canaux courts se traduit par une meilleure efficacité du contrôle électrostatique du canal par la grille. Ces effets canaux courts se décomposent en deux types [10] [15].

Le premier est appelé SCE (Short Channel Effect en anglais). Il est fonction de la longueur de grille. Plus celle-ci diminue, plus les zones de charge d'espace des jonctions drain et source se recouvrent au détriment de la zone de charge d'espace sous la grille. Cet effet indésirable mène à une inversion plus rapide du canal : le V_T diminue (Figure III.18.a). Le deuxième type d'effet canal court est l'abaissement de la barrière de potentiel induit par le drain (DIBL pour Drain Induced Barrier Lowering en anglais). Il est fonction du potentiel sur le drain. Pour des faibles longueurs de grille, plus le potentiel du drain V_D est élevé, plus le V_T diminue (Figure III.18.a). Ces deux effets canaux courts, le SCE et le DIBL, détériorent le contrôle électrostatique du canal par la grille. Dans la littérature, le DIBL est une des figures de mérite choisies pour quantifier l'efficacité du contrôle électrostatique. Il se calcule de la manière suivante et s'exprime en mV/V (Eq III.6):

$$DIBL = \frac{V_{Tlin} - V_{Tsat}}{V_{DD} - 0,05} \quad \text{Eq III.6}$$

Où V_{Tlin} est la tension de seuil quand $V_D=50mV$ et V_{Tsat} est la tension de seuil quand $V_D=V_{DD}$.

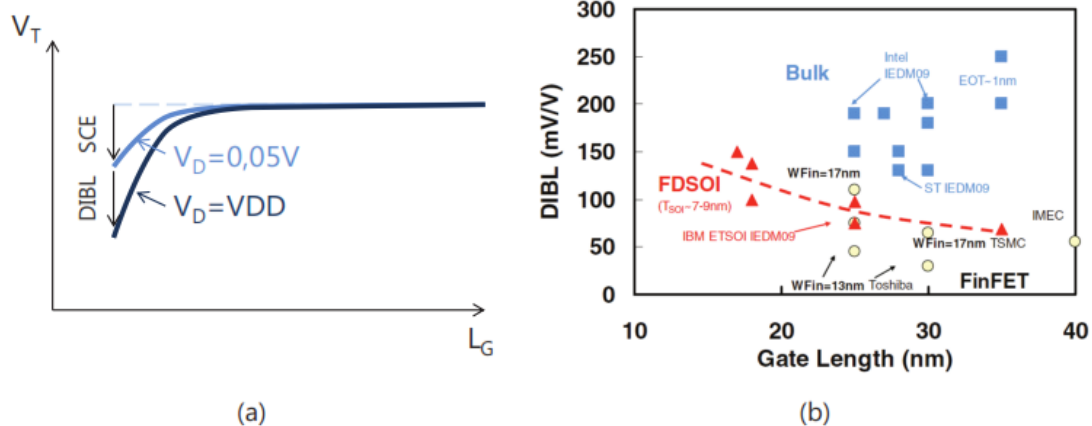


Figure III.18 a/ Évolution du V_T en fonction de L_G quand $V_D=0,05V$ et $V_D=1V$.
 b/ Comparaison des valeurs de DIBL obtenues en FDSOI, en bulk (et en FinFET).

Une comparaison des différentes valeurs de DIBL obtenues pour plusieurs technologies a été réalisée (Figure III.18.b). Plus le DIBL est petit, meilleur est le contrôle électrostatique. La technologie FD-SOI produit un meilleur contrôle électrostatique qu'en bulk. Il est proche de celui du FinFET.

III.5. Les Inconvénients majeurs de la technologie « SOI »

La technologie SOI n'offre pas que des avantages, plus à ceux déjà vus, elle présente d'autres inconvénients plus ou moins important, on peut en citer [15]:

- ✓ L'auto-échauffement des composants dû à l'importance de la résistance thermique de l'isolant qui ne permet pas d'évacuer assez rapidement la chaleur, ceci peut mener à

une diminution de la mobilité effective des porteurs et donc une diminution de la conductance de drain et une dégradation du courant.

- ✓ Augmentation du courant et apparition de bruit en saturation par effet kink, et possibilité de création d'effet de mémoire de la tension de seuil des transistors partiellement désertés.
- ✓ Un coût de plaquette élevé, qui peut varier entre 5 et 10% de plus que le substrat bulk, ce qui a pour conséquence une augmentation du coût de production qui peut être réduit dans le cas d'un grand volume à moins de 4%.
- ✓ L'importance des effets canaux courts. La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré (Figure III.19). Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

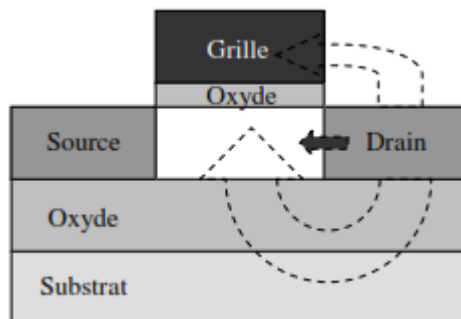


Figure III.19 Influence électrostatique sur le SOI à une grille.

En général, la technologie « SOI » offre beaucoup d'avantages pour la fabrication CMOS. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm. Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique, en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Ce principe a ouvert la voie vers de nouvelles structures dites à grilles multiples que nous allons présenter dans le point suivant.

III.6. Les architectures alternatives à multi-grilles

La technologie « SOI » à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [12] [13].

L'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée par les figures III.20 et III.21 :

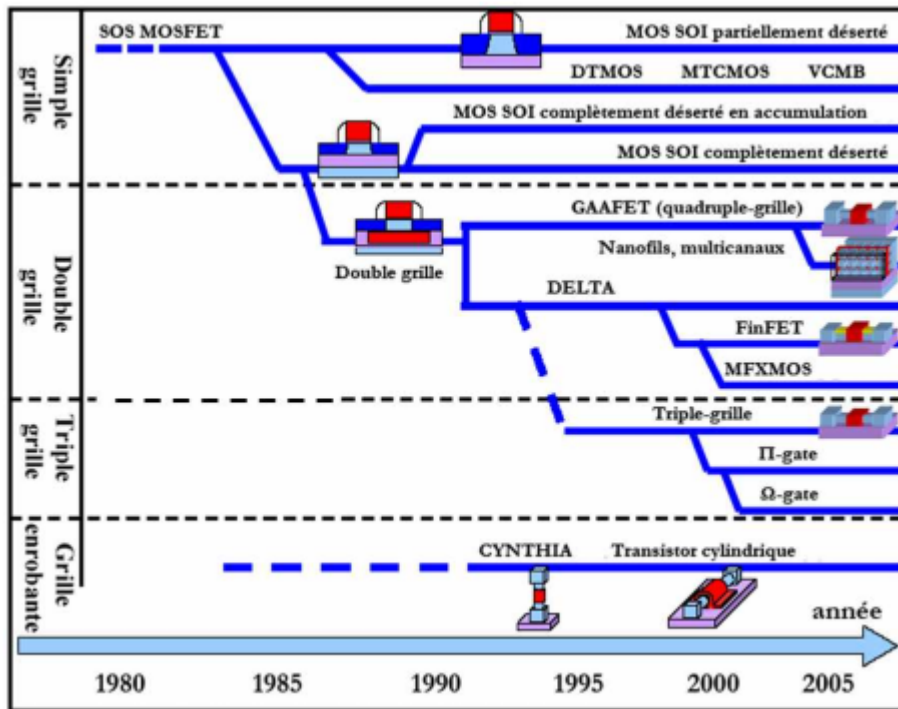


Figure III.20 Evolution (en recherche) de la technologie SOI au fil des années.

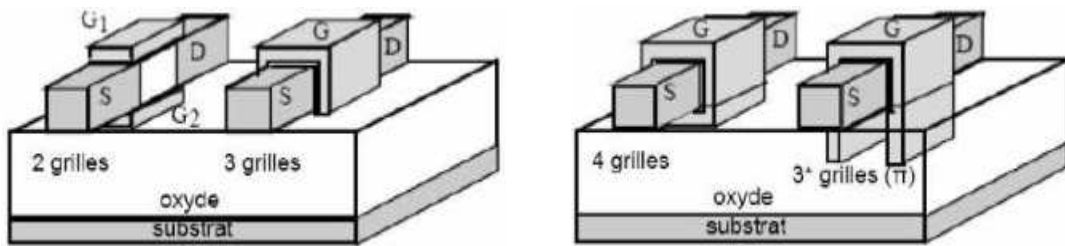


Figure III.21 Les différentes structures multi-grilles : SOI double-grille, SOI triple-grille, SOI quadruple-grille/Surrounding-gate, et grille en forme Π ou Ω .

Suivant le nombre de grilles qui contrôlent le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature (Figure III.22) [22]:

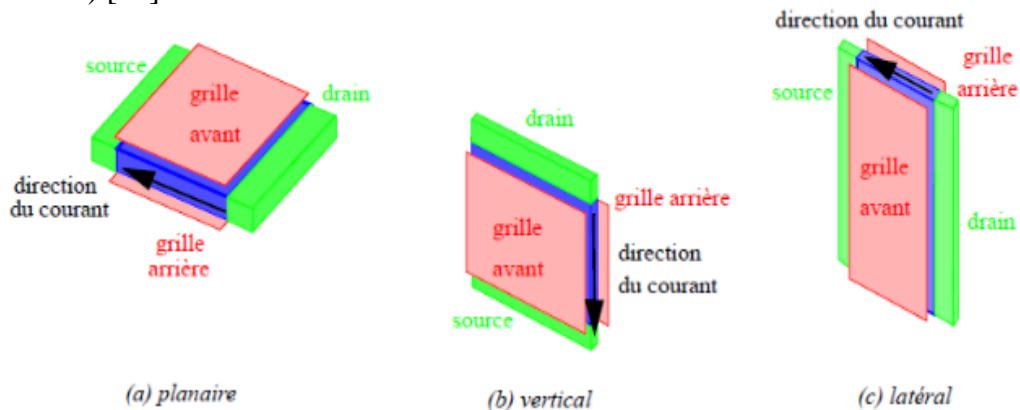


Figure III.22 Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale (FinFET).

III.6.1. La technologie MOSFET double grille DG MOSFET

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, nous pourrions différencier [22] :

- ✓ **Le transistor double-grille planaire :** Dans ce cas le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat.
- ✓ **Le transistor double-grille quasi-planaire :** Dans ce cas le transport électronique et le champ de grille sont parallèles au plan du substrat.
- ✓ **Le transistor double-grille vertical :** Dans ce cas le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat.

Ces trois catégories de double-grille possèdent des particularités technologiques « telles qu'une résolution lithographique et un alignement des grilles » totalement différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées lorsque nous passons d'une catégorie à une autre.

Nous allons dans ce qui suit présenter les points essentiels de ces trois structures DGFET.

III.4.1.1.a. Transistor MOS DG planaire

La flèche indiquée sur le schéma du DGFET planaire, montre l'orientation du transport et la position des grilles, indique la direction de l'effet de champ par rapport au plan supérieur du substrat correspondant au plan horizontal. L'architecture du MOSFET double-grille planaire est généralement, mais non exclusivement, basée sur l'architecture des transistors MOSFET SOI à une seule grille. L'oxyde enterré est placé sur un second empilement de grilles. Ces dispositifs ne nécessitent pas de résolution lithographique inférieure à la longueur de grille L_G car le procédé « smart-cut » permet sans lithographie de réaliser des couches actives ultra-minces (<10nm).

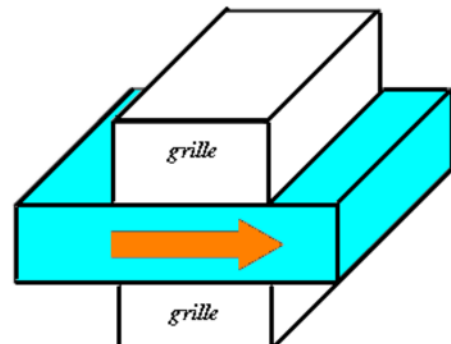


Figure. III.23 Orientation du transport électronique et effet de champ sur le MOSFET double grille planaire.

Notons aussi qu'en se basant sur la structure du simple MOSFET sur substrat massif, l'insertion d'une seconde grille au-dessous du substrat sur une fine couche de SiO₂ permet aussi l'obtention d'une structure DGFET planaire. Les MOSFETs double-grille planaires réalisés à l'heure actuelle n'ont pas les grilles parfaitement alignées. Les grilles sont gravées successivement et sont alignées « optiquement » [22].

Lorsque le non-alignement est très important, tel qu'il est décrit sur la figure III.24.a, le dispositif se comporte comme s'il ne possédait qu'une seule grille active. Cependant et d'une manière générale, il est à noter que les structures qui ne présentent que de faibles non-alignements des grilles (Figure III.24.b) restent très performantes.

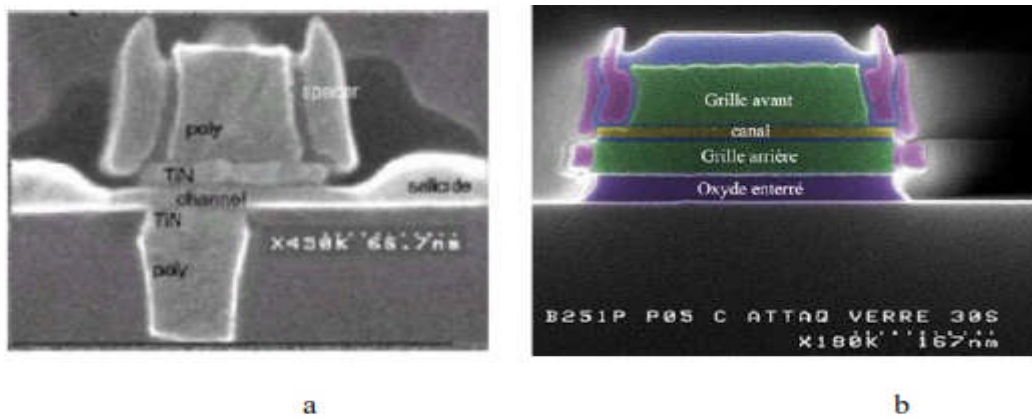


Figure III.24 Image au MEB (microscope électronique à balayage) d'une coupe de transistor MOS double-grille a/ non-auto-alignée. b/ auto-alignée.

III.4.1.1.b. Transistor MOS DG quasi-planaire

Le transistor MOS double-grille quasi-planaire est appelé FinFET. Il tire son nom de son canal en forme d'aileron ou de poutre (Fin). Les étapes de réalisation d'un tel dispositif sont schématisées sur la figure III.26. La zone active (en forme d'aileron ou de poutre) et les caissons source et drain commencent par être dessinés. L'oxyde et le contact de grille sont ensuite déposés autour de l'aileron puis gravés [22].

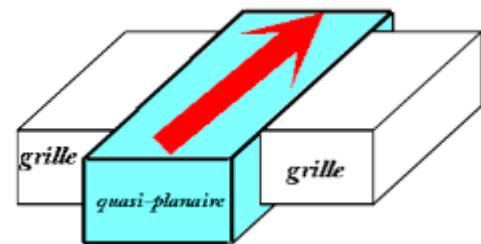


Figure. III.25 Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire.

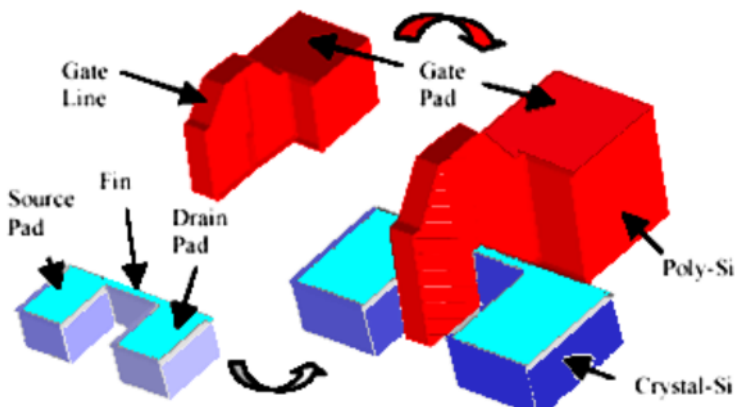


Figure III.26 Schéma d'une structure de FinFET quasi-planaire.

L'auto-alignement des grilles d'un FinFET, comme illustré sur la figure III.27, est naturel. De plus, des étapes technologiques supplémentaires permettent de séparer électriquement les grilles. La zone active est déterminée par la hauteur H de l'aileron, cela peut être avantageux en termes de densité d'intégration par rapport à la structure planaire. Finalement, le FinFET est très prometteur car il est relativement simple à fabriquer comparé aux autres technologies, de plus, sa technologie est particulièrement compatible avec la technologie CMOS bulk.

Enfin, si l'épaisseur du film de silicium (entre les 2 grilles) est du même ordre de grandeur que la hauteur H de l'aileron et que l'épaisseur d'oxyde est la même sur les flancs et le dessus de l'aileron, nous obtenons alors un MOSFET triple-grille.

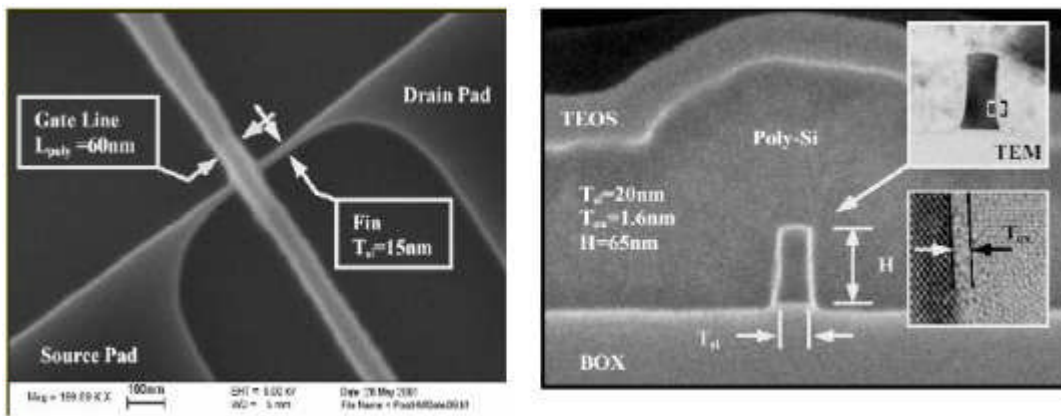


Figure III.27 Images de FinFET :

- a/ Image au MEB d'une vue de dessus d'un FinFET.
 b/ Image au MEB d'une coupe perpendiculaire au flux des porteurs d'un FinFET.
 L'encart montre une image en TEM de «l'aileron» et de l'oxyde de grille.

III.4.1.1.b. Transistor MOS DG verticale

Dans la figure ci-contre (Figure III.28), on a un transistor MOS DG verticale. La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal [22]. L'avantage du transistor MOS double-grille verticale, dont une image TEM (microscopie par transmission électronique) est présenté à la figure III.29, réside dans le fait que la longueur des grilles n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation des longueurs de grille ultracourtes. De plus, les grilles sont naturellement auto-alignées.

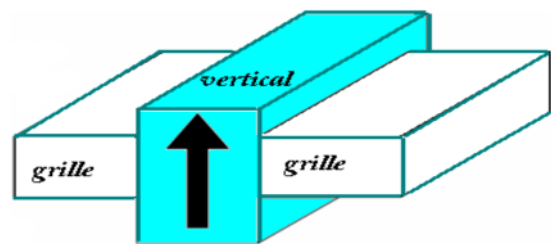


Figure. III.28 Orientation du transport électronique et effet de champ sur le MOSFET double grille quasi-planaire.

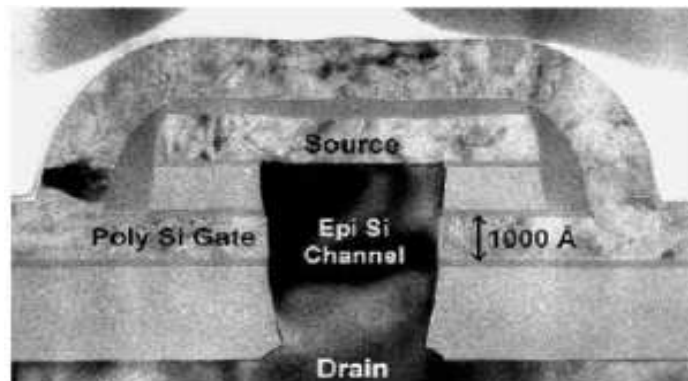


Figure III.29 Image au MEB d'un transistor vertical à grille enrobante ($L_g = 100\text{nm}$).

III.6.2. Le transistor MOS triple grille TG et le triple+ grille T⁺G

Cette structure de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Figure III.21). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium. Pour les (T⁺G), ces transistors sont représentés à la figure III.30. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions [22].

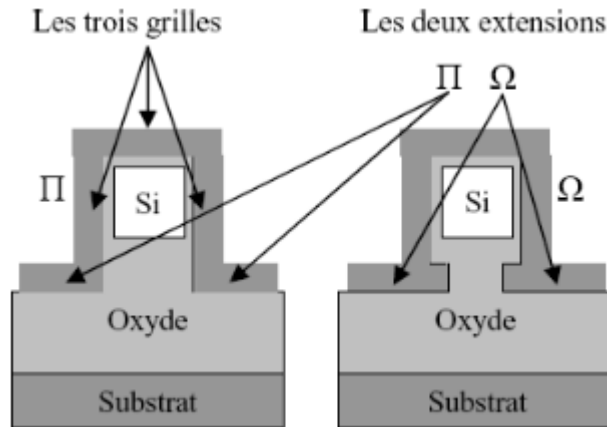


Figure III.30 L'extension des grilles conduisant aux structures II et Ω SOI MOSFETs.

Suivant la forme de ces extensions, l'architecture diffère. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure II FET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de Ω FET.

Ces extensions sont généralement obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

III.6.3. Le transistor MOS quadruple grille

Ce composant possède quatre grilles (QG). La structure est décrite à la figure III.21. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "Surrounding-gate". Des études restent encore à mener pour déterminer tous les avantages de ce type de composant [22].

Conclusion

Les avantages de la technologie SOI notamment des dispositifs à grille multiple offre une alternative prometteuse à la technologie bulk conventionnelle qui se rapproche de ses limites à une échelle fortement submicronique. Les performances électriques des transistors à grille enrobée sont les plus intéressantes, la configuration optimale de ces structures offre une intégrité électrostatique des plus favorables à un meilleur contrôle des effets canaux courts.

CONCLUSION GÉNÉRALE

Notre travail consiste à faire l'étude d'une structure nanométrique. Pour cette étude notre choix s'est porté sur la technologie Silicium Sur Isolant des transistors MOSFET.

Le transistor MOSFET a évolué à grande vitesse ces dernières décennies grâce à l'industrie de la microélectronique qui a su faire évoluer ce dispositif ainsi que les circuits dans lesquelles ce dernier est intégré. La réduction de la taille des circuits a entraîné la diminution physique du transistor qui n'est pas sans conséquence sur son fonctionnement rendant l'utilisation des transistors sur substrat massifs inopérants au-dessous du nœud 50nm. Avec la réduction considérable de la longueur du canal, la taille des transistors se rapproche de quelques dizaines de nanomètres et les lois générales de la physique généralement utilisées pour décrire son fonctionnement sont remises en cause car elles ne peuvent plus expliquer l'apparition de nouveaux phénomènes physiques tels que les effets SCE. C'est ainsi que furent mise en jeu de nouvelles technologies et structures permettant de minimiser ces effets indésirables dû à la miniaturisation des dispositifs. En ce qui nous concerne nous avons jugé plus approprié de poursuivre l'étude d'une structure nanométrique comportant deux grilles au lieu d'une structure conventionnelle. Cette structure permettant un double contrôle du canal est la structure DGMOSFET SOI.

Ainsi dans le premier chapitre de ce mémoire, nous avons établi les équations de base qui régissent le comportement des structures MOSFET bulk. On a vu aussi, les différentes conditions et les régimes de fonctionnement des transistors dans de telles structures.

Dans le deuxième chapitre, nous avons exposé les propriétés électriques et physiques des transistors MOSFET en technologie CMOS avancée. Les différents compromis qu'engendre la réduction des dimensions, l'influence de ces petites dimensions sur le comportement des transistors a été décrite au travers des effets parasites (SCE, DIBL, réduction de la mobilité...). Ces effets tendent à réduire les performances électriques des dispositifs MOSFET bulk conventionnels.

Par ailleurs, le dernier chapitre est consacré à l'étude de la technologie SOI dans les deux types existants PD-SOI et FD-SOI et spécialement la structure SOI double grille qui est une bonne candidate pour la poursuite de la réduction des tailles des transistors. Cette technologie améliore le contrôle électrostatique et la variabilité. De plus, elle offre au concepteur un nouveau degré de liberté. Dans un dernier point nous avons discuté des possibles architectures de transistors proposées pour les prochains nœuds technologiques.

PERSPECTIVES

Il serait assez intéressant de continuer ce travail en étudiant d'autres structures nanométriques bien plus complexes mais plus performantes telle que les structures verticales, les FINFET, les GAA et d'examiner l'amélioration des performances de telles transistors présentant de bien meilleures performances que leur ancêtre le MOSFET sur bulk à canal long. Il serait aussi intéressant d'étudier le fonctionnement des transistors GAA qui permettent un meilleur contrôle des SCE. Ceci mène à mieux comprendre les phénomènes qui régissent le fonctionnement des dispositifs nanométriques innovants et à relever les défis futurs consistant à maîtriser les procédés de fabrication qui pourront intégrer des nouveaux matériaux comme le germanium ou les matériaux (III-IV) pour le canal, de nouveaux diélectriques « high k », des source/drain métalliques et/ou des architectures multi-grilles.

REFERENCES BIBLIOGRAPHIQUES

- [1] Abdelazziz KEBIB « Etude et simulations d'un transistor MOS vertical », Université Abou-Bekr Belkkaïd-Tlemcen, Algérie, Janvier 2013.
- [2] Abdelmalek Nidhal « Etude et modélisation du transistor VSG MOSFET nanométrique », Université de BATNA, Algérie, 2010.
- [3] Adel FERDI « Modélisation et identification paramétrique du transistor DG MOSFET en utilisant la logique floue », Université de BATNA, Algérie, 2011.
- [4] Arnaud BOURNEL « Composants pour la spintronique, la microélectronique ultime et la nanoélectronique », Université de PARIS-SUD (U.F.R. SCIENTIFIQUE D'ORSAY, France, 28 Septembre 2006.
- [5] Asma LARIBI « Etude des performances d'une structure MOS nanométrique : Application au DGFET », Université Abou-Bekr Belkkaïd-Tlemcen, Algérie, 2010.
- [6] Birahim DIAGNE « Etude et modélisation compacte d'un transistor MOS SOI double grille dédié a la conception », Université Louis Pasteur-Strasbourg I, France, 16 Novembre 2007.
- [7] Christophe PAVAGEAU « Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques », Université des sciences et technologies de LILLE, France, 2006.
- [8] Daniel CHANEMOUGAME « Conception et fabrication de nouvelles architectures CMOS et étude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON », INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, France, 16 Décembre 2005.
- [9] Delphine AIME « Modulation du travail de sortie de grilles métalliques totalement siliciurées pour des dispositifs CMOS DECA-NANOMETRIQUES », INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, France, 2007.
- [10] Dimitri SOUSSAN « Contributions aux interfaces d'entrées/sorties rapides en technologies Silicium-Sur-Isolant partiellement et totalement désertées », Université de GRENOBLE, France, 05 Juillet 2013.
- [11] Elasaad CHEBAKI « Modélisation neuronale du transistor GAA MOASFET nanométrique », Université de BATNA, Algérie, 2010.
- [12] Faiza MERAD « Conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique a condition latéral de type Tri-Gate (FinFET) », Université Abou-Bekr Belkkaïd-Tlemcen, Algérie, 11 Septembre 2014.
- [13] Faycal DJEFFAL « Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application a la conception des dispositifs intégrés », Université de BATNA, Algérie, 19 Avril 2006.
- [14] Florent ROCHETTE « Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées », Institut National Polytechnique de Grenoble, France, 26 Septembre 2008.
- [15] Imed BEN AKKEZ « Etudes théoriques et expérimentales des performances des dispositifs FD SOI sub 32nm », Université de GRENOBLE, France, 20 Décembre 2012.
- [16] Jérôme SAINT-MARTIN « Etude par simulation monte carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI », Université de PARIS-SUD (U.F.R. SCIENTIFIQUE D'ORSAY, France, 02 Décembre 2005.

- [17] Julien LE COZ « Réduction de la consommation statique des circuits intégrés en technologie SOI 65nm partiellement désertée », Université de GRENOBLE, France, 24 Novembre 2011.
- [18] Krunoslav ROMANJEK « Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deca », Institut National Polytechnique de Grenoble, France, 09 Novembre 2004.
- [19] Maamar BENNABI « Etude et simulation d'un nanoMOSFET double grille », Université Hassiba Benbouali-Chlef, Algérie, 03 Juin 2009.
- [20] Nassim AMRANI « Automatisation d'un banc de caractérisation sur traceur de courbe programmable Tektronix 370A », Université Mouloud Mammeri de Tizi-Ouzou, Algérie, 2014.
- [21] Olivier WEBER « Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité », INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, France, 14 Décembre 2005.
- [22] Omar BEKRI/Mohamed Djilani HORRA « Effet de la température sur le transistor DM Gan MESFET submicronique », Université Echahid HAMMA LAKHDAR-EL OUED, Algérie, 02 Juin 2015.
- [23] Rezika ZEDEK « Etude d'un transistor organique transparent avec PMMA comme isolant de grille », Université Mouloud Mammeri de Tizi-Ouzou, Algérie, JJ_MM_AAAA.
- [24] Yahia BENHAMIDA « Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique », Université Abou-Bekr Belkkaïd-Tlemcen, Algérie, juin 2012.