

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITÉ MOULOUD MAMMERRI, TIZI-OUZOU



FACULTE DE GENIE ELECTRIQUE ET DE L'INFORMATIQUE
DEPARTEMENT D'ELECTRONIQUE

Mémoire de fin d'études

Présenté en vue de l'obtention du Diplôme d'Ingénieur d'Etat
en Electronique

Option : Instrumentation

Thème:

**Conception et réalisation d'une commande PID
pour phénomènes NBTI**

Proposé par:

Mr : TAHI Hakim.

Etudié et réalisé par:

Mr: MOUFFOK Mohamed.

Encadré par :

Mr : BENNAMANE Kamal.

Année universitaire 2010/2011.

Remerciements

Remerciements :

Je tiens à remercier mon promoteur Mr BENNAMANE Kamal pour son encadrement, ses conseils et sa disponibilité.

Je tiens aussi à remercier mon deuxième promoteur Mr TAHI Hakim qui ma toujours très bien accueillis au CDTA, et pour ses encouragement à rendre facile ce qui ne l'ai pas.

A ma famille, à mes ami(e)s et à tous ceux qui m'ont aidé ou contribués à réaliser ce travail.

Merci à tous.

Table des matières

Tables des matières

Introduction générale	1
Chapitre I : Le transistor MOS	3
I.1.Introduction.....	3
I.2.La structure MOS.....	3
I.3.Diagramme des bandes d'énergie.....	3
I.4.Influence de la différence des travaux de sortie sur le diagramme des bandes d'énergies.....	4
I.5.Propriétés physico-chimiques du diélectrique de grille: cas du SiO ₂	5
I.5.1.Obtention du SiO ₂	5
I.5.2.Structure du SiO ₂	6
I.5.3.Nature physico-chimique des défauts du SiO ₂	7
❖ Défauts intrinsèques.....	7
❖ Défauts extrinsèques.....	7
I.6.Propriétés électriques du SiO ₂	7
I.6.1.Caractéristiques électriques.....	7
I.6.1.1.Diagramme de bandes.....	7
I.6.1.2.Caractéristiques électriques de l'oxyde.....	8
I.7.Notion de piège.....	8
I.10.Différents types de charges dans l'oxyde.....	9
I.10.1.Les charges volumiques.....	9
❖ La charge fixe d'oxyde Q _f	9
❖ La charge piégée dans l'oxyde Q ₀	9
I.10.2.Charge située à l'interface.....	10
❖ Les charges mobiles Q.....	10
❖ Les charges d'interface piégées Q _{ss}	10
I.10.3.Bilan de la charge totale Q _{ox}	10
I.11.Propriétés de l'interface Si-SiO ₂	11
I.11.1.Nature des défauts à l'interface.....	11
I.11.2.Propriétés des états d'interface.....	11
I.12.Régimes de fonctionnement de la structure MOS.....	12
I.12.1.Régime d'accumulation.....	12
I.12.2.Régime de bande plate.....	13
I.12.3.Régime de déplétion.....	14
I.12.4.Régime d'inversion et de forte inversion.....	15
I.12.5.Evolution de la charge à l'interface isolant semi-conducteur avec la polarisation de la grille.....	17
I.13. Le transistor MOS.....	18
I.13.1.Structure du transistor MOS.....	18
I.13.2. Principe de fonctionnement.....	18
a. Etat bloqué.....	19
b. Etat passant.....	19
I.14. Caractéristiques Courant/Tension des MOSFET « longs ».....	19
I.14.1.Zone bloquée.....	19

Table des matières

I.14.2.Zone ohmique	19
I.14.3.Zone source de courant	20
I.15.Comportement électrique des défauts	20
I.15.1. Influence des défauts sur le fonctionnement MOS	20
I.16. Conclusion.....	20
Références du Chapitre I.....	21
Chapitre II : Le NBTI.....	22
II.1.Le phénomène NBT.....	22
II.2.Historique du NBTI.....	23
II.3.Dérive des paramètres électriques sous une contrainte NBT.....	24
II.4.Le NBTI parmi les principaux modes de défaillance.....	25
II.4.1.L'intégrité du diélectrique de grille (GOI)	26
II.4.2.Le phénomène dit de « porteur chaud (HCI) ».....	27
II.4.3.La contamination ionique.....	28
II.5. Définition du NBTI.....	29
II.6.La fiabilité NBTI et l'accélération du vieillissement.....	30
II.6.1.Définition.....	30
❖ Temps de vie ou durée de vie.....	30
❖ Extrapolation de durée de vie.....	30
II.6.2. Accélération du NBTI et extrapolation de la TTF.....	31
II.6.2.1.L'accélération d'un vieillissement par VG.....	31
II.6.2.2. L'accélération du vieillissement par la température.....	32
II.7. Conclusion.....	32
Références du Chapitre II.....	33
Chapitre III : La réalisation pratique.....	34
I. Introduction.....	34
II. Cahier de charge et caractéristiques de l'enceinte.....	34
III. Description de la commande (électrique).....	34
IV. La fonction de l'enceinte.....	34
V. Eléments de l'enceinte.....	35
VI.1. La chaîne d'acquisition.....	37
VI.1.1. Définition.....	37
VI.1.2. Le thermocouple type K.....	37
VI.1.3. Conditionnement du signal.....	37
VI.1.4. Principaux avantages de l'AD595.....	37
VI.2. La carte de commande et de communication.....	38
VI.2.1. Présentation générale du PIC 18F4550.....	38
VI.2.2. Description du Pic 18F4550.....	39
a) Dispositif Périodiques Universels Serial Bus.....	39
b) Principaux points de périphérique.....	39
c) Structure Flexible d'Oscillateur.....	40
d) Les ports d'entrées sorties du PIC.....	40
VI.3. Le convertisseur analogique numérique.....	41
VI.3.1. Fonctionnement d'une entrée du port de conversion.....	41

Table des matières

VI.3.2. Principe de la conversion du PIC.....	42
VI.3.3. Le temps d'acquisition.....	42
VI.3.4. La conversion.....	42
VI.3.5. Mise en œuvre et quantification de la conversion.....	43
VI.3.6. Le convertisseur numérique-analogique.....	43
VI.4. Le Convertisseur Numérique Analogique CNA.....	43
VI.4.1. Structure du CNA.....	43
VI.4.1.1. CNA à résistances pondérées (parallèles).....	43
VI.4.1.2. Résistances R-2R : structure en échelle à commutation de courant.....	44
VI.4.2. L'AD561.....	44
VII. Liaison série RS232et USB.....	45
VII.1. L'interface série RS232.....	45
VII.1.1. Principe de la transmission série RS232.....	45
VII.1.2. Communication série entre PC et PIC.....	45
VII.1.3. Le connecteur DB9.....	46
VII.1.4. Brochage.....	46
VII.2. La liaison USB.....	47
VII.2.1. Présentation du bus USB.....	47
VII.2.2. Les normes USB.....	47
VII.2.3. Brochage.....	47
VII.2.4. Communication série entre PC et PIC via USB.....	47
VII.2.5. Avantages de l'USB.....	48
VII.2.6. Le Protocole USB.....	48
VIII. L'actionneur.....	49
VIII.1. Modulateur de largeur d'impulsion (étage MLI).....	49
VIII.1.1. Introduction.....	49
VIII.1.2. Constitution de l'étage MLI.....	49
VIII.2. Le gradateur de puissance.....	51
VIII.2.1. Le triac.....	51
VIII.2.2. Le principe de fonctionnement d'un triac.....	51
VIII.2.3. Mise en œuvre du triac en gradateur de puissance.....	51
IX. La console.....	53
IX.1. Le clavier.....	53
IX.2. L'afficheur LCD.....	53
IX.2.1. Description des afficheurs LCD.....	53
IX.2.2. Fonctionnement de l'Afficheur.....	54
X. L'alimentation.....	55
X.1. Définition d'une alimentation continue stabilisée.....	55
X.2. Chaîne d'alimentation.....	55
XI. Le régulateur PID.....	56
XI.1. Introduction.....	56
XI.2. Paramètres.....	56
XI.3. Les actions de régulation.....	57
XI.3.1. Action proportionnelle : P.....	57
XI.3.2. Action intégrale : I.....	57
XI.3.3. Action dérivée : D.....	58
XI.4. Formes des régulateurs PID.....	58
XI.4.1. Forme standard.....	58

Table des matières

XI.4.2. Forme parallèle.....	58
XI.4.3. Forme série.....	58
XI.5. Identification du procédé.....	59
XI.6. Méthode de Ziegler-Nichols.....	59
XI.6.1. Méthode de Ziegler-Nichols temporelle.....	59
XI.6.2. Méthodes basées sur la réponse fréquentielle.....	60
XII. Régulateur PID numériques.....	61
XII.1. Systèmes asservis échantillonnés.....	61
XII.1.1. Définition.....	61
XII.1.2. Rôle du bloqueur de sortie.....	62
XII-2-Les correcteurs numériques.....	62
XII-2-1-Action intégrale numérique.....	62
XII-2-2-Dérivateur numérique.....	63
XII-3-Réalisation d'un régulateur PID numérique de type somme.....	63
XIII. Conception électronique et Simulation.....	63
IX. Tracé des circuits imprimés.....	65
IX.1. Conception des circuits imprimés.....	65
XX. Conception logicielle.....	67
XX.1. Organigramme du programme.....	67
XX.1.1. Organigramme de l'initialisation.....	67
XX.1.2. Organigramme du programme principal.....	68
XX.1.3. Organigramme du sous programme de consignement.....	69
XX.2. Interface d'acquisition et de commande sous LabView.....	70
XXI. Conclusion.....	70
Références du Chapitre III.....	71
Conclusion générale.....	72
Bibliographie.....	73
Annexes.....	74

Résumé

La microélectronique consiste en la réalisation miniaturisée de fonction électronique de plus en plus complexe sur un seul support (du silicium en général).

Au départ, le but de la microélectronique était la réduction du poids et du volume des appareils, mais ces deux critères sont devenus secondaires face à l'amélioration de la fiabilité et la réduction du prix de revient que permet l'intégration. Pour ces diverses raisons, la microélectronique connaît une expansion industrielle exceptionnelle depuis les années 60 puisque la production double tous les deux ans. Cette évolution caractérisée par l'augmentation du nombre de composants à volume constant dicté par la « loi de Moore » (à volume égal, le nombre de transistors double tous les deux ans), conjugue une baisse des prix des systèmes avec l'augmentation régulière des performances.

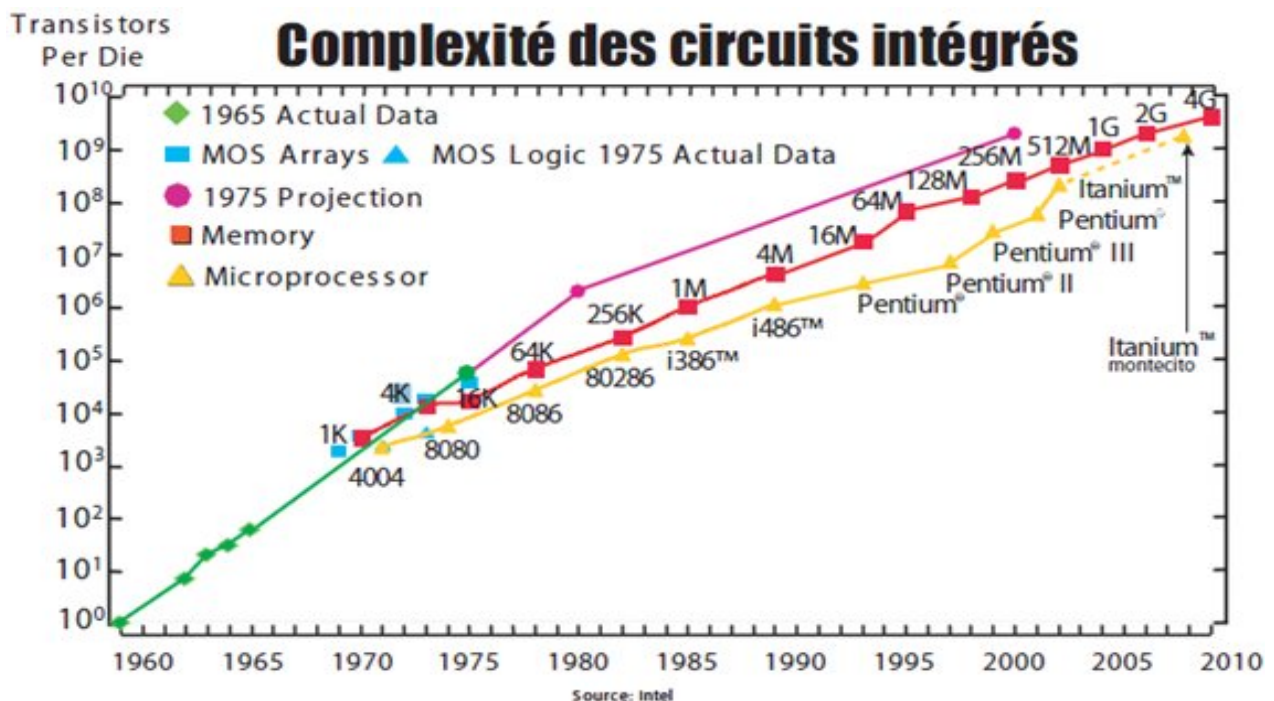


Illustration de la loi de Moore avec l'évolution du nombre de transistors dans les générations successives de processeurs Intel (<http://www.intel.com>).

D'un autre coté l'évolution continue des technologies employées dans l'industrie microélectronique s'accompagne de nouveaux problèmes de fiabilité.

L'étude de la fiabilité d'un dispositif doit se faire à travers une dégradation accélérée, plusieurs mécanismes de dégradation sont étudiés par les technologues. Pour le cas du NBTI (Negative Bias Temperature Instability) l'accélération de la dégradation se fait par une augmentation du potentiel de grille VG et une augmentation de la température T.

Résumé

C'est dans ce contexte que s'inscrit ce mémoire qui consiste en la conception et la réalisation d'un dispositif permettant l'accélération du vieillissement des transistors MOS (MOSFETs) encapsulés par phénomène NBTI.

Dans le premier chapitre nous allons commencer par rappeler les principales caractéristiques physiques et électriques de la structure MOS et ses différents modes de fonctionnement. Une brève présentation du diélectrique de grille (SiO_2) sera faite.

Le deuxième chapitre sera une introduction à la fiabilité du transistor MOS, un historique retracera les origines du NBTI ainsi que son évolution au fil des technologies. Les principaux effets du NBTI sur les paramètres électriques seront exposés. Nous définirons la fiabilité, la durée de vie et la nécessité de l'accélérer le vieillissement.

L'accélération du vieillissement par la température nécessite un dispositif chauffant et sa conception fera l'objet du dernier chapitre. En se basant sur une partie de l'outil pédagogique et pratique abordés tout au long du cursus de formation en ingénierat nous allons mettre au point une commande PID numérique pour piloter notre enceinte thermique (plaque chauffante).

Enfin, nous terminerons notre travail par une conclusion et quelques perspectives.

Introduction générale :

La microélectronique consiste en la réalisation miniaturisée de fonction électronique de plus en plus complexe sur un seul support (du silicium en général).

Au départ, le but de la microélectronique était la réduction du poids et du volume des appareils, mais ces deux critères sont devenus secondaires face à l'amélioration de la fiabilité et la réduction du prix de revient que permet l'intégration. Pour ces diverses raisons, la microélectronique connaît une expansion industrielle exceptionnelle depuis les années 60 puisque la production double tous les deux ans. Cette évolution caractérisée par l'augmentation du nombre de composants à volume constant dicté par la « loi de Moore » (à volume égal, le nombre de transistors double tous les deux ans), conjugue une baisse des prix des systèmes avec l'augmentation régulière des performances.

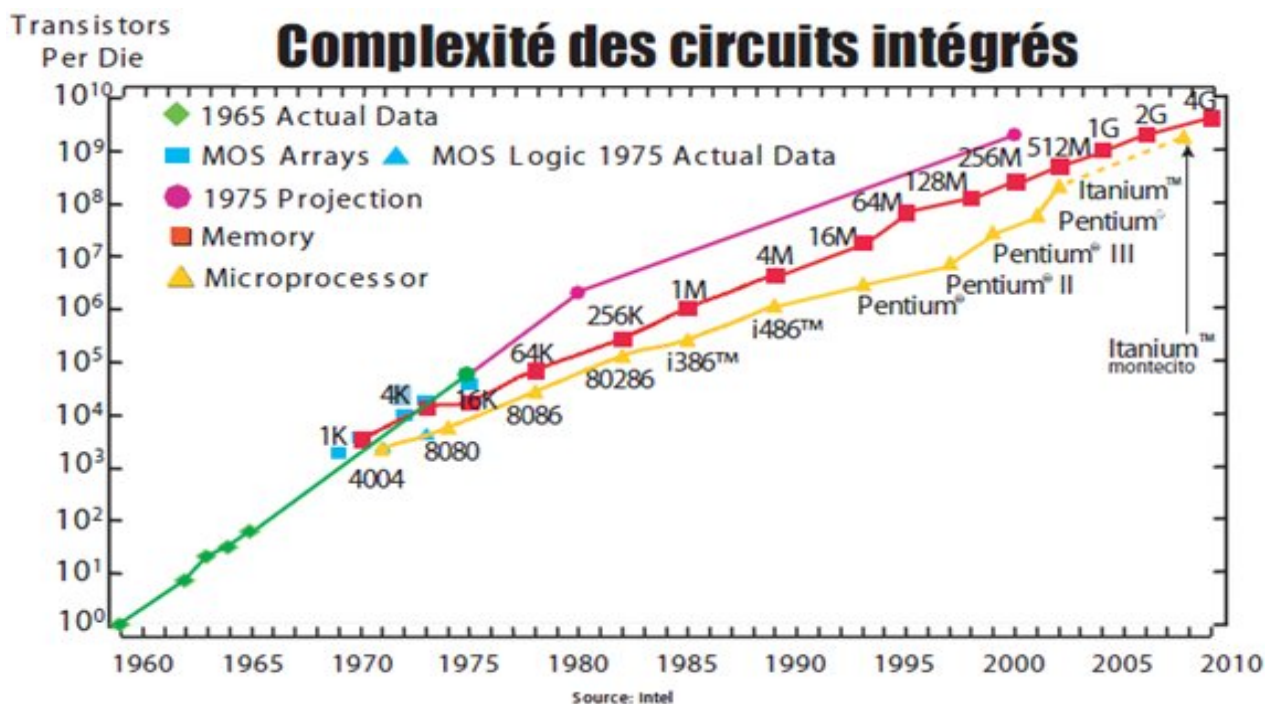


Illustration de la loi de Moore avec l'évolution du nombre de transistors dans les générations successives de processeurs Intel (<http://www.intel.com>).

D'un autre côté l'évolution continue des technologies employées dans l'industrie microélectronique s'accompagne de nouveaux problèmes de fiabilité.

L'étude de la fiabilité d'un dispositif doit se faire à travers une dégradation accélérée, plusieurs mécanismes de dégradation sont étudiés par les technologues. Pour le cas du NBTI (Negative Bias Temperature Instability) l'accélération de la dégradation se fait par une augmentation du potentiel de grille V_G et une augmentation de la température T .

Introduction générale

C'est dans ce contexte que s'inscrit ce mémoire qui consiste en la conception et la réalisation d'un dispositif permettant l'accélération du vieillissement des transistors MOS (MOSFETs) encapsulés par phénomène NBTI.

Dans le premier chapitre nous allons commencer par rappeler les principales caractéristiques physiques et électriques de la structure MOS et ses différents modes de fonctionnement. Une brève présentation du diélectrique de grille (SiO_2) sera faite.

Le deuxième chapitre sera une introduction à la fiabilité du transistor MOS, un historique retracera les origines du NBTI ainsi que son évolution au fil des technologies. Les principaux effets du NBTI sur les paramètres électriques seront exposés. Nous définirons la fiabilité, la durée de vie et la nécessité de l'accélérer le vieillissement.

L'accélération du vieillissement par la température nécessite un dispositif chauffant et sa conception fera l'objet du dernier chapitre. En se basant sur une partie de l'outil pédagogique et pratique abordés tout au long du cursus de formation en ingénierat nous allons mettre au point une commande PID numérique pour piloter notre enceinte thermique (plaque chauffante).

Enfin, nous terminerons notre travail par une conclusion et quelques perspectives.

CHAPITRE I : Le transistor MOS

I.1.Introduction :

La structure Métal-oxyde-semi-conducteur (MOS) est une structure très répandue en microélectronique et en électronique de puissance car elle constitue une partie fondamentale du transistor. Afin de simplifier l'étude de la structure par la théorie des bandes, le modèle suivant ne prend pas en compte que la charge contenue dans l'isolant de la structure.

I.2.La structure MOS :

La structure Métal-oxyde-semi-conducteur (MOS) présentée en la figure I-1 se compose d'un semi-conducteur surmonté d'un isolant (le plus souvent un oxyde) et d'une électrode métallique dénommée grille.

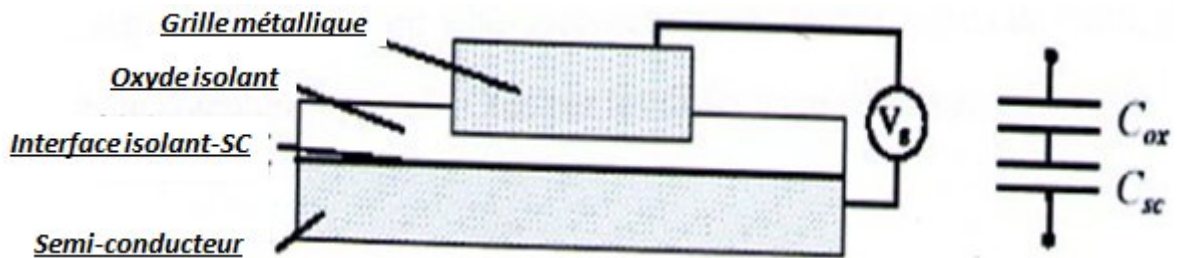


Figure I.1. Structure Métal-Oxyde-Semiconducteur

I.3.Diagramme de bandes d'énergie :

Le schéma de bandes d'une telle structure en l'absence de polarisation de grille et pour une capacité idéale ($\Phi_m = \Phi_{sc}$) est représenté sur la figure (1-2).

La structure MOS est équivalente à la mise en série de deux capacités, celle de l'isolant C_{ox} et celle créée à l'interface isolant semi-conducteur C_{sc} .

$$- = - + - \dots \dots \dots (1)$$



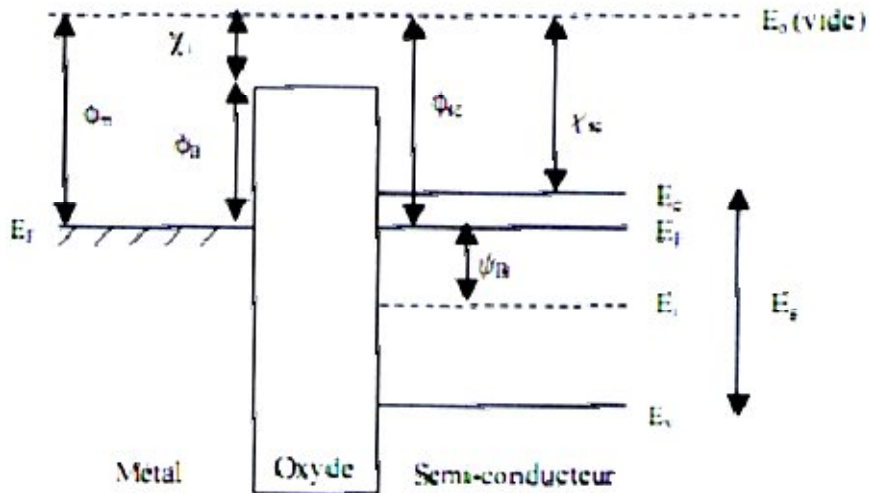


Figure I.2 : Schéma de bande d'une capacité MOS idéale de type n sous polarisation nulle.

I.4. Influence de la différence des travaux de sortie sur le diagramme des bandes d'énergies :

Si le métal et le semi-conducteur sont relié électriquement leurs niveaux de Fermi s'alignent et une différence de potentiel apparait crée par la différence des travaux de sortie.

Le diagramme de bande montre que, en court circuit (Figure I-3), la densité de charge à l'interface isolant-semi-conducteur a évolué. En effet pour $e\Phi_{sc} < e\Phi_m$, il ya une déplétion des électrons à l'interface isolant semi-conducteur de type N en court circuit.

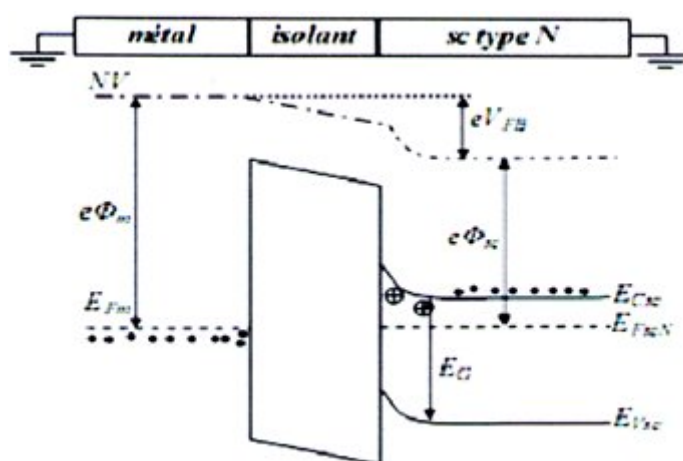


Figure I.3 : Diagramme de bandes d'énergie d'une structure MOS sur substrat de type N pour $e\Phi_{sc} < e\Phi_m$

CHAPITRE I : Le transistor MOS

Inversement si $e\Phi_{sc} > e\Phi_m$, il ya une accumulation d'électrons à l'interface isolant semi-conducteur de type N.

Le même raisonnement peut être tenu sur une structure MOS avec un semi-conducteur de type P. Une synthèse de l'état de la densité des porteurs à l'interface isolant semi-conducteur pour les deux type de semi-conducteur et pour chaque cas est présentée dans le tableau I-1 :

	MOS sur substrat N	MOS sur substrat P
$\Phi_{sc} < e\Phi_m$	Déplétion d'électrons ($Q_{sc} > 0$)	Accumulation de trous ($Q_{sc} > 0$)
$\Phi_{sc} > e\Phi_m$	Accumulation d'électrons ($Q_{sc} < 0$)	Déplétion de trous ($Q_{sc} < 0$)

Tableau I.1 : Etat de l'interface isolant-semiconducteur dans une structure MOS en court-circuit.

On définit alors la tension de bande plate V_{FB} comme étant la tension de grille V_g à appliquer à la structure pour que les bandes d'énergies soient plates. Cela signifie que le potentiel de surface V_s est nul. si l'isolant est parfait, la tension de bandes plates correspond alors à la différence des travaux de sorties :

$$V_{FB} = \Phi_m - \Phi_{sc} \dots\dots\dots(2)$$

Avec le travail de sortie pour chaque semi-conducteur donné par :

$$\begin{cases} \Phi_{scN} = X + E_g/2 - \Phi_{Fi} \\ \Phi_{scP} = X + E_g/2 + \Phi_{Fi} \end{cases} \dots\dots\dots(3)$$

Le potentiel Φ_{Fi} est définie par :

$$\Phi_{Fi} = \dots\dots\dots(4)$$

I.5. Propriétés physico-chimiques du diélectrique de grille: cas du SiO_2 :

I.5.1. Obtention du SiO_2 :

La structure MOS doit sa notoriété aux propriétés remarquables du tandem SiO_2/Si ; la relative facilité du silicium à être oxydé industriellement a permis l'expansion de la technologie MOS dans la microélectronique.

CHAPITRE I : Le transistor MOS

Le diélectrique de grille s'obtient par l'oxydation du silicium du substrat. Les atomes d'oxygène peuvent être insérés dans le silicium par deux techniques différentes:

- L'oxydation sèche : $\text{Si} + \text{O}_2 \longrightarrow \text{SiO}_2$
- L'oxydation humide : $\text{Si} + 2 \text{H}_2\text{O} \longrightarrow \text{SiO}_2 + 2\text{H}_2$

Contrairement à l'oxydation sèche utilisant un flux gazeux de dioxygène, l'oxydation humide nécessite la présence d'eau. La croissance de l'oxyde est obtenue à très haute température de l'ordre du 1000°C dans les deux types d'oxydation. La température, les gaz et leurs débits sont des paramètres importants de l'oxydation. Ces paramètres fixent en effet l'épaisseur, la stœchiométrie et la qualité de l'oxyde.

I.5.2. Structure du SiO_2 :

La silice peut se trouver sous trois formes [1] :

- Cristalline (ordre à longue distance).
- Vitreuse (ordre courte distance) ; s'obtient par oxydation thermique.
- Amorphe (absence d'ordre) ; cas d'un mauvais contrôle de la croissance de l'oxyde.

L'unité structurale de base du SiO_2 est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre SiO_4 qui est caractérisé par la distance atomique Si-O et par la valeur de l'angle entre les liaisons O-Si-O.

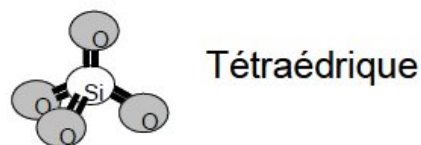


Figure I-4 : Motif de base de la silice

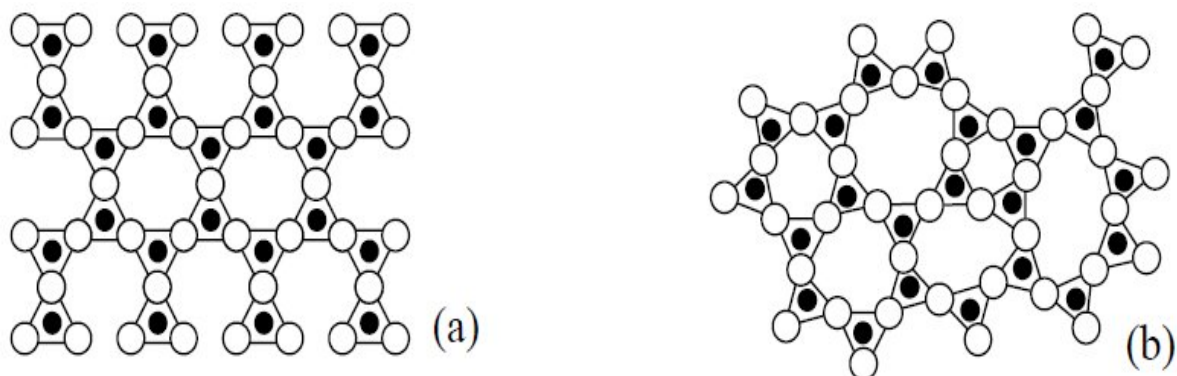


Figure I. (5.6) : Représentation plane du réseau de la silice
Cristalline (a) et amorphe (b).

I.5.3. Nature physico-chimique des défauts du SiO₂ :

Les défauts du SiO₂ résultent des conditions de croissance de l'oxyde. On peut distinguer deux défauts :

❖ Défauts intrinsèques :

Des oxydes intermédiaires (Si³⁺, Si²⁺, Si⁺) sont couramment induits par un défaut de type lacune d'oxygène qui modifie les états de liaisons du réseau tétraédral de base du SiO₂ amorphe. Leurs propriétés diélectriques sont moins bonnes que celles de la silice (Si⁴⁺) qui correspond au plus fort degré d'oxydation (Si relié à 4 atomes d'oxygène).

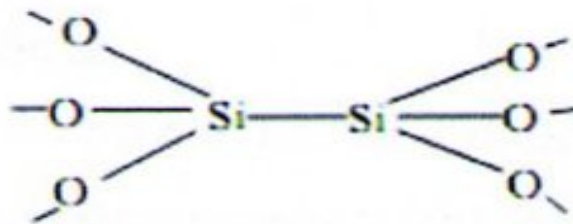


Figure I-7 : Représentation schématique d'une lacune d'oxygène à l'origine d'un degré d'oxydation moindre Si³⁺

❖ Défauts extrinsèques :

Ce sont généralement des impuretés telles que des ions alcalins : l'hydrogène, le chlore et l'azote. Ils proviennent souvent du substrat et diffusent dans l'oxyde lors des traitements thermiques.

I.6. Propriétés électriques du SiO₂ :

I.6.1. Caractéristiques électriques :

I.6.1.1. Diagramme de bandes :

Le premier diagramme de bandes du système Si-SiO₂ a été obtenu par Williams à partir des mesures de photoémission [2]. Ce diagramme est présenté ci-dessous :

La largeur de la bande interdite de l'oxyde est relativement importante, ce qui est à l'origine du caractère isolant du SiO₂. Les valeurs des hauteurs de barrières vues par les porteurs sont assez élevées : 3,2eV pour les électrons, et 4,6eV pour les trous.

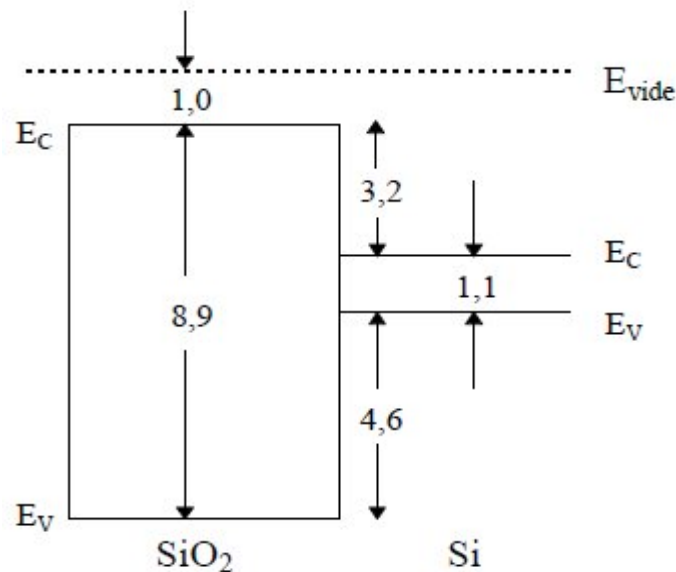


Figure I-8 : Diagramme de bande du système Si-SiO₂

I.6.1.2. Caractéristiques électriques de l'oxyde :

- Résistivité élevée (de l'ordre de 10^{15} à $10^{16} \Omega \text{ cm}$).
- A température ambiante, les valeurs de la conductivité et de la diffusion thermique sont assez faibles (respectivement $0,0014 \text{ W cm}^{-1} \text{ }^\circ\text{C}$ et $0,006 \text{ cm}^2 \text{ S}^{-1}$).
- A température ambiante la mobilité des porteurs est de 10 à 20 $\text{cm}^2/\text{v.s}$ pour les électrons et de l'ordre de $10^{-5} \text{ cm}^2/\text{v.s}$ pour les trous.

I.7. Notion de piège :

Dans le système Si/SiO₂, il est probable que certains pièges d'oxydes localisés près de l'interface aient leurs niveaux énergétiques bien au-dessus de la bande de conduction du silicium, et ne soient donc pas électriquement actifs. Par contre, les défauts qui induisent des niveaux d'énergie à l'intérieur de la bande interdite de l'oxyde sont électriquement actifs, car assimilables à des puits de potentiel capables de capturer des porteurs. Un défaut peut se comporter comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande, ou comme un lieu de recombinaison s'il peut échanger des porteurs avec les bandes de conduction et de valence. Les différents mécanismes de piégeage possibles sont illustrés sur la figure I-9 [3]. Selon l'état de sa charge, un piège peut être accepteur ou donneur. Dans le premier cas il est chargé négativement s'il est occupé par un électron et neutre s'il est vide. Dans le second cas il est neutre s'il est occupé par un électron et chargé positivement s'il est vide.

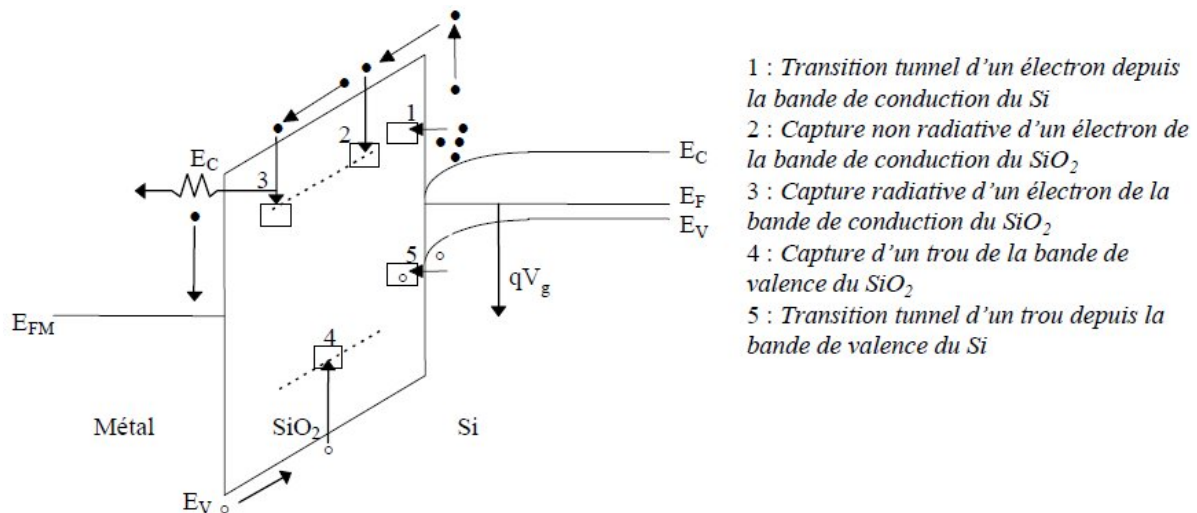


Figure I-9 : Illustration des différents mécanismes de piégeage [3].

1. Transition tunnel d'un électron depuis la bande de conduction du Si.
2. Capture non radiative d'un électron de la bande de conduction du SiO₂.
3. Capture radiative d'un électron de la bande de conduction du SiO₂.
4. Capture d'un trou de la bande de valence du SiO₂.
5. Transition tunnel d'un trou depuis la bande de valence du Si.

I.10. Différents types de charges dans l'oxyde :

I.10.1. Les charges volumiques :

❖ La charge fixe d'oxyde Q_f :

C'est une charge positive invariante en fonction de la polarisation sauf si des conditions thermiques ou électriques particulières dégradent le dispositif. La charge positive est attribuée à un excès de Si figé à la fin du processus d'oxydation sous forme interstitiel Si_i. Le Si interstitiel peut alors piéger un trou pour devenir un centre Siⁱ⁺.

❖ La charge piégée dans l'oxyde Q_{ot} :

C'est une charge stockée par les pièges du volume de l'oxyde. Ce type de piégeage est dû à une modification interne de la structure de l'oxyde sous l'effet d'un stress ou d'un stimulus extérieur. Si une paire e⁻-trou est créée ou injectée dans l'oxyde, les électrons et les trous peuvent être piégés par des puits de potentiel [4].

I.10.2.Charge située à l'interface :

❖ Les charges mobiles Q_m :

C'est une charge due à la contamination de l'oxyde par des impuretés ioniques (métaux alcalins : K^+ , Li^+ , Na^+ ...). Ces impuretés, localisées à l'interface Si-SiO₂, peuvent migrer d'une interface à une autre sous l'effet d'un champ électrique ou de la température.

❖ Les charges d'interface piégées Q_{ss} :

C'est une charge qui est piégée par les défauts qui résultent de la discontinuité du réseau à l'interface Si-SiO₂. Ces défauts appelés états d'interface jouent un rôle primordial dans le fonctionnement du transistor MOS, car contrairement aux défauts de volume de l'oxyde, ils sont en communication électrique directe avec le semi-conducteur. Le signe de cette charge dépend des conditions de polarisation appliquées au dispositif, qui font que selon sa nature (donneurs ou accepteurs) et sa position par rapport au niveau de fermi, un état d'interface est chargé négativement, positivement ou neutre.

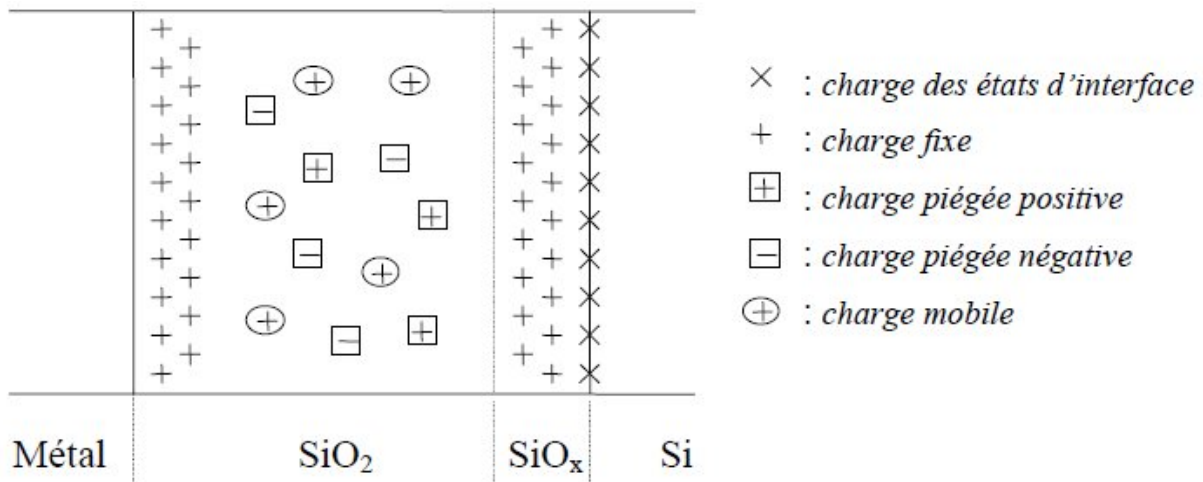


Figure I-10 : Les types de charges de l'oxyde et leur localisation [5].

I.10.3.Bilan de la charge totale Q_{OX} :

La quantité totale de charges dans l'oxyde sera donc la somme de tous les types de charges présents dans l'oxyde.

$$Q_{OX} = Q_{SS} + Q_f + Q_m + Q_O \dots\dots\dots (5)$$

$$Q_{OX} = Q_{SS} + Q_i = Q_{SS} + \int \rho(x) dx \dots\dots\dots (6)$$

Avec Q_i la charge dans le volume d'oxyde, $\rho(x)$ la distribution quelconque de la charge dans le volume de l'oxyde et d son épaisseur (oxyde).

I.11. Propriétés de l'interface Si-SiO₂ :

I.11.1. Nature des défauts à l'interface :

Cette région est propice à la formation d'oxyde intermédiaire SiO_x, en raison des fortes contraintes dues au raccordement des mailles cristallines et de la rupture de la périodicité du réseau cristallin du semi-conducteur. L'interface présente donc beaucoup plus de liaisons contraintes, distordues, pendantes... qu'il n'y en a dans le volume de l'oxyde. Les liaisons chimiques les plus probables à l'interface Si-SiO₂ sont représentées sur la figure I.11 [5].

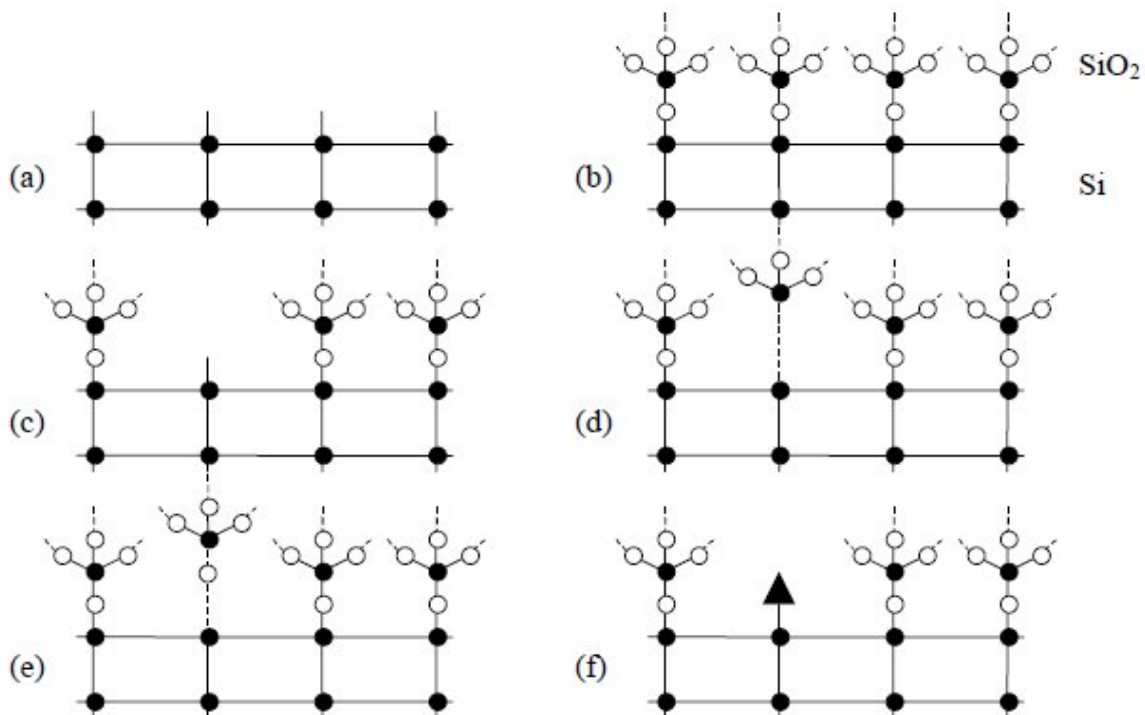


Figure I.11 : Liaisons chimiques de l'interface Si-SiO₂ [6] : (a) surface Si libre, (b) interface parfaite, (c) liaison Si₃-Si pendante, (d) liaison Si-Si faible, (e) liaison Si-O faible, (f) impureté à l'interface.

I.11.2. Propriétés des états d'interface :

La densité d'états d'interface, notée N_{SS} ou D_{it} , représente le nombre de défauts électriquement actifs par unité de surface et d'énergie ($eV^{-1} cm^{-2}$) situés à l'interface Si-SiO₂. Ces défauts sont susceptibles de capturer et de réémettre des porteurs.

I.12. Régime de fonctionnement de la structure MOS :

Quand une différence de potentiels V_g est appliquée entre la grille et le substrat d'une structure MOS, il apparaît quatre régimes de fonctionnement : l'accumulation, la déplétion, l'inversion et la forte inversion. Le potentiel de grille V_g se décompose alors en une somme de différences de potentiels.

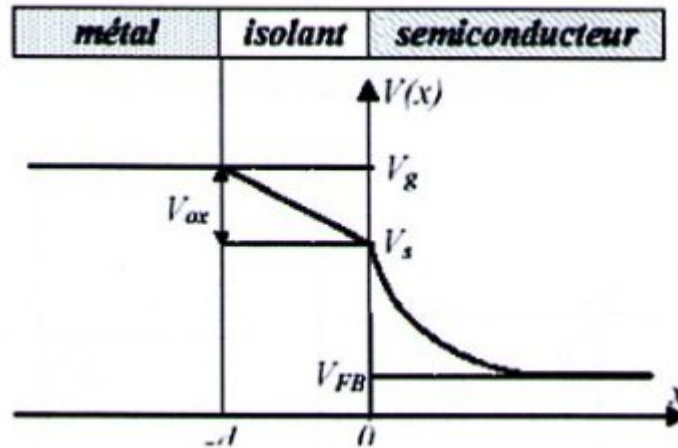


Figure I.12. Potentiels dans une structure MOS en déplétion.

Le potentiel de grille dans une structure MOS est donc :

$$V_g = V_{ox} + V_s + V_{FB} \dots \dots \dots (7)$$

Où $V_{ox} = V_g - V_s$ est la différence de potentiels supportée par l'oxyde d'épaisseur d , V_s est le potentiel de surface (différence de potentiel entre le substrat et l'interface isolant semi-conducteur) et la tension de bande plates V_{FB} .

I.12.1. Régime d'accumulation :

Par influence les porteurs majoritaires sont attirés vers l'interface isolant semi-conducteur (SiO_2/Si) : Une accumulation de porteurs majoritaire se forme à l'interface (SiO_2/Si).

Pour les semi-conducteurs de type N les porteurs majoritaires sont des électrons, le régime d'accumulation apparaît pour $V_g > V_{FB}$. De même pour les semi-conducteurs dont les porteurs majoritaires sont des trous (SC de type P), le régime d'accumulation apparaît pour $V_g < V_{FB}$.

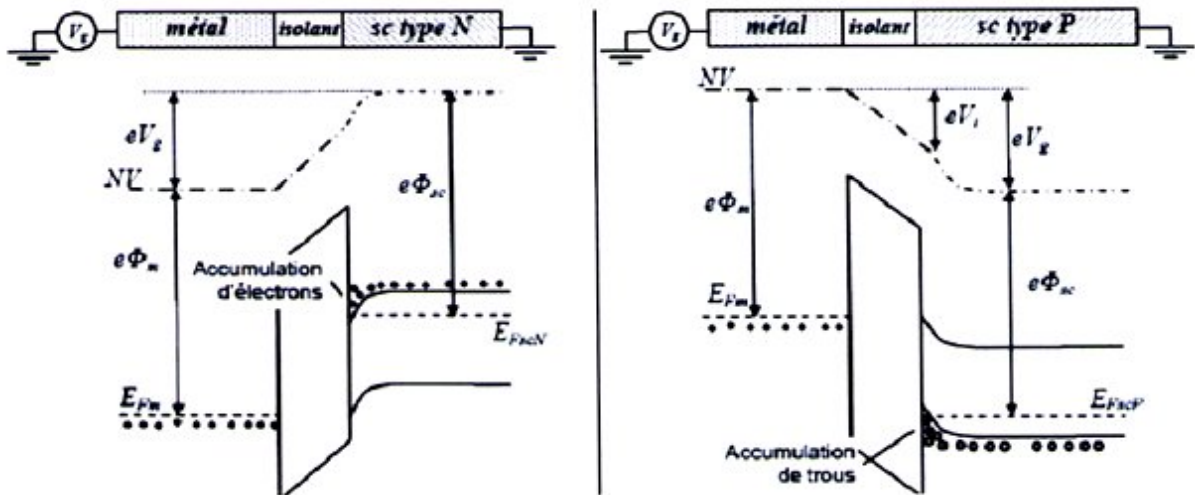


Figure I.13. Structure MOS idéales en régimes d'accumulation.

Comme dans un condensateur, la charge accumulée dans le substrat est égale à la charge accumulée sur la grille :

$$Q_m = -Q_{sc} = \frac{\epsilon}{d} V_g \quad [c.m^{-2}] \dots \dots \dots (8)$$

Avec ϵ_{ox} la permittivité diélectrique de l'oxyde et d l'épaisseur de l'oxyde.

Etant donné que les porteurs sont accumulés à l'interface (SiO_2/Si) la capacité de l'interface peut être négligeable et la capacité équivalente de la structure s'écrit alors :

$$C = \frac{\epsilon_{ox}}{d} \dots \dots \dots (9)$$

I.12.2. Régime de bande plate :

Lorsque le potentiel de surface à l'interface isolant semi-conducteur est nul ($V_s=0$), c'est le régime de bande plate. Dans le modèle idéal, il n'y a pas de charges dans l'isolant donc la chute de potentiel est nulle dans l'isolant ($V_s=0$). La tension de grille définie par l'équation (7) correspond donc à la tension de bande plate :

$$|V_g| = |V_{FB}| = |\Phi_m - \Phi_{sc}| \dots \dots \dots (10)$$

Cependant on peut définir la capacité de bande plate par :

$$C_{it} = \frac{\epsilon_{sc}}{LD} + \frac{\epsilon_{ox}}{d} \dots \dots \dots (11)$$

Avec S la surface de grille, ϵ_{sc} la permittivité diélectrique du semi-conducteur et LD la longueur de Debye, correspondant à la longueur de diffusion des porteurs due à la discontinuité causée par l'interface [7]:

$$LD = \frac{\epsilon_{sc}}{q N_A} \dots \dots \dots (12)$$

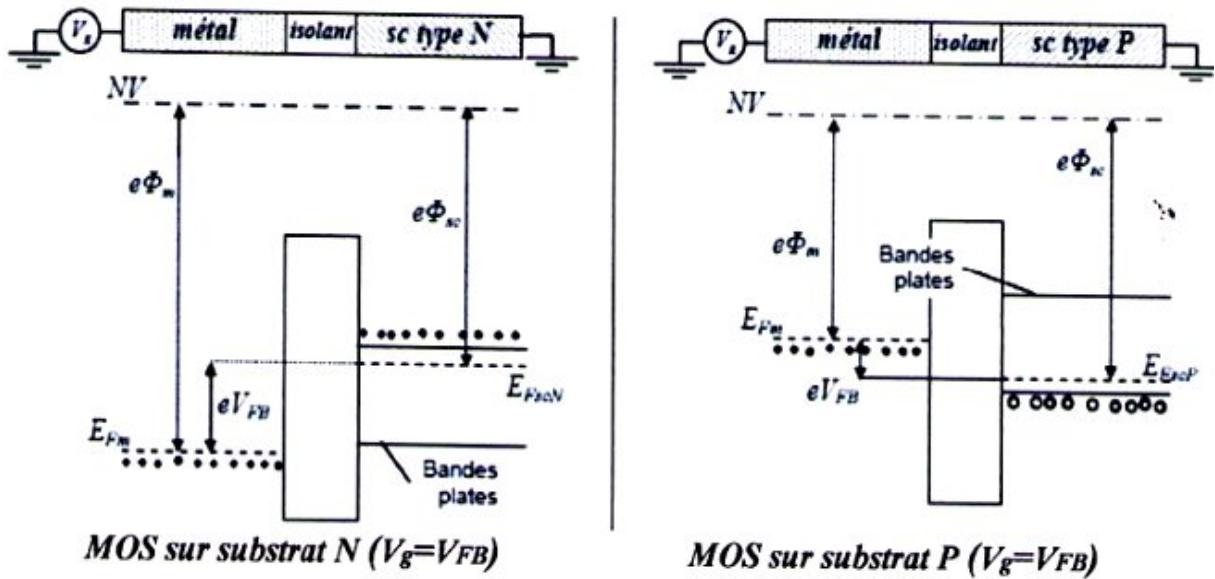


Figure I.14. Structure MOS idéales en régimes de bandes plates.

I.12.3. Régime de déplétion :

En polarisant au-delà de V_{FB} , les porteurs majoritaires sont repoussés de l'interface (SiO_2/Si) par influence. Il apparaît alors une Zone de Charge d'Espace (ZCE) d'épaisseur W dans le semi-conducteur. Il y a une déplétion en porteurs majoritaires à l'interface isolant semi-conducteur SiO_2/Si .

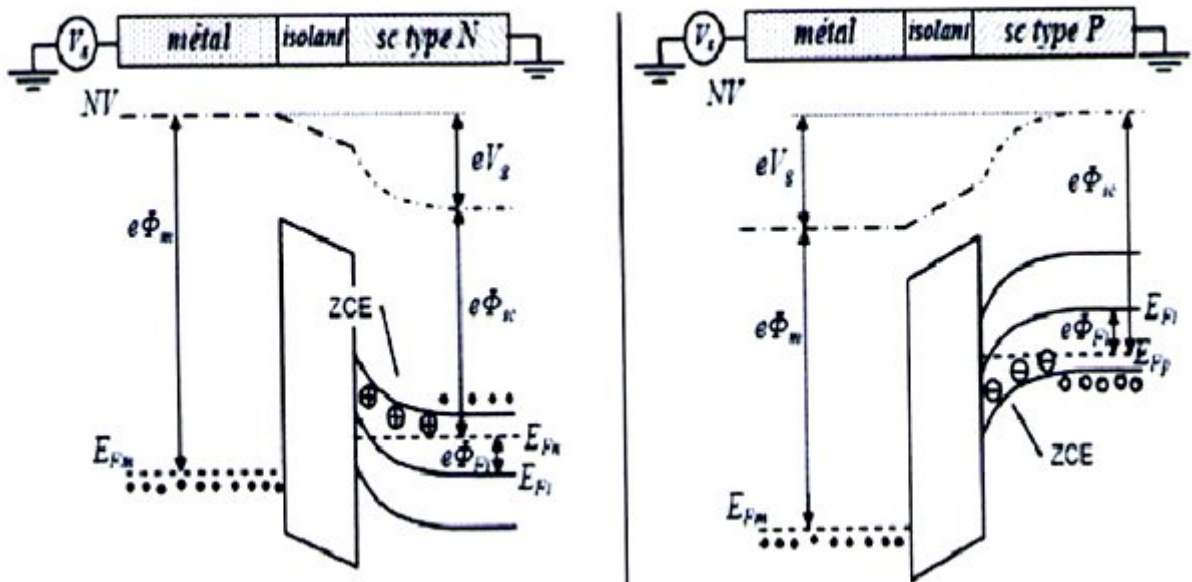


Figure I.15. Structure MOS idéales en régimes de déplétion.

CHAPITRE I : Le transistor MOS

La ZCE créée à l'interface comprend une charge Q_{sc} qui provient des dopants du semi-conducteur. La répartition des dopants étant considérée comme homogène, la répartition de la charge dans la ZCE est considérée constante dans tout le semi-conducteur.

La quantité de la charge dans le SC en régime de déplétion est donnée par :

$$Q_{sc}(W) = -eNW \dots\dots\dots(13)$$

Avec N la concentration des dopants dans le semi-conducteur et W l'épaisseur de la ZCE.

En régime de déplétion, la ZCE est assimilable à une capacité à l'interface isolant semi-conducteur, qui varie en fonction de W , $C_{sc}(W)$. La capacité équivalente de la structure s'écrit alors :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \dots\dots\dots(14)$$

La charge totale de la zone déserte devient donc maximale lorsque la ZCE est maximum.

La valeur totale de la ZCE vaut alors [8] :

$$W_{max} = \frac{\epsilon_{sc}}{eN} 2\Phi_i \dots\dots\dots(15)$$

Avec ϵ_{sc} la permittivité du diélectrique du semi-conducteur et Φ_i donné par l'équation (4).

Nous définirons alors la quantité de charge maximale dans la ZCE due aux dopants du semi-conducteur par :

$$Q_w = -eNW_{max} \dots\dots\dots(16)$$

I.12.4. Régime d'inversion et de forte inversion :

En continuant la polarisation, les porteurs majoritaires sont de plus en plus repoussés de l'interface SiO_2/Si , l'épaisseur de la ZCE est alors maximum $W=W_{max} \dots\dots\dots(17)$

La courbure des bandes d'énergie s'accroît, et pour une certaine tension, le niveau de Fermi intrinsèque E_{Fi} passe sous le niveau de Fermi E_{Fsc} du semi-conducteur dopé.

Le potentiel de surface V_s atteint un seuil pour lequel la densité de porteur majoritaire à l'interface est égale à la densité de porteurs minoritaires dans le Semi-conducteur figure (I.15)

Le seuil correspondant à la transition entre le régime de déplétion et le régime d'inversion est défini par :

$$V_s = |\Phi_i| \dots\dots\dots(18)$$

En régime de forte inversion contrairement au régime d'inversion, la charge à l'interface est conditionnée par les porteurs minoritaires dont la densité, en surface, est beaucoup plus

CHAPITRE I : Le transistor MOS

grande que la densité des dopants. Le seuil de V_s pour lequel la densité de porteurs minoritaires est équivalente à la densité des dopants ($P=N_d$ pour le type N ou $n=N_a$ pour le type P) est définie par :

$$V_s = 2|\Phi_i| \dots\dots\dots(19)$$

La tension de grille correspondant à cette condition est appelée tension de seuil V_{TH} [7].

$$V_{TH} = 2|\Phi_i| + \frac{1}{C_{ox}} |\Phi_s| \dots\dots\dots(20)$$

; (20). C_{ox} la capacité surfacique de l'oxyde (F/m^2)

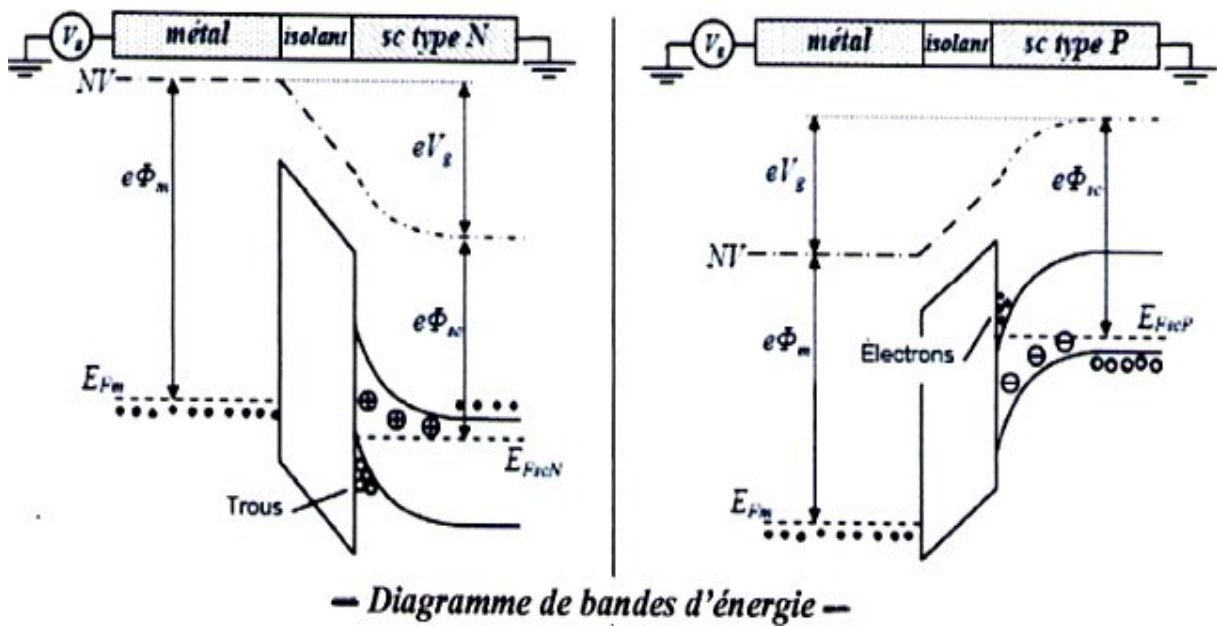


Figure I.16. Structure MOS idéales en régimes d'inversion.

La charge totale dans le substrat est la somme des charges issues des dopants du semi-conducteur Q_w dans la ZCE et des porteurs minoritaires accumulés à l'interface SiO_2/Si Q_{inv} :

$$Q_{sc} = Q_w + Q_{inv} \dots\dots\dots(21)$$

$$C_{sc} = \dots\dots\dots(22)$$

$$\text{Avec } \begin{cases} Q_w = -eNW \\ C_w = \dots\dots\dots \end{cases} \dots\dots\dots(23)$$

La capacité de l'interface C_{sc} est maximale en régime d'inversion, car la ZCE est maximale ($W=W_{max}$). La capacité totale de la structure s'écrit alors :

$$\dots\dots\dots(24)$$

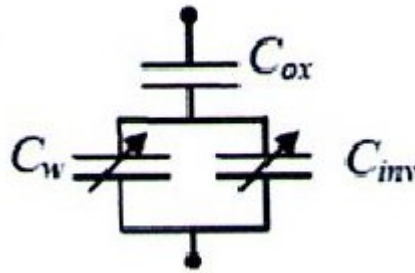


Figure I.17.Schémas équivalent de la structure MOS

I.12.5.Evolution de la charge à l’interface isolant semi-conducteur avec la polarisation de la grille :

Dans un premiers temps nous étudions la charge à l’interface isolant SC dans les différents régimes de fonctionnement des structures MOS idéales en fonction du potentiel de surface V_s , et non en fonction du potentiel de grille V_g . L’effet de l’isolant ou des éventuelles charges dans l’isolant n’ont dans ce cas pas d’influence sur la charge dans le semi-conducteur.

Nous pouvons écrire la quantité de charge à la surface d’un semi-conducteur Q_{sc} en fonction de son potentiel de surface V_s par les deux équations (25) et (26) respectivement:

$$\text{TypeN : } Q_{sc} = - \text{Sign}(V_s) \left\{ 2 N_d^+ \left[- \left(e^{+V_s/KT} - 1 \right) - V_s + \frac{e^{e(-V_s+2\phi_f)/KT}}{2} \right] \right\}^{1/2}$$

$$\text{Type P : } Q_{sc} = - \text{Sign}(V_s) \left\{ 2 N_a^- \left[- \left(e^{-V_s/KT} - 1 \right) + V_s + \frac{e^{e(V_s-2\phi_f)/KT}}{2} \right] \right\}^{1/2}$$

Les courbes représentant la variation de la charge dans le semi-conducteur Q_{sc} en fonction du potentiel de surface V_s est représentée dans la l’équation (23) dans le cas d’un semi-conducteur de type N et d’un semi-conducteur de type P. On observe les différents régimes de fonctionnement (l’accumulation, la déplétion et l’inversion), ainsi que la tension de bandes plates et la tension de seuil.

En l’absence de charges dans l’isolant et en considérant la tension de bandes plates V_{FB} nulle ; la chute de potentiel dans l’isolant V_i peut s’écrire à partir de l’équation suivante (27) :

$$V_i = V_G - V_s = E_{ox} d = \frac{Q_{sc}}{C_{ox}} \dots\dots(27)$$

A partir de l’équation précédente (27) on aura pour la charge dans l’isolant :

$$Q_{sc} = \frac{\epsilon}{d} (V_s - V_g) \dots\dots(28)$$

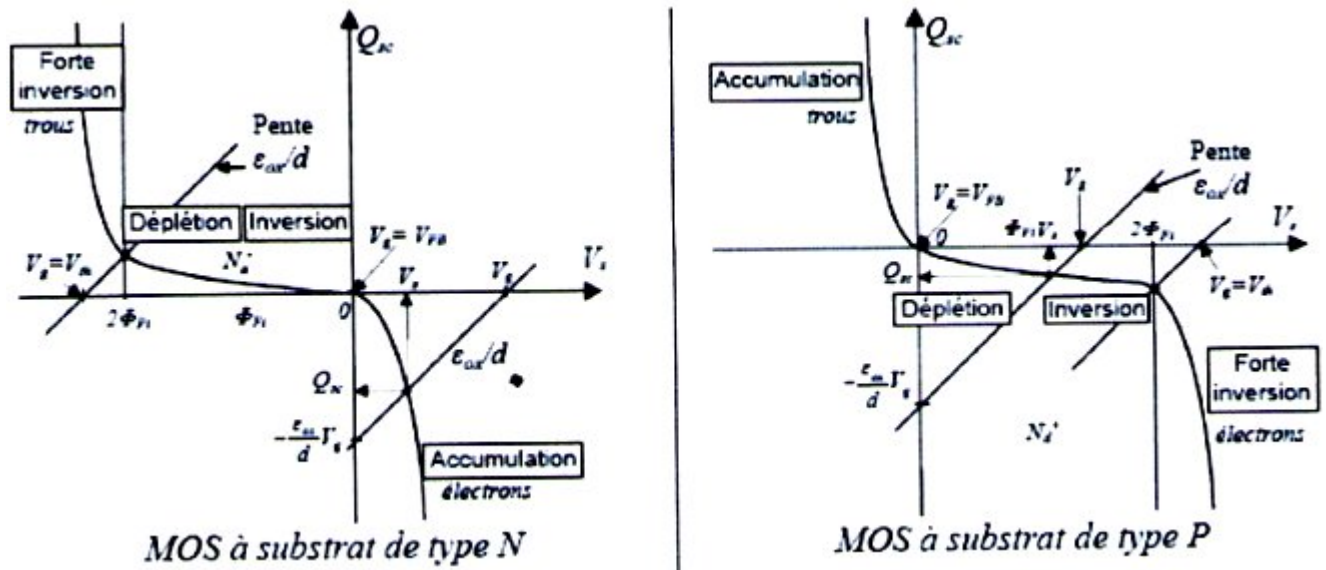


Figure. I.18. Evolution de la charge totale Q_{sc} à la surface des deux types semi-conducteurs (N et P) idéaux en fonction de V_s et représentation de la chute de potentiel dans l'oxyde.

I.13. Le transistor MOS :

I.13.1. structure du transistor MOS :

Aussi appelé transistor à effet de champs, le TMOS est essentiellement une structure MOS sur laquelle deux contacts latéraux, appelés source et drain, ont été intégrés. D'un dopage opposé à celui du substrat, les contacts sont constitués de semi-conducteurs fortement dopés, assurant ainsi un bon contact ohmique avec la source et le drain. L'interface isolant-semiconducteur entre les deux contacts fortement dopés constitue le canal dans lequel circule un courant dénommé courant drain source I_d .



Figure. I.19. Schémas d'un transistor MOS à canal P et d'un MOS à canal N

I.13.2. Principe de fonctionnement :

L'effet transistor consiste à contrôler le courant drain-source par une tension appliquée sur la grille. La figure I-20 montre la structure d'un TMOS a canal N (ce sont les électrons qui assurent la circulation du courant drain-source quand, et le transistor est dans l'état passant).

CHAPITRE I : Le transistor MOS

a. Etat bloqué :

En l'absence de tension de grille, la diode source-substrat est non polarisée, donc aucun courant ne la traverse, et le courant inverse de la diode drain-substrat est très faible. La structure MOS est en régime de déplétion ou d'accumulation, il n'y a pas de porteurs minoritaires et le canal n'est pas conducteur (figure I-20-a).

b. Etat passant :

Comme nous l'avons vu dans l'étude de la structure MOS en régime d'inversion, une tension de grille V_g , au-delà de la tension de seuil, peuple de porteurs minoritaires l'interface isolant-semi conducteur. Les deux zones peuplées d'électrons, la source et le drain sont relié par un canal rempli de porteurs minoritaires : le courant de drain I_d circule et le transistor est passant. Figure (I-20-b).

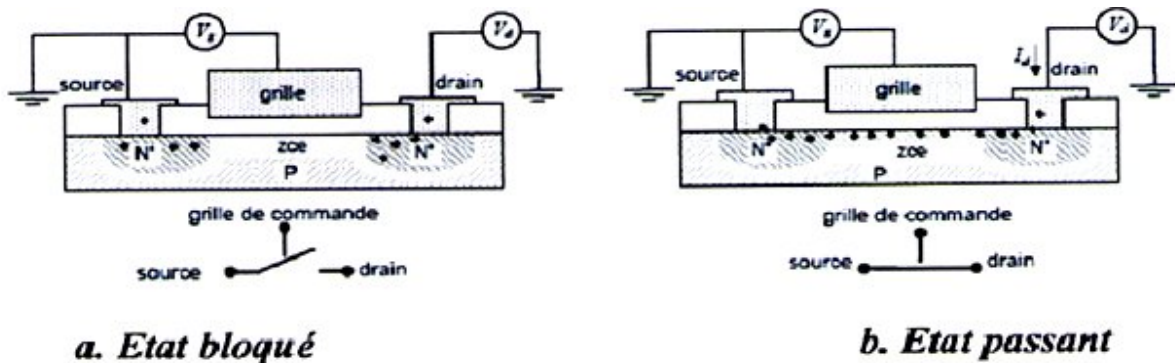


Figure I.20. Deux états du transistor MOS à canal N.

I.14. Caractéristiques Courant/Tension des MOSFET « longs » :

I.14.1. Zone bloquée : $V_{FB} < V_g < h$:

La capacité MOS se trouve en régime de déplétion. La conduction du canal tend à s'annuler et le courant de drain est très majoritairement d'origine diffusive [8]:

$$I_D = q D_n \overline{\text{grad}(n)} \dots \dots \dots (29)$$

Avec n concentration en électrons libre et D_n coefficient de diffusion. On peut écrire [9] :

$$I_D = I_{D0} \exp \left(- \frac{V_g - V_{FB}}{h} \ln 10 \right) \left[1 - \exp \left(- \frac{V_{ds}}{h} \right) \right] \dots \dots \dots (30)$$

Où S est le paramètre nommé pente sous le seuil.

I.14.2. Zone ohmique : $V_g > h$:

On atteint le régime d'inversion, il y a création d'un canal formé par les porteurs libres injectés par les réservoirs de source et de drain. Pour de faibles tensions de drain V_{ds} , la vitesse V des charges libres varie linéairement avec le champ électrique parallèle à la direction source drain : $V = -\mu_{eff} E$ ou μ_{eff} est appelée mobilité effective des porteurs dans le

CHAPITRE I : Le transistor MOS

canal. En modélisant habilement le contrôle de charge due à l'effet de champ et le courant de conduction dans le canal on obtient [10] :

$$I_D = \mu_{\text{eff}} C_{\text{ox}} [(V_{\text{GS}} - V_T) - \frac{V_{\text{DS}}}{2}] V_{\text{DS}} \dots\dots\dots (31)$$

Pour $V_{\text{DS}} < V_{\text{DSat}}$ et $V_{\text{GS}} > V_T$ avec $C_{\text{ox}} = \epsilon_{\text{ox}} / T_{\text{ox}}$

I.14.3. Zone source de courant :

Lorsque $V_{\text{ds}} > V_{\text{DSat}}$, un phénomène de saturation du courant I_D apparaît un pincement du canal, saturation de la vitesse des porteurs... Alors I_D ne dépend plus de V_{ds} mais seulement de V_{gs} . Le transistor se comporte alors comme une source de courant commandée par V_{gs} .

Pour le cas d'une saturation par pincement, I_D devient [9] :

$$I_{D \text{ sat}} = \mu_{\text{eff}} C_{\text{ox}} \left[\frac{(V_{\text{GS}} - V_T)^2}{2} \right] \quad (\text{pour } V_{\text{DS}} > V_{\text{GS}} - V_T \text{ et } V_{\text{GS}} > V_T) \dots\dots\dots (32)$$

I.15. Comportement électrique des défauts :

I.15.1. Influence des défauts sur le fonctionnement MOS :

L'oxyde de la structure MOS supporte pratiquement tout le champ électrique. La présence de charges à l'intérieur de l'oxyde à une incidence directe sur le potentiel de surface V_s . Les charges situées près de l'interface isolant-semiconducteur jouent un rôle particulièrement important. Pour prendre en compte la présence de charges dans l'oxyde il faut remplacer, dans toutes les équations précédentes V_g par $V_g - V_{\text{FB}}$

Les charges d'interface et les charges présentes dans l'oxyde provoquent un décalage de la tension de bandes plates que l'on notera ΔV_{FB} :

$$\Delta V_{\text{FB}} = - \frac{Q_{\text{ox}}}{C_{\text{ox}}} = - \frac{Q_{\text{ox}}}{\epsilon_{\text{ox}}} + \int \frac{\rho(x)}{\epsilon_{\text{ox}}} dx \dots\dots\dots (33)$$

Avec $\rho(x)$ la distribution continue quelconque de la charge dans le volume de l'oxyde, C_{ox} la capacité de la structure MOS en accumulation, Q_{ox} la charge totale présente dans l'oxyde et Q_{ss} les charges d'interfaces.

I.16. Conclusion :

Dans ce premier chapitre nous avons fait un rappel général sur le transistor MOS ; le rappel du principe de fonctionnement, du diagramme de bandes d'énergies, ainsi que des paramètres électriques du transistor ont permis de définir les paramètres utilisés par la suite dans le manuscrit. Ensuite nous avons fait un bref rappel sur la structure du SiO_2 comme diélectrique de grille, ces différentes caractéristiques, les pièges, les charges dans l'oxyde ainsi que les propriétés et défauts de l'interface Si-SiO₂ qui sont élémentaire dans l'étude qui va suivre.

Références du Chapitre I

- [1] Hesto P. the nature of electronic conduction in thin insulating layer. Vol1.Amesterdam, Netherland: North Holland 1986 .pp 263-314.
- [2] R. Williams. Phy. Rev. A, Vol 56(9). P140, 1965.
- [3] T.P Ma and P.V Dressendorfer, “Ionising radiation effect in MOS devices And circuit”, Wily-Interscience, (1989).
- [4] Ning T.H; Obsurn C.M,Yu H.N,”Electron trapping at positive charged center in SiO₂ “Vol.26,Appl.Phys. Lett,pp.248-250.
- [5] B.E.DEAL Standardized Terminology for Oxide Charges Associated With Thermally Oxidized Silicon, IEEE Dev. Lett, vol 27 (3), p. 606, 1980.
- [6] T.Sakurai, T.Sugano Theory of continuously distributed trap state at Si/ SiO₂ interfaces. J.appl .phy, vol 52.1981.
- [7] Mathieu H. “Physique des semi-conducteur et des composants électroniques »,Dunod 5^{eme} édition,(2001)
- [8] Philippe DOLLFUS et Sylvie GALDIN-RETAILLEAU »Physique des dispositifs à semi-conducteurs » cours de DEA, mars 2001.
- [9]Jacque GAUTIER et al. « Physique des dispositifs pour circuits intégrées silicium », Hermès, 2003.
- [10] Henry MATHIEU »Physique des semi-conducteurs et des composants électroniques », Dunod, 2004.

II.1. Le phénomène NBT :

Le phénomène NBT ou NBTS vient de l'anglais « Negative Bias Temperature Stress », c'est-à-dire application d'un potentiel électrique négatif sur la grille d'un transistor dans un milieu à haute température. Concrètement, le dispositif est placé dans un four ou dans un environnement chaud, et les quatre connecteurs que sont la grille, la source, le drain et le substrat sont reliés à un générateur de tension appliquant une tension négative entre la grille et l'ensemble Source-Substrat-Drain (Figure II.1).

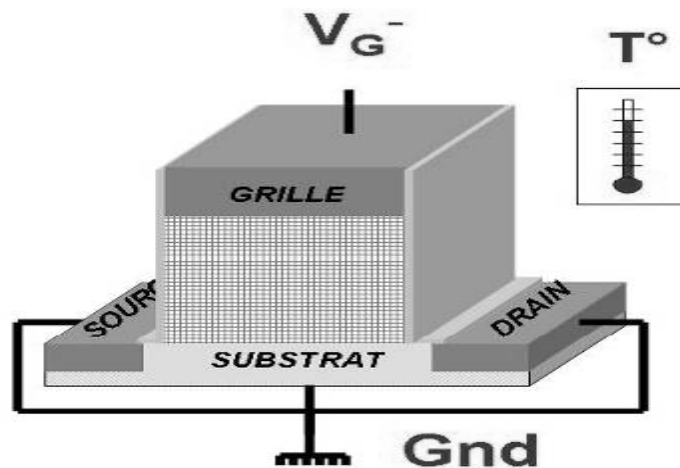


Figure II.1. Configuration électrique d'un phénomène NBT

La plage de température varie de 25 à 200°C, et le potentiel de grille de VDD à deux à trois fois VDD (VDD étant la tension typique d'utilisation du dispositif). La température doit rester un paramètre accélérant le mécanisme de dégradation et ne doit pas dénaturer la chimie et/ou la structure du dispositif. La contrainte NBT-inhomogène fait quant à elle référence à une contrainte pour laquelle le potentiel électrique du drain est plus élevé (ou moins élevé) que le potentiel électrique de la source.

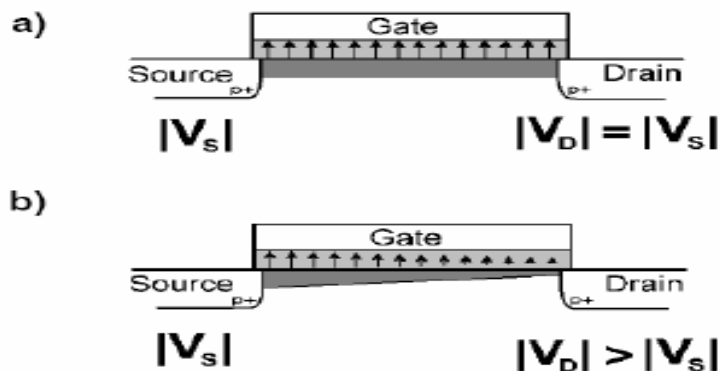


Figure II.2. Phénomène NBT homogène (a) et inhomogène (b).

II.2. Historique du NBTI :

Le transistor à effet de champ électrique en silicium fait ses premiers pas dans la microélectronique vers la fin des années 1960. À cette époque, les travaux portaient principalement sur le développement de recette d'oxydation du substrat pour former le diélectrique de grille du transistor. L'épaisseur du diélectrique de grille était bien contrôlée et ne mesurait déjà que quelques centaines de nanomètres. Les lignes de métal étaient en aluminium, en chrome ou en or.

En 1967 Les travaux publiés par l'équipe de B.E. Deal du laboratoire de recherche et développement de Fairchild Semiconductor en Californie sont les premiers à exposer une création de défauts chargés lors d'un phénomène NBT. Leurs travaux sont basés sur la génération de charges d'interfaces pendant les recettes d'oxydation ainsi que leurs évolutions sous une contrainte électrique. Ils se rendent compte que lorsqu'un champ électrique négatif est appliqué à haute température, l'apparition d'une charge positive n'est cette fois-ci pas due à une contamination extrinsèque, mais est bel et bien due à une origine intrinsèque au dispositif et fortement liée à l'interface SiO₂/Si. Ils mettent en évidence que cette apparition de charge présente, contrairement à une contamination, une très bonne reproductibilité sur un grand nombre d'échantillons et qu'elle a de fortes probabilités d'être issue d'une diffusion d'espèces à base d'atome de silicium (ions positifs) provenant du substrat, proche de l'interface, et diffusant vers l'oxyde sous l'effet du champ électrique. À partir de cette observation, l'équipe de Bell Telephone Laboratories a approfondi l'étude de cette génération de charge sous contrainte, et mis en évidence la génération de défauts à l'interface SiO₂/Si dans la structure MOS.

Le travail de K.O. Jeppson et de M. Svensson publié en 1977, est accepté par la communauté scientifique comme étant la première publication interprétant la dégradation sous un phénomène NBT. Ils travaillaient sur la fiabilité des mémoires non-volatiles qui avaient une très faible endurance. Ils parlent d'effets sous contraintes à tension négative et à haute température (Negative Bias Temperature Stress effects). Ils ont décomposé le mécanisme de dégradation en deux parties : la première, dominante à bas champ électrique et limité par le phénomène de diffusion, et la seconde, apparaissant à plus fort champ électrique et contrôlé par l'injection par effet tunnel de porteurs et le piégeage de trous. Ils proposent une libération de l'atome d'hydrogène à l'interface SiO₂/Si. Ce modèle est à l'origine du modèle dit de « Réaction - Diffusion » (R-D). En parallèle à ce modèle, d'autres modèles ou observations ont complété le paysage assez uniforme du NBTI et du modèle R-D, notamment Houssa, Schlünder *et al.* Houssa propose un mécanisme de dégradation des liaisons Si-H à l'interface SiO₂/Si par injection de porteurs à travers l'oxyde de grille.

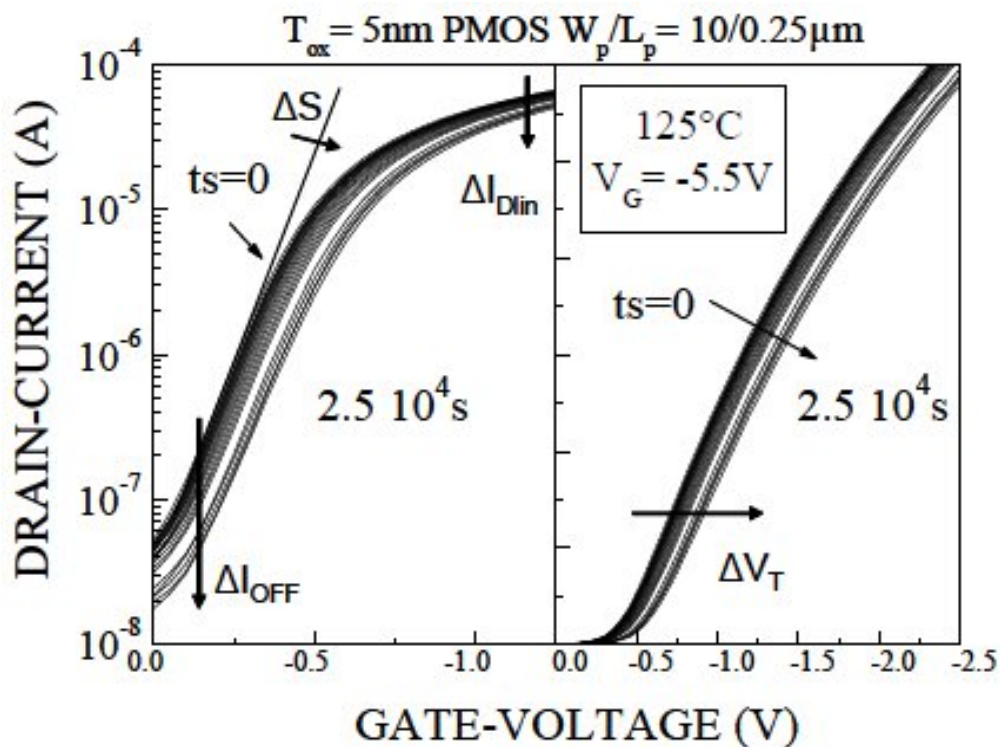
CHAPITRE II : Le phénomène NBTI

Schlünder *et al* font partie des premiers à avoir montré le phénomène de relaxation « moderne » du NBTI : une partie de la dégradation s'auto-guérit lorsqu'un potentiel électrique positif (phase de relaxation) est appliqué sur la grille après une contrainte NBT.

II.3. Dérive des paramètres électriques sous une contrainte NBT :

Une contrainte NBT ($V_G = -5.5V$ pendant $2.5 \cdot 10^4 s$ à $125^\circ C$) a été appliquée sur un PMOS de $5nm$ d'épaisseur d'oxyde [1]. Les grandeurs considérées sont mises en valeur absolue par commodité.

La Figure II.3 représente l'évolution de la caractéristique $I_D - V_G$ pendant la contrainte. Nous observons l'augmentation de la tension de seuil V_T et la diminution du courant linéaire. Sur une échelle logarithmique, il apparaît que la pente sous le seuil ($1/S$) diminue et que le Courant de fuite tunnel I_{OFF} est réduit. La Figure II-4 représente la transconductance en fonction V_G . Il apparaît une diminution de la transconductance maximale g_{mmax} et un décalage de la caractéristique vers la droite dû à l'augmentation de V_T . La diminution de g_{mmax} implique une diminution de la mobilité des trous à l'interface. Cette dernière observation suggère que le courant de drain linéaire I_{Dlin} est globalement diminué par l'augmentation du V_T mais également par une diminution de la mobilité.



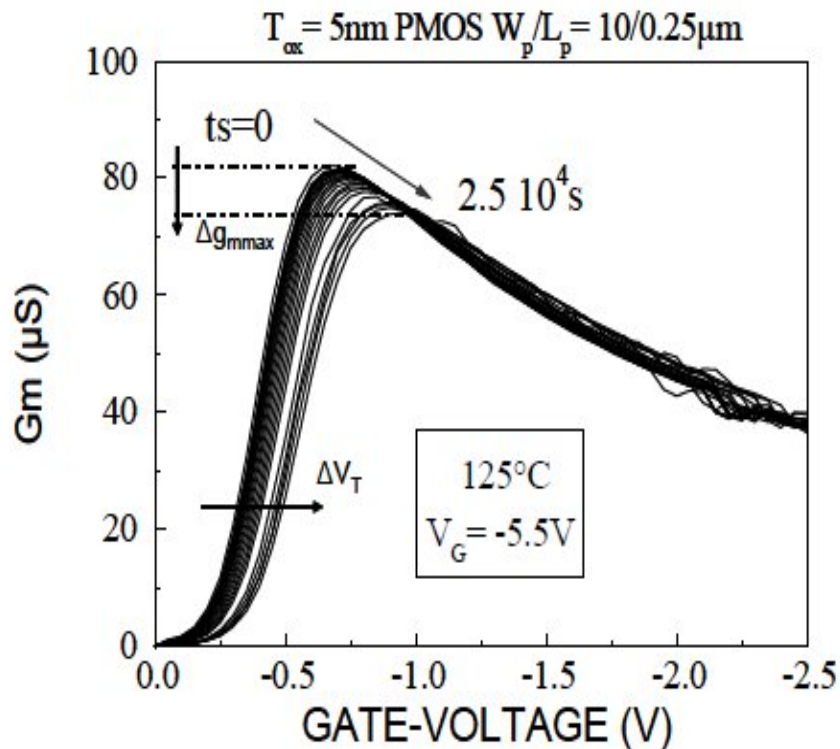


Figure II.4. Variation de la transconductance après une contrainte NBTI. [1]

De la même manière qu'en mode linéaire, le courant I_{dsat} , le V_{Tsat} et la transconductance dérivent en mode saturé. C'est ainsi que l'ensemble des caractéristiques électriques du transistor ne correspond plus aux critères de performances initiales, ce qui peut entraîner une défaillance au niveau du circuit.

II.4. Le NBTI parmi les principaux modes de défaillance :

L'objet de cette partie est de présenter rapidement dans quel contexte se situe le NBTI dans la fiabilité du transistor MOS. Les modes de défaillance sont généralement classés en sous groupes en fonction de la zone où se produit la défaillance. La figure II.5 présente une vue d'ensemble des modes de défaillance pouvant intervenir entre le substrat et le dernier niveau de métallisation après l'encapsulation. En trait plein sont indiquées les défaillances dites « front-end ». Elles interviennent au niveau du dispositif actif.

Le « back-end » en pointillé est défini à partir du contact jusqu'à la dernière métallisation et l'encapsulation. Le NBTI intervient au niveau du transistor et fait partie de la fiabilité front-end.

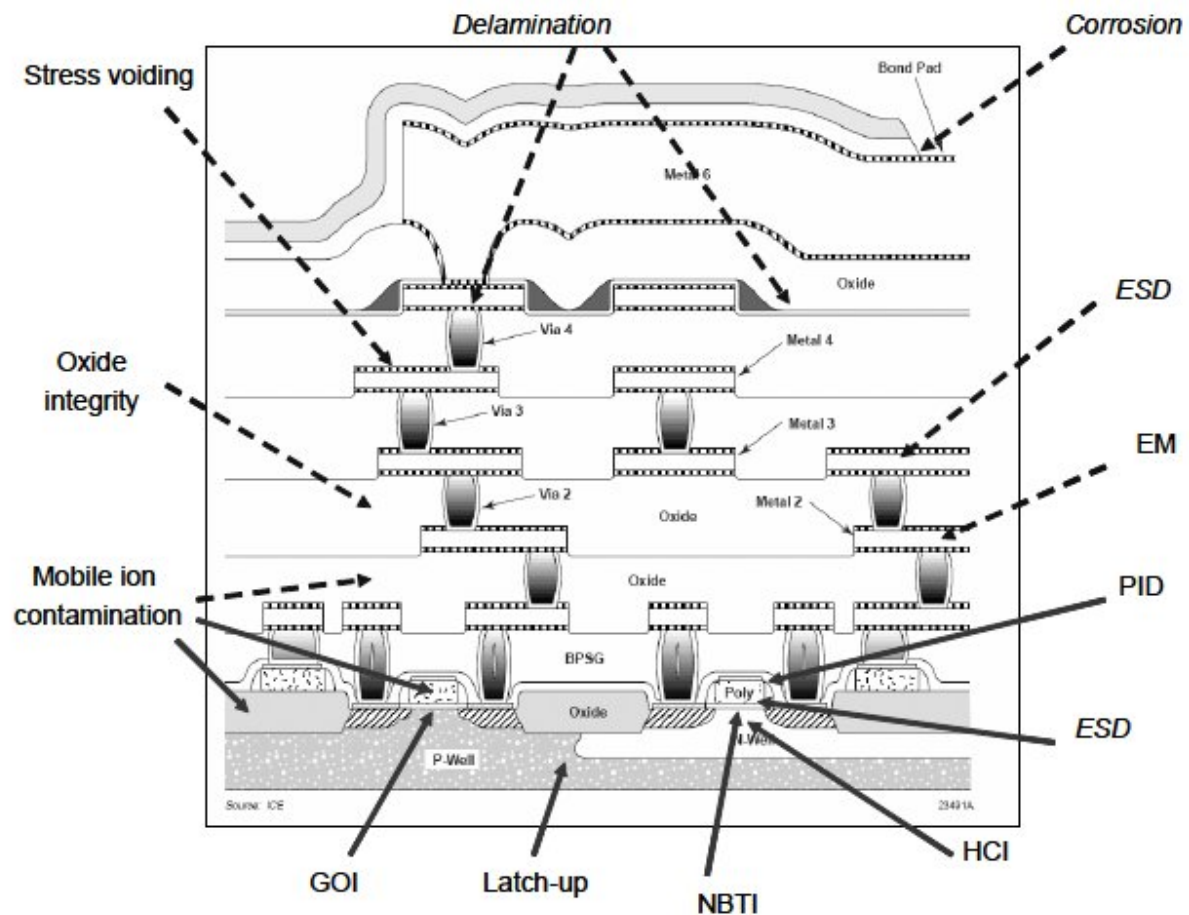


Figure II.5. Schéma représentant les modes de dégradation principaux

Les relations qui peuvent exister entre le NBTI et les autres modes de dégradation du dispositif sont importantes à souligner. Comme l'intégrité du diélectrique de grille (GOI) et la dégradation « porteur chaud » (HCI), la dégradation NBTI se situe au niveau du dispositif dans la zone du diélectrique de grille.

II.4.1.L'intégrité du diélectrique de grille (GOI) :

Le diélectrique de grille est la couche la plus délicate de la technologie MOS. Contrôler à la fois la chimie du matériau (stœchiométrie) et les dimensions nanométriques font de son intégration un réel défi industriel. Sa fiabilité est très largement étudiée et un grand nombre de mécanismes sont répertoriés [2]. Le claquage du diélectrique fait référence à la « destruction » irréversible de la couche diélectrique. La couche isolante est alors réduite à une simple résistance. Le claquage de l'oxyde est relié très fortement à la charge injectée à travers l'oxyde. Les porteurs injectés traversent l'oxyde et libèrent leurs énergies dans le matériau. Il en résulte une accumulation de défauts : un chemin de conduction se crée par percolation de défauts entre le substrat et la grille jusqu'au claquage de l'oxyde.

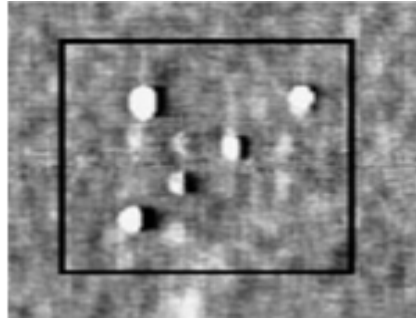


Figure II-6. Topographie d'un oxyde de grille après claquage [3].

II.4.2. Le phénomène dit de « porteur chaud (HCI) » :

La génération de porteurs chauds est un phénomène apparu au fur et à mesure de la réduction des dimensions des transistors. Le rapport entre les dimensions géométriques (L_g) du transistor et la tension d'alimentation (V_{DD}) n'est pas conservé au fil des technologies et les champs électriques à travers le canal sont de plus en plus forts. En effet, la Figure II-7 illustre la diminution de tous les paramètres clés d'une technologie : longueur de grille L_g , de l'épaisseur T_{ox} , du V_{DD} etc... La diminution de la tension V_{DD} est limitée par le paramètre V_T dans les technologies avancées :

1. La diminution de la valeur de V_T induirait une trop forte augmentation du courant de fuite (I_{OFF}), et donc de la consommation statique : $P_{DC} = I_{OFF} V_D$ (1)

2. Le temps de charge (Delay) caractéristique du transistor fonctionnant en porte logique peut s'évaluer comme : $\tau = Cl$ (2)

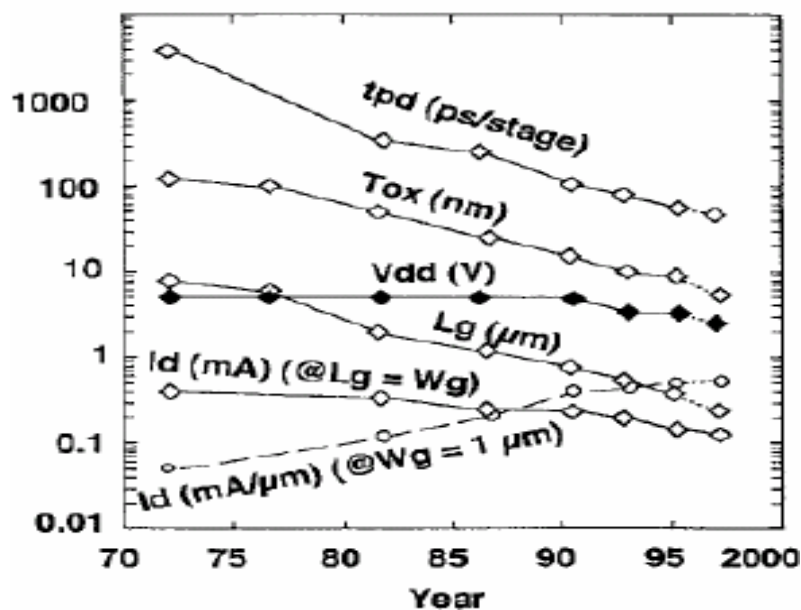


Figure II.7: Evolution des paramètres au fil des évolutions technologiques.

CHAPITRE II : Le phénomène NBTI

À un V_{DD} donné, le temps de charge caractéristique du transistor diminue lorsque V_T diminue.

Nous nous trouvons donc devant un compromis où, pour conserver des performances suffisantes et des consommations statiques faibles, la proportionnalité entre V_{DD} et L_g n'est plus conservée et le champ électrique latéral à travers le canal d'inversion s'en trouve fortement augmenté. Sous l'influence des forts champs électriques latéraux, les porteurs dans le canal et notamment dans les régions de pincement, gagnent une telle énergie que le pic de leur distribution énergétique devient plus important que celui attendu dans les conditions d'équilibre avec le réseau cristallin. Ces porteurs énergétiques sont appelés porteurs chauds. Ils génèrent plusieurs problèmes de fiabilité :

- Ils peuvent perdre leur énergie par ionisation du cristal de silicium (ionisation par impact). Il en résulte une création de paires électron - trou, et certains d'entre eux peuvent être injectés dans la grille en fonction de la polarisation (V_G , V_D). Un piégeage des porteurs dans l'oxyde est alors très probable et dégrade l'oxyde.
- Ils peuvent acquérir assez d'énergie pour surmonter la barrière de potentiel entre le canal et l'oxyde de grille en donnant lieu à un courant de grille et à un piégeage de charges dans l'oxyde.
- Ils peuvent perdre leur énergie à travers des impacts sur l'interface Si/SiO₂ en générant des états d'interface.

Il en résulte la dérive des paramètres électriques du transistor. Par exemple des augmentations du V_T et une diminution du courant en régime saturé, mais également une forte augmentation du nombre d'états d'interface du côté où les porteurs sont injectés. Les mécanismes HCI ne peuvent pas intervenir pendant une contrainte NBT puisqu'il n'y a pas de champ électrique latéral. Malgré tout, la configuration électrique à bas V_D reste très proche de celle appliquée durant une contrainte NBT.

II.4.3. La contamination ionique :

La contamination ionique fait référence à la présence d'ions mobiles (Na^+ , Cl^- et K^+) dans un dispositif. Ces ions peuvent avoir plusieurs origines comme l'environnement, l'homme, les matériaux utilisés et la mise en boîtier. La contamination ionique est généralement observée dans le diélectrique de grille du transistor MOS. Les ions s'accumulent et peuvent localement générer des amas de charge faisant dériver les paramètres électriques comme par exemple la tension de seuil du transistor (V_T). Une contamination ionique peut être mise en évidence lors de l'application d'une contrainte NBT produisant un déplacement de l'ensemble des ions par effet de champ. Le changement de polarité permet de mettre en évidence le décalage relatif aux déplacements des ions sous l'action du champ électrique et de la température. La Figure II-8 montre la dérive du V_T à

CHAPITRE II : Le phénomène NBTI

travers la caractéristique C-V (la capacité en fonction de la tension de grille) après une contrainte NBT.

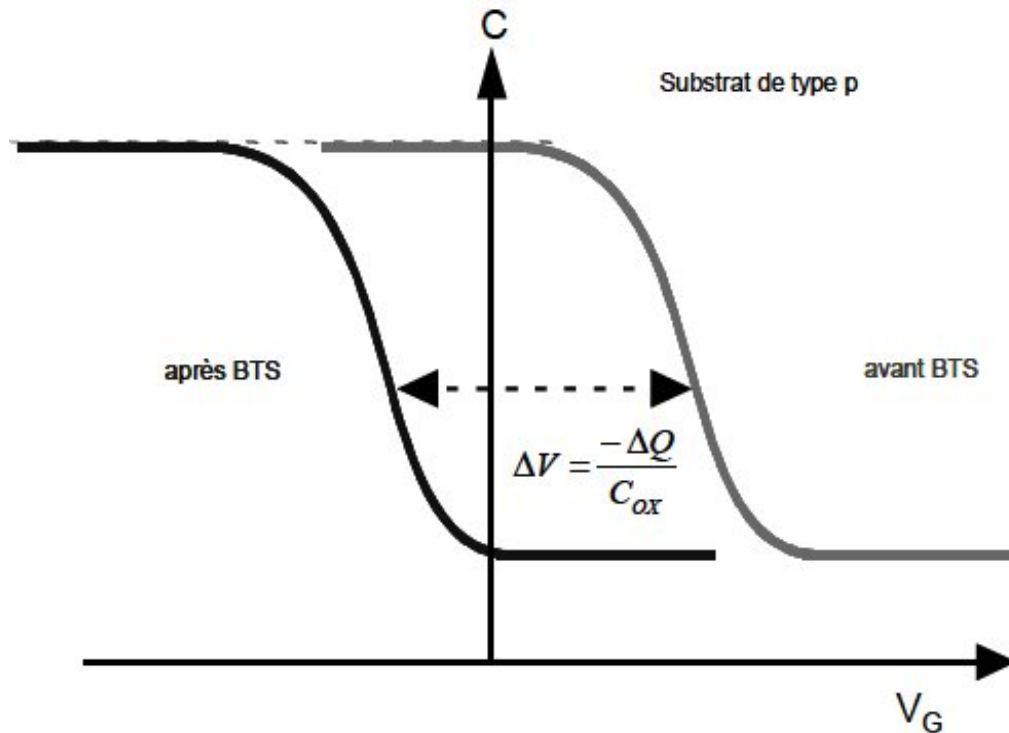


Figure II-8 : Dérive de la caractéristique C-V après une diffusion d'ions dans le diélectrique sous phénomène NBT.

Le problème de contamination est plus un problème de stabilité (qualité) d'un dispositif que de fiabilité. Le NBTI est aujourd'hui accepté comme un problème plus de fiabilité que de qualité et ces phénomènes vont devoir être dissociés.

De la même manière, le NBTI est étudié pour des polarisations de manière à avoir des champs dans l'oxyde compris entre 2 et 8-9 MV/cm. Des polarisations trop fortes pourraient induire des mécanismes complémentaires notamment des dégradations de type SILC [4] comme il a été observé par injection de porteurs à travers le diélectrique en mode Fowler-Nordheim [5]. C'est ainsi que l'étude du NBTI doit être pensée dans un contexte où plusieurs modes de dégradation ou de qualité se superposent ou peuvent entrer en interaction.

II.5. Définition du NBTI :

Il est désormais accepté que le NBTI se définit par « toute dérive des paramètres électriques du transistor sous une tension négative sur la grille (à bas champ électrique) et à hautes températures ». Le NBTI est étudié le plus souvent sur le PMOS car la dégradation y est beaucoup plus importante que sur le NMOS [6].

II.6. La fiabilité NBTI et l'accélération du vieillissement :

II.6.1. Définitions :

La fiabilité peut être définie comme la "probabilité qu'un dispositif exécute une fonction exigée dans des conditions indiquées pendant une période indiquée" ; et inclut trois concepts indépendants:

1. Le temps
2. Les conditions environnementales
3. Les règles de défaillance

La fiabilité est souvent confondue avec la qualité, qui elle, définit le degré avec lequel le produit convient aux besoins du client. La fiabilité est devenue très rapidement un critère décisif et essentiel à l'industrie du semi-conducteur. L'électronique embarquée dans les automobiles et les avions est des cas très concrets où la fiabilité est un critère élitiste. Les pièces sont prévues pour un temps d'utilisation et elles sont remplacées avant la défaillance.

La notion de probabilité est très fréquemment associée aux études de défaillance. Les mécanismes de dégradation sont très souvent assujettis aux lois de probabilité de type log-normal ou weibullien. Le phénomène NBTI est un mécanisme extrêmement stable reparti sur toute la surface du dispositif. Il en résulte une très bonne reproductibilité de la dégradation.

❖ Temps de vie ou durée de vie :

Le développement de normes standard (JEDEC, IEEE), conjointement par les industriels, les clients et les fournisseurs de dispositifs à semi-conducteur, a abouti à l'établissement de critères de durée de vie dans des conditions d'utilisation données. La valeur de 10 ans (partiellement subjective) est acceptée par l'ensemble des industriels comme critère de durée de vie minimum pour assurer une fiabilité suffisante pour l'utilisation du dispositif. L'étude de la fiabilité d'un dispositif doit se faire à travers une dégradation accélérée. Il serait économiquement illusoire de laisser un dispositif « vieillir » pendant 10 ans dans ses conditions d'utilisation, et vérifier ensuite si les critères de défaillance sont atteints pour mettre en évidence un problème de fiabilité.

❖ Extrapolation de durée de vie :

La durée de vie ou TTF (Time To Failure) est le paramètre de fiabilité par excellence. Elle correspond au temps pour lequel le critère de défaillance est atteint. Tout l'art de « l'ingénieur fiabilité » est d'accélérer les effets d'une contrainte et de prévoir la durée de vie pour les conditions dites normales d'utilisation. Les accélérations de contraintes sont dépendantes du mécanisme physique de dégradation. La dégradation par porteurs chauds est accélérée en augmentant la génération de porteurs chauds en augmentant le quotient I_b/I_d (I_d courant du drain et I_b courant du

CHAPITRE II : Le phénomène NBTI

substrat). Néanmoins, tous les phénomènes de dégradation ne sont pas compris et leur accélération à proprement parler n'est pas réellement contrôlée. Dans ce cas, les accélérations se font empiriquement en augmentant les paramètres environnementaux contrôlables. Pour le cas du NBTI, les mécanismes sous jacents ne sont pas réellement connus (pour l'instant) et l'accélération de la dégradation se fait par une augmentation du potentiel de grille V_G et une augmentation de la température T .

II.6.2. Accélération du NBTI et extrapolation de la TTF :

Nous allons illustrer l'accélération de la dégradation à travers la variation de V_T sur des PMOS de $T_{ox}=2\text{nm}$ d'épaisseur d'oxyde. Nous étudierons dans l'ordre, l'accélération de la dégradation par l'augmentation du potentiel de grille V_G , puis l'accélération par l'augmentation de la température T .

II.6.2.1. L'accélération d'un vieillissement par V_G :

Pour accélérer la dégradation, nous appliquons des potentiels électriques de grille V_G compris entre -1.5V et -3V pour une température T de 125°C [1]. Les dynamiques de dégradation sont tracées sur la Figure II-9. Une très forte accélération de la dégradation est mesurée.

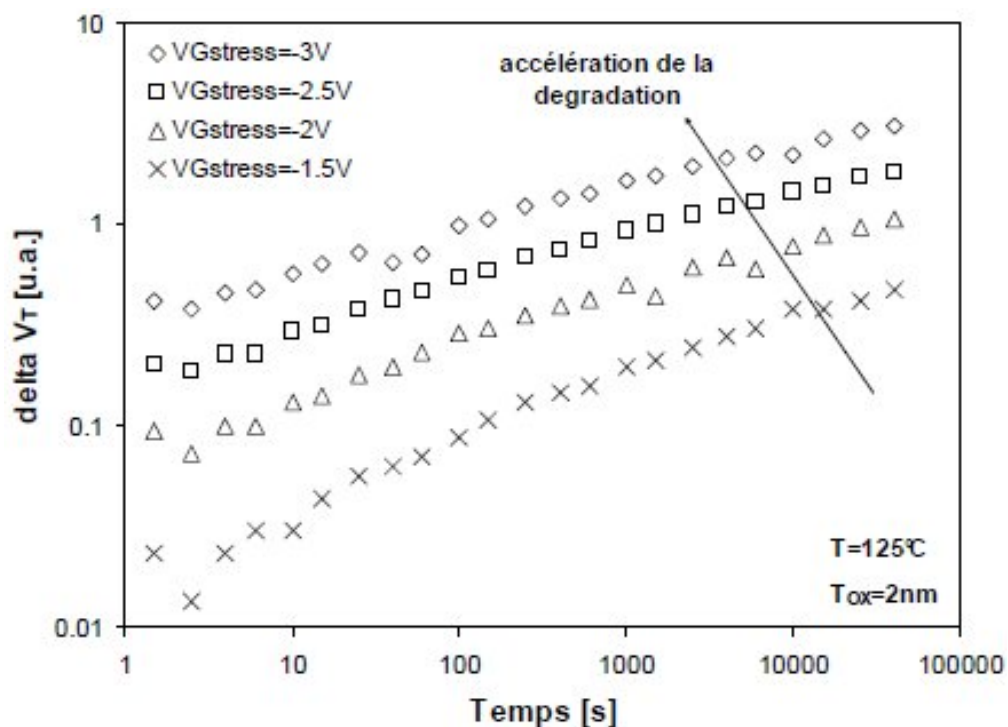


Figure II-9 : Accélération de la dégradation par V_G : dynamique de la dérive de la tension de seuil.

[1]

II.6.2.2. L'accélération du vieillissement par la température :

De la même manière que pour le paramètre V_G , la dérive du V_T est tracée en fonction du temps cette fois-ci pour plusieurs températures comprises entre 85°C et 145°C à un $V_G = -2.25V$ [1] (Figure II-10).

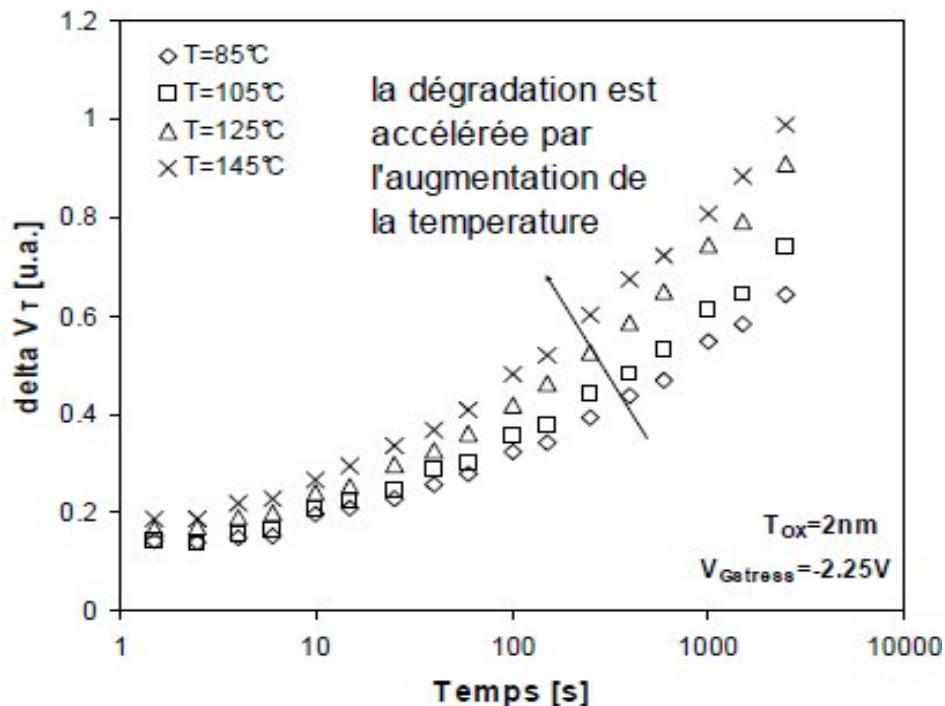


Figure II-10 : Accélération de la dégradation par la température : dynamique de la dérive de la tension de seuil. [1]

II.7. Conclusion :

Ce deuxième chapitre nous a permis de faire une présentation des origines du NBTI, sa définition ainsi que son rôle parmi les autres modes de défaillances. Il a été déduit que le NBTI dégrade fortement la fiabilité et réduit donc la durée de vie des dispositifs ; pour illustrer ce phénomène deux techniques de caractérisation ont été mises en œuvre : l'une consiste en l'accélération du vieillissement par V_G tant-dis que l'autre joue sur la température T .

Tout le but de notre projet est de concevoir et réaliser un dispositif permettant d'implémenter les deux techniques décrites précédemment, le cœur de notre dispositif est un PID numérique.

Références du Chapitre II

- [1] Mickael DENAIS « Etude des phénomènes de dégradation de type Negative Bias Temperature Instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancée »Manuscrit de thèse, Université de Provence d'Aix-Marseille I, 09 Septembre 2005.
- [2] F.Monsieur, “Etude des mécanismes de dégradation lors du claquage des oxydes de grille ultra minces, applications à la fiabilité des technologies CMOS sub-0.12 μm ”, Manuscrit de thèse, Institut de Microélectronique d'Electromagnétisme et de photonique, 28 Novembre 2002.
- [3] M.Porti, M.C.Blüm, M.Nafria, and X.Aymerich, “Imaging breakdown spots in SiO₂ films and MOS device with a conductive atomic force microscope”, Transactions on Device and Materials Reliability, Vol.2, NO.4, December 2002.
- [4] S.Bruyere, “Etude des mecanismes de degradation et de défaillance des oxides ultra-minces – application à la fiabilité des technologies CMOS sub-0.25 μm ”, Manuscrit de thèse, 2000.
- [5] S.Hroguchi, T.Kobayashi, and K.Saito, “Interface-trap generation modeling of Fowler-Nordheim tunnel injection into ultra-thin gate oxide”, Journal of Applied Physics, Vol. 58, pp. 387-391, July, 1985.
- [6] W.Abadeer, W. Tonti, “Bias temperature reliability of N⁺ and P⁺ polysilicon gated NMOSFETs and PMOSFETs”, International Reliability Physics Symposium Proceedings, pp. 147-149, 1993.

I. Introduction :

Comme son nom l'indique, le NBTI est un processus de défaillance intrinsèquement lié à la température. Un processeur qui dissipe une centaine de degrés en fonctionnement est son propre accélérateur de NBTI, d'un point de vue purement thermique. Les températures utilisées lors des différents tests publiés vont de 25°C à 200°C [1].

Nous consacrerons ce troisième chapitre à la réalisation du procédé, celui-ci se décompose en étages distincts respectant la composition et l'architecture des systèmes régulés par PID numérique. Nous nous étalerons sur chaque étage, ses composants spécifiques et son action sur le fonctionnement global.

II. Cahier de charge et caractéristiques de l'enceinte :

Notre cahier de charge consiste à commander une enceinte thermique (plaque chauffante) entre un minimum de température de 25°C et un maximum de 125°C, avec une précision acceptable (1°C) et une bonne stabilité. Notre plaque chauffante sera alimentée avec 220V et une puissance de 440W.



Figure III.1 : Photographie de la plaque chauffante.

III. Description de la commande (électrique) :

- Un thermocouple.
- Une unité à microcontrôleur (la partie programmée).
- Un afficheur LCD (2*16).
- Clavier a trois boutons : Bouton config, bouton +, bouton - .
- Une unité de puissance (MLI, alimentation et commande en puissance).

IV. La fonction de l'enceinte :

Lors de la mise en marche, l'afficheur affiche la température instantanée de l'enceinte et la consigne initialement à zéro, le mode de régulation est initialement est une régulation par PID :

CHAPITRE III : Réalisation Pratique

- ❖ Pour fixer la consigne il suffit d'incrémenter avec le bouton + ou décrémenter avec le bouton -, la consigne est validée automatiquement.
- ❖ Pour choisir le type de thermocouple il faut agir sur le bouton CONFIG puis incrémenter les types avec le bouton + ou décrémenter avec le bouton - puis valider avec le bouton CONFIG.
- ❖ Pour choisir le type de régulateur il faut agir sur le bouton CONFIG deux fois, puis choisir le type de régulateur PID avec le bouton + ou choisir le type de régulateur TOR avec le bouton - puis valider avec le bouton CONFIG.

L'actionneur agit dans notre montage comme un modulateur de puissance, il fournit une puissance proportionnelle à la commande. L'enceinte ne contient pas de système de refroidissement, donc la valeur de la consigne doit être supérieure à la température ambiante.

V. Eléments de l'enceinte :

L'enceinte peut être décomposée en 08 éléments principaux de part leurs rôles. Voir figure III-2

- ❖ Une chaîne d'acquisition : composée d'un capteur (élément sensible de la chaîne). Le capteur utilisé ici est un thermocouple de type K.
- ❖ Un compensateur permet de linéariser et amplifier la tension fournie par le capteur. Le compensateur utilisé ici est le circuit intégré l'AD595.
- ❖ Le Convertisseur Analogique Numérique (CAN) : Convertit en signaux numériques la mesure analogique fournie par le circuit de conditionnement.
- ❖ Le calculateur : est la partie programmée, le microcontrôleur réalise la fonction de calculateur en suivant un algorithme de calcul, le résultat obtenu est une valeur en signal numérique.
- ❖ Le Convertisseur Numérique Analogique (CNA) : le résultat du calcul de l'algorithme est un signal numérique, le convertisseur nous permet de le convertir en un signal analogique ; c'est le signal de commande du système.
- ❖ Actionneur : se divise en deux parties :
 - Le générateur d'impulsion MLI ou (PWM) qui permet de moduler la largeur de trains d'impulsion du signal du système.
 - Le gradateur de puissance.
- ❖ Une Alimentation : Doté des différentes tensions nécessaires aux éléments de l'enceinte.
- ❖ Une résistance de chauffage.

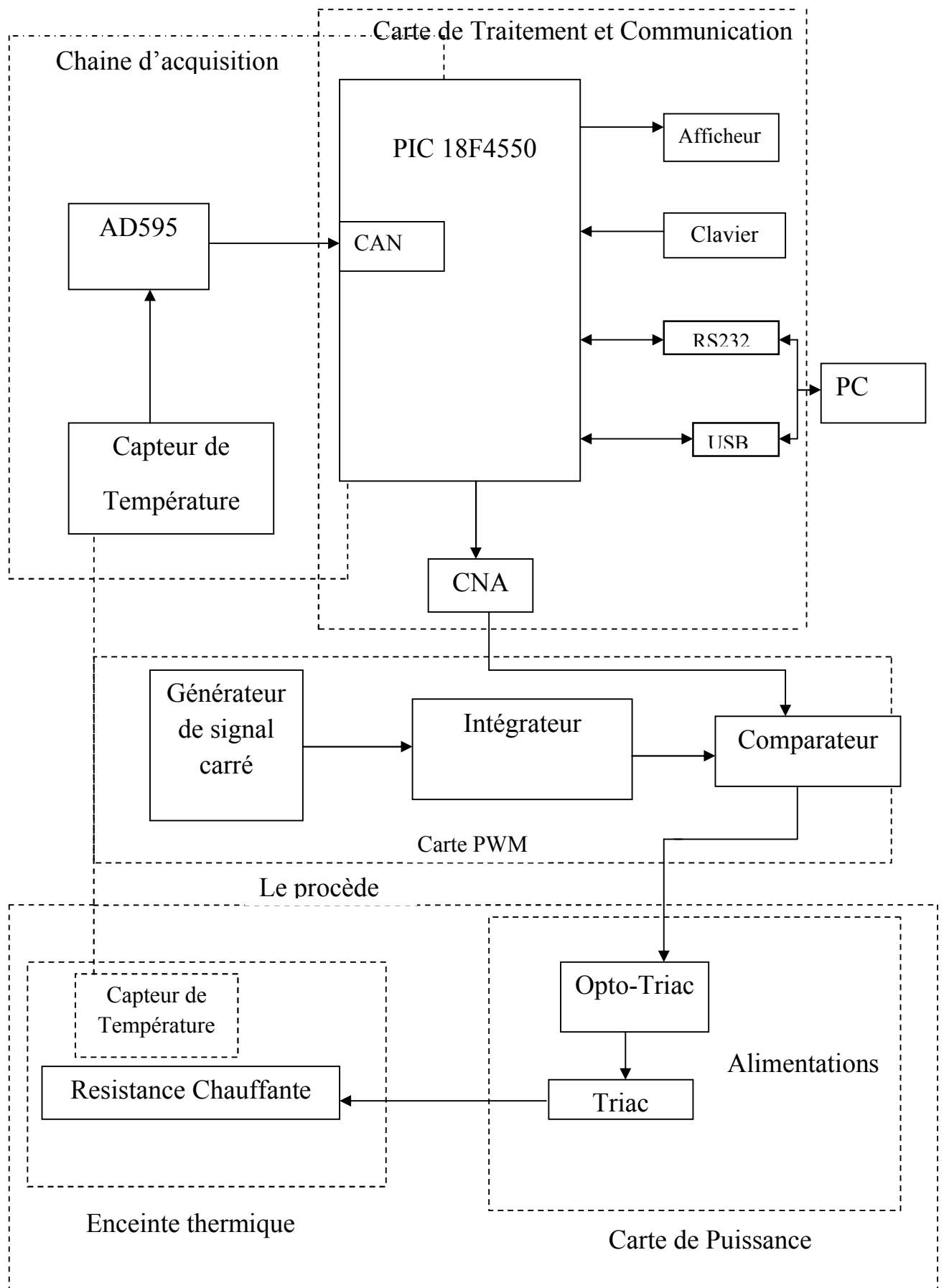


Figure III.2 : Synoptique globale du système.

VI.1. La chaine d'acquisition :

VI.1.1. Définition :

Une chaine d'acquisition est l'ensemble des éléments interconnectés permettant le passage d'une grandeur physique à un signal numérique. Notre chaine est composée de l'ensemble : thermocouple type K, conditionnement du signal et la carte de commande.

VI.1.2. Le thermocouple de type K :

Il peut mesurer dans une gamme de température large (-270 °C à +1372 °C) il est composé de Chromel (90 %Nickel, 10 % Chrome) et Alumel (90 % de Nickel, 2 % Aluminium, 1 % Silicium, 2 %Manganèse) dont les caractéristiques sont :

- Sensibilité : 40 μV \longrightarrow 1°C.
- Rapidité : temps de réponse court.
- Linéarité et compensation: non linéaire, pour l'utilisation il faut un montage de linéarisation et de compensation de la jonction froide crée par le thermocouple.
- Inconvénient : les faibles amplitudes sont la porte ouverte des parasites et bruits électriques, qu'on peut minimiser par le blindage des lignes des thermocouples.

VI.1.3. Conditionnement du signal :

Le schéma de conditionnement du signal est construit autour d'un circuit spécial l'AD595 destiné pour les thermocouples de type K ; voir figure III-3.

L'AD595 est un amplificateur complet d'instrumentation et compensateur de jonction froide de thermocouple sur un seul circuit intégré. Il combine une référence de 0°C avec un pré calibration de l'amplificateur, produire un niveau élevé (10 mV/°C) un produit directement d'un signal de thermocouple.

VI.1.4. Principaux avantages de l'AD595 :

- L'AD595 fournit la compensation de la jonction froide, et une amplification du signal de mesure.
- L'opération aux emplacements à distance d'application est facilité par le bas courant et un grand choix de tension d'alimentation +5 V à + 30V.
- L'entrée différentielle rejette la tension de bruit en mode-commun sur les fils de thermocouple.

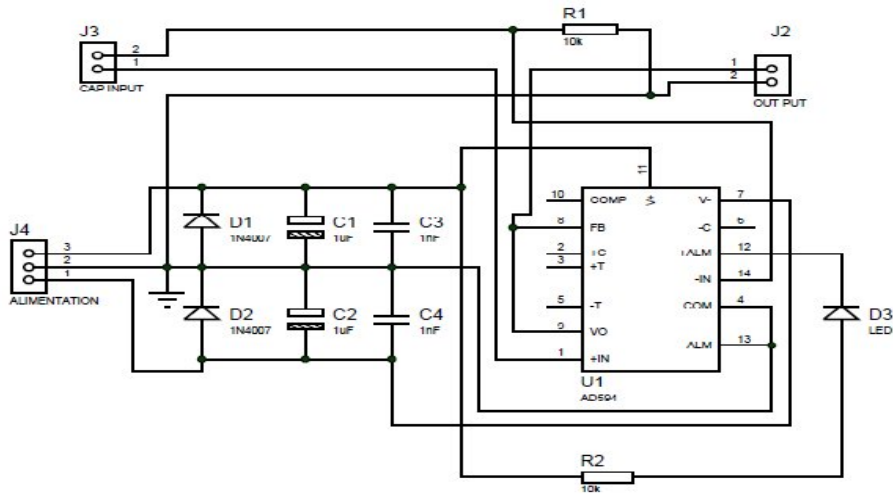


Figure III.3 : Schéma électrique du conditionneur.

VI.2. La carte de commande et de communication :

La carte de commande est réalisée autour du microcontrôleur PIC 18F4550. Son rôle est le contrôle du processus et la communication avec le PC via le port série RS232 ou l'USB.

VI.2.1. Présentation générale du PIC 18F4550 :

Les microcontrôleurs PIC sont le produit de la firme américaine Microchip (Dallas instrument), et se caractérisent de part leurs architecture interne, conçus sur une architecture dite HARVARD (RISC) et non sur l'architecture VON-NEUMANN employée par la plupart des constructeurs des microcontrôleurs (Intel, Motorola,...).

La différence entre ces deux architectures est illustrée par les deux figures suivantes III-4 et III-5 :

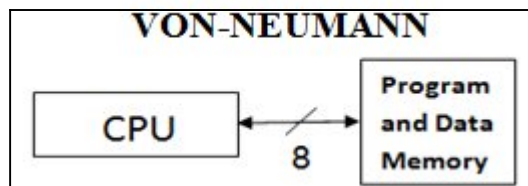


Figure III.4 : L'architecture VON-NEUMANN est basée sur un bus de données unique qui véhicule les instructions et les données.

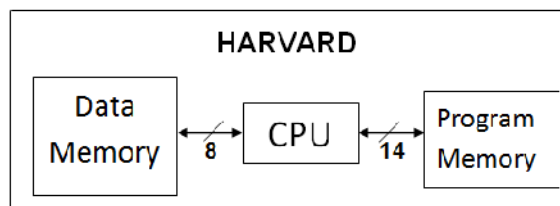


Figure III.5: L'architecture HARVARD est basée sur deux bus de communication, un bus est utilisé pour les données et un autre pour les instructions.

VI.2.2. Description du Pic 18F4550 :

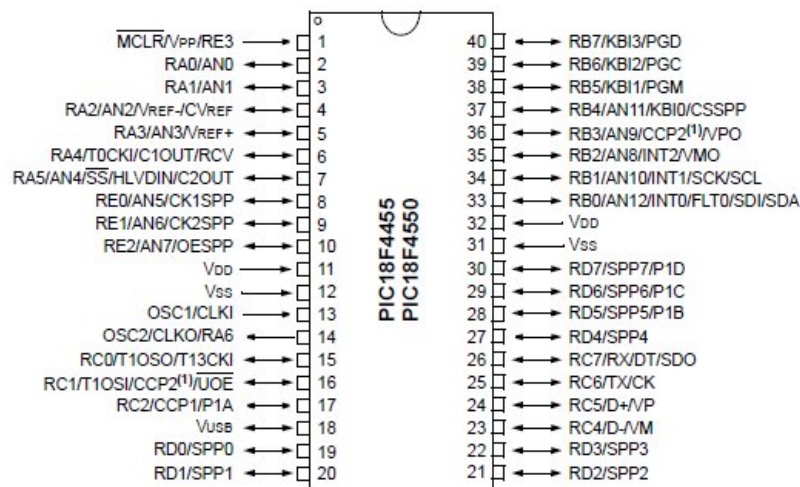


Figure III.6 : Brochage du PIC 18F4550.

a) Dispositif du Bus Série Universelle :

- USB V 2.0 conforme : à vitesse réduite (1.5 Mb/s) et à toute vitesse (12Mb/s).
- 1-Kbits de RAM pour l'accès à l'USB.

b) Principaux points de périphérique :

- Courant élevé évier/source : 25mA/ 25mA.
- Trois interruptions externes.
- Quatre modules de temporisateur (Timer0 à Timer3).
- Jusqu'à 2 modules de Comparaison/Capture/ PWM. La capture de résolution de 16 bits et maximale 6.25ns.
- La résolution de la PWM est de 10 bits.
- Module augmenté de Comparaison/Capture/ PWM:
 - Mode de rendement multiple.
 - Polarité sélectionnable.
 - Mort-temps programmable.
- Module accessible d'USART (RS232) :
 - Appui d'autobus de LIN.
- Module synchrone principal de la porte série (MMSP) à 3 fils de support de SPI (chacun des 4 modes) et d'I2C modes principaux et slave.
- 10 bits, jusqu'au convertisseur 13-canal CAN module (Analogique-Numérique) avec du temps programmable d'acquisition.

c) Structure Flexible d'Oscillateur :

- Cinq modes en cristal, y compris la Haute-Précision PLL pour l'USB.
- Deux modes externes d'oscillateurs RC, jusqu'à 4 mégahertz.
- Deux modes d'horloges externes, jusqu'à 48 mégahertz.
- Bloc d'oscillateur :
 - 8 fréquences sélectionnables par l'utilisateur, de 31 Kilohertz à 8Mégahertz.
- Oscillateur secondaire en utilisant Timer1 à 32 Kilohertz.
- Moniteur fiable d'horloge :
 - Tient compte de l'arrêt si n'importe quelle horloge s'arrête.
- Protection programmable de code.

d) Les ports d'entrées sorties du PIC :

Le PIC 18f4550 dispose de 5 ports (A, B, C, D et E).

Tous les ports d'entrées sorties Input/Output sont bidirectionnels :

- Le port A (7 bits) : I/O pure et/ou CAN et / ou Timer0(RA₄).
- Le port B (8 bits) : I/O pure et / ou programmation ICSP /ICD (broche RB5/PGM, RB6/PGC, RB7/PGD) et l'entrée d'interruption externe RB0/INT.
- Le port C (8 bits) : I/O pure et /ou TIMER1 et /ou SPI, et /ou USART et / ou la sortie de PWM et l'entrée numérique de l'USB (D⁻/ R4 et D⁺ / RC5).
- Le port D (8 bits) : I/O pure et / ou port parallèle 8 bits associés au port E.
- Le port E (4 bits) : I/O pure.

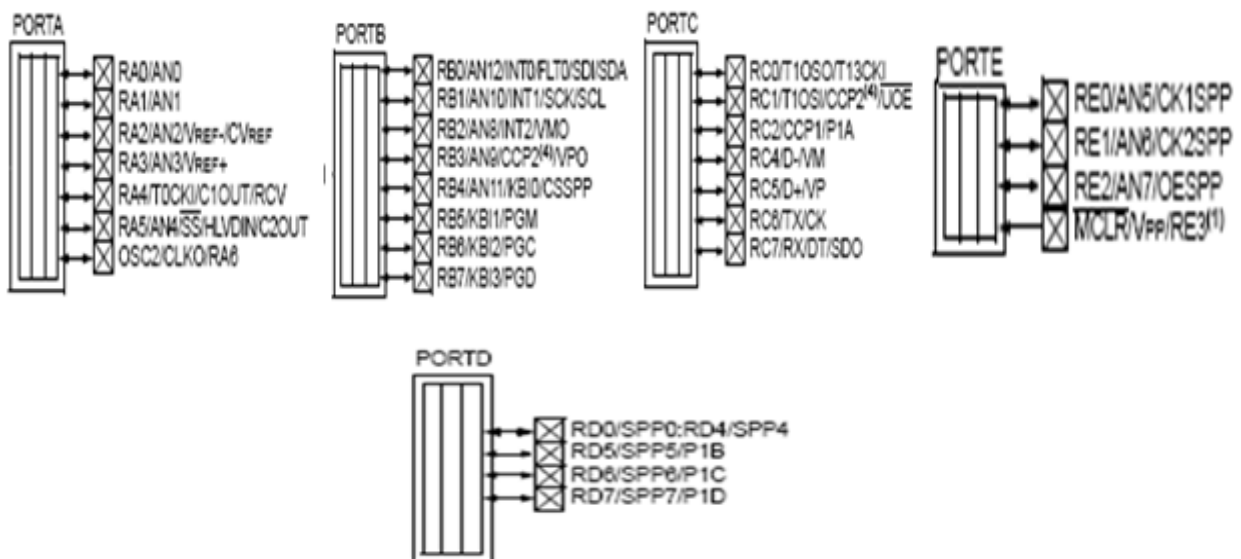


Figure III.7 : Les différents ports d'I/O du PIC18F4550.

VI.3. Le convertisseur analogique numérique :

Le microcontrôleur PIC 18F4550 travaille avec un convertisseur analogique /numérique qui permet un échantillonnage sur 10 bits. Le signal numérique peut donc prendre 1024 valeurs possibles.

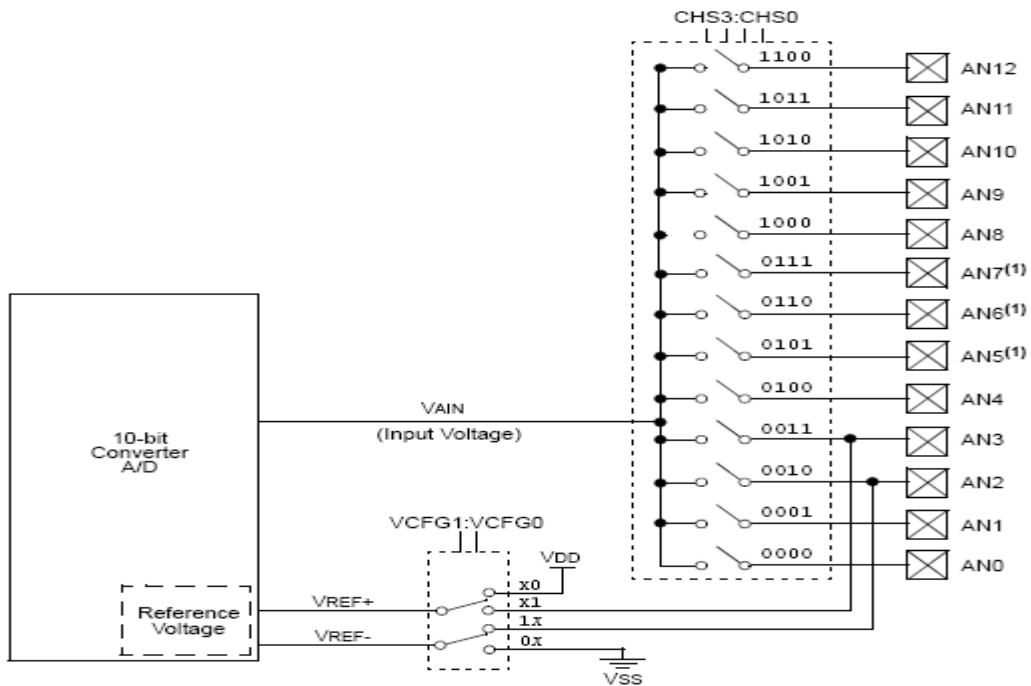


Figure III.8 : Schéma bloc du CAN du PIC 18F4550.

VI.3.1. Fonctionnement d'une entrée du port de conversion :

Le PIC 18F4550 dispose de 13 entrées de conversion, elles sont sélectionnées par un multiplexeur analogique commandé par le programme, le PIC ne dispose que d'un seul convertisseur donc on ne peut traiter qu'une seule entrée par conversion. Lors de la sélection d'un des ports, le condensateur C_{hold} (figure III-9) se charge à une valeur proche de la valeur de l'entrée, puis le Switch SS sur la même figure s'ouvre et la capacité est maintenant branchée sur l'entrée du comparateur, car ce n'est pas ce signal directement convertie, mais on compare sa valeur à celle d'un signal qui sera générer par le PIC. Une fois la conversion terminée la valeur de celle-ci est enregistrée dans les registres ADRESH et ADRESL.

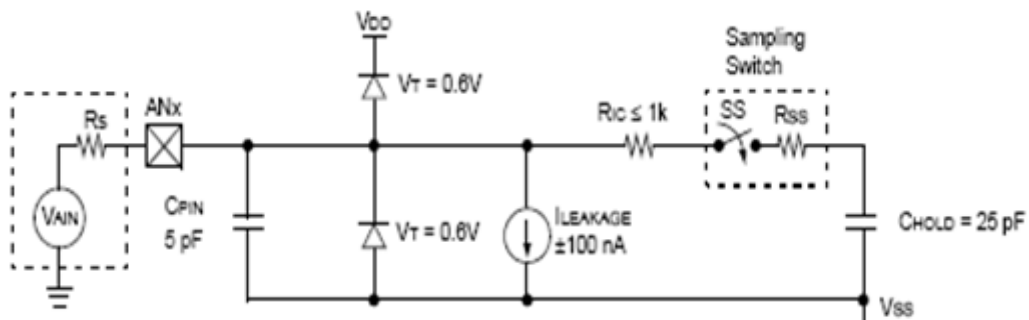


Figure III.9 Branchement électrique d'une entrée du port de conversion du PIC.

VI.3.2. Principe de la conversion du PIC :

Après un temps Tacq, on peut considérer que le condensateur est chargé et prêt à être connecté sur l'entrée du convertisseur analogique numérique. Cette connexion se fait en un temps de l'ordre de 100 ns. Une fois le condensateur connecté, et donc la tension à numériser présente sur l'entrée du comparateur, ce dernier va devoir procéder à la conversion par approximation successive.

C'est une méthode de type dichotomique. Il s'agit de couper l'intervalle dans lequel se trouve la grandeur analogique en deux parties égales, et de déterminer dans laquelle, de ces deux parties se situe, la valeur à numériser. Une fois cet intervalle déterminée, on coupe de nouveau en deux, et ainsi de suite jusqu'à obtenir la précision demandée.

Cette méthode peut paraître simple mais elle est d'une grande efficacité en termes de temps. Appliquée à la numérotation binaire, cette méthode est plus particulièrement bien adaptée, puisque couper un intervalle en deux revient à décaler et forcer un bit à 1.

VI.3.3. Le temps d'acquisition :

C'est la somme des temps que prennent les différentes étapes de la procédure d'acquisition d'un signal analogique on distingue :

- a- Tamp = temps de réaction des circuits.
- b- Tc = temps de charge du condensateur.
- c- Tcoff = temps qui dépend du coefficient de température.

La formule de calcul finale est donc :

$$T_{acq} = T_{amp} + T_c + T_{coff} \dots\dots\dots (1)$$

Avec Tacq = temps d'acquisition total.

Tamp = le temps de réaction ; typiquement de 0,2

Tc = 5 ; Tcoff = 1,2 .

VI.3.4. La conversion :

Comme préalablement indiqué le PIC effectue la conversion par une méthode dite dichotomique.

C'est-à-dire qu'il divise la plage (résolution maximale de 10 bits) en deux parties et teste si la valeur du signal est dans la partie inférieure ou supérieure. Ensuite il divise la partie obtenue en deux et idem jusqu'à obtenir le plus petit intervalle.

Le temps nécessaire à la conversion dans ce cas est égal au temps de conversion pour une valeur multipliée par le nombre issu de la conversion ; le nombre est de 10 typiquement :

$$T_{adt} = T_{ad} \times 10 \dots\dots\dots (2) \text{ (Le temps de conversion total)}$$

CHAPITRE III : Réalisation Pratique

Le temps T_{ad} dépend de la configuration du PIC et de la fréquence de l'horloge utilisée, il est compris entre 3 et 9 μs , dans le cas où la fréquence de l'horloge est trop élevée, il existe un oscillateur RC interne sur lequel peut se faire la conversion, ce dernier fournit un type T_{ad} compris entre 4 et 6 μs donc de 5 typiquement. Au finale le temps de conversion est :

$$T_{ad} = (10 \times 5) + (2 \times 5) = 60 \mu s$$

Donc la période d'échantillonnage est :

$$T_{ech} = 6,4 + 60 = 66,4 \mu s \implies F_{ech} = 15 \text{ KHz (fréquence d'échantillonnage)}$$

VI.3.5. Mise en œuvre et quantification de la conversion :

Lors de l'échantillonnage et comme nous l'avons vu précédemment, le signal analogique, celui de la mesure dans notre cas, est convertie en valeur de 10 bits. Cette valeur doit être quantifiée pour une reproduction rigoureuse de la grandeur mesurée. Comme le convertisseur fonctionne sur 10 bits, donc il ya 1024 valeurs possibles. La sortie du compensateur varie de 0 V à 5 V.

VI.4. Le Convertisseur Numérique Analogique CNA :

Principe de la conversion numérique-analogique :

On souhaite à partir d'une information numérique, codée sur (n) bits, récupérer un signal analogique, image du signal numérique.

La tension de sortie est obtenue on effectuant une opération de sommation sur n grandeurs multiples de deux les unes par rapport aux autres.

$$b_{n-1}b_{n-2} \dots b_0 \implies V_s = \frac{V_{ref}}{2^n} [b_{n-1} 2^{n-1} + b_{n-2} 2^{n-2} + \dots + b_1 2^1 + b_0 2^0] \dots (3)$$

VI.4.1. Structure du CNA :

VI.4.1.1. CNA à résistances pondérées (parallèles) :

Pour cette structure de base, on utilise n résistances pondérées suivant les puissances de deux. Ces n résistances jouent le rôle de diviseur de courant. Le montage de sortie fait office de convertisseur courant-tension.

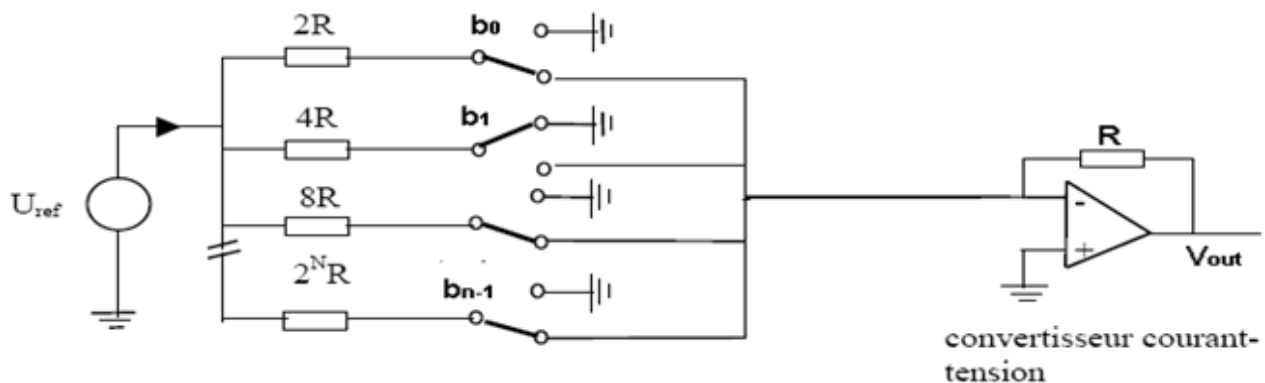


Figure III.10 : Structure d'un CNA à résistances pondérées (parallèles).

VI.4.1.2. Resistances R-2R : structure en échelle à commutation de courant :

La structure complète est l'association de n cellules selon un réseau en échelle :

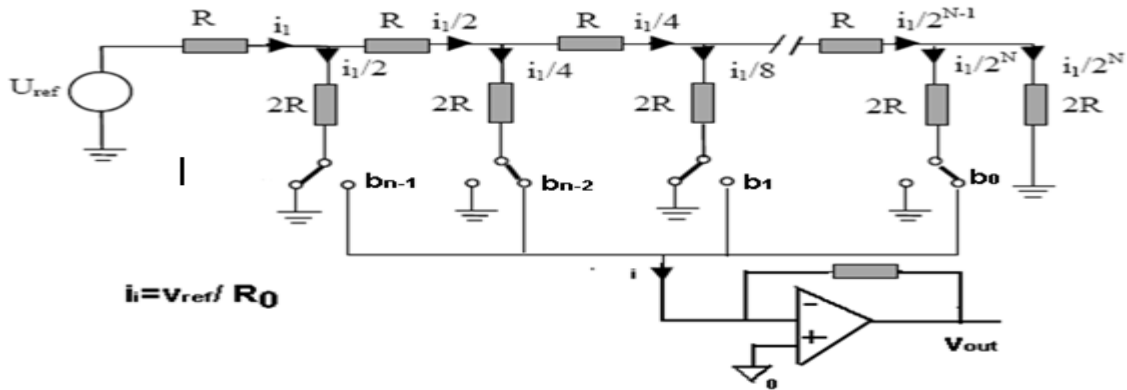


Figure III.11 : Structure d'un CNA en échelle à commutation de courant.

La tension de sortie est proportionnelle à l'amplitude du code binaire :

$$V_{out} = \frac{v_{ref}}{R_0} [b_{n-1}2^{n-1} + b_{n-2}2^{n-2} + \dots + b_0 2^0] = \frac{v_{ref}}{R_0} \sum_{k=0}^{n-1} b_k 2^k \dots\dots(4)$$

VI.4.2. L'AD561 :

Le convertisseur numérique analogique (CNA) utilisé est l'AD561 d'une résolution de 10bits, la structure interne adoptée dans ce dernier est une structure R-2R. Pour des tensions de 0 à 10V Son brochage est représenté dans la figure III.13 :

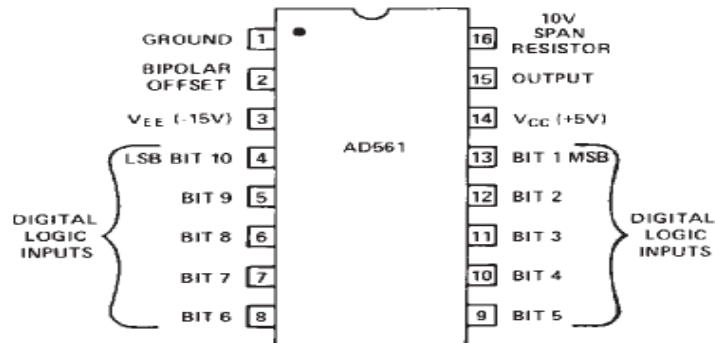


Figure III.12 : Brochage de l'AD561.

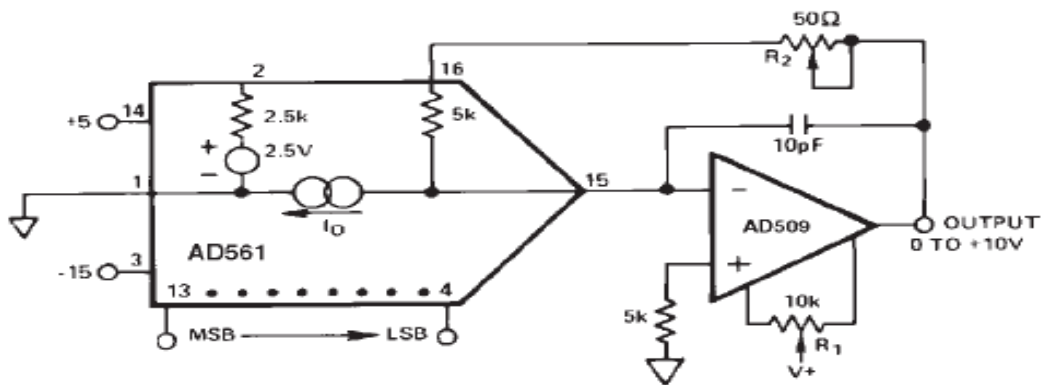


Figure III.13 : Branchement électrique de l'AD561.

VII. Liaison série RS232 et USB :

VII.1. L'interface série RS232 :

Dans les années 1960, le comité, 'Electronic Industries Association' a développé un standard d'interface de transmission de données en série entre équipements. La liaison RS232 est une liaison série asynchrone, RS signifie 'Recommended Standard' soit en français standard recommandé ; c'est une ligne où les bits d'information (1 ou 0) arrivent successivement, soit à intervalles réguliers, soit à des intervalles aléatoires, en groupe. Elle se forme de trois fils qui lui sont indispensables. L'un sert à envoyer l'information, le second sert à recevoir l'information et le troisième est relié à la masse.

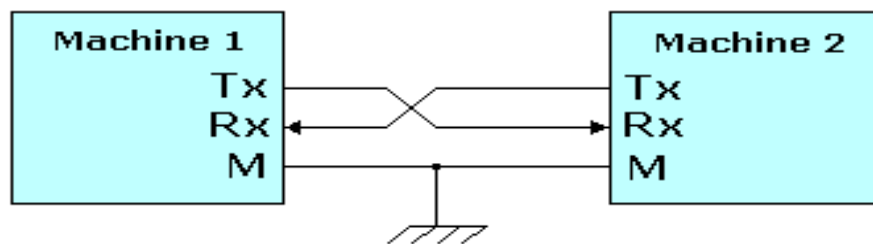


Figure III.14 : Illustration de l'interface RS232.

VII.1.1. Principe de la transmission série RS232 :

L'octet à transmettre est envoyé bit par bit (**poids faible en premier**) par l'émetteur sur la ligne Tx, vers le récepteur (ligne Rx) qui le reconstitue. La vitesse de transmission de l'émetteur doit être identique à la vitesse d'acquisition du récepteur. Ces vitesses sont exprimées en **BAUDS**. Il existe différentes vitesses normalisées: 9600, 4800, 2400, 1200, bauds. La communication peut se faire dans les deux sens (duplex), soit émission d'abord, puis réception ensuite (half-duplex), soit émission et réception simultanées (full-duplex) La transmission étant du type asynchrone (pas d'horloge commune entre l'émetteur et le récepteur), des bits supplémentaires sont indispensables au fonctionnement: bit de début de mot (**start**), bit(s) de fin de mot (**stop**). L'utilisation d'un bit de **parité**, permet la détection d'erreurs dans la transmission.

VII.1.2. Communication série entre PC et PIC :

Le PIC utilise les niveaux 0V et 5V pour définir respectivement les niveaux «0» et «1» logique, la norme RS232 quand à elle définit des niveaux de +12V et -12V pour les mêmes niveaux logiques. Nous aurons besoin d'un circuit chargé de convertir les niveaux des signaux entre PIC et PC. Nous utiliserons le circuit adaptateur de ligne (MAX232) pour effectuer cette adaptation. Ce circuit contient un double convertisseur de double direction. Le principe est illustré par la figure III.15.

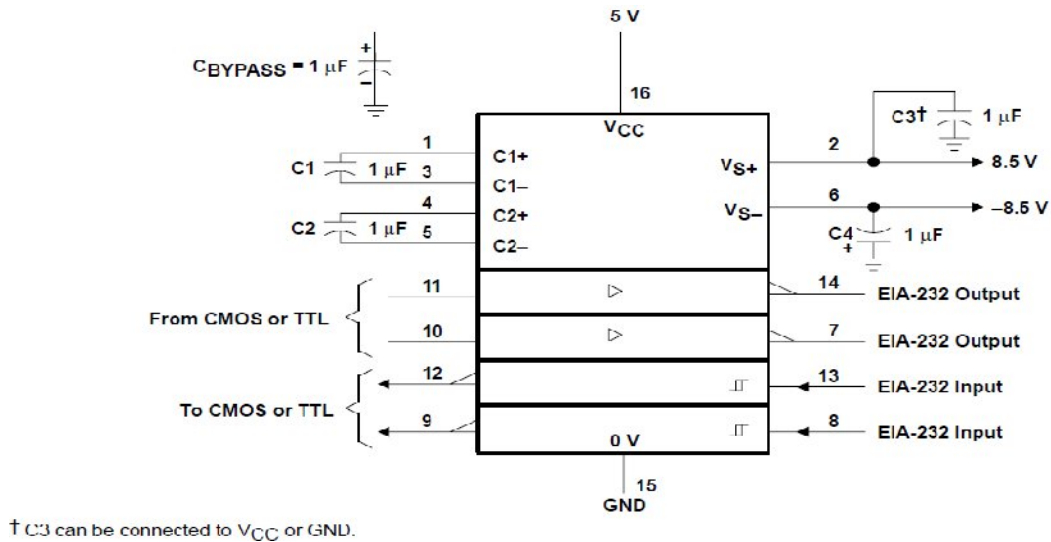


Figure III.15 : Brochage du MAX232.

VII.1.3. Le connecteur DB9 :

La connectique de la liaison série se présente fréquemment sous la forme du connecteur DB-9 ou [DB-25](#). Nous avons choisi le connecteur DB9, qui est une prise analogique comportant 9 broches, de la famille des connecteurs D-Subminiatures (D-Sub ou Sub-D). Il sert essentiellement dans les liaisons séries, permettant la transmission de données asynchrone selon la norme RS-232.

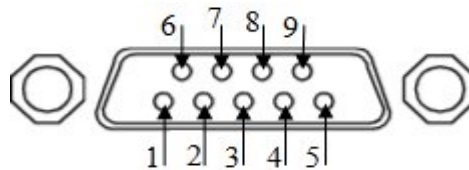


Figure III.16 : Le connecteur DB-9.

VII.1.4. Brochage:

Numéro	Nom	Désignation
1	CD – Carrier Detect	Détection de porteuse
2	RXD-Receive Data	Réception de données
3	TXD-Transmit Data	Transmission de données
4	DTR-Data Terminal Ready	Terminal prêt
5	GND-Signal Ground	Masse logique
6	DSR-Data Set Ready	Données prêtes
7	RTS-Request To Send	Demande d'émission
8	CTS-Clear To Send	Prêt à émettre
9	RI-Ring Indicator	Indicateur de sonnerie

Tableau III.1 :Brochage du connecteur série DB-9.

VII.2. La liaison USB :

VII.2.1. Présentation du bus USB :

Le bus USB (Universal Serial Bus, en français Bus Série Universel) est comme son nom l'indique, basé sur une architecture de type série. Il s'agit toutefois d'une interface entrée-sortie beaucoup plus rapide que les ports séries standard.

VII.2.2. Les normes USB :

Dès 1995 le standard USB a été élaboré pour la connexion d'une grande variété de périphériques. Après les standards USB 1.0 et USB 1.1 la norme USB 2.0 permet d'obtenir des débits pouvant atteindre 480Mbits/s. Les périphériques certifiés d'USB portent le logo de figure III.17. Toutefois l'USB est conçue en deux types de connecteurs type A et type B :

- ❖ Les connecteurs de type A, dont la forme est rectangulaire et servant pour des périphériques comme la souris, le clavier, webcam...
- ❖ Les connecteurs de type B, dont la forme est carrée sont utilisés principalement pour des périphériques à haut débit (disque dur externe,...).



Figure III.17 : Logo d'USB certifié.

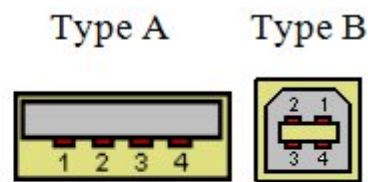


Figure III.18 : Les types d'USB.

VII.2.3. Brochage :

Broche	Désignation
1	Alimentation +5V(V_{USB}) 100mA maximum.
2	Données (D-)
3	Données (D+)
4	Masse (M)

Tableau III.2 : Brochage du connecteur USB.

VII.2.4. Communication série entre PC et PIC via USB :

La communication se fait sur les niveaux 0V et 5V pour définir respectivement les niveaux «0» et «1» logique ; donc il n'y a pas de problème de compatibilité, ce qui constitue l'un des avantages de l'USB. La liaison entre l'USB et le PIC est illustrée par la figure III.19 suivante :

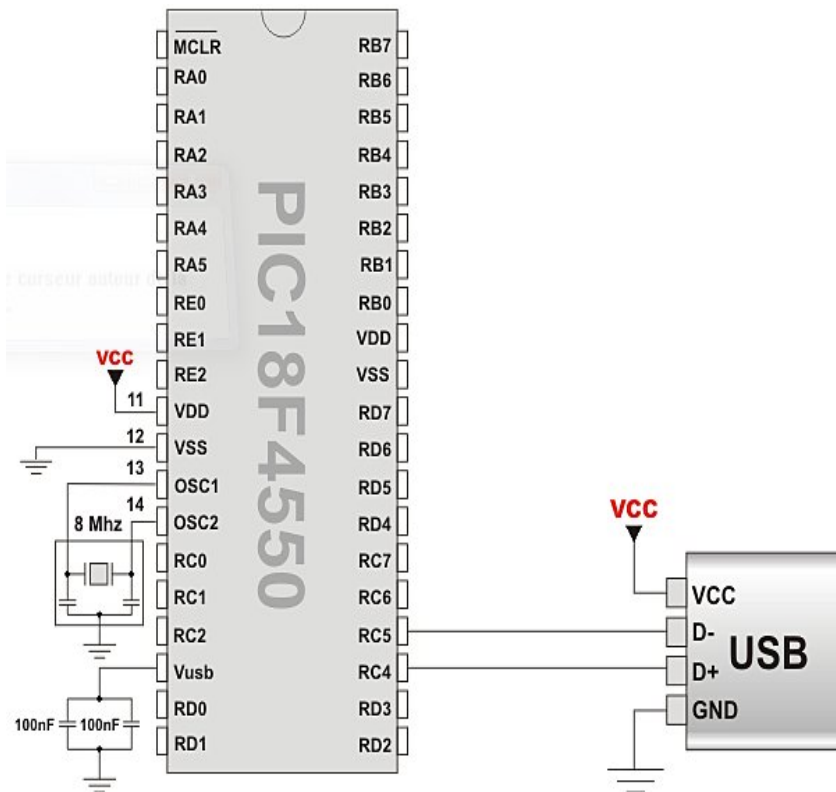


Figure III-19: Branchement électrique entre PC et USB.

VII.2.5. Avantages de l'USB :

- ❖ Faible coût de l'interface.
- ❖ Alimentation possible des dispositifs via le câble.
- ❖ Branchement et débranchement des périphériques sans avoir besoin d'arrêter le pc.
- ❖ Fiabilité et sécurité (détection et correction d'erreurs).

VII.2.6. Le Protocole USB :

Le protocole USB est, comme tous les autres protocoles un protocole à encapsulation.

Le client driver communique les demandes de transfert des applications via des IRP (I/O Packet).

Puis, l'USB driver traduit chaque transfert en une suite de transactions. Ensuite l'USB Host

Controller driver regroupe les transactions en trames et finalement l'USB Host Controller traduit les transactions en paquets et enchaîne les trames. Le synoptique ci dessous traduit de façon imagée les liens entre les différents éléments [2].

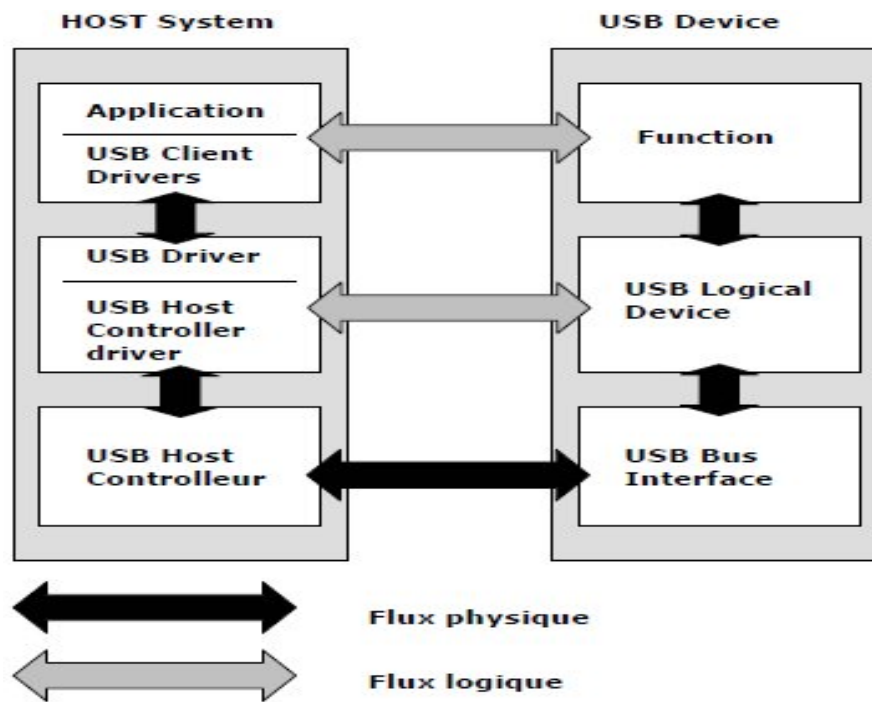


Figure III-20 : Le Protocole USB. [2]

VIII. L'actionneur

L'actionneur est en générale la partie puissance du régulateur, il permet de piloter le processeur en modulant le signal de commande. Il peut être divisé en deux parties distinctes :

- Le modulateur MLI : génère un signal de modulation de largeur d'impulsion pour commander le gradateur.
- Le gradateur de puissance : composé d'un triac et d'un opto-triac.

VIII.1. Modulateur de largeur d'impulsion (étage MLI) :

VIII.1.1. Introduction :

L'intérêt de notre régulateur PID est de fournir un signal de commande adapté au procédé, pour contrôler la puissance on commande l'étage de puissance avec un signal de fréquence fixe, mais de rapport cyclique variable. Pour cela nous avons décidé de construire une MLI (PWM) synchronisée à la fréquence du secteur 50HZ.

VIII.1.2. Constitution de l'étage MLI :

- ❖ Le premier Amplificateur Opérationnel transforme le signal issu du transformateur abaisseur (50Hz) en un signal carré.
- ❖ Le deuxième AOP intègre le signal précédent pour générer une dent de scie.
- ❖ Le troisième AOP compare la dent de scie au signal issu du CNA, ce qui donne la variation de la largeur d'impulsion. (Voir la figure III.21).

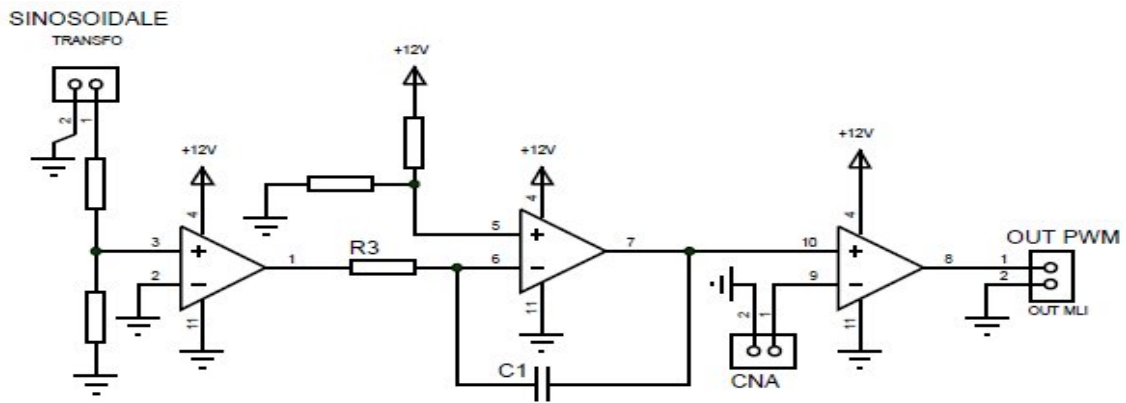


Figure III.21 : Schéma électrique de l'étage MLI (PWM).



Figure III.22 : Signal PWM(MLI) de 10%

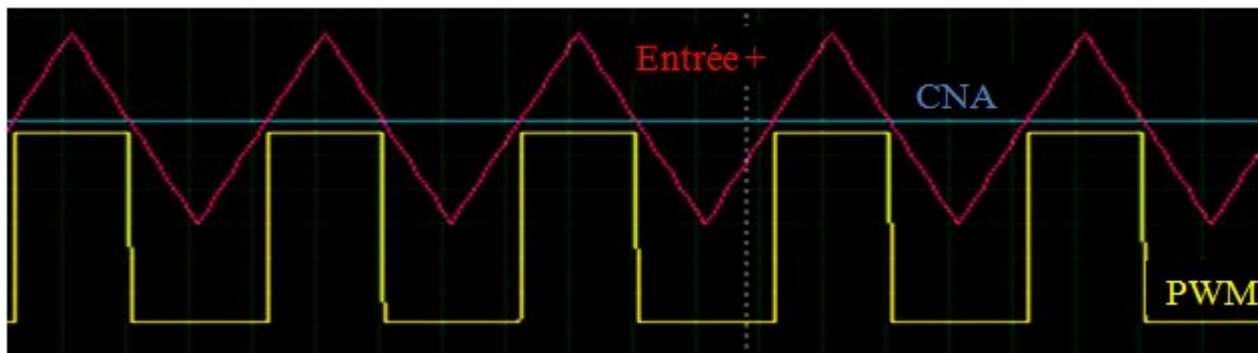


Figure III.23 : Signal PWM (MLI) de 50%



Figure III.24 : Signal PWM (MLI) de 90%

VIII.2. Le gradateur de puissance :

Dans ce type de montage nous avons fait appel à des composants spécifiques, qui possèdent la particularité de travailler avec des tensions et des courants très élevés. Parmi ces composants on a :

VIII.2.1. Le triac :

Le triac (Triode Alternating Current) est un dispositif à semi conducteur à trois électrodes qui autorise la mise en conduction et le blocage des deux alternances d'une tension alternative.

Le triac peut passer d'un état bloqué à un régime conducteur dans les deux sens de polarisation, et repasser à l'état bloqué par inversion de tension (passage par zéro). Par analogie (et d'ailleurs le symbole le suggère). On pourrait dire qu'un triac est constitué de deux thyristors montés « tête-bêche » ou en antiparallèle.

Les trois électrodes sont dénommées :

- **Gâchette** : électrode de commande (gâte).
- **Anode1** : assure la conduction (ML1, Main Terminals1).
- **Anode2** : assure la conduction (ML2, Main Terminals2).

VIII.2.2. Le principe de fonctionnement d'un triac :

Un courant de commande très faible (environ 50 mA) déclenche le triac, qui reste amortie jusqu'au passage par zéro des tensions secteurs. Contrairement au thyristor, le triac peut conduire dans les deux sens de polarisation.

VIII.2.3. Mise en œuvre du triac en gradateur de puissance :

Pour une utilisation du triac en gradateur, il est préférable de faire appel à un composant spécialisé, l'opto-triac, qui est conçu pour cette application et qui dispose de l'avantage appréciable d'une isolation de 7500 V.

La mise en œuvre de ce dispositif est très simple, puisqu'il suffit d'appliquer un niveau positif (basse tension) sur la DEL de l'opto-triac, qui commande à son tour le triac. L'opto-triac fait donc figure d'interface. En quelque sorte, entre le circuit de commande et le circuit commandé.

Le circuit adapté pour notre réalisation est illustré dans la figure suivante :

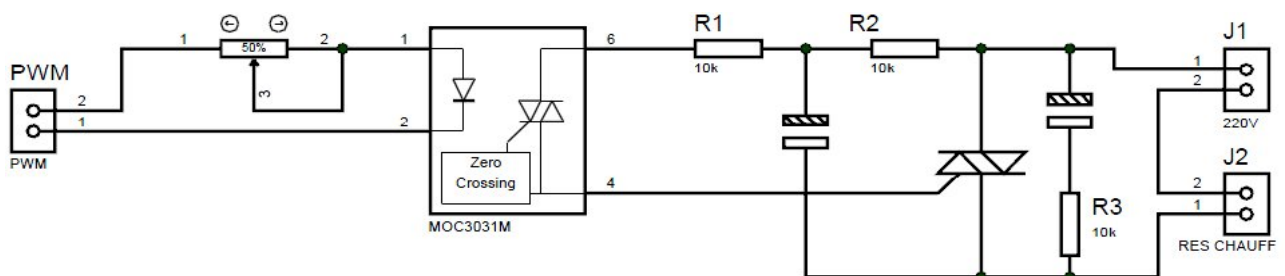


Figure III.25 : Schéma électrique de l'étage de commande de puissance.

CHAPITRE III : Réalisation Pratique

La puissance fournie à la charge est maximale lorsque le déclenchement a lieu, juste après le passage par zéro des tensions alternatives.

En retardant l'impulsion de déclenchement, on peut faire varier à volonté l'intensité appliquée à la charge, dans ce cas le circuit fonctionne en gradateur, il permet de moduler facilement la puissance dissipée dans la charge (puissance moyenne).

On distingue deux types :

- Gradateur à angle de phase.
- Gradateur à trains d'ondes.

La différence réside dans le fait que le premier est amorcé et éteint pendant la durée d'un cycle de tension secteur, le deuxième est amorcé puis éteint pendant un certain nombre.

En résumé c'est la fréquence de la séquence amorçage blocage qui diffère.

L'allure de la tension aux bornes de la charge est illustrée par les figures suivantes :

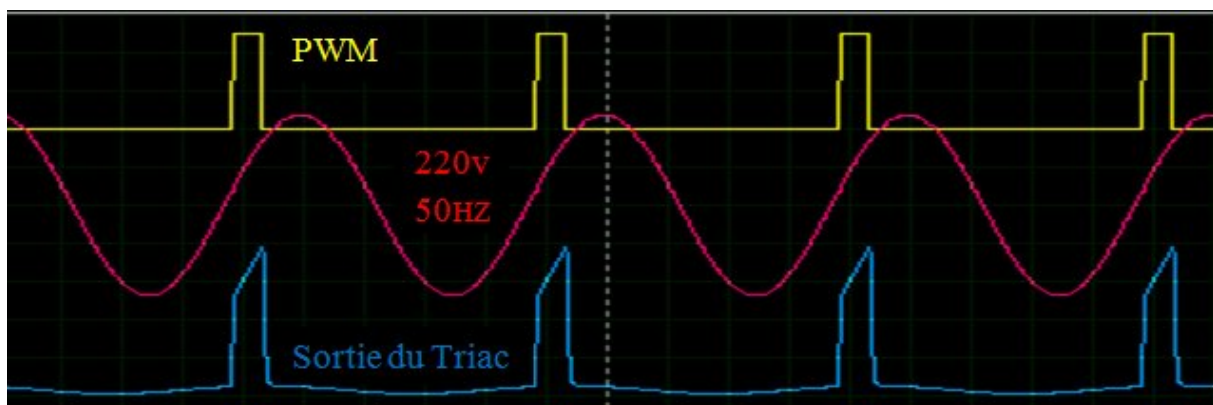


Figure III.26 : Signal de commande de puissance avec PWM DE 10%

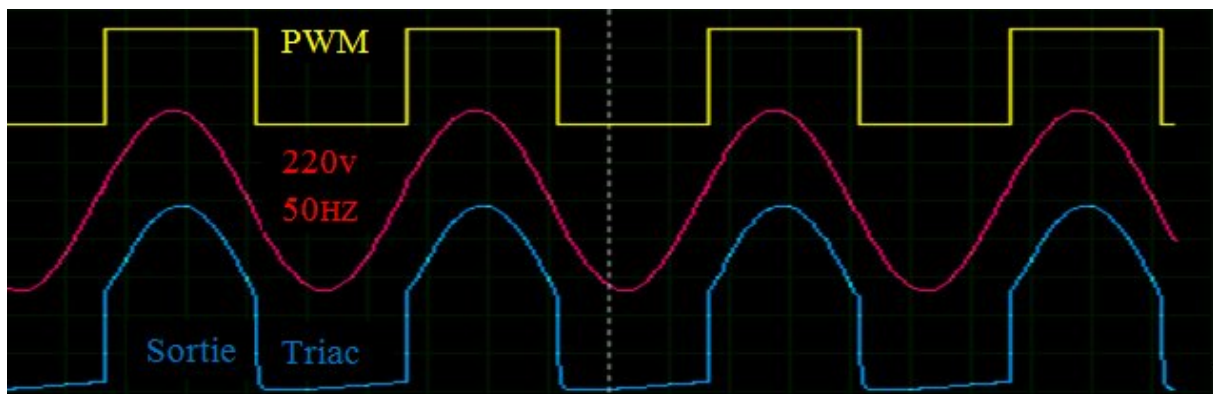


Figure III.27 : Signal de commande de puissance avec PWM DE 50%

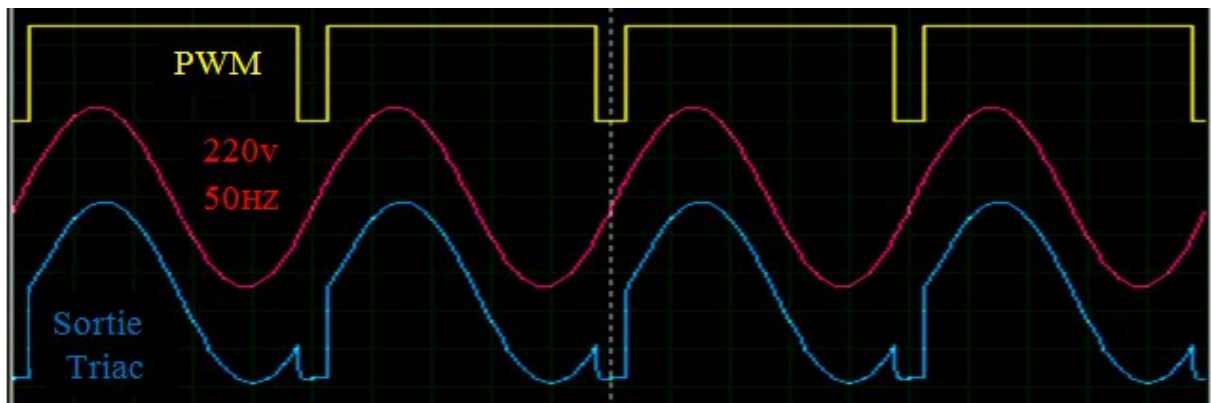


Figure III.28 : Signal de commande de puissance avec PWM DE 90%

IX. La console :

La console est l'interface utilisateur/machine, elle permet de régler et de contrôler le fonctionnement du système, elle est constituée d'un clavier et d'un afficheur LCD.

IX.1. Le clavier :

Il permet à l'utilisateur de fixer la consigne de régulation à tout moment.

Le clavier est constitué de trois boutons poussoirs :

- A- Le bouton config : permet de basculer en mode consigne ou l'utilisateur peut modifier les références des paramètres de régulation.
- B- Le bouton (+) et (-) : par l'action sur le bouton (+) ou incrémente (donc on augmente) la valeur de la consigne, logiquement l'action sur le bouton (-) décrémente (donc diminue) la valeur de la consigne.

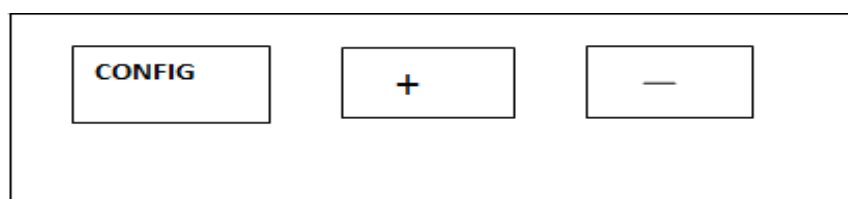


Figure III.29 : Représentation du clavier.

IX.2. L'afficheur LCD :

L'afficheur LCD a pour rôle de permettre de lire directement la valeur de la consigne, ainsi que la température de l'enceinte et le mode de fonctionnement. Il a de ce fait une importance capitale car il fournit des informations directement exploitables du système.

IX.2.1. Description des afficheurs LCD :

Les afficheurs à cristaux liquides (LCD = Liquid Crystal Display) peuvent être avec ou sans contrôleur intégré. Lorsqu'un contrôleur est intégré, on parle de module LCD. Les modules LCD

CHAPITRE III : Réalisation Pratique

sont compacts, intelligents et nécessitent peu de composants externes. Ils sont utilisés avec beaucoup de facilité, pratiquement les seuls à être utilisés sur les appareils à alimentation par pile. Certains sont dotés d'un rétro éclairage de l'affichage. Cette fonction fait appel à des LED montées derrière l'écran du module, cependant, cet éclairage est gourmand en intensité (250mA max).

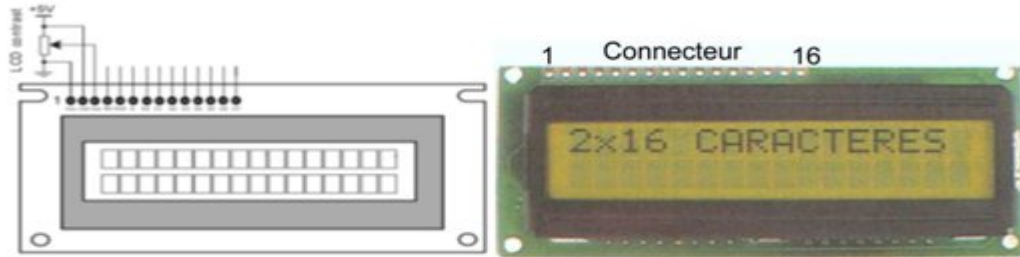


Figure III.30 : Vue de l'Afficheur LCD 2*16 caractères.

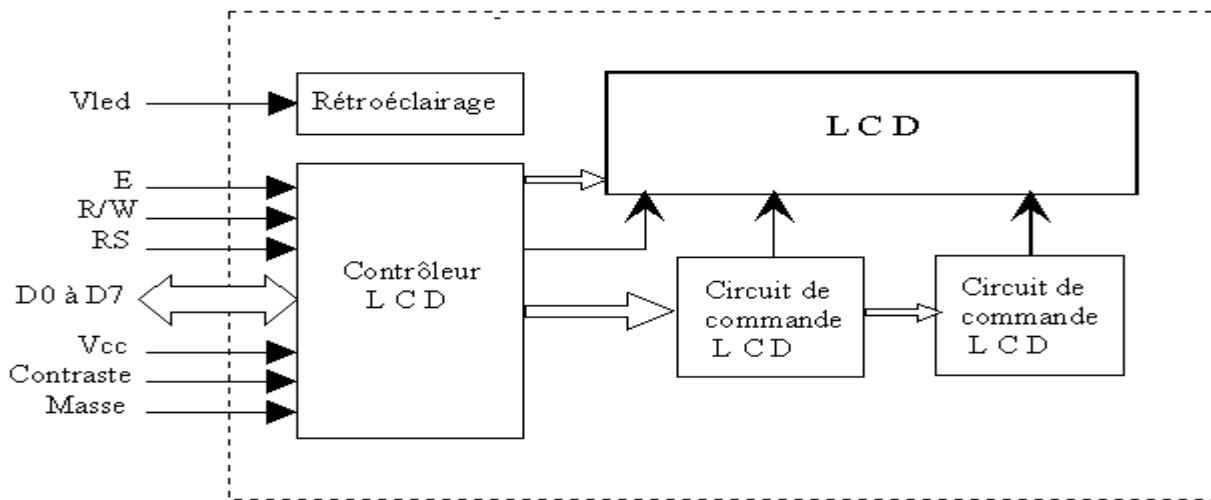


Figure III.31 : Schéma fonctionnel d'un afficheur LCD.

IX.2.2. Fonctionnement de l'Afficheur :

Notre afficheur est constitué des éléments suivants :

- ❖ Un port bidirectionnel d'entrées sorties logique, il contient 8 broches notées de DB0 à DB7, elles permettent de communiquer avec le périphérique.
 - ❖ Deux entrées de sélections notés RS et R/W, elles permettent de fixer le mode de fonctionnement et le contrôle des opérations d'écriture et de lecture, voire le tableau III.3 :

Entrées		Operations
RS	0	Lecture ou écriture dans les registres internes
	1	Lecture ou écriture du port
R/W	0	Ecriture
	1	Lecture

Tableau III.3 : explicative des différentes combinaisons possible et leur fonctionnement.

CHAPITRE III : Réalisation Pratique

- ❖ L'entrée E est l'entrée de validation, elle valide la valeur des entrées, donc le mode et l'instruction souhaitée.
- ❖ Le module est alimenté par l'entrée Vcc avec une tension 5V, l'entrée V_{ss} est la masse, l'entrée V_{ee} peut être alimentée par une de tension de -7 à 0 V, la valeur de cette tension permet d'ajuster le contraste du LCD.

L'entrée DB7 du port fait aussi office de flag (busy flag), il est positionné lorsque l'entrée RS est mise à 0, indiquant qu'une opération interne est en cours, donc aucune donnée ne doit être envoyée vers le module avant que le flag ne soit à l'état bas.

X. L'alimentation :

X.1. Définition d'une alimentation continue stabilisée :

Une alimentation continue stabilisée est un dispositif électrique qui fournit, à partir d'une tension sinusoïdale du secteur $v_e(t)$, une tension continue $v_s(t)$. Le courant fourni peut quand à lui varier notamment lorsque l'alimentation est utilisée dans un amplificateur avec une entrée non continue (sinusoïdale par exemple). Idéalement, une alimentation doit posséder une résistance interne nulle et une vraie tension continue sans ondulations.

X.2. Chaîne d'alimentation :

Le principe d'une alimentation stabilisée simple dite linéaire est donné sur le schéma-bloc de la figure suivante :



Figure III.32 : Schéma-bloc d'une alimentation stabilisée linéaire.

La tension du secteur est souvent abaissée par un transformateur puis redressée dans un pont de Graëtz avant d'être lissée par un filtre. Le rôle du filtre est de stocker l'énergie pendant la charge et de redistribuer cette énergie pendant la décharge.

Dans notre projet nous aurons besoin des tensions stabilisées suivantes : +12V, +5V, -12V, -5V et Gnd. Pour cela le schéma de notre alimentation est illustré par la figure III.33 :

CHAPITRE III : Réalisation Pratique

cette dernière est définie comme la variation en pourcentage de l'entrée du régulateur (e) nécessaire pour que la sortie (u) varie de 100% : $B_p\% = 100/K_p$ (6)

L'action intégrale s'exprime par le temps T_i qui représente le temps nécessaire pour que la variation de la sortie (u) soit égale à celle de l'entrée (e). Soit par l'inverse de temps (n), qui exprime les nombres de fois que la sortie (u) répète l'entrée (e) dans l'unité de temps (mn, s). $T_i = \dots$(7)

XI.3. Les actions de régulation:

XI.3.1. Action proportionnelle : P

L'action proportionnelle permet de jouer sur la vitesse de réponse du procédé. Plus le gain est élevé, plus la réponse s'accélère, plus l'erreur statique diminue, mais plus la stabilité se dégrade : trop de gain peut rendre le système instable, il se met alors à osciller, Il faut trouver un bon compromis entre vitesse et stabilité.

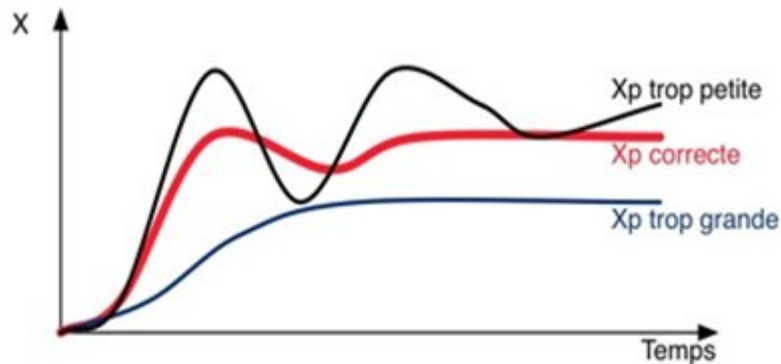


Figure III.34 : Réglage de la bande proportionnel.

XI.3.2. Action intégrale : I

L'action intégrale permet d'annuler l'erreur statique (écart entre la mesure et la consigne). Plus l'action intégrale est élevée (T_i petit), plus la réponse s'accélère et plus la stabilité se dégrade. Il faut également trouver un bon compromis entre vitesse et stabilité. Dans les régulateurs industriels on affiche $1/T_i$, alors T_i est d'autant plus grand que l'action intégrale est faible. Pas d'action I : T_i infini.

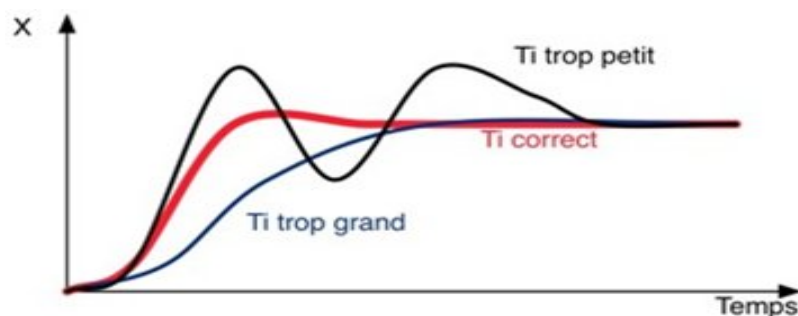


Figure III.35 : Réglage du temps Intégral.

XI.3.3. Action dérivée : D

L'action dérivée est anticipatrice. En effet, elle ajoute un terme qui tient compte de la vitesse de variation de l'écart, ce qui permet d'anticiper en accélérant la réponse du processus lorsque l'écart s'accroît et en le ralentissant lorsque l'écart diminue. Plus l'action dérivée est élevée (T_d grand), plus la réponse s'accélère ! Là encore, il faut trouver un bon compromis entre vitesse et stabilité.

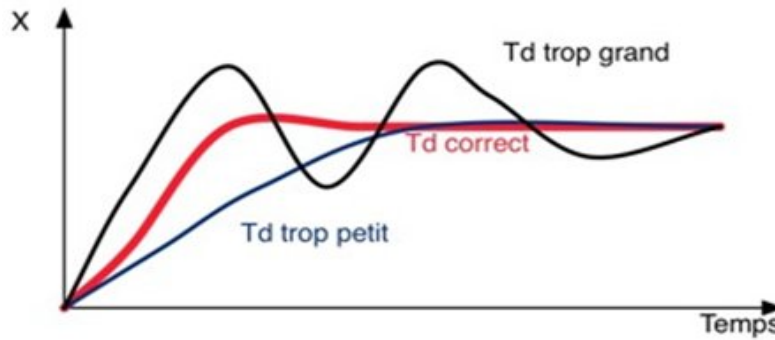


Figure III.36 : Réglage du temps dérivé.

XI.4. Formes des régulateurs PID :

XI.4.1. Forme standard :

La forme standard de la fonction de transfert du régulateur PID est :

$$C(s) = K_p \left[1 + \frac{1}{s} + \frac{s}{T_d} \right] \dots\dots\dots(8).$$

L'action dérivative est implémentée avec un filtre du premier ordre, dont la constante de temps est N fois plus petite que T_d . Ce filtre permet d'atténuer l'effet du bruit hautes fréquences dans la commande du PID, le choix typique de N étant compris entre 10 et 20.

XI.4.2. Forme parallèle :

La forme « parallèle » de la fonction de transfert du régulateur PID est :

$$C(s) = K + \frac{k_i}{s} + \frac{k_d s}{(s/\tau)} \dots\dots\dots(9)$$

Avec k , k_i et k_d constantes. Cette forme est équivalente à la forme standard. L'avantage de cette forme vient du fait qu'une action proportionnelle, intégrale ou dérivée pure peut être obtenue avec des paramètres finis du régulateur.

XI.4.3. Forme série :

La forme « série » de la fonction de transfert du régulateur PID est :

$$C(s) = \frac{(1 + \tau_1 s)(1 + \tau_2 s)}{(1 + \tau_N s)} \dots\dots\dots(10)$$

Avec τ_1 , τ_2 , τ_i et τ_N constantes de temps.

CHAPITRE III : Réalisation Pratique

Cette forme permet de mettre plus facilement en relation les paramètres du régulateur avec les constantes de temps du procédé. Sous cette forme, le régulateur a deux zéros réels.

XI.5. Identification du procédé :

Pour pouvoir calculer les paramètres de régulation d'un PID, il faut disposer d'un modèle du procédé simple ou complexe. Lorsque le procédé est complexe et que sa mise en équation est délicate, par manque de connaissances des coefficients mis en jeu, une identification expérimentale est préférable. Une telle identification repose sur l'analyse de réponse temporelle ou fréquentielle directement sur le système soumis à un signal d'entrée déterminé. Pour cela, il existe plusieurs méthodes de réglage.

XI.6. Méthode de Ziegler-Nichols :

Deux méthodes expérimentales classiques de détermination et d'ajustement rapide des paramètres des régulateurs PID ont été présentées par Ziegler et Nichols en 1942. Ces méthodes sont largement utilisées, soit sous forme originale ou dans une certaine modification. Ils forment souvent la base de procédures de réglage utilisées par les fabricants et les industriels. Les méthodes sont basées sur la détermination de certaines caractéristiques de la dynamique des processus. Les paramètres du régulateur sont alors exprimés en termes de fonctionnalités par des formules simples.

XI.6.1. Méthode de Ziegler-Nichols temporelle :

La méthode temporelle de Ziegler-Nichols est basée sur la réponse indicielle du procédé en boucle ouverte, qui consiste en l'application d'un échelon à l'entrée du procédé en boucle ouverte (quand le procédé est au repos) et l'enregistrement de la sortie. Le désavantage de ce type d'excitation vient du fait qu'il faut utiliser un échelon d'une amplitude grande à l'entrée du procédé en boucle ouverte, pour avoir un bon rapport signal/bruit. Cette méthode est modélisée par une fonction de transfert : $G(s) = \frac{A_0}{G_0} e^{-\frac{s}{T_d}}$ (11)

Qui est obtenue à partir de :

$$T_e = A_0/G_0, \text{ avec } A_0 = \int_0^{\infty} (y(t) - y(\infty)) dt \text{ (12)}$$

Ou $y(t)$ est la réponse indicielle. Le gain statique G_0 se détermine graphiquement : $G_0 = y(\infty)$

C'est le modèle le plus utilisé pour le calcul des paramètres du régulateur PID. La réponse indicielle de ce modèle est :

$$Y(t) = G_0 (1 - e^{-t/T_e}) \text{ (13)}$$

D'où il résulte que l'échelle de temps T_e (d'après l'équation (11)) est : $T_e = L + T \text{ (14)}$

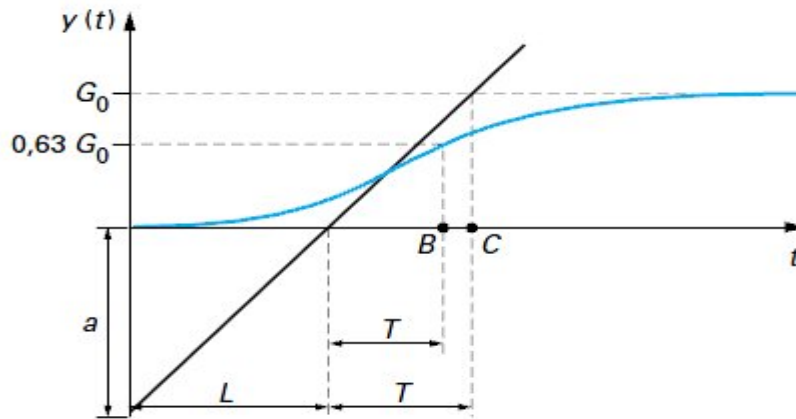


Figure III.37 : Estimation graphique du gain statique, du retard et de la constante de temps apparents, pour un procédé stable avec une réponse monotone [3].

Les paramètres du régulateur PID en fonction des caractéristiques a et L du procédé sont donnés dans le tableau III.4. [3]

Régulateur	K_p	T_i	T_d
P	$1/a$		
PI	$0,9/a$	$3L$	
PID	$1,2/a$	$2L$	$L/2$

Tableau III.4 : Paramètres du régulateur PID, obtenus par la méthode de Ziegler-Nichols temporelle. [3]

XI.6.2. Méthodes basées sur la réponse fréquentielle :

L'idée de ces méthodes est d'amener le système à des oscillations limites, en boucle fermée, pour déterminer des points intéressants du diagramme fréquentiel du procédé (le gain et la pulsation).

La méthode de Ziegler et Nichols détermine le point critique (le gain et la pulsation critique ω_c) du diagramme fréquentiel du procédé, c'est-à-dire le point d'intersection de la courbe de Nyquist avec l'axe réel négatif (figure III.38). Cela est possible pour les systèmes en boucle fermée qui peuvent être amenés à la limite de stabilité en ajustant le gain du régulateur proportionnel K_p figure III.39, qui est connecté au procédé de telle manière qu'il y ait une oscillation entretenue dans la boucle. L'entrée $u(t)$ et la sortie $y(t)$ du procédé sont des sinusoides déphasées de -180° . Le gain de la boucle est unitaire : $K_0 G(j\omega_c) = -1$. Avec K_0 gain proportionnel qui a amené le système en oscillation, $G(j\omega_c)$ gain du procédé au point critique. La pulsation critique est déterminée à partir de la mesure de la période des oscillations T_0 à la sortie du système. Les paramètres du régulateur PID en fonction des caractéristiques K_0 et T_0 sont donnés dans le tableau 3 où K_0 et T_0 sont respectivement le gain qui amène le système en oscillation limite et la période des oscillations.

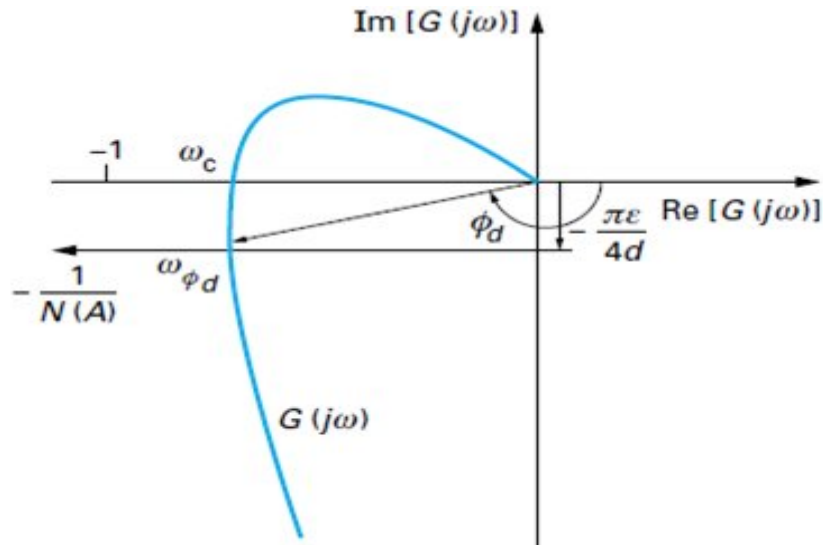


Figure III.38 : Le diagramme de Nyquist du procédé $G(j)$ et la condition d'oscillation. [3]

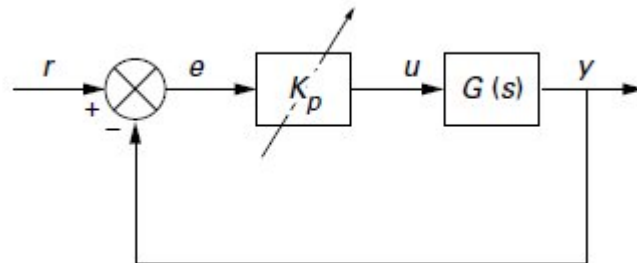


Figure III-39-Schéma du système en boucle fermée avec régulateur proportionnel [3].

Régulateur	K_p	T_i	T_d
P	$0,5 K_0$		
PI	$0,45 K_0$	$0,8 T_0$	
PID	$0,6 K_0$	$0,5 T_0$	$0,125 T_0$

Tableau III.5 : Paramètres du régulateur PID obtenus par la méthode de Ziegler-Nichols fréquentielle. [3]

XII. Régulateur PID numériques :

XII.1. Systèmes asservis échantillonnés :

XII.1.1. Définition :

C'est un système dont la fonction de régulation est réalisée par un système programmé.

A intervalle de temps réguliers (T_e), l'entrée de la mesure (retour) est convertie en grandeurs numérique servant de données à un algorithme de calcul. (Voire figure III.40).

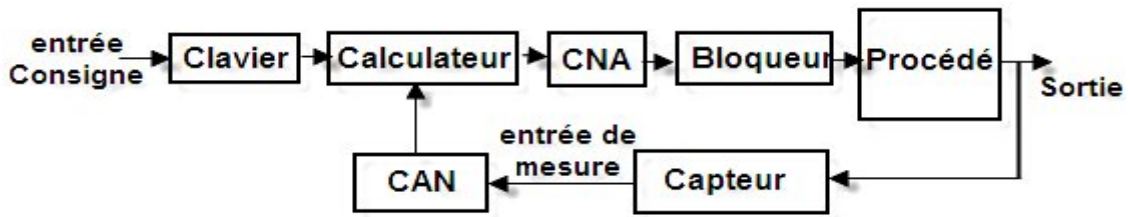


Figure III.40 : Organisation d'un régulateur numérique.

L'algorithme réalise les fonctions de comparateur et surtout de correcteur. Le résultat est converti en analogique pour constituer le signal de commande.

XII.1.2. Rôle du bloqueur de sortie :

Entre les intervalles T_e , il est indispensable de maintenir la sortie de commande, c'est le rôle du bloqueur de sortie. Un bloqueur d'ordre zéro maintient constante la valeur de la commande.

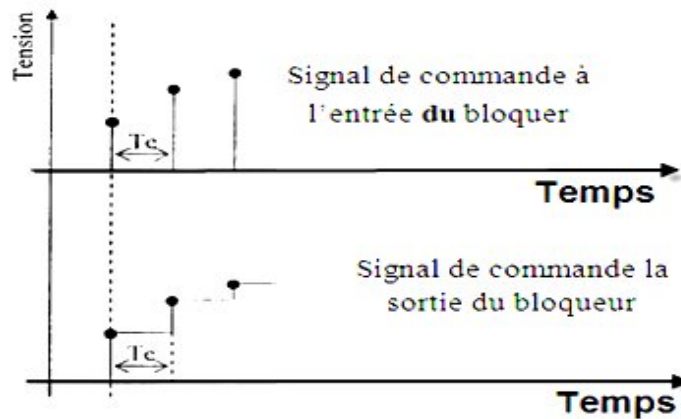


Figure III.41 : Réponse d'un bloqueur d'ordre zéro.

On ne peut tenir compte de l'influence du bloqueur sur le système de part sa fonction de transfert :

$$B(s) = \frac{1 - e^{-sT_e}}{s} \dots \dots \dots (15)$$

XII.2. Les correcteurs numériques :

XII.2.1. Action intégrale numérique :

La fonction de transfert en Z peut se mettre sous la forme [4] :

$$S(Z) = K_i \frac{1 - Z^{-1}}{1 - Z^{-1}} E(Z) \quad \text{soit} \quad E(Z) \longrightarrow \boxed{K_i \frac{1 - Z^{-1}}{1 - Z^{-1}}} \longrightarrow S(Z)$$

Avec K_i constante d'intégration numérique.

On peut déduire la relation entre les échantillons :

$$S(z) (1 - z^{-1}) = K_i E(z) \quad \text{soit} \quad S_n - S_{n-1} = K_i E_n \dots \dots \dots (18)$$

Conclusion :

La réalisation d'un intégrateur numérique nécessite l'acquisition de la valeur de l'excitation à cet instant ($t = nT_e$), et la mémorisation de la valeur de la sortie à l'instant précédent [$t = (n-1)T_e$].

XII.2.2. Dérivateur numérique :

Même procédure que pour l'intégrateur on obtient [4]:

$$S(Z) = K_d \frac{dE(Z)}{dZ} = K_d(1 - Z^{-1})E(Z) \quad E(Z) \longrightarrow \boxed{K_d \frac{d}{dZ}} \longrightarrow S(Z)$$

Avec K_d constante de dérivation numérique.

On déduit la relation entre les échantillons :

$$S(z) = K_d(1 - Z^{-1})E(z) \quad \text{Soit} \quad S_n = K_d(E_n - E_{n-1}) \dots \dots (19)$$

XII.3. Réalisation d'un régulateur PID numérique de type somme :

On associe les trois actions, avec le même principe que les correcteurs PID analogiques.

La fonction de transfert $C(z)$ du PID est :

$$C(s) = G_{sr} [1 + K_i \frac{1}{s} + K_d s] \dots \dots \dots (20)$$

Ceci on effectuant le changement de variable :

$$\begin{cases} C_0 = 1 + K_i + K_d = 1 + \frac{1}{T_e} + T_d \\ C_1 = -1 - 2K_d = -1 - 2T_d \\ C_2 = K_d = T_i \end{cases}$$

On déduit l'algorithme de calcul directement des relations entre les échantillons, si l'entrée du correcteur numérique est :

$$D(z) = E(z) - M(z) \text{ avec } D(z) \text{ différence. } E(z) \text{ entrée ou consigne et } M(z) \text{ mesure.}$$

La relation entre les échantillons de la sortie de commande U à deux instants successifs :

$$U_n - U_{n-1} = G_{sr} (C_0 D_n + C_1 D_{n-1} + C_2 D_{n-2}) \dots \dots \dots (21)$$

On constate que cet algorithme nécessite :

- ◆ La mémorisation de la valeur de la sortie à l'instant $t = (n-1) T_e$
- ◆ La valeur de la différence au instants $t = (n-1) T_e$ et $t = (n-2) T_e$.
- ◆ L'acquisition de la valeur de l'écart à l'instant présent $t = n T_e$.

XIII. Conception électronique et Simulation :

Tous les schémas électriques ont été réalisé et simulés à l'aide du logiciel ISIS (Intelligent Schématique Input System), qui a fait ses preuves ces dernières années dans le domaine de la conception et la simulation des circuits électroniques plus exactement la simulation des montages numériques (à base de microcontrôleurs). Les figures III.42, III.43, III.44 et montrent les schémas utilise pour la simulation de la carte de commande, de la carte MLI et de la carte de puissance respectivement :

CHAPITRE III : Réalisation Pratique

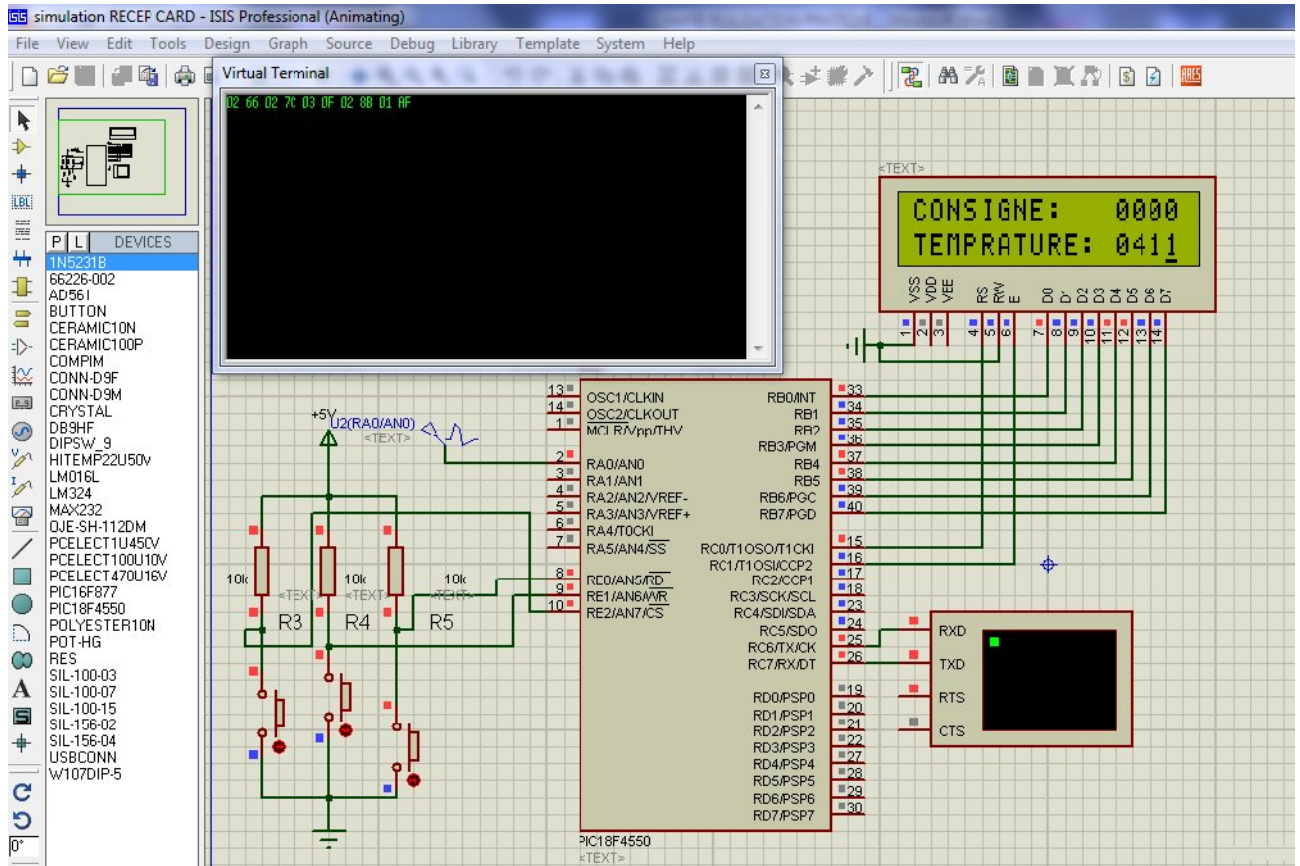


Figure III.42 : Simulation de la carte de Commande.

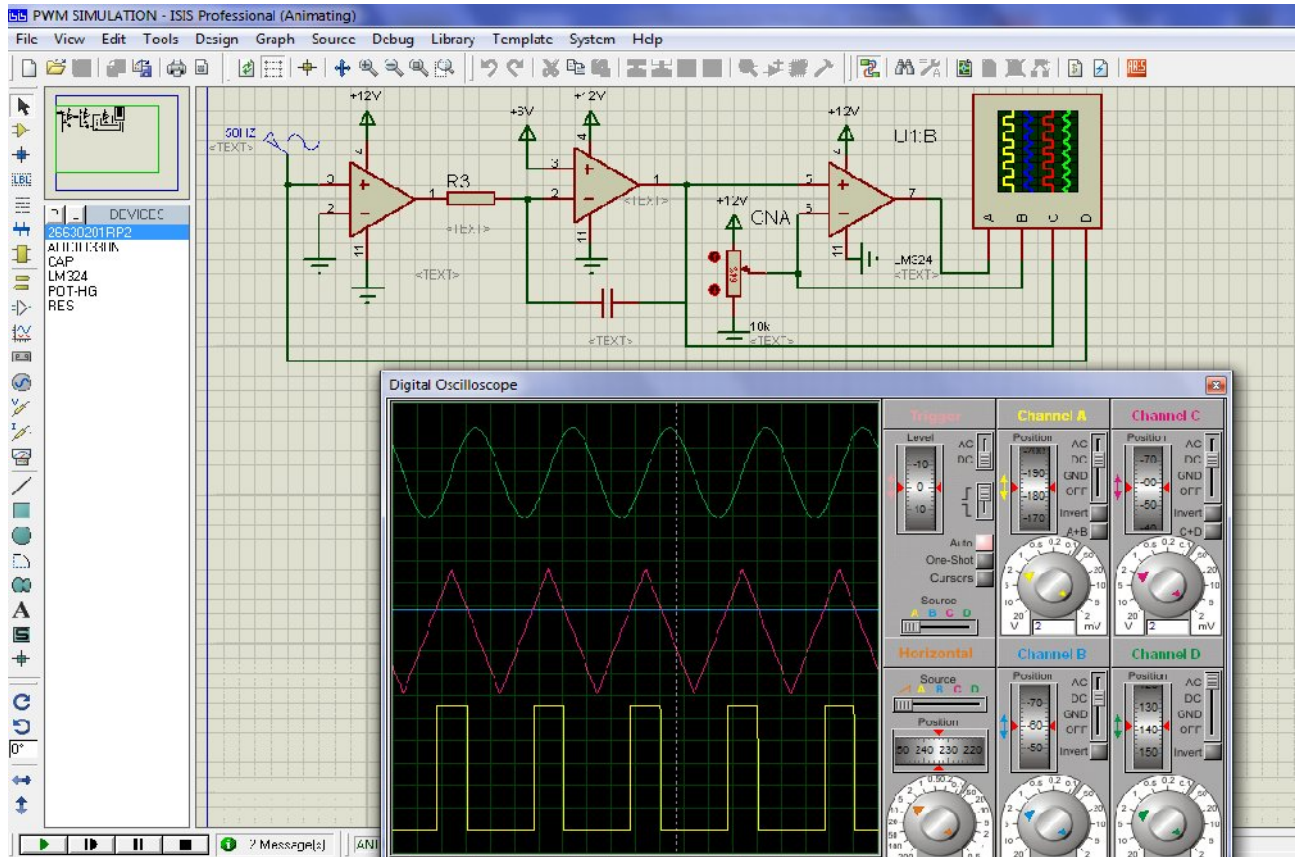


Figure III-43 : Simulation de la carte PWM (MLI).

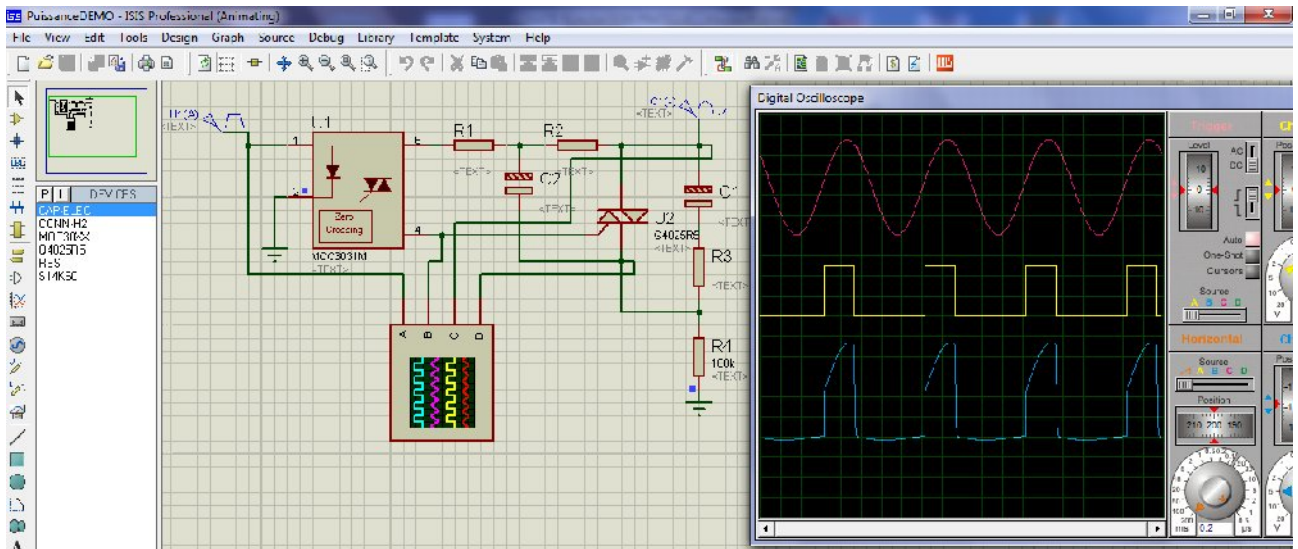


Figure III-44 : Simulation de la carte de puissance.

IX. Tracé des circuits imprimés :

IX.1. Conception des circuits imprimés :

Le dessin du circuit imprimé se fait lui aussi par des logiciels de Conception Assisté par Ordinateur, nos conceptions ont été réalisées avec le logiciel ARES (Advanced Routing and Editing Software). Tous les circuits imprimés sont réalisés en simple face, pour réduire le cout du développement.

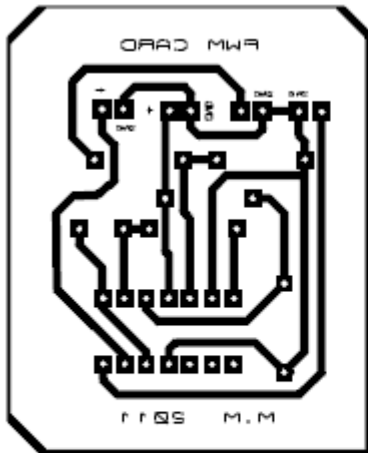


Figure III.45 : Tracé de circuit imprimé de la carte MLI (PWM)

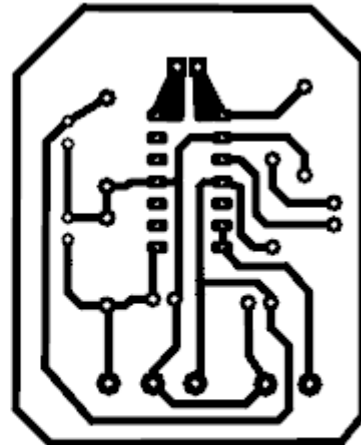


Figure III.46 : Tracé de circuit imprimé de la carte de conditionnement (capteur).

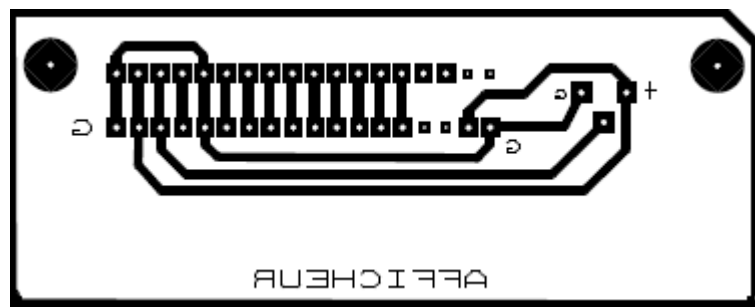


Figure III.47 : Tracé du circuit imprimé de la carte afficheur.

XX. Conception logicielle :

La programmation de microcontrôleurs est réalisée en assembleur et compiler à l'aide de MPLAB.

XX.1. Organigramme du programme :

XX.1.1. Organigramme d'initialisation :

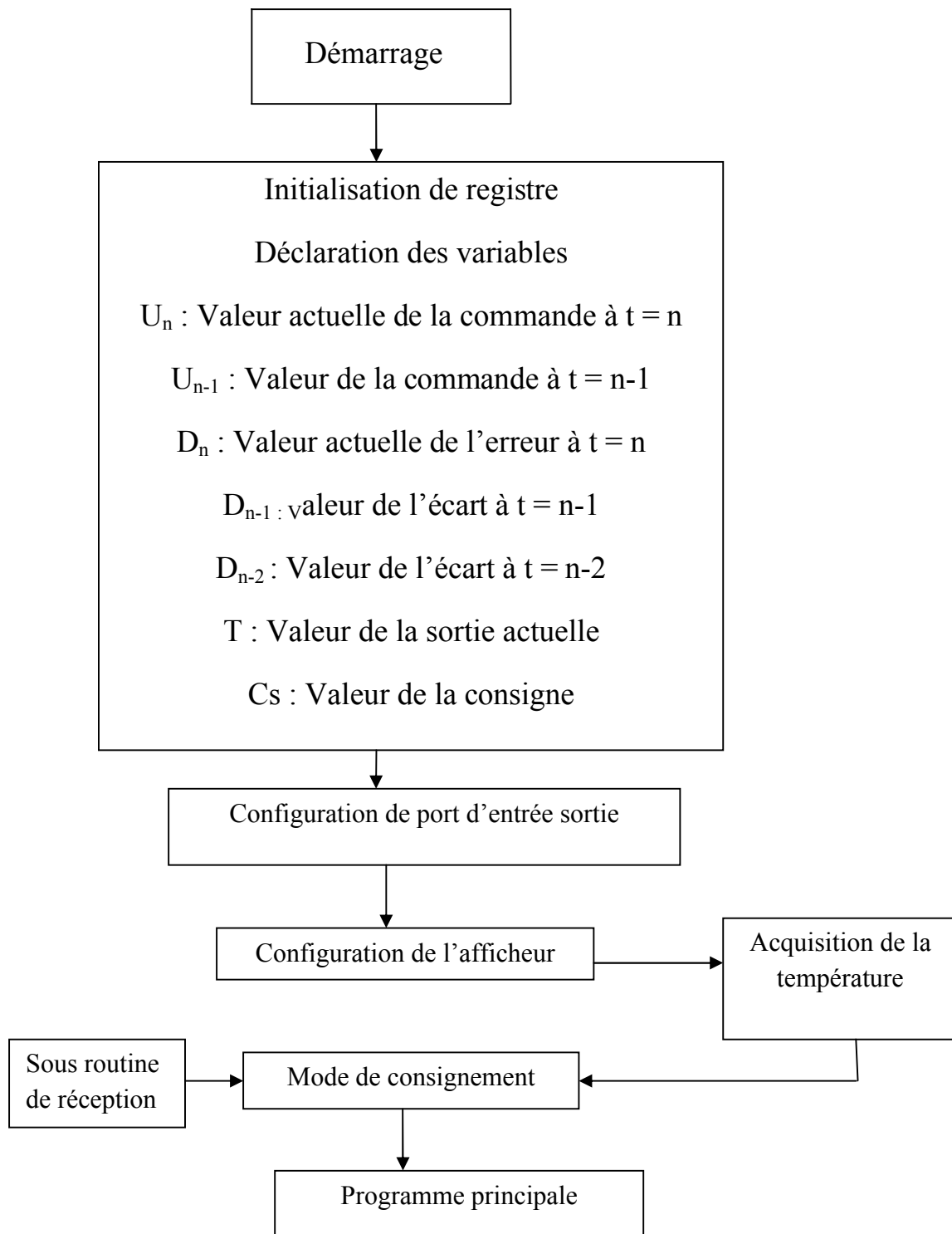


Figure III.52 : Organigramme du programme d'initialisation.

XX.1.2. Organigramme du programme principal :

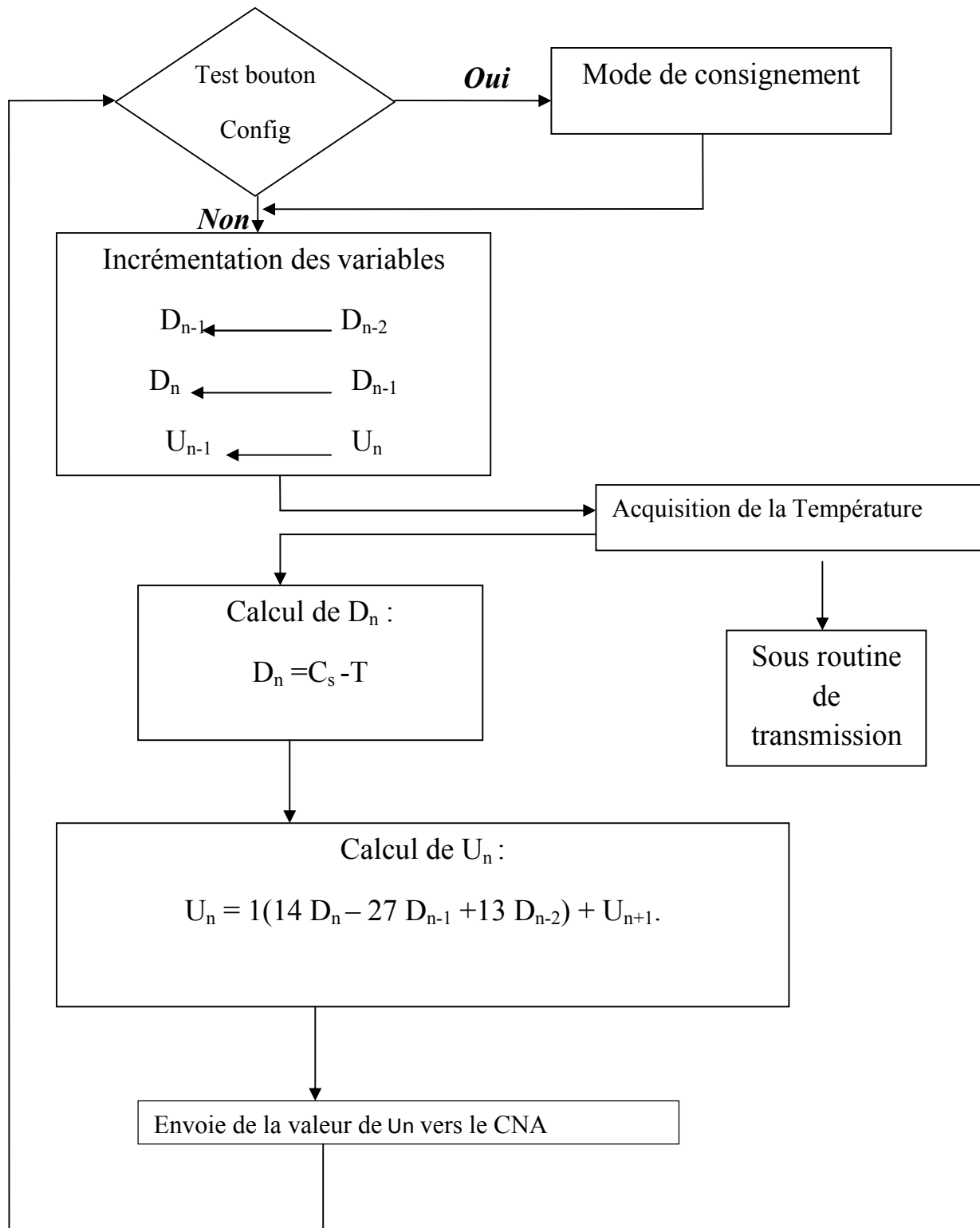


Figure III.53 : Organigramme du programme principal.

XX .1.3. Organigramme du sous programme de consignement :

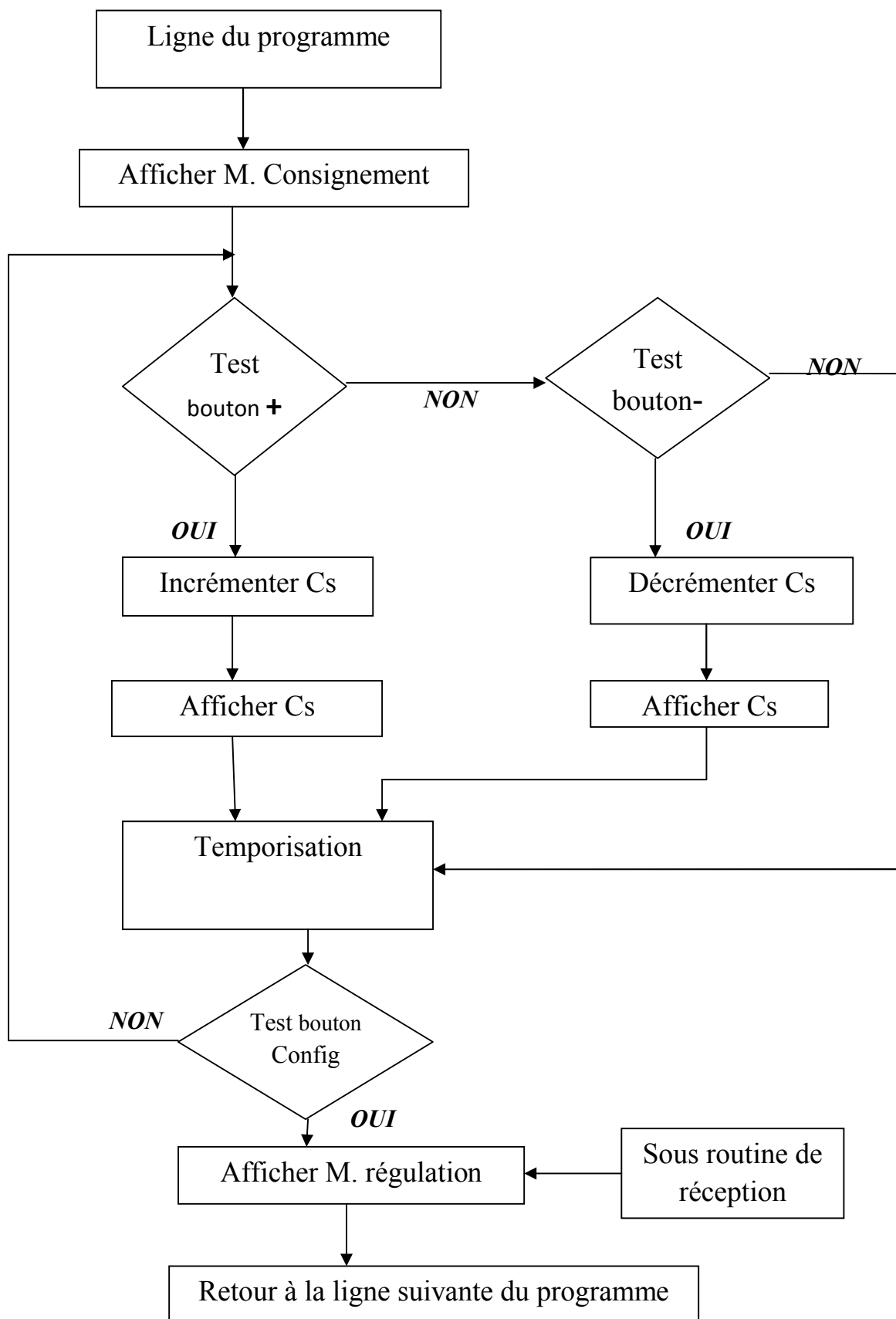


Figure III.54 : Organigramme du sous programme de consignement.

CHAPITRE III : Réalisation Pratique

XX.2. Interface d'acquisition et de commande sous LabView :

Le LabView est un langage de programmation graphique de la firme National Instruments destiné à la mesure, au test, à l'instrumentation et à l'automatisation. Il permet de contrôler et commander un processus physique externe allant du simple capteur à la chaîne de fabrication. Les deux figures suivantes III.55 et III.56 présentent respectivement la face avant et le diagramme du programme.

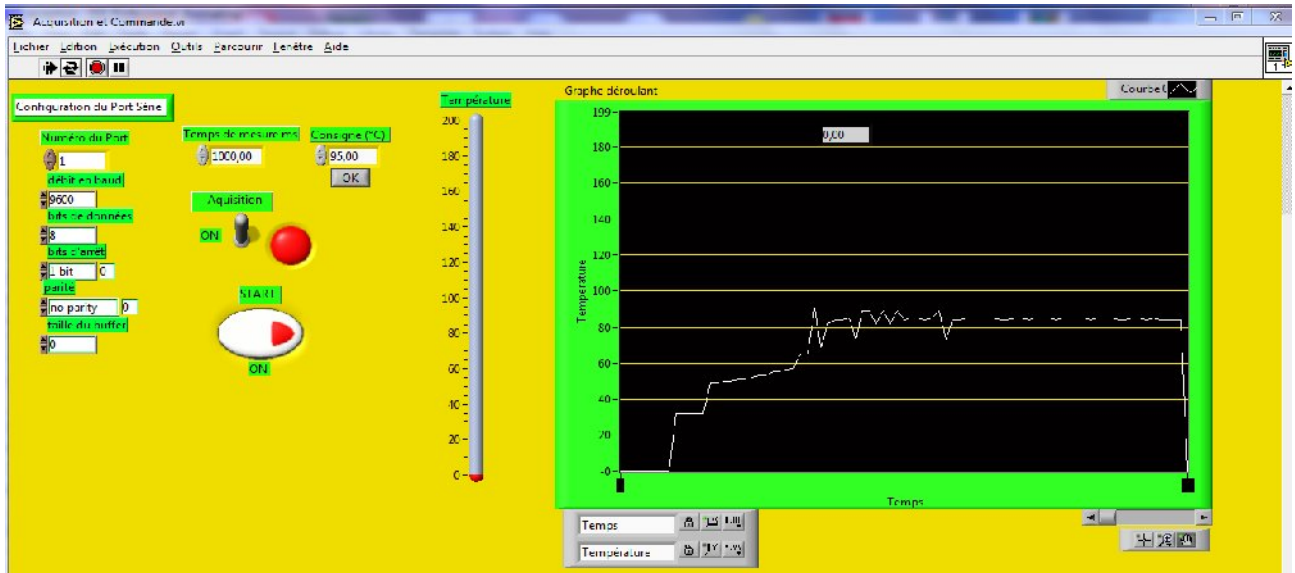


Figure III.55: Vue de l'interface d'acquisition et de commande.

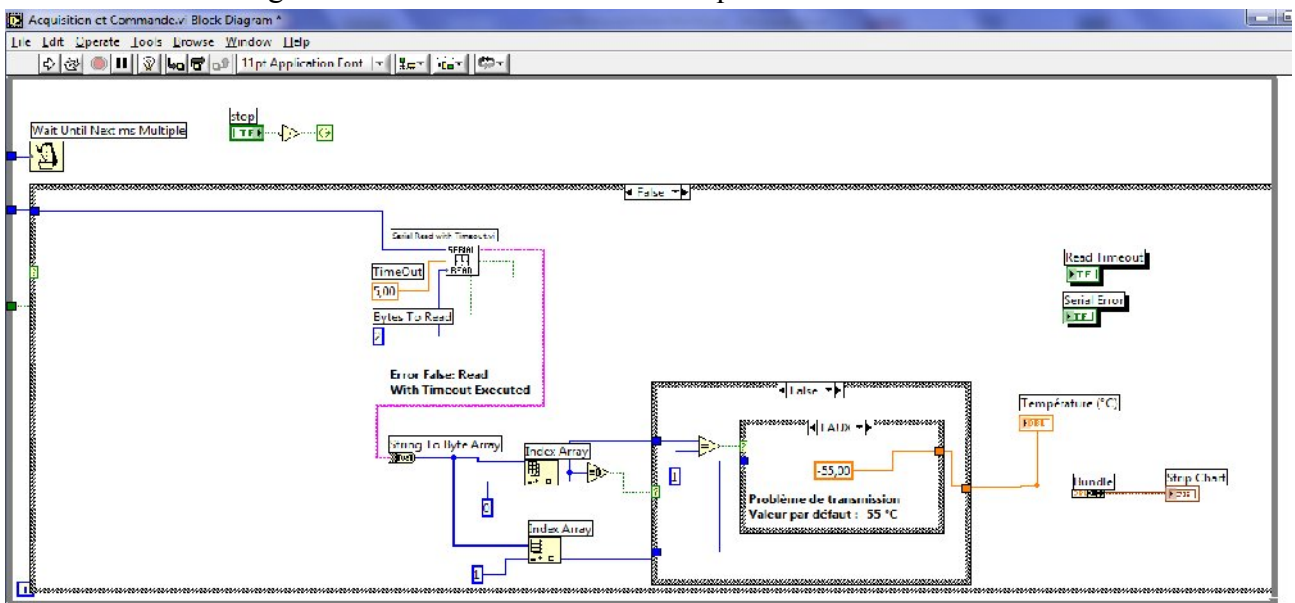


Figure III.56 : Organigramme du programme sous LabView.

XXI. Conclusion :

Dans ce chapitre on a présenté les différents éléments de l'enceinte du capteur à l'actionneur, leurs rôle et fonctionnement et on a procédé à leurs réalisation. La deuxième partie est un rappel sur le PID analogique et définit les méthodes d'extraction des paramètres et enfin la discrétisation en PID numérique, avec un intéfaçage sous LabView pour la communication série via RS232.

Références du Chapitre III

[1] : Contribution à l'évaluation de la technique de génération d'harmonique par faisceau laser pour la mesure des champs électriques dans les circuits (EFISHG) ; Thomas Fernandez : manuscrit de Doctorat, université de BORDEAUX I, 25 Septembre 2009 ; (page 101).

[2] : L'USB ET SA NORME, Matthieu KUHN ; 21/09/02. <http://u.s.b.free.fr>

[3] : Régulateurs PID analogiques et numériques, Alina BESANÇON-VODA et Sylviane GENTIL : N°R 7 416.

[4] : Régulation et Asservissement Numérique- Thierry HANS, YROLLES-Paris 1993.

Conclusion générale :

Dans ce travail nous avons pu concevoir et réaliser une carte de commande PID et TOR. Il est important, de mentionner que cette carte de commande est principalement destinée à la régulation d'un processus thermique.

Elle est parfaitement adaptable pour commander n'importe quel procédé, il suffit juste de modifier la carte de conditionnement du capteur, donner la bonne fréquence pour la PWM et faire une petite modification au niveau du programme selon le besoin, ce qui rend cette carte de commande universelle.

L'utilisation de la commande numérique pour le pilotage des procédés, le régulateur PID en particulier, permet d'affiner la précision et d'augmenter considérablement la fiabilité de ce type de système.

Il est cependant intéressant d'ajouter une horloge pour le système afin de prévoir la possibilité d'une utilisation plus élaborée, de certains procédés.

Aussi l'utilisation d'un mode de communication série entre le microcontrôleur et les autres étages, clavier, afficheur et CNA, avec un multiplexage des entrées de conversion, permettra de piloter plusieurs procédés à la fois, aussi l'ajout d'autre capteurs, permettra d'acquérir plus d'informations sur le procédé, donc un meilleur contrôle du processus.

Comme perspective on peut proposer d'adapter la communication USB au même système ou une commande à distance par l'intégration dans un réseau avec une adresse IP, ou via des modules GSM et WIFI.

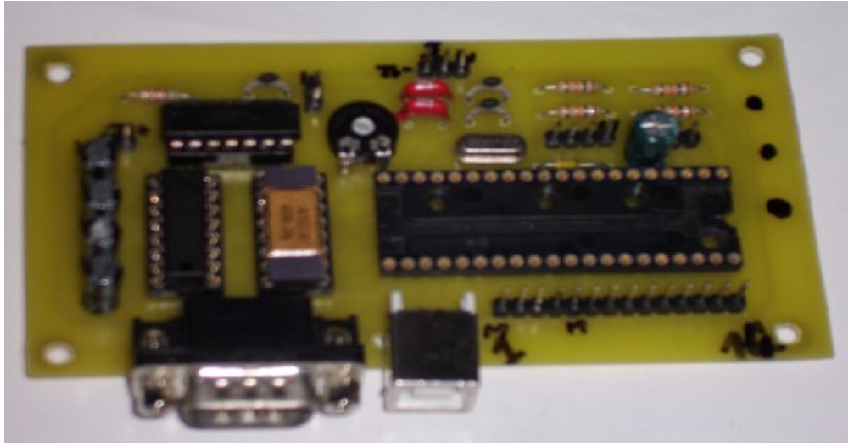


Figure 1 : Photographie de la carte de commande et de communication.

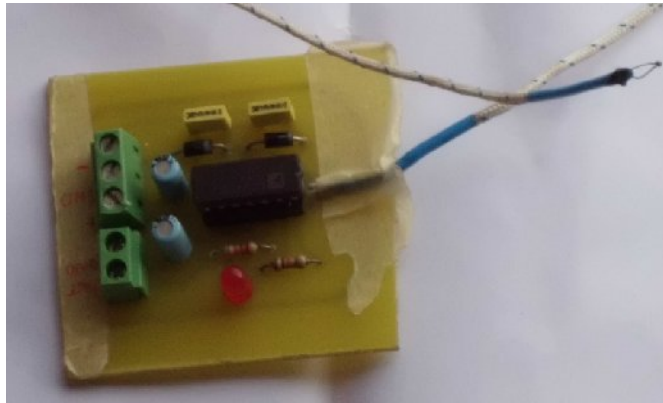


Figure 2 : Photographie de la carte de conditionnement.

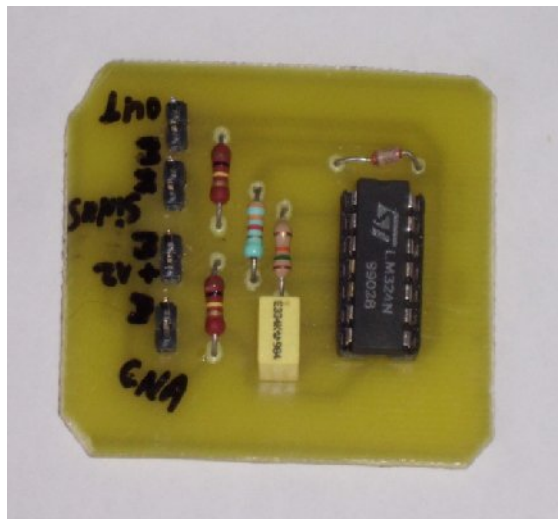


Figure 3 : Photographie de la carte MLI (PWM).



Figure 4 : Photographie de la carte de puissance (le gradateur).



Figure 5 : Photographie de la console (clavier et afficheur).



Figure 6 : Photographie de la carte d'alimentation.

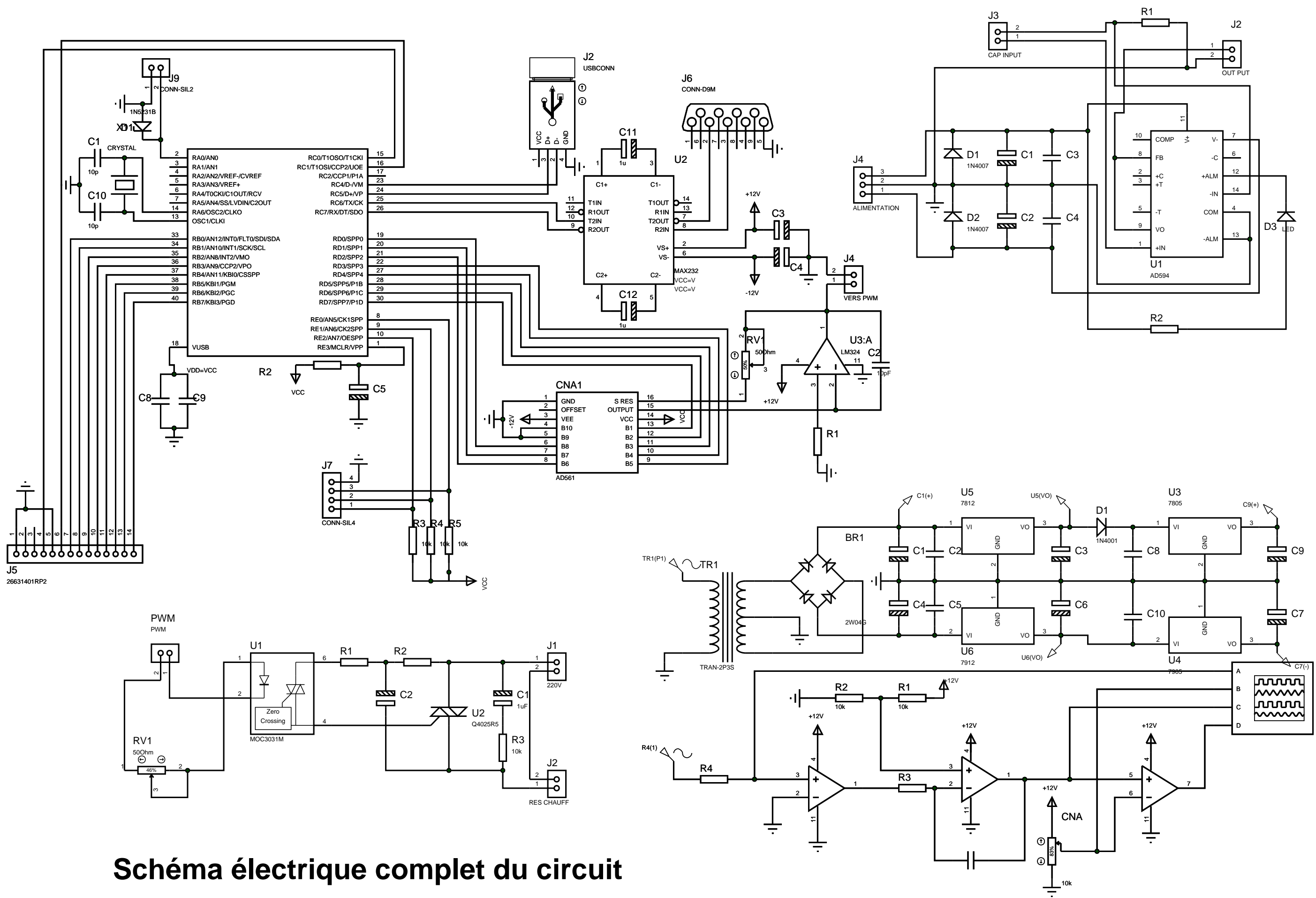


Schéma électrique complet du circuit