

République Algérienne Démocratique et Populaire  
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITE MOULOUD MAMMERI DETIZI-OUZOU



FACULTE DU GENIE ELECTRIQUE ET D'INFORMATIQUE  
DEPARTEMENT D'ELECTRONIQUE

## Mémoire de Fin d'Etudes de MASTER ACADEMIQUE

Domaine : **Sciences et Technologies**  
Filière : **Génie électrique**

Spécialité : **ELECTRONIQUE**

Option : **MICRO-ELECTRONIQUE**

*Présenté par*

OULD CHIKH NADIA  
OULD LHADJ FARID

Thème :

### Étude et modélisation de défauts de chute de tension d'alimentation (IR drop) en technologie CMOS nanométrique.

*Mémoire soutenu publiquement le 04/07/ 2018 devant le jury composé de :*

M <sup>me</sup> Arar Ouiza	MCB Université M. Mammeri, Tizi-Ouzou	Présidente
MmeAIT ABDELMALEK.Ghania	MCB..... Université M. Mammeri, Tizi-Ouzo	Promotrice
Mme Kherchaoui Sonia	MAB..... Université M. Mammeri, Tizi-Ouzo	Examinatrice

## Résumé

Avec l'apparition des technologies nanométriques, de nouveaux défauts dont l'impact sur le fonctionnement des circuits et systèmes était jusqu'à présent négligeable, prennent une grande importance du fait de la réduction des dimensions des transistors. Parmi ces défauts on trouve les fluctuations des tensions de référence (ground bounce), les chutes de tension d'alimentation (IR drop), ou encore les dérives de tension de seuil (Negative Bias Temperature Instability, NBTI). Il est donc nécessaire de considérer l'impact de ce type de défauts comme une contribution supplémentaire à la somme des défauts, et de les prendre en compte dans le cadre de modélisations.

Le sujet de ce mémoire concerne la modélisation de tels défauts paramétriques en technologie CMOS nanométrique en vue de tests statiques ou dynamiques. Ainsi, l'étude pourra commencer par l'observation et l'analyse statique et dynamique de l'impact de tels défauts sur le comportement électrique d'un circuit numérique. L'objectif de ce mémoire est de définir un modèle électrique complet (statique et dynamique) pour l'IR drop. Les modèles ainsi développés pourront ensuite être utilisés afin d'être implantés dans un générateur de vecteur de test (ATPG) et/ou un simulateur de fautes.

**Mots clés** IR-Drop, PDN, modèle de fautes, test, tolérance aux fautes

With the emergence of nanoscale technologies, new defects whose impact on the operation of circuits and systems was until now negligible are of great importance because of the reduction in the size of the transistors. Among these defects are ground bounce voltages, IR drops, or Negative Bias Temperature Instability (NBTI). It is therefore necessary to consider the impact of this type of defects as an additional contribution to the sum of the defects, and to take them into

Account in the framework of modeling.

The subject of this memoir concerns the modeling of such parametric defects in nanoscale CMOS technology for static or dynamic tests. Thus, the study can begin with the observation and static and dynamic analysis of the impact of such defects on the electrical behavior of a digital circuit. The objective of this thesis is to define a complete electric model (static and dynamic) for IR drop. The models thus developed can then be used to be implanted into a test vector generator (ATPG) and / or a fault simulator.

**Key words** IR-Drop, PDN, fault models, testing, fault tolerance.

# Sommaire

<b>INTRODUCTION GENERALE .....</b>	<b>1</b>
<b>1 CHAPITRE 1 : FIABILITE ET DEFAUTS DES CIRCUITS ET SYSTEMES INTEGRES .....</b>	<b>3</b>
1.1 INTRODUCTION.....	3
1.2 FIABILITE ET RENDEMENT DES CIRCUITS INTEGRES VLSI.....	3
1.2.1 <i>Notion de fiabilité</i> .....	3 1.2.2
<i>Notion de rendement</i> .....	5
1.3 NOTIONS DE BASE DU TEST DES CIRCUITS VLSI.....	7
1.3.1 <i>Notion de vecteur de test</i> .....	7 1.3.2
<i>Test fonctionnel</i> .....	8 1.3.3
<i>Test de production</i> .....	8
1.4 MOTIVATION ET COUT DU TEST.....	9 1.5
DEFAUTS ET FAUTES .....	9
1.5.1 <i>Sources de défauts</i> .....	9 1.5.2
<i>Classes de défauts</i> .....	10 1.5.3
1.6.3 <i>Sources de chutes de tension d'alimentation et de masse</i> .....	14
1.6 MODELES DE FAUTES .....	18 1.7
MODELE DE FAUTES CATASTROPHIQUES .....	18
1.7.1 <i>Modèle de court-circuit résistif</i> .....	18 1.7.2
<i>Modèle de circuit-ouvert résistif</i> .....	20 1.7.3
<i>Modèle de fautes de délai</i> .....	21
1.8 CONCLUSION .....	24
<b>2 CHAPITRE 2 : LE DEFAUT IR-DROP DANS LES CIRCUITS INTEGRES .....</b>	<b>24</b>
2.1 INTRODUCTION.....	25
2.2 DEFINITION D'IR-DROP.....	26 2.3
ANALYSE DU BRUIT D'ALIMENTATION .....	27 2.4 LA
TECHNIQUE DE CONCEPTION .....	29 2.5 TEST
DE L'IR-DROP .....	31
2.5.1 <i>Estimation du courant instantané maximum</i> .....	31 2.5.2
<i>Génération de vecteurs de test</i> .....	32 2.5.3
<i>Modèles de fautes de la chute de tension</i> .....	34
2.6 MOTIVATION DU TEST IR-DROP.....	35 2.7
PRINCIPE DE L'ALGORITHME .....	37 2.8
STRUCTURE PHYSIQUE ET ELECTRIQUE DE LA GRILLE.....	41 2.9
CONCLUSION .....	43
<b>3 CHAPITRE 3 : MODELISATION ELECTRIQUE DU PDN .....</b>	<b>3</b>
3.1 INTRODUCTION.....	43
3.2 MODELE ELECTRIQUE POUR LA DISTRIBUTION DE COURANT DANS UNE GRILLE RESISTIVE .....	43
3.2.1 <i>Modèle résistif PDN</i> .....	43 3.2.2
<i>Le facteur de distribution</i> .....	45
3.3 MODELE ELECTRIQUE POUR LA DISTRIBUTION DE COURANT DANS UNE GRILLE RESISTIVE ET CAPACITIVE .....	49
3.3.1 <i>Différents types d'éléments capacitifs</i> .....	50 3.3.2
<i>Analyse des éléments capacitifs</i> .....	50
3.4 CONCLUSION .....	60
<b>CONCLUSION GENERALE .....</b>	<b>61</b>

# Liste des figures

FIGURE 1-1 RELATION ENTRE FIABILITE ET LE TEMPS. ....	4
FIGURE 1-2 ÉVOLUTION DU TAUX DE PANNE EN FONCTION DU TEMPS. ....	5
FIGURE 1-3 VECTEUR DE TEST A UNE SERIE DE PULSATIONS DE DIFFERENTES LARGEURS.....	8
FIGURE 1-4 EXEMPLES DE DEFAUTS DE COURT-CIRCUIT CAUSANT UNE SURCONSOMMATION D'IDDQ [FER98] .....	11
FIGURE 1-5 CIRCUIT LOGIQUE AFFECTE PAR UN COURT-CIRCUIT RESISTIF. ....	11
FIGURE 1-6 EXEMPLE DE CIRCUIT-OUVERT CAUSANT UNE SURCONSOMMATION D'IDDQ. ....	12
FIGURE 1-7 CIRCUIT-OUVERT SUR LA GRILLE D'UN TRANSISTOR.....	13
FIGURE 1-8 COURANT D'ALIMENTATION D'UN CIRCUIT INTEGRE DANS SON APPLICATION.....	14
FIGURE 1-9 DEUX INVERSEURS MOS EN CASCADE.....	15
FIGURE 1-10 SCHEMA ELECTRIQUE DE DEUX INVERSEURS CMOS EN CASCADE .....	16
FIGURE 1-11 UN INVERSEUR CMOS ET SES DIFFERENTES CAPACITES.....	17
FIGURE 1-12 COMPORTEMENT DE DEFAUT COURT-CIRCUIT RESISTIF.....	20
FIGURE 1-13 MODELE DE DEFAUTS DE CIRCUIT-OUVERT RESISTIF.....	21
FIGURE 1-14 FAUTE DE RETARD DE TRANSITION. A-C-E: CHEMIN COURT ET A-D-I-J: CHEMIN LONG [GER09].....	23
FIGURE 2-1 UN APPEL DE COURANT INJECTE DANS UN RESEAU ELECTRIQUE SE DISSIPE RAPIDEMENT DANS LE TEMPS (A) ET L'ESPACE (B) [PAN06].....	27
FIGURE 2-2 STRUCTURE GENERALE DU SIMULATEUR. ....	38
FIGURE 2-3 ALGORITHME DE SIMULATION. ....	39
FIGURE 2-4 SIMULATION EN MODE MIXTE. ....	40
FIGURE 2-5 GEOMETRIE DU PDN.....	42
FIGURE 3-3-1 MODELE RESISTIF DU PDN.....	44
FIGURE 3-2 COURANTS ET NŒUDS DANS LA GRILLE SYMBOLIQUE.....	45
FIGURE 3-3 EXEMPLE DE SIMULATIONS SPICE POUR DETERMINER LE FACTEUR DE DISTRIBUTION.....	46
FIGURE 3-4 FACTEUR DE DISTRIBUTION HORIZONTALE DANS LA GRILLE 100X100 DANS LA ZONE CENTRALE. ....	46
FIGURE 3-5 PRE-CARACTERISATION DE LA GRILLE PDN EN TENANT COMPTE DE L'INFLUENCE DES BLOCS VOISINS.....	48
FIGURE 3-6 RESISTANCE DE GRILLE EQUIVALENTE EN FONCTION DE LA TAILLE DE LA GRILLE ET DE LA VALEUR DE RESISTANCE DE LA GRILLE ELEMENTAIRE [29].....	49
FIGURE 3-7 PDN RESISTIF.....	51
FIGURE 3-8 PDN RESISTIF AVEC UNE SEULE CAPACITE.....	52
FIGURE 3-9 COURANTS ET TENSIONS DANS LE MODELE PDN RESISTIF. ....	53
FIGURE 3-10 COURANTS ET TENSIONS DANS LE MODELE PDN RESISTIF ET CAPACITIF. ....	54
FIGURE 3-11 COURANT AUX BORNES DU CONDENSATEUR ET TENSION DANS LE NŒUD N2.....	55
FIGURE 3-12 COURANT ENTRE CHAQUE ELEMENT ET TENSION DANS CHAQUE NŒUD. ....	56
FIGURE 3-13 PDN RESISTIF ET CAPACITIF AVEC CINQ CONDENSATEURS.....	57
FIGURE 3-14 COURBES DE COURANT ET DE TENSION DE SIMULATION POUR UN PDN A PLUSIEURS CONDENSATEURS. ....	59

## **Introduction générale**

Malgré tous les efforts effectués lors de la conception et de l'utilisation des circuits pour garantir une tension d'alimentation constante dans les différents blocs du circuit, celle-ci va être amenée à fluctuer. Il existe deux types de variations de tension d'alimentation. D'une part, une chute de tension permanente est présente entre l'alimentation et le point à alimenter à cause du côté résistif des conducteurs utilisés pour alimenter les différents transistors du circuit. Ce type de variation est donc qualifié de statique et peut être prise en compte au moment de la conception du circuit. D'autre part, lors des commutations des différents transistors, des appels de courant vont entraîner des chutes de tension aux bornes de ceux-ci à cause du côté inductif et résistif des conducteurs. Il s'agit donc de variations de type dynamique

En effet, à mesure que la technologie évolue dans l'échelle nanométrique, une diminution de la tension réduit considérablement la marge de bruit. D'autre part, la densité de transistors très élevée et la fréquence montante conduisent à un problème de densité de puissance qui nécessite une grande quantité de courant à fournir, ce qui augmente le bruit d'alimentation. Un bruit excessif peut affecter considérablement les performances du circuit et causer des problèmes tels que l'intégrité du signal ou un retard additionnel.

Le bruit de l'alimentation se réfère à une sorte de fluctuations (chute) de la tension d'alimentation et de la masse dues aux courants ( $I$ ) circulant à travers les éléments parasites des réseaux d'alimentation sur puce et d'emballage. Le réseau de distribution d'énergie (PDN) sur puce est principalement résistif et produit principalement du bruit dû à l'IR-Drop, alors que l'interconnexion d'emballage a une inductance parasite plus élevée et donc son bruit est généré par les effets  $L \cdot di / dt$ . Dans ce mémoire, nous nous concentrons uniquement sur les fluctuations de la puissance et de la tension de masse produites par l'IR-Drop.

En conséquence de ces fluctuations, les portes logiques peuvent être alimentées avec VDD inférieur à la normale ou Gnd supérieur à la normale, ou les deux, réduisant le basculement de la porte et se traduisant par des portes logiques avec un retard important.

De plus la sensibilité du retard de la porte au bruit d'alimentation augmente avec la diminution de la technologie.

Ce mémoire est structuré en trois chapitres suivis d'une conclusion générale. Dans le chapitre 1, une description détaillée de test orienté défauts est présentée.

Le chapitre 2, porte sur la définition détaillée du phénomène IR-Drop au niveau de la porte logique et les modèles électriques des paramètres impliqués dans un phénomène IR-Drop au niveau de la porte: courants dynamiques, courants statiques et retards de porte.

Le chapitre 3 traite de la description d'un modèle électrique PDN. Dans un premier temps nous avons modélisé le PDN comme étant une grille résistive, et puis dans un deuxième temps nous avons inclus les éléments capacitifs présents dans le PDN dans la grille résistive. Nous avons analysé l'impact des éléments capacitifs dans la distribution de courant à travers le PDN est analysé et un modèle électrique est proposé pour les trois principaux éléments capacitifs présents dans le PDN, et notamment les condensateurs parasites du PDN physique et les condensateurs de découplage intrinsèques en raison des portes logiques qui ne commutent pas.

***CHAPITRE 1***  
***Fiabilité et défauts des***  
***circuits et systèmes***  
***intégrés***

# **1 Chapitre 1 : Fiabilité et défauts des circuits et systèmes intégrés**

## 1.1 Introduction

À cause de la miniaturisation croissante des procédés de fabrication (90 nm, 65 nm, 45 nm, ...), il est de plus en plus difficile de réaliser un circuit intégré sans aucun défaut de fabrication. Les objectifs de l'industrie des semi-conducteurs sont d'assurer que le composant électronique mis sur le marché donnera satisfaction au client en terme de fonctionnalités et de fiabilité. Par exemple les fabricants d'automobiles exigent zéro défaut dans les composants électroniques. Des exigences similaires sont appliquées pour les systèmes critiques de la vie où la sécurité est le facteur principal pris en compte. Une meilleure qualité de dispositifs électroniques ne peut être obtenue que par des tests approfondis des composants fabriqués. Le test des circuits et systèmes intégrés est une étape fondamentale qui doit veiller à leur bon fonctionnement. De nombreux travaux ont concerné la mise en œuvre de différentes méthodologies pour tester les circuits intégrés. Pour développer une stratégie de test efficace, il est très important de définir des modèles de défaut les plus représentatifs des défauts réels des technologies CMOS actuelles et à venir. L'objectif de ce chapitre est de rappeler les principes de base du test et de la fiabilité des circuits intégrés. Nous présentons les définitions et les propriétés essentielles relatives au test, aux modèles de fautes, ainsi que les classes de défauts dans les technologies actuelles et à venir.

## 1.2 Fiabilité et rendement des circuits intégrés VLSI

Le rendement et la fiabilité sont complémentaires, et cette complémentarité est d'autant plus forte en considérant le rendement et la mortalité infantile qui sont fortement corrélés [Chr03]. En effet, chacun d'eux est affecté par les mêmes défauts tels que les défauts d'oxyde, d'alignement des masques ou des défauts induits par la faiblesse du processus de fabrication comme le dépôt de particules.

### 1.2.1 Notion de fiabilité

La fiabilité « R » est un attribut de la sûreté de fonctionnement [Cou08, Del10, Vil97] et correspond à la probabilité qu'un système accomplisse la fonction pour laquelle il a été conçu, dans des conditions données et pendant une durée donnée. Un indicateur de bonne fiabilité est caractérisé par un MTBF (Mean Time Between Failure, moyenne des temps de bon fonctionnement) le plus long possible. Dans le cas d'un système non réparable, on parlera plutôt de temps moyen avant une défaillance « MTTF : Mean Time To Failure » [Cou08].

L'équation liant la fiabilité d'un système à son taux de défaillance s'écrit :

$$\lambda(t)R(t) + \left(\frac{dR(t)}{dt}\right) = 0$$

Où  $t$  est le temps de mission en heure et  $\lambda$ : le taux de défaillance, égal au nombre de défaillances par le nombre d'heures opérationnelles.

La résolution de cette équation donne

$$R(t) = e^{\left(-\int_0^t \lambda(u) du\right)}, \text{ qui devient :}$$

$$R(t) = e^{-\lambda t} \text{ Dans le cas de la loi exponentielle } (\lambda(t) = \text{constante}).$$

La figure 1.1 montre qu'avec un taux de défaillance constant, la probabilité de fonctionner sans défaillance pour un temps supérieur au MTBF est seulement de 36,78%. En effet, lorsque  $t = \text{MTBF}$ , la fiabilité du circuit chute et devient égale à :

$$R(t) = e^{-\frac{1}{(\text{mtbf})}(\text{mtbf})} = e^{-1} = 36.78 \%$$

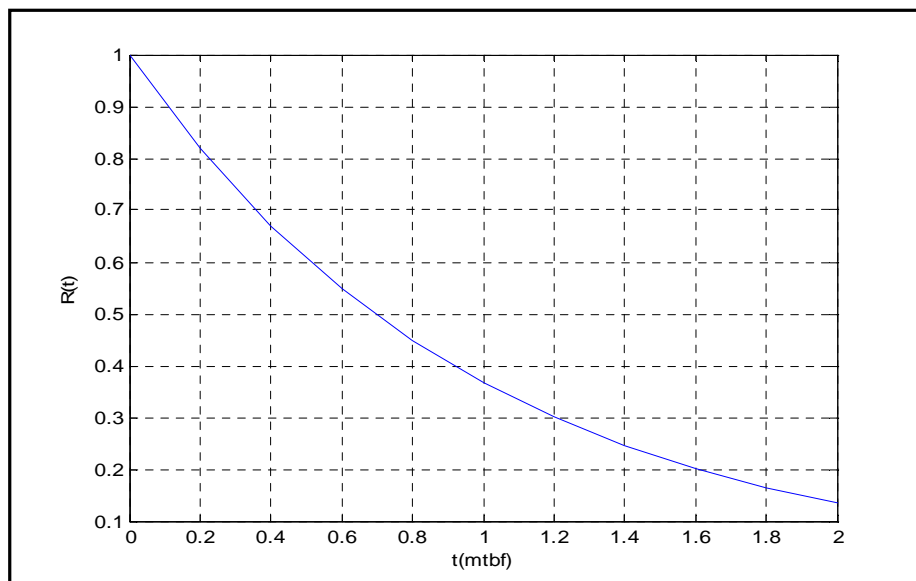


Figure 1-1 Relation entre fiabilité et le temps.

L'évolution du taux de défaillance d'un circuit VLSI durant son cycle de vie suit une courbe dite « en baignoire » représentée sur la figure 1.2. Cette courbe montre 3 phases distinctes :

**Phase 1** : période dite de jeunesse, ou encore de mortalité infantile. Elle se caractérise par un taux de défaillance important mais décroissant. L'occurrence de défaillances durant cette période n'est pas aléatoire au cours du temps mais plutôt le résultat de défauts de conception tels que par exemple des défauts d'isolation de grille. En général, on s'affranchit de l'étude dans cette zone par des tests de déverminage ou rodage.

**Phase 2** : période de vie utile caractérisée par un taux de défaillance faible et relativement constant. Les circuits sont affectés par l'apparition de défauts aléatoires.

**Phase 3** : période dite de vieillesse ou d'usure, caractérisée par un taux de défaillance croissant. L'occurrence de défaillances durant cette période est due à l'usure critique des circuits. Là aussi, on peut s'affranchir de l'étude dans cette zone, car on suppose que le circuit tombe en panne avant d'atteindre cette zone, ou alors il est remplacé avant.

Ceci justifie l'utilisation de la loi exponentielle ( $\lambda$  constante) dans les études de fiabilité.

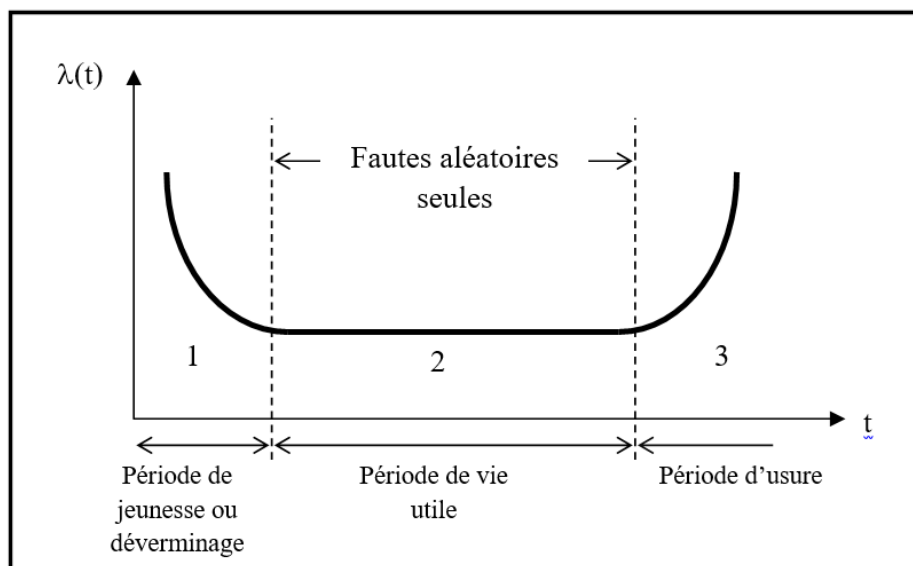


Figure 1-2 Évolution du taux de panne en fonction du temps.

### 1.2.2 Notion de rendement

La qualité du test dépend de la stratégie adoptée et de la technique mise en œuvre pour accomplir les tâches assurant la génération des vecteurs de test et le prélèvement des résultats. L'accomplissement de ces tâches dépend grandement de la possibilité d'accès offerte pour la réalisation de contacts avec les nœuds internes du système sous test. L'accessibilité aux circuits actuels est souvent difficile voire impossible. Il faut donc prendre en compte d'une part, le coût du développement des tests et le coût de leur mise en œuvre et

d'autre part, les coûts entraînés par les produits défectueux non repérés lors des tests. Les tests doivent être mis en œuvre en parallèle avec la conception.

La qualité du test a une influence directe sur la fiabilité des circuits intégrés fabriqués. C'est pour cette raison, qu'il est indispensable d'introduire des métriques qui permettent d'évaluer la qualité du test de ces derniers. Ces métriques sont très utiles aussi bien pour le constructeur dans l'évaluation du test de production que pour le concepteur dans l'évaluation de sa technique de test. Dans le cas des fautes simples et des circuits numériques, le paramètre le plus utilisé est la couverture de fautes  $F$  qui correspond à la probabilité de détection de fautes dans le circuit. Cette probabilité est estimée comme suit :

$$F = \frac{\text{le nombre de fautes détectées}}{\text{le nombre total de fautes}} \quad (1.1)$$

Si on désigne par  $Y$  (Yield) le rendement de production de circuits corrects, par  $T$  l'efficacité des tests, le taux de produits défectueux  $DL$  (Defect Level) non détectés est donné par la relation (1.2), définie pour la première fois par Williams et Brown [Wil81].

$$DL = 1 - Y(1 - T) \quad (1.2)$$

$$DL = 1 - Y^{(1-T)} \Leftrightarrow 1 - T = \frac{\log(1-DL)}{\log(Y)} \quad (1.3)$$

Soient  $n$  le nombre de soudures ou contacts sur une carte et  $P$  la probabilité pour que chacun d'entre eux soit en bon état. La probabilité pour que l'ensemble soit en bon état est donnée par :

$$Y = P^n \quad (1.4)$$

Si les tests vérifient  $m$  contacts parmi les  $n$ , l'efficacité des tests est alors:

$$T = \frac{m}{n} \quad (1.5)$$

La probabilité pour que les  $(n-m)$  contacts restants soient bons vaut  $P^{(n-m)}$  et la probabilité de défaillance s'écrit [Mou00]:

$$DL = 1 - P^{n-m} = 1 - Y^{\frac{(n-m)}{n}} = 1 - Y^{(1-T)} \quad (1.6)$$

### 1.3 Notions de base du test des circuits VLSI

Un circuit intégré est dit performant s'il est apte à réaliser sa fonction voulue avec un niveau de qualité et de fiabilité élevé. Pour garantir cette qualité de bon fonctionnement, il faut tester et vérifier les circuits dès les premières étapes de conception. Une fois la conception validée, les circuits sont envoyés à la production pour en fabriquer des milliers d'échantillons. Pendant l'étape de fabrication dans les salles blanches, des défauts peuvent se produire (par exemple un court-circuit entre deux lignes métalliques parallèles ou entre les deux bornes d'un composant, un circuit-ouvert qui coupe la ligne métallique reliant deux composants etc.). Ces types de défauts rendent le circuit défectueux, d'où la nécessité d'une étape qui suit la fabrication. Cette étape consiste à tester tous les circuits fabriqués pour valider leur fonctionnalité ainsi que leurs spécifications prédéfinies afin de s'assurer que les circuits mis sur le marché donneront satisfaction au client en termes de fonctionnalité et de fiabilité. Parmi les différents types de test, le test de production est couramment utilisé lorsque le circuit fabriqué contient des défauts physiques ou de fabrication et par conséquent ne correspond pas au circuit conçu. Le test fonctionnel permet de détecter une erreur de conception lorsque le circuit conçu ne répond pas aux spécifications du cahier des charges.

#### 1.3.1 Notion de vecteur de test

Le vecteur de test est défini comme étant une série de pulsations. Chaque pulsation  $i$  (figure 1.3) est caractérisée par sa largeur  $PW_i$  et son temps d'échantillonnage  $t_i$ . La sortie du circuit sous test considérée dans le domaine transitoire est sensible à ces paramètres. L'analyse de sensibilité par rapport à ces paramètres est l'une des techniques les plus utilisées pour la génération de vecteurs de test dans la détection des fautes résistives [Var97]. L'algorithme de génération du vecteur de test optimal consiste à trouver le nombre optimal de pulsations, la largeur optimale et le temps d'échantillonnage optimal de chaque pulsation qui permettra la détection des fautes.

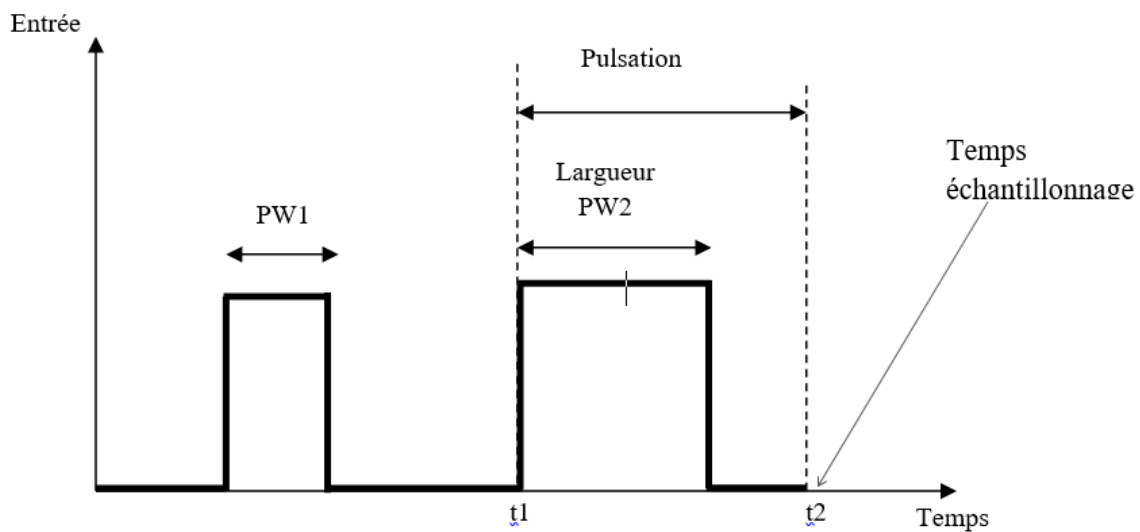


Figure 1-3 Vecteur de test à une série de pulsations de différentes largeurs.

### 1.3.2 Test fonctionnel

L'objectif d'un test fonctionnel est de vérifier toutes les fonctionnalités du circuit vu comme une boîte noire, avant de l'envoyer en fabrication. Il est effectué pour déterminer si le circuit réalise bien toutes les spécifications décrites dans le cahier de charges et faire le diagnostic en cas d'erreurs pour modifier sa conception. Il est couramment utilisé pour les petites puces analogiques et mixtes. Comme la fonctionnalité des circuits numériques devient de plus en plus complexe, il apparaît qu'il est pratiquement impossible de vérifier les fonctionnalités d'une puce, en particulier les composants numériques larges tels que les microprocesseurs. Ainsi, dans les circuits VLSI le test fonctionnel tend à être remplacé par le test structurel [Mac08]. Ce test améliore le taux de couverture de fautes.

### 1.3.3 Test de production

Le but de ce type de test est de déterminer si le circuit fabriqué ne contient pas de défauts de fabrication et de séparer les circuits défectueux des circuits fonctionnels. Avec un tel test, les circuits défectueux ne peuvent pas être réparés, ils seront écartés. Cependant le diagnostic s'effectue dans le but d'améliorer le rendement de la chaîne de fabrication. Le test de production comprend trois types de test :

Le test alternatif, utilisé pour les circuits analogiques, mixtes et radiofréquences RF.

Le test structurel (test logique), le circuit est vu comme une boîte blanche. Ce test est largement adopté pour le test des circuits numériques basé sur les modèles de fautes. Il permet d'utiliser un ensemble optimal de vecteurs de test et nécessite un minimum de temps de test, et par conséquent réduit efficacement le coût du test.

Le test paramétrique ou de caractérisation sur plusieurs lots de circuits et prototypes pour déterminer les limites de fonctionnement du circuit. Ce type de test s'effectue à chaque nouvelle conception ou nouveau processus de fabrication sous différentes conditions.

#### 1.4 Motivation et coût du test

Les différentes étapes de fabrication des circuits intégrés sont très complexes, et par conséquent des défauts dus aux procédés de fabrication, aux matériaux, ou introduits lors de l'encapsulation dans le boîtier peuvent survenir. Une meilleure qualité de circuits électroniques ne peut être obtenue que par des tests approfondis des composants fabriqués. Au niveau du coût, ces tests suivent la règle de dix (10). Plus un défaut est détecté tôt dans le processus de fabrication, moins le coût qu'il va induire est élevé. En effet, si un circuit intégré est détecté défectueux, le coût du boîtier, de son intégration dans un système et ensuite de la localisation de l'erreur dans ce système sont évités. La figure 1.4 présente le coût d'un défaut en fonction du moment où il est repéré.

#### 1.5 Défauts et fautes

Les défauts sont des pannes physiques qui affectent le layout d'un circuit [Kho07]. L'impact des défauts sur les caractéristiques électriques d'un circuit intégré déviant au-delà des valeurs spécifiées est appelée faute [Alb04, Eng00]. La présence d'un défaut dans un circuit ne conduit pas forcément à l'apparition d'une faute. En d'autres termes, le bon fonctionnement du circuit est assuré malgré la présence du défaut. Les défauts de fabrication qui peuvent avoir lieu dans un procédé CMOS sont dus à diverses sources.

##### 1.5.1 Sources de défauts

Le procédé de fabrication est généralement la cause principale de la présence des fautes, que ce soit après fabrication ou bien après une durée de vie du circuit. Les fautes peuvent être aussi provoquées par le design et sont censés être corrigées après la vérification des prototypes. Les sources qui peuvent être à l'origine de l'apparition de certains défauts sont [Kho07, Mil92(31)]:

a. Les erreurs humaines

- Une partie d'un métal peut être discontinu provoquant un circuit ouvert.
- Les dopants peuvent ne pas être diffusés avec la bonne concentration (non uniformité) ou aux zones appropriées altérant ainsi les caractéristiques des dispositifs ;
- Mauvais alignement des masques ou contamination de ces derniers avec des particules de poussières, cheveux ...etc.
- Équipement défectueux

- b. L'instabilité dans les conditions du processus, en termes de changement de valeurs de n'importe quelle variable physique supposée constante.
  - c. L'instabilité du matériel, qui se rapporte à de petites variations dans les compositions chimiques utilisée dans la ligne du processus, comme par exemple, la contamination chimique venant des résidus d'un autre processus.
- 
- d. Les points lithographiques, causés par des poussières dans les régions transparentes ou les rayures dans les régions opaques.
    - Les contacts et les via résistifs
    - Deux fils métalliques séparés pouvant être court-circuités;
    - Les défauts d'oxyde de grille et les défauts dans les couches d'interconnexions.

### 1.5.2 Classes de défauts

Selon la surface atteinte par le mécanisme de défaillance, on distingue deux classes de défauts [Alb04, Eng00, Hue93, Mil98, Sun99] : les défauts globaux et les défauts locaux. Ces derniers peuvent causer des fautes structurelles et paramétriques. Parmi les fautes structurelles on trouve les fautes catastrophiques et les fautes paramétriques. Les fautes catastrophiques engendrent la déviation de toutes les spécifications et font que le circuit ne fonctionne pas. L'ensemble des fautes catastrophiques inclut les circuits-ouverts, les courts circuits. Par contre, les fautes paramétriques causent seulement la déviation des paramètres en dehors des spécifications sans changer la topologie du circuit.

#### 1.5.2.1 Défaut de court-circuit

Les défauts de court-circuit comprennent tous les défauts et les mécanismes de défaillance qui provoquent des connexions électriques non souhaitées entre deux ou plusieurs nœuds du circuit. Les travaux de Hawkins et al [Haw94] ont démontré que les courts-circuits ont des propriétés I-V non linéaires ou linéaires (résistives) avec une résistance de près de zéro à  $> 1$  Mohm. Les défauts de court-circuit non linéaires comprennent les courts circuits de l'oxyde de grille (fig 1.4. a) et les courts circuits entre poly-silicium et oxyde de grille (fig. 1.4. b). Les courts circuits résistifs se produisent dans les motifs défectueux des circuits intégrés qui laissent des ponts de métal ou de poly-silicium (fig 1.4 b), dans une contamination ionique mobile, qui peut être concentrée dans une région particulière du circuit quand il est déformé, et dans certaines formes de court-circuit de l'oxyde de grille

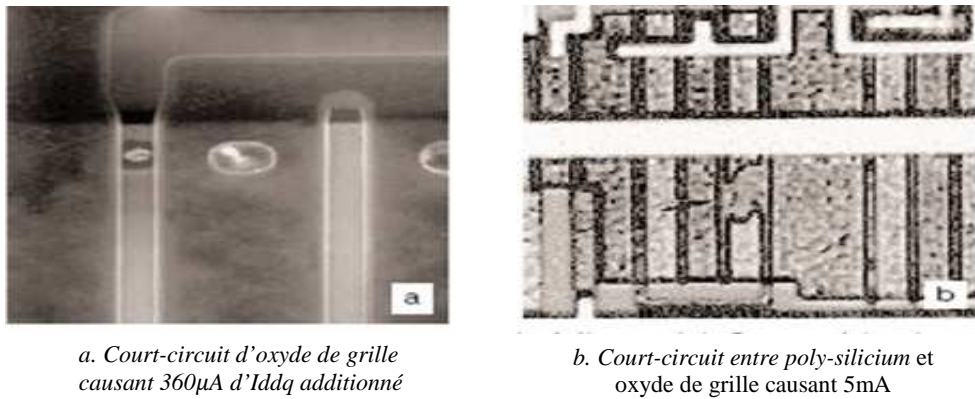


Figure 1-4 Exemples de défauts de court-circuit causant une surconsommation d'IDDQ [Fer98]

La résistance du défaut de court-circuit est le facteur prédominant dans les techniques de détection. Il existe une fonctionnalité booléenne correcte pour le signal du nœud affecté par un défaut de court-circuit lorsque le défaut dépasse une résistance critique. Cette résistance peut se situer dans une gamme allant de 10 Ohms à environ 5 KOhms [Haw94]. Il existe plusieurs classes de défauts de court-circuit : court-circuit entre les nœuds du transistor (grille, drain et source), court-circuit à l'intérieur d'une porte logique et court-circuit entre deux portes logiques. La figure 1.5 représente un exemple de court-circuit entre deux portes logiques. Les méthodes de test en tension et en courant sont utilisées pour la détection du défaut de court-circuit résistif.

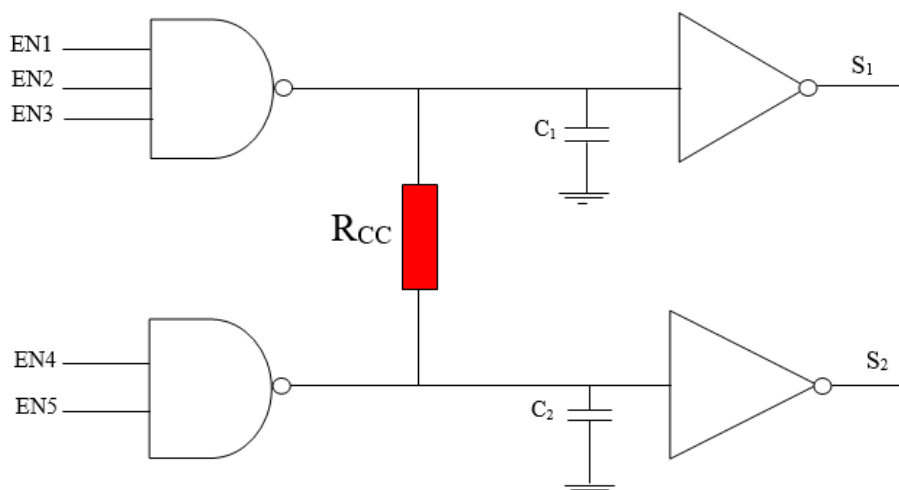


Figure 1-5 Circuit logique affecté par un court-circuit résistif.

### 1.5.2.2 Défaut de circuit-ouvert

Les défauts de circuits ouverts sont des discontinuités électriques involontaires. Ils provoquent des comportements qui peuvent être difficiles à prévoir. Ces défauts comprennent des fils minces, des contacts mal formés (via), des fissures dans les siliciures, des contacts absents souvent causés par une gravure incorrecte, des trous d'oxyde, des vides dans les lignes métalliques (Figure 1.6) ou le poly-silicium résultant des spots lithographiques.

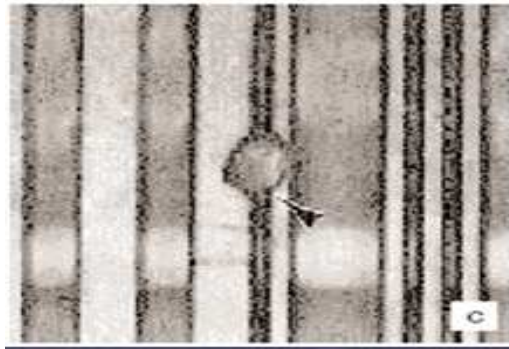


Figure 1-6 Exemple de circuit-ouvert causant une surconsommation d'IDDQ.

Les propriétés du défaut de circuit-ouvert dépendent principalement de la taille du défaut, de l'emplacement du défaut, de la structure locale électrique et de la variabilité du processus de fabrication. La figure 1.7 montre l'effet de l'emplacement du défaut lorsque le circuit-ouvert est dans la grille d'un seul transistor. Champa et al [Cha94] ont analysé ce défaut avec une puce de test. Un circuit-ouvert dans un seul transistor permet une forte capacité de couplage entre le drain, la grille et la source. Il est à noter que le circuit-ouvert sur un seul transistor de la figure 1.7 induit une augmentation du courant IDDQ et est à 100 % détectable par la méthode de test IDDQ. Le test en courant IDDQ est basé sur la mesure du courant d'alimentation du circuit. Cependant, le circuit-ouvert sur le drain et le circuit-ouvert sur la source ont une probabilité de détection plutôt faible en utilisant des tests IDDQ.

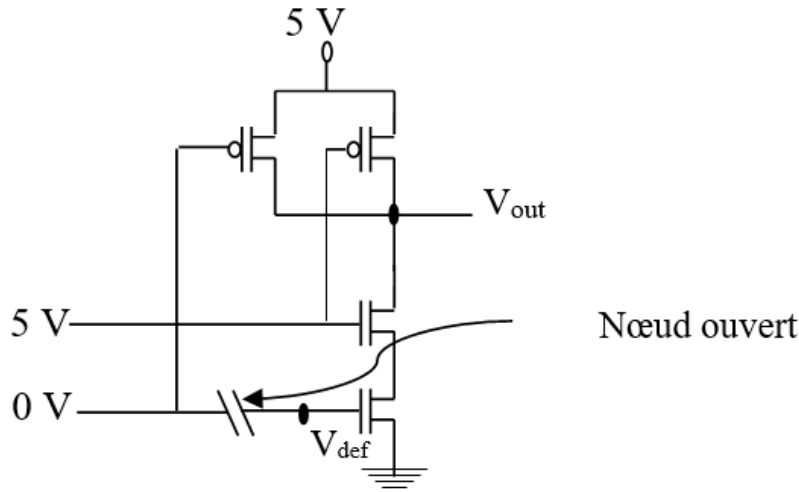


Figure 1-7 Circuit-ouvert sur la grille d'un transistor.

### 1.5.2.3 Défaut de retard paramétrique

Cette classe de défaut définit des défauts de retard qui ne sont généralement ni dans la catégorie des courts-circuits ni dans celle des circuits ouverts, bien que de nombreux défauts de circuit-ouvert ou de court-circuit entraînent des retards. Les défauts entraînent des retards dans les circuits intégrés CMOS de deux façons : l'affaiblissement des niveaux logiques, la modification des paramètres des chemins de transmission de signaux.

### 1.5.2.4 Défaut de Chutes d'alimentation et de masse

Les chutes d'alimentation et de masse ont été identifiées comme étant une des principales sources de bruit d'alimentation. Avec les circuits intégrés qui deviennent de plus en plus complexes, et par conséquent une consommation de plus en plus importante nécessite de prendre en compte lors de la phase de conception les phénomènes liés à l'alimentation des circuits numériques. En effet, les composants parasites des lignes d'alimentation forment avec l'impédance du cœur digital des réseaux 'RLC', dont les oscillations sont entretenues par les pics de courant régulièrement 'appelés' par les portes logiques de l'ensemble numérique. Un système complet peut donc être caractérisé par une ou des fréquences de résonance, qui seront les fréquences principales perturbantes. Ces fréquences peuvent causer le dysfonctionnement du circuit. En effet, si les sauts ou les chutes d'alimentation sont trop importants, il se peut que le circuit numérique ne fonctionne plus, car étant sous-alimenté durant un période due aux oscillations naturelles de l'alimentation. Ce point est repris plus en détail dans le deuxième chapitre de ce mémoire.

Plusieurs mécanismes, de nature différente, peuvent créer des chutes d'alimentation et de masse susceptibles de propager du bruit dans le substrat d'un circuit intégré. Une bonne

compréhension de ces mécanismes devrait permettre de les modéliser d'une manière optimale et ainsi de les prendre en compte pour circuits intégrés à venir. La circuiterie digitale est la cause principale de perturbations dans la totalité des circuits mixtes actuels. Nous décrirons donc principalement le bruit généré par des composants de type CMOS, la base de circuits logiques actuels.

### 1.5.3 Sources de chutes de tension d'alimentation et de masse

Les différentes lignes d'alimentation d'un circuit électronique ne sont pas idéales, et induisent, surtout à l'échelle submicronique, des éléments parasites, susceptibles de perturber l'apport de courant aux différents transistors du circuit. Ces éléments parasites, telles des résistances, inductances et capacités, impliquent lors des commutations internes du circuit, des sauts et chutes de tension des alimentations et masses. Ces perturbations sont transmises dans le substrat via les différentes structures de polarisation substrat de ce circuit.

#### 1.5.3.1 Les lignes d'alimentation

Avant de parvenir au cœur même d'un circuit, le courant d'alimentation doit parcourir plusieurs structures, qui sont autant d'obstacles à son passage. Pour une application classique électronique, le courant doit traverser les lignes d'alimentation du circuit imprimé et leurs composants passifs et actifs (capacité, résistance, inductance, régulateurs de tension ...), les pistes métalliques du boîtier du circuit, et les fils de connexion entre le boîtier et le silicium et les interconnexions métalliques sur le silicium. La Figure 1.8 montre un chemin depuis l'alimentation VDD (en rouge) et la masse Gnd (en bleu), que doit emprunter le courant d'alimentation d'un circuit intégré. On voit bien que chacune de ces structures implique des éléments parasites. Principalement, ce sont des inductances, mutuelles et propres, des capacités et des résistances sur ces lignes. Ainsi, afin de prédire le comportement de l'alimentation d'un circuit intégré, il devient nécessaire de prendre en compte tout ou partie de ces éléments, selon le degré de précision voulu.

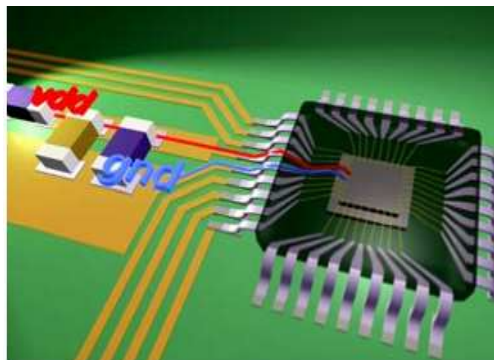


Figure 1-8 courant d'alimentation d'un circuit intégré dans son application.

### 1.5.3.2 L'impédance du cœur du circuit

Un circuit intégré présente aux bornes de son alimentation une impédance, susceptible d'interagir avec l'impédance de l'alimentation. Cette impédance est en fait la mise en parallèle des impédances de chacun des composants élémentaires du circuit, si l'on considère que tous sont connectés au même point d'alimentation. Dans le cas d'un circuit digital, essentiellement constitué de MOS de type N et P, cette impédance est largement capacitive dans le domaine de fréquence courant des circuits numériques, à savoir 1 MHz-1 GHz [6]. En dessous de 1 MHz, il faut prendre en compte les courants de fuite entre l'alimentation et la masse qui peuvent être modélisés par une résistance en parallèle avec la capacité de cœur. Cette résistance est principalement due à la mise en parallèle de toutes les résistances des canaux des MOS en parallèle. Si individuellement, ces résistances sont fortes, la mise en parallèle de celles-ci peut aboutir à une résistance dont l'impact est non négligeable. Une partie élémentaire d'un circuit digital, un inverseur, ou plutôt une chaîne de deux inverseurs en cascade est considérée et illustrée par la Figure 1.9.

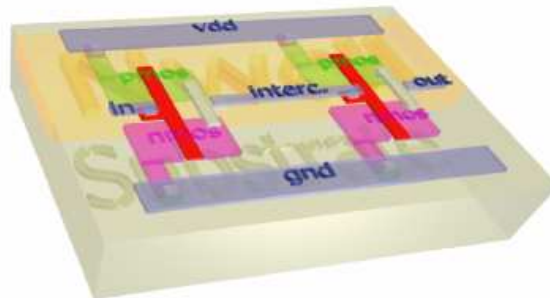


Figure 1-9 Deux inverseurs MOS en cascade

À cette structure physique, correspond le schéma électrique, donné par la Figure 1.10. Les impédances ayant les valeurs les plus significatives ont été ajoutées à ce schéma électrique.

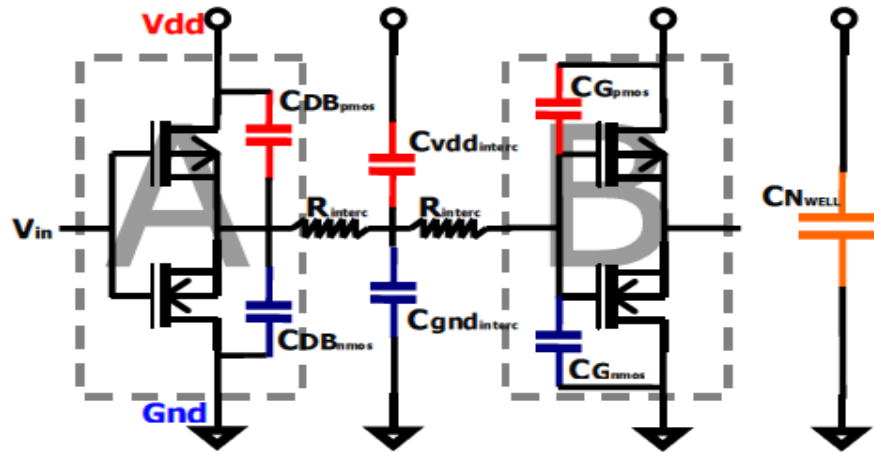


Figure 1-10 Schéma électrique de deux inverseurs CMOS en cascade

Lorsque l'on applique une tension nulle à l'entrée de l'inverseur A, le NMOS de celui-ci est bloqué, son canal est fortement résistif. Le PMOS lui est passant, son canal est faiblement résistif. L'alimentation du système voit donc l'entrée de l'inverseur suivant, soit une capacité NMOS et une PMOS, mais aussi l'interconnexion métallique entre les deux inverseurs, que l'on peut assimiler à un réseau RC [Pant06]. Il faut ajouter à cela l'ensemble des capacités et résistances parasites des PMOS et NMOS de l'inverseur A :

- Capacité/conductance drain/substrat (CDB),
- Capacité/conductance source/substrat,
- Capacité/conductance source/drain,
- Capacité/conductance grille/source (CG),
- Capacité/conductance grille/drain,
- Capacité/conductance grille/substrat.

Tous ces composants parasites sont pris en compte dans les modèles MOS classiques de simulation SPICE tel que le Philips MM9 [Gup06]. Lorsque la tension en entrée de l'inverseur A devient positive, le PMOS ne conduit plus le courant, alors que le NMOS devient conducteur. D'autres éléments parasites, dus cette fois-ci au NMOS, sont appliqués à la masse du circuit. Ainsi, l'impédance équivalente aux bornes d'une porte logique varie en fonction de son état logique interne, suivant le ratio de PMOS et NMOS commutés [Tir04]. Un autre élément parasite est la capacité de la diode polarisée en inverse que forment les caissons dopés N d'isolation des PMOS avec le substrat P. Pour un circuit numérique complet, les caissons de type N de toutes les portes logiques forment un caisson commun qui n'est rien d'autre qu'une grande jonction PN polarisée en inverse entre la masse et l'alimentation du bloc numérique.

### 1.5.3.3 Le courant de fonctionnement

Le problème que pose le bruit d'alimentation, c'est son aspect dynamique. Cette dynamique perturbante est liée à l'activité du circuit, qu'il soit numérique ou analogique. Une circuiterie numérique a une activité régulière, cadencée par une horloge, et des transitions entre 0 et 1. Cet activité implique des courants consommés, dans la plupart des cas, très variables, et donc source de perturbations beaucoup plus gênantes qu'un circuit analogique. On peut assimiler un circuit logique à une chaîne d'inverseurs, de tailles différentes. En effet, le fonctionnement des portes logiques peut se ramener, de façon plus ou moins directe, à une combinaison d'inverseurs. Chaque inverseur, lors de sa commutation, 'appelle' un pic de courant, fonction de sa taille et de la capacité qu'il doit charger. Pour un modèle simplifié d'inverseur, il est aisé d'évaluer la forme du courant absorbé par ses transistors.

On considère l'inverseur de la Figure 1.11, les tailles des grilles du PMOS Mp et du NMOS Mn étant respectivement données par les longueurs et largeurs de grille IPMOS, WPMOS, INMOS et WNMOS, les paramètres  $\mu_n$ ,  $\mu_p$ ,  $C_{oxn}$ ,  $C_{oxp}$ ,  $V_{thn}$  et  $V_{thp}$  sont des données propres à une technologie. Cdb1 et Cdb2 sont les capacités que forme l'interconnexion métallique de sortie avec la masse et l'alimentation de l'inverseur.

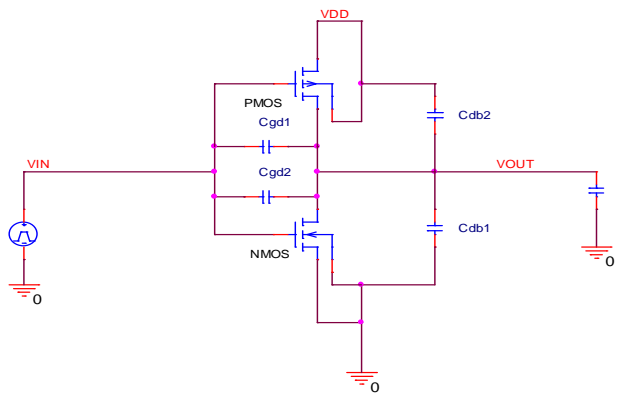


Figure 1-11 Un inverseur CMOS et ses différentes capacités.

À partir des équations classiques de fonctionnement d'un MOS, en régimes triode et de saturation données ci- dessous [khoulas] :

$$\text{Régime résistif pour } V_{DS} > V_{GS} - V_T : ID = \mu_p C_{OX} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

$$\text{Régime saturé pour } V_{DS} \leq V_{GS} - V_T : ID = \frac{1}{2} \mu_p C_{OX} \frac{W}{L} (V_{GS} - V_T)^2$$

## 1.6 Modèles de fautes

Les modèles de fautes sont des circuits qui représentent le comportement électrique d'un défaut réel durant une simulation. Pour développer une stratégie de test efficace en termes d'outils de simulation de fautes, de génération de vecteurs de test, ou de diagnostic, des modèles de fautes représentatifs des défauts réels sont nécessaires. L'obtention d'un taux de couverture de 100 %, se fait en fonction de la représentativité du modèle de fautes utilisé. Plus le modèle de fautes est représentatif de la majorité des défauts physiques, plus il y aura de défauts détectés. De manière générale, les modèles de fautes des circuits numériques supposent que si la faute existe alors elle est unique (faute simple). Les fautes catastrophiques peuvent facilement être détectées par un simple test statique ou un test en courant IDDQ [Har95]. Par contre, les fautes paramétriques produisent des déviations des paramètres de sortie du circuit et ces déviations peuvent être plus au moins grandes selon le paramètre du circuit considéré. En effet, il ne suffit pas de trouver les largeurs des pulsations des vecteurs de test qui activent la faute, il faut aussi trouver les meilleurs paramètres, comme par exemple les paramètres technologiques des transistors utilisés ( $w_i^n, L_i^n, w_i^p, L_i^p$ ), qui permettent d'avoir une déviation en sortie du circuit en dehors de l'intervalle de tolérance acceptable.

## 1.7 Modèle de fautes catastrophiques

La définition des fautes catastrophiques diffère d'un auteur à un autre. Pour certain auteur, les fautes catastrophiques sont des fautes qui correspondent à des défauts de fabrication ponctuels et aléatoires (spot defect), celles qui résultent d'une particule de poussière sur un masque photo-lithographique entraînant des déformations locales comme les courts-circuits et les circuits-ouverts. En revanche, pour d'autres auteurs les fautes catastrophiques sont des fautes qui engendrent un fonctionnement du circuit complètement différent du fonctionnement normal, même si l'origine de la faute n'est qu'une variation d'un paramètre du circuit. Dans le cadre de ce travail, nous avons adopté la première définition, et nous nous sommes essentiellement intéressés aux modèles de fautes catastrophiques les plus utilisés : le court-circuit résistif et le circuit ouvert.

### 1.7.1 Modèle de court-circuit résistif

Montanes et al [Mon92] ont constaté que la plupart des courts circuits représentent une résistance significative entre les nœuds défectueux. Le modèle de défaut de court-circuit résistif insère une résistance entre les nœuds défailants pour modéliser le court-circuit de

façon plus réaliste. Lorsque la résistance augmente, l'impact du défaut est plus faible. Ainsi, des tensions intermédiaires sont au niveau des deux lignes défectueuses comme le montre la figure 1.12.  $V_1$  et  $V_0$  auront la même valeur dans le cas des courts circuits présentant une résistance nulle. Lorsque la résistance du court-circuit augmente à l'infini, aucune valeur défectueuse n'est générée. L'ensemble des modèles de courts-circuits étudié nécessite aussi d'avoir des valeurs logiques qui soient opposées entre les deux lignes court-circuitées. Ainsi, les tests appliqués se basant sur les modèles de défauts traditionnels (un ET logique, un OU logique) ne peuvent pas garantir la détection des défauts de court-circuit résistif. Pour cette raison, Yamazaki [Yam96], Sar-Dessai et Walker [Sar98, Sar99] ont développé de nouvelles stratégies pour la détection de défaut de court-circuit résistif. Le test IDDQ que nous avons cité précédemment est une option pour détecter le défaut de court-circuit résistif. En présence de défaut de court-circuit, IDDQ causé par ce défaut varie en fonction de la résistance du court-circuit et dépend du nombre de transistors inclus dans le chemin Vdd à Vss. Il est à noter que si la limite de courant utilisé pour distinguer entre un IDDQ défectueux et un IDDQ sans défaut est trop élevée, certains défauts peuvent ne pas être détectés. Par contre, si la limite de courant est basse, un circuit sans défaut sera incorrectement identifié comme étant défectueux. Par conséquent, un réglage précis de la limite actuelle est crucial pour rendre le test IDDQ plus performant. Yamazaki et Miura [Yam99] ont étudié la testabilité du courant IDDQ pour les défauts de court-circuit dans une variété de bascules. Ils ont utilisé une limite de courant statique qui est dérivée des valeurs de résistance de court-circuit, des facteurs de gain pour les transistors MOS, de la tension d'alimentation, des tensions de seuil et de la tension de grille-source. Il est clair que la limite actuelle dépend des valeurs de résistance des courts-circuits. Cependant, la résistance de court-circuit est un paramètre inconnu qui varie en fonction de la technologie, de la matière et de la gravité des défauts. Par conséquent, la limite de courant est un paramètre dynamique. L'analyse expérimentale peut aider à définir plus précisément la limite du courant. Le défaut de court-circuit résistif peut également conduire aux fautes de délais. En effet, Metra et al [Met93] ont identifié certains défauts produisant de petits retards de transition qui ne peuvent pas être détectés par un test logique ou un test IDDQ.

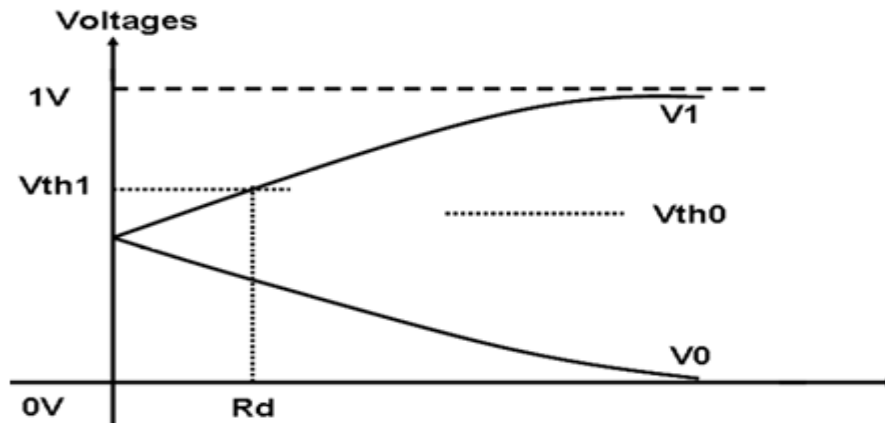


Figure 1-12 Comportement de défaut court-circuit résistif.

### 1.7.2 Modèle de circuit-ouvert résistif

Un défaut de circuit-ouvert se définit comme étant une imparfaite connexion de circuit qui peut être modélisé comme une résistance entre deux nœuds de circuit qui doivent être connectés [Jam01]. Le modèle de circuit-ouvert permet de détecter des défauts physiques qui ne sont pas détectés par le modèle des collages et de tester les fautes par des séquences de test du modèle des collages. Des recherches ont classé le circuit-ouvert en forte ouverture ( $> 10 \text{ M}\Omega$ ) et en faible ouverture ( $\leq 10 \text{ M}\Omega$ ) [Rod02]. Les fortes ouvertures causent les fautes de collage (stuck-at) qui peuvent être détectées par le modèle de collage. Les faibles ouvertures engendrent les fautes de délais. Ces fautes ne peuvent pas être détectées par les modèles traditionnels de collage [Haw94] [Moo00]. Rodriguez-Montanes et Gyvez [Mon02] ont montré que dans la technologie moderne submicronique, le pourcentage des ouvertures faibles est largement élevé. La figure 1.13 montre une ligne défectueuse qui peut être modélisée par un circuit-ouvert résistif (RCO). Le comportement du circuit dépend de la valeur de la résistance du défaut de circuit ouvert.

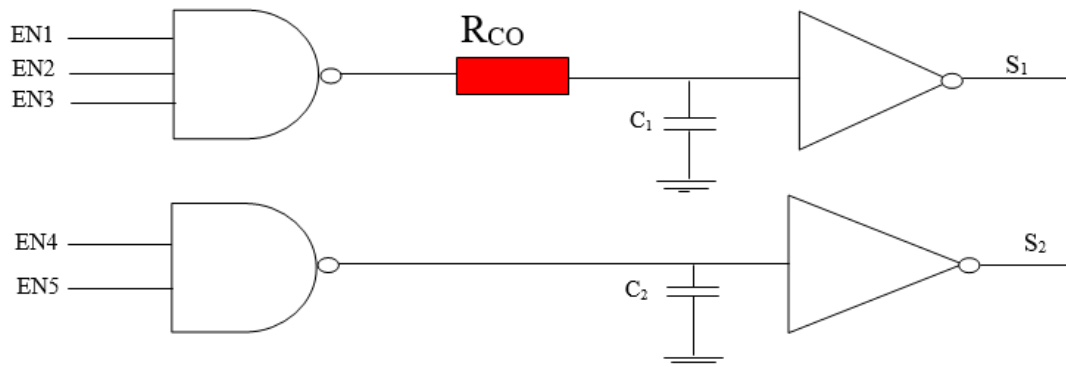


Figure 1-13 Modèle de défauts de circuit-ouvert résistif.

Au fur et à mesure que la résistance diminue, le circuit défectueux aura le même comportement que celui d'un circuit sans défaut et la déconnexion n'est qu'une faible ouverture. Lorsque la résistance du circuit-ouvert augmente à l'infini, l'impact électrique du défaut est plus significatif et la déconnexion est complètement ouverte. Là aussi il existe une certaine valeur de la résistance, appelée valeur critique  $RC$ , à partir de laquelle une valeur logique défectueuse est produite et le comportement du circuit devient fautif. Le test de ce type de défaut se base sur la détermination d'un plus large intervalle de résistances pour lequel le circuit-ouvert est détecté et n'est pas toléré par le circuit. Cet intervalle de résistance pour lequel la valeur logique en sortie du circuit est fautive correspondant à l'intervalle  $[RC, \infty [$ , est appelé l'intervalle de détection  $DI$  et l'intervalle de résistance  $[0, RC [$  est appelé l'intervalle de tolérance de circuit ouvert.

Le test en retard peut être utilisé pour détecter des défauts de circuits- ouverts résistifs qui créent des pannes temporelles à l'origine du mauvais fonctionnement d'un circuit à des fréquences élevées. Les travaux de Li et al [Li03] ont montré que le délai augmente presque linéairement avec la résistance de circuit ouvert. Le test en retard se fait en utilisant l'un des nombreux modèles de fautes de délai. Ces derniers ont été utilisés pour la première fois par Breuer [Bre74] afin de modéliser l'effet des défauts résistifs (court-circuit ou circuit-ouvert).

### 1.7.3 Modèle de fautes de délai

Dans le cas des fautes de délai, le défaut physique se traduit par un rallongement du temps de réponse du circuit [Bre74]. En effet, la réduction des dimensions des transistors induit celle de la section des interconnexions métalliques qui les lient entre eux ou à leur

environnement. Ces interconnexions, séparées les unes des autres par des isolants, sont également de plus en plus proches à mesure que la largeur des transistors diminue. Le passage d'un nœud technologique à un nœud plus petit s'accompagne donc d'une augmentation de la résistance  $R_i$  des interconnexions et de leurs capacités parasites  $C_i$ , d'où un accroissement du délai  $R_i C_i$  de transmission de l'information entre les portes logiques au sein d'un circuit intégré, ou vers l'extérieur du circuit. Si  $R_i C_i$  devient plus grand que le temps de commutation d'une porte, les interconnexions vont conduire à limitation du transfert des données.

Les modèles traditionnels de défaut de court-circuit comprennent des modèles de fautes fonctionnelles ou des modèles de fautes de délai. Un modèle de défaut de court-circuit résistif incorporant à la fois la fonctionnalité et le retard est présenté par Li et al. [Li03a].

Les modèles les plus utilisés pour les fautes de délai sont les modèles des fautes de transition et les modèles des fautes de délai sur les chemins.

### 1.7.3.1 *Modèle des fautes de transition*

La faute de transition se traduit par un temps de transition qui est plus lent que les spécifications. Elle se produit lorsqu'une particule ionisante frappe un nœud sensible d'une cellule mémoire et entraîne le basculement de la valeur logique mémorisée. Il existe deux temps de transitions, le temps de montée et le temps de descente. Pour chaque signal de sortie on distingue deux fautes: temps de montée plus lent « Slow-to-rise » et temps de descente plus lent « Slow-to-fall ».

Dans le circuit sain, chaque porte a un peu de retard nominal. Les fautes de délai se traduisent par une augmentation ou une diminution de ce retard. Selon le modèle de fautes de transition, le retard supplémentaire causé par le défaut est supposé être important pour empêcher la transition d'atteindre toute sortie primaire au moment de l'observation. En d'autres termes, la faute de délai peut être observée indépendamment si la transition se propage à travers un long ou un court chemin vers toute sortie primaire d'une porte (fig 1.14). Les défauts de retard de petite taille ne peuvent pas être détectés le long du chemin court. Ce modèle est aussi appelé modèle de faute de retard brut [Par87]. L'ensemble des modèles de courts-circuits étudiés nécessite aussi d'avoir des valeurs logiques qui soient opposées entre les deux lignes court-circuitées. Pour détecter une faute transitoire dans un circuit combinatoire, il est nécessaire d'appliquer deux vecteurs d'entrée. Le premier vecteur initialise le circuit, tandis que le deuxième vecteur active le défaut et propage son effet à une certaine sortie primaire. Une faute de transition est considérée détectée si la transition se

produit sur l'endroit du défaut et un chemin sensibilisé se produit à partir de l'endroit du défaut à une certaine sortie primaire.

Ce modèle présente cependant l'inconvénient de ne couvrir qu'une insignifiante partie des retards de petite taille. Ce point a notamment été souligné par Geilert [Gei90]. Dans les travaux de Tendolkar [Ten85], il a été montré que les fautes de retard couramment observées dans les circuits actuels sont d'une taille faible. Ceci permet de dire que le modèle de défaut de transition n'est pas toujours considéré comme réaliste.

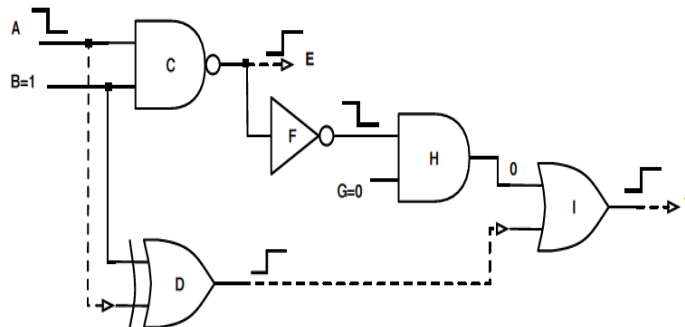


Figure 1-14 Faute de retard de transition. A-C-E: chemin court et A-D-I-J: chemin long [Ger09]

### 1.7.3.2 Modèle de fautes de retard de porte

La plupart des travaux [Krs98, Pra88, Hay83] sont fondés sur une approche à une faute de retard localisée sur une porte dans le circuit. Dans le modèle de faute de retard de porte, le retard de propagation à travers la porte défectueuse est plus long que prévu. Cette défaillance est modélisée par une faute de type Lent à monter ou de type Lent à descendre suivant le type de commutation sur les entrées ou les sorties d'une porte du circuit. Une faute de retard de type temps de montée plus lent ou temps de descente plus lent affectant une porte logique caractérise un retard de propagation d'une transition montante ou descendante supérieure à la valeur spécifique. La principale limitation de ce modèle de retard de porte est que tous les chemins sensibles entre l'endroit défectueux et une sortie primaire n'entraînent pas forcément une détection de l'erreur. En effet, même si une seule porte est lente, les performances du réseau peuvent ne pas être atteintes si la porte ne se trouve pas sur le chemin critique, à savoir le plus long chemin de l'entrée principale à la sortie principale du réseau. Il faut ainsi prendre en compte le retard de propagation de chaque chemin afin de choisir un chemin sensible qui peut entraîner la détection de la faute de retard.

### 1.7.3.3 *Modèle de fautes de délai de chemin*

Dans ce type de modèle, le défaut est dans un chemin qui contient une série de portes. Un chemin d'accès est défectueux, si le retard de propagation à travers ce chemin est plus long que prévu [Krs98, Smi85, Lin87]. Comme dans le cas du modèle de stuck-on/open qui suppose que l'un des transistors de la porte logique se trouve dans un état permanent passant (stuck-on) ou ouvert (stuck-open), une paire de vecteurs de test est nécessaire pour détecter les défauts de retard. Pour tester un défaut de retard, nous avons besoin de lancer une transition au niveau des entrées qui va exciter la faute de collage, et de trouver un chemin de propagation entre l'endroit défectueux et une sortie primaire du circuit, et enfin de mesurer le temps de propagation de cette transition à la sortie. Le modèle de faute de retard de chemin est considéré le plus proche du modèle idéal pour les fautes de retard dans la mesure où il couvre la totalité des pannes du circuit mais ne peut être considéré comme efficace qu'à partir du moment où tous les chemins ont été testés. Le nombre de chemins dans le circuit peut être très grand (éventuellement exponentiel au nombre de portes). Pour cette raison, le test de toutes les fautes de retard de chemin n'est pas pratique. Il y a cependant un moyen simple permettant d'utiliser ce modèle. La sélection de l'ensemble des fautes de retard de chemin à tester se basant sur les analyses temporelles exhaustives du circuit est issue des travaux d'Hitchcock et al [Hit82] et Al-Hussein [Alh85]. Li [Li89] a proposé un algorithme qui permet de générer efficacement une séquence de test à partir du modèle de faute de délai de chemin. Le principe de cet algorithme est de sélectionner un nombre minimum de chemins, compris entre une entrée primaire et une sortie primaire du circuit sous test.

## 1.8 Conclusion

Ce chapitre a tout d'abord permis de rappeler quelques notions fondamentales de fiabilité et de test des circuits et systèmes intégrés. Nous avons étudié les différentes classes de défauts et leur modélisation. Par ailleurs, en ce qui concerne ces défauts, une étude bibliographique a montré qu'il était raisonnable de considérer que les défauts couramment observés dans les circuits actuels et à venir sont les chutes de tension d'alimentation. Au cours des prochains chapitres, nous nous intéresserons aux défauts de chute de tension d'alimentation IR-Drop.

***CHAPITRE 2***  
***Le défaut IR-Drop***  
***dans les circuits***  
***intégrés***

## **2 Chapitre 2 : Le défaut IR-Drop dans les circuits intégrés**

## **2.1 Introduction**

La diminution de la taille des transistors MOS permet une intégration croissante d'applications sur une même puce de silicium. Cette diminution de taille implique des tensions d'alimentation de plus en plus faibles et des distances de plus en plus courtes entre blocs numériques perturbateurs et analogiques sensibles. De nouvelles contraintes sont à prendre en compte lors de l'élaboration de circuits et systèmes intégrés, certains phénomènes électriques ayant été jusqu'alors négligés. Le bruit d'alimentation digital, ainsi que le bruit substrat font partis de ces phénomènes. Il n'existe pas de méthode simple permettant de prendre en compte ces phénomènes dès les premières étapes de conception d'un circuit intégré. Nous proposons donc des méthodes de simulation rapides permettant de guider le concepteur d'une application intégrée mixte dans les choix technologiques, de boîtier, d'architecture, d'alimentation et autres facteurs ayant un impact significatif sur le bruit d'alimentation d'un circuit intégré. Une étude sur les sauts d'alimentation numérique est montrée dans un premier temps. Une autre étude, ayant pour objet la propagation des signaux parasites dans le substrat oriente le choix entre diverses configurations possibles d'un circuit mixte afin que celui-ci soit le plus performant possible. Ces méthodes sont utilisables à différents moments lors de la réalisation du circuit. La précision des données entrées varie selon l'état d'avancement du projet. Une étude complète avec élaboration d'un circuit de test, simulations et mesures, valide les différentes méthodes mises en place. Les progrès dans la conception submicronique profonde sont axés sur la réduction de la consommation d'énergie et l'augmentation du nombre de transistors dans les appareils. Simultanément, la mise à l'échelle de la technologie a continué d'améliorer les performances des processeurs en augmentant la fréquence fonctionnelle. D'un côté, la mise à l'échelle de la tension a réduit de manière significative la marge de bruit et, d'autre part, la densité de transistors ultra-élevée et la fréquence montante conduisent à un problème de densité de puissance: une grande quantité de courant est nécessaire, en augmentant le bruit d'alimentation [She96]. En conséquence, un bruit excessif d'alimentation peut considérablement affecter les performances du circuit et provoquent des problèmes tels que l'intégrité du signal [Che97] ou un retard additionnel [Jia99]. Par conséquent, l'augmentation du bruit d'alimentation est devenue un élément critique dans la performance et la fiabilité des puces fabriquées.

Le bruit d'alimentation (PSN) fait référence aux fluctuations de tension dans les réseaux de distribution de puissance et de masse (PDN). Les fluctuations de tension dues au bruit d'alimentation dans le PDN sont généralement appelé chute de tension. Le réseau de distribution d'énergie comprend tous les fils métalliques et les vias qui fournissent de l'énergie à chaque porte dans la puce. Ce PDN sur puce est résistif mais des éléments parasites capacitifs et inductifs sont également présentés. Le bruit d'alimentation est induit par les flux de courant à travers le PDN, en effet IR-Drop est généré en raison des éléments résistifs du PDN et les fluctuations des tensions de référence (ground bounce) sont produites par les éléments inductifs du PDN ( $L \frac{dI}{dt}$ ).

Dans ce travail nous allons nous intéresser au bruit d'alimentation induit par IR-Drop.

## 2.2 Définition d'IR-Drop

IR-Drop est défini comme un phénomène électrique associé à la commutation des transistors MOS. Un appel de courant apparaît dans la connexion d'alimentation et / ou la connexion d'alimentation de masse lorsque les transistors commutent. De ce fait les éléments parasites du PDN produisent des fluctuations du niveau de tension. La technologie actuelle a augmenté la densité des transistors et la fréquence fonctionnelle. Ainsi, il y a plus de portes logiques qui commutent simultanément, et par conséquent les fluctuations de tension ont également augmenté à cause de l'augmentation de la quantité de courant circulant à travers le PDN. Toutes ces fluctuations font que les portes logiques peuvent être alimentées avec une  $V_{DD}$  inférieur à la normale ou avec une  $Gnd$  supérieur à la normale ou les deux, ce qui réduit le basculement de la porte et influe sur les portes logiques par un retard additionnel. De plus, la sensibilité du retard d'une porte logique au bruit d'alimentation augmente avec la mise à l'échelle de la technologie. Il a été rapporté que les fluctuations de 10 % en tension d'alimentation/masse augmentent le retard d'une porte logique de 8 % en technologie 180 nm [Sal00], mais des fluctuations de 10% peuvent entraîner une augmentation de 30% de délai de réponse d'une porte dans une technologie 130nm [Pan03], et une variation de 1% de la tension d'alimentation entraîne près de 4% de retard supplémentaire d'une porte logique en technologie 90 nm [Tir04]. L'impact du bruit d'alimentation électrique dû au phénomène IR-Drop est devenu une préoccupation essentielle, à la fois pour les aspects de conception et de test.

### 2.3 Analyse du bruit d'alimentation

Alors que le bruit de l'alimentation devient critique, l'analyse de son impact sur le comportement électrique du circuit intégré est aujourd'hui un sujet de recherche important. Une bonne connaissance de l'impact du bruit sur la fonctionnalité du circuit et des performances de synchronisation peut améliorer la conception du PDN et du processus de test. À noter que la chute de tension générée par la commutation d'une porte logique se

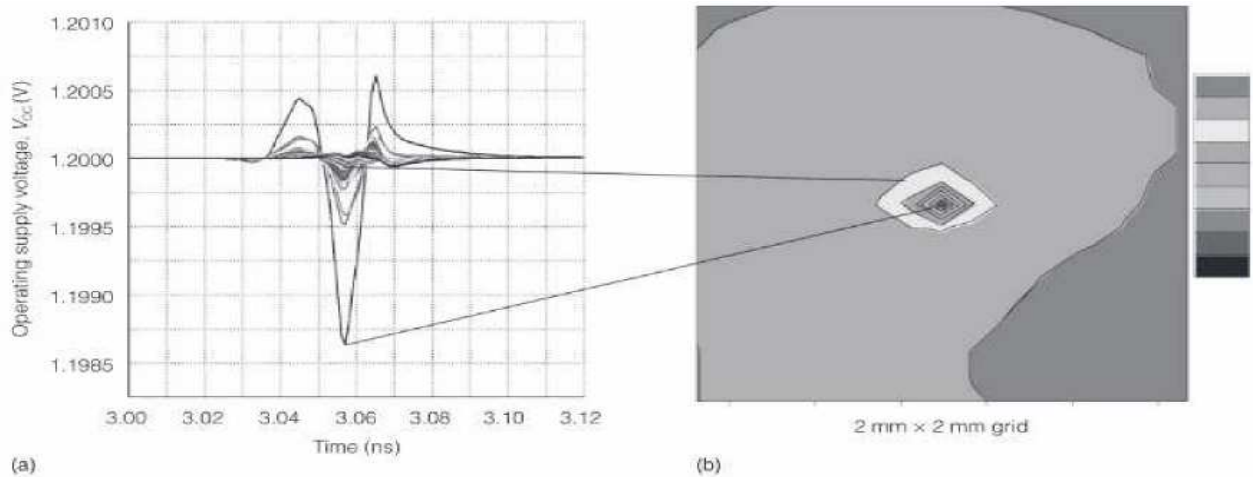


Figure 2-1 Un appel de courant injecté dans un réseau électrique se dissipe rapidement dans le temps (a) et l'espace (b) [Pan06]

dissipe dans le temps et dans l'espace [Pan06] comme le montre la figure 2.1. En effet, un appel de courant apparaît lorsque l'entrée de la porte commute et se termine après la commutation, lorsque la sortie est devenue stable. Cela signifie que la chute de tension disparaît rapidement après la commutation de la porte. D'autre part, la propagation du courant est étroitement liée à la structure PDN. Les appels de courant d'origine se propagent à travers la structure PDN. La chute de tension due à l'IR-Drop dans une maille de puissance uniforme se propage comme un « œil de bœuf » avec des anneaux équipotentiels « circulaires » [Gup06]. Par conséquent, les portes voisines sont plus concernées par ce type de chute de tension que les portes situées loin de l'origine des appels de courant. en conclusion, des analyses spatiales et temporelles sont nécessaires pour décrire le phénomène IR-Drop.

Les variations de tension dans les réseaux d'alimentation/masse ont un impact négatif sur le retard des portes connectées aux réseaux d'alimentation et ainsi, des défauts de synchronisation peuvent apparaître à cause de ces variations. Par conséquent, l'analyse du retard induit par le bruit d'alimentation devient un sujet important. Le retard d'une porte logique dépend de nombreux facteurs électriques tels que le niveau de tension

d'alimentation, le niveau de tension d'entrée, le condensateur de charge, la vitesse de balayage d'entrée et d'autres paramètres électriques de la porte [Che02]. On conclut que le bruit d'alimentation réduit la force d'entraînement en changeant les régions opérationnelles du transistor, influe sur les conditions de bruit sur les portes voisines en provoquant une accélération ou un ralentissement, et provoque un décalage de retard dû aux différents niveaux de tension entre les portes.

En ce qui concerne les éléments électriques qui ont un impact significatif sur le bruit d'alimentation, nous identifions trois éléments importants: le réseau de distribution d'énergie, la consommation de courant de la porte de commutation et le retard de porte. Le réseau de distribution d'énergie et d'emballage peut être modélisé comme une combinaison des éléments électriques. Dans [Pan00] Panda propose d'utiliser les modèles suivants pour la puissance de l'emballage/ réseau d'alimentation sur puce.

- Un modèle RC pour la porte d'alimentation;
- Un modèle RC pour la capacité de découplage intrinsèque des portes sans commutation;
- Un modèle RC pour les capacités de découplage.

En ce qui concerne le modèle électrique au niveau de la porte, la plupart des travaux utilisent un modèle de circuit basé sur la cellule pour le courant absorbé et le retard afin d'estimer le bruit d'alimentation. D'autres travaux estiment le bruit global de l'alimentation en énergie à partir d'une approximation statistique de l'activité de commutation [Shi01].

Pour le retard de porte, une approche analytique est utilisée pour représenter le retard de grille comme une fonction linéaire / quadratique de la tension d'alimentation dans [Che02], [Bai01].

D'autres publications proposent une approche statistique pour caractériser les retards [Jia99]. Le retard de cellule standard est traité comme une variable aléatoire perturbée, et les fonctions de probabilité sont dérivées en simulant un ensemble de modèles de caractérisation.

Pour le courant absorbé la plupart des publications proposent de modéliser ce courant comme une fonction triangulaire [Jia99], [Kri95] ou comme une fonction trapézoïdale [Che97], [Wan05]. Ces modèles adaptent la forme du courant en fonction de la capacité de sortie et d'autres paramètres électriques. Quelques approximations sont appliquées pour simplifier le modèle électrique. Par exemple, le courant de crête est supposé coïncider avec la transition à l'entrée de la porte [Kri95]. La valeur du pic et la durée du courant dépendent du type de porte et de la capacité de charge.

Connaissant l'effet du bruit d'alimentation en tension, il existe deux directions de recherche traditionnelles:

- La première direction consiste à prévoir le bruit d'alimentation pendant la phase de conception et à le gérer par des modifications de conception.
- La seconde direction consiste à créer des procédures de test pour détecter les défauts de synchronisation générés par le bruit d'alimentation.
- 

## 2.4 La technique de conception

La conception d'un PDN bon et fiable sur un circuit intégré numérique est une tâche très complexe car les concepteurs ne peuvent pas prévoir toutes les conditions fonctionnelles. Les études de conception sur la sensibilité de l'alimentation essaient évidemment de réduire autant que possible l'effet de bruit de l'ensemble de l'alimentation au niveau de la puce. En effet, le principe est d'estimer la chute de tension d'alimentation due à l'IR-Drop et d'essayer d'adapter la conception PDN pour minimiser ce phénomène. Pour cette raison certaines techniques sont appliquées lors de la conception pour diminuer le bruit d'alimentation et améliorer l'immunité au bruit des circuits, comme l'explique Larsson dans [Lar99] la technique la plus largement utilisée consiste à ajouter des condensateurs de découplage entre l'alimentation et l'alimentation de la masse. Les condensateurs de découplage empêchent le bruit de puissance de se propager à travers le PDN et leur inclusion dans la conception permet d'isoler différentes zones de la puce. Dans ce contexte, la plupart des travaux tentent de développer des algorithmes pour déterminer la taille optimale et le placement des condensateurs de découplage des activités de commutation et les corrélations spatiales entre différents blocs. Une méthode suggère d'améliorer le condensateur de découplage traditionnel et d'inclure des condensateurs de découplage actifs comme une technique la plus efficace pour réduire le bruit d'alimentation [Har06].

Une autre manière classique de réduire le bruit d'alimentation est de concevoir un réseau de distribution d'énergie robuste. Un grand nombre de travaux de recherche indiquent que les contraintes traditionnelles dans la conception du PDN ne suffisent pas à éliminer les fautes de délai dues à l'IR-Drop. Afin d'améliorer la conception du PDN, la plupart des travaux proposent un modèle mathématique pour résoudre les problèmes les plus importants du PDN: largeur et hauteur des fils PDN [Guo06], [Muk02], taille, nombre et emplacement des vias [Sha03], [Sha05]. Le dimensionnement des réseaux d'alimentation et de masse en

tenant compte d'IR-Drop par les composantes de cadencement et de calcul est suggéré dans [Muk02] et compte tenu de l'IR-Drop et de la zone contrainte dans [Gup06].

D'autres travaux portent sur la corrélation entre différents paramètres du réseau de distribution d'énergie sur puce et leur impact sur le bruit [And08], [Sha03], [Sha05]. Les résultats de cette analyse peuvent être utilisés comme lignes directrices lors de la conception d'un réseau de distribution d'énergie robuste. Les modèles proposés par Rius [Riu13] et Shakeri [Sha03], [Sha05] se concentrent exclusivement sur le phénomène IR-Drop. Shakeri [Sha05] démontre que le PDN peut être approché comme un matériau conducteur et que l'IR-Drop peut être calculé en résolvant un système d'équations différentielles partielles, c'est-à-dire l'équation de Poisson, avec les conditions aux limites appropriées. Dans ce travail le compromis entre l'ensemble et les paramètres du réseau de distribution d'énergie sur puce est étudié en détail. La taille et le nombre de compromis de pad sont également analysés. Le placement optimal de ces pads est dérivé pour minimiser la chute IR. En bref, Shakeri suggère l'utilisation d'un grand nombre de petites plaquettes pour le réseau de distribution d'énergie au lieu d'un petit nombre de grandes plaquettes pour réduire la baisse IR.

Basé sur la conclusion de Shakeri, Rius [Riu13] suggère un autre modèle IR-Drop pour déterminer la consommation moyenne d'énergie d'un bloc. Initialement, l'IR-Drop est modélisé dans un PDN infini. Ensuite, le modèle IR-Drop dans un PDN fini est dérivé de la solution du modèle infini. Le modèle suggéré fournit une estimation de la précision de la consommation d'énergie moyenne d'un bloc pour l'ensemble fil-liaison. Les modèles de Shakeri et de Rius aident les concepteurs au début de la conception à estimer avec précision les ressources sur puce et les emballages qui doivent être dédiés à la distribution d'énergie réduisant ainsi le coût de la sur-conception.

En bref, la plupart de ces travaux sont basés sur une approche sans vecteur et cible principalement l'effet spatial du bruit de tension d'alimentation. Les modèles de circuits statistiques suggérés estiment la consommation de courant moyenne au niveau de la puce, permettent d'identifier les zones critiques et d'adapter la conception du réseau PDN afin d'éviter la chute de tension indésirable. Bien que les approches de conception ne tiennent pas compte de la dépendance du vecteur d'entrée du phénomène IR-Drop, les modèles statistiques fournissent une estimation de la chute de la tension d'alimentation au niveau de la puce.

Certains outils commerciaux permettent l'optimisation du PDN. Apache a développé une solution d'analyse de réseau d'alimentation entièrement redondée appelée RedHawk [31] qui

analyse les effets du bruit de commutation simultané (cœur, mémoire, E / S), de la capacité de découplage (intentionnelle et intrinsèque), sur puce et hors puce inductance. Il fournit une analyse dynamique de l'intégrité de la puissance basée sur une bibliothèque à base de cellules et une analyse sans vecteur de l'activité de commutation. Un mode mixte entre le mode sans vecteur et une simulation vectorielle de certains blocs est inclus dans les dernières versions de RedHawk. Cette assertion n'implique pas de simulation pilotée par les événements utilisant des modèles vectoriels; c'est une amélioration de l'estimation statistique de l'activité de commutation au niveau du bloc.

RedHawk comme les autres solutions commerciales, PrimeRail [32] de Synopsys et HyperLynx [33] de Mentor, fournit une solution très précise pour optimiser la conception PDN et pour placer les condensateurs de découplage. Ces solutions permettent de minimiser la chute de tension au cours des phases de conception mais l'étape de test est toujours nécessaire pour détecter les défauts de temporisation dus au bruit d'alimentation.

## 2.5 Test de l'IR-Drop

Les outils de conception ne peuvent pas entièrement garantir une conception à 100% sans le phénomène IR-Drop. La puce peut encore présenter des problèmes fonctionnels d'origine IR-Drop. L'objectif du test est de détecter les défauts de retard induits par l'IR-Drop et minimiser l'IR-Drop pour le processus de test d'analyse.

### 2.5.1 Estimation du courant instantané maximum

Les premiers travaux proposent d'estimer le courant instantané maximum afin de détecter une activité de commutation excessive dans le circuit intégré et donc de rejeter ces dispositifs avec un risque élevé de fautes de délai. Kriplani [Kri95] estime le courant instantané maximum en utilisant une fonction triangulaire comme modèle du courant absorbé. Afin de déterminer le courant maximal un algorithme sans vecteur appelé iMax est proposé. Cet algorithme calcule toutes les commutations possibles pour chaque porte du circuit ainsi que toutes les formes d'onde associées possibles. Le courant instantané maximum calculé est donc une borne supérieure du pire des cas dans un circuit. De plus, l'algorithme iMax suggéré est limité, il n'estime que le courant maximum pour les petits blocs. Jiang et Cheng [Min98] proposent une amélioration de l'estimation du courant instantané maximum. Le calcul du courant instantané maximum est traité comme un problème de Programmation Linéaire Entier (ILP). La formulation ILP permet de calculer exactement le courant instantané maximum pour un petit circuit utilisant la bibliothèque de portes de [Kri95]. Pour les plus gros circuits, une approche basée sur le partitionnement est

suggérée. Les grands circuits sont divisés en sous-circuits dont les courants maximums sont calculés indépendamment. Le courant maximum du circuit est l'addition de tous les courants maximums. Dans ce cas, le courant maximal calculé est à nouveau une limite supérieure du courant maximum réel. Le calcul ILP suggéré nécessite un temps CPU plus long par rapport à l'algorithme iMax mais le courant instantané maximum estimé pour les petits circuits n'est pas surestimé.

Le courant instantané maximum estimé est le pire des cas pour un circuit et il est surestimé.

Le courant instantané maximum dans un mode de fonctionnement réaliste serait beaucoup plus petit et ainsi, le test basé sur ces méthodes peut rejeter des puces sans défaut. De plus, une densité de courant élevée ne signifie pas forcément une faute de retard, mais juste un risque.

### **2.5.2 Génération de vecteurs de test**

Afin de détecter les défauts de synchronisation dus au bruit d'alimentation électrique, certaines des œuvres proposent de générer un petit ensemble de motifs pour maximiser le bruit de chute de tension. Dans ce cas, l'objectif du test est de cibler le défaut de retard d'origine IR-Drop et de générer une séquence de test de retard capable d'exciter le phénomène IR-Drop. Zhao [Shi01] propose d'utiliser la simulation de Monte Carlo et l'algorithme génétique afin de générer un ensemble de motifs qui induisent le bruit de commutation maximum. Dans ce cas, une simulation pilotée par événement basée sur la corrélation entre les événements de commutation et une bibliothèque de cellules est implémentée. La bibliothèque de cellules comprend le retard et le courant de commutation en fonction des pentes du signal d'entrée et de sortie et de la capacité de sortie. Le bruit de commutation est modélisé comme une somme pondérée des courants de commutation et des taux de variation de ces courants de commutation. Les poids sont respectivement la résistance effective et l'inductance sur la puissance et réseaux au sol rencontrés par chaque courant de commutation. Le modèle électrique utilisé pour déterminer la résistance effective et l'inductance comprend un modèle RL pour l'emballage et un modèle RL pour le réseau de distribution d'énergie sur puce. Enfin, la simulation Monte Carlo et l'algorithme génétique sont utilisés pour rechercher la paire de vecteurs d'entrée dans le cas le plus défavorable qui induit le bruit de commutation maximum. Jiang et Cheng [Min98] proposent également de générer des vecteurs de test pour maximiser le bruit de chute de tension. Dans ce cas, la bibliothèque de cellules est caractérisée en fonction des caractéristiques de broche de puissance et de mise à la terre et des paramètres RLC du réseau électrique, ainsi que de la tension de démarrage, de la tension de fin et de la pente de la tension d'entrée. Par souci de

simplicité, les courants de commutation sont modélisés comme une fonction triangulaire qui dépend des variables de tension d'entrée. Une simulation logique gérée par événement est développée afin de simuler un modèle d'entrée donné. Les lignes électriques du réseau de distribution d'électricité sont modélisées en arbre RC. Premièrement, les formes d'onde effectives dans les lignes d'alimentation et de masse pour chaque petit bloc sont calculées. Afin de propager la forme d'onde à travers l'arbre RC, des tables de recherche sont générées en fonction des paramètres électriques du réseau de distribution d'énergie et de la forme d'onde de chaque cellule. Plus tard, le circuit est simulé pour un motif d'entrée appliquant la forme d'onde dérivée. Sur la base de cette simulation pilotée par événement pour une séquence à deux vecteurs donnée, un algorithme génétique est appliqué afin de générer un petit ensemble de motifs qui provoquerait un bruit d'alimentation élevé dans une zone spécifiée.

Krstic [Jin00], [Krs01] améliore la génération de modèles de test de Jiang et Cheng afin de sensibiliser les chemins sélectionnés. La valeur d'aptitude du modèle est calculée comme une sommation du bruit d'alimentation maximal pour les nœuds sur le chemin sélectionné. L'algorithme génétique génère un ensemble de motifs qui maximise le bruit d'alimentation en tension dans les nœuds le long des chemins sélectionnés.

En résumé, Zhao [Shi01], Jiang et Cheng [Min98] ont développé des simulateurs dirigés par les événements qui permettent d'estimer le bruit maximum de l'alimentation. Cependant, les deux simulateurs calculent le bruit global de l'alimentation et ne prennent pas en compte l'impact du bruit d'alimentation sur les retards de la porte et sur les courants de commutation. Bien que Jiang et Cheng [Min98] dérivent le courant de forme d'onde dans un arbre RC, l'estimation du bruit de tension d'alimentation à travers le réseau de distribution d'énergie sur puce n'est pas calculée. De plus, les vecteurs de test générés en utilisant ces méthodes maximise le bruit d'alimentation en tension et présente donc le même problème que la méthode basée sur le calcul du courant instantané maximum.

D'autres travaux utilisent la génération de vecteurs de test en se concentrant sur le type de chute de tension. Bhowmick [Bho11] classe les chutes de tension en trois grandes catégories suivant leur localisation dans le temps et dans l'espace.

Chute de puissance à basse fréquence LFPD affecte le PDN entier après quelques cycles d'horloge

Chute de puissance à haute fréquence HFPD est très localisée et est efficace dans le même cycle d'horloge.

Chute de tension à moyenne fréquence est localisée dans une petite zone mais efficace pour plus d'un cycle d'horloge.

Polian [Pol06] a proposé une méthode heuristique pour générer des séquences de test qui créent une chute de puissance dans le pire des cas en accumulant les hautes et basses fréquences. Pour ce faire, Polian utilise une version dynamiquement contrainte de l'algorithme D classique pour générer une séquence qui maximise les effets de LFPD et de HFPD. De même que pour Polian, l'activité de commutation résultante du vecteur de test généré peut générer une densité de puissance beaucoup plus élevée et une chute IR beaucoup plus élevée qu'en mode fonctionnel. De plus, les deux méthodes visent la génération d'une activité de commutation sans tenir compte des paramètres électriques au niveau de la porte. Une autre direction classique pour les tests IR-Drop est d'essayer d'adapter les vecteurs de test au comportement réaliste des circuits testés. les vecteurs de test peuvent générer une activité de commutation élevée dans une petite zone du circuit, augmentant de manière significative IR-Drop. Cela signifie que les vecteurs de test appliqués dans la procédure de test génèrent une IR-Drop irréaliste et ainsi une puce sans défaut peut être jetée. L'objectif de ces travaux [Sax03] ,[Jli08] est d'adapter la génération de vecteurs de test pour le test de retard en tenant compte du phénomène IR-Drop.

Saxena [Sax03] propose de réduire l'activité de commutation des vecteurs de test. Ce travail analyse l'IR-Drop pendant le test en vitesse. Les événements de basculement sont comptés tandis qu'un test de transition basé sur l'analyse est effectué. En analysant l'activité de bascule pendant un cycle d'horloge, l'étude conclut que l'activité de bascule de certains modèles obtenus à partir de l'ATPG est exacerbée dans les premières images du cycle d'horloge. Saxena conclut que la génération de vecteurs impliquant une activité de commutation plus constante pendant un cycle d'horloge réduit le pic de consommation d'énergie.

### **2.5.3 Modèles de fautes de la chute de tension**

Tirumurti [Tir04] propose un modèle de défaut généralisé (GFM) où les informations de bruit de puissance sont prises en compte. Une analyse de synchronisation statique est effectuée à la place d'une analyse dynamique coûteuse. La caractérisation de la forme d'onde est développée pour chaque cellule en fonction de la pente de la sortie et du signal d'entrée. Selon la disposition, la méthode suggérée classe les cellules en tant que cellules agresseurs ou cellules victimes. De toute évidence, les lignes électriques ayant un nombre élevé de cellules agressives seront plus affectées et donc plus sensibles à la chute de tension. Les zones affectées par une chute IR importante sont détectées à l'aide de cette procédure.

Malheureusement, la pire baisse de tension estimée par le simulateur de fautes n'apparaîtra jamais en mode fonctionnel car toutes les cellules agresseurs ne basculeront pas nécessairement simultanément pendant le fonctionnement.

## 2.6 Motivation du test IR-Drop

Avec la technologie actuelle le phénomène IR-Drop devient un point critique durant la phase de test et, par conséquent, le retard induit par IR-Drop doit être considéré, prédit et évalué pendant cette phase. La dépendance entre l'activité de commutation, le bruit d'alimentation et les défauts de retard nécessite une simulation précise dépendant du vecteur. L'objectif de ce travail est de développer une simulation logique et temporelle d'IR-Drop dépendant du vecteur afin de pouvoir simuler des séquences de vecteurs de test et de détecter l'apparition des fautes de retard. Le test de ce type de phénomène se fait sur deux niveaux : de deux fortes limitations:

### **Au niveau de la puce**

Les simulateurs orientés défauts classiques (fautes de collage, fautes de court-circuit ...) sont focalisés sur l'emplacement de la faute et sa propagation. Dans le cas IR-Drop il n'y a pas de site de faute c'est un phénomène global généré par la puce dans son ensemble. Pour évaluer l'impact de l'IR-Drop, un modèle électrique global doit être utilisé simultanément avec une simulation précise dépendant du vecteur au niveau de la puce. Pour optimiser la conception du PDN, les modèles développés ne peuvent pas être utilisés pour la simulation vectorielle en raison du coût de la simulation. Dans le test la plupart des travaux publiés dans la littérature utilisent des modèles très simplifiés du PDN qui permettent d'effectuer une simulation dépendant du vecteur. Bien sûr, ceci n'est pas représentatif de l'impact de l'IR-Drop sur la puce entière. Notre objectif est de proposer un modèle plus précis du PDN qui permette de prendre en compte l'impact de l'IR-Drop sur la puce entière avec un coût de simulation raisonnable.

### **Au niveau bloc**

IR-Drop est un phénomène électrique qui implique des courants circulant à travers les résistances du PDN. Par conséquent, l'IR-Drop génère des fluctuations de tension d'alimentation que la simulation électrique au niveau du PDN doit évaluer. Le but de travail est de développer un modèle précis et efficace pour les courants générés par les portes en

commutation, la propagation des courants à travers le PDN et les retards de porte en fonction de la chute de tension.

Les principes de simulation doivent être adaptés en tenant compte de la complexité de la simulation électrique du PDN et de la complexité de la simulation logique du bloc logique. Par conséquent, le modèle électrique proposé doit être un compromis entre la précision et un temps de simulation raisonnable.

Dans ce travail, nous proposons une simulation logique et électrique qui permet de valider une séquence d'entrée de vecteurs au niveau du bloc. La prédiction de chute de tension sera une combinaison de la simulation logique-électrique au niveau du bloc et de l'impact de la consommation moyenne des blocs voisins. Cela signifie que l'impact de l'IR-Drop est pris en compte pour augmenter la précision de l'estimation du délai. Cependant, la simulation électrique au niveau du bloc prend beaucoup de temps. L'un des objectifs est donc de proposer un modèle électrique précis permettant de réaliser une simulation électrique simplifiée sans perte de précision dans la prédiction du retard de la porte.

Le modèle électrique comprend deux aspects principaux, le niveau de la porte et le niveau PDN.

**Au niveau de la porte :** Au niveau de la porte, il y a deux paramètres intéressants: le courant de grille qui traverse le PDN et le retard de porte.

**Au niveau du PDN :** Les fluctuations de la tension d'alimentation peuvent être prédites à partir des éléments électriques du PDN et le courant circulant à travers ces éléments. Par conséquent, un modèle électrique précis du PDN comprenant les éléments les plus adaptés, tels que la résistance, la capacité et l'inductance, doit être proposé pour déterminer la distribution du courant dans les éléments du PDN.

Sachant que les courants circulant dans le PDN sont déterminants dans la prédiction de la tension d'alimentation et donc dans la prédiction de retard induit ces courants peuvent être classés en deux groupes selon leurs caractéristiques temporelles: les courants dynamiques et les courants statiques. Les courants dynamiques correspondent aux appels de courants générés lors de la commutation des portes logiques. Ils passent du PDN à travers la porte à la capacité de sortie ou symétriquement, de la capacité de sortie au PDN. Les courants statiques sont des courants qui traversent une porte logique. Cela signifie que les portes consomment de l'énergie en permanence, mais ces courants sont beaucoup plus petits que les courants dynamiques. Le bruit de tension d'alimentation est un phénomène global au niveau de la puce et donc, le simulateur doit prendre en compte le courant moyen généré par les blocs

voisins. Cette estimation du courant moyen nous permet d'inclure l'activité de commutation voisine dans notre modèle sans augmenter le coût de la simulation.

## 2.7 Principe de l'algorithme

Un algorithme de simulation est nécessaire pour estimer les retards induits par l'IR-Drop. Le principe de l'algorithme IR-Drop dépend fortement d'une part de la dualité local-global et d'autre part d'une dualité électro-logique. Le but est d'effectuer une simulation du bloc dépendant du vecteur de test au niveau du bloc qui détermine la logique et l'activité de commutation du bloc et une simulation électrique du PDN qui estime la fluctuation de la tension d'alimentation. Par conséquent, la structure générale du simulateur est fortement déterminée par cette dualité électro-logique.

Le simulateur est structuré en deux parties correspondant au niveau électrique et au niveau logique :

**Modèle du PDN électrique** : le modèle PDN est une combinaison de résistances, de condensateurs et inductances représentant les éléments parasites du PDN réel. En fait, le PDN est fait de deux PDN indépendants mais complètement similaires : un pour Vdd appelé Vdd PDN et un pour Gnd appelé Gnd PDN. La complexité du modèle PDN détermine la précision de l'estimation de la tension d'alimentation et donc la précision de l'estimation du retard. Le PDN est modélisé comme une grille bidimensionnelle résistive. Un modèle PDN plus complexe comprenant des éléments capacitifs.

**Modèle de bloc logique** : le modèle logique inclut toutes les portes logiques du bloc et leurs connexions logiques. Il comprend aussi la connexion de chaque porte à la Vdd PDN et Gnd PDN.

Par conséquent, les portes logiques du bloc étant connectées au PDN électrique, chaque porte est assignée à un nœud de la Vdd PDN et à un nœud de Gnd PDN. La Figure 2.2 illustre la structure générale du simulateur et la connexion entre les deux modèles.

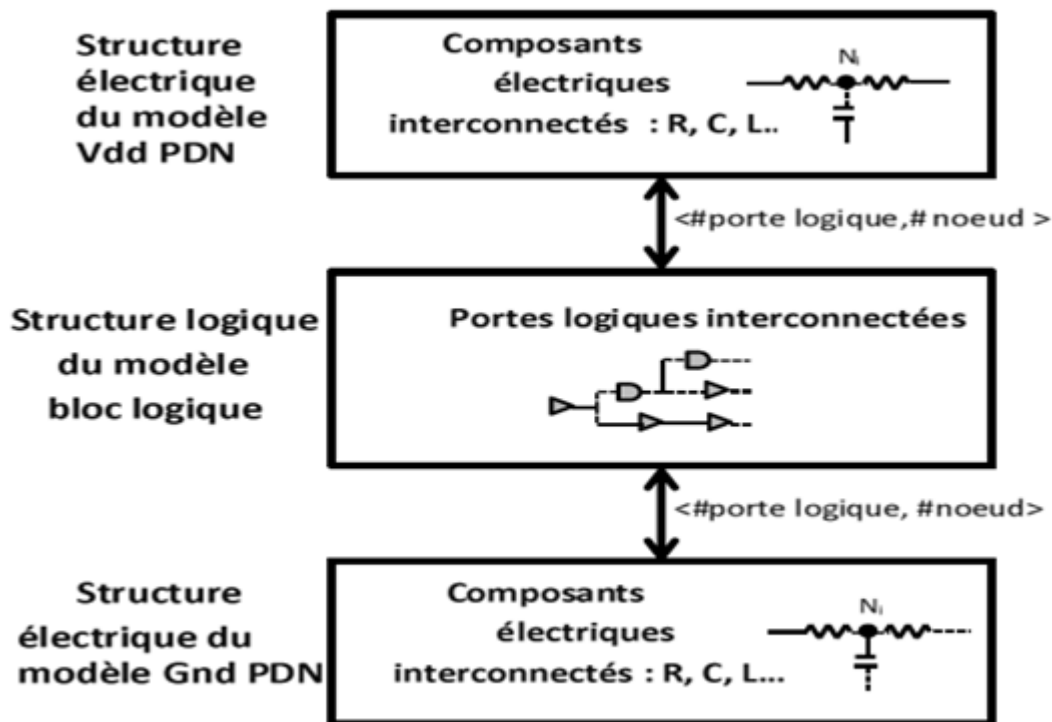


Figure 2-2 Structure générale du simulateur.

La Figure 2. 3 donne une vue fonctionnelle de l'algorithme en mode mixte. Dans un premier temps, une simulation logique est effectuée au niveau du bloc. Les vecteurs d'entrée sont appliqués à l'entrée de bloc générant l'activité de commutation. Dans un deuxième temps, les vecteurs de sortie et le retard estimé induit par l'IR-Drop sont obtenus. En même temps, dans le domaine électrique, l'algorithme calcule les débits de courant estimés par le modèle PDN électrique et estime la tension d'alimentation dans chaque nœud de la grille PDN.

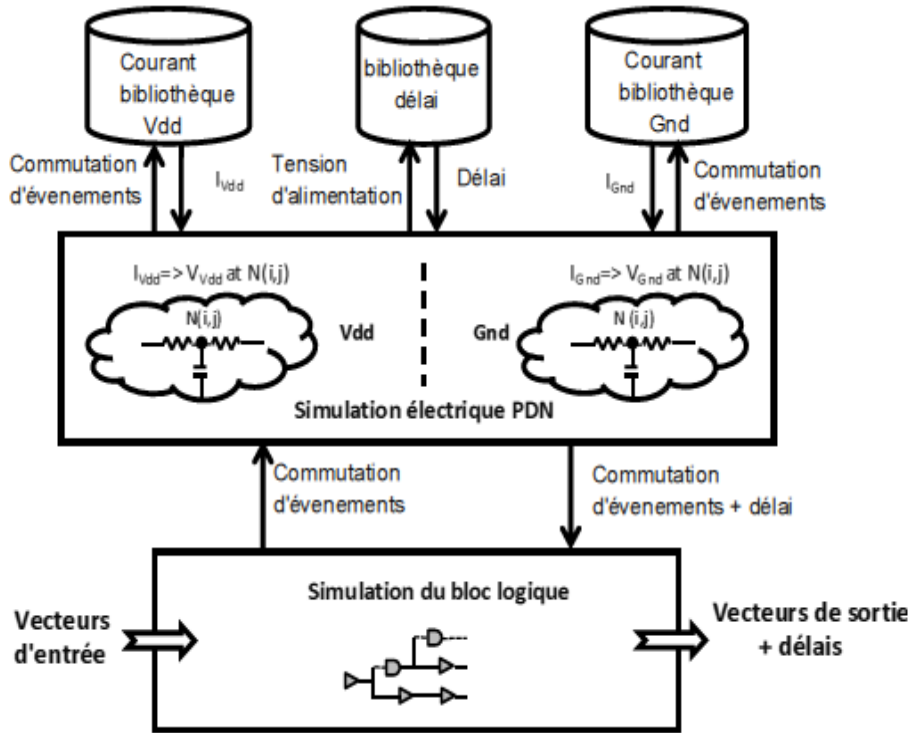


Figure 2-3 Algorithme de simulation.

La connexion entre le réseau logique et le réseau électrique est gérée par les événements de commutation. Lorsqu'une porte est commutée, l'algorithme insère dans la file d'attente d'événements un événement d'entrée en commutation. Ensuite, pour chaque événement de la file d'attente, la simulation électrique calcule la tension d'alimentation en tenant compte de tous les courants actifs dans le PDN, prédit le retard de la porte logique induit connaissant la tension d'alimentation, injecte l'appel de courant correspondant dans le PDN et génère un événement de sortie en commutation avec le retard prédit de la porte.

Le courant absorbé par la porte logique et les retards sont stockés dans une bibliothèque électrique et dépendent de différents paramètres.

La Figure 2.3 présente le principe de simulation. La porte  $G_i$  est connectée au PDN au nœud  $N_{vdd_i}$  pour l'alimentation et au nœud  $N_{gnd_i}$  pour la masse, lorsque l'entrée de la porte bascule à l'instant  $t_0$ , la simulation effectue le calcul de la tension d'alimentation  $V_{N_{vdd_i}}(t_0)$  en utilisant le modèle électrique de Vdd PDN et la tension d'alimentation  $V_{N_{gnd_i}}(t_0)$  en utilisant le modèle électrique de Gnd PDN, mais aussi elle fait le calcul de la variation de tension  $V_{swing1}$  du signal d'entrée:

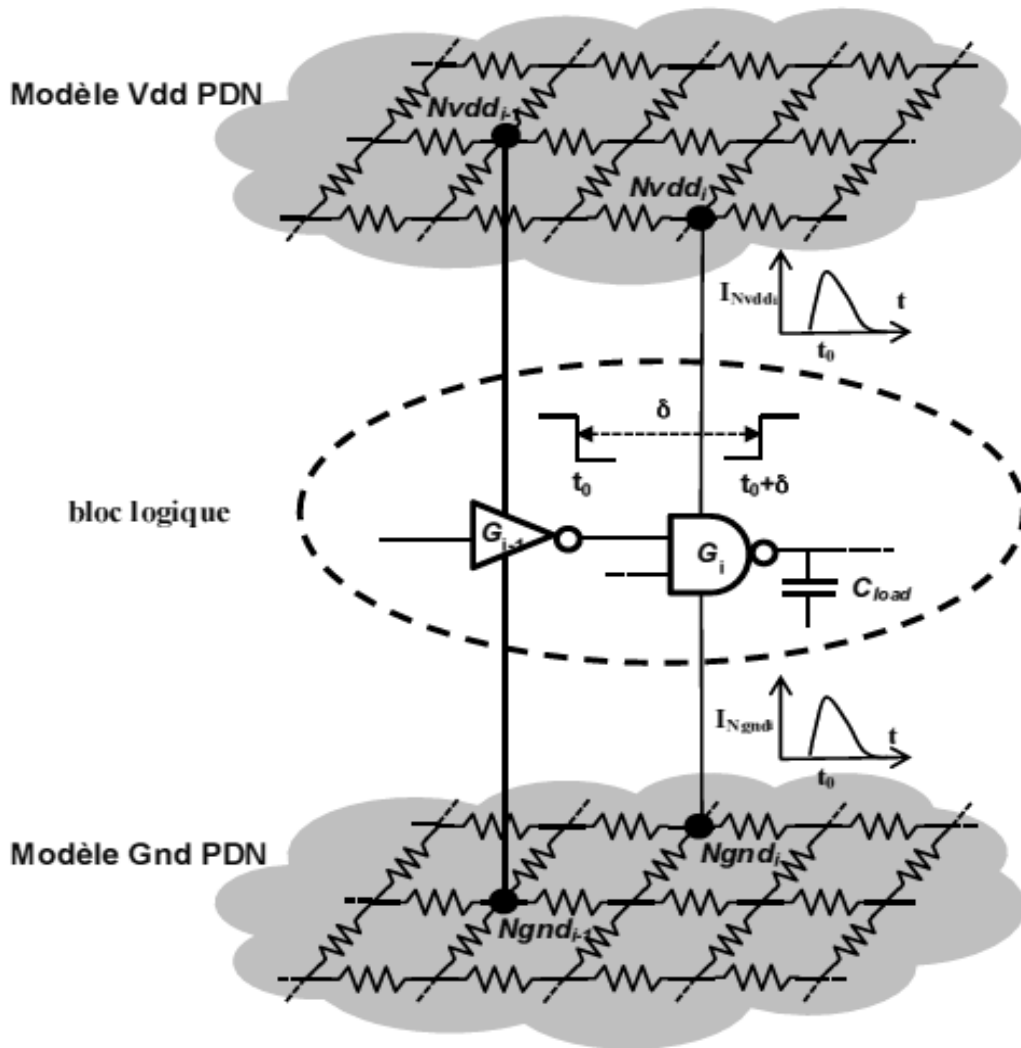


Figure 2-4 Simulation en mode mixte.

La porte  $G_i$  est connectée au PDN au nœud  $Nvdd_i$  pour l'alimentation et au nœud  $Ngnd_i$  pour la masse, lorsque l'entrée de la porte bascule à l'instant  $t_0$ , la simulation effectue le calcul de la tension d'alimentation en utilisant le modèle électrique de Vdd PDN et la tension d'alimentation  $V_{Ngnd_{i-1}}(t_0)$  en utilisant le modèle électrique de Gnd PDN, mais aussi elle fait le calcul de la variation de tension du signal d'entrée:

$$V_{swing1}(t_0) = V_{Nvdd_{i-1}}(t_0) - V_{Ngnd_{i-1}}(t_0) \quad 2.1$$

- Calcul de la tension d'alimentation  $V_{Nvdd_i}(t_0)$  en utilisant le modèle électrique de Vdd PDN,
- Calcul de la tension d'alimentation  $V_{Ngnd_i}(t_0)$  en utilisant le modèle électrique de Gnd PDN,
- Calcul de la variation de tension  $V_{swing2}$  de la porte en commutation :

$$V_{swing2}(t_0) = V_N vdd_i(t_0) - V_N gnd_i(t_0) \quad 2.2$$

Accès bibliothèque pour obtenir le retard correspondant  $\delta$  de la porte  $G_i$  en fonction de  $V_{swing1}$ ,  $V_{swing2}$  et de la capacité de charge  $C_{charge}$ :

$$\delta(t) = F_{delai}(G_i, V_{swing1}(t_0), V_{swing2}(t_0), C_{charge}) \quad 2.3$$

Accès à la bibliothèque pour obtenir le courant correspondant  $INvdd_i(t_0)$  dans le nœud d'alimentation  $N vdd_i$  et le courant  $INgnd_i(t_0)$  dans le nœud d'alimentation en masse  $Ngnd_i$  en fonction de  $V_{swing1}$ ,  $V_{swing2}$  et de la capacité de charge  $C_{charge}$ :

$$INvdd_i = F_{dyn\_vdd}(G_i, V_{swing1}(t_0), V_{swing2}(t_0), C_{charge}) \quad 2.4$$

$$INgnd_i = F_{dyn\_gnd}(G_i, V_{swing1}(t_0), V_{swing2}(t_0), C_{charge}) \quad 2.5$$

Calcul la propagation des courants  $INvdd_i$  et  $INgnd_i$  dans le PDN Vdd et le PDN Gnd en utilisant les modèles électriques PDN.

Calcul logique du signal de sortie de la porte à l'instant  $t_0 + \delta$

## 2.8 Structure physique et électrique de la grille

Le PDN a été présenté comme l'un des éléments les plus importants à modéliser avec précision car les courants circulant dans le PDN et les fluctuations de tension d'alimentation qui en résultent déterminent les retards des portes logiques et les fautes de retard potentiels. PDN est un système complexe de fils fournissant de l'énergie à l'ensemble du circuit intégré à travers différentes couches. Un PDN est classiquement organisé comme un ensemble de gros fils parallèles situés dans les couches métalliques supérieures couvrant toute la surface du circuit [Riu13]. Le modèle PDN électrique dépend de la structure physique du PDN. Nous supposons la structure simple PDN suivante :

- Dans les niveaux métalliques supérieurs de la puce, le niveau élevé de métal #n et le niveau de métal # n-1 sont composés d'un ensemble de lignes métalliques parallèles, ces deux ensembles ayant des directions orthogonales. Dans les traversées de haut niveau de métal qui relient les deux ensembles de lignes orthogonales sont régulièrement placés. L'ensemble des lignes métalliques et des traversées crée un réseau de distribution régulier à deux dimensions comme le montre la Figure 2.5.a. Dans un niveau donné une ligne sur deux est dédiée à Vdd et toutes les autres lignes à Gnd [Pol06], il devient ainsi possible d'analyser le réseau de distribution Vdd et le

réseau de distribution Gnd comme deux réseaux de distribution tridimensionnels indépendants. La Figure 2.5.a présente les deux réseaux orthogonaux pour Vdd PDN et Gnd PDN.

- Dans les niveaux inférieurs de la puce, le métal n #2 est couramment utilisé pour les lignes Vdd et Gnd. Les lignes Vdd et Gnd au niveau du métal n #2 ont une petite longueur correspondant à la méga-cellule qu'elles alimentent [Pol06]. De plus, ils ont plusieurs connexions parallèles au réseau tridimensionnel régulier supérieur, comme le montre la Figure 2.5.c.
- Enfin, le niveau de métal intermédiaire représente l'interface entre le réseau tridimensionnel régulier supérieur et la structure irrégulière inférieure comme illustré à la Figure 2.5.b.

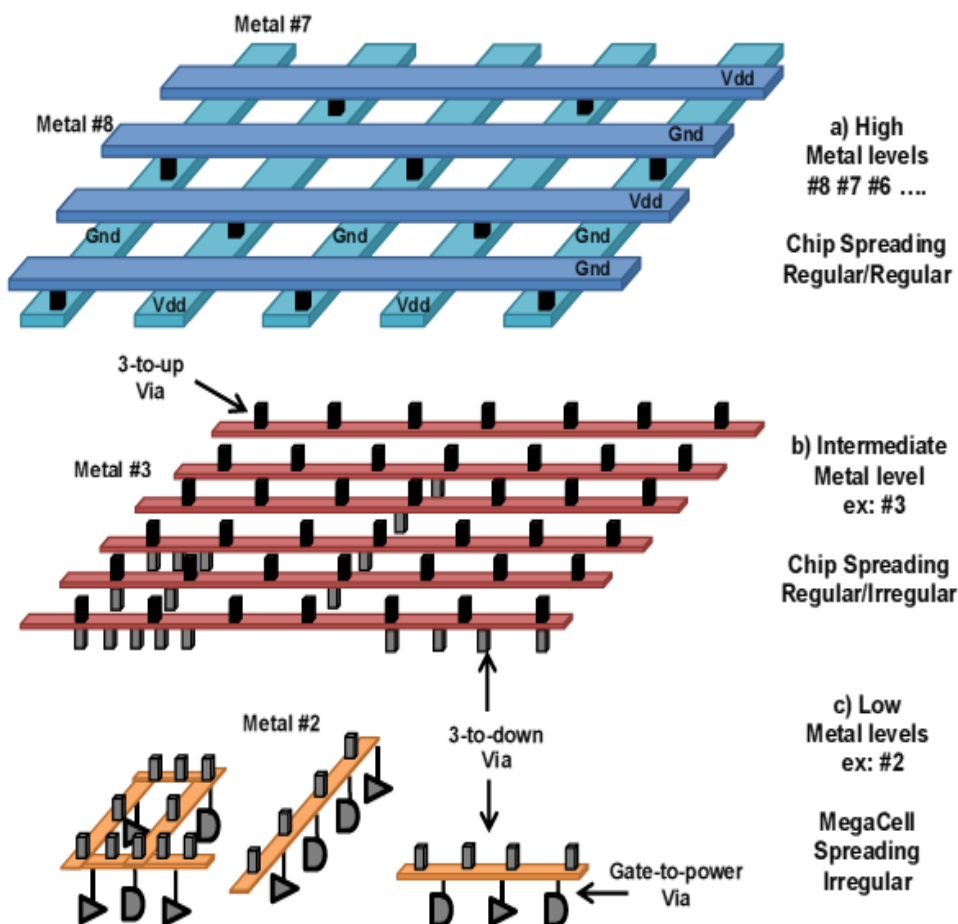


Figure 2-5 Géométrie du PDN.

La topologie PDN est optimisée dans la phase de conception pour réduire les éléments parasites mais ils ne peuvent pas être complètement éliminés. Ainsi, les croisements

verticaux d'éléments conducteurs se comportent comme des éléments capacitifs et les longs fils et vias se comportent comme des éléments résistifs. Les éléments inductifs peuvent être envisagés bien qu'ils soient très petits et souvent négligés. Parmi tous ces éléments parasites, les résistifs sont vraiment prédominants, c'est pour cette raison que l'IR-Drop est l'un des phénomènes électriques les plus analysés en raison des flux de courant à travers le PDN. Par conséquent, le modèle de réseau de distribution doit contenir une représentation et une estimation précise des éléments résistifs du PDN. Dans la modélisation, la topologie du PDN peut être divisée en trois zones.

- **Le niveau de métal élevé** peut être modélisé comme deux grilles résistives bidimensionnelles indépendantes. Les lignes Vdd et Gnd dans ce niveau de la puce sont très longues correspondant à la taille de la puce entière. Pour cette raison, les résistances parasites du réseau PDN sont déterminantes dans la distribution de courant à travers le PDN.
- **Le niveau de métal intermédiaire** peut être considéré comme inclus dans les grilles bidimensionnelles.
- **Le niveau de métal bas** est constitué d'une connexion métallique courte (dans l'ordre de la dimension méga-cellule) en comparaison avec les fils métalliques de haut niveau (dans l'ordre de la dimension de la puce). De plus, il existe plusieurs connexions parallèles aux lignes métalliques #3 qui permettent de réduire le comportement résistif des lignes métalliques #2. Pour ces raisons, la résistance parasite de ce niveau peut être négligée dans le modèle.

## 2.9 Conclusion

Le modèle électrique du PDN concerne les deux réseaux d'alimentation indépendants, qui sont physiquement réguliers, entrelacés et orthogonaux d'un niveau à l'autre, et correspondent aux niveaux de métaux élevés. Nous pouvons modéliser le PDN comme une structure symétrique composée de deux grilles avec des éléments résistifs.

***CHAPITRE 3***  
***Modélisation***  
***électrique du PDN***

### **3 Chapitre 3 : Modélisation électrique du PDN**

### 3.1 Introduction

La simulation d'IR-Drop nécessite un modèle pour le courant  $I$  et un modèle pour la résistance  $R$  le modèle électrique a été défini pour les courants dynamiques et statiques dans le chapitre précédent. Dans ce chapitre, la distribution du courant à travers le PDN doit être analysée en fonction de la résistance "R" du PDN, c'est-à-dire un modèle électrique pour le PDN doit être proposé afin de déterminer la distribution du courant à travers le PDN.

L'IR-Drop est un phénomène électrique qui se dissipe dans l'espace. D'où la distribution du courant à travers le PDN généré par un courant entraîne une chute de tension dans la zone voisine de la porte en commutation. Loin de la porte en commutation, l'impact du courant absorbé est négligeable. Par conséquent, afin de réduire le temps de simulation, le simulateur ne calcule que la distribution de courant dans le voisinage de la porte. L'objectif de notre travail principal est de déterminer avec précision le courant dans le voisinage de la porte considérée.

Il est important de noter que la distribution de courant à travers le PDN est étroitement liée au modèle utilisé pour le PDN. Pour cette raison, le modèle électrique du PDN doit être déterminé avec précision. Dans notre étude nous considérons deux modèles électriques différents pour le PDN : tout d'abord la distribution du courant est analysée en utilisant un Q modèle purement résistif pour la grille PDN et puis par la suite un modèle du PDN comprenant des éléments capacitifs est suggéré.

### 3.2 Modèle électrique pour la distribution de courant dans une grille

#### résistive

Les éléments parasites sur la puce du PDN impliquent que le PDN peut être modélisé comme une grille conductrice avec des éléments parasites résistifs, inductifs et capacitifs.

#### 3.2.1 Modèle résistif PDN

Le modèle électrique du PDN est utilisé par le simulateur pour calculer la distribution actuelle et calculer la tension déposée dans chaque nœud. Par conséquent il est nécessaire d'utiliser un modèle PDN précis pour mettre en œuvre un Simulateur de retard induit par IR-Drop.

IR-Drop est défini comme un phénomène électrique qui concerne les éléments résistifs du PDN et le courant qui circule à travers ces éléments résistifs. La distribution du courant dépend des éléments capacitifs et inductifs, mais ceux-ci ont un impact faible par rapport aux résistifs. En effet, la résistance est l'élément parasite dominant sur la puce du PDN.

Dans cette première approche du phénomène IR-Drop, les éléments capacitifs et inductifs du PDN ne sont pas considérés et donc, le modèle électrique aborde exclusivement les éléments résistifs et leur impact sur la distribution du courant.

Par conséquent, dans la Figure 3.1 la valeur de chaque résistance dépend de la topologie du PDN, de la technologie et des types de métaux dans le PDN. Pour les niveaux de métaux élevés, la topologie PDN est régulière. Pour le niveau bas de métal, les fils et les vias sont placés irrégulièrement, mais ces fils sont utilisés pour des connexions locales courtes. Pour cette raison, la résistance parasite au niveau bas du métal est négligeable. Par conséquent, seuls les niveaux élevés des métaux avec une grille régulière la structure est prise en compte pour le modèle électrique. De plus, il est habituel de simplifier le modèle PDN en supposant que les résistances horizontales sont toutes égales et que les résistances verticales sont toutes identiques l'un à l'autre. Ces valeurs de résistance horizontales et verticales sont calculées en utilisant des outils de conception basés sur les valeurs de résistance extraites des niveaux de métal PDN. Ainsi, une grille résistive avec une résistance élémentaire horizontale  $R_h$  et une résistance verticale élémentaire  $R_v$  est suggérée comme un modèle électrique pour le PDN comme illustré par la Figure 3.1.a pour un exemple de quadrillage 4x4.

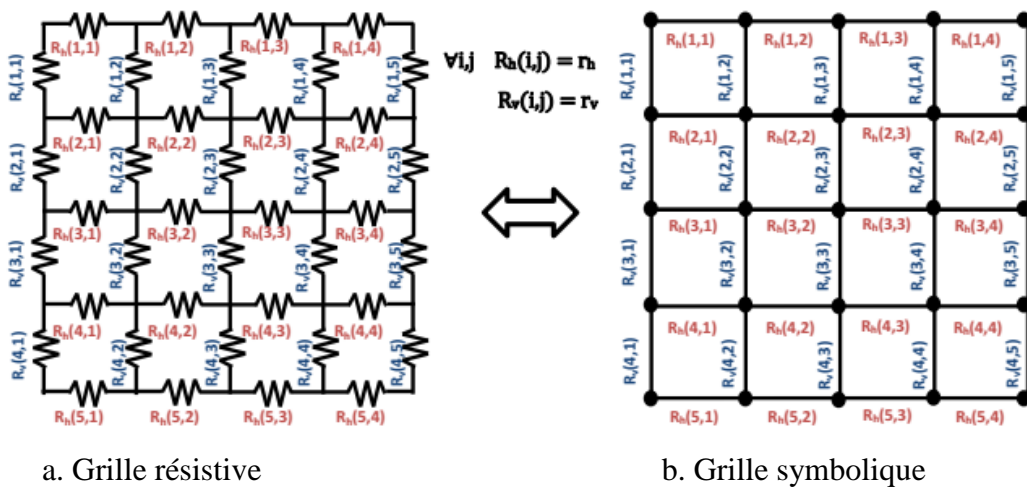


Figure 3-3-1 Modèle résistif du PDN.

Dans notre travail la grille résistive est illustrée par une grille simple où les segments représentent implicitement les différentes résistances comme indiqué dans la Figure 3.1.b. Les nœuds à travers la grille résistive symbolique est illustrée à la Figure 3.2.a. Chaque résistance de la grille PDN est associée à un courant et ainsi, les courants à travers les différents segments de la grille symbolique représentent des courants à travers les éléments résistifs. Les courants à travers les résistances verticales  $I_v(i, j)$  et les courants à travers les résistances horizontales  $I_h(i, j)$  avec leurs noms correspondants sont illustrés à la Figure 3.2.b.

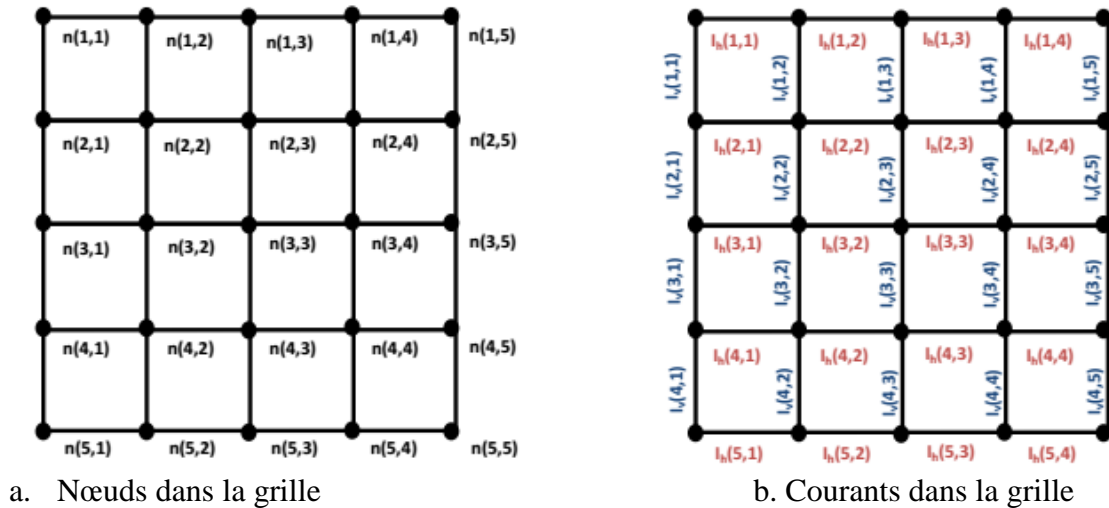


Figure 3-2 Courants et nœuds dans la grille symbolique.

### 3.2.2 Le facteur de distribution

Pendant la simulation, le courant tiré par une porte est d'abord obtenu à partir de la bibliothèque pré-caractérisée et ensuite doit être propagé à travers l'ensemble du PDN. En d'autres termes, différentes fractions de ce flux de courant à travers les différentes résistances du PDN. Il est donc nécessaire de déterminer la fraction de courant dans chaque résistance du PDN. Bien que la méthode idéale serait de calculer mathématiquement les fractions actuelles, la topologie de la grille rend difficile la recherche d'une équation simple et efficace. Pour cette raison, le calcul mathématique est écarté et les fractions courantes sont déterminées à partir d'une simple pré-caractérisation de la grille à l'aide des simulations SPICE.

La procédure de pré-caractérisation consiste à déterminer un facteur de distribution qui correspond au pourcentage du courant circulant dans chaque branche de la grille PDN. Nous considérons une grille connectée au nœud  $n(i, j)$  de la grille résistive  $N_g \times M_g$  dont le bord est connecté à la tension d'alimentation  $V_{dd}$ . L'appel de courant  $I$  de la porte se propage à travers le PDN comme illustré dans la Figure 3.3.a. on voit que la distribution du courant à travers PDN est une fonction du courant  $I$  dessiné par la porte et des valeurs  $r_v$  et  $r_h$ . La procédure de pré-caractérisation est illustrée ci-après dans le cas du PDN de puissance. À noter que la même approche peut être menée pour le PDN de la tension de référence avec des conclusions similaires. Lorsque les deux grilles ont les mêmes caractéristiques en termes de  $r_h$  et  $r_v$ , le même facteur de distribution peut être utilisé pour les deux grilles.

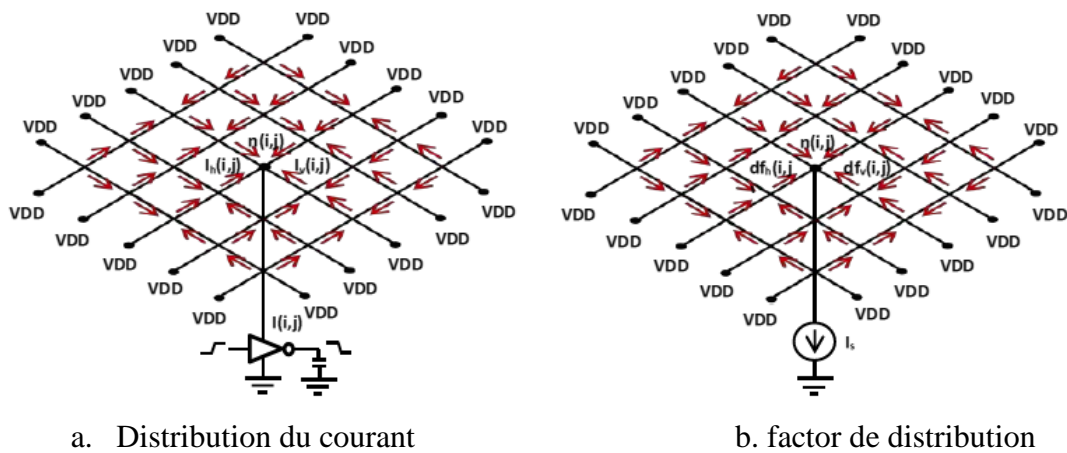


Figure 3-3 Exemple de simulations SPICE pour déterminer le facteur de distribution.

### 3.1.2.1 Modèle central :

Le but de la première simulation de pré-caractérisation est de déterminer la distribution du courant lorsque la porte est connectée dans la zone centrale du PDN. Comme expliqué dans la section précédente, une simulation SPICE est effectuée avec le courant tiré modélisé par une source de courant unitaire au centre de la grille. Par exemple, la figure 3.3 montre la distribution actuelle en utilisant une grille résistive 100x100 avec des résistances verticales de  $0,4\Omega$  [Sha03] et dont le front est connecté à l'alimentation nominale. L'unitaire de la source de courant est connectée au nœud central n (50,50). Nous pouvons observer que la distribution actuelle est des amplitudes très localisées, c'est-à-dire des amplitudes de courant, sont élevées uniquement dans le voisinage proche du nœud central.

Facteur de distribution horizontale dans la zone centrale

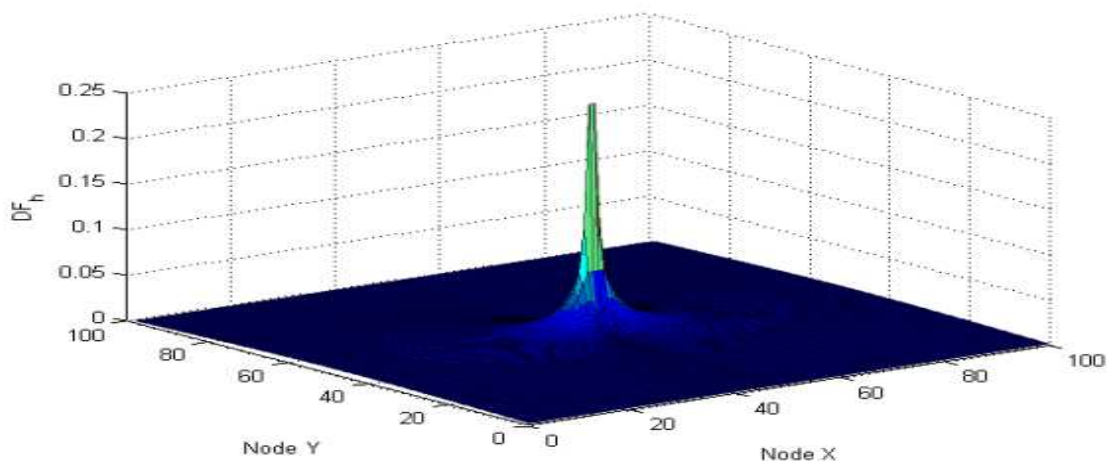


Figure 3-4 Facteur de distribution horizontale dans la grille 100x100 dans la zone centrale.

Dans un contexte de simulation, la chute de tension dans chaque nœud du PDN est calculée à partir du courant dans chaque branche de la grille en utilisant la loi d'Ohm. Le courant se

propage à travers toutes les résistances dans la grille, sa valeur n'est significative que par les résistances proches de la source de courant, comme l'illustre la Figure 3.4.

La distribution de courant informatique dans l'ensemble du PDN est la solution la plus précise pour déterminer la chute de tension, mais c'est très difficile étant donné le long temps de calcul. Il y a donc un compromis clair à fait entre le temps de calcul et la précision du modèle de distribution.

### 3.2.2.2 Effet de bord

La distribution du courant dépend fortement de la position du courant en raison de l'effet de bord. Quand une porte bascule dans la zone de bord, la proximité de l'alimentation idéale  $V_{dd}$  à la frontière de la grille crée une dissymétrie significative dans la distribution du courant. Afin de déterminer la taille de la zone centrale où le facteur de distribution central peut être utilisé avec une erreur inférieure à 1%, nous estimons l'erreur faite lorsque le facteur de distribution central est appliqué par rapport à la distribution du courant actuelle des simulations SPICE. Pour chaque nœud d'une grille résistive 100x100, une simulation SPICE est réalisée avec une source de courant connectée au nœud concerné afin de déterminer la distribution de courant effective. Les courants à travers les résistances horizontales et verticales des simulations SPICE sont comparés aux courants correspondants obtenus en appliquant le facteur de distribution central.

### 3.2.2.3 Influence des blocs voisins

La distribution du courant dans la grille PDN dépend également de l'alimentation électrique effective des nœuds extrêmes de la bordure de la grille. Lors de la pré-caractérisation du facteur de dispersion une grille correspondant à la puce entière est utilisée et par conséquent l'alimentation de la frontière de la grille est la tension d'alimentation nominale. Par contre, il n'est pas possible de simuler la totalité de la puce en raison d'un temps de simulation. Le simulateur aborde donc la simulation d'un bloc et donc, seulement une partie de la grille est simulé en pratique. L'alimentation de cette sous-grille peut différer de la valeur nominale en raison de l'activité des blocs voisins, comme illustré à la figure 3.5. Bien qu'il ne soit pas possible de simuler la puce entière, un effet statique global résultant de l'activité moyenne des autres blocs peut être évalué et injecté dans la simulation.

La consommation moyenne des blocs voisins est estimée par Shakeri [Sha05] et Rius [Riu13] en utilisant une approximation statistique. De plus, des outils comme RedHawk permettent d'estimer la consommation d'énergie par une analyse statistique du bruit d'alimentation. Une pré-caractérisation simple de la sous-grille PDN qui prend en compte l'alimentation efficace aux nœuds extrêmes de la frontière de la sous-grille, sans aucune barrière commutation dans le BUT (Block Under Test), donne la distribution des courants

statiques à travers la sous-grille. La Figure 3.5.b illustre la distribution des courants statiques due à l'activité de commutation moyenne des blocs voisins

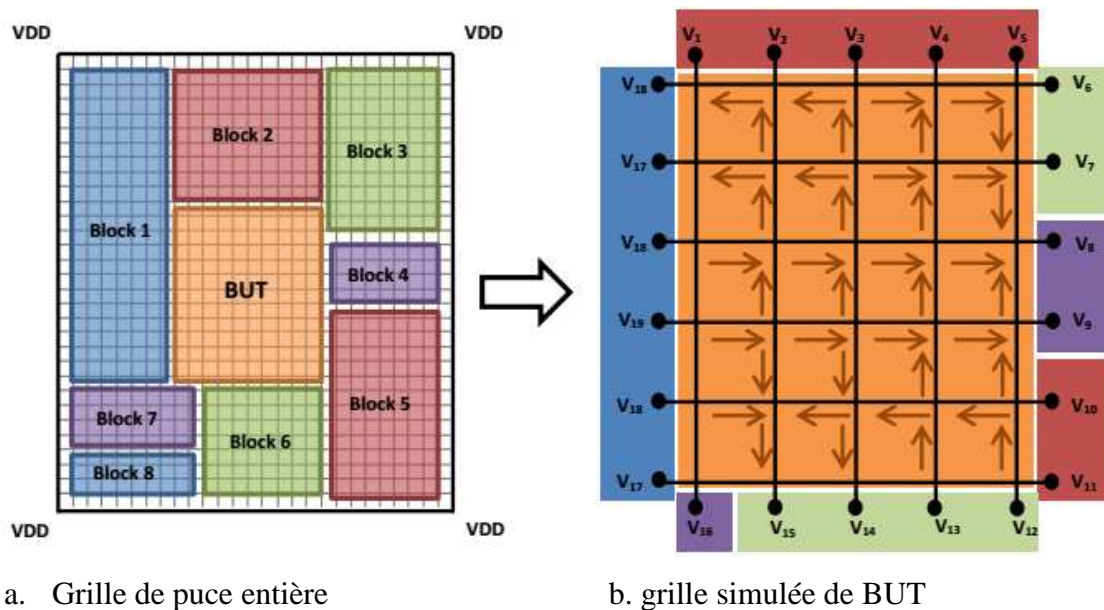


Figure 3-5 Pré-caractérisation de la grille PDN en tenant compte de l'influence des blocs voisins.

Cela signifie que l'influence des valeurs d'alimentation non idéales aux limites de la sous-grille peut être modélisée comme un courant statique permanent circulant dans la grille résistive. Pendant la simulation, le théorème de superposition est valide pour les circuits linéaires tels que la grille PDN. Si les tensions efficaces aux nœuds de bordure de la sous-grille ne peuvent pas être estimées, la simulation BUT est exécutée en considérant la tension sur la bordure de la sous-grille. Il est à noter que le calcul de l'influence des blocs voisins est la seule étape de la procédure de pré-caractérisation qui doit être calculée pour chaque BUT. Les trois facteurs de distribution dédiés pour les zones centrales de coin et de bande sont valables pour une technologie donnée quelle que soit la puce.

### 3.1.2.4 Résistance de grille équivalente

La résistance totale d'un circuit résistif est calculée en réduisant les différentes séries et des combinaisons parallèles pas à pas pour aboutir à une seule résistance équivalente pour le circuit. La topologie de la grille résistive rend le calcul traditionnel très complexe. Par conséquent, la résistance de grille équivalente du modèle PDN est obtenue à partir de simulations SPICE. La résistance équivalente est une fonction croissante de la taille de la grille  $N_g \times M_g$  et à la valeur de résistance horizontale  $R_h$  et verticale  $R_v$ . La Figure 3.6 montre la résistance de grille équivalente en fonction de la taille de la résistance de grille élémentaire. Dans cet exemple, les résistances horizontales et verticales sont égales et varient de  $0\Omega$  à  $1\Omega$  [Sha05] la grille est carrée avec la taille  $N_g \times N_g$ .

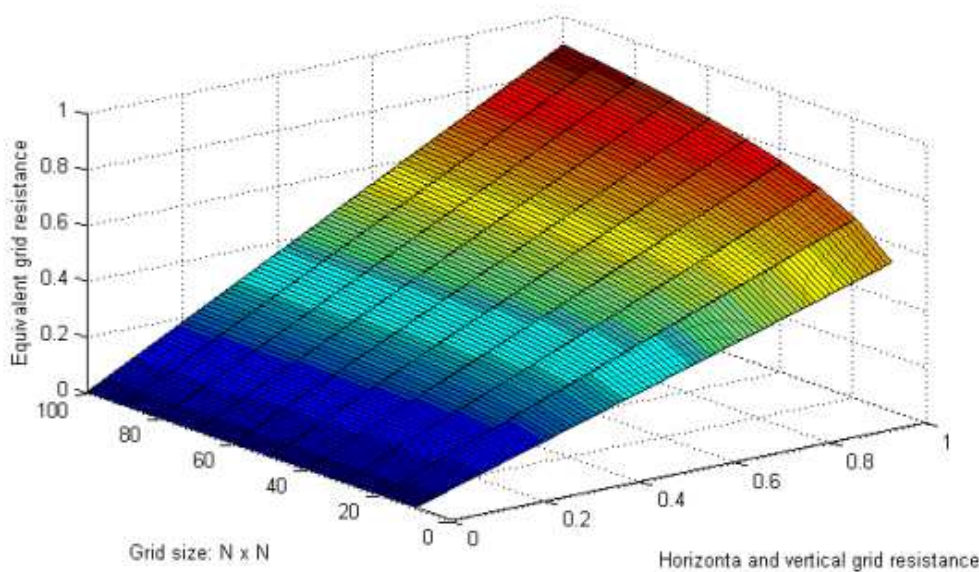


Figure 3-6 Résistance de grille équivalente en fonction de la taille de la grille et de la valeur de résistance de la grille élémentaire [29].

### 3.3 Modèle électrique pour la distribution de courant dans une grille résistive et capacitive

Là aussi, une grille résistive est suggérée pour modéliser le PDN. Le phénomène IR-Drop est causé par les courants qui circulent dans le PDN et génère l'approvisionnement de chute de tension due aux résistances parasites. Bien que la grille résistive permette de simuler la distribution d'IR-Drop à travers le CI, la distribution du courant est également affectée par d'autres éléments parasites présents dans le PDN. Par conséquent, les éléments inductifs et capacitifs parasites doivent également être pris en compte dans le modèle électrique PDN. Il à noter que notre travail porte sur la simulation des défauts de retard des circuits logiques induit par l'IR-Drop, il est donc nécessaire d'estimer la chute causée par les résistances parasites. La suite de ce travail analyse la présence d'autres éléments parasites. L'inductance du PDN sur puce a été souvent négligée parce que l'inductance du réseau est dominée par l'inductance parasite des broches de l'emballage et des fils et des plaquettes de liaison. Les éléments inductifs sont négligés et seule la présence d'éléments parasites capacitifs dans le PDN est analysée. Cette partie se concentre sur l'étude des différents éléments capacitifs parasites et leur impact sur le courant de distribution. Un modèle résistif et capacitif du PDN est suggéré, qui inclut les éléments capacitifs du PDN.

### 3.3.1 Différents types d'éléments capacitifs

La première étape consiste à analyser tous les types d'éléments capacitifs qui pourraient avoir un impact sur le comportement de distribution actuel. Les éléments capacitifs peuvent être des condensateurs parasites, causés par la superposition d'éléments électriques ou de condensateurs intentionnellement inclus lors de la conception processus:

- Les condensateurs parasites du PDN physique. Les fils conducteurs parallèles du PDN se comportent comme éléments capacitifs. La façon classique de modéliser cet élément capacitif parasite est d'inclure des petits condensateurs régulièrement dans le modèle résistif du PDN. La taille de ces condensateurs est déterminée par les paramètres de disposition du PDN. Ces condensateurs sont connectés à chaque nœud de la grille résistive.
- Condensateurs de découplage intentionnels. Dans la phase de conception, les condensateurs de découplage sur puce sont délibérément inclus dans le PDN. Les condensateurs de découplage sont un moyen efficace de réduire le bruit d'alimentation créée par les éléments transitoires dans le circuit intégré (CI). De plus, placer quelques condensateurs de découplage dans la conception réduit les fluctuations d'alimentation entre les différentes zones du CI. Par conséquent, les condensateurs de découplage réduisent l'impact IR-Drop. Les condensateurs de découplage intentionnels sont beaucoup plus grands que les éléments capacitifs parasites du PDN et leur placement est déterminé pendant la phase de conception du PDN en utilisant des outils commerciaux. Par conséquent, la valeur et le placement de ces condensateurs de découplage sont connus.
- Condensateurs de découplage intrinsèques dus à des portes non commutables. Les transistors CMOS des portes logiques ont des éléments intrinsèques de capacité de découplage en raison de leur alimentation électrique interne les paramètres et de la capacité d'interconnexion [Pop08]. Le condensateur de découplage équivalent d'une porte est fonction de la capacité interne du transistor et de la capacité d'interconnexion. Il peut être calculé en utilisant les informations du dessin des masques. Dans une seule porte, le condensateur de découplage intrinsèque est négligeable, mais il devient très important quand un grand nombre des portes sont connectées au même nœud du PDN.

### 3.3.2 Analyse des éléments capacitifs

Cette partie consiste à étudier l'impact des éléments capacitifs sur le courant de distribution à travers le PDN. Calculer la distribution du courant dans une grille résistive est plus facile que dans une grille résistive-capacitive (RC) car dans le premier cas, le calcul ne concerne qu'un système d'équation linéaire. De plus, ce système d'équations n'inclut pas les

intégrales ou les dérivés. Pour cette raison, Le facteur de distribution prédéfini peut être utilisé pour prédire la distribution du courant dans la grille résistive. L'analyse mathématique de la distribution du courant à travers une grille résistive et capacitive implique des intégrales et dérivés, ce qui complique la prédiction de la distribution du courant. Le réseau RC comprend plusieurs éléments capacitifs avec des valeurs différentes et chacun est placé dans un nœud donné du PDN. Ainsi, simplifier le schéma électrique en utilisant le calcul traditionnel de l'impédance équivalent est extrêmement difficile car l'analyse mathématique implique la résolution d'un système d'équations différentielles. Dans un système simple d'équations différentielles pourrait être résolu, mais dans ce cas-là, il est irréalisable en raison de la complexité de la topologie et le grand nombre de variables.

Afin d'évaluer l'impact des éléments capacitifs sur la distribution de courant, des exemples sont simulés en utilisant SPICE. Ces exemples simples nous permettent de comprendre le comportement d'un ensemble complexe d'éléments capacitifs. Pour ce faire un modèle RC avec un nombre limité des condensateurs sont utilisés pour faciliter l'analyse de la contribution des condensateurs au facteur de distribution.

### 3.3.2.1 Simulation et modélisation du PDN résistif avec un seul condensateur

Dans la première simulation, la distribution de courant à travers une ligne résistive d'une part et à travers une ligne résistive et capacitive d'autre part est comparée dans le cas d'un appel de courant généré par une porte de commutation. Le premier comprend deux résistances  $R_1$  et  $R_2$  telles que représentées sur la Figure 3.7. Au niveau de la borne de la ligne opposée à Vdd, un inverseur est connecté à la ligne résistive au noeud  $n_1$ . Pour le deuxième schéma, la structure électrique est la même sauf qu'un condensateur C 1 est inclus entre  $R_1$  et  $R_2$  comme illustré à la Figure 3.8. Dans les deux simulations, l'entrée de l'onduleur passe de 0 à 1. Par conséquent, un courant circulant de Vdd vers l'inverseur apparaît à travers les différents éléments de la ligne PDN.

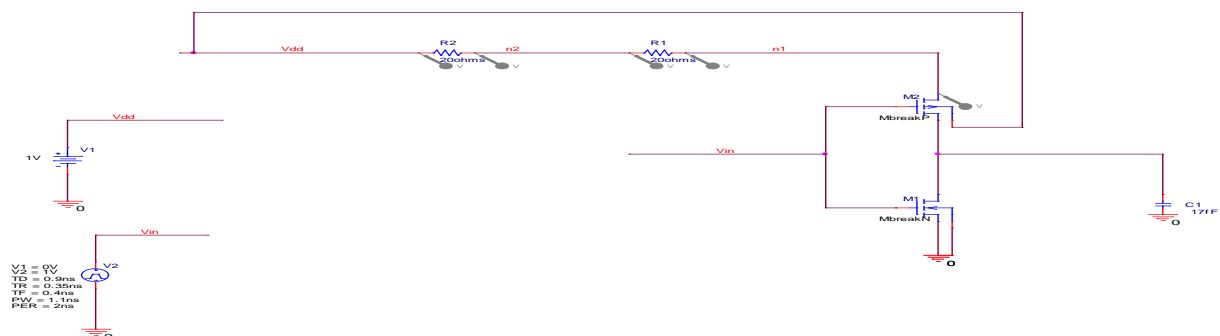


Figure 3-7 PDN résistif

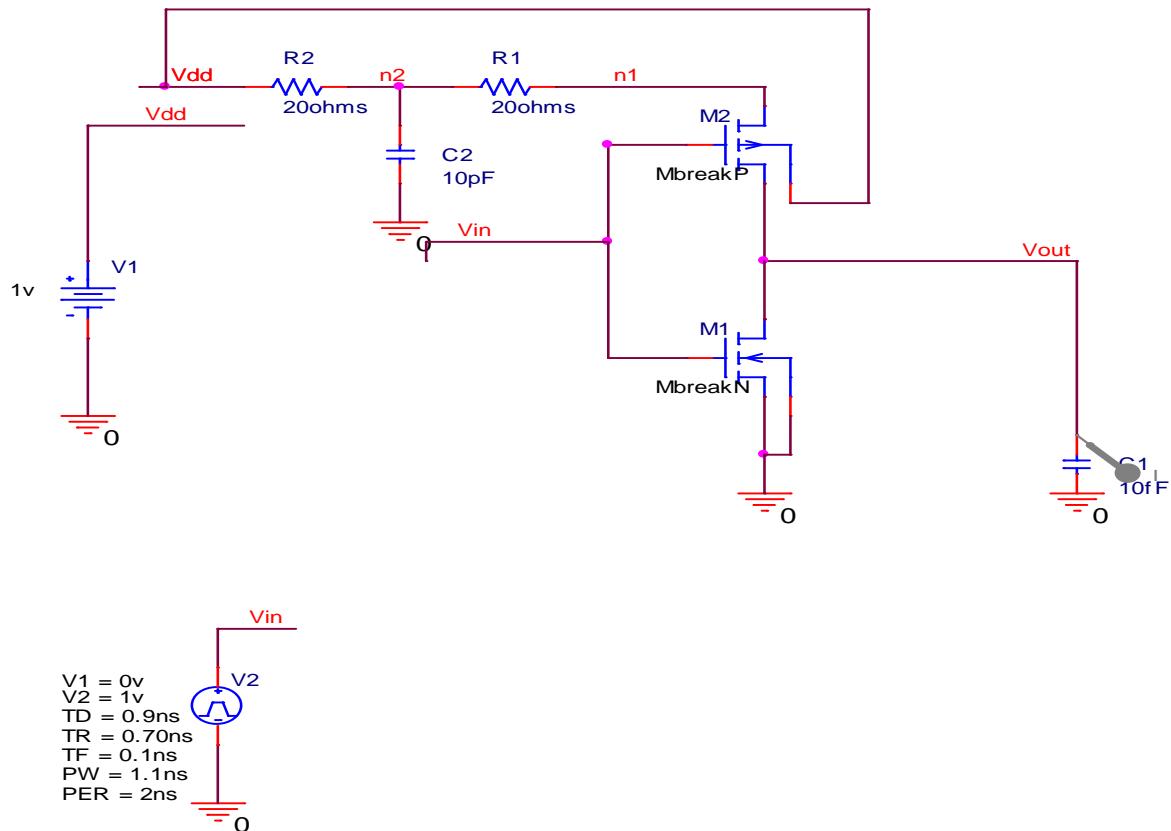
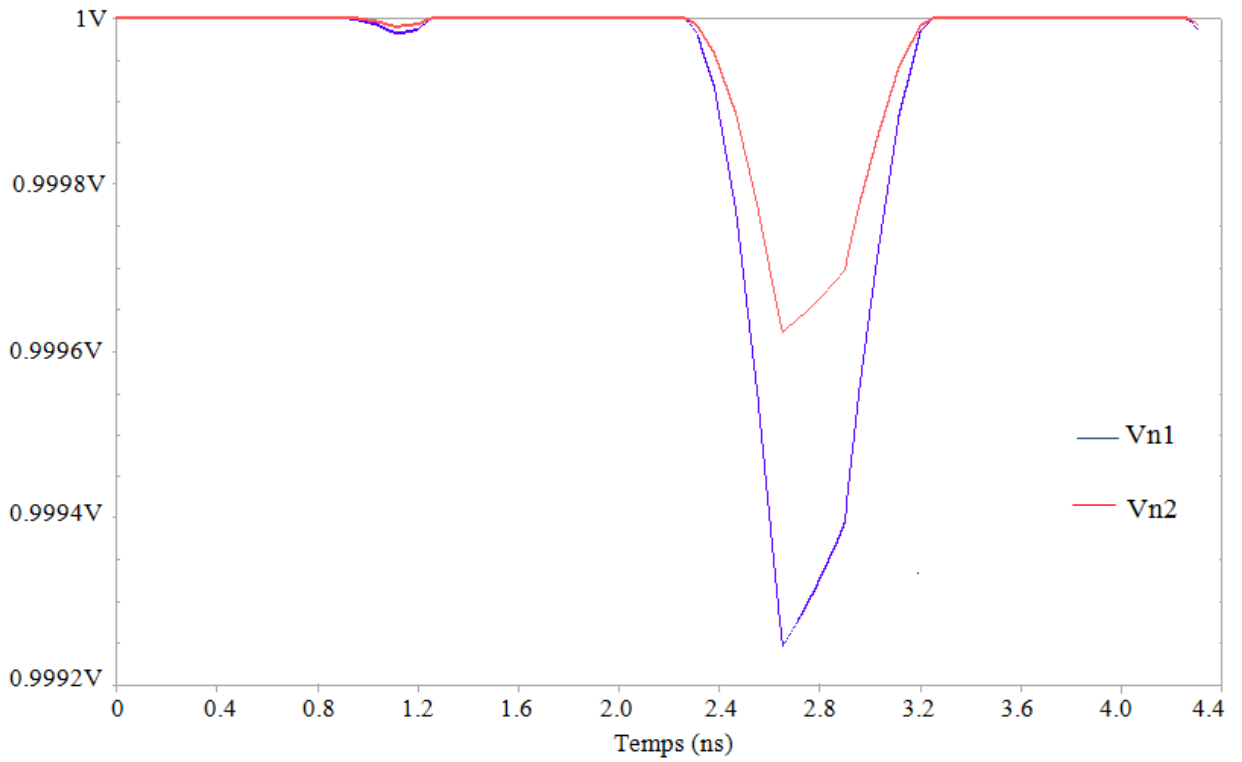
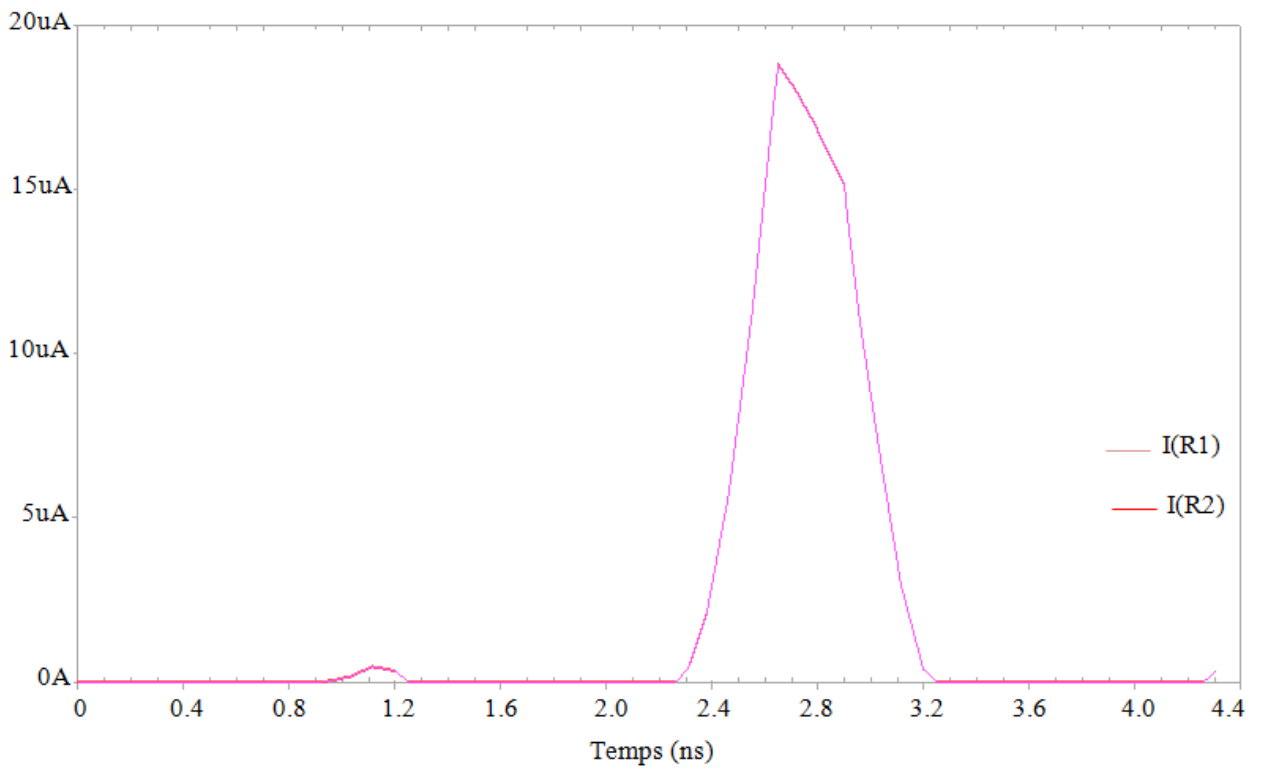


Figure 3-8 PDN résistif avec une seule capacité.

On voit que dans la première simulation avec seulement des éléments résistifs, le courant aux bornes de  $R_1$  et  $R_2$  est identique au courant absorbé  $I$  car  $V_{dd}$  est la seule source qui peut fournir du courant. Les Figures 3.9.a montré le courant à travers  $R_1$  et  $R_2$  et la Figure 3.9.b représente la tension des nœuds  $n_1$  et  $n_2$  pour la simulation du PDN résistif. On remarque que la chute de tension dans le nœud  $n_1$  est plus prononcée que dans le nœud  $n_2$  mais dans les deux nœuds, la tension revient à tension nominale ( $V_{dd}$ ) à l'appel du courant se termine.



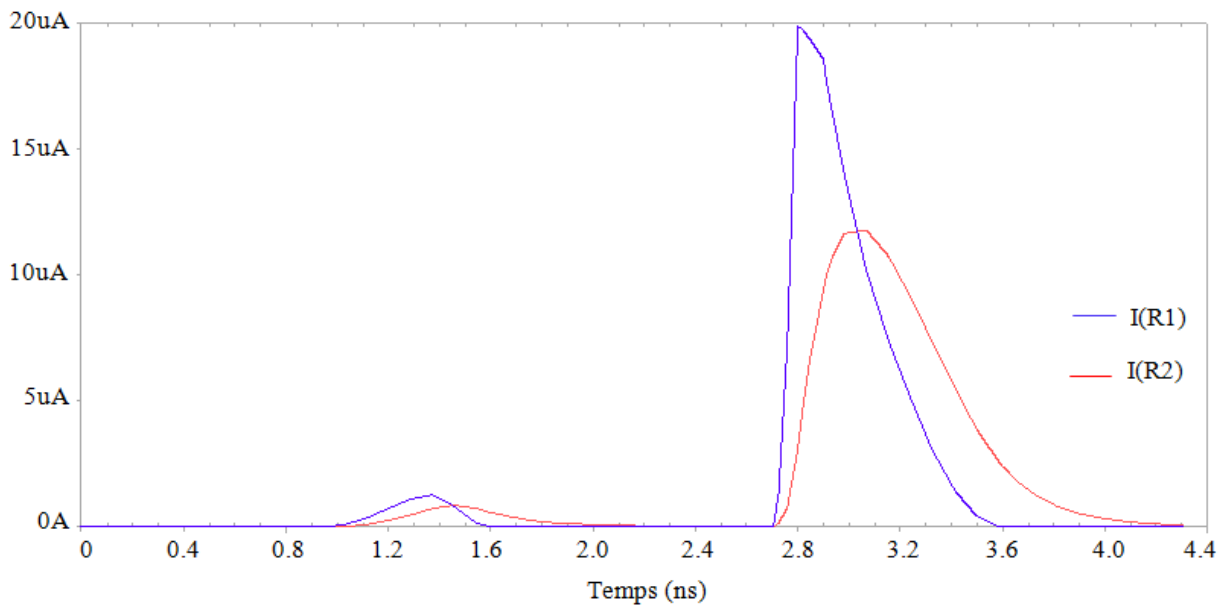
a. Tensions dans le modèle PDN résistif.



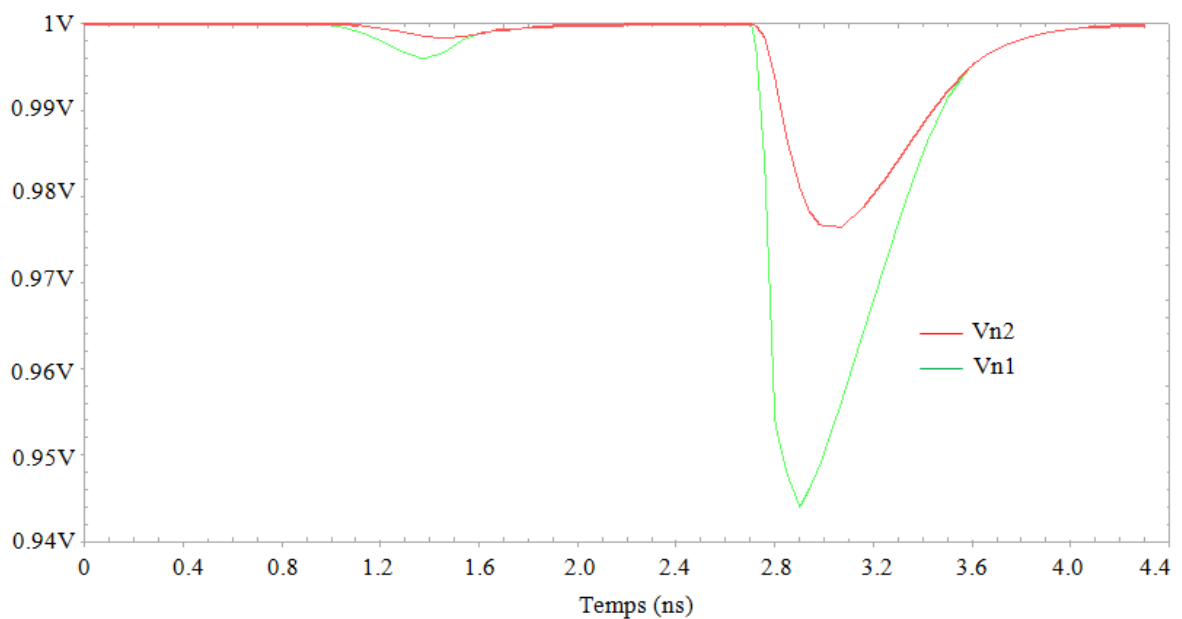
b. Courants dans le modèle PDN résistif.

Figure 3-9 courants et tensions dans le modèle PDN résistif.

Les Figure 3.10.a et 10.b montrent les résultats de simulations SPICE pour le PDN résistif avec une seule capacité. Dans ce cas-là, bien que le courant à travers  $R_1$  soit égal à l'appel du courant, le courant dans  $R_2$  est décalé dans le temps et son pic maximum est plus petit par rapport au tirage actuel.  $V_{dd}$  n'est plus la seule source capable de fournir le courant. En effet, la variation de courant à travers  $R_2$  est due aux courants de charge et de décharge du condensateur  $C_2$ .



a. Courants dans le modèle PDN résistif et capacitif.



b. tensions dans le modèle PDN résistif et capacitif

Figure 3-10 Courants et tensions dans le modèle PDN résistif et capacitif.

Le courant aux bornes de  $C_2$  est déterminé par la variation de tension au noeud  $n_2$  selon l'équation 3.1.

$$I_{C1} = C_2 \times \frac{dV_{n2}}{dt} \quad 3.1$$

Lorsque la tension dans  $n_2$  diminue à cause de la chute induite par le flux de courant absorbée par la porte, le condensateur fournit un courant au PDN réduisant la quantité de courant donnée par la source de tension. Par contre lorsque la tension dans  $n_2$  augmente, le condensateur commence à demander du courant pour se recharger. Le courant aux bornes du condensateur  $C_2$  et la tension dans  $n_2$  sont représentés sur la Figure 3.11. Lorsque la tension dans  $n_2$  est à son niveau le plus bas (point B), le condensateur  $C_2$  passe de la phase de décharge à la phase de charge (point A).

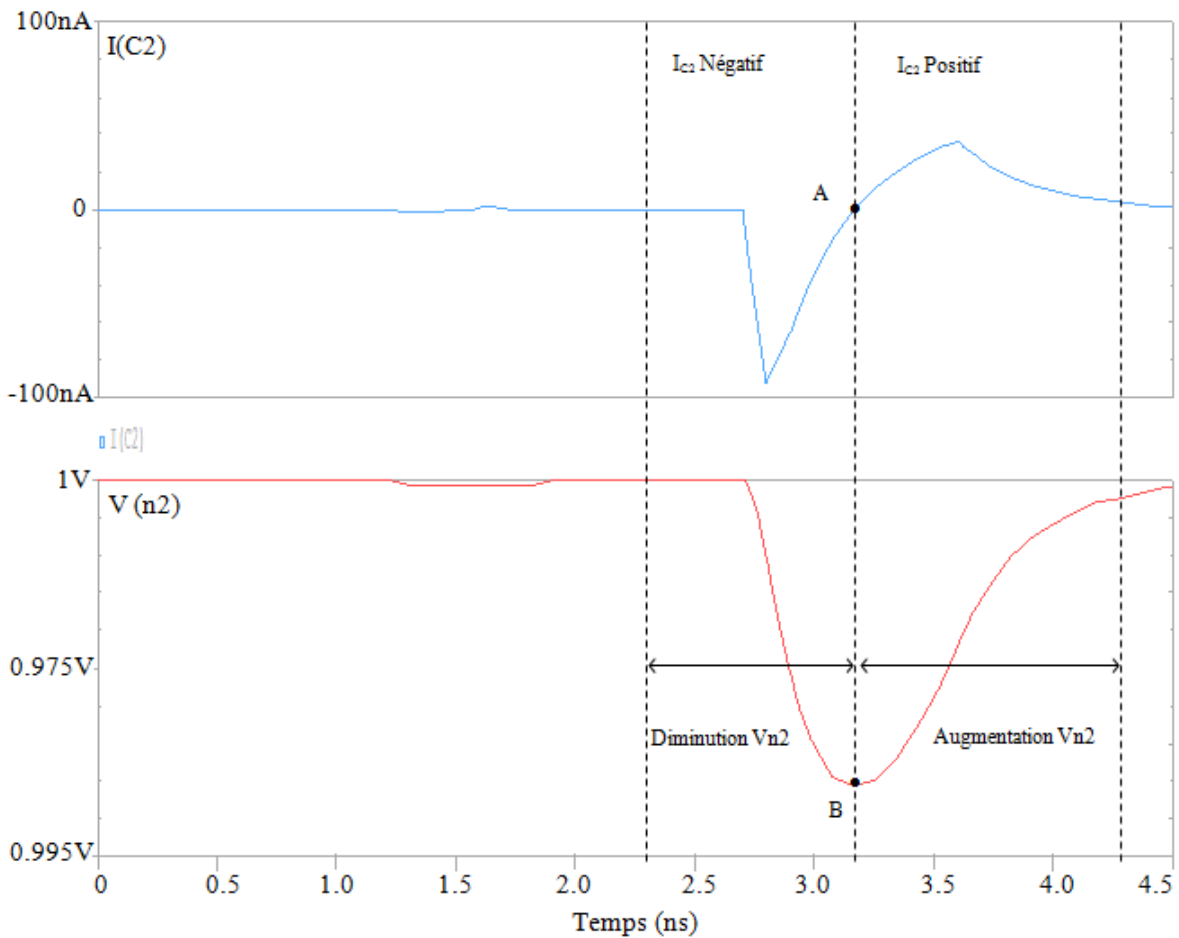


Figure 3-11 Courant aux bornes du condensateur et tension dans le noeud  $n_2$ .

Les tensions et les courants de la simulation sont représentés sur la figure 3.12. Le courant à travers la résistance  $R_1$  est égal à la consommation de courant de l'inverseur. On voit que le courant exigé par l'inverseur  $I_{R1}$  est à son maximum à l'instant  $t_1$ . Cependant, le courant fourni par la source de tension,  $I_{R2}$  sur la figure 3.12 est à son maximum plus tard, à l'instant  $t_3$ . C'est parce que le condensateur fournit une partie de la demande actuelle. Le maximum du courant  $I_{R2}$  est corrélé avec la tension minimale dans le nœud  $n_2$  et la transition de condensateur entre les phases de charge et de décharge. La transition entre La phase de décharge et la phase de recharge ne peuvent pas être associées au pic d'appel de courant. En ce qui concerne la tension dans le nœud  $n_1$ , on peut observer que la tension minimale dans le nœud  $n_1$ , à l'instant  $t_2$ , n'est pas corrélée avec le pic de tirage de courant, à l'instant  $t_1$ . En effet, la tension dans le nœud  $n1$  dépend de la chute de tension dans  $R1$  et dans  $R2$ . Pour la première simulation avec un PDN résistif, les courants aux bornes de  $R1$  et  $R2$  sont égaux au courant absorbé  $I$ . Par conséquent, la tension dans le nœud  $n_1$  est proportionnelle à l'appel de courant et donc, l'appel de courant maximum et la tension minimale dans le nœud  $n_1$  sont en même temps. Pour deuxième exemple, le courant aux bornes de la résistance  $R_1$  est égal au courant absorbé, mais le courant à travers  $R_2$  est différent. Par conséquent, la tension du nœud  $n_1$  n'est pas corrélée avec le courant absorbé. Nous pouvons conclure que tous les courants et les tensions sont affectés par la présence du condensateur mais à part le courant absorbé par l'inverseur.

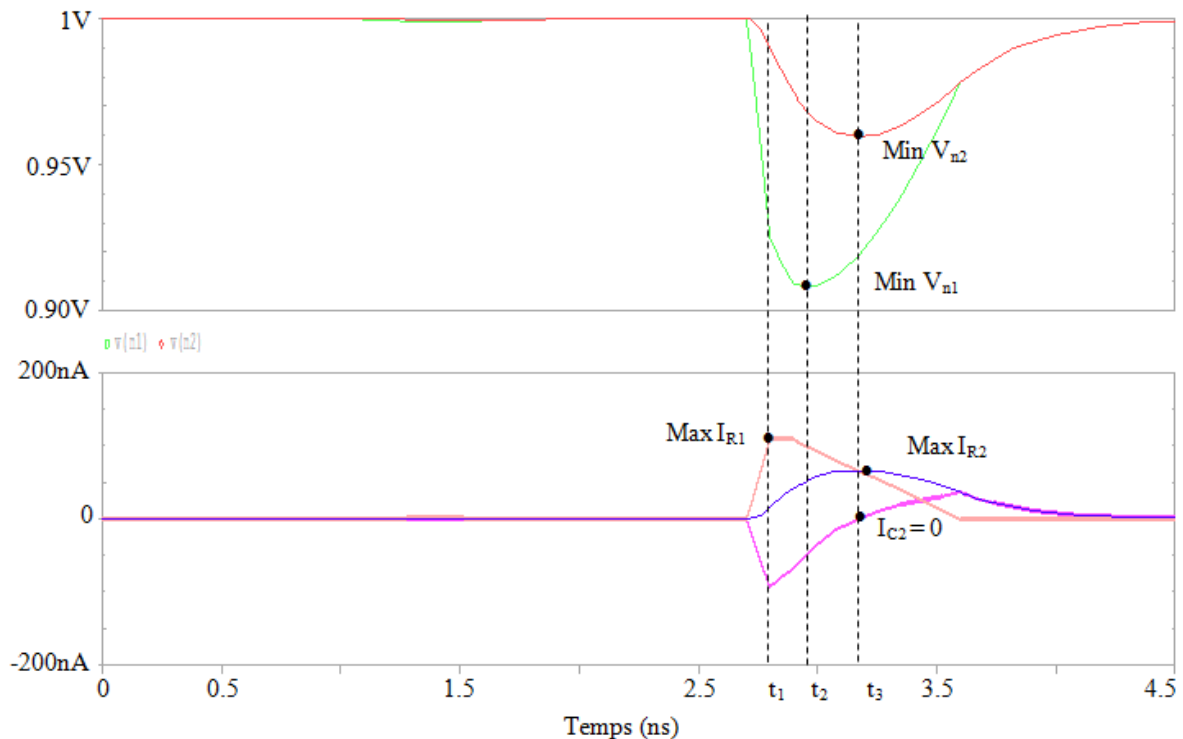


Figure 3-12 Courant entre chaque élément et tension dans chaque nœud.

### 3.3.2.2 PDN résistif avec plusieurs condensateurs

Dans la grille PDN réelle les éléments capacitifs parasites peuvent être multiples et peuvent être présents dans chaque nœud de la grille. Par conséquent, il est important d'analyser l'impact de plusieurs condensateurs sur la distribution du courant. Un nouveau schéma illustré à la Figure 3.13 contenant plusieurs condensateurs dans la ligne PDN est simulé avec SPICE.

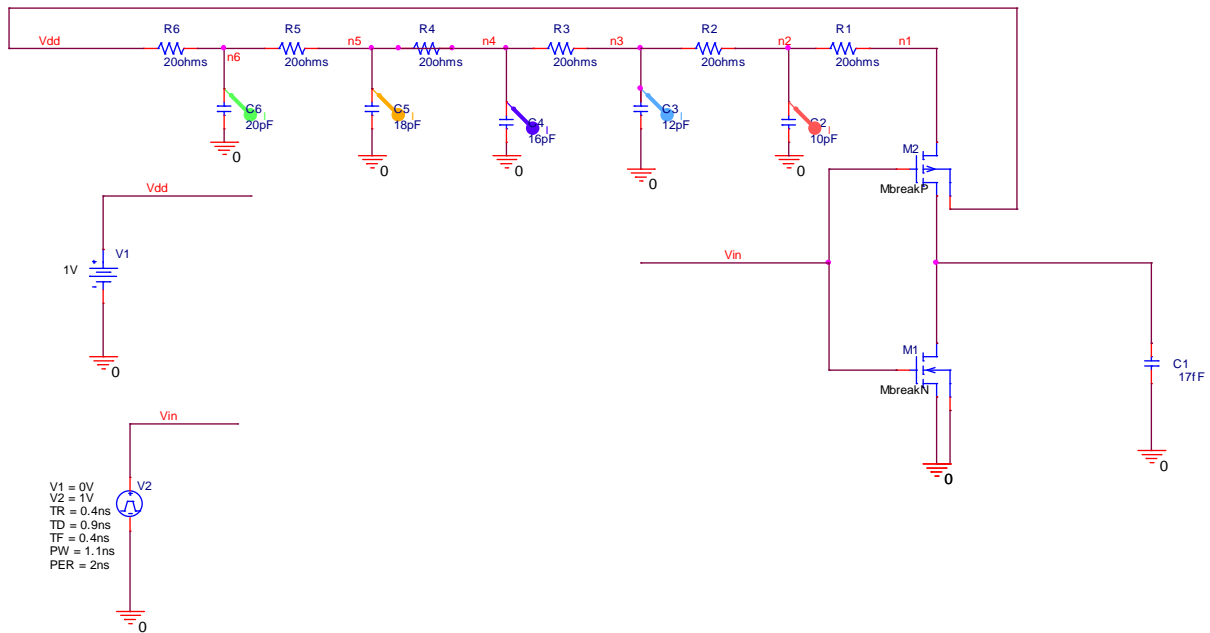
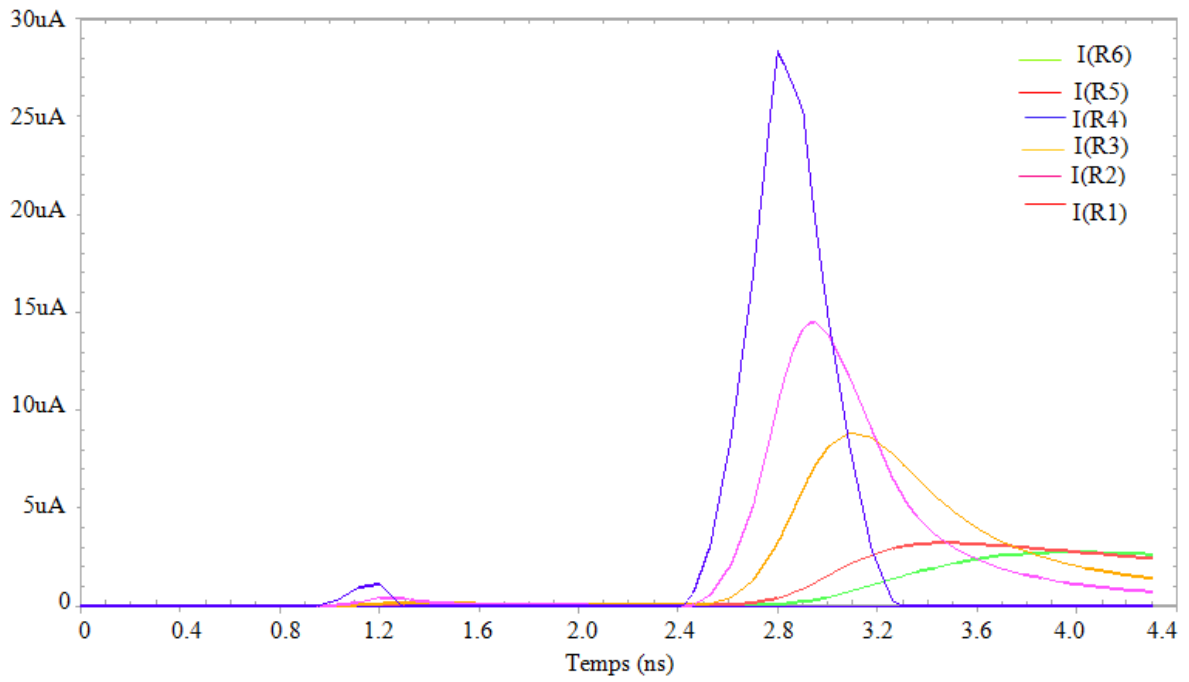
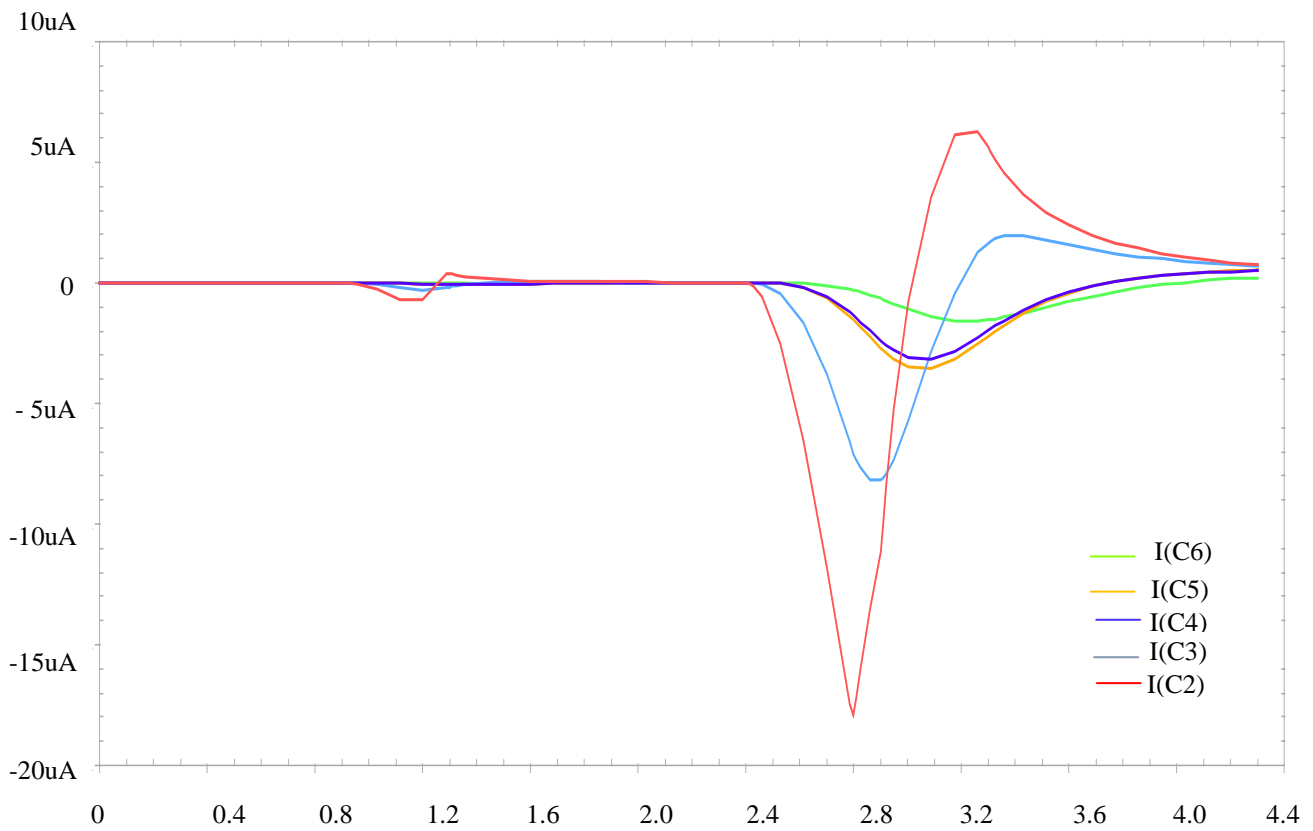


Figure 3-13 PDN résistif et capacitif avec cinq condensateurs.

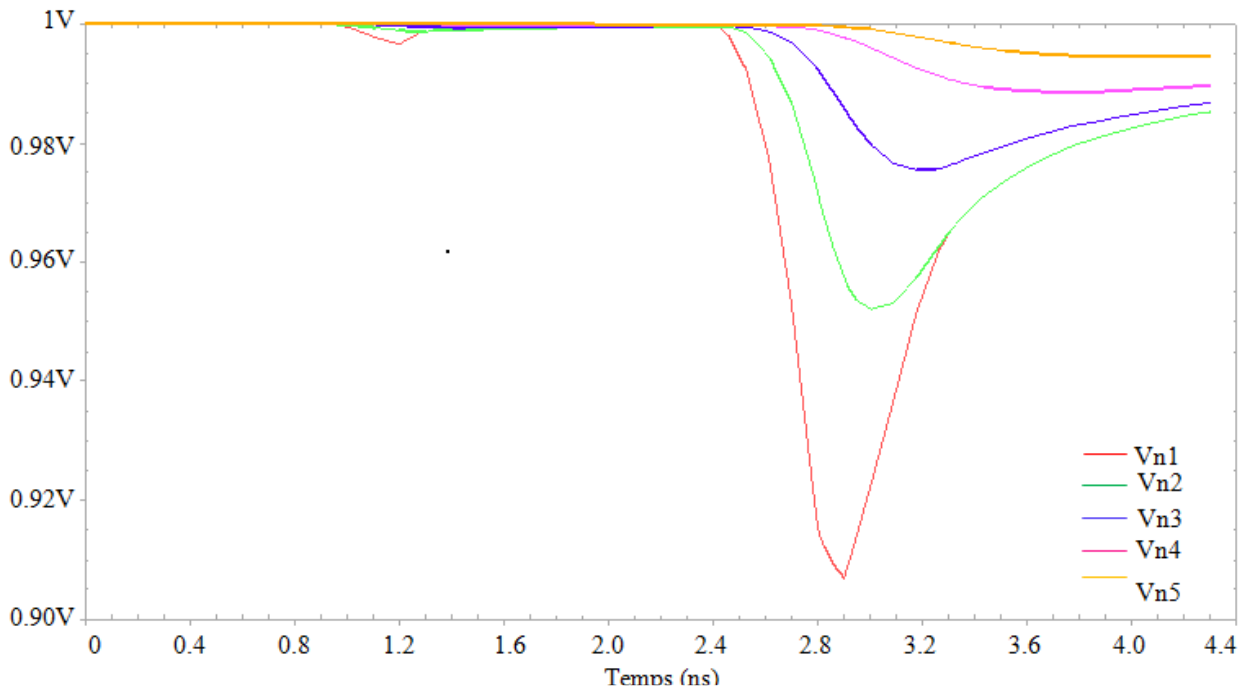
On voit sur la Figure 3.14.a et la Figure 3.14.b que la chute de tension au niveau les nœuds devient plus petite lorsque les nœuds sont plus éloignés du courant d'alimentation. Le courant fourni par un condensateur diminue rapidement lorsque la distance entre le condensateur et le nœud où l'inverseur est connecté augmente.



a. Visualisation des courants dans les résistances



b . visualisation des courants dans les capacités



c. Visualisation des tensions dans les nœuds

Figure 3-14 Courbes de courant et de tension de simulation pour un PDN à plusieurs condensateurs.

Dans une simulation sans condensateurs, le courant fourni par la source de tension est égal au courant absorbé par la porte en commutation. Dans ce cas-là le maximum de courant fourni par la source de tension diminue parce que la contribution de tous les condensateurs remplit une partie du tirage actuel. Lorsque la chute de tension générée par l'appel de courant, illustré à la figure 3.14.c, commence à diminuer, les condensateurs déchargés doivent être rechargés. Des condensateurs plus proches de la porte de commutation nécessitent plus de courant pour recharger que les autres car ils ont fourni plus de courant pendant la phase de décharge. Par conséquent, la source de tension doit fournir le courant nécessaire pour recharger les condensateurs et satisfaire le courant absorbé, qui est toujours actif.

De plus, la demande en courant pour recharger les condensateurs dure est permanente. En d'autres termes, les condensateurs commencent à exiger du courant à des moments différents les uns par rapport aux autres: à partir de la porte, le condensateur le plus proche commence à se recharger juste avant son voisin gauche et ainsi de suite pour le reste des condensateurs. Ainsi, les condensateurs les plus éloignés continuent à fournir du courant et à supporter la source de tension avec leur contribution en courant pendant un certain temps. À leur tour ces condensateurs commencent à exiger eux-mêmes le courant et arrêtent de soutenir la source de tension. À noter que la recharge continue même après la fin de l'appel en courant.

Lorsque le dernier condensateur entre dans la phase recharge, l'appel de courant est déjà terminé et la plupart des condensateurs sont déjà rechargés. La quantité de courant demandée

par un condensateur à la source pour sa recharge est la même que le courant qu'il a fourni au courant absorbé. Par conséquent, l'alimentation en tension doit fournir le courant à la fin de tirage, cependant le processus de décharge et de charge des condensateurs change la synchronisation. Et la tension d'alimentation en fournit la même quantité de courant, mais sur une plus longue durée de temps.

### 3.3.2.3 Impact des éléments capacitifs sur le courant de distribution

La présence de capacités dans le modèle PDN modifie la distribution de courant en amplitude et en temps. La quantité de courant libérée par chaque condensateur augmente lorsque la valeur du condensateur augmente. La quantité de courant libérée par chaque condensateur est une fonction décroissante de sa distance à la porte de commutation.

Le temps pendant lequel un condensateur fournit du courant augmente avec sa distance à la porte de commutation. Le temps après lequel un condensateur est complètement rechargé est une fonction croissante de sa distance à la porte de commutation. La distribution de courant active dure plus longtemps que la durée du courant.

L'impact des éléments capacitifs sur la distribution de courant diminue lorsque leur distance à la porte augmente. Plus ils sont éloignés de la porte en commutation, plus la quantité de courant fournie d'abord et ensuite exigée par le condensateur est petite. Cela signifie que l'impact des condensateurs peut être négligeable sur de plus grandes distances

Ces conclusions permettent de proposer à l'avenir un modèle qui ne comprend que l'élément capacitif autour de la porte en commutation.

## 3.4 Conclusion

Un le modèle électrique pour le PDN et la distribution de courant à travers lui ont été étudiés et définis dans ce chapitre. Par conséquent, une fois défini un modèle électrique au niveau de la porte et un modèle électrique pour le PDN, la chute de tension dans chaque point du PDN peut être calculé et nous pouvons estimer à l'avenir le retard induit par le phénomène IR-Drop. Mais aussi développer un simulateur tout en incluant des éléments capacitifs dans le modèle PDN.

## **Conclusion générale**

Avec l'arrivée des technologies fortement submicroniques la tension d'alimentation est fortement réduite et le nombre de transistors est augmenté dans les circuits intégrés. Par conséquent, le bruit de la tension d'alimentation a augmenté, ce qui a eu un impact négatif sur les performances et la fiabilité des puces. Le bruit de l'alimentation a pris une grande importance dans la conception et le test. L'une des plus importantes sources de chute de tension d'alimentation est l'IR-Drop qui est défini comme étant un phénomène lié aux éléments résistifs du PDN et à l'activité de commutation. Ce travail concernait la modélisation et la simulation de circuits logiques dans le contexte du retard induit par l'IR-Drop.

Ce travail a proposé les différentes caractéristiques de l'IR-Drop. En effet, la simulation implique une simulation électrique et une simulation logique. Pour cette raison, nous avons développé des modèles électriques précis pour les courants générés par les portes de commutation, la propagation de ces courants à travers le PDN et les retards des portes.

Le chapitre 1 a dressé un état de l'art sur la fiabilité et les défauts physiques les plus prépondérants dans la technologie actuelle et à venir. La définition détaillée du phénomène IR-Drop au niveau de la porte logique et les modèles électriques des paramètres impliqués dans un phénomène IR-Drop au niveau de la porte: courants dynamiques, courants statiques et retards des portes est présentée dans le chapitre 2.

Bien que ce travail aborde à l'origine le phénomène IR-Drop, le chapitre 3 a présenté une extension qui inclut des éléments capacitifs du PDN dans le modèle électrique afin d'analyser l'impact de ces éléments capacitifs sur la distribution du courant.

Un modèle électrique a été décrit pour les trois types d'éléments capacitifs présents dans le PDN: les condensateurs parasites du PDN physique, les condensateurs de découplage intentionnels et les condensateurs de découplage intrinsèques dus aux portes non commutables.

Après avoir étudié et analysé le comportement électrique de l'IR-Drop, nous avons conclu que la présence d'éléments capacitifs réduit la propagation de la chute de tension dans l'espace et que la chute de tension se dissipe lentement au fil du temps. Nous avons conclu aussi que l'impact des éléments capacitifs sur la distribution de courant diminue lorsque la distance augmente. Plus ils sont loin de la porte en commutation plus la quantité de courant est faible fourni et exigée par le condensateur. Ainsi, une fenêtre de capacité peut être

utilisée pour déterminer les éléments capacitifs qui sont adéquats dans la distribution de courant.

Grâce à la modélisation électrique, une analyse approfondie des paramètres électriques impliqués dans le phénomène IR-Drop a été présentée dans ce mémoire. L'impact de la chute de tension due à l'IR-Drop et sa propagation à travers le PDN a également été analysé. Cette connaissance peut être très utile pour aborder les futurs travaux sur l'IR-Drop. Les travaux futurs doivent se concentrer sur le développement d'une nouvelle version du simulateur qui inclut les éléments capacitifs du modèle PDN. Les informations obtenues peuvent être utilisées pour développer de nouvelles méthodes de génération de modèle de test pour tester les défauts de synchronisation induits par l'IR-Drop ou d'autres types de défauts.

# Références bibliographiques

- [Alb04] H. Albustani, “Modelling Methods for Testability Analysis of analog Integrated Circuits Based on Pole-Zero Analysis”, PhD thesis, Der Fakultät Ingenieurwissenschaften der Universität Duisburg-Essen, 06 Août 2004.
- [Alh85] M.H. Al-Hussein, “Path-delay computation algorithms for VLSI systems”, VLSI Design Conf., pp. 86–91, February 1985.
- [Bre74] [30] M. Breuer, “ The effects of races, delays, and delay faults on test generation, IEEE Trans. on Computers, vol. c-23, pp. 1078–1092, October 1974.
- [Cha74] Chang et al, "Comparison of parallel and deductive fault simulation methods
- [Chr03] M. Chrzanowska Jeske, " Between failure, reliability, yield and IC layout", spring 2003
- [Cim07] M. Cimino, " Conception de circuits radiofréquences sous contraintes de fiabilité étendue", thèse de doctorat, Université Bordeaux I, 2007
- [Cou08] A. Coulibaly, "modélisation sémantique et évaluation de performances comportementales de produits en conception", mémoire d’habilitation à diriger des recherches, Université Louis Pasteur, Strasbourg I, 2008
- [Del10] D. Delahaye, "Evaluation quantitative", fascicule de cours sûreté de fonctionnement, 2009-2010.
- [Eng00] N. Engin. Linking Mixed-Signal Design and Test : Generation and Evaluation of Specification-Based Tests, University of Twente in Enschede, the Netherland, 2000
- [Fer98] A. Ferre, “IDDQ testing: state of the art and future trends”, Integration, the VLSI journal 26, pp 167-196, 1998
- [Gei90] M. Geilert, J. Alt, and M. Zimmermann, “On the efficiency of the transition fault model for delay faults,” Int. Conf. on Computer-Aided Design, pp. 272–275, November 1990.
- [Ger09] José Luis Garcia Gervacio, “An Aware Methodology to Evaluate Circuit Testability for Small Delay Defects“, thèse de doctorat Tonantzintla, Puebla, Mexico, 2009.
- [Har95] R. Harvey, A. Richardson, and H. Kerho, “Defect Oriented Test Development Based on Layout inductive Fault Analysis”, In IEEE International Mixed-Signal Testing Workshop (IMSTW’05), pages 2–9, 1995
- [Hue93] J. Huertas, “Test and Design for Testability of Analog and Mixed-Signal Integrated Circuits: Theoretical Basis and Pragmatical Approaches”. In In Circuit Theory and Design : Selected Topics in Circuits and Systems. D.G. Haigh, J.L. Huertas, P.A. Humblet, M. Kunt, Elsevier Science Publishers, 1993.
- [Hit82] R. B. Hitchcock, G. L. Smith, and D. D. Cheng, “Timing analysis of computer hardware”, IBM Journal Research and Development, vol. 26, no. 1, pp. 100–105, January 1982.

- [Hay83] T. Hayashi, K. Hatamaya, K. Sato, and T. Natabe, "A Delay Test Generator for Logic LSI," IEEE International Test Conference, pp. 560–571, 1983
- [Haw94] C.F. Hawkins et al, "Defect classes - an overdue paradigm for CMOS IC testing", ITC, p. 413, 1994.
- [Kho07] A. Khouas, "Test de systèmes électroniques", fascicule de cours, École polytechnique Montréal, Automne 2007.
- [Krs98] A. Krstic and K.-T. T. Cheng, "Delay Fault Testing for VLSI Circuits". Kluwer Academic Publishers, 1998.
- [Li89] W. N. Li, S. M. Reddy, and S. K. Sahni, "On path selection in combinational logic circuits," IEEE Trans. on Computer-Aided Design, vol. 8, no. 1, pp. 56–63, January 1989
- [Lin87] J. C. Lin and S. M. Reddy, "On Delay Fault Testing in Logic Circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 6, pp. 694–703, 1987
- [Li03] Z. Li, X. Lu, W. Qiu, W. Shi, and D. M. H. Walker, "A circuit level fault model for resistive opens and bridges," VLSI Test Symposium, pp. 379–384, 2003.
- [Mac08] A. Machouat, "Développement et application d'une méthode d'analyse de défaillances fonctionnelles et contribution à l'amélioration de l'utilisation des techniques
- [Mou00] S. Mourad and Y. Zorian, "Principles of Testing Electronic Systems", John Wiley & Sons, Somerset, NJ, 2000.
- [Mil92] L. Milor, Fault-driven analog testing. Ph.d. dissertation, University of California, Berkeley, Calif, 1992
- [Mil98] L.-S. Milor. A tutorial introduction to research on analog and mixed-signal circuit testing. In IEEE transactions on Circuits and Systems-II : Analog and Digital Signal Processing, 45(10) :1389– 1407, October 1998
- [Mon02] R. Rodriguez-Montanes and J. P. de Gyvez, "Resistance characterization for weak open defects" , IEEE Design and Test , Sept.2002,pp:18-25
- [Mon02] R. Rodriguez-Montanes and J. P. de Gyvez, "Resistance characterization for weak open defects" , IEEE Design and Test , Sept.2002,pp:18-25 .
- [Jam01] C. M. James, Li, Chao-Wen Tseng, E.J. McCluskey, "Testing for Resistive Opens and Stuck Opens", ITC, 2001, 1049-1058
- [Par87] E. S. Park and M. R. Mercer, "Robust and Nonrobust Test for Path Delay Faults in a Combinational Circuit," IEEE International Test Conference, pp. 1027–1034, 1987.
- [Pra88] A. K. Pramanick and S. M. Reddy, "On the Detection of Delay Faults", IEEE International Test Conference, pp. 845–856, 1988.
- [Rod02] R. Rodriguez-Montanes, P. Volf and J. Pineda de Gyvez, "Resistance characterization for weak open defects", IEEE Design & Test of Computers , Vol. 19, n°5, pp. 18-26, 2002

- [Sar98] V.R. Sar-Dessai and D.M.H. Walker, "Accurate Fault Modeling and Fault Simulation of Resistive Bridges", International Symposium Defect and Fault Tolerance in VLSI Systems, pp. 102- 107, 1998.
- [Sar99] V.R. Sar-Dessai and D.M.H. Walker, "Resistive Bridge Fault Modeling, Simulation and Test Generation", Proc. International Test Conference, pp. 596-605, 1999
- [Smi85] G. L. Smith, "Model for Delay Faults Based upon Path", IEEE International Test Conference, pp. 342–349, 1985.
- [Sun99] S. Sunter and N. Nagi, "Test metrics for analog parametric faults". In 17th IEEE VLSI Test Symposium, pages 226–234, 1999
- [Ten85] N. N. Tendolkar, "Analysis of timing failures due to random ac defects in VLSI modules," Design Autom. Conf., pp. 709–714, June 1985.
- [Var97] P. Variyam and A. Chatterjee. Test Generation for Comprehensive Testing of Linear Analog Circuits Using Transient Response Sampling. In International Conference on Computer- Aided Design (ICCAD '97), p.p. 382–385, 9-13 Novembre 1997.
- [Vil97] A. Villemeur, "Sûreté de fonctionnement des systèmes industriels", Edition Eyrolles, 1997.ISSN : 0399-4198.
- [Yam96] H. Yamazaki, and Y. Miura, "IDDQ Testability of Flip-flop Structures", IEEE International Workshop on IDDQ Testing, pp.29-33, 1996
- 
- [She96] K.L. Shepard and V. Narayanan, "Noise in Deep Submicrom Digital Design", Computer-Aided Design, Proceedings of ICCAD/IEEE, pp.524-531, San Jose, CA, USA, 1996.
- 
- [Che97] H.H. Chen and D.D. Ling, "Power Supply Noise Analysis Methodology for Deep Submicron VLSI Design", Design Automation Conference, Proceedings of the 34th ACM/IEEE, pp.638-643, Anaheim, CA, USA, 1997.
- [Jia99] Y.M. Jiang and K.T. Cheng, "Analysis of Performance Impact Caused by Power Supply Noise in Deep Submicron Devices", Design Automation Conference, Proceedings of the 36th ACM/IEEE, pp.760- 765, New Orleans, LA ,USA, 1999
- [Sal00] R. Saleh, S. Z. Hussain, S. Rochel, and D. Overhauser, "Clock skew verification in the presence of IR Drop in the power distribution network", Computer-Aided Design of Integrated Circuits and Systems, vol. 19, No. 6, pp.635-644, 2000.
- [Pan03] S. Pant, D. Blaauw, V. Zolotov, S. Sundareswaran, and R. Panda, "Vectorless Analysis of Supp Noise Induced Delay Variation", Proceedings of IEEE International Conference on Computer-Aid Design, pp 184-191, 2003.
- [Tir04] C. Tirumurti, S. Kundu, S. K. Susmita, and Y. S. Change, "A Modeling Approach for Addressing Power Supply Switching Noise Related Failures of Integrated Circuits" Proceedings of Design, Automation and Test in Europe Conference, pp. 1078-1083, 2004.

- [Pan06] S. Pant, E. Chiprout ;"Power grid physics and implications for CAD", Design Automation Conference, San Francisco, Proceedings of 43rd Design Automation Conference ACM/IEEE, LA, USA 2006
- [Gup06] P. Gupta and A.B. Kahng; "Efficient Design and Analysis of Robust Power Distribution Meshes", 19th International Conference on VLSI Design, Pages 337-342, 2006
- [Che02] L.H. Chen, M. Marek-Sadowska, and F. Brewer; "Coping with Buffer Delay change due to Power and Ground Noise," In Proceeding of Design Automation Conference, pp. 860 – 865 New Orleans, LA, USA, 2002.
- [Pan00] R. Panda, D. Blaauw, R. Chaudhry, V. Zolotov, B. Young, R. Ramaraju; "Model and Analysis for Combined Package and on-chip Power Grid Simulation", Low Power Electronics and Design, pp. 179 – 184, 2000
- [Shi01] Shiyu Zhao , Kaushik Roy , Cheng-kok Koh, "Estimation of inductive and resistive switching noise on power supply network in deep sub-micron CMOS circuits " , International Conference on Computer Design,Pages 65 - 72 ,Austin, TX,USA ,2000
- [Bai01] G. Bai, S. Bodda and I. N. Hajj, "Static Timing Analysis Including Power Supply Noise Effect on Propagation Delay in VLSI Circuits," ACM/IEEE Design Automation Conf. , pp. 295-300, Las Vegas, NV, USA, June 2001
- [Kri95] H. Kriplani, F. N. Najm, and I. N. Hajj; "Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithms, Signal Correlations, and Their Resolution,"TCAD, pp. 998-1012, August 1995.
- [Wan05] L.-C. Wang, Qiu Wangqi, S.Fancler, D.M.H. Walker; "Static compaction of delay tests considering power supply noise", VLSI Test Symposium, pp: 235-240, May 2005
- [Lar99] P. Larsson; "Power Supply Noise in Future IC's: A Cristal Ball Reading," in Proc. IEEE Custom Integr. Circuits Conf., pp. 467-474, San Diego, CA, USA, 1999
- [Har06] J. Gu, R. Harjani and C. Kim; "Distributed Active Decoupling Capacitors for On-Chip Supply Noise Cancellation in Digital VLSI Circuits" in Proc. Symp. Very Large Scale Integr. (VLSI) Circuits, pp. 216-217, Honolulu, HI ,USA, 2006
- [Muk02] A. Mukherjee, K. Wang, L.H. Chen and M. Marek-Sadowska; "Sizing Power/Ground Meshes for Clocking and Computing Circuit Components", Proc. IEEE/ACM Design Automation and Test in Europe, pp.176-183, Paris, France, March 2002
- [Sha03] K. Shakeri, R. Savari and J. D. Meindl; "Compact Physical IR-drop Models for GSI Power Distribution Networks", Proceedings of IEEE International Interconnect Technology Conference, pp.54-56, June 2003
- [Sha05] K. Shakeri and J. D. Meindl; "Compact Physical IRDrop Models for Chip/Package Co-Design of Gigascale Integration (GSI)", IEEE Transactions on Electron Devices, vol. 52, no. 6, pp.1087-1096, Reno, NV, USA, May 2005

[And08] D.A. Andersson, L.J. Svensson, P. Larsson-Edefors; "Noise-Aware On-Chip Power Grid Considerations Using a Statistical Approach" International Symposium on Quality Electronic Design, pp.663-669, San Jose, CA, USA , March 2008

[Riu13] J. Rius; "IR-Drop in On-Chip Power Distribution Networks of ICs with Nonuniform Power Consumption". IEEE Trans. VLSI Syst. Vol. 21, no 3, pp. 512-522 ,March 2013

[31] <http://www.apache-da.com/products/redhawk>

[32] <http://www.synopsys.com/Tools/Implementation/SignOff/Pages/PrimeRail.aspx>

[33] <http://www.mentor.com/pcb/hyperlynx/>

[Min98] Y.Min Jiang; Kwang-Ting Cheng; "Exact and approximated estimated for maximum instantaneous current of CMOS circuits" Design, Automation and Test in Europe, pp. 698-702, Paris, France, Feb.1998)

[13] Yi-Min Jiang; Kwang-Ting Cheng; An-Chang Deng; "Estimation of maximum Power supply noise for deep sub-micron design" Low Power Electronics and Design6 , Pages 233 – 238, Monterey ,CA ,USA ,1998

[12] Jing-Jia Liou; Krstic, A.; Yi-Min Jiang; Kwang-Ting Cheng; "Path selection and pattern generation for dynamic timing analysis considering power supply noise effects" International conference Computer Aided Design, Pages 493 – 496, San Jose, CA, USA 2000

[14] Krstic, A.; Yi-Min Jiang; Kwang-Ting Cheng; "Pattern Generation for delay testing and dynamic

timing analysis considering power supply noise effects" Computer-Aided Design of Integrated Circuits and Systems, Pages 416 - 425, 2001

[35] S. Bhowmick, O. Tiwari, S. Sur-Kolay and B. B. Bhattacharya; "Test pattern generation for Multi-cycle Power Droop using SAT solver" European Test Symposium 2011, pp. 23-27, Trondheim, Norway, May 2011

[36] I. Polian , A.Czutro, S. Kundu and B. Becker; "Power Droop Testing", International Conference Computer Design, ICCD, pp. 243 – 250, San Jose, CA, USA, Oct. 2006

[37] J. Saxena, K.M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreeprakash; M. Hachinger; "A Case Study of IR-Drop in structure at-speed testing" In Proceeding International Test Conference ITC, pp. 1098-1104, Oct. 2003

[44] J. Li, Q. Xu, Y. Xu and X. Li, "iFill: an Impact-Oriented X-filling Method for shift-and capture-Power Reduction in At-Speed Scan-Based Testing" in Proceedings of the Design, Automation, and Test in Europe Conference and Exhibition, pp. 1184-1189, Munich, Germany, March 2008