

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri de Tizi-Ouzou



Faculté de Génie Electrique et d'Informatique
Département d'Electronique

**Mémoire de Fin d'Etude
de MASTER ACADEMIQUE**
domaine : Sciences et technologies
Filière : Génie électrique
Spécialité : Microélectronique

Présenté par
Mezeghrane Redouane
Azzi Samia
Thème

***Implémentation physique d'un amplificateur à faible bruit avec la
technologie CMOS 0.13 μ m***

LIEU DE STAGE : Centre de Développement des Technologies Avancées (CDTA)
[Division Microélectronique et Nanotechnologie(DMN)]

Mémoire soutenu publiquement le 26/09/2018 devant le jury composé de :

M Rachid ZIRMI

Professeur, UMMTO,

Promoteur

M Sid-Ahmed TEDJINI-BAÏLICHE

Chercheur, CDTA,

Encadreur

M BENNAMANE Kamal

Professeur, UMMTO,

Président

M^{me} NEMMAR Farida

Professeur, UMMTO,

Examinatrice

2017/2018

Remerciements

Ce travail a été réalisé au Centre de Développement des Technologies Avancées (CDTA) et plus précisément au sein de la division Microélectronique et Nanotechnologie. Nous voudrions donc tout d'abord remercier pour la qualité de leur accueil Monsieur Abdelhalim SLIMANE et Sid-Ahmed TEDJINI-BAÏLICHE et de nous avoir permis d'intégrer leur équipe Analog /RF IC Design. Nous tenons aussi à remercier son directeur de nous avoir accueilli et avoir mis à notre disposition les moyens nécessaires pour l'accomplissement de notre travail.

Nous tenons à exprimer notre profonde gratitude à M. Rachid ZIRMI, notre promoteur Professeur à L'UMMTO pour ses encouragements, sa patience, sa disponibilité, sa sympathie et ses grandes compétences scientifiques, dont il nous a fait profiter. Nous le remercions également de nous avoir orientée vers un domaine de recherche si intéressant pour ses idées pertinentes, et l'enthousiasme qu'il nous a transmis tout au long de cette étude.

Nous remercions chaleureusement notre encadreur Monsieur Sid-Ahmed TEDJINI-BAÏLICHE chercheur au sein de la division microélectronique et nanotechnologie, pour son aide, ses conseils, sa disponibilité nous ont été d'une grande utilité pour mener à terme ce travail.

Nous remercions chaleureusement les membres du jury d'avoir accepté d'examiner notre travail.

Nous remercions tous les enseignants de l'université de l'UMMTO spécialement ceux de la faculté de génie électrique et de l'informatique département de l'électronique pour le savoir qu'ils nous ont transmis.

Enfin, nous remercions tout à toute personne ayant contribué, de près ou de loin, à réaliser ce travail.

Et finalement, nous sommes reconnaissants envers nos familles respectives, qui nous ont été d'un grand soutien moral.

Dédicaces

Je dédie ce travail à mes chers parents, pour tous leurs sacrifices, leur amour, leur soutien et leurs prières tout au long de mes études.

A ma chère sœur Kenza et mes chers frères, Achour, Mounir et Djamel, pour leur appui et leur encouragement.

A mes chers grands parents pour leur encouragement permanents et leur soutien moral.

A mon cher oncle Ahcene et ça femme Fadhila pour leur soutien et leur encouragement.

A mon cher oncle Nourredine et ça femme Nacira pour leur soutien moral

A ma chers tante Ghania et son Mari Chrif et ses filles Tassadit, Sofia et Sylia.

A toute ma famille.

Je dédie aussi ce travail à mon binôme Samia AZZI

A tous mes chers ami(e)s pour leur soutien tout au long de mon parcours

Que ce travail soit l'accomplissement de vos vœux tant allégués, et le fruit de votre soutien infailible.

Merci d'être toujours la pour moi.

Redouane

Dédicaces

*Avant tous, je remercie dieu le tout puissant de
M'avoir donné le courage et la patience pour réaliser
Ce travail malgré toutes les difficultés rencontrées.*

Je dédie ce modeste travail :

*A mes très chers parents, que dieu les garde et les
Protège pour leurs soutien moral et financier, pour
Leurs encouragements et les sacrifices qu'ils ont endurés.*

A mes frères Slımane Hocıne Iounas

A mes sœurs Sonıa, Noura, Ouıza et Zına, et leurs mari ainsi leurs enfants

A toute ma famille

A mon binôme Redouane avec qui j'ai partager ce travail, et toute sa famille

A tous mes amis et camarades de promotion

*Ainsi qu'a tous ceux qui m'ont aide de prés ou de loin pour l'élaboration de
ce travail.*

Samıa

LISTE DES ABREVIATIONS

AC	: Alternating current,
ADE	: Analog Design Environnement.
BJT	: Bipolar Junction Transistor - Transistor bipolaire.
CDMA	: Code Division Multiple Access.
CL1	: 1dB Compression Point.
CNA	: Convertisseur Numérique/ Analogique.
CMOS	: Complémentary Metal Oxide Semiconductor.
DC	: Direct current,
DK	: Design Kit.
DRC	: Design Rule Schecking.
ESD	: Electro statique décharge.
FI	: Fréquence intermédiaire.
fT	: fréquence de transit.
GO2	: Gate oxide 2.
GPS	: (Global Positioning Système), système de positionnement par satellites.
I/O	: Input /Output.
IMD	: (Inter Metal Dielectric), Diélectrique inter-métal.
IM3	: third-order intercept point.
IP3	: third-order intercept point.
Ii3	: input third-order intercept point.
LDD	: (Lightly Doped Drain), Drain Faiblement Dopée.
LNA	: (Low Noise Amplifier), Amplificateur Faible Bruit.
LTE	: long term evolution.
LVS	: (Layout Versus Schimatic), Layout contre schématique.
MIM	: (Metal- Isolating-Metal), Métal Isolant Métal.
MOS	: (Metal Oxide Semiconductor), Métal-Oxyde-Semi-conducteur.
MOSFET	: (Metal Oxide Semiconductor Field Effect Transistor), Transistor à effet de champ.
NF	: Noise Figure.
NMOS	: Transistor à effet de champ MOS à canal N.
NiSi	: Siliciure de nickel.
P1dB	: 1dB Compression Point.
PGS	: (Paternal Ground Shield) pland de masse ou « Patterné » inductance
PLS	: (Poste Layout Simulation)
PMD	: (Pre-Metal Dielectric), Diélectrique pré-métal.

PMOS : Transistor à effet de champ MOS à canal P.

Re : Partie Imaginaire.

RF : (Radio Frequency), radio-fréquence.

SAW : Surface Acoustic Wave (onde acoustique de surface)

SiO₂ : Oxyde de silicium (isolant)

Si₃N₄ : Nitrure de silicium.

SNR : Signal Noise Ratio.

SP : Paramètre S

STI : Shallow Trench Isolation, (Tranchées D'isolation Peu Profondes)

S₁₁ et S₂₂ : Coefficients de la réflexion d'entrée sortie

S₁₂ : Coefficient de transmission inverse.

S₂₁ : Coefficient de Transmission (gain en puissance)

UMTS : Universal Mobile Telecommunications System

WCDMA : Wideband Code Division Multiple Access

WiMAX : worldwid interoperability for microwave access

WI-FI : Wireless Fidelity

VCO : (Voltage Control Oscillator), oscillateur contrôle en tension

ZCE : Zone de charge d'espace

Liste des figures

Figure 1.1. Evolution des circuits RF avec l'évolution de la technologie [6].....	03
Figure 1. 2. Différents structures et symbole du transistor MOSFET [9].....	05
Figure 1. 3. Effet de champ dans un transistor MOS [9].....	06
Figure 1. 4. Diagramme d'énergie d'une structure MOS pour un SC de type P en condition de bandes plates [10].....	08
Figure 1. 5. Diagramme d'énergie d'une structure MOS en régime (a) d'accumulation (b) déplétion (c) inversion [10].....	08
Figure 1. 6. Caractéristique $I_D (V_{GS})$ d'un transistor nMOSFET [4].....	12
Figure 1.7. Modulation de la résistivité du canal par polarisation du drain à trois régimes [9].....	12
Figure 1. 8. Caractéristiques de sortie d'un MOSfet.....	15
Figure 1.9. Les capacités du transistor MOSFET en haute fréquences.....	15
Figure 1.10. Bruit généré par une résistance.....	17
Figure 1. 11. Sources de bruit dans le transistor MOSFET [15].....	18
Figure 1.12. Schéma de bruit du courant induit par la grille et la tension équivalente [24].....	19
Figure II.1. Récepteur superhétérodyne [20].....	21
Figure II.2. Récepteur homodyne [20].....	21
Figure II.3. Récepteur faible IF.....	22
Figure II.4. : Architectures utilisant des chaînes de réception implantées parallèlement [20].....	24
Figure II.5. Architecture avec une chaîne de réception partiellement partagée.....	24
Figure II.6. Architecture avec une chaîne de réception partagée [20].....	25
Figure II.7. Illustration des paramètres S d'un quadripôle [21].....	27
Figure II.8. Etage en cascade d'un récepteur [20].....	28
Figure II.9. Système non-linéaire [20].....	29
Figure II.10. Point de compression à -1 dB ou CP1 [21].....	30
Figure II.11. Point d'interception d'ordre 3 [21].....	30
Figure II.12. (a) amplificateur à contre réaction résistive (b) circuit simplifier [22].....	31
Figure II.13. Amplificateur à contre réaction résistive (current reuse configuration).....	32
Figure II.14. Amplificateur à terminaison résistive.....	32
Figure II.15. Amplificateur à terminaison $1/g_m$	32
Figure II.16. Amplificateur à dégénérescence inductive.....	33
Figure III.1 Représentation du frontale à conversion direct multistandards.....	35
Figure III.2. Schéma simplifié du circuit Reconfigurable LNA.....	36
Figure III. 3. Représentation schématique du circuit Buffer.....	39

Figure III.4. Diagramme représentatif des étapes de conception du schéma électrique du LNA sur cadence.....	40
Figure III.5. Implémentation du LNA sur (Virtuoso schematic Editor).....	41
Figure III.6. Schéma Test du LNA alimenté pour une simulation (TB_LNA).....	42
Figure III.7. Virtuoso Analog Design Environment (ADE) – Lancement du simulateur SPECTRE.....	43
Figure III.8. Choix de l'analyse et paramétrage d'une simulation SP.....	44
Figure III.9. Introduction des expressions pour les sorties.....	44
Figure III.10. Paramètres du M1 Extraites avec (ADE).....	45
Figure III.11. Simulation du facteur de qualité de L'inductance.....	46
Figure III.12. Résultats de simulation du facteur de qualité de l'inductance.....	47
Figure III.13. Résultat de simulation Gain en tension du schéma LNA avec (ADE).....	48
Figure III.14. Résultats analytique du gain en tension (LNA) et comparaison avec la simulation.....	48
Figure III.15. Résultat de simulation de la résistance d'entrée (Rin).....	49
Figure III.16. Résultat de simulation de la résistance d'entrée (Rin).....	50
Figure III.17. Schéma du Buffer b) Test du buffer (TB_buffer).....	50
Figure III.18. Résultat de simulation du Buffer.....	51
Figure III.19. (TB_LNA+Buffer) test circuit du LNA+Buffer	52
Figure III.20. Résultat de simulation du Gain en tension et figure du bruit(LNA +Buffer).....	53
Figure III.21. Résultat de simulation du Bruit du LNA+Buffer.....	53
Figure IV.1. Dessin de masque (LAYOUT) des deux transistors	56
Figure IV.2. Dessin de masque (LAYOUT) du transistor PMOS avec plusieurs doigts (Multi-Finguer	56
Figure IV.3. Schéma électrique de transistor PMOS en parallèle.....	56
Figure IV.4. Transistor multi finger avec dummy et (STI) [26].....	57
Figure IV.5. Coup transversal et dessin de masque (Layout) d'une Capacité MIM	58
Figure IV.6. (a) représentation symbolique d'une diode varicap (b) LAYOUT d'un VARACTOR.....	59
Figure IV.7 : Exemple d'une inductance avec plan de masse ou « patterné » (Pattern Ground Shield).....	60
Figure IV.8. Dessin de masque (LAYOUT) d'une inductance intégré.....	60
Figure IV.9. Coup transversal et LAYOUT d'une résistance intégrée en Poly-silicium.....	61
Figure IV.10. Coup transversal, LAYOUT et Schématique des Pads I/O et gnd.....	62
Figure IV.11. Représentation 3D du réseau des interconnexions dans les circuits intégrés.....	63
Figure IV.12. Technologie 130 nm CMOS STM (HCMOS9GP)	64
Figure IV.14. Le niveau hiérarchique de la conception d'un LNA+Buffer.....	69
Figure IV.15. a) schématique (bloc1) ; b) schéma décomposé en sous-bloc.....	71
Figure IV.16. Schématique du sous-bloc1, a) Current-Reuse, b) Dummy.....	71
Figure IV.17. Layout du sous-bloc1 (Current-Reuse).....	72

Figure IV.18. a) Layout du sous-bloc2 (BiasIn) b) schématique sous-bloc2 (BiasIn).....	73
Figure IV.19. a) layout du sous-bloc3 (Feedbak) b) schématique du sous-bloc3	74
Figure IV.20. Layout de L'étage 1 (bloc1) amplificateur a contre réaction résistive	75
Figure IV.21. schéma-bloc de l'étage-2 (bloc2).....	75
Figure IV.22. 1) inM3 a) Layout b) schématique. 2) M3 a) Layout b) schématique 3) LCtank a) layout b) schématique).....	76
Figure IV.23. Layout final du (bloc-2)-----	77.
Figure IV.24. Schéma bloc de l'assemblage (bloc-1 +bloc-2)-----	78
Figure IV.25. Layout (LNA	79
Figure IV.26. a) Layout des MOSFET b) entrée du buffer	80
Figure IV.27. Layout final du Buffer	80
Figure IV.28. Layout LNA+Buffer	81
Figure IV.29. Capacité de découplage a) Layout b) schématique.....	82
Figure IV.30. Layout final du LNA+buffer	83
Figure IV.31. Résultats de vérification LVS	84
Figure IV.32. Comparaisons du layout de tous les blocs avec schématiques	84
Figure IV.33. Extraction des composants parasites du layout avec PLS	85
Figure IV.34. Simulation (ADE) avec Parasite Post-Layout	86
Figure IV.35. Résultats de simulation PLS du Buffer.....	87
Figure IV.36. (a): Résultats de simulation PLS du bruit et Gain en tension (LNA+Buffer.....	88
Figure IV.36. (b): Résultats de simulation PLS des Paramètres S (LNA+Buffer.....	88

La liste des tableaux

Tableau II.1 : Avantages et inconvénients des trois architectures	22
Tableau II.1 : Comparatif des topologies classiques de LNA	34
Tableau III.1 : Caractéristiques des composants intégrés utilisés et leurs valeurs	41
Tableau IV.1 : Résultats de simulation schématique et Post-Layout du Buffer	87

Symboles

<p> C_{dep} : Capacité de la couche de déplétion. C_{var} : Capacité variable (varactor) C_{gd} : Capacité grille drain. C_{gcanal} : Capacité grille canal C_{gs} : Capacité grille source. C_{ov} : Capacité de recouvrement. C_{ox} : Capacité de l'oxyde de grille C_{jsb} : Capacité jonction source substrat. C_{jdb} : Capacité jonction drain substrat. C_{sb} : Capacité Source – Substrat (Bulk) C_{ss} : Capacité associée aux états d'interface dB : Décibels E_C : Niveau d'énergie de la bande de conduction E_V : Niveau d'énergie de la bande de valence E_i : Niveau de Fermi intrinsèque f_{max} : Fréquence maximal. G : Gain en puissance. GHz : Gigahertz (10^9 Hertz) g_{ds} : Conductance drain source gm : Transconductance G_{V2} : Gain en tension I_D : Courant de drain I_{DS} : Courant drain-source d'un transistor mos I_{Dsat} : Courant de saturation du drain I_{OFF} : Courant de drain en saturation à l'état bloqué (Off-State Current) I_{ON} : Courant de drain en saturation à l'état passant (On-State Current) I_{Th} : Courant drain-source à $V_{GS} = V_{th}$ K : Coefficient de Boltzmann ($1,38.10^{-23}$ J/K). L_g : Longueur de grille L_S : Inductance de source ni : Concentration intrinsèque du silicium N_A : Concentration en atomes accepteurs N_D : Concentration en atomes donneurs </p>	<p> P_{out} : Puissance de sortie. P_{in} : Puissance d'entrée. PN_{in} : Puissance du bruit d'entrée PS_{in} : Puissance du signal d'entrée q : Charge électronique élémentaire ϕ_F : Potentiel de Fermi ϕ_m : Travail de sortie du métal ϕ_s : Travail de sortie du semi-conducteur θ_0 : Facteur de réduction intrinsèque de la mobilité $q\chi_{st}$: L'affinité électronique d'un semi-conducteur Q_{dep} : Charge de la zone de déplétion Q_{inv} : Charge de la zone d'inversion Q_s : Facteur de qualité Ψ_s : Potentiel de surface R_{in} : Résistance d'entrée r_{LOSS} : Résistance parallèle de l'inductance R_{ds} : Résistance drain source R_S : Résistance série R_F : Résistance contre réaction S : pente sous le seuil μ_0 : Mobilité à faible champ électrique μ_{off} : Mobilité effective des porteurs dans le canal V_{dd} : Tension d'alimentation V_{DS} : Tension drain source V_{Dsat} : Tension de saturation du drain V_{GS} : Tension grille-source V_{Th} : Threshold voltage (tension de seuil) V_{FB} : Tension de Flat Bande (bande plate) W : Largeur du canal ϵ_0 : Permittivité du vide $\epsilon_0 = 8.85.10^{-12}$ ϵ_{ox} : Permittivité de l'oxyde de Silicium λ : Epaisseur de la zone de charge d'espace λ_0 : Epaisseur minimal de la zone de charge d'espace X_J : Profondeur de jonction </p>
--	---

Sommaire

SOMMAIRE

La liste des abréviations

Liste des figures

Liste des tableaux

Liste des symboles

INTRODUCTION GENERALE.....1

CHAPITRE 1 : GENERALITES SUR LA TECHNOLOGIE CMOS ET LE FONCTIONNEMENT DU TRANSISTOR MOSFET

1.1. INTRODUCTION	3
1.2. Evolution des circuits avec l'évolution de la technologie CMOS	4
1.3. LA STRUCTURE DU TRANSISTOR MOSFET	4
1.3.1. L'électrode de grille	4
1.3.2. Le canal	4
1.3.3. Le module de jonction et extension.....	5
1.4. Différents type de transistor MOSFET.....	5
1.5. Le principe de fonctionnement d'un transistor MOSFET	6
1.6. Les différents régimes d'une structure MOS	7
1.6.1. régime d'accumulation	8
1.6.2. régime de déplétion ou faible inversion.....	8
1.6.3. régime de forte inversion.....	9
1.7. MODELISATION DE MOSFET.....	9
1.7.1. Potentiel de bandes plates.....	9
1.7.2. Tension de seuil.....	10
1.7.3. Tension sous seuil.....	11
1.8. Modélisation des régimes de conduction d'un MOSFET	12
1.8.1. Régime ohmique (Linéaire).....	12
1.8.2. Régime de saturation	14
1.9. Modélisation en fréquence du MOSFET	15
1.10. Les effets parasites dans le MOSFET	16
1.11. Origines physique du bruit dans le MOSFET	16
1.11.1. Le bruit en 1/f (Flicker Noise).....	17
1.11.2. Le bruit thermique	17
1.11.2.1. Bruit thermique dans le MOSFET	17
1.11.2.1.1. Bruit du courant de canal	18
1.11.2.1.2. Bruit induit par la grille	18
1.12. CONCLUSION	19

CHAPITRE 2 : ETAT DE L'ART SUR LES SYSTEMES DE RECEPTION RADIO FREQUENCE

2.1. INTRODUCTION.....	20
2.2. DESCRIPTION DE LA CHAINE DE RECEPTION	20

2.3. Architecture de réception radio fréquence	20
2.3.1. Architecture superhétérodyne	20
2.3.2. Architecture homodyne	21
2.3.3. Architecture faible IF (Fréquence intermédiaire)	22
2.3.4. Comparaison des architectures	22
2.4. Les récepteurs multi-bandes/multistandards	23
2.4.1. Architecture parallèle	23
2.4.2. Architecture avec partage partiel de certaines fonctions RF	24
2.4.3. Architecture avec partage de toutes les fonctions RF	24
2.4.4. Comparaison des architectures	25
2.5. FONCTIONNALITES ET CARACTERISTIQUES DES BLOCS RF	25
2.5.1. Définition des blocs	25
2.5.1.1. Amplificateur à faible bruit	25
2.5.1.2. Mélangeur	25
2.5.1.3. Filtre	26
2.5.1.4. L'oscillateur local	26
2.6. L'importance de LNA dans une chaîne de réception	26
2.7. Définition des caractéristiques	27
2.7.1. Gain et adaptation d'impédance	27
2.7.2. Le Facteur de Bruits	28
2.7.3. Bruit d'un système	28
2.7.4. La sensibilité	29
2.7.5. La linéarité	29
2.7.5.1. Point de compression a -1 dB	29
2.7.7.2. Le point d'interception d'ordre 3	30
2.8. TOPOLOGIER DE L'AMPLIFICATEUR FAIBLE BRUIT	31
2.8.1. Amplificateur à contre-réaction résistive (Resestive Feedback)	31
2.8.2. Amplification à terminaison résistive	32
2.8.3. LNA à terminaison 1/gm (1/gm termination LNA)	32
2.8.4. LNA a dégénérescence inductive (Inductive degeneration LNA)	33
2.8.5. Comparaison et critère de choix de la topologie de LNA	33
2.9. CONCLUSIONS	34

CHAPITRE 3 : REALISATION D'UN LNA SOURCE COMMUNE COMPLEMENTAIRE A CONTRE REACTION RESISTIVE EN TECHNOLOGIE CMOS 130NM

3.1. INTRODUCTION	35
3.2. Le rôle d'un amplificateur à faible bruit LNA reconfigurable	35
3.3. Etude et analyse de la topologie du LNA choisie	36
3.3.1. Etude analytique du LNA, circuit	36
3.3.1.1. La résistances d'entrée	36
3.3.1.2. Le Gain en tension du LNA	37
3.3.1.3. Analyse de bruit du LNA	37
3.4. Adaptation de la sortie	37
3.5. IMPLEMENTATION DU CIRCUIT (LNA) ET RESULTATS DE SIMULATION	39
2.5.1. Saisie du schéma du LNA	40
3.5.2. Simulation du LNA avec (ADE) « Analog Design Environnement »	42
3.5.3 Extraction des paramètres et résultats de simulation	45
3.5.3.1. Extraction de paramètre des transistors	45
3.5.3.2. Facteur de qualité de l'inductance	46
3.6. Résultats de simulation et comparaison avec l'analytique	47
3.6.1. Gain en tension du LNA	47

3.6.2. Résistance d'entrée.....	49
3.6.3. Figure de bruit	49
3.7. Saisie du circuit buffer et simulation.....	50
3.7.1. Résultats de simulation du buffer	51
3.7.1.1. Simulation Gain et S22 du Buffer avec (ADE).....	51
3.7.2. Discussions des résultats	51
3.8. Implémentation du LNA+Buffer et simulation	52
3.9. Résultats de simulation et discussions des résultats	52
3.9.1. Gain en tension et Figure de bruit.....	52
3.9.2. Paramètres (S).....	53
3.10. CONCLUSIONS	54

CHAPITRE 4 : METHODOLOGIE DE DESSIN DES MASQUES DU LNA

4.1. INTRODUCTION	55
4.2. Présentation de la technologie	55
4.3. Présentation de composants intégrés Technologie CMOS 130 nm	55
4.3.1. Les Transistor MOSFET	
Erreur ! Signet non défini.	
4.3.2. La capacité MIM.....	57
4.3.3. Diode à capacité variable, « Varactor ou varicap ».....	58
4.3.4. Inductance intégrée	59
4.3.5. Les Resistances intégrées	61
4.3.5. Les plots (PADS).....	62
4.4. Niveaux métalliques de la technologie CMOS 130 nm de (STMicroelectronics)	62
4.3.5. Les Vias	63
4.5. Techniques d'isolation dans la technologie CMOS 130 nm.....	63
4.6. Contraintes de Conception des Circuits Intégrés Analogiques	64
4.7. Méthodologie de dessin de masques (Layout) du circuit intégré (LNA+Buffer) avec « Virtuoso Layout Editor » de CADENCE IC	65
4.7.1. Contraintes de Routage des circuits intégrées analogique.....	67
4.7.2. Stratégie de Dessin de masques Hiérarchique des Circuits Intégré	68
4.8. Procédure de dessin de masque LAYOUT du (LNA+Buffer)	70
4.8.1. Dessin de masque du LNA	70
4.8.2. Dessin de masque Layout Buffer.....	79
4.8.3. Assemblage layout du LNA+Buffer	80
4.8.4. Layout final du LNA	81
4.8.5. Résultats de vérification (LVS)	83
4.9. Simulation Post-Layout	85
4.9.1. Extraction des composants parasites	85
4.9.2. Simulation (ADE) avec parasites	86
4.9.3. Résultats de simulation Post-Layout	86
4.9.4. Résultat de Simulation Post-Layout du Buffer.....	87
4.9.5. Résultat de Simulation Post-Layout du (LNA+Buffer) final	88
4.9.6. Discussions des résultats de simulation Post-Layout du (LNA+Buffer).....	89
4.10. CONCLUSION	89

Références bibliographique

Annexes

INTRODUCTION

Introduction générale

L'explosion du marché des dispositifs de télécommunications sans fils (téléphone, tablette,...) comportent un nombre toujours croissant de modules pouvant appartenir à des domaines différents incite les industrielles à fournir des produits toujours moins chers pour être compétitifs. conforté par les progrès technologiques réalisés en matière de conception, de fabrication et d'intégration (à très grande échelle) des circuits en technologie CMOS, permet de réduire le coût de production en intégrant des systèmes électroniques entiers sur une unique puce réalisés auparavant sous forme de cartes. Pour la conception de circuit radiofréquence, des problématiques restent encore à résoudre pour réduire le coût de production, comme par exemple la rapide portabilité vers différentes technologies ou vers de nouveaux standards. L'industrie sollicite alors une conception de circuit analogique radiofréquence très haut intégrités avec moins de composants possible. Des problématiques de consommation de puissance apparaissent aussi avec l'utilisation des objets communicants fonctionnant sur des sources d'énergie autonome (par exemple une batterie). Nos travaux de recherches se sont donc intéressés sur l'implémentation physique d'un amplificateur faible bruit (Low Noise Amplifier-LNA) qui est un bloc primordial dans la chaîne de réception radio fréquence qui devra répondre aux exigences qui sont

- Très haute intégrité
- Performances élevé
- Faible cout
- Faible consommation
- Large bande de fréquences

Les conceptions sont faites en utilisant un Design-Kit de STMicroelectronics qui comporte la technologie CMOS 130 nm et avec la plateforme de design Cadence IC. Plusieurs outils de simulations ont été utilisés, notamment le logiciel Spectre RF pour la simulation du schématique. Le logiciel Virtuoso de la plateforme Cadence IC a été utilisé pour le dessin des masques de l'amplificateur faible bruit et le logiciel Calibre également de la plateforme cadence IC a été utilisé pour les vérifications DRC et LVS. Les résultats finals présentés pour l'amplificateur faible bruit sont les simulations post-layout, ces résultats nous permet de valider ou non son fonctionnement.

La contribution de ce mémoire consiste au développement du module récepteur pour les modules de communications. Ce travail concerne donc le développement d'un Amplificateur faible bruit, dont la conception électrique et physique devra répondre aux exigences de ces applications en termes de performances, consommation, et de coût.

Pour exposer l'ensemble des travaux, le rapport est articulé autour de quatre chapitres. Le premier chapitre présente la technologie CMOS, le mode de fonctionnement d'un transistor MOSFET et les différents sources de bruit d'un MOSFET.

Le deuxième chapitre nous présentant un état de l'art des éléments clés de l'architecture RF et nous exposant les différentes architectures et circuits utilisées dans les réseaux de capteurs sans fil et leurs caractéristiques en termes de débit, consommation et de facilité d'intégration.

Le troisième chapitre est dédié à la conception d'un amplificateur faible bruit complémentaire à contre réaction résistive pour la chaîne de réception multistandards multi bandes et les résultats de simulation des performances avec CADENCE IC.

Le quatrième chapitre présente les étapes que nous avons suivies pour le dessin de masques du circuit étudié dans le troisième chapitre puis les résultats de simulation Post-layout.

Nous terminerons ce mémoire en concluant sur le travail présenté sous forme de bilan global sur l'ensemble des parties réalisées tout en donnant également quelques pistes pour l'évolution et la suite à donner à cette étude.

Chapitre 1

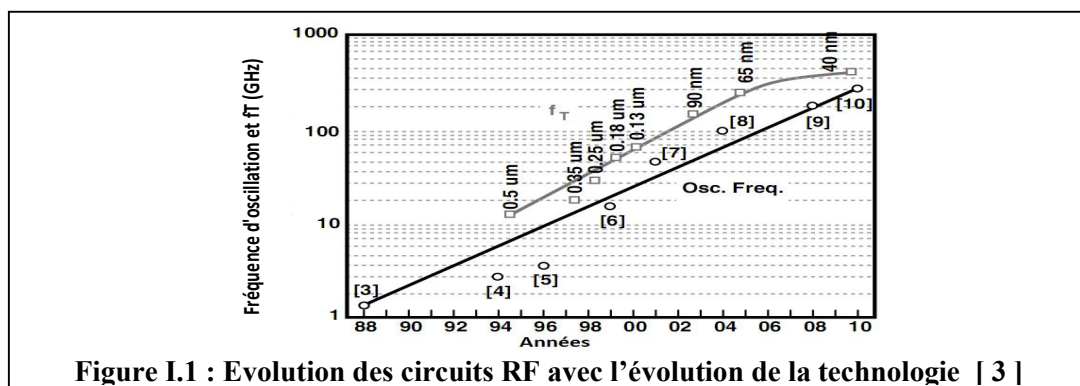
1.1. Introduction

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) représente le composant de base de la technologie CMOS (Complementary Metal Oxide Semiconductor) « mot qui désigne l'ensemble des procédés matériels aboutissant à la fabrication de circuit intégrés ». L'évolution technologique de l'électronique est basée sur ce dispositif, il tire son nom de la constitution des éléments qui le constitue. Une grille métallique, un oxyde isolant et un semi-conducteur. La technologie CMOS englobe plus de 80% de la production mondiale de circuits intégrés, grâce aux qualités de faible consommation et de faible taille.

1.2. Evolution des circuits RF avec l'évolution de la technologie CMOS

Le choix de la technologie utilisée pour la réalisation d'un circuit est primordial pour respecter les performances souhaitées pour un standard. Ce choix ne dépend pas seulement de la fréquence du signal mais aussi de l'application visée et de son coût de fabrication. Pour des applications spatiales ou militaires les performances sont très sévères et le prix des technologies est moins contraignant. Notre étude c'est focalisé sur une technologie CMOS de STMicroelectronics, très utilisé en analogique et en numérique, disposant d'un faible coût de fabrication et d'une forte intégration pour la fabrication des dispositifs destinés à l'industrie.

La performance des circuits RF s'est également améliorée avec l'évolution de la technologie CMOS. Par exemple, la consommation d'énergie nécessaire pour une fonction donnée a diminué et la vitesse des circuits RF a augmenté. La (Figure I.1) illustre certaines des tendances des circuits intégrés (CI) RF et de la technologie pour les deux dernières décennies. La taille minimale de la technologie CMOS est passée de 0,5 μm à 40 nm, la fréquence de transition, (f_T), des appareils NMOS est passée d'environ 12 GHz à plusieurs centaines de gigahertz, et la vitesse des oscillateurs RF est passée de 1,2 GHz à 300 GHz. Le nombre de papiers de conception RF et sans fil présentés à la Conférence internationale des circuits à semi-conducteurs (ISSCC) chaque année montre également l'activité en pleine croissance dans ce domaine [3].



Cette très haute fréquence de transition (f_t) suppose notamment que des circuits RF peuvent encore attendre de hautes fréquences. Par contre, les résistances séries associées avec la grille, le drain et la source ainsi que l'effet canal court associé au dispositif CMOS, limite la fréquence maximale f_{max} qui est illustré par la formule suivante [3]

$$f_{max} = \frac{1}{2} \frac{f_t}{\sqrt{\frac{r_g + r_s}{r_0} + 2\pi f_t r_g C_{gd}}} \quad (I.1)$$

Où :

r_g est la résistance série de l'électrode de grille

r_s est la résistance série de l'électrode de source

r_0 est la résistance série de sortie de transistor

C_{gd} est la capacité entre la grille et le drain

1.3. La structure du transistor MOSFET

Le transistor MOSFET (Métal-Oxyde-Semi-conducteur à effet de champ) est un dispositif quadripolaire constitué d'un substrat semi-conducteur sur lequel repose une fine couche d'oxyde isolant (SiO_2) d'épaisseur t_{ox} . Une couche conductrice (métal ou poly-silicium fortement dopé), appelée électrode de grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de profondeur X_j , appelées source et drain, sont formées dans le substrat de part et d'autre de la grille. En raison du procédé de fabrication, la grille de longueur L_g recouvre légèrement les régions de source et de drain. La région entre les jonctions de source et de drain est appelée la région du canal est définie par sa longueur L et sa largeur W appelé aussi canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un nMOSFET et trous dans le cas d'un pMOSFET), à l'interface entre le diélectrique de grille et le substrat.

1.3.1. L'électrode de grille

C'est l'électrode qui va commander le dispositif tel un interrupteur, il est constitué de silicium poly-cristallin, souvent appelé poly-silicium, qui est dopée N^+ ou P^+ , selon s'il s'agit d'un nMOSFET ou d'un pMOSFET respectivement cette électrode est isolée du substrat par le diélectrique de grille. Il s'agit d'oxyde de silicium nitruré (SiO_2)[7].

1.3.2. Le canal

C'est la zone constituée de silicium monocristallin, située sous l'oxyde de grille et qui constitue le lieu de conduction des porteurs minoritaires entre la source et drain. Elle est dopée p dans le cas d'un nMOSFET, et N pour un pMOSFET [7].

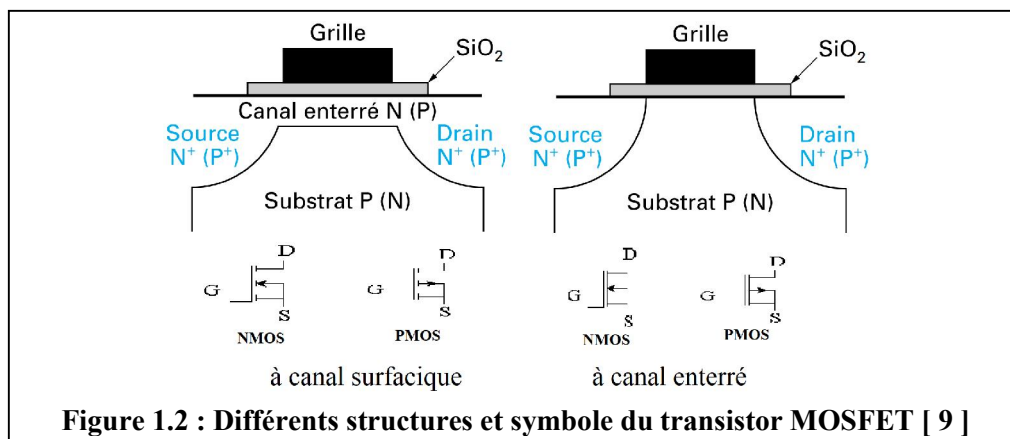
1.3.3. Le module de jonction et extension

Il s'agit des zones de sources et de drain, également noté S/D, qui sont les électrodes latérales. Elles sont réalisées par dopage à dégénérescence du substrat, N^+ dans le cas nMOSFET et P^+ pour le pMOSFET. Nous distinguons deux zones : au contact direct du canal nous trouvons les extensions, ou LDD (lightly Doped Drain), où le dopage est plus superficiel. Puis de part et d'autre viennent les deux zones ohmiques de source et de drain, avec des jonction plus profondes qui sont en réduire leur résistivité ; elles sont formées après la création des espaceurs qui sont en nitrure de silicium (Si_3N_4) dans les technologies actuelles. Les électrodes de grille, de drain et de source sont siliciurées (réaction chimique d'un métal avec le silicium) afin de réduire la résistance de al prise de contact. Dans les nouvelles technologies elles sont faites avec du siliciure de nickel (NiSi) [7].

1.4. Différents types de transistors MOSFET

Il existe quatre différents type, selon qu'il son à canal N ou P ou bien à enrichissement (normally off) ou a appauvrissement (normally on).

Dans le cas d'un transistor à canal N, appelé aussi transistor (nMOSFET) le substrat est de type p, et les porteurs majoritaires sont des electrons. Et dans cas du transistor à canal P (pMOSFET) sur substrat de type N ces porteurs sont des trous.



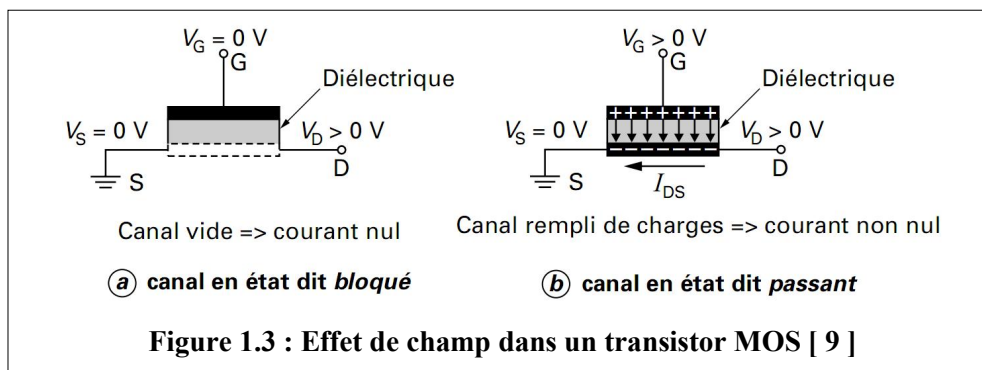
Les transistors MOSFET à enrichissement sont bloqués sans tension de commande sur la grille (normally off), ils deviennent passants à partir d'une certaine tension de grille V_{Th} , de plus en plus $|V_{GS}| > |V_{Th}|$ le transistor MOSFET devient passant.

Les transistors MOSFET à appauvrissement sont passants sans tension de commande sur la grille (normally on), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} .

1.5. Le principe de fonctionnement d'un transistor MOSFET

Le principe de fonctionnement d'un transistor à effet de champ (MOSFET) consiste en la possibilité de modifier en surface la concentration et le flux des porteurs entre une source et un drain par l'application d'une tension sur une électrode de commande située en surface appelée grille. Ceci le différencie d'un transistor bipolaire (BJT) dont la concentration et le flux des porteurs circulant entre un émetteur et un collecteur sont contrôlés par un courant au niveau de la base située entre l'émetteur et le collecteur.

Un transistor MOS à enrichissement à canal N est une structure MOS (Métal-Oxyde-Semi-conducteur) sur un substrat de type P à laquelle on adjoint des zones de type N de part et d'autre de la capacité MOS (voir figure 1.2) de façon à pouvoir faire passer un courant dans une couche d'inversion d'électrons formée dans le substrat juste sous l'oxyde de grille.



Le nom du transistor MOS découle de sa structure verticale : Métal/Oxyde/Semi-conducteur. Cette structure, celle d'une capacité Conducteur/Isolant/Semi-conducteur, Ce sera cette capacité MOS qui contrôlera, selon la polarisation qu'on lui applique, la création ou non d'une couche d'inversion dans le substrat mettant en contact électrique la source et le drain. Le principe de fonctionnement d'un tel dispositif est schématisé en (Figure 1.3). La tension de grille crée un champ vertical qui, par l'intermédiaire de la capacité MOS, module la densité de porteurs libres à l'interface Substrat/Oxyde permettant ainsi de commander sa conductivité. Ce phénomène est appelé « effet de champ ».

Lorsque la tension de grille ne permet pas de charger « convenablement » les électrodes de la capacité MOS, aucun courant ne peut circuler entre la source et le drain quelle que soit la tension appliquée à l'électrode de drain ; c'est l'état bloqué. Comme illustré en (Figure 1.3.a), pour le type de transistor étudié, la tension de grille V_{GS} appliquée doit rester inférieure à une tension de seuil notée V_{Th} . Ces transistors bloqués à tension de grille nulle sont dits “normally off” (par opposition aux “normally on”, tels les transistors à canal N pré implanté).

Lorsque V_{GS} devient supérieure à V_{Th} , le nombre de porteurs libres à l'interface Substrat/Oxyde est suffisant pour qu'ils forment un « canal » conducteur (couche d'inversions). Comme illustré sur la (Figure 1.3.b), les porteurs du canal sont des électrons, le transistor est dit à canal N est appelé NMOS. Lorsque la tension de drain devient positive, un courant de drain I_D peut circuler dans le canal, c'est l'état passant.

1.6. Les différents régimes d'une structure MOS

Les propriétés électroniques d'un semi-conducteur étant contrôlées par la position du niveau de Fermi dans le gap, nous allons donc nous intéresser à la structure de bandes du MOS. La plus simple des structures MOS est la capacité MOS qui consiste en un empilement substrat diélectrique-grille. L'énergie à fournir pour extraire un électron du matériau s'appelle le travail de sortie métal semi-conducteur ϕ_m , ϕ_s . L'affinité électronique d'un semi-conducteur est définie comme l'énergie à fournir pour passer de la bande de conduction au niveau du vide ($q\chi_{si}$). ϕ_F Est définie aussi comme la différence entre le potentiel de Fermi intrinsèque et Extrinsèque du substrat et Ψ_s le potentiel de surface correspondant à la différence entre le potentiel à l'interface et sa valeur en volume [7].

Lorsqu'une tension V_g est appliquée entre la grille et le substrat, la structure de bande près de l'interface silicium-oxyde est modifiée. Les bandes d'énergie E_c et E_v représentent respectivement les niveaux d'énergie de la bande de conduction et de la bande de valence. E_i représente le niveau de Fermi intrinsèque. Le niveau de Fermi du métal est E_{fm} , et celui du silicium dopé p est E_{fp} . V_{FB} Correspond à la tension de bandes plates. Supposons tout d'abord que la source et le drain soient à la masse ($V_{sb} = V_{db} = 0V$), dans ce cas, trois situations peuvent être distinguées (dans la région du canal) : l'accumulation, la déplétion et l'inversion. (Figure : 1.5) représente ces différentes régions de fonctionnement.

- Le potentiel Φ_F qui définit le niveau d'énergie de Fermi : correspondant à l'écart entre le potentiel intrinsèque E_i / q et le potentiel de Fermi E_{fp} / q du semi-conducteur dopé de type accepteur. Φ_F s'exprime comme

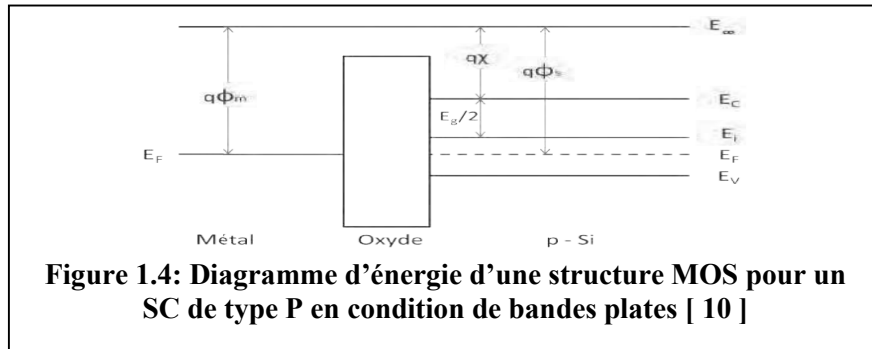
$$\phi_F = \frac{KT}{q} * \ln\left(\frac{N_A}{n_i}\right) = \frac{E_i - E_f}{q} \quad (I.2)$$

Où k , N_A , n_i et E_F représentent respectivement la constante de Boltzmann, le dopage du substrat, la concentration intrinsèque du silicium et l'énergie de Fermi.

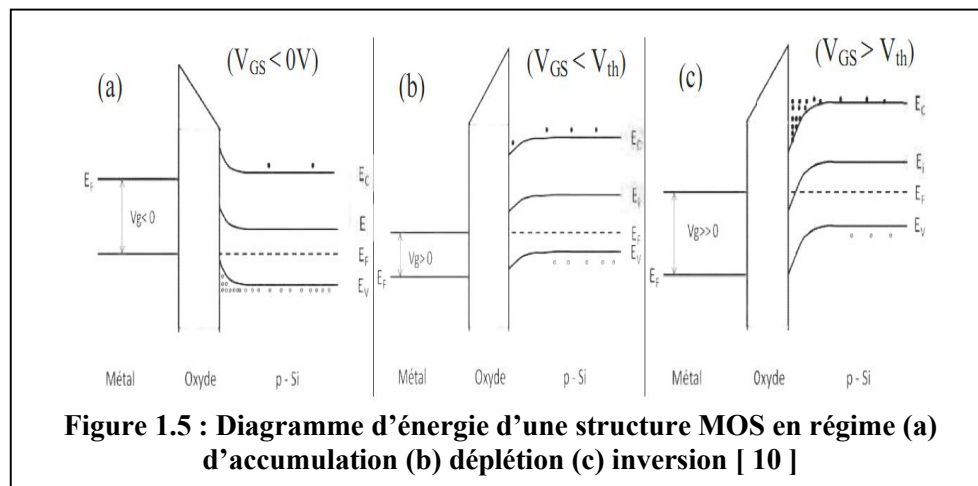
- Le potentiel à l'interface semi-conducteur-isolant Ψ_s qui peut être défini pour le régime forte inversion ($\Psi = 2\Phi$) est exprimé par la relation de l'équation (I.3) [8] :

$$\Psi_s = 2\phi_F + \left(\frac{KT}{q}\right) + \ln\left(\frac{N_D}{N_A}\right) \quad (I.3)$$

Où ND et NA étant respectivement la concentration de dopants dans les zones source et drain et dans le canal pour un transistor NMOS.



La Figure (1.5) présente le diagramme des bandes du transistor nMOSFET pour les trois régimes de fonctionnement.



1.6.1. Régime d'accumulation

Pour une tension ($V_G < V_{FB} < 0$) on assiste à une courbure des bandes d'énergie vers le haut à l'interface oxyde /semi-conducteur, dans ce cas, les porteurs majoritaires (trous) sont attirés à la surface du semi-conducteur. Ils y sont encore plus nombreux que dans le volume (Figure 9.1 a). Le canal de conduction n'étant pas formé, le transistor (normaly off) reste bloqué [10].

1.6.2. Régime de déplétion ou faible inversion

Lorsqu'une tension légèrement positive est appliqué ($0 < V_{GS} < V_{Th}$), les bandes d'énergie sont courbées vers le bas. Dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées fixes (dopants, accepteurs) et désertée en porteurs mobiles. La condition traduite pas l'égalité entre partiel à l'interface semi-conducteur /isolant et le potentiel de volume du semi-conducteur ($\Psi_s = \phi_f$) qui correspond au seuil de faible inversion, les

concentrations des porteurs majoritaires et minoritaires sont égales en surface, donc égale à la valeur de la concentration n_i . Le transistor reste toujours bloqué [10].

1.6.3. Régime de forte inversion

A une tension ($V_{GS} > V_{Th}$) les bandes d'énergie se courbent encore plus vers le bas, la concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaire dans le volume du semi-conducteur.

C'est dans ce régime que le transistor MOS devient passant car cette couche de porteurs minoritaires met électriquement en contact la source et le drain. En effet, la source et le drain étant de dopage opposés au substrat leurs porteurs majoritaires correspondent aux porteurs minoritaires de la couche d'inversion. Ainsi, si on polarise le drain positivement en gardant la source à la masse, on va attirer les électrons de la couche d'inversion vers le drain et comme la charge d'inversion doit rester constante sous la grille, c'est la source qui fournira des électrons en quantité équivalente pour compenser ceux partis vers le drain. Nous avons donc créé un courant d'électrons de la source vers le drain que l'on peut contrôler via la polarisation que l'on applique à la grille. Nous obtenons donc un transistor à effet de champ comme nous l'avons défini précédemment [10].

1.7. Modélisation du MOSFET

1.7.1. Potentiel de bandes plates

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques sont de l'oxyde (N_a^+ , K^+ , ...) et sont positives. La tension de bande plate V_{FB} (Flat Band): est la tension de grille V_g qu'il faut appliquer pour que le potentiel Ψ_s à l'interface semi-conducteur-isolant (c'est-à-dire la courbure de bande entre la surface et le volume du semi-conducteur) soit nul (figure 1.4) ou la valeur de la tension qu'il faut appliquer pour contrecarrer cet effet de ces charges.

L'équation de continuité de potentiels s'écrit alors :

$$V_{GS} = V_{FB} + \Psi_s - \frac{q_s}{C_{ox}} \quad (I.4)$$

q_s Est la charge du semi-conducteur. C_{OX} est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{OX} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (I.5)$$

$\epsilon_{ox}, \epsilon_0$ sont respectivement la permittivité relative de l'oxyde et la permittivité du vide. La tension V_{FB} est non seulement reliée à la densité de charges dans l'oxyde c_{ox} mais aussi à la différence des travaux de sortie du métal et du semi-conducteur : $\phi_{ms} = \phi_m - \phi_s \cdot \Psi_s = 0$, on aura

$$V_{FB} = \phi_{ms} - \frac{c_{ox}}{c_{ox}} \quad (I.6)$$

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO₂/Si qui n'est pas parfaite. La tension V_{GS} est donc :

$$V_{GS} = V_{FB} + \Psi_s - \frac{c_{inv} + c_{dep} + c_{ss}}{c_{ox}} \quad (I.7)$$

La charges d'état d'interface excédentaire et donné par : $|c_{ss}| = q \cdot N_{ss} \cdot \Psi_s$, N_{ss} est la densité de défauts à l'interface, c_{inv} et c_{dep} sont respectivement la charge d'inversion et la charge de déplétion [11].

1.7.2. Tension de seuil

La tension de grille qui initie l'apparition de la couche d'inversion à l'interface (précisément du côté de la source) est appelée tension de seuil V_{th} (Threshold Voltage) ou tension de mise en conduction. La tension de seuil V_{th} d'une capacité MOS est définie comme la tension de grille V_g telle que la condition $\Psi_s = 2\Phi_F$ soit remplie, cette tension est donnée suivant la relation :

$$V_{th} = V_{FB} + \phi_d + \left(\frac{Q_{dep}}{c_{ox}} \right) \quad (I.8)$$

$$\phi_d = \frac{KT}{q} \ln \frac{N_a N_d}{n_i^2} \quad \text{La hauteur de la barrière source-canal}$$

Q_{dep} : la charge de la zone de déplétion dans le substrat et **C_{ox}** : la capacité de l'oxyde de grille SiO₂

$$\frac{KT}{q} \quad (\text{Énergie thermique des porteurs dans la source})$$

La tension de seuil V_{th} pour un transistor MOSFET serait défini au moment où la hauteur de la barrière source-canal devient nulle, c'est-à-dire $\phi_d = \Psi_s$ [F]

1.7.3. Tension sous seuil

Lorsque la tension de grille V_{gs} est inférieure à la tension de seuil V_{th} le transistor est en régime de fonctionnement de faible inversion, le courant qui circule entre le drain et la source du transistor s'appelle le courant de sous seuil. Le comportement de ce courant a évolué au fur et à mesure de l'apparition des technologies submicroniques. L'inverse de la pente sous le seuil S , exprimé en mV/décade, informe de combien il faut diminuer la tension V_{gs} pour réduire le courant sous le seuil d'une décade.

$$s = \frac{KT}{q} \cdot \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{ss}}{C_{ox}} \right] \quad (I.9)$$

C_{dep} C'est la capacité de la couche de déplétion dans le substrat, C_{ss} est la capacité associée aux états d'interface, la pente sous le seuil est révélatrice à la qualité de l'interface. La pente idéale, en négligeant C_{dep} et C_{ss} devant C_{ox} , vaut $s = \frac{KT}{q} \cdot \ln 10$, ce qui correspond à environ 60 mV/décade à température ambiante [13].

Plus S est élevée plus la commande du dispositif va être dégradée. Le control de sa valeur est essentiel pour le control du courant I_{on} et I_{off}

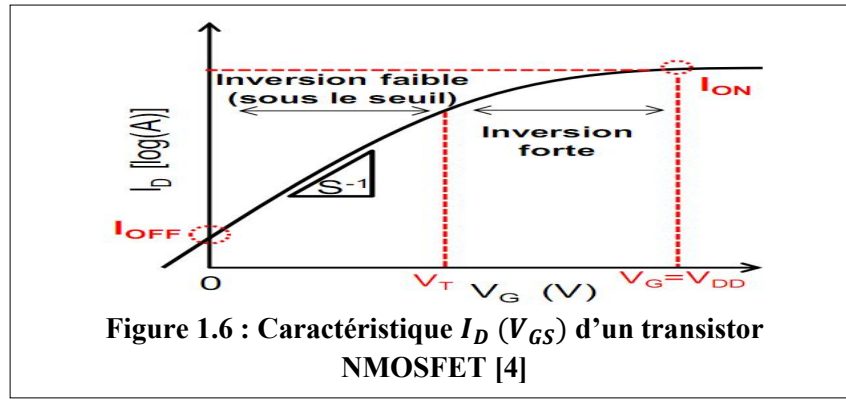
- Le courant **Ioff** c'est la valeur du courant mesuré au drain lorsque la polarisation de grille V_G est nulle. Ce courant à une faible valeur d'autant que S est faible. Aussi plus le courant I_{off} sera élevé, plus la consommation statique du transistor sera importante car la puissance statique dissipée est égale à V_{dd} multipliée par I_{off} . Il détermine donc la puissance dissipée par un composant au repos, le courant I_{off} est fortement dépendant de la valeur de la tension de seuil. Il dépend aussi des dimensions physiques du canal, de la température de la profondeur des jonctions drain source et du dopage canal. L'aptitude du transistor de passer de l'état I_{off} à l'état I_{on} est déterminé par l'équation suivante :

$$\log(I_{off}) = \log(I_{Th}) - \frac{V_{th}}{S} \quad (I.10)$$

$$I_{off} = I_{Th} \exp\left(-\frac{V_{th}}{S} \ln 10\right) \quad (I.11)$$

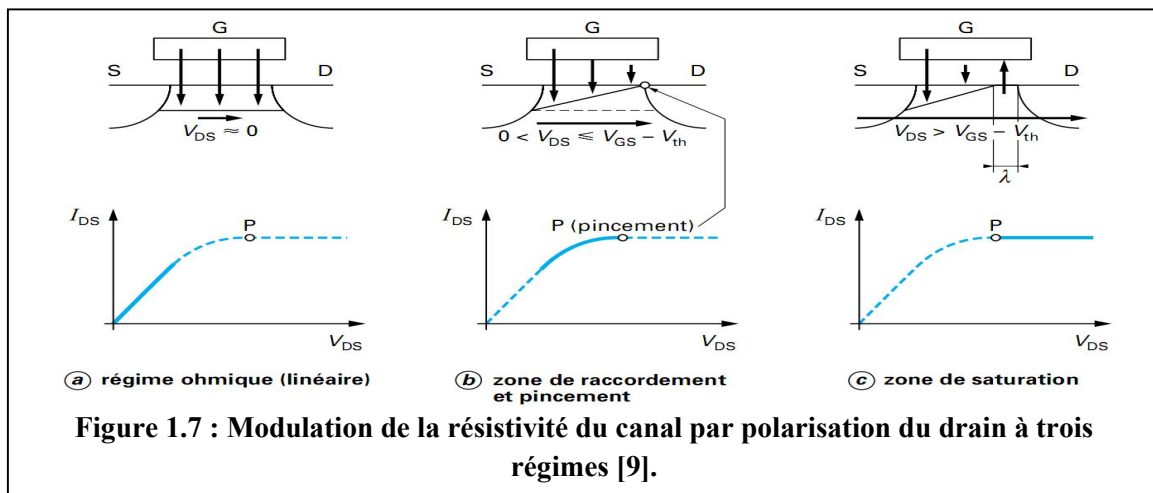
Avec $I_{Th} = 10^{-7} \frac{W}{L}$ le courant de drain à $V_{GS} = V_{th}$

La meilleur qualité d'un transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant I_{on} le plus fort et un passage le plus rapide de l'état off à l'état on. La (figure 10) illustre une caractéristique $I_d(V_{GS})$ d'un transistor MOSFET.



1.8. Modélisation des régimes de conduction d'un MOSFET

Concernant la tension appliquée au drain nous pouvons distinguer trois régimes de fonctionnement : le régime ohmique (linéaire), non-ohmique (bloqué) et le régime de saturation (passant).



1.8.1. Régime ohmique (linéaire)

Quand V_{DS} est faible et négligeable devant V_{GS} (figure 1.7.a), l'effet de champ est quasi uniforme le long du canal, qui se comporte donc comme une résistance indépendante de la polarisation du drain. Par conséquent, la caractéristique $I_{DS} - V_{DS}$ est linéaire comme pour une résistance. Le MOS travaille en régime ohmique ou linéaire [9]. Le courant de drain s'écrit alors :

1.8.1.1. Cas de faible inversion

En régime de faible inversion, le courant de drain varie exponentiellement avec V_{GS} et il est donnée par :

$$I_D = \frac{W}{L} \frac{KT}{q} \mu_0 C_{dep} V_{DS} \exp\left[\frac{qA(V_{GS}-V_{th})}{KT}\right] \quad (I.12)$$

μ_0 est la mobilité à faible champ électrique. Le facteur A est donné par :

$$A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{ss}} \rightarrow \frac{1}{A} = 1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{ss}}{C_{ox}} \quad (I.13)$$

La transconductance varie proportionnellement au courant :

$$g_m = \frac{q}{KT} A I_D \quad (I.14)$$

1.8.1.2. Cas de forte inversion

Le courant de drain s'écrit :

$$I_D = \frac{W}{L} \mu_{eff} \text{ inv} V_{DS} \quad (I.15)$$

D'où inv est la charge absolue d'inversion et μ_{eff} la mobilité effective des porteurs dans le canal. La mobilité effective dépend de la charge d'inversion elle est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \left(\frac{\text{inv}}{c}\right)} \quad (I.16)$$

Où μ_0 est la mobilité sous champ électrique faible, et Q_c est la charge critique qui caractérise la diminution de mobilité aux fortes tensions de grille. Une valeur typique de Q_c est $10^{13} q.cm^{-2}$

$$Q_{inv} = -C_{ox}(V_{GS} - V_{Th} - \frac{V_{DS}}{2}) \quad (I.17)$$

La mobilité effective devient alors :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)} \quad (I.18)$$

Ou $\theta_0 = \frac{C_{ox}}{Q_c}$ est le facteur de réduction intrinsèque de la mobilité.

On obtient donc l'expression du courant de drain suivante :

$$I_D = \frac{\beta V_{DS} \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)}{1 + \theta_0 \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)} \quad (I.19)$$

Avec $\beta = \frac{W}{L} \mu_0 C_{ox}$

En prenant en compte que, $R_S = R_D = \frac{R_{SD}}{2}$, le courant de drain est donné par :

$$I_D = \frac{\beta V_{DS} \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)}{1 + \theta_1 \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)} \quad (I.20)$$

Ou, $\theta_1 = \theta_0 + \beta(R_S + R_D)$

La transconductance du transistor permet de caractériser les variations du courant de drain en fonction de la tension de grille. On peut ainsi voir apparaître des changements de régime sous la forme de pics de transconductance elle est définie par : $g_m = \frac{\partial I_d}{\partial V_g}$

$$g_m = \frac{\beta V_{DS}}{\left[1 + \theta_1 \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2}\right)\right]^2} \quad (I.21)$$

1.8.2. Régime de saturation

Lorsque la tension de drain V_{DS} augmente, la différence de potentiel entre le drain et la grille diminue, en conséquence la charge d'inversion diminue en s'approchant du drain, un point de pincement apparaît du côté du drain ce point de pincement marque le début de la saturation du courant (figure 1.7.b) ; c'est pourquoi V_p est aussi appelé tension de saturation V_{Dsat} :

$$V_{DS} = V_{Dsat} = V_{GS} - V_{th} = V_p$$

En remplaçant V_{DS} dans la formule (I.14) :

$$I_{Dsat} = \frac{1}{2} \beta (V_{GS} - V_{th})^2 = \frac{1}{2} \beta V_{Dsat}^2 \quad (I.22)$$

Le courant de drain ne reste pas constant dans le cas réel, il augmente légèrement même si rien ne change ni la densité des charges ni la tension à l'extrémité de la source et le point de pincement. Cela est dû à l'éloignement du point de pincement par rapport au drain, la réduction de la tension de seuil avec V_{DS} et à l'effet d'avalanche.

Le point de pincement se caractérise par l'annulation du champ vertical et donc par la disparition de l'inversion, régie par la condition $V_{DS} = V_{Dsat} = V_p = V_{GS} - V_{th}$ Pour laquelle le pincement apparaît à l'extrémité drain du canal. Tout excédent de V_{DS} au delà de V_{Dsat} développe, autour du drain, une zone de charge d'espace d'une épaisseur (figure 1.7.c).

$$\lambda = \lambda_0 \ln \left[1 + \frac{V_{DS} - V_{Dsat}}{V_{Dsat}} \right] \quad (I.23)$$

Avec $\lambda_0 = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}}} X_j T_{ox}$: la zone de charge d'espace minimale et X_j : la profondeur de jonction.

Le développement de la zone de charge d'espace, d'épaisseur λ , implique un raccourcissement du canal inversé dont la longueur devient $L - \lambda$ au lieu de L . donc on aura un courant de drain qui sera de la forme suivante :

$$I_{DS} = I_{Dsat} \frac{L}{L-\lambda} = I_{Dsat} \left[1 + \frac{V_{DS}-V_{Dsat}}{V_E} \right] \quad (I.24)$$

Où $V_E = \frac{L}{\lambda_0} V_{Dsat}$ est la tension d'Early, plus cette tension est élevée, meilleures seront les performances du transistor [9].

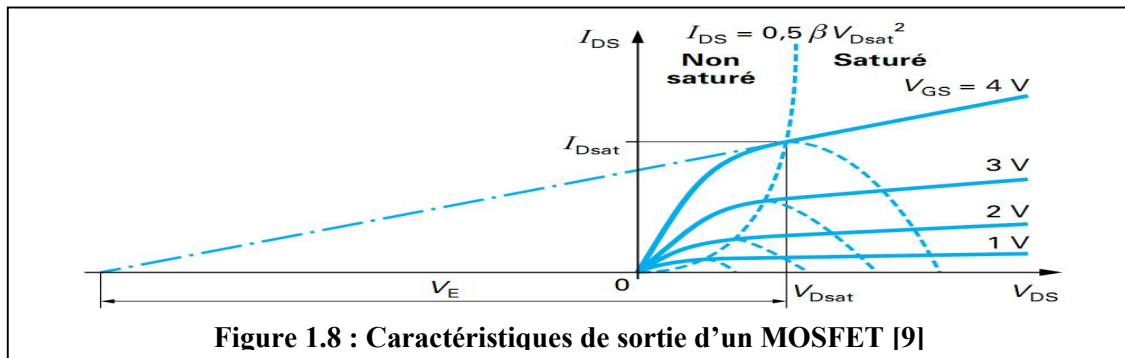


Figure 1.8 : Caractéristiques de sortie d'un MOSFET [9]

1.9. Modélisation en fréquence du MOSFET

1.9.1. Les capacités MOS

En haute fréquences le comportement du MOSfet va être perturbé par des capacités intrinsèques, qui sont des capacités parasites à l'intérieur du transistor. Le drain et la source sont des régions qui forment des jonctions polarisés en inverse avec le substrat, les capacités standard de jonction de chacune de ces régions au substrat sont C_{jsb} et C_{jdb} [9].

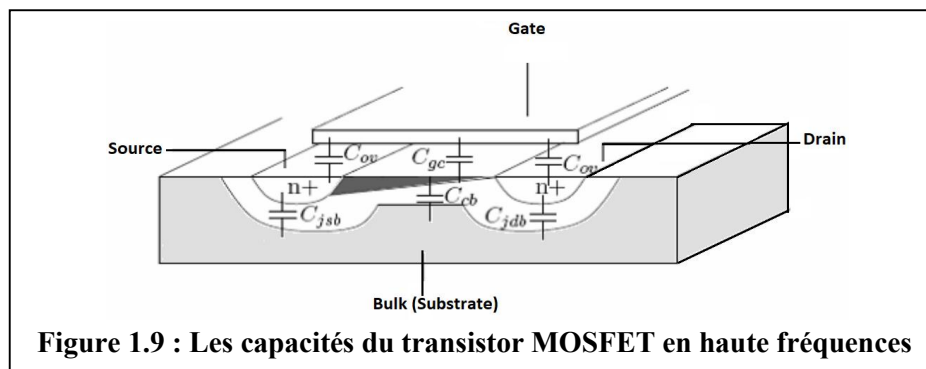


Figure 1.9 : Les capacités du transistor MOSFET en haute fréquences

Plusieurs capacités parallèles en plus des capacités de jonction sont représentées dans la figure-13, C_{ov} représente les capacités grille-source et grille-drain qui sont des capacités dus au débordement du (SiO_2) sur la zone de drain et de source

$$C_{ov} = \frac{1}{2} WLC_{ox} \quad (I.25)$$

C_{gc} C'est une capacité parallèle la capacité grille – canal, lorsque la tension drain-source est très faible, le canal est uniforme et la capacité grille-canal s'écrit :

$$C_{gcanal} = WLC_{ox} \quad (I.26)$$

Lorsque le MOSFET fonctionne dans sa zone linéaire, le canal n'est plus uniforme et prend une allure penchée avec pincement coté drain come il est représenté sure la figure 11-b on démontre alors que la capacité grille-canal devient égale à :

$$C_{gcanal} = \frac{2}{3} WLC_{ox} \quad (I.27)$$

$$C_{ox} = \frac{\epsilon_{ox} \epsilon_0}{T_{ox}} \quad (I.28)$$

C_{ox} : étant la capacité de l'oxyde par unité de surface, $\epsilon_{ox} \epsilon_0$ permittivité respectivement de l'oxyde et du vide, C_{sb} C'est la capacité entre le canal et le substrat, C_{gs} C_{gd} représente la charge spatiale dans la région d'épuisement, C_{ds} représente la capacité entre la source et la région drain du transistor [9].

1.10. Les effets parasites dans le MOSFET

Le monde de la microélectronique s'évertue à réduire de plus en plus la dimension des transistors MOS. La technologie d'aujourd'hui permet la réalisation des transistors MOS avec des canaux ultracourts allant jusqu'à des longueurs nanométriques. Parmi les principaux avantages induits par la réduction d'échelle on peut citer l'augmentation de la densité d'intégration, la réduction de coûts de fabrication, la réduction du temps de transit des porteurs dans le canal, la réduction de la consommation. Mais la réduction de la géométrie des transistors MOS entraîne aussi des modifications néfastes de certains paramètres électriques parmi lesquels : la diminution de la mobilité, la dépendance de la tension de seuil avec la longueur de canal, etc. Des lois de réduction d'échelle ont été proposées afin de minimiser les effets de canaux courts. Leur but est de garder le même niveau de champ électrique interne quelque soit les dimensions du transistor Cette loi a été proposée par Bacarani [11].

1.11. Origine physique du bruit dans le MOSFET

Plusieurs phénomènes physique peuvent engendrer des bruits dans le MOSFET cela est du au mouvement aléatoires des charges électriques. Le bruit génère des fluctuations de tensions et de courants appelés bruit de fond. Ces derniers se superposent au signal utile et ont tendance à masquer son contenu. Si le niveau de bruit est trop important l'information contenue dans le signal utile est inexploitable. Il est donc indispensable de considérer les

problématiques de bruit lors de la conception de circuits tels que les amplificateurs à faibles bruits (LNA).

Il existe 3 types de bruit [14] qui, par ordre d'importance en électronique, sont: le bruit blanc, le bruit en $1/f$ et le bruit hautes fréquences.

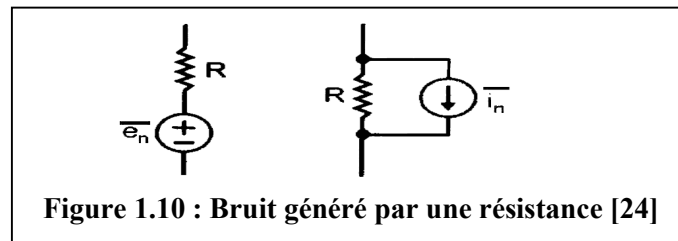
1.11.1. Le bruit en $1/f$ (Flicker Noise) ou Bruit de scintillation

Dans le domaine des basses fréquences, le bruit peut avoir des origines très différentes. Le bruit dominant pour le courant de drain est un bruit variant inversement proportionnellement à la fréquence dit bruit $1/f$, il affecte donc particulièrement les circuits fonctionnant à basses fréquences. Cependant 2 types de circuits sont concernés par les effets du bruit en $1/f$ dans le domaine RF: les mélangeurs et les oscillateurs.

1.11.2. Le bruit thermique

Ce bruit est de type blanc, et se localise dans les composants ayant une partie résistive. Son origine vient de l'agitation thermique liée aux chocs subits entre les porteurs dans le conducteur qui constitue une variation aléatoire du courant et de la tension. Il est aussi parfois appelé Bruit Johnson ou bruit de Nyquist [24].

Dans le transistor MOSFET deux sources de bruit thermique principales sont considérées : une liée au canal de conduction $\overline{i_{nd}^2}$, l'autre à la résistance de grille $\overline{v_{ng}^2}$. Les résistances d'accès de drain et de source génèrent également du bruit thermique mais leur influence est négligeable. Le bruit généré par une résistance est représenté par une source de bruit de courant en parallèle à la résistance, ou bien par une source de bruit de tension en série comme le montre la (figure 1.10)



$$\overline{v_{nr}^2} = 4kTR\Delta f, \quad \overline{i_{nr}^2} = \frac{4kT}{R}\Delta f \quad (I.29)$$

Où k est la constante de Boltzmann $k = 1.38 \cdot 10^{-23} \text{ J/K}$, T la température en Kelvins

1.11.2.1. Bruit thermique dans le MOSFET

Le transistor MOSFET est le composant de base dans la technologie CMOS il est le premier responsable sur le niveau du bruit engendré par la technologie CMOS. En plus de la

résistivité de l'électrode de grille, le canal représente la source principale du bruit pour cela la modélisation du transistor MOSFET doit comprendre plusieurs sources de bruit comme l'illustre la (figure 1.11) [15].

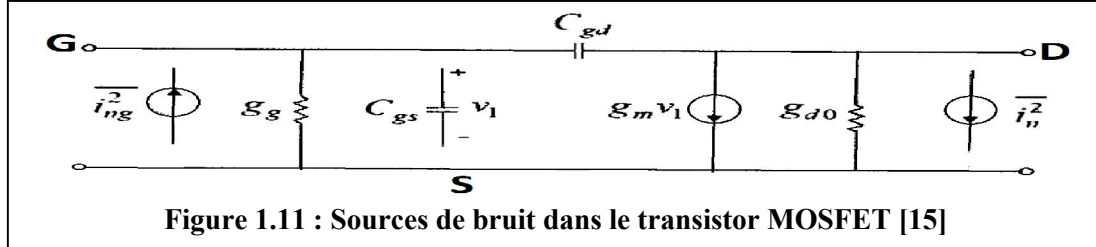


Figure 1.11 : Sources de bruit dans le transistor MOSFET [15]

1.11.2.1.1. Bruit du courant de canal

L'origine de ce bruit est la résistivité de la couche d'inversion représentant le canal plus précisément l'agitation thermique des porteurs circulant dans ce canal. Dans un transistor MOSFET ce bruit est modélisé par la densité spectrale du courant circulant dans le canal du drain vers la source.

La densité spectrale est donnée par [24]

$$\overline{i_{nd|th}^2} = 4kT\gamma g_{d0}\Delta f \quad (I.30)$$

γ : facteur de bruit en excès, $\gamma=2/3$ canal long ; $\gamma=2$ à 3 canal court dans le cas d'un nMOSFET

$$\alpha = \frac{g_m}{g_{d0}}$$

g_{d0} : La conductance du canal

Le transistor PMOS présente généralement des valeurs γ inférieures à NMOS. Par conséquent, il pourrait également être intéressant d'utiliser un transistor PMOS pour autant que cela soit possible. Afin de simplifier les calculs avec des transistors MOS dans la région de saturation, (I.30) est réécrit comme [24] :

$$\overline{i_{nd|th}^2} = 4kT \frac{\gamma}{\alpha} g_m \Delta f \quad (I.31)$$

1.11.2.1.2. Bruit induit par la grille

En haute fréquence le couplage capacitif entre la grille et le canal engendre un bruit dans le courant I_g bruyant à travers la capacité C_{gs} . Ce dernier est négligeable en basses fréquences en raison d'un effet de couplage faible il est souvent modélisé comme un générateur de courant reliant la grille à la source, expression de ce bruit est [16] :

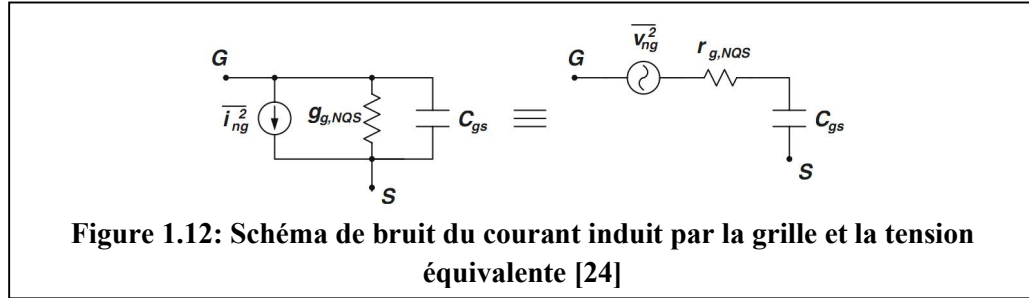
$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f \quad (I.31)$$

le paramètre g_g est donné par :

$$g_g = \frac{\omega^2 c_{gs}^2}{5g_{d0}} \quad (I.32)$$

g_{g0} : Coefficient de bruit dans la grille, $g_{g0} = \frac{4}{3}$ canal long

$$\overline{v_{ng}^2} = 4kT\delta r_g \Delta f \quad (I.33)$$



Le bruit de la grille est lié au bruit de drain. Cette dépendance est exprimée par un coefficient de corrélation c comme indiqué dans l'équation ci-dessous [24] :

$$c = \frac{\overline{i_{ng} \cdot i_{nd}^*}}{\sqrt{\overline{i_{ng}^2} \cdot \overline{i_{nd}^2}}} \quad (I.34)$$

La valeur de c [24] est 0.395j pour un dispositif à canal long, le couplage entre le bruit de drain et le bruit de la grille se fait à travers la capacité de la grille, le coefficient de corrélation est purement capacitif.

1.12. Conclusion

Ce premier chapitre nous permet d'introduire le travail de recherche réalisé dans les prochains chapitres du manuscrit. il avait pour but de présenter ce qu'est un transistor MOS à effet de champ ses équations de base et la façon de faire pour extraire ses paramètres électriques, puis L'évolution de la technologie CMOS, avant d'énoncer les différents effets parasites apparus et les différents sources de bruits dans les éléments passifs et actif pour les circuits radio fréquences.

Chapitre 2

2.1. Introduction

Dans ce deuxième chapitre, on va faire une étude des architectures classiques de réception radio fréquence, les plus utilisées, où on s'étalera sur leur mode de fonctionnement et notamment leurs potentiels pour des applications multistandards, leurs particularités ainsi que leurs performances. Ensuite, on donnera un aperçu sur les différents blocs composants la chaîne de ces récepteurs, à savoir, l'amplificateur faible bruit, le mélangeur, l'oscillateur...etc. Par ailleurs, un intérêt particulier sera également donné aux différents paramètres qui peuvent déterminer la performance de chaque bloc tel que le facteur de bruit, le gain et le point de compression.

2.2. Description de la chaîne de réception

Une chaîne de réception RF constituée de deux parties l'une analogique et l'autre numérique. La partie analogique est aussi composée de deux sections. La première est une section RF frontal (front-end) au sein de laquelle sont réalisées les fonctions de filtrage RF, d'amplification et de mixage. Elle consiste à amplifier le signal reçu et de le ramener d'une fréquence élevée dite RF à une fréquence plus basse. La seconde section est appelée la bande de base qui réalise également des fonctions de filtrage, d'amplification, de contrôle de gain mais aux basses fréquences. La transition entre les deux parties analogique et numérique du récepteur est assurée par le Convertisseur Analogique Numérique (CAN).

2.3. Architectures de réception radio fréquence

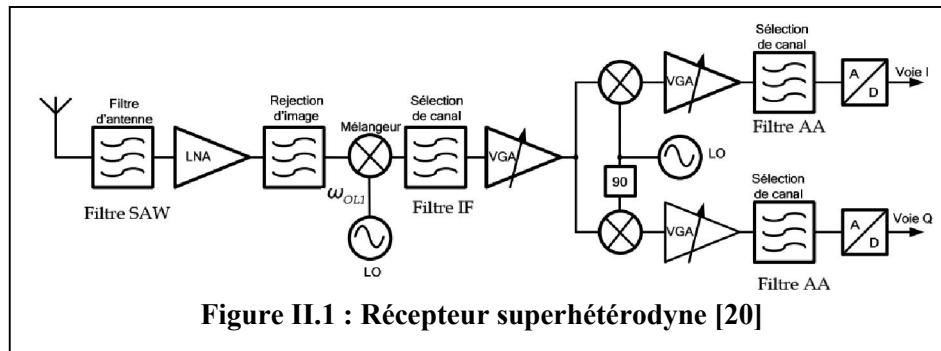
Il existe différentes architectures pour les systèmes de réception radio fréquence (RF) [20]

2.3.1 Architecture superhétérodyne

Un récepteur superhétérodyne (Figure II.1) proposé par E. H. Armstrong en 1917 est un système conçu sur le principe du mélange de fréquences ou hétérodynage, Son principe de fonctionnement est basé sur une première transposition de la bande de réception autour d'une fréquence intermédiaire fixe (FI), puis une seconde transposition en bande de base centrée sur la fréquence centrale du canal utilisé [20].

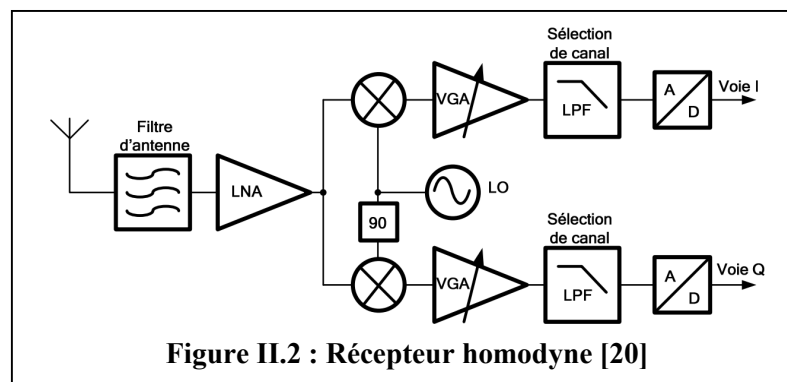
Les récepteurs superhétérodynes présentent des bonnes performances en termes de sélectivité, grâce à un filtrage progressif des signaux interférents de fort niveau, avec des filtres de bonnes qualités. Les principaux inconvénients de cette architecture sont sa consommation (composants nombreux) et la difficulté d'intégration due à la complexité de la structure. De plus, des signaux RF et IF sont traités par des composants analogiques ayant une

bande étroite fixe. Il est donc difficile de modifier la bande passante du récepteur. Ceci rend le récepteur superhétérodyne difficilement reconfigurable dans le cadre d'un système multistandards [20].



2.3.2. Architecture homodyne

Ce récepteur est aussi appelé à conversion directe ou à fréquence intermédiaire nulle (Zéro-IF). Le récepteur homodyne réalise une transposition directe du signal RF en bande de base. Cette transposition, sans passer par une fréquence intermédiaire FI, permet de supprimer le problème lié au traitement de la fréquence image le signal image est le signal désiré lui-même. La (Figure II.2) présente la structure fonctionnelle. On remarque alors l'absence du filtre IR et du filtre IF superhétérodyne.

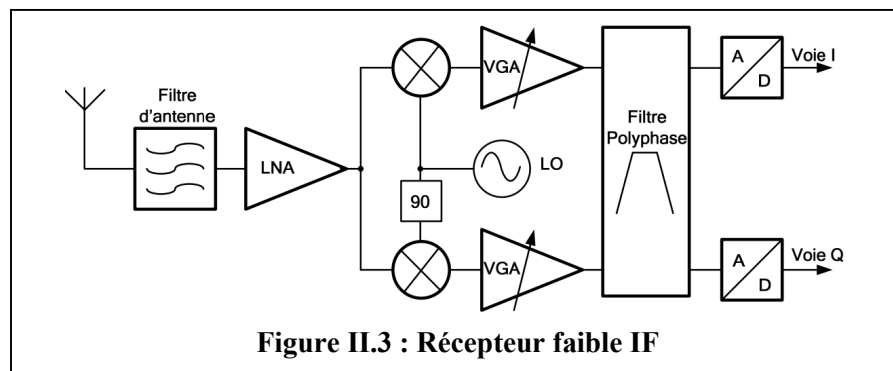


Cette architecture présente elle aussi quelques inconvénients qui sont la sensibilité au bruit en $1/f$. Ceci dégrade la sensibilité du récepteur aux basses fréquences, Le désappariement des voies I et Q cet inconvénient est lié à la topologie du récepteur et L'offset ou tension continue de décalage en sortie des mélangeurs qui se superpose au signal utile en bande de base [18]. Malgré ces désavantages, l'architecture homodyne est de plus en plus utilisée pour sa facilité et son très haut niveau d'intégration, nécessite que peut de composants externes de plus elle peut être très large bande et sa faible consommation par rapport à

l'architecture superhétérodyne. Le récepteur homodyne devient un candidat potentiel pour les applications multistandards [20].

2.3.3. Architecture faible IF (Fréquence intermédiaire)

C'est une solution intermédiaire entre les deux précédentes. Son principe consiste à transposer le signal RF à une fréquence intermédiaire très faible (de l'ordre de deux ou trois fois la largeur de la bande utile). Par ailleurs, sa partie analogique est similaire à celle du récepteur homodyne, (figure II.3). Elle est la plus adaptée pour les systèmes de communications où la puissance des signaux dans la bande image est faible (Bluetooth, ZigBee).



L'architecture à faible FI offre de réelles potentialités grâce à son haut niveau d'intégration. Elle est plus efficace pour les standards à bande étroite que pour les standards à large bande [20]. De ce fait, les nouvelles structures adoptées pour les récepteurs multistandard se basent en général sur les architectures homodyne et/ou à faible FI qui offrent surtout un degré d'intégration élevé donc un faible coût de fabrication et une faible consommation.

2.3.4. Comparaison des architectures

Tableau II.1 – Avantages et inconvénients des trois architectures [21]

Architectures	Avantages	Inconvénients
Superhétérodyne	<ul style="list-style-type: none"> – Sélectivité importante – Sensibilité accrue – Maîtrise de fabrication (bien connue) – Fuite de l'OL sur l'antenne négligeable 	<ul style="list-style-type: none"> – Nombre important de composants – Consommation élevée – Intégration difficile (à cause des filtres RF) – Difficilement compatible avec les applications multistandards

Homodyne	– Suppression du problème de la fréquence image – Niveau de l'intégration monolithique élevé – Simplicité de conception RF – Faible consommation	– Problème de l'offset – Contraintes/appariement voie I-Q – Bruit en $1/f$ (flicker noise)
Faible IF	– Suppression du problème de l'offset – Consommation réduite – Faible coût	– Contraintes/appariement voie I-Q – Problème de la fréquence image

2.4. Les récepteurs multi-bandes/multistandards

Les nouvelles générations de systèmes de radio communication sont conçues avec des récepteur multi-bande. Ces architectures doivent pouvoir traiter plusieurs bandes de fréquences correspondantes à des standards différents nous allons présenter des solutions pour des applications multistandards. Elles correspondent à des architectures utilisant :

- plusieurs chaînes de réceptions distinctes, où chaque standard est traité de façon indépendante,
- la mise en parallèle partielle de certaines fonctions RF, les autres étant partagées,
- des fonctions RF partagées pour réaliser une seule chaîne de réception.

Ces solutions peuvent être de type homodyne ou faible IF. Dans notre cas et par rapport aux comparaisons précédentes, on utilisera l'architecture homodyne.

2.4.1. Architecture parallèle

L'architecture parallèle utilise plusieurs chaînes en parallèle pour chaque bande de fréquences [20], comme le montre la (Figure II.4).

L'avantage est que ses performances peuvent être optimisées pour chaque bande de fréquences. Elle présente cependant les inconvénients suivants : difficilement intégrable, grande surface occupée, nombre de composants élevé et consommation non optimale.

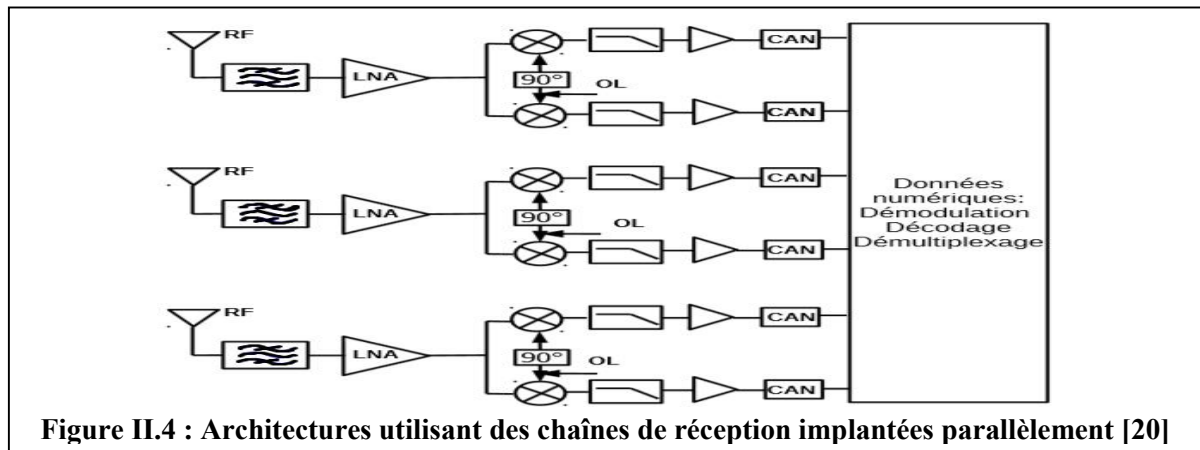


Figure II.4 : Architectures utilisant des chaînes de réception implantées parallèlement [20]

2.4.2. Architecture avec partage partiel de certaines fonctions RF

Ce type d'architecture permet de partager certains éléments RF de la chaîne de réception (par exemple l'amplificateur faible bruit) tout en parallélisant le reste des fonctions [20].

La (Figure II.5) montre une architecture avec une chaîne de réception partiellement partagée.

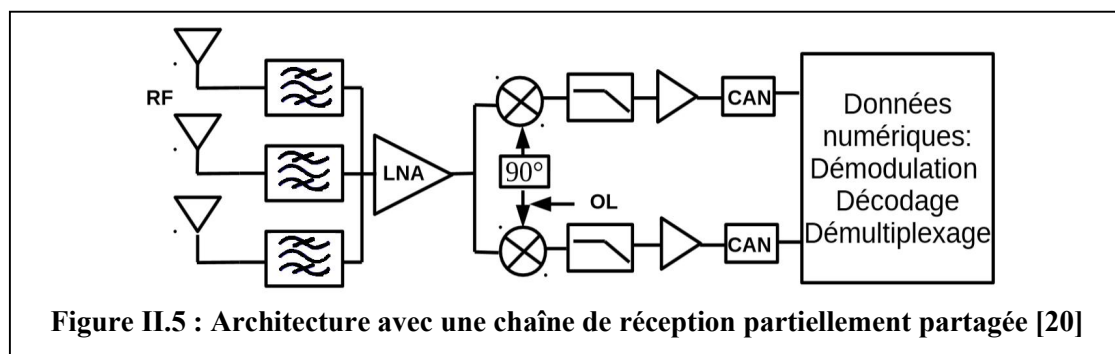
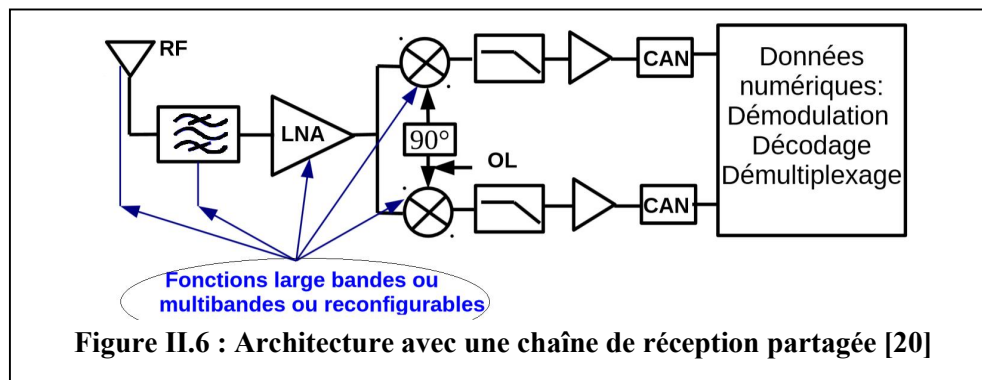


Figure II.5 : Architecture avec une chaîne de réception partiellement partagée [20]

Plusieurs antennes et filtres sont employés afin de récupérer des signaux de bandes de fréquence différentes. Les autres blocs comme le LNA, les mélangeurs sont des fonctions partagées par tous les signaux reçus. Ils doivent être large bande, multi-bandes pour satisfaire les contraintes des différents standards (bande passante, sensibilité, dynamique, taux d'erreur binaire...) [20].

2.4.3. Architecture avec partage de toutes les fonctions RF

La (Figure II.6) présente une seule chaîne de réception avec les fonctions RF partagées. Les fonctions RF partagées doivent être large-bande, multi-bandes ou reconfigurables.



2.4.4. Comparaison des architectures

Les architectures avec partage partiel ou total des fonctions RF présentent les avantages suivants en comparaison avec une architecture parallèle :

- une diminution du nombre de blocs, – une intégration facile, – une diminution de la consommation (moins de composants actifs).

Considérant les besoins du marché, on cherche des systèmes basse consommation ce qui nous conduit à privilégier les architectures avec partage partiel ou total des fonctions RF. Le récepteur à réaliser doit gérer jusqu'à cinq standards (Bluetooth, Zigbee, WI-FI...) simultanément. Par conséquent sa conception en utilisant des fonctions multi-bandes et reconfigurables est complexe. Afin de simplifier la conception du circuit, on choisit de concevoir un amplificateur faible bruit très large bande de fréquence avec un gain accordable via la polarisation.

2.5. Fonctionnalités et caractéristiques des blocs RF

Après l'étude générale des architectures des systèmes de réception, décrite en (1.3), on constate qu'elles sont toutes construites autour des mêmes éléments de bases : amplificateur faibles bruits, mélangeur, amplificateur de puissance, synthétiseur de fréquence, filtres. Dans ce qui suit, nous identifions le rôle de chaque bloc et nous rappelons les caractéristiques générales communes en termes de gain, d'adaptation d'entrée, de bruit et de linéarité.

2.5.1. Définition des blocs

2.5.1.1. Amplificateur à faible bruit

L'amplificateur faible bruit ou (Low Noise Amplifier LNA) est le premier bloc de la chaîne de réception. Il est généralement placé après le filtre de sélection du canal. Sa fonction

consiste à amplifier le signal reçu de l'antenne, qui est en général d'un niveau très faible, sans le déformer et en ajoutant le minimum de bruit possible [23].

2.5.1.2.Mélangeur

Le mélangeur est un dispositif qui assure la fonction de transposition de fréquence permettant de décaler en fréquence un signal sans modifier l'information dont il est porteur. Il a deux modes de fonctionnement possibles: Up-converter qui correspond à la transposition de la fréquence F_{BF} vers la fréquence F_{RF} , et Down-converter qui correspond à la transposition de la fréquence F_{RF} vers la fréquence F_{FI} . Il possède deux accès pour les fréquences utiles (fréquence intermédiaire F_{FI} ou F_{BF} et fréquence F_{RF}) et un autre pour la fréquence de pompe OL (oscillateur local).

2.5.1.3.Filtre

Les filtres RF utilisés dans les architectures de réception ont plusieurs fonctionnalités. Ils permettent de : Sélectionner la bande de réception, Eviter le repliement du spectre dans le canal et Rejeter la fréquence image. Le filtre SAW (de l'anglais Surface Acoustic Wave, « onde acoustique de surface ») se trouve juste après l'antenne, est un système électromécanique son rôle est de convertir les signaux électriques en onde mécanique par un cristal piézoélectrique, ensuite il est reconvertit en signal électrique.

2.5.1.4.L'oscillateur local

C'est un dispositif fondamental dans la chaîne de réception, son rôle est de produire des courants alternatifs périodiques à une fréquence déterminée qui aident à convertir la haute fréquence reçue de l'émetteur de l'ordre de GHz, en une fréquence intermédiaire exploitable par le récepteur, Pour des systèmes de télécommunications modernes l'oscillateur est inclus dans un synthétiseur de fréquence qui permet de stabiliser son amplitude et sa fréquence afin de diminuer le bruit qu'il peut générer.

2.6. l'importance de LNA dans une chaîne de réception

L'amplificateur faible bruit (LNA) est une des parties les plus importantes dans une chaîne de réception RF C'est un dispositif électronique dont la fonction première est d'augmenter les faibles valeurs des signaux en provenance d'une antenne, tout en rajoutant le moins de bruit possible. Du fait de sa fonction et de sa position, au début de la chaîne de réception voir (figure II.6), il joue un rôle capital dont les performances sont

cruciales pour toute la chaîne. Comme le démontre la formule de Friis (équation II.3) [20]. En effet les signaux en provenance d'une antenne large bande sont :

- Extrêmement faible, additionnant le bruit thermique généré par l'antenne elle-même.
- Plusieurs brouilleurs issus de l'environnement général ainsi que des canaux adjacents (système multi-bandes)

De ce fait, le LNA est conçu pour fournir un Gain maximum tout en offrant un minimum de bruit. De plus, le LNA doit présenter une forte linéarité pour une consommation minimisée.

Définition des caractéristiques

Il y a plusieurs critères pour apprécier les performances d'un amplificateur faible bruit. Les plus importants sont généralement : le gain, le facteur de bruit, l'adaptation entrée/sortie, la stabilité et la linéarité.

2.6.1. Gain et adaptation d'impédance

Le passage entre deux milieux d'impédances différentes, entraîne une perturbation du signal par conséquent de la dégradation du gain. Afin de minimiser ce phénomène, il est nécessaire d'établir une interface de transition nommée adaptation d'impédance en entrée et en sortie. Elle est d'autant plus délicate à réaliser que la bande passante à amplifier est grande ($Z_{in}=Z_{out}$).

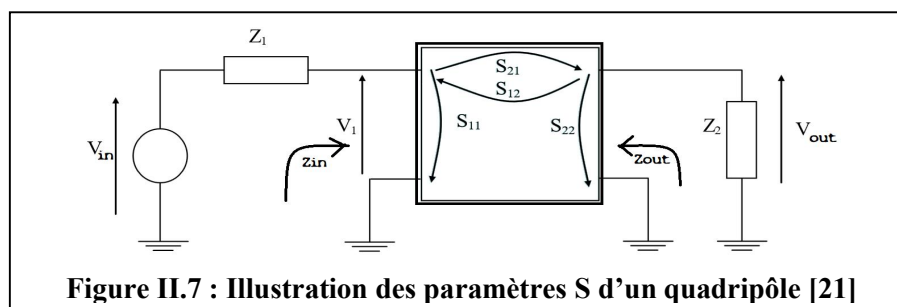


Figure II.7 : Illustration des paramètres S d'un quadripôle [21]

Les coefficients S_{11} et S_{22} traduisent la réflexion du signal incident à chacun des accès et permettent donc de caractériser respectivement les impédances d'entrée et de sortie du quadripôle. Le paramètre S_{12} correspond quand à lui au coefficient de transmission inverse, c'est-à-dire la puissance transmise du port 2 vers le port 1 du quadripôle. En ce qui concerne le coefficient de transmission S_{21} , celui-ci est défini comme étant le rapport entre la puissance transmise et incidente lorsque la sortie est terminée par une charge Z_2 dite parfaite. Ainsi en considérant : $Z_1=Z_2=Z_0=50\Omega$

Le coefficient de transmission S_{21} c'est le gain en Puissance du quadripôle il est le rapport entre la Puissance de sortie et d'entrée. Un gain élevé est souhaité voir essentiel pour le LNA, afin de s'affranchir du bruit des étages suivant [21].

$$S_{21} = 10 \log \left(\frac{P_{out}}{P_{in}} \right) \quad (II.1)$$

2.6.2. Le Facteur de Bruits

Le LNA est généralement alimenté par une source de 50Ω qui peut être soit l'impédance de l'antenne de réception, soit l'impédance de sortie d'une bande sélectionnant le filtre SAW. Considérons le premier cas. L'entrée SNR est donnée par [23] :

$$SNR_{in} = \frac{v_s^2}{4kT_{eff}R_s\Delta f} \quad (II.2)$$

$R_s=50 \Omega$, T_{eff} : est la température de bruit effective de l'antenne

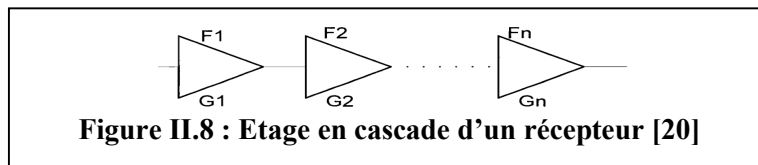
Le facteur de bruits est caractérisé par la figure de bruit (Noise Figure - NF) qui représente la dégradation du rapport signal/bruit (Signal Noise Ratio - SNR) entre l'entrée et la sortie du LNA ou d'un récepteur. Généralement exprimé en dB [23] :

$$NF = 10 \log_{10} F \quad \text{Avec} \quad F = \frac{SNR_{in}}{SNR_{out}} = \frac{\frac{S_{in}}{N_{in}}}{\frac{S_{out}}{N_{out}}} \quad (II.3)$$

2.6.3. Bruit d'un système

Selon la formule de FRIIS [20], le facteur de bruit global d'un système composé de n étages en cascade, adapté chacun en entrée et en sortie, comme illustré à la (Figure II-8), est donné en fonction des gains G_i et des facteurs de bruits F_i par la formule suivante [20] :

$$F_{total} = F_1 + \frac{F_2-1}{G_1} + \frac{F_3-1}{G_1G_2} + \dots + \frac{F_n-1}{G_1G_2\dots G_n} \quad (II.4)$$



L'équation précédente démontre l'importance du gain et du facteur de bruit du premier étage le LNA. En effet, il conditionne le facteur de bruit total du système. Ainsi, réduire au maximum la figure de bruit globale consiste à s'intéresser plus précisément au premier étage. Une méthodologie de conception doit être alors adoptée pour étudier son bruit qui dépend fortement du dimensionnement des transistors d'entrée du premier bloc.

2.6.4. La sensibilité

C'est le niveau de signal minimum qui peut être détecté à l'entrée d'un récepteur avec un rapport signal-bruit S/N acceptable à la sortie.

Ce qui veut dire que la sensibilité est directement liée au facteur de bruit du récepteur, on peut déduire le signal d'entrée avec l'équation (II.3) [23] :

$$PS_{in} = PN_{in} \cdot NF \cdot (SNR_{out}) \quad (II.5)$$

Où : PS_{in} est la puissance du signal d'entrée, PN_{in} est la puissance du bruit d'entrée

En notant B la largeur de bande du canal considéré on obtient :

$$PN_{in} = KT \cdot B \quad (II.6)$$

$$PS_{in} = KT \cdot B \cdot NF \cdot (SNR_{out}) [\text{Watt}] \quad (II.7)$$

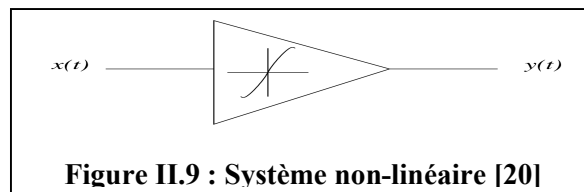
La sensibilité d'un récepteur RF adapté en dBm est :

$$\text{sensibilité} = -174 + 10 \log B + NF + (SNR_{out}) [\text{dBm}] \quad (II.8)$$

2.6.5. La linéarité

Un circuit n'est pas un dispositif parfaitement linéaire. Sa fonction de transfert n'est pas parfaitement linéaire. Soit $x(t)$ un signal d'entrée et $y(t)$ la réponse du système, son comportement peut alors se modéliser par la relation (II.8) où les α_n sont des coefficients.

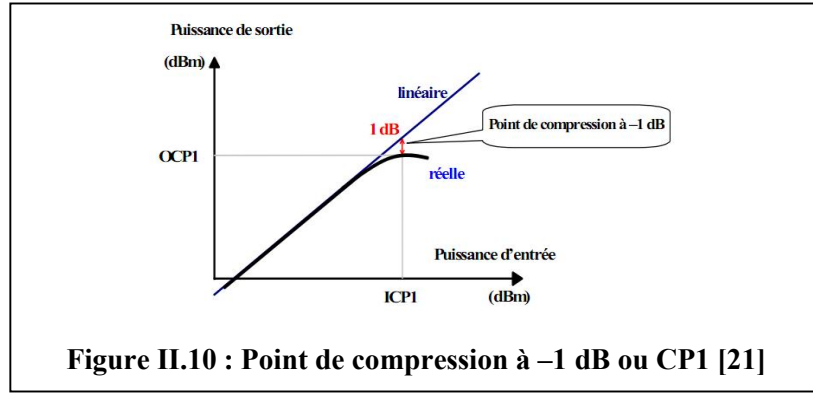
Le signal de sortie étant une réplique du signal d'entrée suivant un facteur appelé gain, dont la courbe présente une zone linéaire et une zone de saturation. Ce gain constant dans la zone de linéarité chute pour rentrer dans la zone de saturation. Le point où cette chute est de 1 dB, est appelé « point de compression à 1 dB » [23].



$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) \dots \quad (II.9)$$

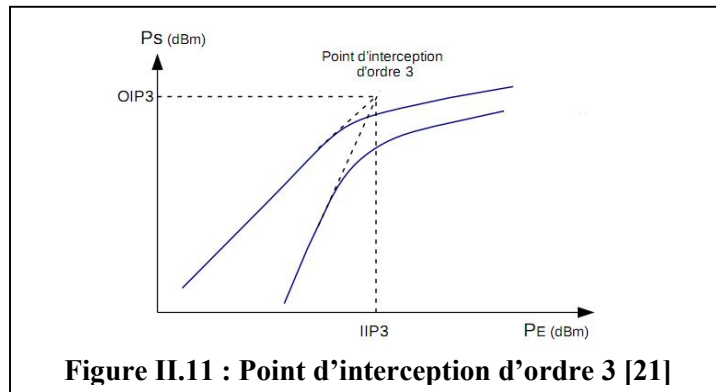
2.6.5.1. Point de compression à 1 dB

Il correspond à la puissance en entrée pour laquelle le gain du fondamental chute de 1dB par rapport à sa valeur petit signal, Par définition, le point où l'amplificateur cesse de fonctionner de façon linéaire est le point où il y a 1dB de différence entre la sortie réelle et la sortie théorique : c'est le point de compression 1dB, P1dB (Figure II.10).



Le point d'interception d'ordre 3

La caractéristique de linéarité harmonique d'ordre trois (IP3) est définie par La puissances d'entrées pour lesquelles la droite, en dB, du fondamental (F) et de l'intermodulation d'ordre 3 coïncide, il est appelée (3rd order Input Intermodulation Point (IIP3)) [21].



(IIP3) d'un amplificateur RF (LNA) peut être calculé en basant sur l'hypothèse de non-linéarité de l'équation (II.8) [21]:

$$P_{IIP3} = P_{in} + \frac{P_{out} - P_{IM,out}}{2} \quad (II.10)$$

D'où $P_{IM,out}$ indique la puissance des composants IM3 à la sortie, puis $P_{out} = P_{in} + G$ et $P_{IM,out} = P_{IM,in} + G$, G est le gain en puissance du circuit exprimé en dBm.

Lorsque plusieurs quadripôles sont associés et adaptés, le IIP3 total (en linéaire) est donné par :

$$\frac{1}{IIP3} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \dots + \frac{G_1 G_2 G_3 \dots G_{n-1}}{IIP3_n} \quad (II.11)$$

2.7. Topologies de l'amplificateur faible bruits

Il existe plusieurs Topologies d'amplificateur faible bruit. Chacune est définie suivant le type d'impédance d'entrée qu'elle présente. L'adaptation d'impédance présente une étape cruciale dans la conception des LNAs afin de garantir un gain élevé, une bonne adaptation entrée/sortie, un large bande de fréquence et un facteur de bruit faible.

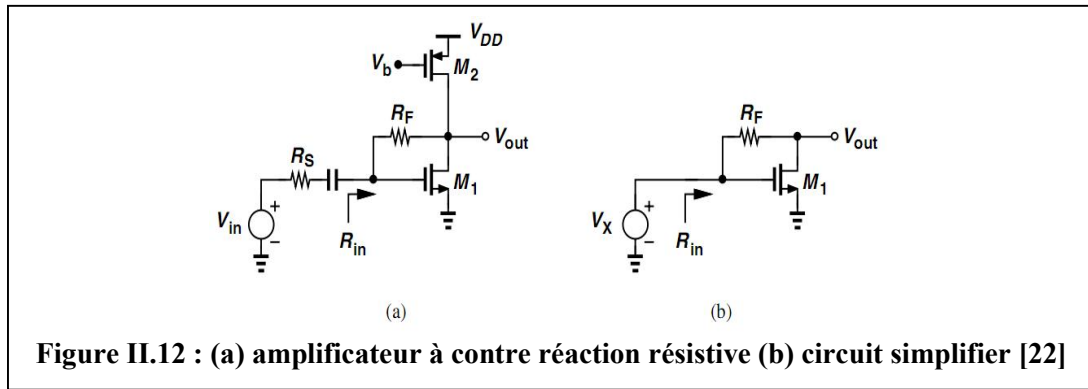
Il existe principalement quatre topologies d'amplificateur qui sont [22] :

2.7.1. Amplificateur à contre-réaction résistive (Resestive Feedback)

Son principe est illustré (Figure II.12) [22]. La résistance R_F constitue le circuit de contre-réaction, assurant l'adaptation d'impédance en entrée via le gain du transistor

$$R_{in} = \frac{1}{gm_1} \quad (II.12)$$

$$Av = \frac{1}{2} \left(1 - \frac{R_F}{R_S} \right) \quad (II.13)$$



Cette structure aboutit à un LNA avec un facteur de bruit en dB important car il s'agit d'un amplificateur large bande qui intègre le bruit sur toute la largeur de bande. De plus, la résistance de contre-réaction amène sa contribution sous forme de bruit thermique. Cette contre-réaction est très néfaste car elle ramène en entrée le bruit de la sortie de l'amplificateur [22]. Cette méthode est donc améliorée par l'utilisation de la technique (current-reused) cette technique rend la topologie de contre réaction résistive plus attrayante qui offre une entrée à bande ultra large (figure II.13). La transconductance globale est maintenant $(gm_N + gm_P)$ qui est deux fois plus grande que la contre réaction résistive de base pour le même courant de polarisation. Elle correspond aussi aux avantages de la simplicité de conception, qui offre une petite surface par rapport à ceux basés sur des inducteurs passifs [25].

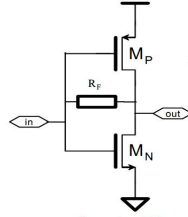


Figure II.13 : Amplificateur à contre réaction résistive (current reuse configuration) [25]

2.7.2. Amplification à terminaison résistive

L'adaptation d'impédance d'entrée, généralement sur 50Ω , d'un amplificateur à terminaison résistive s'effectue en faisant varier la résistance R (Figure II.14), comme le montre l'équation (II.13) ci-dessous [24] :

$$Z_{in} = \frac{R}{1 + jRC_{gs}\omega} \quad (II.14)$$

$$F = 1 + \frac{RS}{RP} \quad (II.15)$$

Ainsi, si $RS = R_p$, le facteur de bruit en dB vaut 3 dB. On comprend aisément que cette topologie de LNA ne convient pas à notre étude. A titre d'exemple, le facteur de bruit en dB de ce type de LNA est lourdement dégradé par le bruit thermique issu de la résistance [24].

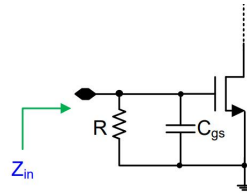


Figure II.14 : Amplificateur à terminaison résistive [24]

2.7.3. LNA à terminaison 1/gm (1/gm termination LNA)

Le principe du LNA à terminaison 1/gm est illustré (Figure II.15) [24]. Cette solution est plus compacte que celle à terminaison résistive car l'adaptation d'impédance d'entrée est effectuée par l'intermédiaire de la transconductance g_m du transistor telle que (Equation II.15) :

$$Z_{in} = \frac{1}{g_m} \rightarrow g_m = 20 \text{ ms si } Z_{in} = 50 \Omega \quad (II.16)$$

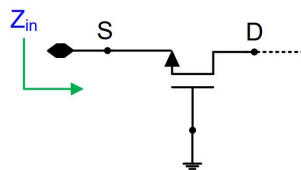


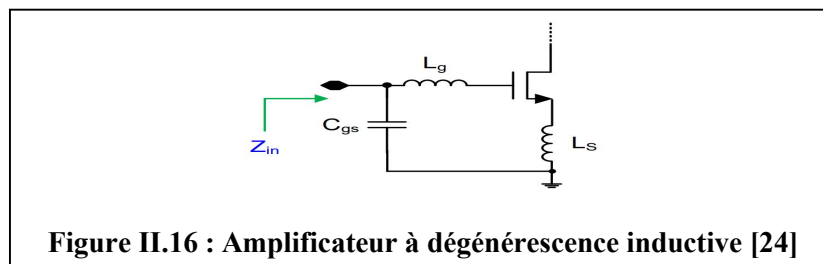
Figure II.15 : Amplificateur à terminaison 1/gm[24]

Cependant, le principal inconvénient de cette topologie est le fait qu'il faille adapter en jouant sur g_m , ce qui fixe alors la consommation et cela ne convient donc pas pour des applications de faible consommation. De plus, cette structure en $1/g_m$ est plus appropriée pour les transistors bipolaires que pour les transistors CMOS pour avoir de bonnes performances en bruit.

2.7.4. LNA à dégénérescence inductive (Inductive degeneration LNA)

Le LNA à dégénérescence inductive est présentée (Figure II.16) [24]. L'adaptation d'impédance d'entrée se fait par l'intermédiaire de l'inductance de grille L_g qui va annuler la capacité C_{gs} à la fréquence de travail. L'inductance de source L_s , vue comme une impédance réelle grâce à l'effet transistor [24], permet de finaliser l'adaptation en impédance équation (II.16) :

$$Z_{in} = \frac{g_m}{C_{gs}} L_s + j[(L_s + L_g)\omega - \frac{1}{C_{gs}\omega}] \quad (II.17)$$



Cette structure, présente une possibilité de trouver un compromis entre une optimisation en impédance d'entrée et en bruit, permettant ainsi d'avoir un bon gain en tension et un faible facteur de bruit [78, 90]. De plus, cette topologie est compatible avec les contraintes de faible consommation et de basse tension [.]. Cependant, cette structure présente un inconvénient majeur qui réside dans l'utilisation de fortes inductances encombrantes.

2.7.5. Comparaison et critère de choix de la topologie de LNA

Parmi les différentes topologies présentes des inconvénients et des avantages notre choix s'est penché sur celle qui est mieux adaptée pour les applications multistandards, large bande et celle qui est moins encombrante avec une faible consommation d'énergie.

La topologie la mieux adaptée c'est à contre réaction résistive.

Tableau II.1 : Comparatif des topologies classiques de LNA

Amplificateur a contre réaction résistive	Autres Topologies
<ul style="list-style-type: none"> - Consommation faible - Petite surface - Large Bande - Intégration complète - Pas d'inductances 	<ul style="list-style-type: none"> - Forte consommation - Grande surface - Bande étroite - Faible intégration - Beaucoup d'inductances

2.8. Conclusion

Dans ce chapitre, nous avons fait une étude sur les architectures classiques de réception radio fréquence puis nous avons retenu l'architecture homodyne. Cette architecture nous intéresse tout particulièrement par sa compatibilité avec les systèmes multistandards, sa faible consommation, sa simplicité de conception et sa facilité d'intégration. Ensuite, nous avons présenté plusieurs architectures adaptées aux applications multistandards basées sur l'architecture homodyne.

En suite nous avons comparé les différents architecture d'amplificateur a pour la conception d'un amplificateur faible bruit (LNA) multistandard large bande et nous avons retenu l'architecture source commune à contre réaction résistive.

Chapitre 3

3.1. Introduction :

les travaux menés dans ce chapitre visent à faire l'étude puis l'extraction des paramètres et simulation d'un amplificateur faible bruit (Low Noise Amplifier-LNA) Multistandard reconfigurable dédiée aux différentes applications radio cognitive comme la téléphonie mobile de 3ème et de 4ème génération (3G et 4G), notamment CDMA, le WCDMA/UMTS et LTE donnant lieu à une meilleure gestion et allocation des fréquences, au GPS, DCS, PCS, WLAN et WiMAX implémenté avec la technologie CMOS 0.13 μm , pour qu'on puisse comparer les résultats analytiques avec celles de la simulation. Ses résultats sont appelés à satisfaire à des exigences du cahier des charges, donc une large fréquence des opérations allant jusqu'à 3.4 GHz, une figure de bruit (Noise Figure - NF) inférieure à 4dB et idéalement très proche de 3.8dB, un gain en tension (G) supérieur à 20dB, une très faible consommation 0.97mW sous 1.2V et une adaptation d'impédance telle que, l'impédance du circuit vue de l'entrée ou de la sortie présente soit de 50Ω en entrées comme en sorties.

3.2. Le rôle d'un amplificateur à faible bruit LNA reconfigurable :

Nous nous intéressons ici plus particulièrement au frontal (front end) du système, c'est-à-dire au premier étage analogique qui traite les signaux reçus en sortie de l'antenne (figure III.1). Ce frontal est composé d'un amplificateur faible bruit LNA, d'oscillateurs et de mélangeurs. Notre étude s'intéresse au LNA. Le signal reçu par un récepteur radio à un seul trajet, piloté par un amplificateur à faible bruit (LNA), en tant que premier bloc dans la chaîne de réception, il est nécessaire de concevoir un LNA reconfigurable pour transformer les équipements radio statiques en équipements radio dynamiques capables d'adapter leurs bandes de fréquence utilisées, et de concevoir des récepteurs radio cognitive.

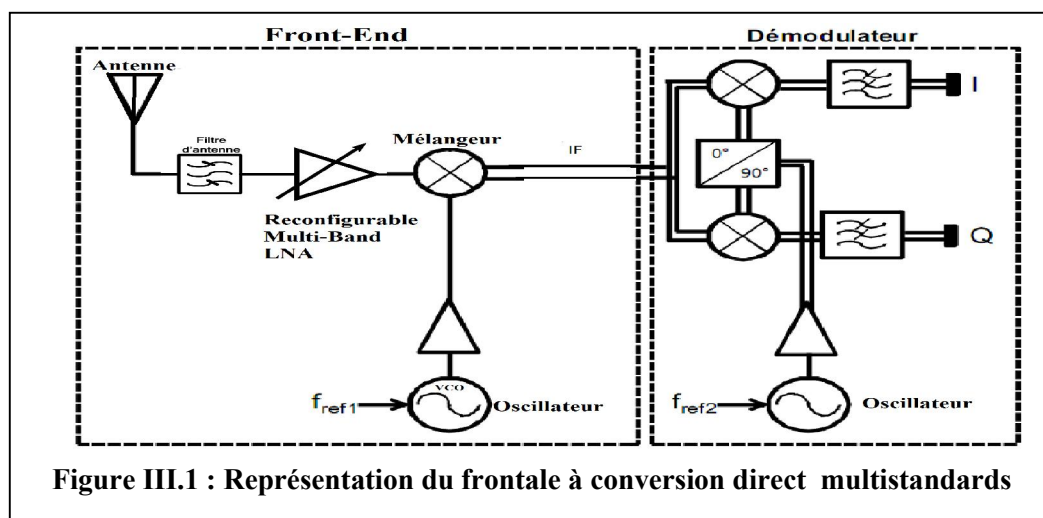


Figure III.1 : Représentation du frontale à conversion direct multistandards

3.3. Etude et analyse de la topologie du LNA choisie :

Le LNA que nous avons étudié est représenté dans (la Figure III.2). Il est composé de deux étages amplificateur, le premier étage (étage 1) est un amplificateur source commune complémentaire à contre réaction résistive le cœur du circuit est composé de deux transistors, un NMOS (M1) et PMOS (M2), qui utilisent le même courant de polarisation. Ce circuit est aussi nommé «current-reused» (courant réutilisé). Le transistor M1 et M2 sont polarisés avec v_{bias-1} et v_{bias-2} (représenté dans le schématique) qui génère la tension V_{gs} LNA. Le transistor M2 dispose du même courant que celui fixé par le transistor M1 et la tension de grille s'auto-polarise avec la résistance R_F . L'adaptation d'entrée est réalisée avec la résistance de contre réaction R_F pour régler la résistance d'entrée à 50 ohms, elle est composée aussi : des résistances de charge et transconductances des transistors du cœur (M1 et M2). Le deuxième étage est un amplificateur source commune à charge LC variable, du fait que la capacité C_{var} ou (le varactor) est variable donc on peut modifier la fréquence de résonance du circuit (LC tank). Le Gain du LNA atteint sa valeur la plus élevée (Bande passante) à la fréquence de résonance du deuxième étage.

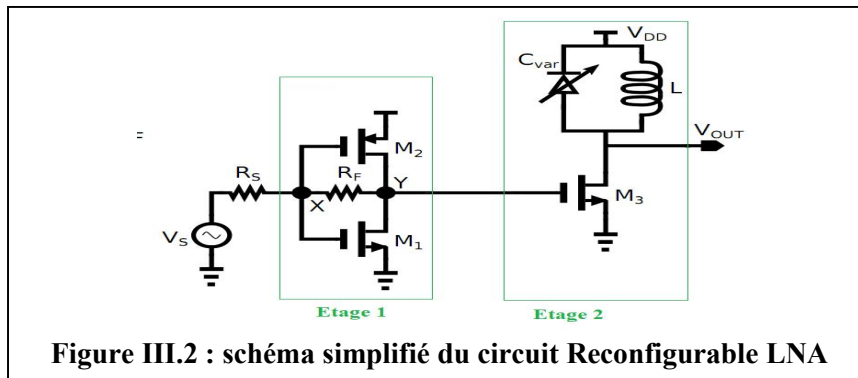


Figure III.2 : schéma simplifié du circuit Reconfigurable LNA

3.3.1. Etude analytique du LNA, circuit (figure III.2) :

Les calculs analytiques du circuit sont représentés ci-dessus et les équations sont démontrées dans (ANNEXE 2) :

3.3.1.1) La résistance d'entrée :

La résistance d'entrée du LNA pour les fréquences qui sont inférieure à :

$$f = \frac{1}{2\pi C_{gs} R_s} \quad (III.1)$$

Est :

$$R_{in} = \frac{R_F + r_{O,Y}}{1 + g_{m,IN} r_{O,Y}} \quad (III.2)$$

Où :

$g_{m,IN}$ Est la somme des deux transconductances $g_{m,M1}$ et $g_{m,M2}$.

$r_{O,Y}$ Représente la résistance de charge au nœud Y (Figure III.2), dans le cas où les capacités de M_3 sont négligeables $r_{O,Y} = R_{ds,M1} // R_{ds,M2}$ sachant que $R_{ds} = \frac{1}{g_{ds}}$.

3.3.1.2) Le Gain en tension du LNA :

Le gain en tension du circuit, avec l'adaptation d'entrée à la fréquence de résonance de l'étage 2, est donné par l'équation (III.3).

Lorsque $R_{in} = R_s$, le gain en tension du LNA ($\frac{V_{out}}{V_s}$), à la résonance LC-Tank, est donnée par :

$$A_{LNA} = \frac{1}{2} \left(g_{m,IN} - \frac{1}{R_F} \right) g_{m,M_3} (R_F // r_{O,Y}) (r_{LOSS} // r_{O,M_3}) \quad (III.3)$$

Où :

g_{m,M_3} Représente la transconductance de sortie du transistor M_3

r_{O,M_3} Est la résistance de sortie du transistor M_3

r_{LOSS} Est la résistance équivalente parallèle du circuit (LC-Tank), la résistance parallèle du C_{var} n'est pas considérée car son impacte est mineur, ce qui permet de prendre en compte les pertes dans l'inductance qui est donnée par :

$$r_{LOSS} = (Q_s^2 + 1) R_s \quad (III.4)$$

Où :

Q_s Est le facteur de qualité de l'inductance associé à la perte série de l'inductance qui est donné par :

$$Q_s = \frac{Im\{Z\}}{Re\{Z\}} \quad (III.5)$$

Où :

$Im\{Z\}$ Est la partie imaginaire de l'impédance de l'inductance

$Re\{Z\}$ Est la partie réelle de l'impédance de l'inductance qui représente la résistance série R_s .

On a : $Z = R_s + j\omega L$

La fréquence de résonance est donné par :

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (III.6)$$

Le Gain du LNA pour les autres fréquences hors la fréquence de résonance est calculé avec l'équation (III.9), on peut calculer Le Gain de l'étage par :

$$G_{V2} = -g_{m,M_3} (Z_2) \quad (III.7)$$

Z_2 Est l'impédance de la charge RLC en parallèle calculé par :

$$Z_2 = \left(r_{LOSS} \parallel \frac{1}{j\omega C} \parallel j\omega L \right) \quad (III.9)$$

$$Z_2 = \frac{(r_{LOSS} \omega L)}{\sqrt{1 - LC\omega^2} r_{LOSS}^2 + \omega^2 L^2} \quad (III.8)$$

$$\omega = 2\pi f$$

Donc on peut aussi calculer le Gain en tension du LNA avec l'équation suivante :

$$A_{LNA} = \frac{1}{2} \left(g_{m,IN} - \frac{1}{R_F} \right) g_{m,M_3} (R_F \parallel r_{O,Y}) (Z_2 \parallel r_{O,M_3}) \quad (III.9)$$

3.3.1.3. Analyse de bruit du LNA :

Il existe plusieurs sources de bruits dans ce circuit, parmi les quelles les pertes du réseau d'adaptation en entrée la résistance de contre réaction R_F et la résistance R_S produit le bruit thermique bien que elle réduit le Gain en bande passante, une deuxième source de bruit est les transistors de l'étage 1 (M1 et M2) et de l'étage 2 (M3) le bruit thermique du drain et le bruit induit par le grille sont les principales sources qui contribuent au bruit total du MOSfet, une autre source de bruit c'est les pertes en série et les perte en parallèle de l'inductance intégrée qui présente un facteur de qualité donc(r_{LOSS}) présente un bruit thermique importants.

Le Facteur de bruit de LNA est donné par l'équation suivante :

$$F_{LNA} = 1 + \frac{R_F}{R_S} \left(\frac{1 + g_{m,IN} R_S}{1 - g_{m,IN} R_F} \right)^2 + \frac{g_{m,IN} \gamma}{R_S \alpha} \left(\frac{R_F + R_S}{1 - g_{m,IN} R_F} \right)^2 + \frac{1}{R_S} \left(\frac{2(R_F + r_{O,Y})}{g_{m,M_3} r_{O,Y} (1 - g_{m,IN} R_F)} \right)^2 \left(r_{LOSS} + \frac{\gamma g_{m,M_3}}{\alpha} \right) \quad (III.10)$$

Où : γ, α dépendent du processus technologique

γ : est le paramètre de bruit en excès du canal $\gamma=2/3$

α : $gm/gd0$ c'est le coefficient de corrélation entre la grille et le bruit du courant du drain donné pour les effets canal court dû à la vitesse de saturation et diminution de mobilité.

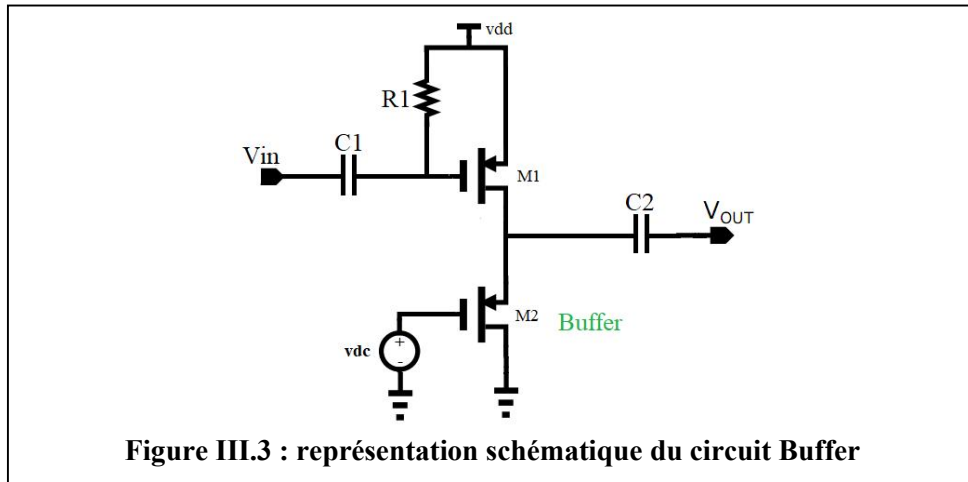
Pour diminuer significativement F on peut choisir $g_{m,IN} R_F \gg 1$

Donc le facteur de bruit NF du LNA est calculé par : $NF = 10 \log (F)$.

3.4. Adaptation de la sortie :

Le LNA doit être adapté en sortie comme en entrée pour cela on à besoin d'un troisième étage représenté dans la (figure III.3), appelé un tampon de Tension ou (Buffer en anglais), ce circuit est très utile dans la chaine de réception son rôle est d'assurer un maximum de puissance à la charge et une impédance de 50Ω à la sortie (impédance d'entrée de l'étage suivant), Cette topologie fournit un gain et une impédance de sortie stables sur une

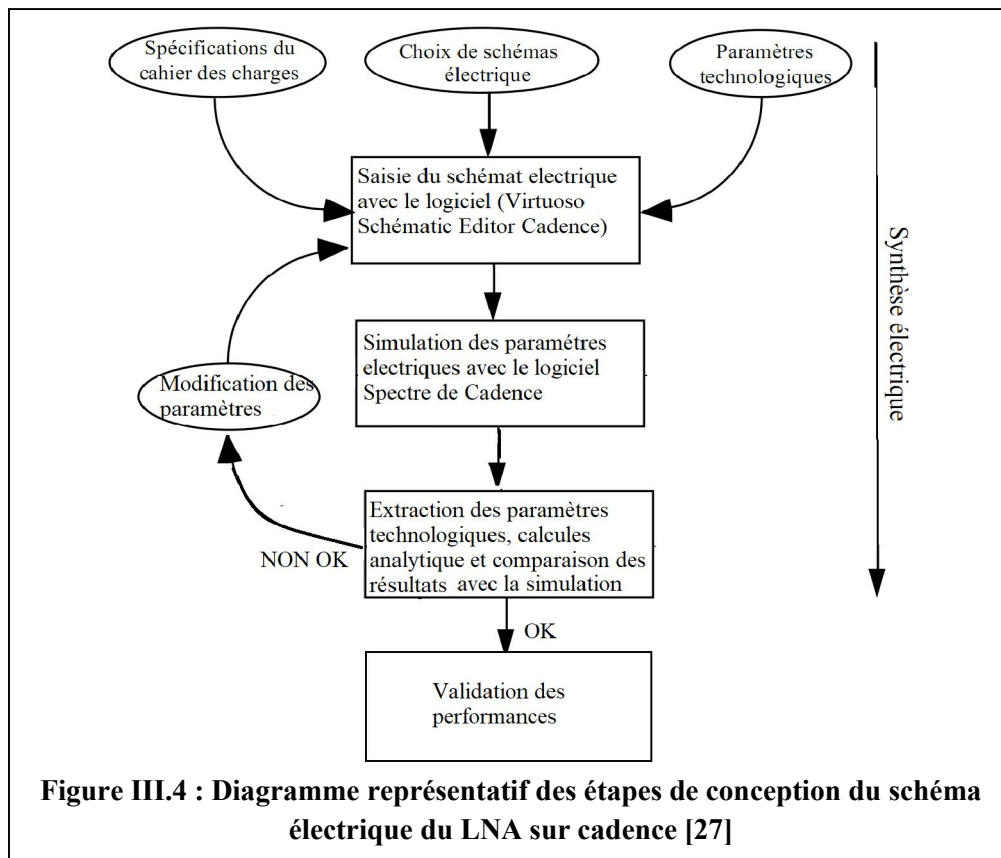
large bande de fréquence, Cette architecture de buffer garantit enfin la stabilité de l'ensemble LNA+Buffer.



3.5. Implémentation du circuit (LNA) et résultats de simulation :

La conception des circuits analogiques débute par la saisie du schéma électrique du circuit que le concepteur a choisi pour réaliser les fonctions nécessaires pour répondre aux spécifications du cahier des charges.

Une fois le schéma saisi, on peut simuler les paramètres électriques avec le logiciel spectre de cadence. Le but de cette simulation est de vérifier que la cellule que l'on va implanter respecte bien les spécifications attendues. Puis on procédera à l'extraction des paramètres technologiques des composants pour que l'on puisse vérifier les formules analytiques du LNA et les comparer avec la simulation, à savoir que Un design kit [28] de STMicroelectronics technologie CMOS 130 nm est chargé au démarrage afin de relier le circuit simulé au Process technologique. Cette phase de synthèse électrique (Figure III.4) permet d'optimiser les dimensions des transistors du schéma électrique ainsi que le circuit, de telle façon que les fonctions demandées soient réalisées, en respectant les spécifications. A la fin de cette phase, le schéma électrique ainsi obtenu (Figure III.5) peut servir pour l'implantation physique.



3.5.1. Saisie schématique du LNA sur (Virtuoso schematic Editor):

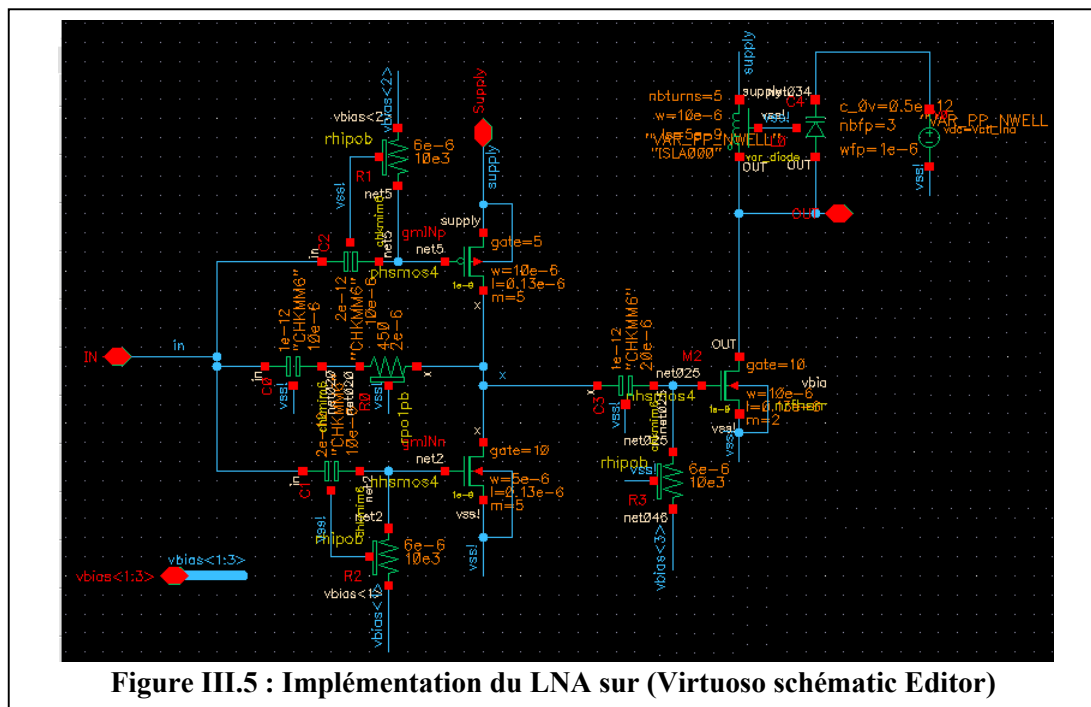
Le schéma complet du circuit est représenté dans la (Figure III.5). Le schéma à été saisi sur (virtuoso schematic editor) La méthode de la (Figure III.4) nous a permis de dimensionner les transistors et les composants passifs d'entrée, selon les valeurs qui nous donnent les résultats spécifiés dans le cahier des charges. On peut noter que :

- Les transistors NMOS sont nettement plus petits que les transistors PMOS parce que la mobilité des porteurs est plus faible pour les PMOS.
- Le PMOS a été divisé en 25 transistors en parallèle d'une largeur de $2\mu\text{m}$ avec deux transistors factices (Dummy) de chaque côté et le NMOS aussi a été divisé en 25 transistors en parallèles d'une largeur de $1\mu\text{m}$ avec deux (Dummy) de chaque côté, pour réduire la largeur de la grille.

Pour se rapprocher de la réalité, les simulations ont été réalisées avec des modèles de composants du constructeur STMicroelectronics. Les composants choisis sont :

Types du composant	caractéristiques	N° composants	valeurs
Transistors MOSFET (PMOS) (NMOS)	Technologie 0.13 μm , $V_{ds} \text{ MAX}=1.2\text{V}$ ($V_{TN} = 450 / 340\text{mV}$), ($V_{TP} = 395 / 300\text{mV}$), I_{sat} : (TN 1.2V: 535 / 670 μA TP 1.2V: 240 / 310 μA), $T=-40^\circ\text{C}$ à 175°C	M1	$W=1\mu\text{m}$, (25 finger + 4 Dummy)
		M2	$W=2\mu\text{m}$, (25 finger + 4 Dummy)
		M3	$W=2\mu\text{m}$, (10 finger + 4 Dummy)
Résistances	Résistances en poly-silicium	$R1=R2=R3$.	$=10000\Omega$; $W1=W2=1.5\mu\text{m}$ $W3=2\mu\text{m}$
		RF	$=450\Omega$; $W=2\mu\text{m}$
Capacités	Capacité (MIM) en aluminium	$C1 = C2$	$=2\text{pF}$; $W=7\mu\text{m}$
		$C0 = C3$	$=1\text{pF}$; $W0=25\mu\text{m}$, $W3=10\mu\text{m}$
Inductances	blindage de masse en planaire « patterned-ground-shield PGS »	L0	$=5\text{e-9 H}$, $Q_s = 9.66$ à $f=2.4\text{ Ghz}$

Tableau III.1 : Caractéristiques des composants intégrés utilisé et leurs valeurs



Le schéma du circuit à réaliser est terminé. Toutefois, il faut s'assurer qu'il n'y a pas eu d'erreur de saisie de schéma ou de saisie de paramètres. Pour valider le circuit, on utilise la simulation. Or le schéma du circuit à réaliser ne suffit pas pour la simulation: il faut alimenter le circuit, et appliquer des valeurs électriques sur les entrées (RF et DC) avec des éléments de

simulation pure. Pour cela on doit définir tous les nœuds (pin) du LNA (IN, out, vdd, vctl, vbias<1 :3>, gnd) et créer un symbole englobant tout le circuit.

3.5.2. Simulation du LNA avec (ADE) « Analog Design Environnement » :

Pour simuler le circuit qui a été réalisé dans la (Figure III.5), nous allons créer une cellule (Tb-LNA) avec une vue schématique ce la en instanciant le symbole du LNA en suit il faut alimenté le LNA à travers les nœuds (pin) avec des générateurs de tension continue (DC) qu'on peut instancier à partir de (analogLib) comme il est présenté dans la (figure III.6) un port à l'entrée (IN) qui est un générateur de polarisation statique de 1V avec une résistance de 50Ω pour vérifier le fonctionnement statique du circuit, une charge capacitif a la sortie d'une valeur 20F, alimentation Vdd de 1.2V, V contrôle ou Vctl = 900 mV, Vbias<1> =400 mV, Vbias<2> =720mV Vbias<3> =350 mV.

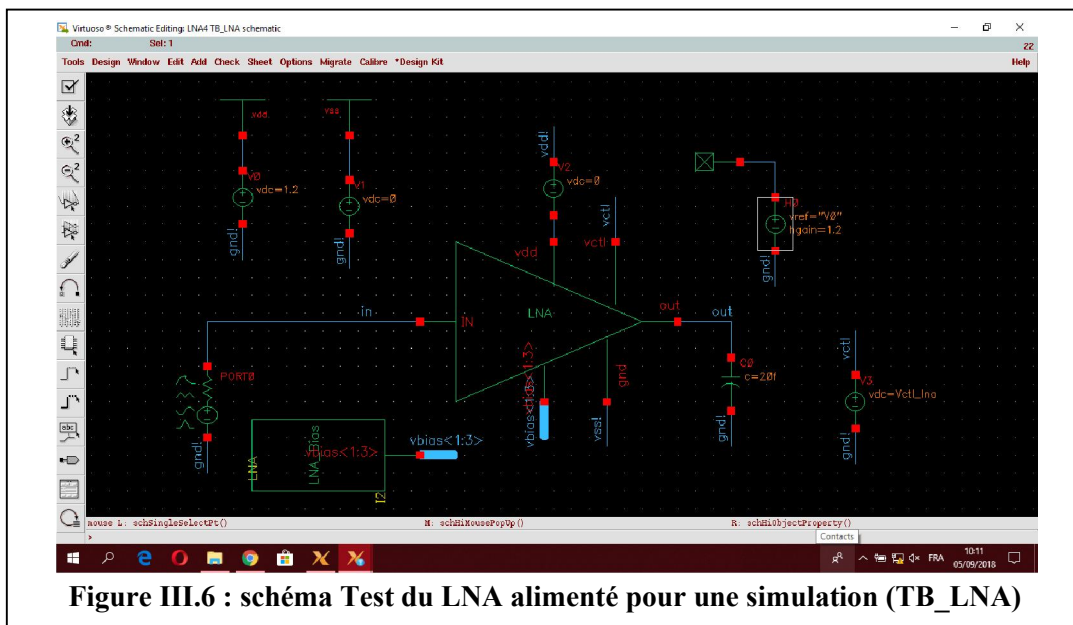


Figure III.6 : schéma Test du LNA alimenté pour une simulation (TB_LNA)

Nous allons maintenant lancer la simulation à l'aide du simulateur SPECTRE de Cadence IC. Depuis « Virtuoso Schematic Editor », cela on ouvrant la fenêtre de contrôle de la simulation « Virtuoso Analog Design Environment ou ADE » présentée dans la (figure III.7), avant de lancer la simulation nous devant choisir les paramètres de simulation, sachant que CADENCE IC offre un très grand nombre de simulation comme le montre la fenêtre (Choosing Analyses) (Figure III.8) pour l'analyse de notre circuit (TB_LNA) nous allons configurer quatre paramètres de simulation comme le montre la (figure III.7) qui sont analyse (DC, AC, SP et Noise).

- **DC** : balayage d'une variable (tension DC, température, paramètre d'un composant) pour vérifier les conditions du système BIAS. Cela nous indique ce qui se passerait si on allume simplement le circuit et ne lui envoyer aucun signal, ce type de simulation calcule le point de fonctionnement statique en fonction d'un paramètre.
- **AC** : c'est une analyse fréquentiel (petits signaux) harmoniques avec une modélisation linéaire autour du point de fonctionnement obtenu par la simulation DC, cette analyse nous permet de simuler le gain en tension du LNA.
- **SP** : analyse des paramètres S, permet aussi de faire une analyse de bruit (petits signaux), ses valeurs s'expriment en puissance, cette simulation nous permet de mesurer les coefficients de réflexion et de transmission du LNA.
- **Noise** : Simulation petits signal pseudo-harmonique pour l'analyse du bruit électrique.

En suite on doit définir le type de balayage prenant exemple pour l'analyse SP (figure III.8) :

- Select Ports
- Swept variable : Frequency
- Swept range : start= 0.1Ghz ; Stop=10Ghz
- Swept type : Points per decade = 100

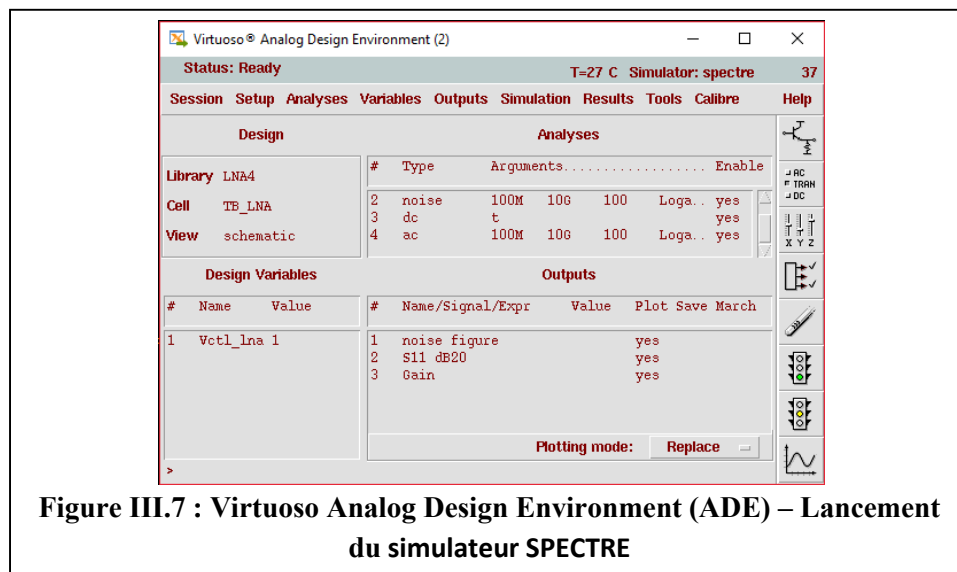


Figure III.7 : Virtuoso Analog Design Environment (ADE) – Lancement du simulateur SPECTRE

Maintenant il reste à ajouter les expressions et les nœuds que nous voulons tracer dans la fenêtre (Setting Outputs), par exemple pour le gain en tension nous devons prendre le nœud de sortie (Vout) et le nœud de l'entrée (Vin) puis on ajoute l'expression $((db20((VF''/out'')) / ('VF/ IN')))$ dans la boîte de dialogue Expression comme il est illustré dans la (figure III.9).

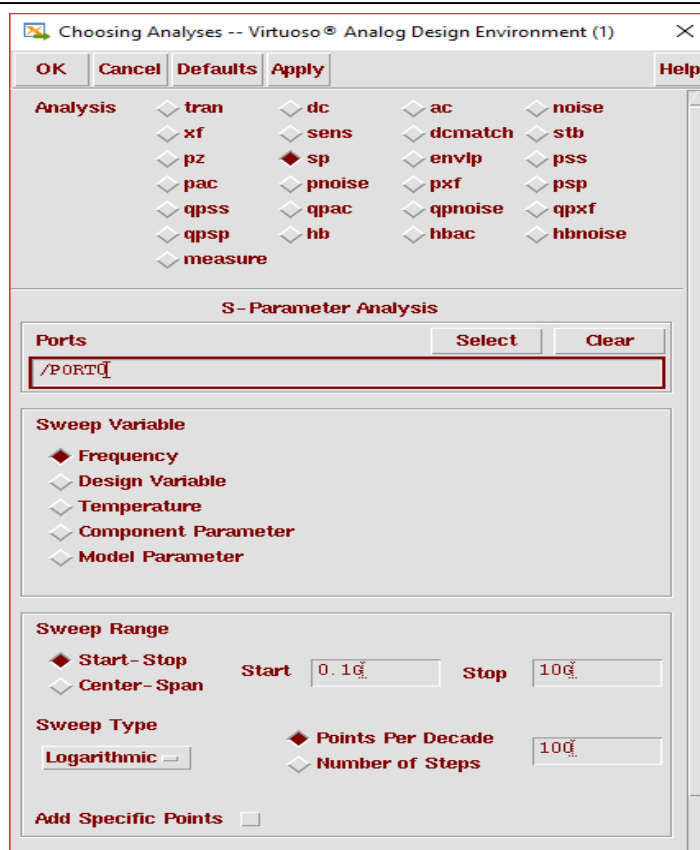


Figure III.8 : Choix de l'analyse et paramétrage d'une simulation SP

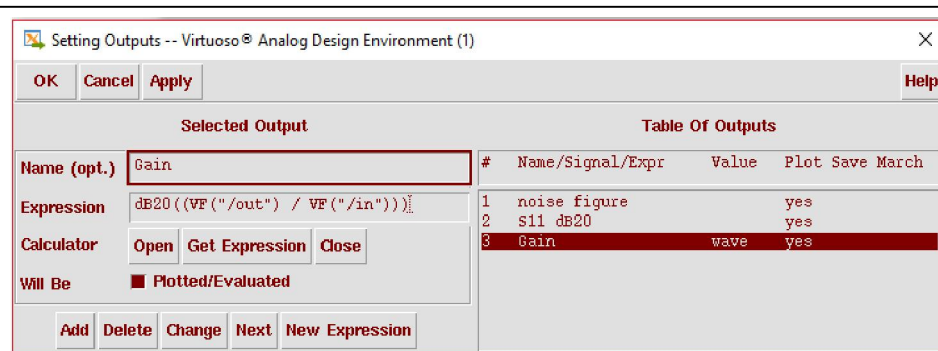
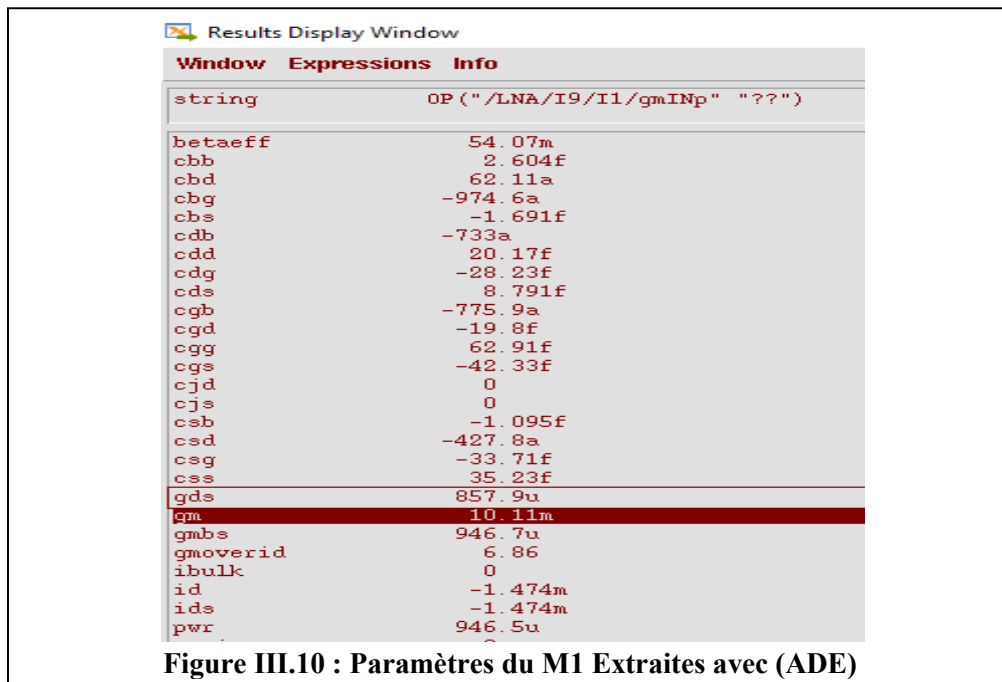


Figure III.9 : Introduction des expressions pour les sorties

Maintenant il nous reste qu'à définir les variables de l'ADE dans la fenêtre (Design variable). Dans notre cas on a la variable V contrôle (Vctl LNA) qui est nécessaire pour ajuster la fréquence de résonance du circuit LC (LC-tank) on variant le (VARACTOR) on injecte une valeur de (Vctl=900mV) pour une fréquence de résonance de 2.4Ghz. On lance la simulation en cliquant sur **Run** puis on visualise les résultats.

3.5.3. Extraction des paramètres et résultats de simulation :

Une fois la simulation est terminée nous allons visualiser tous les graphes des expressions qu'on a introduit dans (Setting Outputs) en plus de ça nous pouvant Extraire tous les paramètres des composants dont on a besoin pour vérifier les calculs analytique et ce la on cliquant sur (Results > Print > DC Operating Points) dans la fenêtre de simulation (ADE) l'éditeur de schéma invite cette fois à sélectionner des instances (composants). Puis nous allons sélectionner sur le schéma, à tour de rôle, les transistors M1, M2 et M3 puis on observe l'évolution de la (fenêtre Result Display) Window comme le montre la (figure III.10) et en extraire les paramètres suivants ($g_{m,M1}$, $g_{m,M2}$, $g_{m,M3}$, $g_{ds,M1}$, $g_{ds,M2}$, $g_{ds,M3}$).



3.5.3.1. Extraction de paramètre des transistors :

- Transistor PMOS (M1) : $g_m = 10,11 \text{ ms}$, $g_{ds} = 857.9 \text{ us} = 857,9 \cdot 10^{-6} \text{ s}$ →
 $R_{ds} = \frac{1}{g_{ds}} = 1165.63 \Omega$.
- Transistor NMOS (M2) : $g_m = 12,54 \text{ ms}$, $g_{ds} = 829.8 \text{ us} = 829,8 \cdot 10^{-6} \text{ s}$ →
 $R_{ds} = \frac{1}{g_{ds}} = 1205.1 \Omega$.
- Transistor NMOS (M3) : $g_m = 6,90 \text{ ms}$, $g_{ds} = 354.3 \text{ us} = 354.3 \cdot 10^{-6} \text{ s}$ →
 $R_{ds} = \frac{1}{g_{ds}} = 2822.85 \Omega$.

Nous avons aussi besoin d'effectuer d'autres simulation pour qu'on puisse faire le calcul analytique, comme le facteur de qualité de l'inductance et les paramètres technologiques du MOSFET (α et γ).

3.5.3.2. Facteur de qualité de l'inductance :

Pour simuler le facteur de qualité de l'inductance qu'on a utilisé dans notre circuit (LNA) nous allons faire un petit schéma sur (Virtuoso schematic editor) de Cadence, on instancie l'inductance utilisée dans notre circuit d'une valeur $L = 5 \cdot 10^{-9} H$ puis on l'alimente avec un port, on ouvre la fenêtre (ADE) puis on configure une analyse SP, on lance la simulation. Pour visualiser la partie réelle et la partie imaginaire et le facteur de qualité Q_s , nous allons vers (Results > direct plot > Main Form) la fenêtre (direct plot) apparaît puis on choisit la fonction ZM puis on sélectionne ce que on veut visualiser (Real, Imaginary) comme il est indiqué dans la (figure III.11).

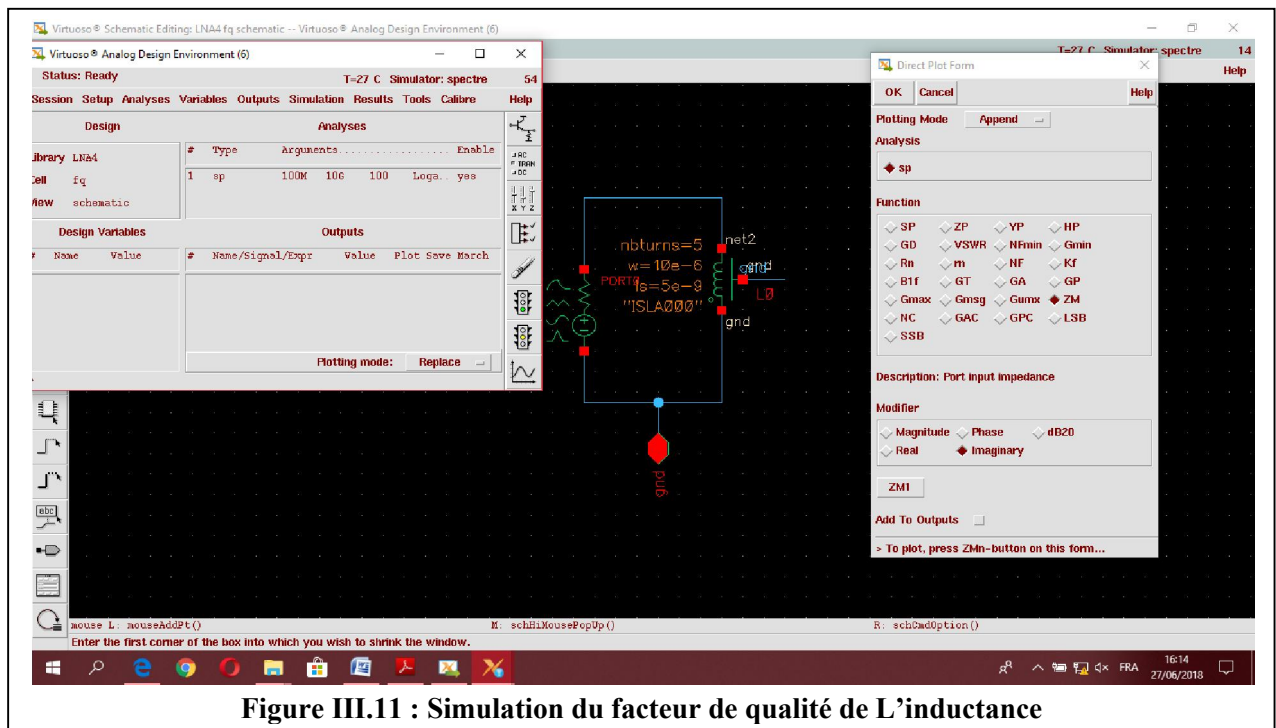


Figure III.11 : Simulation du facteur de qualité de L'inductance

On appliquant l'équation (III.5) on peut calculer le facteur de qualité pour différentes fréquences, ou on peut introduire directement l'expression dans (ADE) puis on visualise les résultats (Im , Re , Q_s). Les résultats de simulation du facteur de qualité sont indiqués dans la (figure III.12). L'application de l'équation (III.4) nous permet de calculer la résistance parallèle de l'inductance (r_{LOSS}) en fonction de la fréquence et du facteur de qualité Q_s .

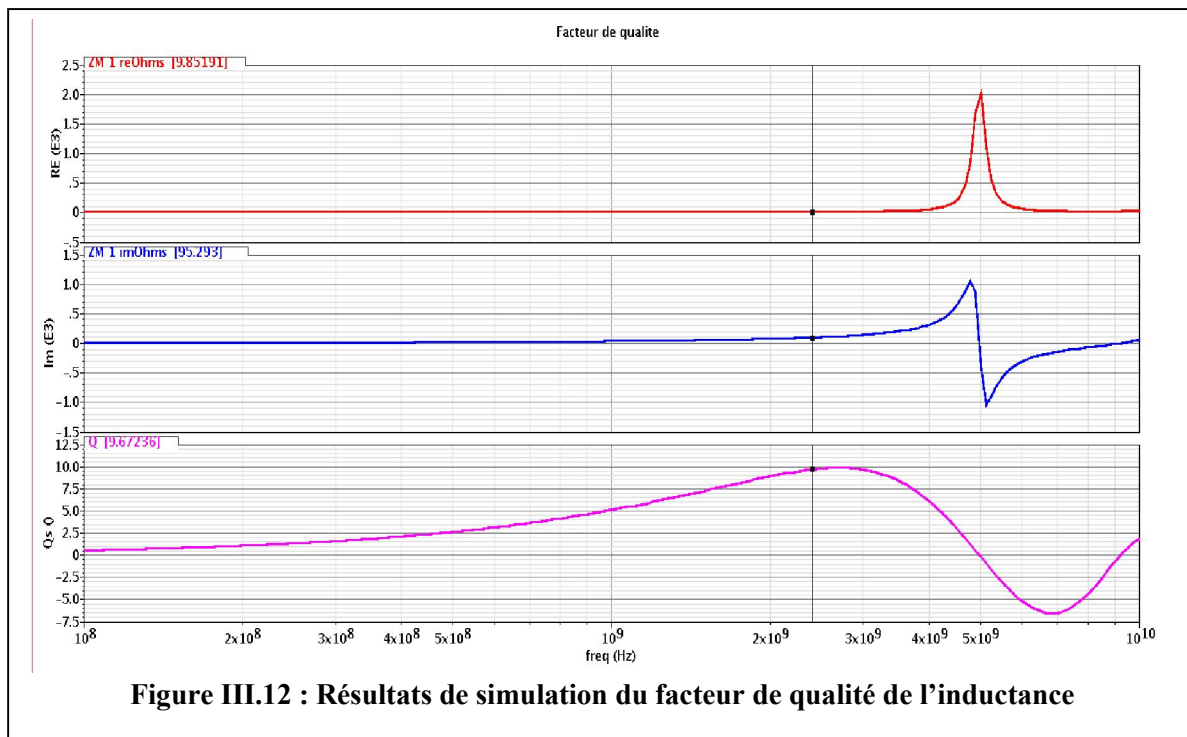


Figure III.12 : Résultats de simulation du facteur de qualité de l'inductance

3.6. Résultats de simulations et comparaison avec l'analytique:

Cette étape nous permet de valider le circuit ainsi conçu et de confirmer son passage à l'étape suivante implémentation physique (dessin de masque), pour cela nous devons simuler les trois paramètres essentiels d'un LNA précédemment déterminé dans l'analytique puis on procédera à une autre simulation avec le troisième étage (LNA+Buffer) puis en comparais et en discuteras les résultats.

3.6.1. Gain en tension du LNA :

Nous devons assurer que les simulations sont réalisées pour une fréquence fixe de 2,4 GHz cela en fixant la tension de contrôle du varactor (vctl), toutes les autres simulations doivent êtres faites avec cette fréquence, la valeur de la capacité de charge et la taille des transistors étant fixes : $CL=20F$, M1 ($W=1\mu m$ et $L=0.13\mu m$ grille=25) M2 ($W=2\mu m$ et $L=0.13\mu m$ grille=25) M3 ($W=2\mu m$ et $L=0.13\mu m$ grille=10). Les résultats des simulations sont représentés dans la (Figure III.13).

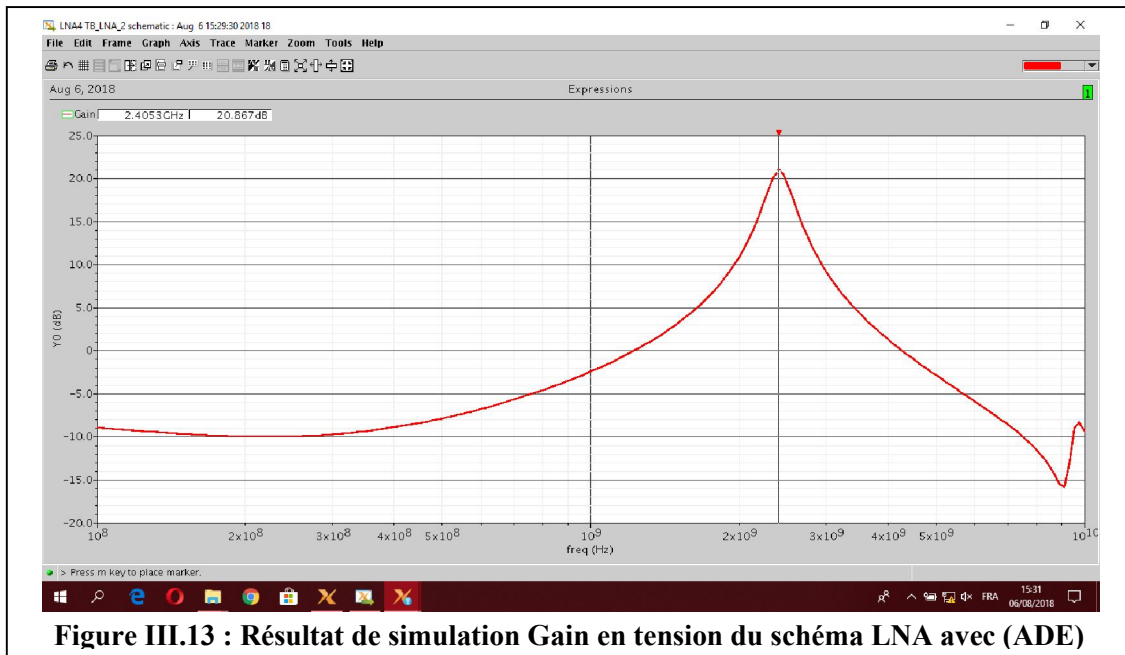


Figure III.13 : Résultat de simulation Gain en tension du schéma LNA avec (ADE)

Le gain, augmente jusqu'à un maximum de 20.86dB en prenant en compte tous les paramètres de la technologie et toutes les sources de bruit du LNA.

Maintenant nous allons procéder à l'application numérique des équations (III.3) et (III.9) en utilisant les paramètres extraits puis on compare avec les résultats de la simulation, (figure III.14).

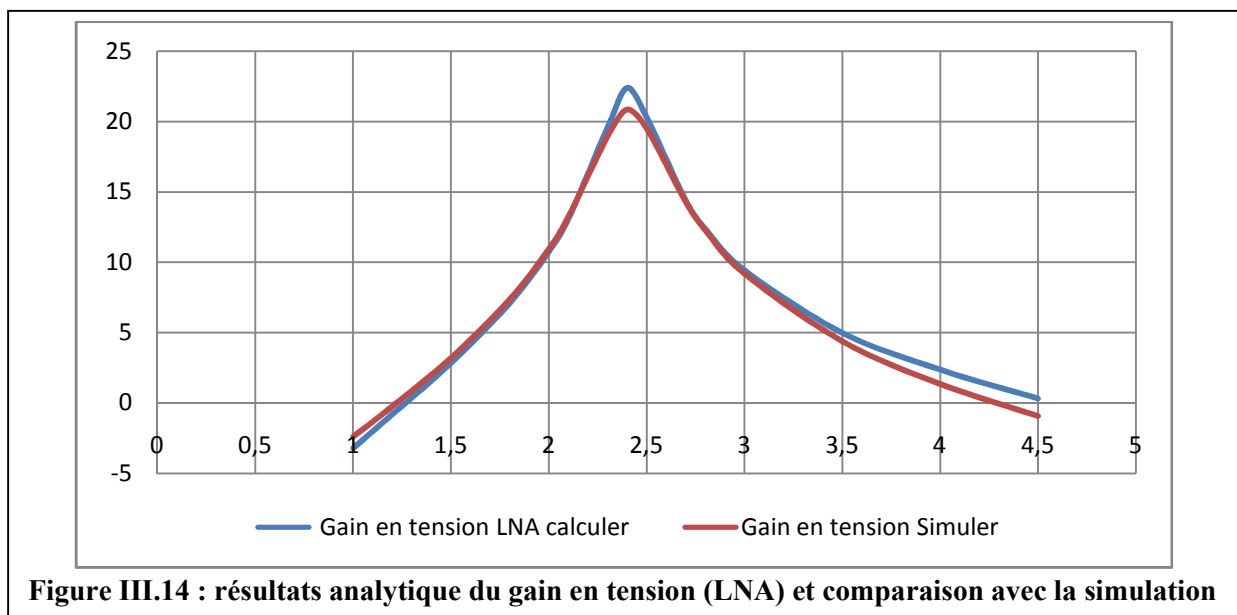


Figure III.14 : résultats analytique du gain en tension (LNA) et comparaison avec la simulation

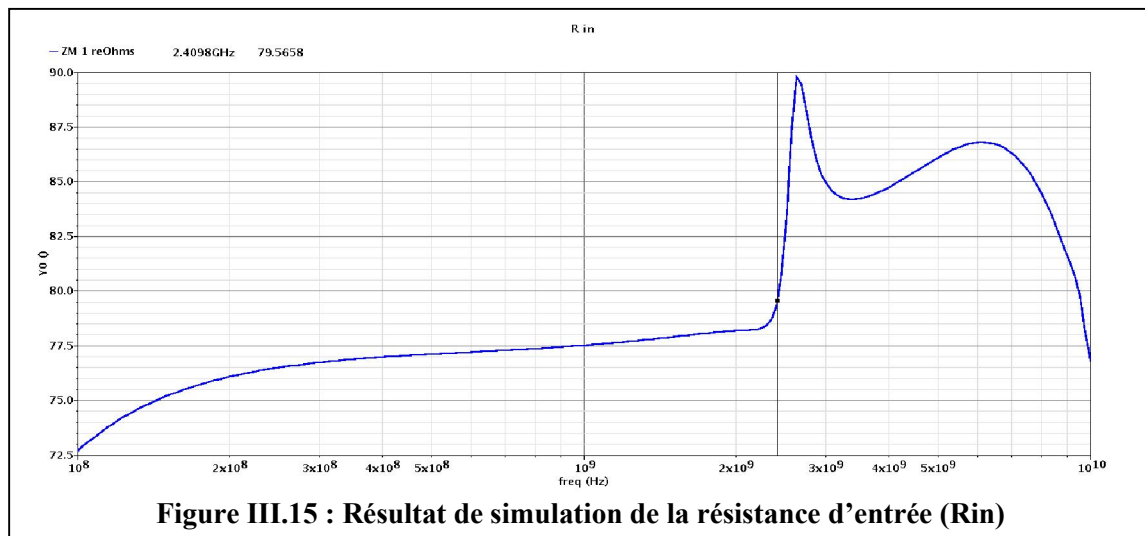
Pour l'analytique Le gain, augmente jusqu'à un maximum de 22.38dB Le gain dans la bande passante est proche de celui simulé. Il existe cependant une différence de l'ordre de 1.5dB en prenant compte des paramètres extraits précédemment (transconductances et résistances séries des transistors), une différence de 1.52dB par rapport à la simulation Cette

différence peut s'expliquer par une modélisation de tous les parasites des composants sur cette bande de fréquence par le logiciel de simulation (ADE) de CADENCE IC.

3.6.2. Résistance d'entrée :

On appliquant l'équation (III.2) : $R_{in} = \frac{R_F + r_{O,Y}}{1 + g_{m,IN} r_{O,Y}} \rightarrow R_{in} = \frac{450 + 592.52}{1 + 0.023 * 592.52} = 69.74 \Omega$

La simulation de la résistance d'entrée est trouvée par (Results → Direct Plot → Main Form) en choisissant ZP, sa valeur est de 79.56 Ω (figure III.) les deux résultats sont proches de la valeur spécifiée 50 Ω donc le LNA est bien adapté en entrée.



3.6.3. Figure de bruit et coefficient de réflexion (S11):

On a aussi simulé le bruit (F) et le coefficient de réflexion (S11) du LNA, du moment que ce sont des paramètres très essentiels lors de la conception du LNA. On doit respecter les spécifications : $S_{11} < -10$ dB et $F < 4$ dB. Les résultats de simulation sont représentés dans la (figure III.16) : $S_{11} = -11.59$ dB, $F = 3.92$ dB, les résultats sont satisfaisants et ils sont au-dessous des spécifications.

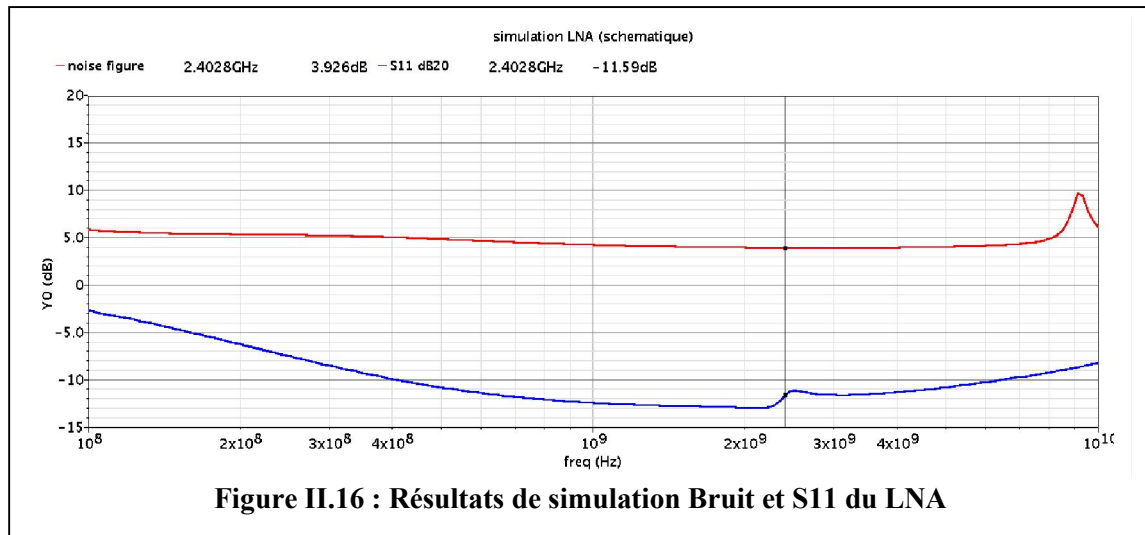


Figure II.16 : Résultats de simulation Bruit et S11 du LNA

3.7. Saisie du circuit Buffer et simulation :

Nous détaillons cette fois ci le fonctionnement du buffer. Ce circuit permet de mesurer les caractéristiques du LNA sans changer ses conditions de charges. Le buffer doit aussi être transparent lors de la mesure du gain, du bruit et de la linéarité du LNA. Pour répondre à ces contraintes cette architecture de buffer a été choisie (Figure III.17).

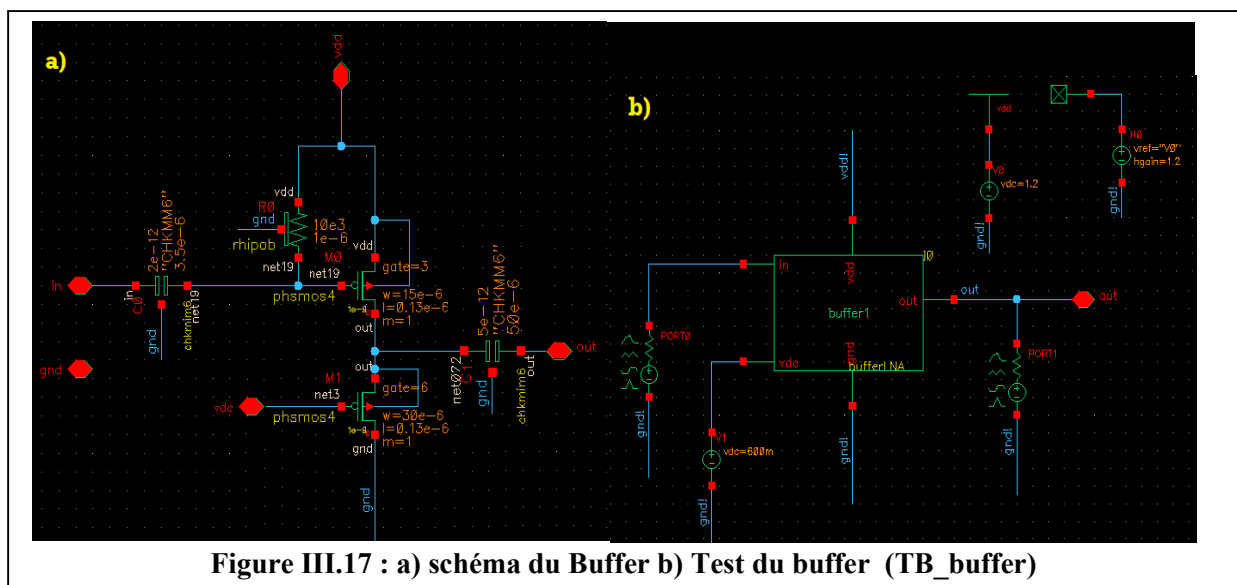


Figure III.17 : a) schéma du Buffer b) Test du buffer (TB_buffer)

La capacité de liaison de 2 pF placée en entrée du buffer permet de fixer le potentiel de grille à Vdd. La valeur de cette capacité provoque une coupure basse fréquence sur le gain du buffer. Tout comme dans la version du LNA, le buffer est implémenté sur la même puce avec le LNA. Pour simuler le buffer en doit d'abord ajouté les nœuds (in, out, vdd, vdc, gnd) puis on crée un symbole. En fin on ajoute une nouvel cellule (TB_Buffer) dans la quelle on

instancie le buffer « dans son symbole » et on l'alimente avec un port à l'entrée et un autre à la sortie (PORT0 et PORT1) et $v_{dc}=600\text{mV}$, $v_{dd}=1.2\text{V}$ en fin gnd au potentiel le plus bas.

3.7.1. Résultats de simulation du buffer :

3.7.1.1. Simulation Gain et S22 du Buffer avec (ADE) :

Pour la simulation nous allons d'abord créer un symbole englobant tous le buffer puis en lui ajoute les pin d'entrée sortie et DC (in, out, vdd, vdc, gnd) puis en branche un port a l'entrée un autre a la sortie et en branche toutes les alimentation (vdc et vdd), en fin on ajoute les types d'analyse (DC et SP) puis on fixe la valeur de la capacité de charge et la taille des transistors est l'alimentation vdc du M2: $CL=5\text{pF}$, M1 ($W=5\mu\text{m}$ et $L=0.13\mu\text{m}$ grille=12+4 dummy) M2 ($W=5\mu\text{m}$ et $L=0.13\mu\text{m}$ grille=2+ 4dummy), $v_{dc}=600\text{ mV}$. Les résultats des simulations sont représentés dans la (Figure III.18).

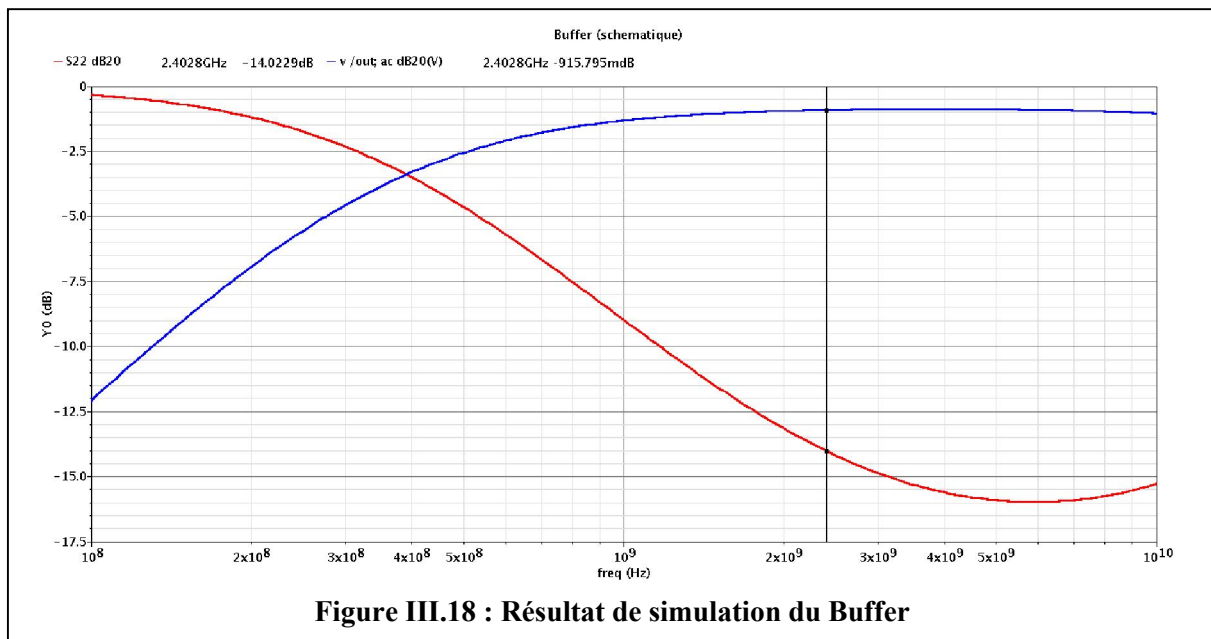


Figure III.18 : Résultat de simulation du Buffer

3.7.2. Discussions des résultats :

L'allure du gain du Buffer est suffisamment plate pour ne pas venir influencer l'allure du gain du LNA sa valeur et de (-915.79m dB). Un large courant de polarisation pour maximiser le g_m ainsi qu'une tension d'alimentation (800 mV) permettent respectivement d'obtenir une très bonne linéarité. Le coefficient de réflexion de sortie S22 est de (-14.02 dBm), compte tenu du gain du LNA, permet de rendre le buffer invisible lors de la simulation.

Cette architecture de buffer garantit enfin la stabilité de l'ensemble LNA+buffer.

3.8. Implémentation du LNA+Buffer et simulation :

Pour simuler le LNA et Buffer ensemble, nous allons assembler tous les circuits bloc1 (étage 1) + bloc2 (étage 2) + le buffer (étage 3) puis on ajoutant les Pins RF entrée et sortie et alimentation DC puis on instancie le circuit (LNA+buffer) en créant un symbole général (Figure III.19) avant de procéder à la simulation on doit d'abord brancher un port à l'entrée et un autre à la sortie puis on alimente $v_{dd}=1.2V$, $v_{ctl}=900\text{ mV}$, $v_{dc}=600\text{ mV}$, $V_{bias}<1;3>$, on lance la simulation avec les mêmes paramètres de la simulation précédente du LNA les Résultats de la simulation sont présentés ci-dessus :

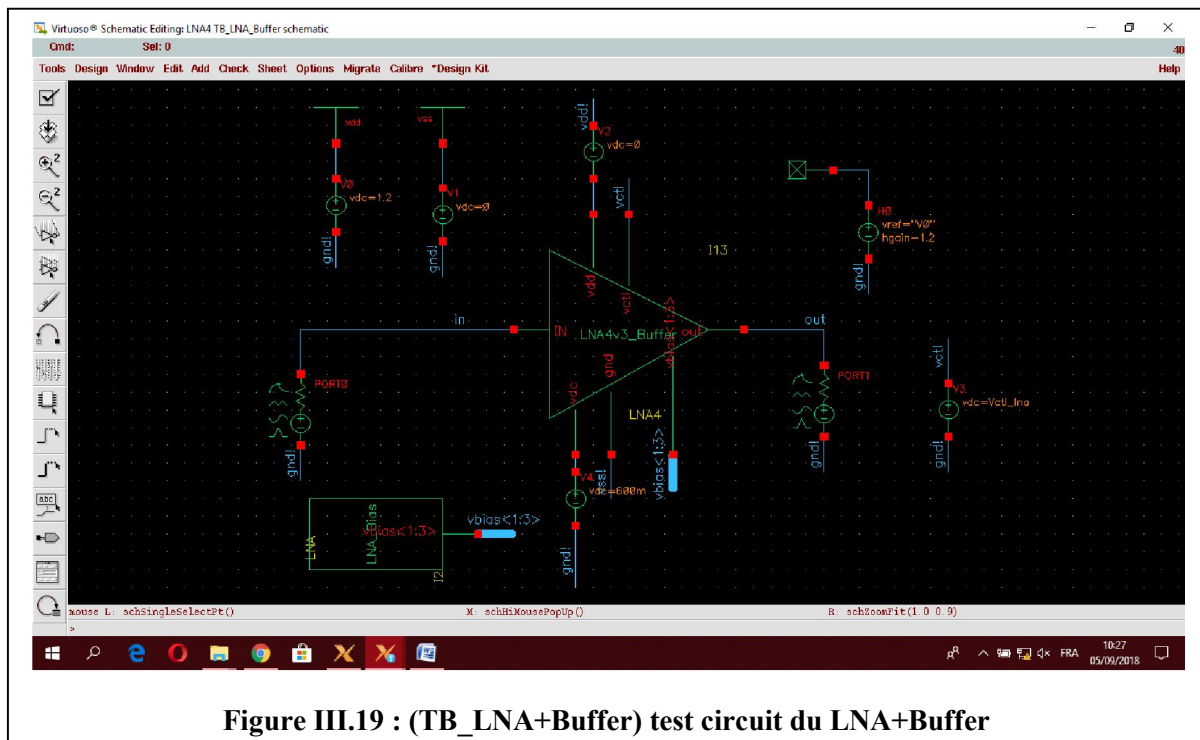


Figure III.19 : (TB_LNA+Buffer) test circuit du LNA+Buffer

3.9. Résultats de simulation (LNA+Buffer) et discussions des résultats :

3.9.1. Gain en tension et figure de bruit :

Pour le LNA+Buffer Le gain, augmente jusqu'à un maximum de 17.91dB Le gain dans la bande passante diminue par-rapport à celui du LNA. Il existe cependant une différence de l'ordre de 3 dB, ce résultat n'influence pas le LNA du moment que après l'adaptation de la sortie 50Ω nous cherchons un gain en puissance (S21) élevé et les paramètres de réflexion (S11) à l'entrée et S22 à la sortie <-10 dbm pour avoir une transmission optimale.

Le Buffer n'ajoute pas de bruit à la sortie du LNA du moment que il est quasiment transparent lors de la simulation donc le résultat est presque la même que la valeur du LNA ça valeur et de 3.95dBm

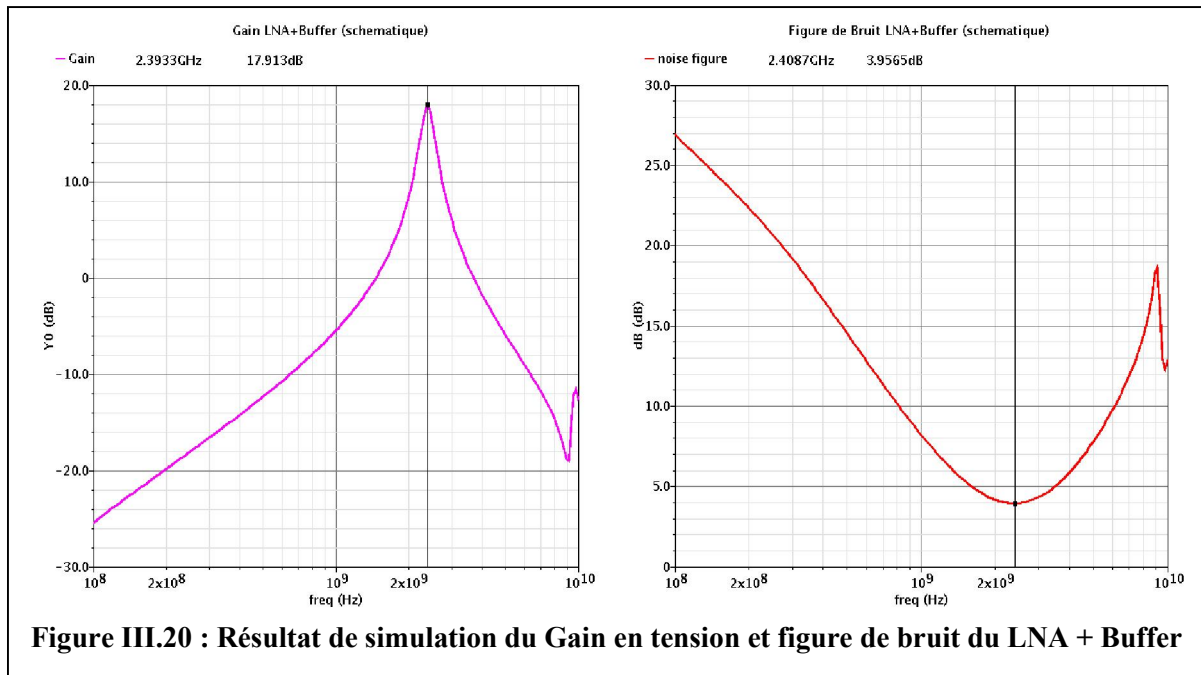


Figure III.20 : Résultat de simulation du Gain en tension et figure de bruit du LNA + Buffer

3.9.2. Paramètres S :

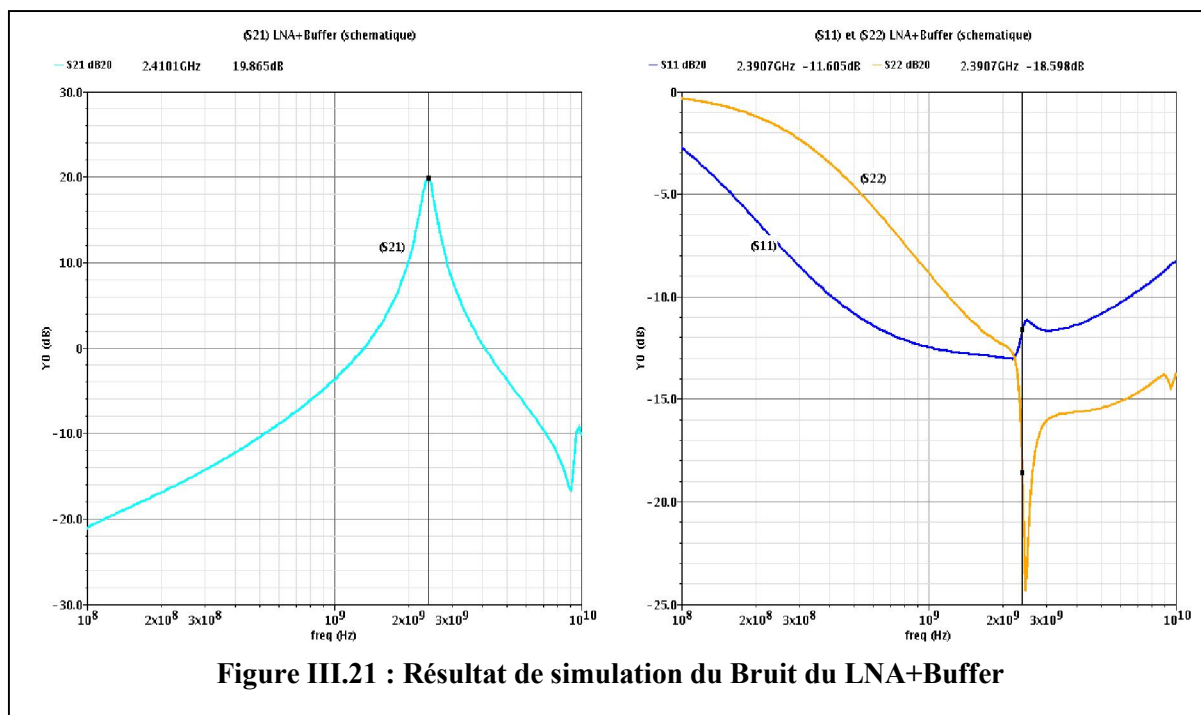


Figure III.21 : Résultat de simulation du Bruit du LNA+Buffer

- Le paramètre (S21) nous permet de connaître le gain en puissance du LNA il est de l'ordre de 19.86 dBm il est suffisant pour une transmission optimal.
- Le circuit dispose d'un minimum de réflexion d'entrée (S11) de -11.60dBm et de sortie (S22) de -18.59dB à 2,4GHz, les résultats respect les valeurs du cahier des charges <-10 dBm.

3.10. Conclusion :

Dans ce chapitre nous avons étudié le circuit source commune complémentaire à contre réaction résistive en technologie CMOS 130nm de STMicroelectronics puis nous l'avons simulé sur le logiciel de conception des circuits intégrées CADENCE IC avec quatre analyses (AC, DC, SP, NF). Les résultats analytique et de simulations valide la possibilité de concevoir ce LNA avec cette technologie et que le circuit ainsi conçu peut passer a la dernier phase qui est la phase physique que nous allons expliquer dans le chapitre suivant.

Chapitre 4

4.1. Introduction

Dans ce chapitre nous allons présenter notre partie pratique, dessin des masques de l'Amplificateur faible bruit (LNA) étudié dans le chapitre précédent avec la technologie CMOS 130 nm sur l'outil de conception et de simulation (Cadence IC Virtuoso Layout Editor) (ANEXE 1), c'est l'étape la plus importante et la plus longue dans la conception de ce circuit. Ce la est du au nombre de règles technologique qu'il faut respecter afin de ne pas réduire les performances du circuit et assurer son bon fonctionnement. Notre but est de minimiser la surface de silicium occupé et de bien choisir le placement des composants pour un bon fonctionnement du circuit pour répondre aux contraintes des Récepteurs faibles consommations et très large bande pour des applications multistandards reconfigurable (Gain, Facteur de bruit et bruit)

4.2. Présentation de la technologie

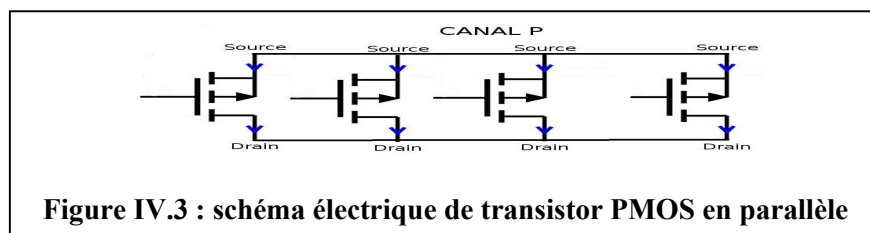
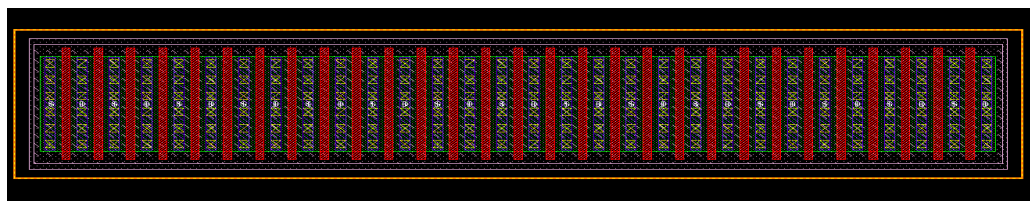
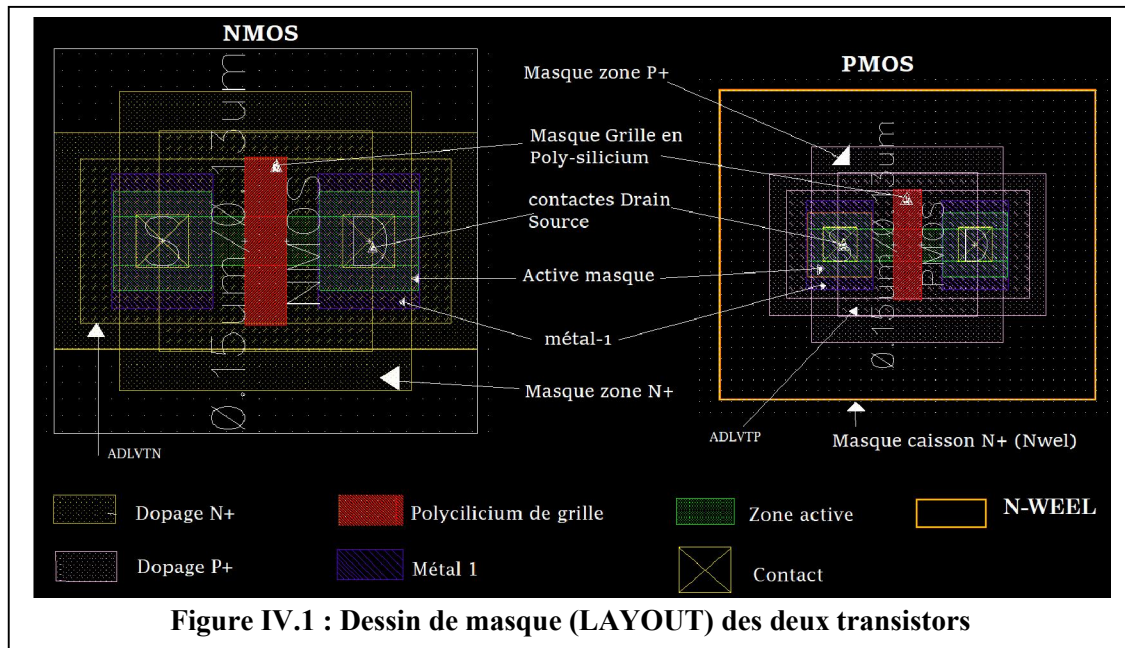
La technologie CMOS est la technologie la moins coûteuse, souvent utilisée pour les applications numériques et analogiques. Dans ce contexte nous avons utilisé une technologie silicium CMOS 130 nm avec l'option RF. Cette technologie est développée par la société STMicroelectronics [29]. La technologie que nous avons utilisé possède un niveau de polysilicium pour la réalisation des grilles de transistor avec une longueur de 130 nm et 6 niveaux de métallisation pour le routage (ou back-end) des circuits. Les composants actifs utilisés dans ce travail sont les diodes varactors et les transistors MOS. Des modèles d'inductances, de capacité MIM et de résistances sont aussi disponibles dans le Design-Kit que nous avons utilisé.

4.3. Présentation de composants intégrés Technologie CMOS 130 nm

4.3.1. Les Transistor MOSFET

Les transistors MOS de cette technologie présentent une grande fréquence de transition, pour la version de transistor MOS ayant une tension d'alimentation V_{ds} max de 1.2 V, tensions de seuil pour Nmos ($V_{TN} = 450 / 340\text{mV}$), Pmos ($V_{TP} = 395 / 300\text{mV}$), courant de saturation I_{sat} : (TN 1.2V: 535 / 670uA / mic TP 1.2V: 240 / 310uA / mic), Plage de température: -40°C à 175°C [29]. Chaque version de transistor possède son complément, c'est-à-dire que des transistors à canal N et P sont disponibles. De plus, chaque version et type de transistor possèdent un caisson d'isolation, un (Deep Nwell and Deep Trench Isolation) permet de réduire les capacités parasites de substrat et donc d'améliorer la fréquence de

transition des transistors. La contre partie est la réduction de l'excursion en tension possible du transistor.



4.3.1.1. Les différents Masques des transistors

La (Figure III.1) représente le dessin des masques principales couches technologiques des transistors NMOS et PMOS, qui fonctionnent en inversion de couches. Le substrat est par défaut de type **P** ce qui permet de réaliser directement le canal des transistors NMOS par contre les PMOS nécessitent en plus la réalisation d'un caisson de type **N** appelé **NWELL**. La zone active correspond à des îlots de silicium où le transistor est réalisé, Ces îlots sont séparés par des tranchées minces d'isolant (STI) assurant l'isolation diélectrique du transistor

avec son environnement. La largeur W du transistor est définie par celle du masque de la couche active.

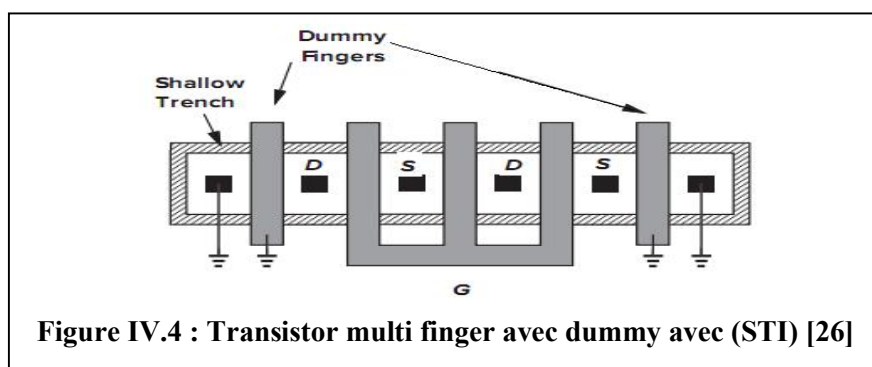
L'oxyde de grille, puis sa gravure et le dépôt du polysilicium de grille sont ensuite réalisés. Les différents accès du transistor (grille, drain et source) sont reliés par des contacts métalliques au premier niveau de cuivre, puis aux différentes couches métalliques par l'intermédiaire des Vias.

(La figure III.2) représente le LAYOUT d'un transistor avec plusieurs doigts de grille qui comporte plusieurs transistors PMOS en parallèle avec une longueur $W = 2\mu\text{m}$, son schéma électrique représenté dans (la figure III.3).

4.3.1.2. transistors factices (Dummy transistor)

Les dispositifs MOS modernes sont entourés d'une "tranchée" peu profonde afin d'éviter la formation d'un canal entre des transistors adjacents. Appelée "isolation par tranchée peu profonde" (STI), cette structure est remplie d'oxyde (SiO_2) et présente un coefficient de dilatation thermique différent de celui du silicium. En conséquence, pendant les étapes de fabrication, le STI et la zone de silicium inclus se dilatent et se contractent différemment. Cette "contrainte" induite par (STI) modifie les propriétés électriques du transistor MOS, introduisant une erreur substantielle dans ses caractéristiques I/V [26].

Pour réduire le stress induit par le (STI) on ajoute des doigts de grille, drain et source factices « Dummys fingers » voire la figure suivante (figure IV.4) et il est aussi possible d'améliorer la structure grilles parallèles en rajoutant des transistors factices (dummy transistors) afin d'avoir une bonne symétrie [26].



4.3.2. La capacité MIM

La capacité MIM (Métal Isolant Métal) est un composant actif intégré présent dans la bibliothèque de la technologie qu'on a utilisé, c'est une capacité verticale qui correspond mieux aux besoins de forte densité d'intégration. Elle est constituée de deux électrodes en

aluminium une inférieure et l'autre supérieure, d'un isolant en SiO₂ qui est utilisé comme diélectrique Formé par oxydation thermique après avoir poser un masque pour l'ouverture d'un point de contact de la couche inférieure, ce masque est le « padopen MIM » . La capacité par unité de surface vaut $C = \frac{\epsilon_r}{d}$ où ϵ_r est la permittivité relative de l'oxyde de silicium et d l'épaisseur de la couche d'oxyde. L'insertion de couches isolantes de permittivité supérieure accroît la capacité qui, d'ailleurs, ne dépend pas de la tension appliquée, la (figure IV.4) et la (figure IV.5) démontre la coupe transversale et le LAYOUT d'une capacité MIM respectivement.

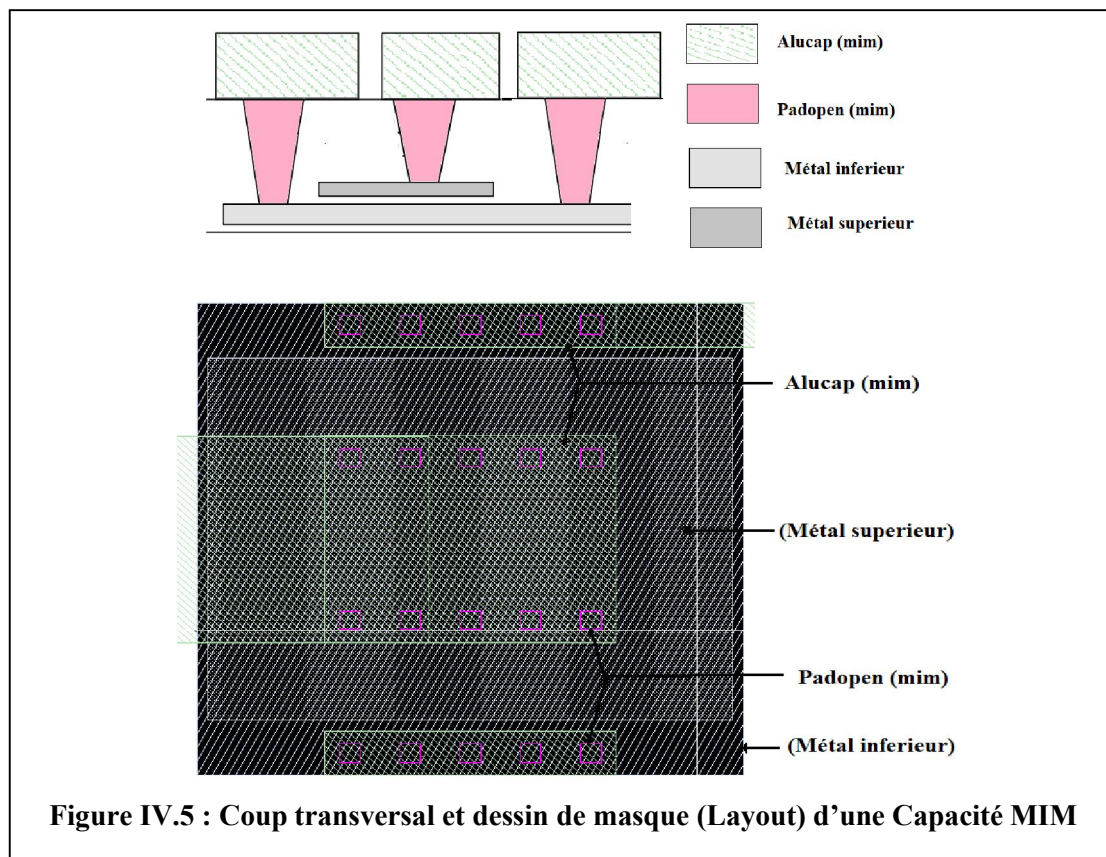


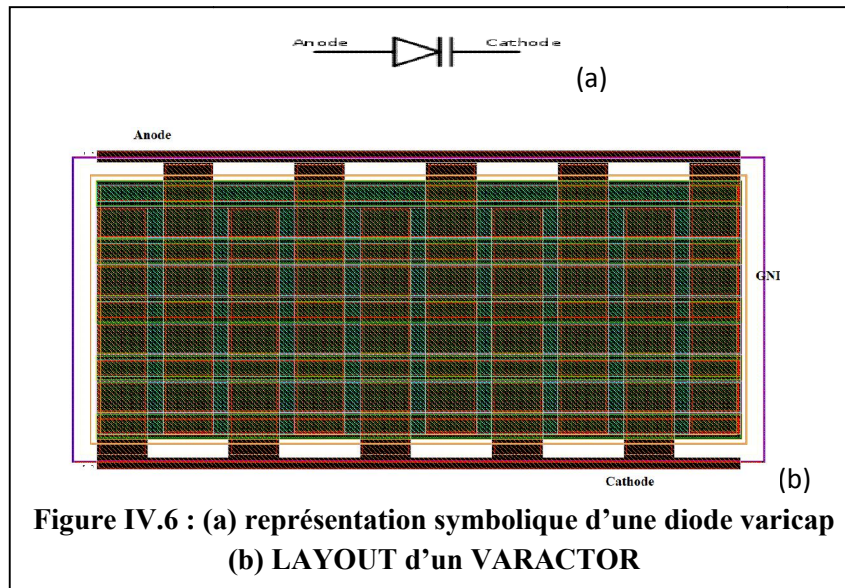
Figure IV.5 : Coup transversal et dessin de masque (Layout) d'une Capacité MIM

4.3.3. Diode à capacité variable, « Varactor ou varicap »

Nommé varicap (de l'anglais variable capacity) ou varactor (acronyme de variable reactor), lors de son utilisation, le varactor est polarisée en inverse (sens bloqué), il fonctionne alors comme un condensateur dont la capacité est ajustable selon la tension (négative) appliquée sur la diode. Cela est la conséquence de la largeur variable de la zone de déplétion selon la tension aux limites de la diode, car la variation de la largeur de la ZCE entraine une variation de la capacité de la diode. Généralement, la largeur de la zone de déplétion est proportionnelle à la racine carrée de la tension appliquée et la capacité est inversement

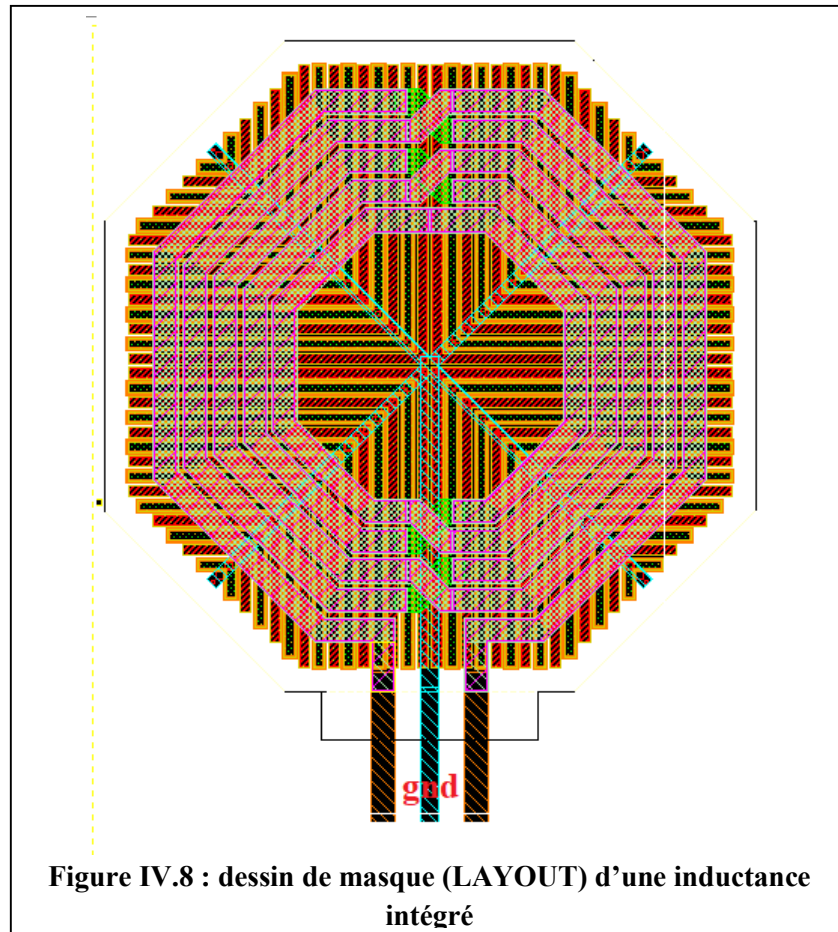
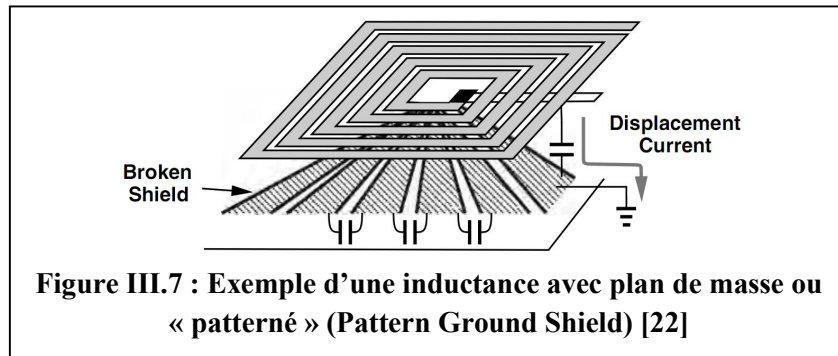
proportionnelle à cette largeur. Ainsi la capacité de la diode est inversement proportionnelle à la racine carrée de la tension appliquée.

Le "varactor" est un composant essentiel des VCO (Oscillateur contrôlé en tension) et les étage LC utilisé dans le circuit qu'on a étudié. Il sert à régler la fréquence de résonance du circuit d'accord pour les utilisations multi bandes. La (figure IV.6) présente (a) une représentation symbolique d'une diode varicap (b) LAYOUT d'un varactor technologie CMOS 130 nm présent dans la bibliothèque du design kit qu'on a utilisé.



4.3.4. L'inductance intégrée

Les inductances sont réalisées avec les niveaux 5 et 6 de métallisation et de l'aluminium (alucap-mim) enroulé en spirale. Plusieurs modèles d'inductances sont disponibles (octogonale, ronde et carré) Ces inductances sont le plus souvent rencontrées dans les circuits en RF (radiofréquence) comme par exemple la réalisation des oscillateurs contrôlés en tension [22] ou de filtrage. Un modèle octogonal comprenant un point milieu avec un blindage modelé avec des fentes orthogonales à la spirale comme illustré à la (Figure IV.7), destiné à être utilisé dans notre travail comprenant l'amplificateur avec résonance (LC Tank). La (Figure IV.8) illustre le LAYOUT du modèle octogonal de l'inductance qui a été utilisé pour l'implémentation du deuxième étage du LNA. L'inductance intégrée du model CMOS 130 nm a un facteur de qualité de 9.66 à la fréquence 2.4 GHz, idéal pour les circuits RF.



L'utilisation d'un blindage de masse en planaire « patterned-ground-shield PGS » pour court-circuiter la résistance substrat [22] augmente de 25% le facteur de qualité, elle est obtenue en court-circuitant la résistance substrat. Le but était de couper hors du chemin du courant de boucle induit de le dévier à travers une faible résistance à la terre, évitant ainsi la perte due au couplage électrique au substrat. Le plan patterné doit être réalisé avec des doigts espacés et connectés à la masse. Les matériaux utilisés pour réaliser le plan doivent être de forte résistivité comme le poly-silicium afin de stopper la propagation des courants de Foucault.

4.3.5. Les Resistances intégrées

Toutes piste de longueur L peut être considérer comme une résistance leurs valeurs dépend de la résistivité du matériau et de la section du conducteur, le matériau qui présente une grande résistivité est le poly-silicium Les résistances intégrées sont réalisées par le dépôt d'une fine couche de matériau résistif sur un substrat diélectrique. Des contacts métalliques sont ensuite réalisés aux extrémités pour permettre la connexion avec d'autres circuits. La (Figure III.9) présente le masque d'une résistance en poly-silicium intégrée avec la technologie CMOS 0.13 μm utilisé dans ce travail.

Néanmoins le design Kit présente plusieurs modèles de résistances intégrées qui sont : Unsalicided N+ Active Resistor, Nwell GO2 under STI Resistor, RHIPPO Resistor et Unsalicided RPLDD active resistor.

Une couche mince de matériau résistif est caractérisée par sa résistance carrée, définie comme la résistance équivalente d'un carré de matériau de résistivité ρ ayant une épaisseur h [26] :

$$R_{sq} = \frac{\rho}{h}, \left(\frac{\Omega}{\square}\right) \quad (\text{IV.1})$$

De façon plus générale, la résistance associée à tout type de géométrie parallélépipédique de longueur L , de largeur W et d'épaisseur h s'écrit :

$$R = \frac{\rho * L}{h * W} = R_{sq} * \frac{L}{W} \quad (\Omega) \quad (\text{IV.2})$$

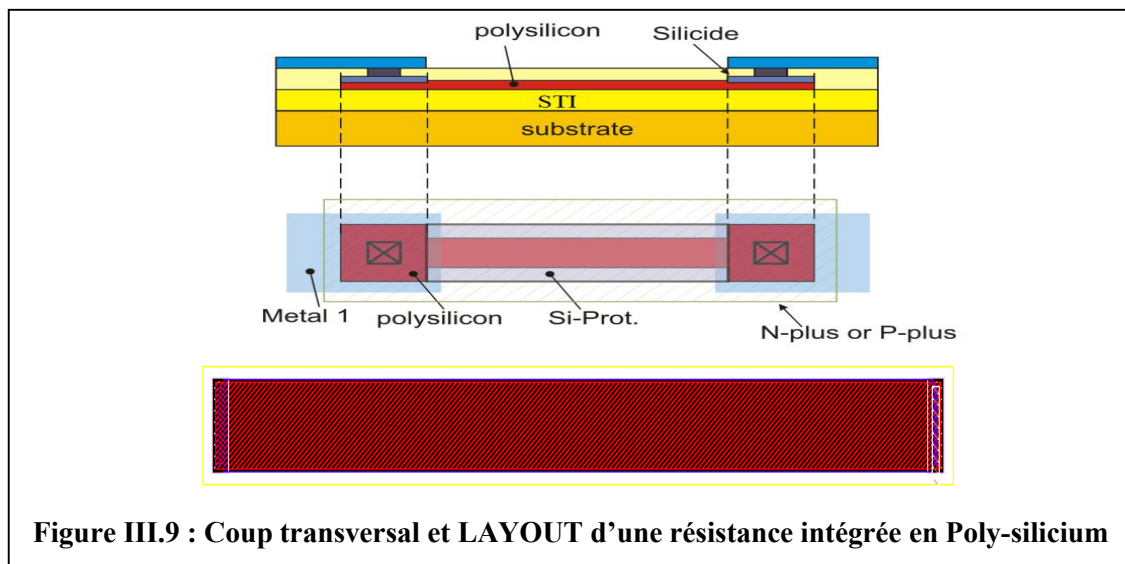
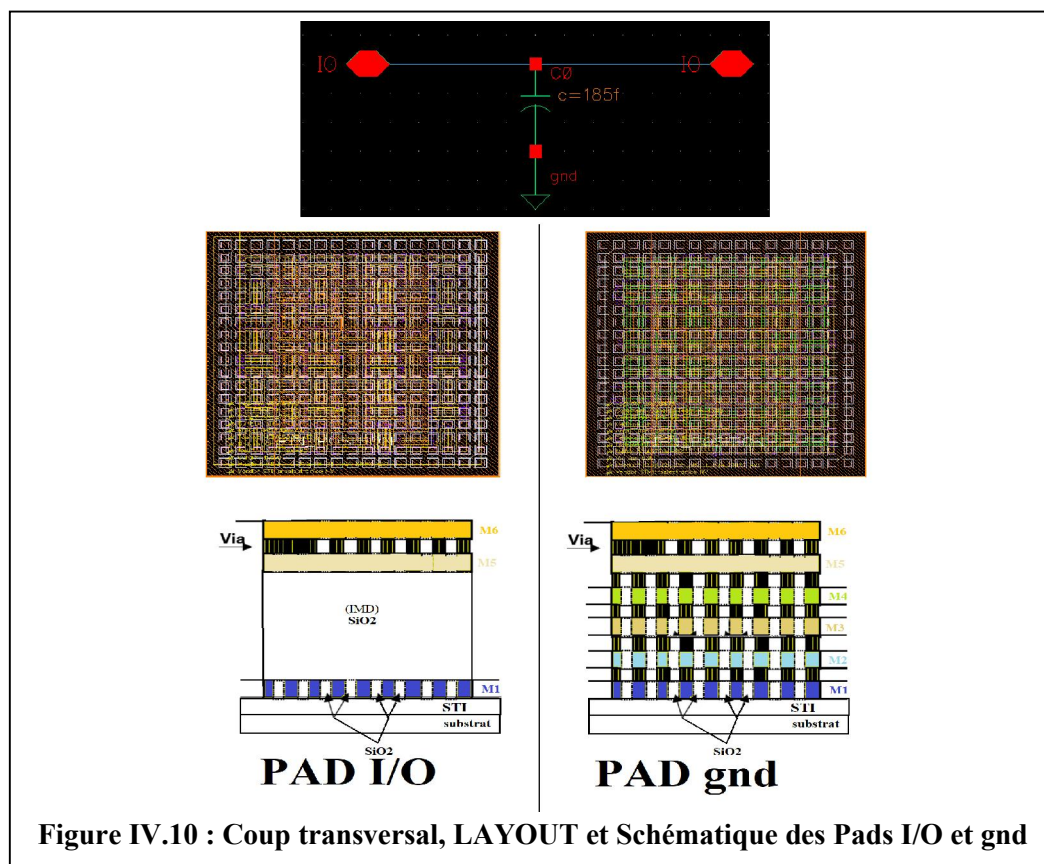


Figure III.9 : Coup transversal et LAYOUT d'une résistance intégrée en Poly-silicium

4.3.6. Les plots (PADS)

Pour notre conception, nous avons utilisé des pads pour effectuer des mesures sous pointes à la fin de la fabrication du circuit. On a utilisé deux sortes de Pads : les premiers sont les Pads I/O (entrée/sortie) pour les connexions (RF) et (DC) et les Pads gnd pour la masse, ces pads présentent une surface de $80\text{ }\mu\text{m} \times 75\text{ }\mu\text{m}$. Nous avons choisi ces plots afin de minimiser le bruit et également pour protéger le circuit contre les décharges électrostatiques (ESD) [6]. Ces pads sont ceux fournis par le Design-Kit et respectent un ensemble de règles de dessin, comme l'utilisation de sous-couches métalliques afin de consolider l'accrochage du pad au silicium. La (figure IV.10) suivante illustre un exemple du pad gnd en 6 couches de métallisation et un Pad I/O avec 2 couches de métallisation avec une vue de dessus Layout.

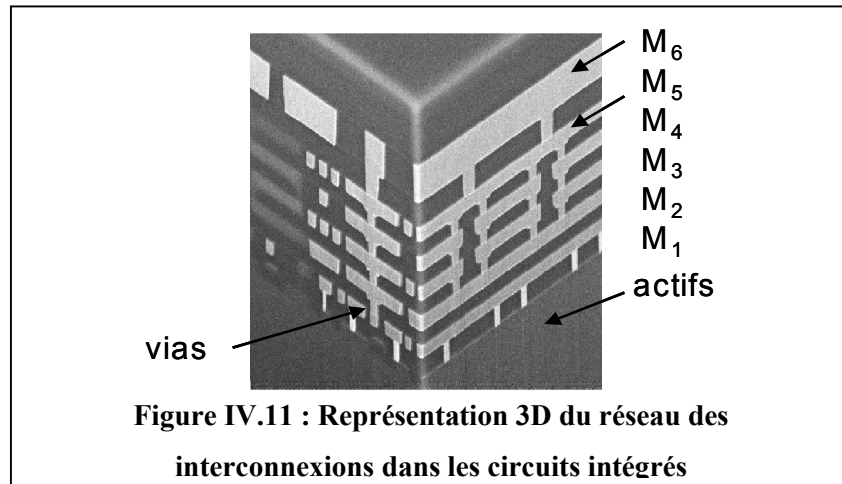


4.4. Niveaux métalliques de la technologie CMOS 130 nm de (STMicroelectronics)

Le back-end de la technologie 130 nm de STM (HCMOS9GP) est caractérisé par 6 niveaux de métallisation en cuivre et un niveau 7 en aluminium pour les capacités et les inductances avec de l'oxyde (SiO_2) comme diélectrique inter métal (Figure IV.12). Les couches de métallisation utilisées sont :

- Une couche fine de métal : M1, en cuivre pour le routage au niveau des composants et pour le routage de GND.

- Des couches intermédiaires de métal : de M2 à M5, en cuivre pour le routage simple
- Une couche épaisse de métal : M6 pour le routage des pistes RF et des inductances. Utilisé aussi pour les connexions langue distance entre les blocs.
- Une couche d'aluminium au dessus du dernier niveau métallique, utilisée pour les pads et les capacités MIM aussi pour les inductances.



Un diélectrique situé entre les Métaux joue un rôle prépondérant afin de les isolées les un des autres, pour faire la connexion entre les niveaux de métallisation nous devons poser un (VIA) entre chaque de niveaux de métallisation que nous voulons faire connecté comme il est indiqué dans la (Figure IV.11).

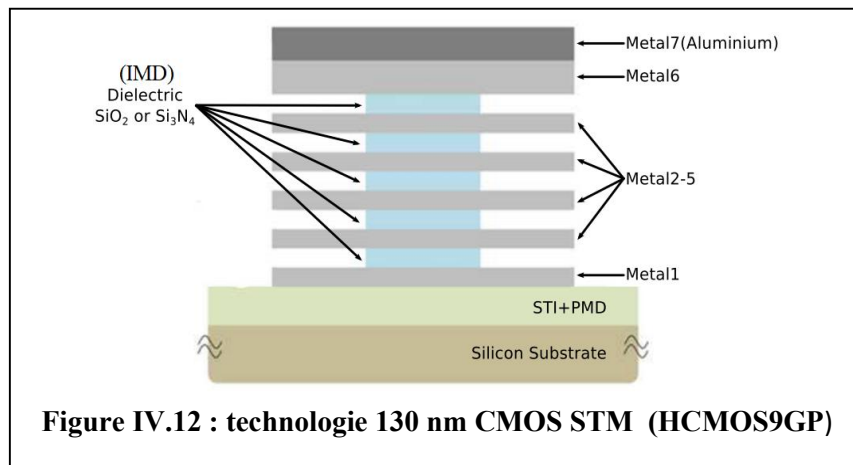
4.4.1. Les Vias

Un via est un trou métallisé qui permet d'établir une liaison électrique entre deux niveaux métalliques ou plusieurs niveaux, par exemple le VIA (M1_P⁺ ou M1_N⁺) permet de d'établir la connexion entre le métal 1 et (Drain, Source et Substrat), le VIA (M1_Poly) connexion entre le métal 1 et la grille du transistor, le VIA (M1-M6) connexion entre métal 1 et les autres métaux jusqu'au métal 6, le (Padopen)

4.5. Techniques d'isolation dans la technologie CMOS 130 nm

Nous observons sur la (figure IV.12) les différents niveaux. Le premier est le niveau d'isolation symbolisé par « les tranchées d'isolation peu profondes » (STI) (Shallow Trench Isolation). Ensuite, le niveau de la grille est formé. Nous distinguons également le niveau PMD (Pre-Metal dielectric), Ensuite, le niveau métal. Dans cet exemple, on a 6 niveaux métalliques en cuivre et niveau 7 aluminium (M1, M2, M3, M4, M5, M6, M7). Pour éviter des problèmes électriques entre les différents métaux, un diélectrique est déposé pour assurer

cette fonction, il est appelé généralement IMD (Inter Metal Dielectric). Généralement, l'oxyde de silicium SiO_2 est souvent le plus utilisé ou le nitrure de silicium Si_3N_4 .



Les différents niveaux d'oxydation sont réalisés avec différents techniques, la première c'est l'oxydation thermique sèche par l'oxygène qui suit la réaction suivante $Si + O_2 = SiO_2$ réalisée à des températures allant de 850 à 1200°C et s'effectue de préférence de manière lente et régulière. Ce procédé permet d'assurer l'uniformité et la pureté du film fin qui est utilisé pour l'oxyde de grille des transistors, en suite Les couches d'oxydations épaisses sont quant à elles réalisées grâce au procédé d'oxydation humide. Cette technique permet une croissance de couche d'oxyde beaucoup plus rapide utilisé pour la réalisation de l'oxyde entre les niveaux de métallisation.

4.6. Contraintes de Conception des Circuits Intégrés Analogiques

Le comportement électrique des circuits intégrés analogiques est fortement influencé par divers phénomènes parasites. Il est impossible de fournir une liste complète de tous les effets parasites entrant en ligne de compte. Car d'une part, ces effets dépendent du circuit à réaliser, et d'autre part, ils sont de natures diverses Néanmoins, nous allons donner une liste des phénomènes parasites les plus répandus, ceux susceptibles d'être les plus souvent rencontrés. Cet inventaire nous permettra ensuite de déduire les contraintes à prendre en compte lors de la phase du dessin des masques, et tout particulièrement lors des étapes de placement, de routage.

4.6.1. Capacités parasites

On trouve des capacités parasites à divers niveaux du layout. Tout d'abord, il existe des capacités parasites internes aux cellules élémentaires. Par exemple, si l'on observe le layout des transistors présentés à la (figure IV.1), on constate que certaines pistes de métal, appartenant au drain ou à la source, croisent les pistes de poly-silicium de grille. Etant séparées par un oxyde, ces deux couches technologiques, l'une en métal et l'autre en poly-silicium, introduisent de faibles capacités parasites entre les nœuds du drain ou de la source, et le nœud de la grille. De même, pour la technologie (HCMOS9GP) qui comporte plusieurs niveaux de métallisation, le croisement de deux pistes métalliques, elles aussi séparées par un oxyde, entraîne un couplage capacitif des nœuds impliqués. Le phénomène a lieu de la même façon pour deux pistes d'une même couche technologique qui se suivent en étant proches.

4.6.2. Résistances parasites

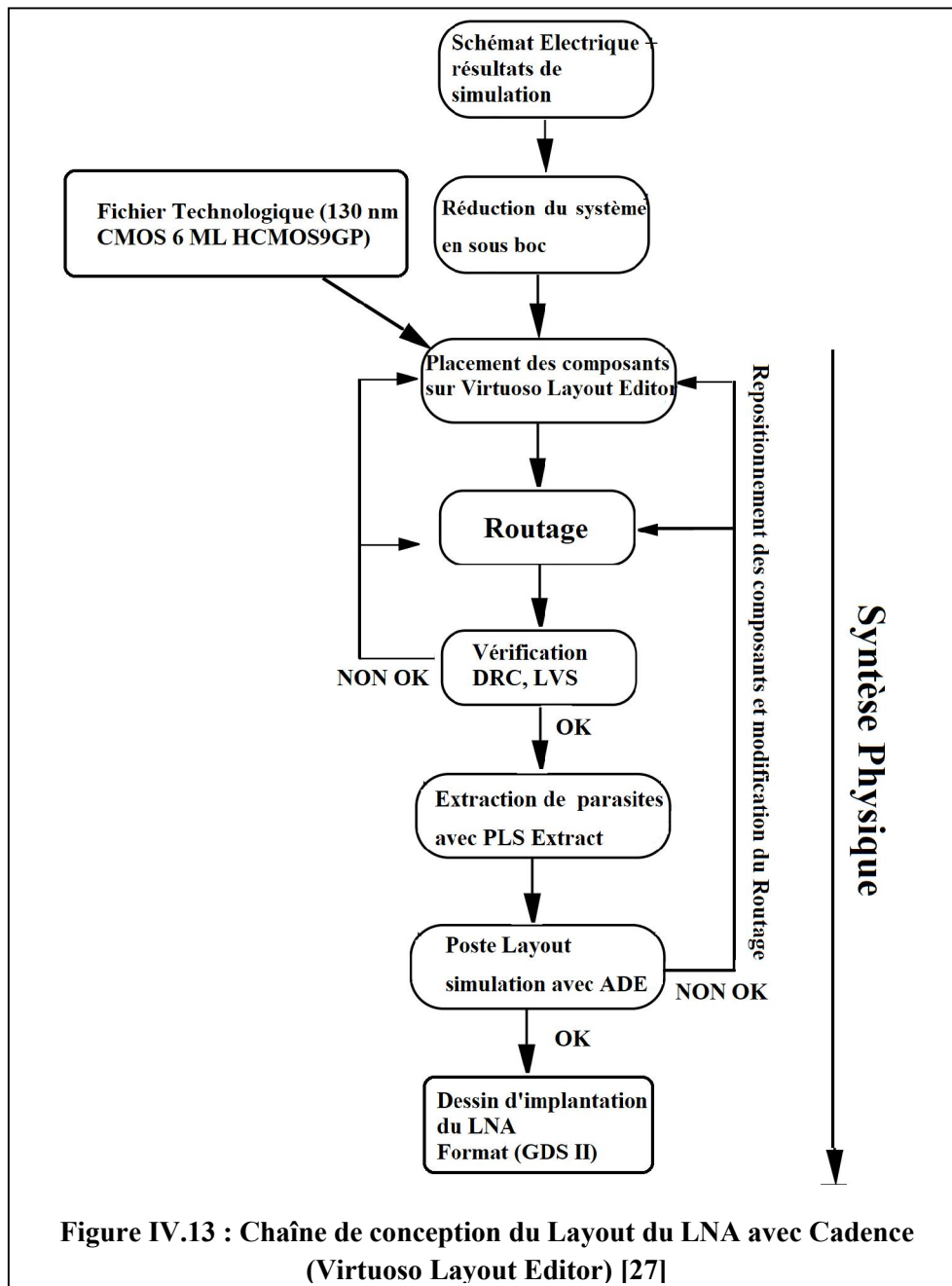
Comme dans le cas des capacités, on trouve des résistances parasites internes aux composants eux-mêmes. Les résistances d'accès à la grille, au drain ou à la source (transistor MOS). De plus, le métal et le poly-silicium (parfois utilisés comme piste de routage) ont une résistivité non négligeable, qui se traduit, si les pistes sont longues (exemple : les pistes d'alimentations), par des résistances dont il faut tenir compte dans le schéma électrique final.

4.6.3. Inductances parasites

Les pistes de métallisation internes aux transistors ou utilisées pour le routage conduisent à des inductances parasites. Ce phénomène est généralement négligeable mais il peut prendre de l'importance, notamment pour les circuits intégrés travaillant à haute fréquence (en technologie CMOS-analogique, de l'ordre de 1 à 3 GHz; et (ou) travaillant dans un environnement électromagnétique fortement perturbé.

4.7. Méthodologie de dessin de masques (Layout) du circuit intégré (LNA+Buffer) avec « Virtuoso Layout Editor » de CADENCE IC

A la fin de la phase électrique expliquée dans le (chapitre 3), implantation du schéma électrique et simulation de différents paramètres. Le schéma électrique ainsi obtenu peut servir pour l'implantation physique.



La phase synthèse physique (Figure IV.13) consiste en l'implémentation du layout du circuit intégré. L'outil utilisé est « Virtuoso Layout Editor », développé par Cadence, et contient plusieurs étapes : Placement du layout des composants élémentaires (transistors, capacités, résistances, Varactor.....) puis routage. Le layout de la cellule étant achevé, il s'agit de vérifier les règles de dessin DRC (Design Rule Checking) selon différents critères en suite vérification physique LVS (Layout Versus Schematic) [27] Puis, une extraction (PLS) et une nouvelle simulation du circuit avec (ADE) sont réalisées afin de vérifier que le layout final permet toujours la réalisation des fonctions demandées, en respectant les spécifications du cahier des charges.

Avant de commencer le dessin de masque d'un circuit complexe nous devons le décomposer en blocs et sous blocs afin de faciliter l'implémentation et la vérification des règles de dessin de masque et cela en suivant une conception hiérarchique.

4.7.1. Contraintes de Routage des circuits intégrées analogique :

4.7.1.1. La symétrie

La première et la plus importante des contraintes analogiques est bien sûr la contrainte de Symétrie. Cette contrainte est très importante pendant la phase de routage. Rappelons que chaque composant et chaque fil d'interconnexion génèrent des résistances et des capacités parasites. L'absence de placement symétrique et de bon appairage de ces effets parasites, peut induire une augmentation de la tension d'offset. Un placement et un routage symétriques par rapport à un axe de symétrie globale sont la meilleure façon d'équilibrer ces effets parasites. Un placement symétrique réduit aussi la sensibilité des circuits analogiques au gradient de la température [6].

4.7.1.2. Minimisation de la longueur des interconnexions

Sachant que chaque fil de routage génère des résistances et des capacités parasites, plus au moins importantes en fonction de sa résistivité et de sa longueur, la contrainte de la minimisation de la longueur d'interconnexion est nécessaire pour réduire les effets capacitifs et résistifs générés par les fils, et ceci pendant la phase de routage. Il faut également router avec des fils moins résistifs (comme métal5, métal6...), plutôt qu'avec des fils plus résistifs (comme le poly-silicium et Metal1, Métal2...).

4.7.1.3. Contrainte sur la largeur des fils (fils à fort flux de courants)

Les largeurs des fils minimales sont données automatiquement par les règles de dessin (DRC), et ceci pour la technologie (HCMOS9GP). Mais il y a des fils qui nécessitent des largeurs supérieures à celles données par les règles de dessin, ceci pour de diverses raisons. Les fils d'alimentations (Vdd, gnd) du circuit engendrent un flux de courant continu très élevé. Il est donc indispensable d'utiliser des largeurs de fils assez importantes.

D'autres branches de circuit font également l'objet d'un flux de courant relativement important, mais ce dernier n'est pas toujours continu. Il faudrait néanmoins élargir moyennement ces fils de routage, pour éviter l'effet de "fusible" (coupure des fils) qui peut survenir après un long fonctionnement. Les nœuds qui subissent un flux de courant élevé sont, par exemple, les nœuds de sortie d'amplificateur ayant une capacité de charge très élevée.

4.7.1.4. Découplage des nœuds sensibles

Un nœud bruyant (exemple : la piste d'alimentation Vdd, une piste branchée sur une charge inductive...) ne doit en aucun cas se retrouver couplé à un nœud sensible (exemple : l'entrée de l'amplificateur LNA). Il est donc essentiel que les pistes concernées ne se croisent ni, si possible, se côtoient. De même, les composants élémentaires impliqués doivent être éloignés les uns des autres. Pour éviter le couplage des nœuds on a à utiliser les niveaux de métal nombre pair exemple (métal-2 → métal-4 → métal-6) pour le routage des piste les plus sensibles.

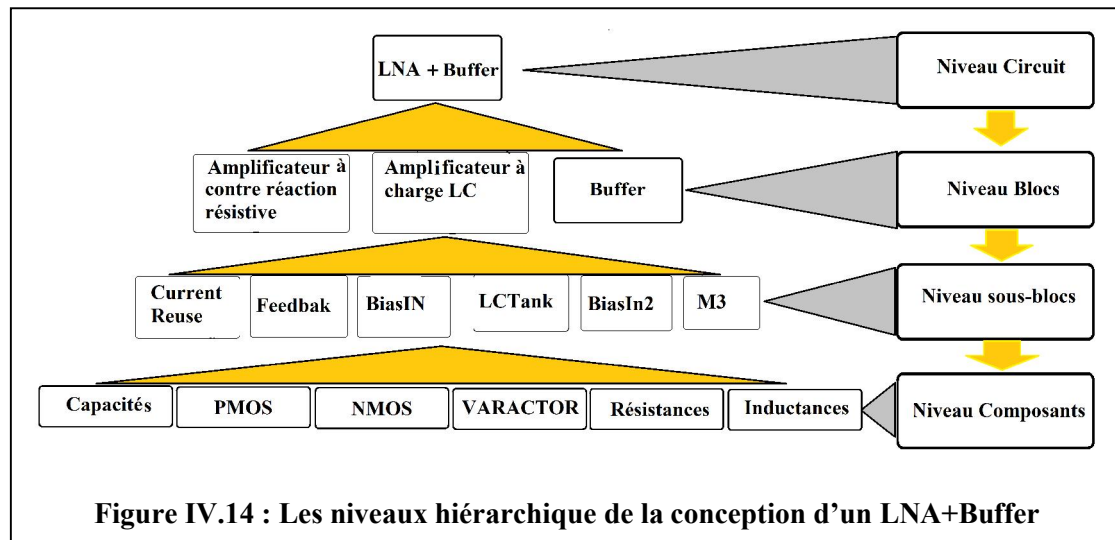
4.7.1.5. Minimisation de la surface totale du circuit

Lors du routage du circuit on doit laisser un espace assez grand entre les composants, pour que les fils de routage puissent passer pour connecter les transistors et les autres blocs entre eux sans difficulté, tout en essayant de minimiser la surface totale du circuit, l'une des contraintes classiques de tous circuits intégrés analogiques. Cette contrainte est davantage liée à des problèmes économiques (coût de fabrication), plutôt qu'à des problèmes électriques ou fonctionnels. Il est donc important pour nous de prendre en compte cette contrainte sans pour autant entraver celles à caractères fonctionnelles ou électriques, c'est à dire les plus importantes [6].

4.7.2. Stratégie de Dessin de masques Hiérarchique des Circuits Intégré

La conception des systèmes analogiques est simplifiée par la méthodologie de conception hiérarchique [6], qui permet de réduire la complexité du système en blocs (Etages), à leur tour divisés en plusieurs sous-blocs, etc. Une hiérarchie constituée au niveau schématique en suite au niveau Layout. La structure de données de CADENCE IC permet d'utiliser une cellule (fille) dans le schéma d'une autre cellule (mère) il s'établit alors une hiérarchie qui va des cellules de base à la cellule maîtresse. Les différents niveaux hiérarchiques ainsi formés sont présentés à la (figure IV.14) : niveau circuits (amplificateur à faible bruit LNA, Buffer...), niveau blocs (amplificateur à contre réaction résistive et amplificateur à charge LC...), Niveau sous-blocs (BiasIn, Current-Reuse, Feedback, LCTank....) et niveau composants (transistors, capacités, résistances...). Chaque fonction hiérarchisée peut être réalisée par différents types architecturaux ou topologiques. Les masques sont ensuite conçus de façon constructive à partir du schéma ainsi validé dans la phase synthèse électrique, Étant donné qu'une même fonction (le gain par exemple) peut être

obtenue par des éléments de “niveaux hiérarchiques” différents (un transistor, un étage, un amplificateur...) et que les interactions entre ces différents niveaux influent très fortement sur les caractéristiques globales du circuit (bruit, bande passante, gain...). Le logiciel Cadence nous permet de vérifier et simuler chaque sous-blocs implanté individuellement à fin de prélevé leur influences au système et de facilité la détection des sources de parasites pour enfin porté des modifications plus précises.



4.7.2.1. Dessin de masque des composants

Le dessin des composants est réalisé automatiquement par des générateurs. Un générateur est un programme capable de dessiner, de manière optimale, les masques d'un composant donné, en tenant compte de ses paramètres électriques, des règles de dessin de la technologie et de la surface à occuper. Sachant qu'On ne dessine des masques que pour les circuits réels.

Le dessin des masques se fait dans une fenêtre de type Layout. Pour cela, il faut créer une vue layout sur la cellule LNA dans le (**library manager**). L'outil de conception du layout s'appelle (virtuoso-Layout-Editor). L'ouverture de la fenêtre va provoquer l'apparition d'un autre outil qui est la fenêtre LSW (Layer Status Windows) voir (ANNEXE 1). Elle présente l'ensemble des couches accessibles pour dessiner, représenter un layout, mais aussi pour annoter ce layout. Pour chaque couche, on peut voir le nom, le motif de remplissage graphique ainsi que la couleur. Les couches dessinées apparaissent plusieurs fois, avec des extensions différentes: Drawing (dg) ou Pin (pn). La couche dg sert à dessiner le masque en layout. La couche (pn) sert à réaliser les interconnexions hiérarchiques (comme les pins en schématique).

4.7.2.2. Placement des composants

Le placement des composants reste encore interactif. Celui-ci, basé sur une analyse de contraintes électriques et topologiques à respecter. Il dépend complètement de l'expertise des concepteurs.

4.7.2.3. Routage

Le routage des composants entre eux est réalisé d'une façon manuelle, en tenant compte de toutes les contraintes analogiques.

Le routage des blocs entre eux est réalisé d'une manière à compacter suffisamment pour réduire la surface totale du circuit final, Etant donné que le placement des composants est réalisé de telle façon que l'espace de routage des pistes soit suffisamment large. Nous avons donc compacter le circuit en cohérence avec la surface de routage, c'est à dire, qui respecte les contraintes analogiques et géométriques déjà prises en compte.

4.8. Procédure de dessin de masque LAYOUT du (LNA+Buffer)

Nous devons suivre l'hierarchie de dessin de masque expliqué précédemment (figure IV.14) pour qu'en puissent gagner du temps et minimiser les contraintes et les parasites. Donc nous allons commencer par l'amplificateur à faible bruit LNA.

4.8.1. Dessin de masque du LNA

Le LNA est décomposer en blocs, le (bloc1) qui est le premier étage amplificateur complémentaire à contre réaction résistive et le (bloc2) qui est le deuxième étage, amplificateur à charge LC. En peut commencer avec le bloc qu'en veut mais on à préférer commencer avec le (bloc1).

4.8.1.1. Dessin de masque Layout du (Bloc1)

Le (bloc1) c'est l'étage-1 du LNA (amplificateur complémentaire à contre réaction résistive) lui aussi est décomposer en sous-blocs qui sont ; **sous-bloc1** (Current-Reuse) ou (amplificateur source commun, « courant réutiliser »), **sous-bloc2** (BiasIn) ou (alimentation de l'entrée) et **sous-bloc3** (Feedbak) ou (résistance de contre réaction), la figure suivante (figure IV.15) représente le schématique et le schéma bloc du (bloc1) implémenté sur (Virtuoso Schematic Editor).

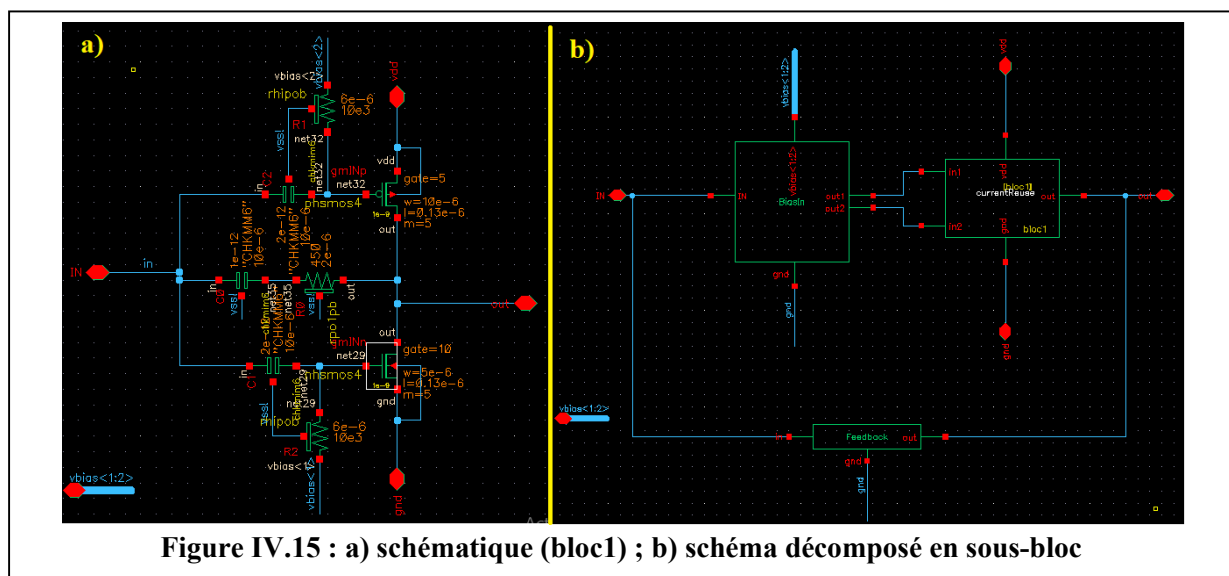


Figure IV.15 : a) schématique (bloc1) ; b) schéma décomposé en sous-bloc

a) Sous-bloc1 (Current-Reuse)

C'est un amplificateur avec deux MOSFET (PMOS et NMOS) monté en source commune complémentaire ou (courant réutiliser), comme le montre son schématique (figure IV.16) (current-reuse + Dummy)

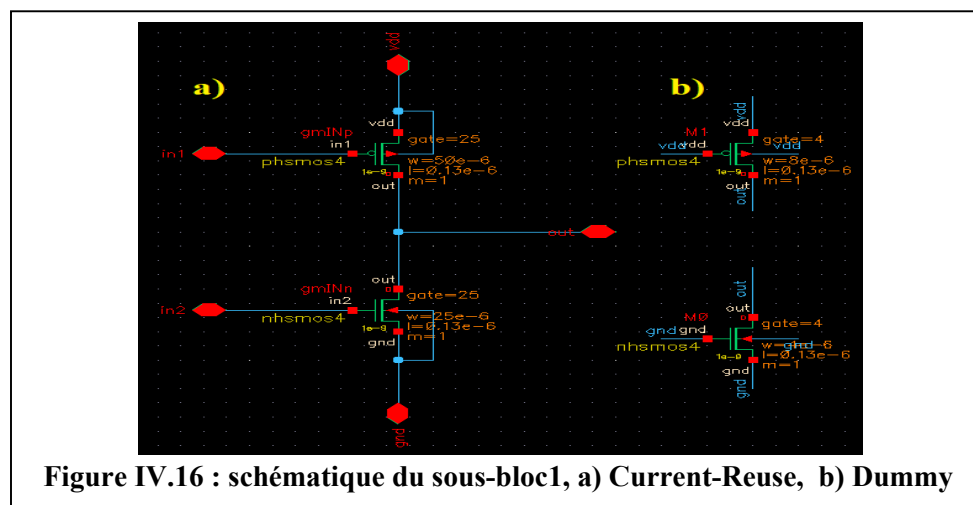
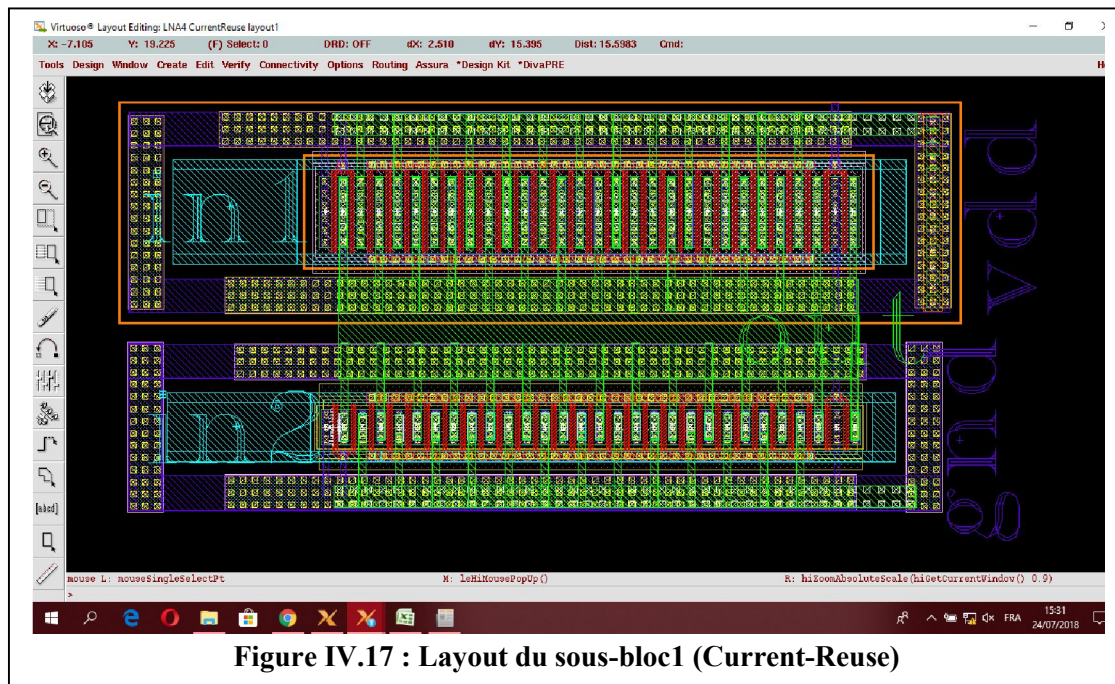


Figure IV.16 : schématique du sous-bloc1, a) Current-Reuse, b) Dummy

Cette partie est la plus délicate lors du routage du moment qu'il faut minimiser au maximum les parasites de ce sous-bloc et que un nombre importants de règles de dessin des couches du layout sont imposées par le fondeur. Il y a des règles liées à la technologie de fabrication et à la fiabilité de fonctionnement du circuit: ce sont les règles de conception (Design Rules - DR). D'autres règles sont liées à la sécurité électrique du circuit: ce sont les règles électriques (Electrical Rules - ER). Ces règles sont internes à une couche (longueur minimale, espacement minimal...) ou entre couches (inclusion, exclusion, espacement maximal, espacement minimal ...).



Pour le routage on a commencé par instancier un transistor PMOS dont les tailles correspond à celle du schématique (25 finger + 4 finger pour les tamises « Dummy » au total 29 finger) ($W=2\text{ }\mu\text{m}$, $L=0.13\text{ }\mu\text{m}$), puis un NMOS (25 finger + 4 finger pour les tamises au total 29 finger) ($W=1\text{ }\mu\text{m}$, $L=0.13\text{ }\mu\text{m}$) en suit en instancier des Via (M2-Poly) pour relier les 25 grilles entre elle à leurs extrémité par un rail de ce via, les (dummy) sont connecté séparément avec Via(M1-poly) puis on dessine un anneau en Métal2 qui établie le contacte entre tous les doigt de grille du PMOS on fera la même chose pour le NMOS.

Pour que les dispositifs NMOS fonctionnent correctement, il faut que le substrat se situe au potentiel le plus bas ; dans notre cas gnd!, nous allons donc entourer le nmos de prises de contacts sur le substrat. Il s'agit de contacts P+ (PTAP). On en place plusieurs barres, afin de créer un anneau de polarisation du substrat à (gnd!). Ensuite, il faut polariser le caisson NWELL du PMOS à un potentiel supérieur ou égal à celui du Drain, et au plus au potentiel le plus haut de l'alimentation: dans notre cas vdd!. Il faut placer des contacts (NTAP) sur le NWELL. Le NWELL du pmos instancier est trop petit pour pouvoir accueillir les contacts. Il faut donc placer les contacts, puis les recouvrir d'un deuxième NWELL.

Pour le routage du drain et de la source on à utilisé le métal 4, sachant que le substrat du PMOS est connecté au (Vdd), le substrat du NMOS est connecté au (gnd), alors les sources du PMOS sont brancher vers leurs substrat et les drains vers (OUT), par contre les sources du NMOS sont brancher vers (OUT) et les drains vers gnd ou substrat du nmos.

Il reste qu'à ajouté des pins (in1) grille pmos ; (in2) grille nmos ; (vdd) substrat pmos ;(gnd) substrat nmos ; (out) drain nmos+pmos, puis on lance la vérification DRC puis LVS

Puis à la fin on fait extraction des parasites et on lance (poste layout simulation PLS), si les résultats sont pas satisfaisant on modifie le layout sinon on passe à un autre sous-bloc.

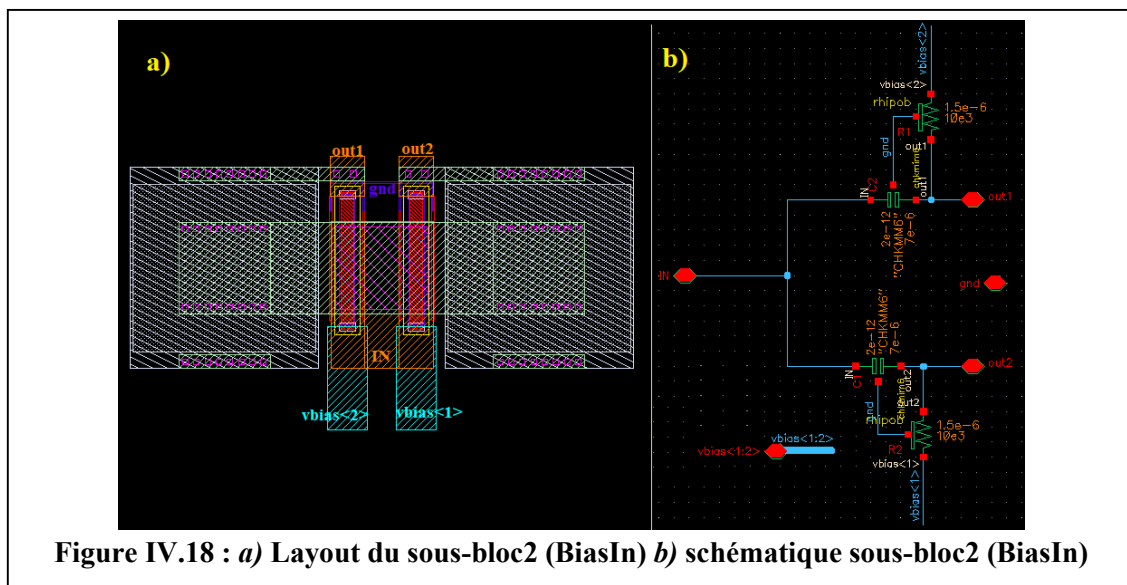
b) Sous bloc2 (BiasIn)

Cette partie est aussi importante lors du routage, ce circuit représente l'alimentation de l'amplificateur de (l'étage 1) qui possède deux sources d'alimentation bias (V_{bias1} et V_{bias2}) et l'entrée du LNA (IN) vers M1 et M2.

Le placement des composants doit être symétrique pour éviter le problème de l'offset et la distribution du signal de l'antenne vers M1 et M2 avec un minimum de bruit possible.

La (figure IV.17) présente le schématique et le layout du sous-bloc2 (BiasIn).

On a commencé le routage par le instancier une capacité et une résistance correspondants au schématique, puis on a entouré la résistance avec le contact (PTAP) au substrat (gnd), l'entrée de la résistance avec metal2 a travers via (M2-M1) pour (vbias<2>) sa sortie avec métal6 a travers via (M6-M1) pour (out1) pour la deuxième moitié il suffit de instancier la première moitié et de la placé d'une façon a obtenir une bonne symétrie, on établie la connexion entre les deux moitié C1 vers C2 avec (alucap-mim), C1 vers (out2) et C2 vers (out1) avec (métal-6) vers alucap mim le contact entre les deux niveaux ce fait avec le (padopen-mim)), l'entrée (IN) avec métal6 vers (alucap-mim) du (top C1+C2) le contacte ce fait avec (padopen mim).

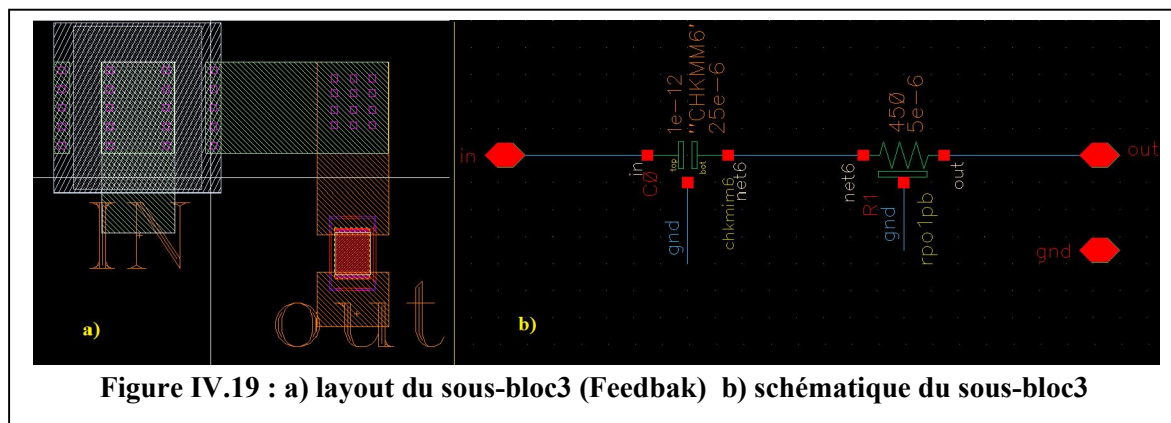


A la fin du routage on ajoute les pins comme ils sont montrée dans la (figure IV.18) on à (IN) pour l'entrée, (gnd) pour la masse, (vbias<1 :2 >) pour l'alimentation 1 et 2 , (out1 ,2) vers (in1,2) du sous-bloc1, puis on lance la verification (DRC) puis (LVS) si ya pas d'erreur

on fait extraction puis on lance (PLS) si le circuit présente de bonnes performances on passe au routage du sous-bloc3.

c) Sous-bloc3 (Feedbak)

Il reste qu'à ajouter la résistance de contre réaction pour le circuit à fin de terminer le premier étage (bloc1), le routage de cette partie est facile on a qu'une seule résistance et une capacité, l'entrée de la capacité (TOP mim) et branché vers (IN) avec (alucap mim) sa sortie branché vers (out) avec (métal6) la connexion entre (boot mim) de la capacité et (métal6) s'effectue avec un rectangle d'alucap interconnecté avec (padopen mim) vers métal6, on entoure la résistance de contre réaction avec PTAP avec (métal1) ou dessous comme le démontre la (figure IV.19) il reste qu'à ajouter les pins et vérifier DRC et LVS puis PLS.



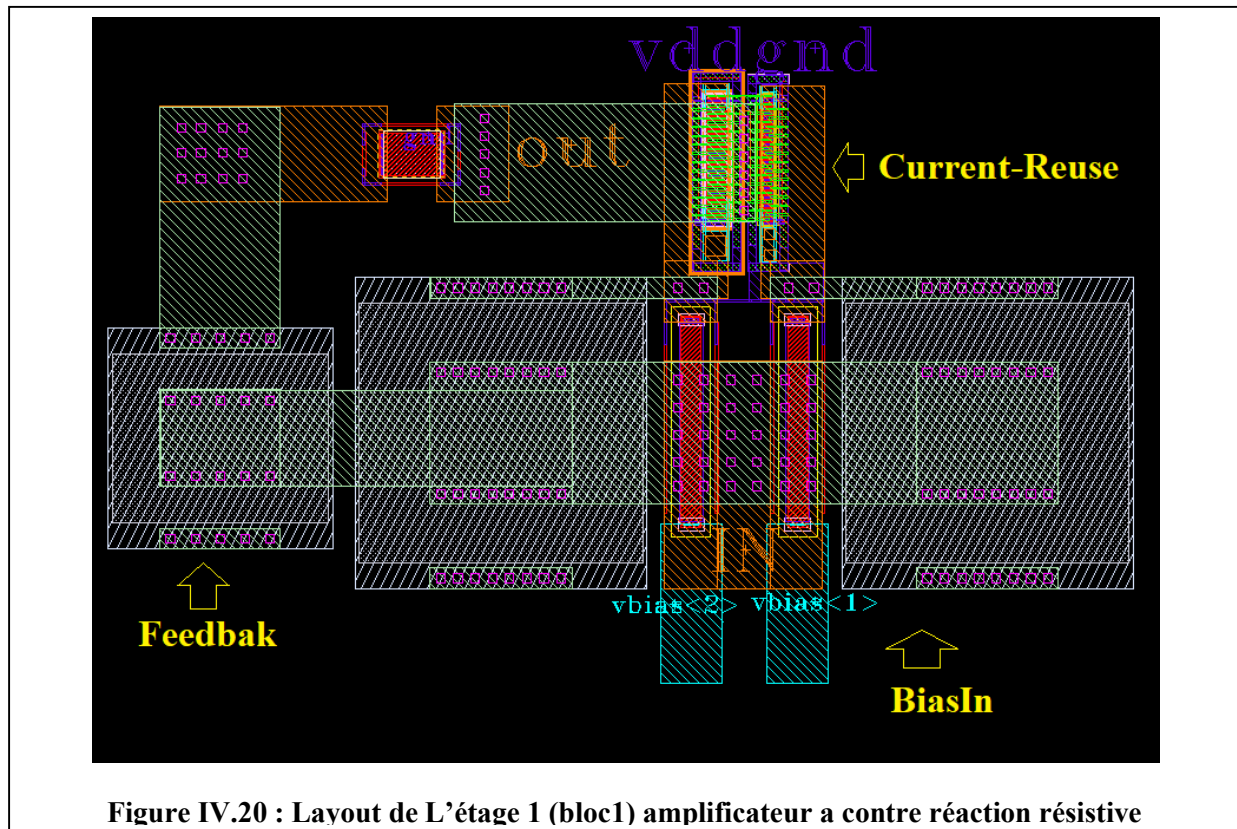
d) Assemblage du layout (bloc-1)

Une fois que tous les sous-blocs du premier étage sont terminés on peut les assembler et cela en commence au niveau schématique puis on ouvre une nouvelle fenêtre (virtuoso layout editor) et on instancie directement les sous-blocs dans la librairie pour les placer d'une façon plus compacte possible et d'une parfaite symétrie comme le montre la (figure IV.20).

Le routage du (out1, out2) vers (in1, in2) des MOSFET s'effectue avec le métal6 le contact s'établit avec (Via M6-M2), le routage du sous-bloc (Feedbak) vers (IN) et (out) avec (alucap mim) le contact vers métal6 s'établit avec (padopen mim).

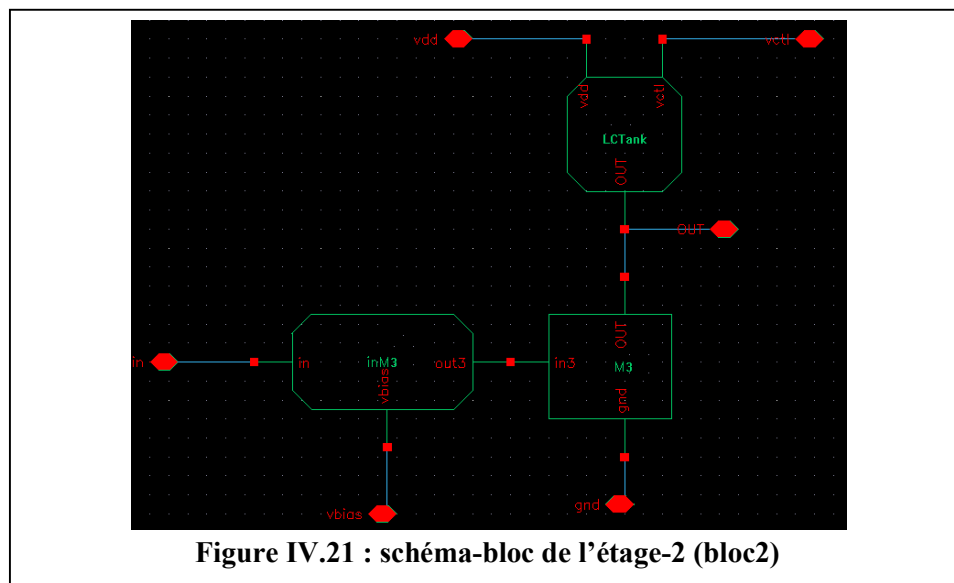
Une fois que le routage est fini on ajoute les pins puis on lance DRC on corrige les erreurs de dessin puis on lance LVS si on ne détecte pas d'erreur on passe à l'extraction des composants parasites et on lance post layout simulation (PLS) au final on lance la simulation

(ADE) du circuit avec les parasites et on compare les résultats avec la simulation du schématique, si les résultats sont satisfaisants on passe au routage de l'étage 2 (bloc2).



4.8.1.2. Dessin de masque Layout (Bloc2)

Pour le routage du bloc-2 on va suivre les mêmes étapes que le premier bloc, au début on décompose le bloc-2 en trois sous-bloc (figure IV.21) qui sont :



a) sous-bloc-1 (In-M3)

Qui est l'entrée de l'étage-2, il est composé d'une capacité d'entrée, une résistance d'alimentation (vbiass<3>), le routage de ce bloc se fait avec métal-6 pour l'entrée, la sortie et l'alimentation, la liaison entre (métal-6) et (alucap-mim) de la capacité se fait avec (Padopen-mim) on ajoute des pins entrée-sortie (in, out3 et vbiass).

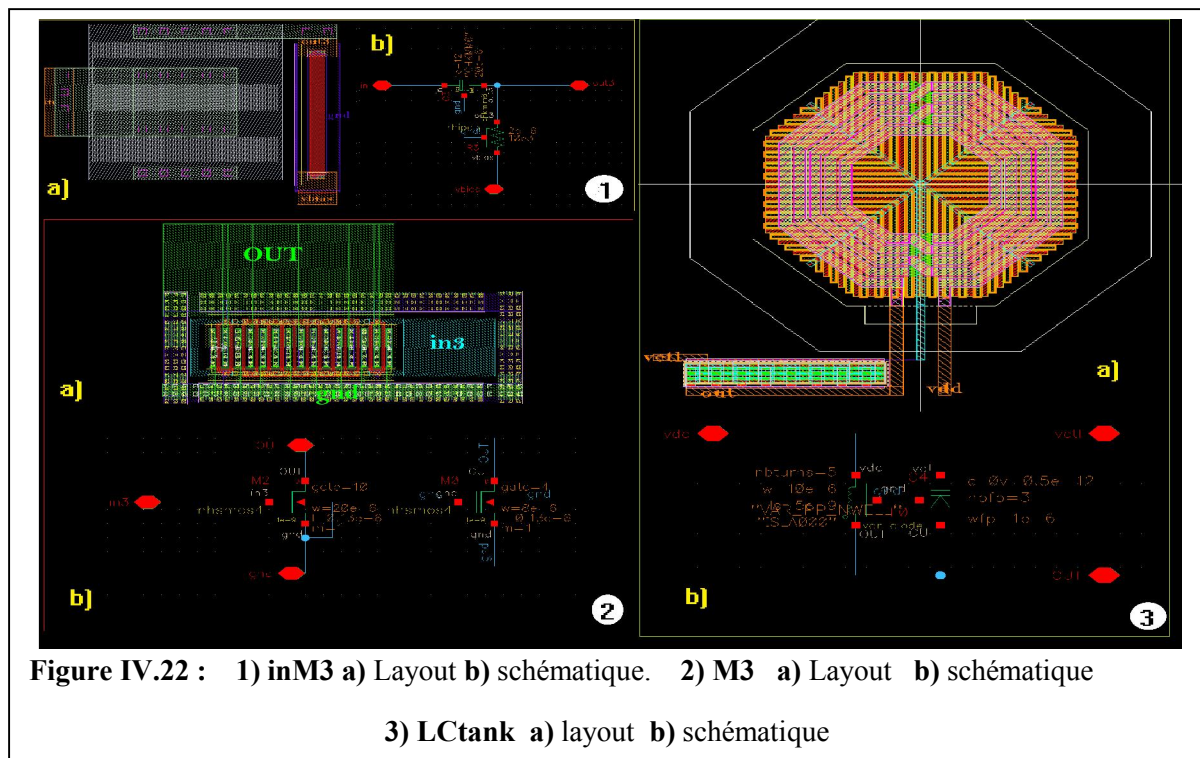
b) Sous-bloc-2 (M3)

C'est le NMOS (M3) qui est monté en amplificateur source commun, le routage de ce transistor est exactement de la même façon que le transistor (M2), on ajoute les pins (in3, out et gnd).

c) Sous-bloc-3 (LCtank)

C'est la charge (LC) de l'amplificateur, il est composé d'une inductance et d'un varactor. Le routage de ce sous-bloc commence par placer l'inductance intégrée qui est le composant le plus volumineux qui possède trois pattes la première pour (vdd) la deuxième avec (métal-2) pour (gnd) le routage se fait avec (métal-1) la connexion entre (métal-2 et métal-1) se fait avec un (via m2-m1), la troisième patte vers l'anode du varactor en suite vers (OUT) router avec (métal-6).

La (figure IV.22) englobe les trois sous-blocs de l'étage-2 schématique et layout :



d) Assemblage du layout (bloc-2)

Une fois qu'on a finis le routage des trois sous-bloc et que on a fait vérification DRC et LVS puis extraction PLS on passe à la simulation (ADE) avec parasites pour chaque sous-bloc en suite on vérifie les résultats si ils sont satisfaisants on passe au routage de l'étage-2 (bloc-2), on commence par assemblé les trois (sous-blocs) au niveau schématique comme il est indiqué dans la (figure IV.21) puis on crée un symbole appelé (bloc2) avec pins entrée sortie et alimentation(in, out, vdd, gnd, vctl, vbias<3>) puis on vas procéder à la création d'une nouvelle fenêtre (Virtuoso layout editor) le routage commence par instancier les trois sous-bloc directement dans la Librairie et les placer puis on les interconnectent avec du métal-6 pour les pistes (RF) et (DC) et métal-1 pour (gnd), pour améliorer le performances du circuit on ajouté du (alucap-mim) sur toutes les langues pistes (métal-6) interconnecter avec (padopen-induct) cela pour but de diminuer les résistances parasites. Le layout général du (bloc-2) et représenté dans la (figure IV.23)

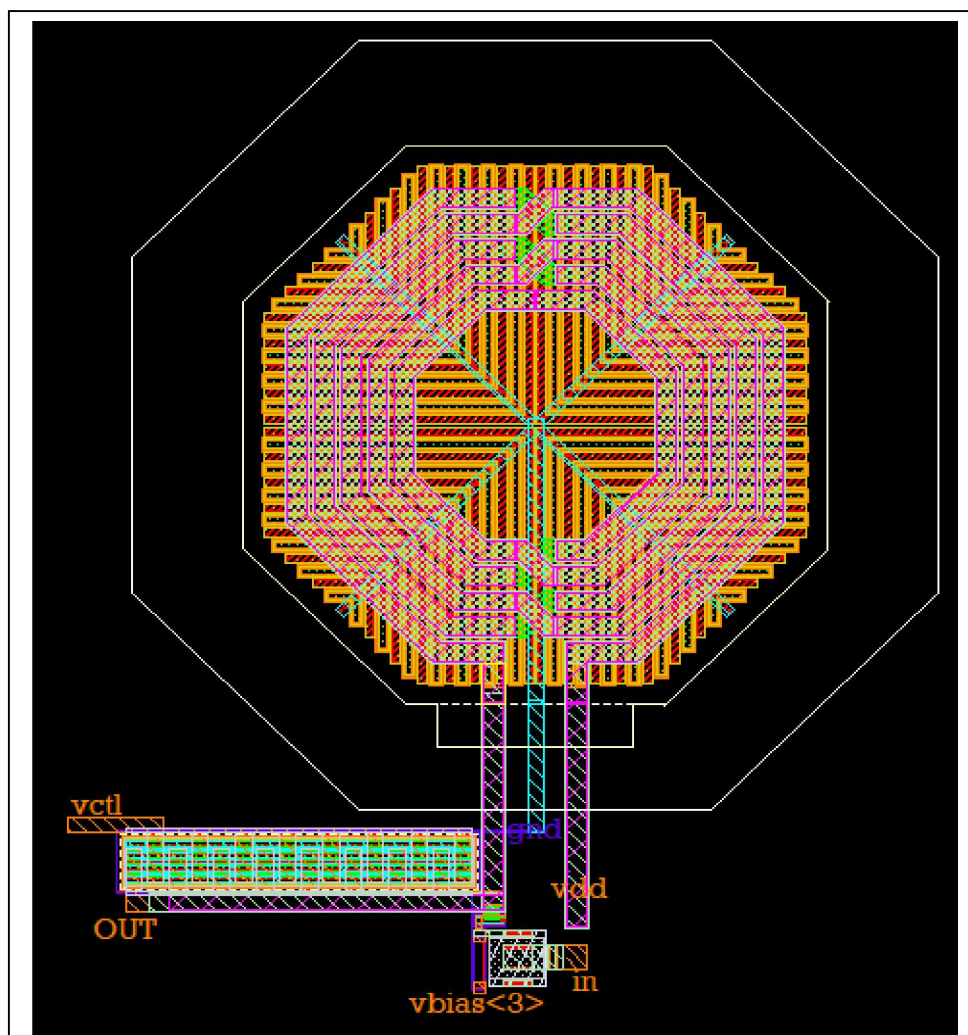
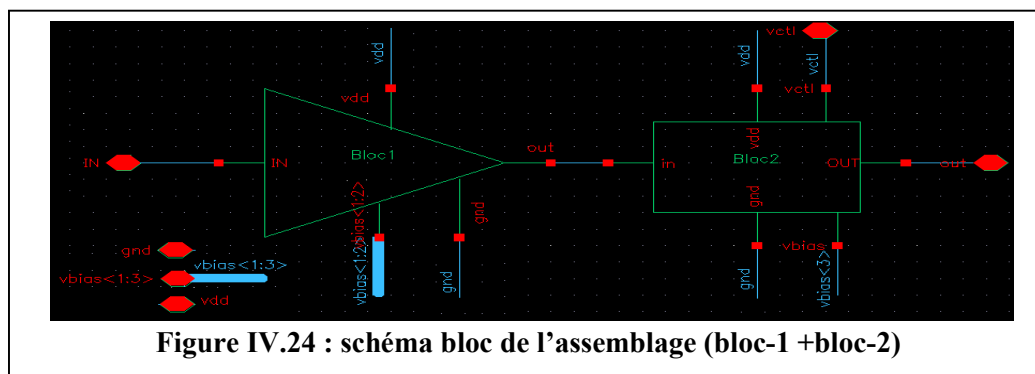


Figure IV.23 : Layout final du (bloc-2)

4.8.1.3. Assemblage (bloc-1 + bloc-2) Layout (LNA)

Il reste qu'à assembler les layout des deux blocs finis (bloc1+bloc2) pour obtenir le layout du LNA complet, cette étape est facile du moment que le plus difficile c'est le routage des (sous-blocs), avant de commencer le routage on commence d'abord par instancier les deux blocs et les assembler au niveau schématique, on relie bloc-1 avec bloc-2 (« out » du bloc-1 vers « in » bloc-2), puis on ajoute les pins (IN, out, vdd, vbias<1:3> et gnd) comme il est indiqué dans la (figure IV.24 « a »), au final on crée un symbole regroupant (bloc-1 +bloc-2) qui forme le LNA. le test (TB_LNA) est indiqué dans (chapitre 3) (figure III.6).



a) Routage

Pour le routage on a commencé par créer une nouvelle fenêtre (Virtuoso Layout Editor), en suite on a instancier les deux blocs déjà finis puis on les a placés d'une manière à optimiser au maximum les longueurs des pistes et d'éloigner l'entrée et la sortie RF l'un de l'autre pour faciliter le positionnement des pads et d'éviter le couplage des nœuds.

L'interconnexion entre les deux blocs se fait avec métal-6 pour les pistes RF et DC et métal-1 pour (gnd), on a aussi ajouté de l'aluminium (alucap-mim) sur toutes les longueurs du métal-6 pour diminuer la résistivité des pistes.

La (figure IV.25) présente le layout du LNA vérifié avec DRC et LVS et il ne présente aucune erreur.

On a fait aussi extraction des composants parasites avec (PLS extract) puis on a fait la simulation post-layout et on a comparé les résultats avec la simulation du schématique les résultats seront représentés à la fin de ce chapitre.

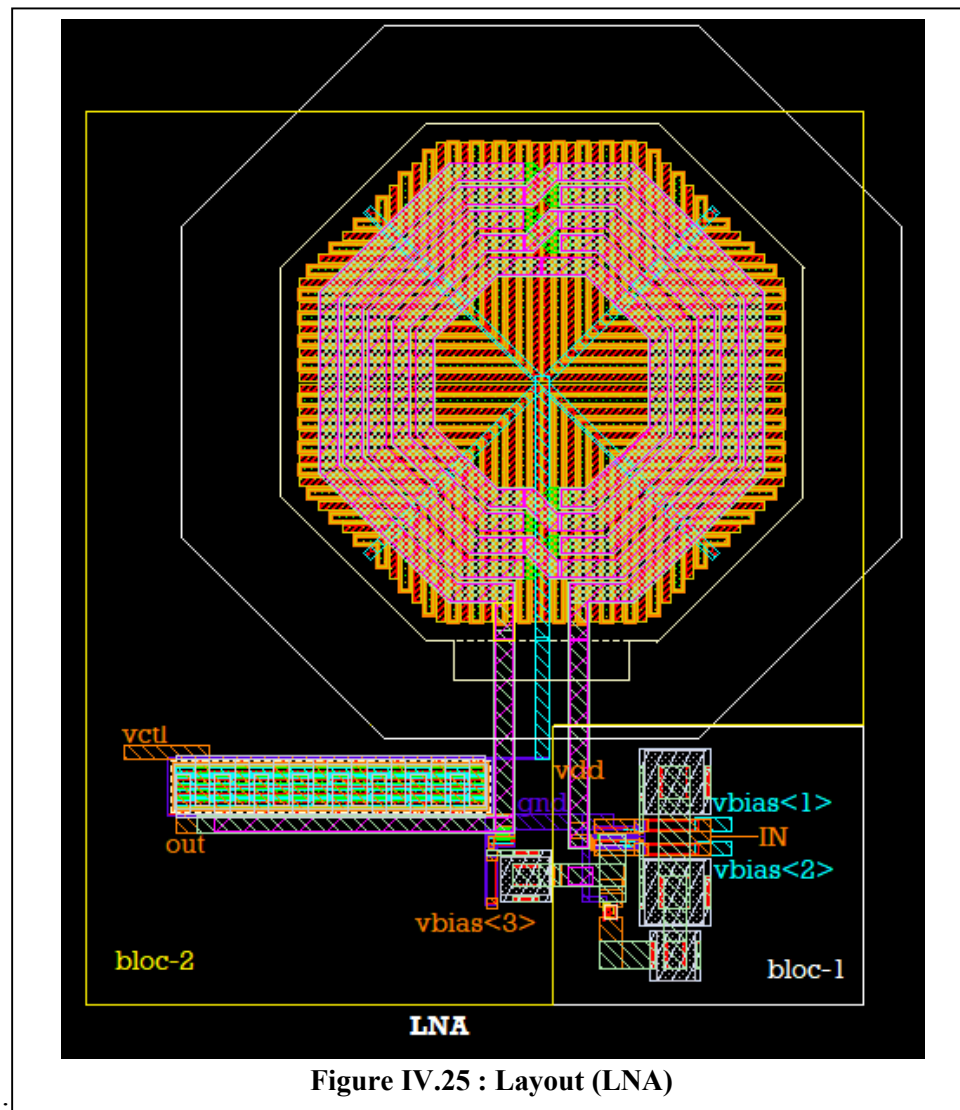
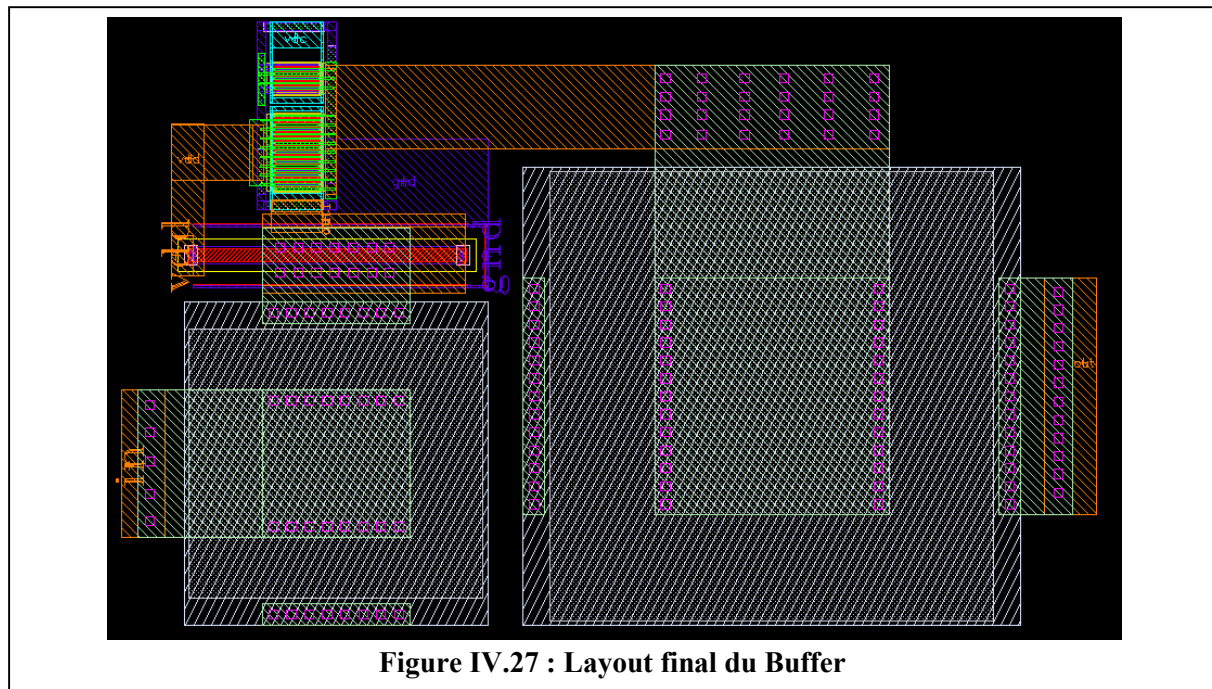
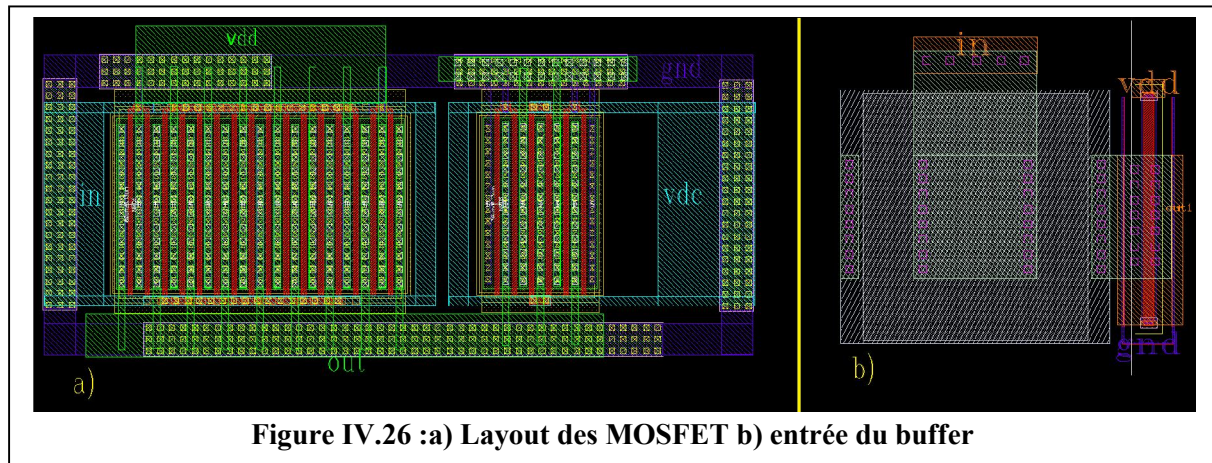


Figure IV.25 : Layout (LNA)

4.8.2. Dessin de masque Layout Buffer

Comme on a précisé dans le chapitre 3 le buffer est aussi important pour une bonne adaptation de la sortie du LNA et pour garantir une bonne stabilité de l'ensemble, donc on a besoin d'une implémentation parfaite du layout du buffer.

Le buffer est implémenté séparément de la même façon que le LNA, divisé en trois blocs pour faciliter le routage, le bloc le plus délicat et le routage des transistors, on a commencé par instancier les deux NMOS cote à cote puis on les a interconnecté avec du métal-4 de la même façon que le routage de (Current Reuse du LNA), en suite on procède au routage de l'entrée qui comporte une capacité et une résistance, en fin on place la capacité de sortie et on interconnecte l'ensemble avec métal-6 et métal-1 pour (gnd) La (figure IV.26) représente le layout des blocs du Buffer implémenté.



La (figure IV.27) présente le layout final du buffer implémenté sur (Virtuoso Layout Editor).

4.8.3. Assemblage layout du LNA+Buffer

Le routage du buffer et LNA ensemble est facile, il suffit de connecté la sortie du LNA vers l'entrée du buffer avec du métal-6 et interconnecté gnd avec métal-1, le buffer est positionner d'une manier à ce que sa sortie sera éloigné de l'entré du LNA pour facilité le positionnement des pads La (figure IV.28) présente le layout du (LNA+buffer).

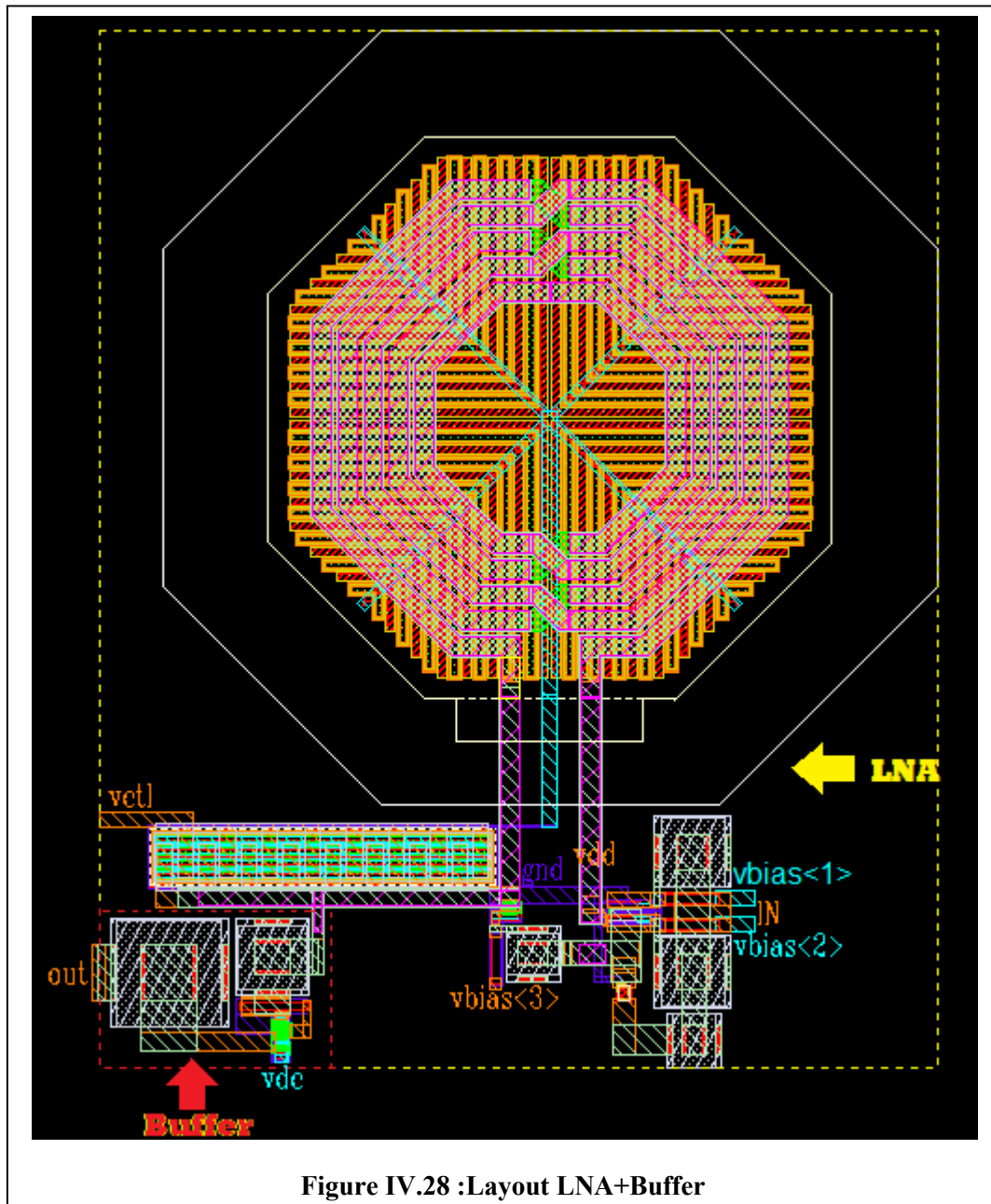


Figure IV.28 :Layout LNA+Buffer

4.8.4. Layout final du LNA

Pour finaliser le routage du LNA nous allons ajouter des plots (PAD) et des capacités de découplage. Leur placement et positionnement a bien été étudié selon plusieurs facteurs.

4.8.4.1. Les plots (PAD)

Les pad sont des éléments très essentiels pour la finalisation du layout du circuit intégrée, leurs rôle est multiples :

- Protection du circuit contre les décharges électrostatiques (ESD)
- Connexions pour le testes avec la station de test sous pointes lorsque le circuit sera fabriquer.

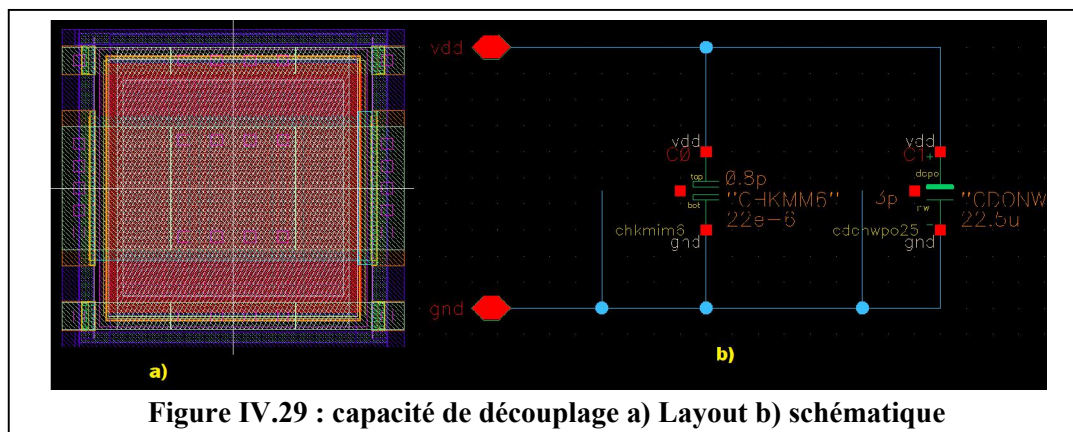
Pour le LNA on a utilisé les pads qui ont été présentés dans la (figure IV.10) (I/O) pour l'entrée sortie RF et alimentation DC, (gnd) pour la masse.

Pour la disposition de ces pads on a commencé par placer le pad entrée du côté droit avec deux pads (gnd) en suite le pad sortie du côté gauche aussi avec deux pads (gnd) + pad V contrôle (vctl), les autres pads d'alimentation (vdc, vdd, vbias<3>, vbias<2>, vbias<1>) sont placés en suivant cet ordre en bas du LNA et on a laissé 20 μm entre chaque pad pour qu'il soit compatible avec la station de test sous pointes du CDTA. Pour le routage on a utilisé le métal-6 pour les pistes RF et DC, et métal-1 pour les pistes GND puis on a ajouté sur tout le métal-6 l'aluminium (alucap-mim) en fin on interconnecte tous les pads avec métal-1 comme il est représenté dans la (figure IV.30).

4.8.4.2. Les capacités de découplage

Sachant que la piste vdd qui est entre les transistors d'entrée et l'inductance intégrée présente une résistance parasite R_s proche de 0 et une inductance parasite série L_s de quelques nH qui sont négligeables mais qui créent des harmoniques de hautes fréquences nuisibles pour le LNA ces harmoniques de hautes fréquences sont évacuées vers la masse avec des capacités de découplage qui augmentent donc l'immunité électromagnétique de la puce.

La (figure IV.29) présente le layout et le schéma de la capacité de découplage utilisée pour notre circuit. Il présente deux condensateurs en parallèle ($C_0=0.8\text{ pF}$, $C_1=3\text{ pF}$).



Pour le routage on a placé 29 layouts de capacités de découplage ce qui fait en tout 58 capacités, en haut de la puce pour remplir les vides et on les a interconnectés en parallèle avec du métal-6 et (alucap-mim) vers vdd et métal-1 vers GND la (figure-IV.30) présente l'ensemble de la puce « LNA+ Buffer + pad + capa-dec ».

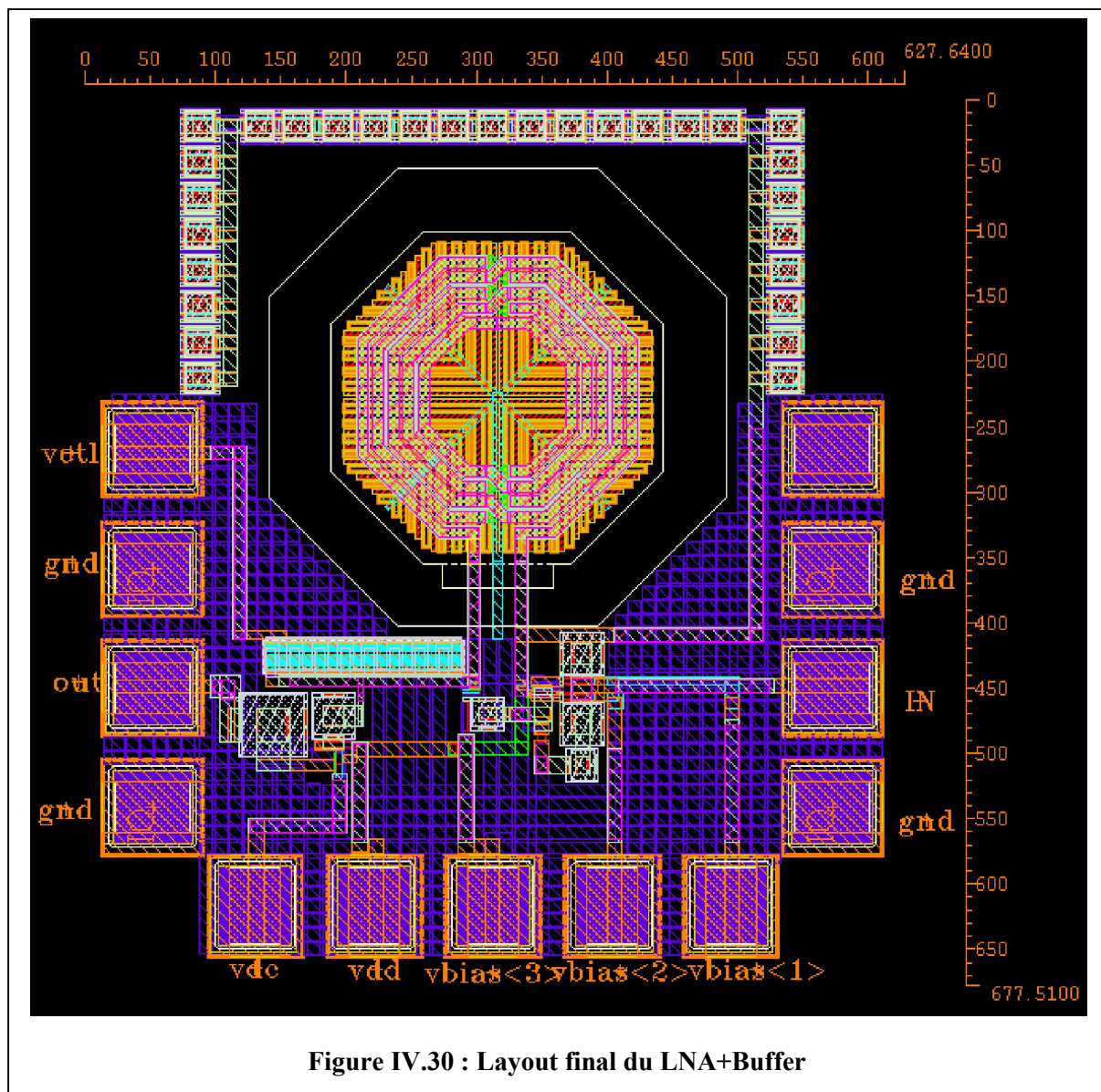


Figure IV.30 : Layout final du LNA+Buffer

4.8.5. Résultats de vérification (LVS)

A la fin du routage de chaque sous-blocs et chaque blocs une comparaison entre layout et schématique avec (LVS) est obligatoire pour savoir si le layout correspond bien au schématique et que tous les nœuds (pin) sont bien pris en compte, on à préférer présenter le résultat de vérification (LVS) globale du LNA les résultats de la vérification son présentés dans la (figure IV.31).

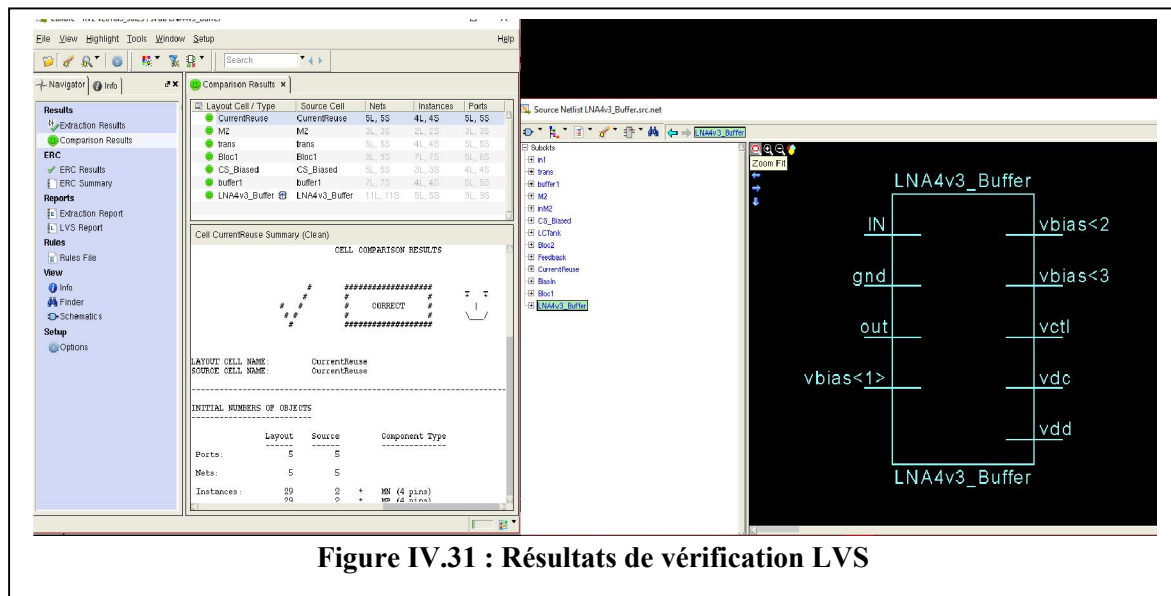


Figure IV.31 : Résultats de vérification LVS

La comparaison du Layout final (LNA+Buffer) avec le schématique sur (LVS) est représenté dans la (figure VI.32).

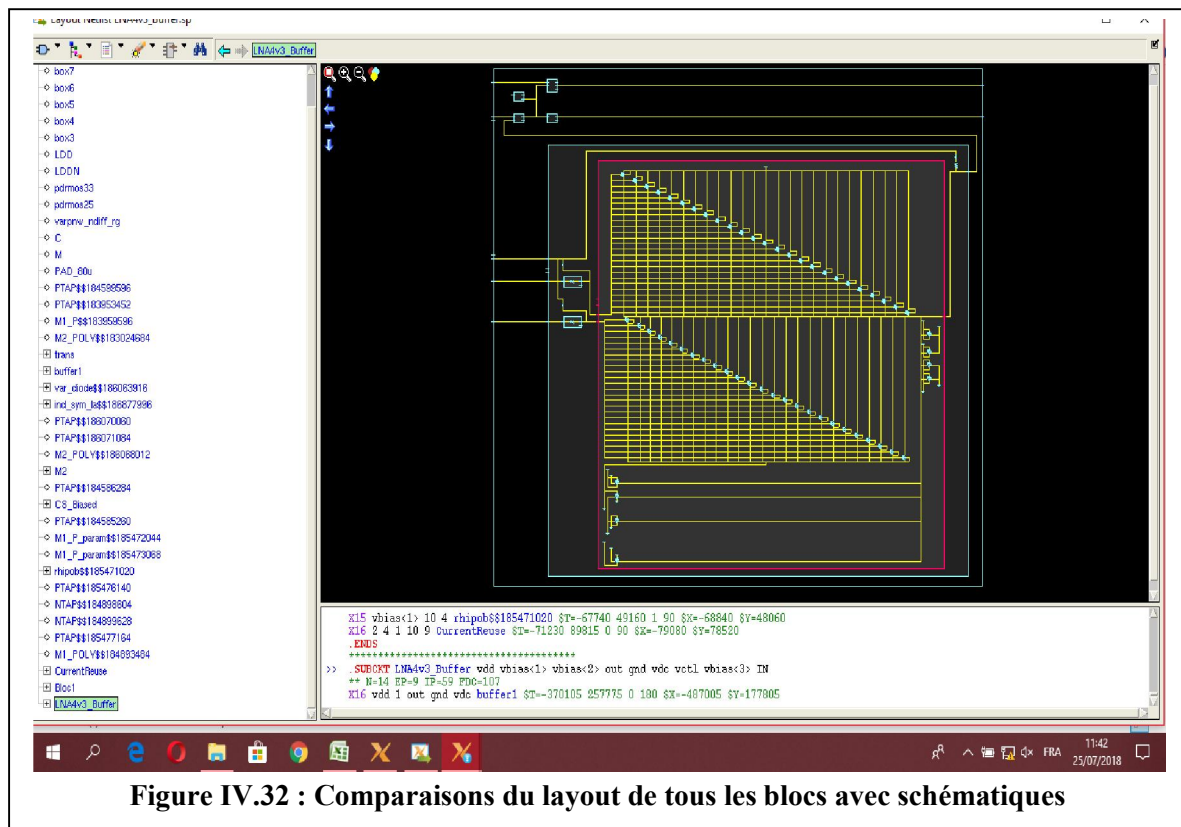


Figure IV.32 : Comparaisons du layout de tous les blocs avec schématiques

Nous constatons que tous les nœuds ont été reconnus et que tous les sous-blocs ont été tracés dans la fenêtre de vérification Layout de LVS. Nous pouvons maintenant passer au poste layout simulation.

4.9. Simulation Post-Layout

Les simulations effectuées avec la vue schématique ne prenaient en compte qu'une estimation des paramètres secondaires des dispositifs ou les modèles de composants par exemple (capacité parasite...). Maintenant que le layout est réalisé, il est possible d'effectuer une simulation avec les valeurs dessinées des paramètres secondaires, ce qui veut dire que tous les parasites des pistes et des composants seront pris en compte.

Avant de faire la simulation Post-layout on doit d'abord faire extraction des parasites avec le logiciel (PLS extract) en suivant les étapes suivantes :

4.9.1) Extraction des composants parasites

Une fois que on à fini le dessin de masque et que on à corrigé toutes les erreurs lors de la vérification DRC et LVS, on peut à présent lancer extraction des composants parasite de type (RCc) **tools→Post layout simulation→schématic with skiped cells** dans cette fenêtre on fait quelques réglages puis on lance l'extraction en appuyant sur **RUN PLS** voire (figure IV.33)

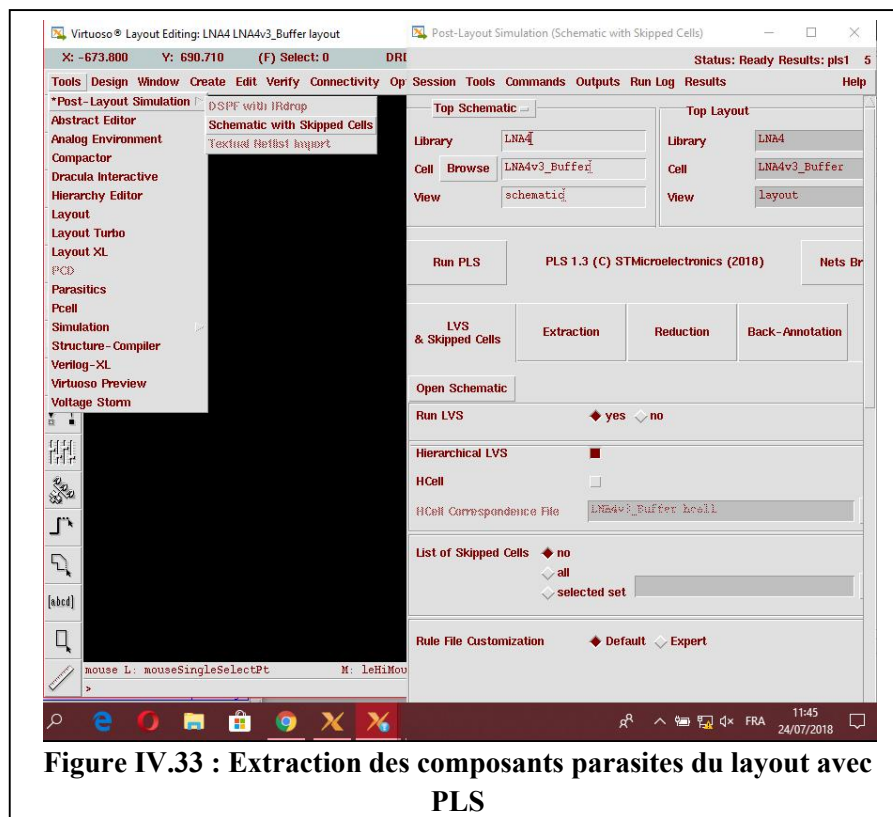
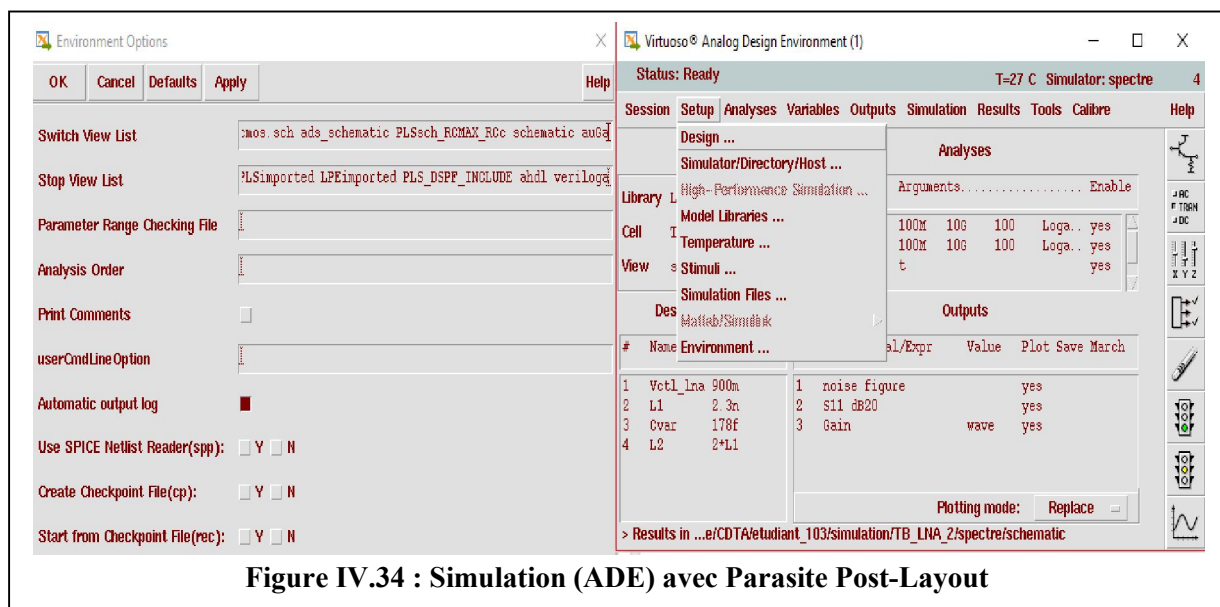


Figure IV.33 : Extraction des composants parasites du layout avec PLS

Une fois que le logiciel à fini l'extraction deux fichiers seront ajouter dans **Library-Cell-View** qui sont : **PLS extracted** et **PLSsch_RCMAX_RCc**. Ce dernier est très important pour la simulation post-layout.

4.9.2) Simulation (ADE) avec parasites

La simulation (ADE) ce fait exactement comme le schématique en ouvrant la cellule (TB_LNA+Buffer) puis (analogue design envirennement) sauf que pour simuler avec parasites on doit y'allier dans **setup→Environment** une fenêtre qui s'appelle (Environnement Option) apparait en fin on écrit (PLSsch_RCMAX_RCc) dans (switch view list) (Figure IV.34) on applique et on lance la simulation avec les mêmes analyses qui sont faites dans chapitre 3.



4.9.3) Résultats de simulation Post-Layout

Nous avons effectué une extraction RCc incluant dans la netlist des résistances et capacités parasites. Nous avons simulé à chaque fois, les performances linéaires (paramètres S et NF) et Gain en tension du LNA+Buffer.

On doit refaire la simulation du schématique pour la comparer avec la simulation Post-Layout pour cela en vas faire deux simulation une avec (PLSsch_RCMAX_RCc) une autre schématique puis on compare les résultats.

4.9.4) Résultat de Simulation Post-Layout du Buffer

Le Layout du Buffer présentes des résultats concordantes avec les résultats de la simulation du Schématique et qui respecte les spécifications, $S_{22} < -10$; $A_v =$ proche de 0 dB les résultats sont présenté dans le (tableau IV.1) et (Figure IV.35) :

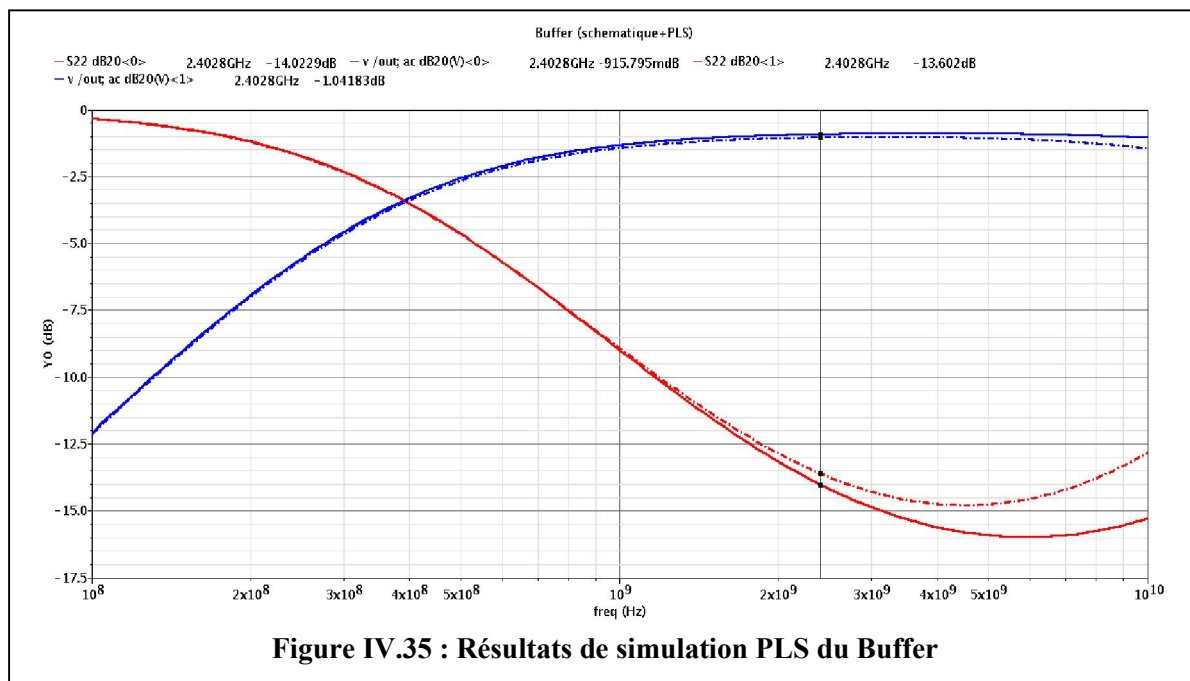
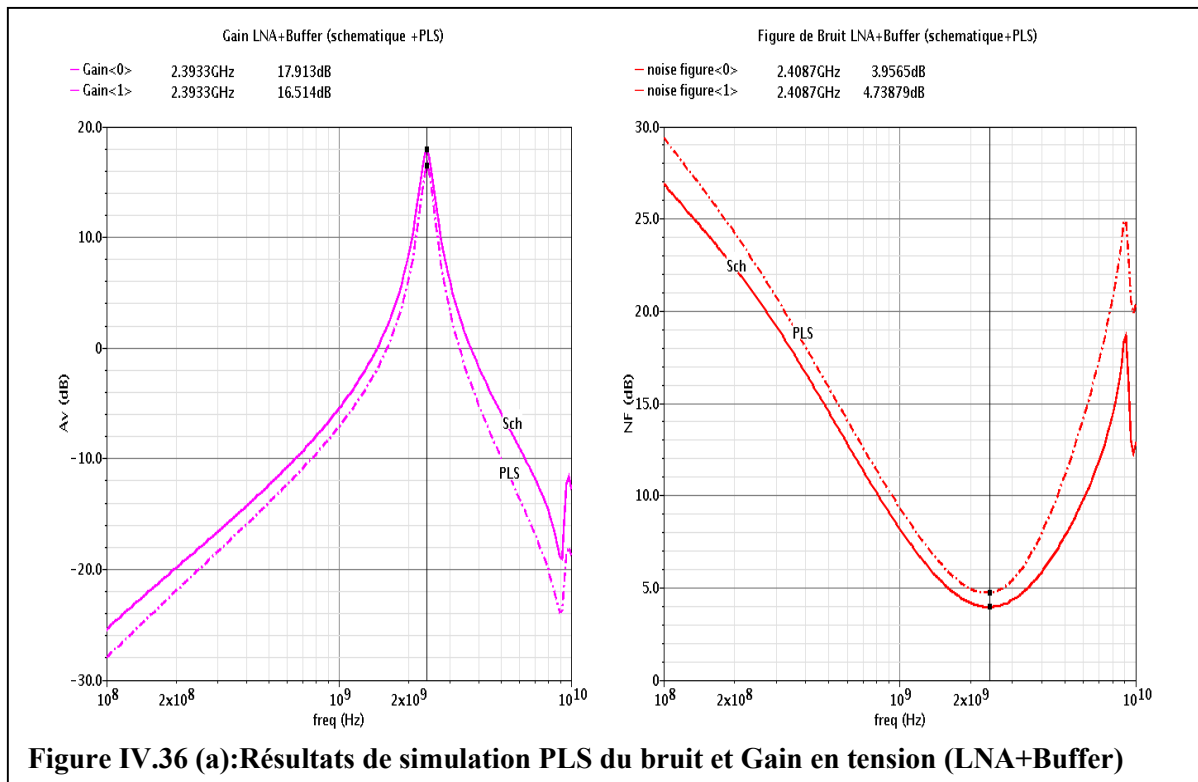


Tableau IV.1 : Résultats de simulation schématique et Post-Layout du Buffer

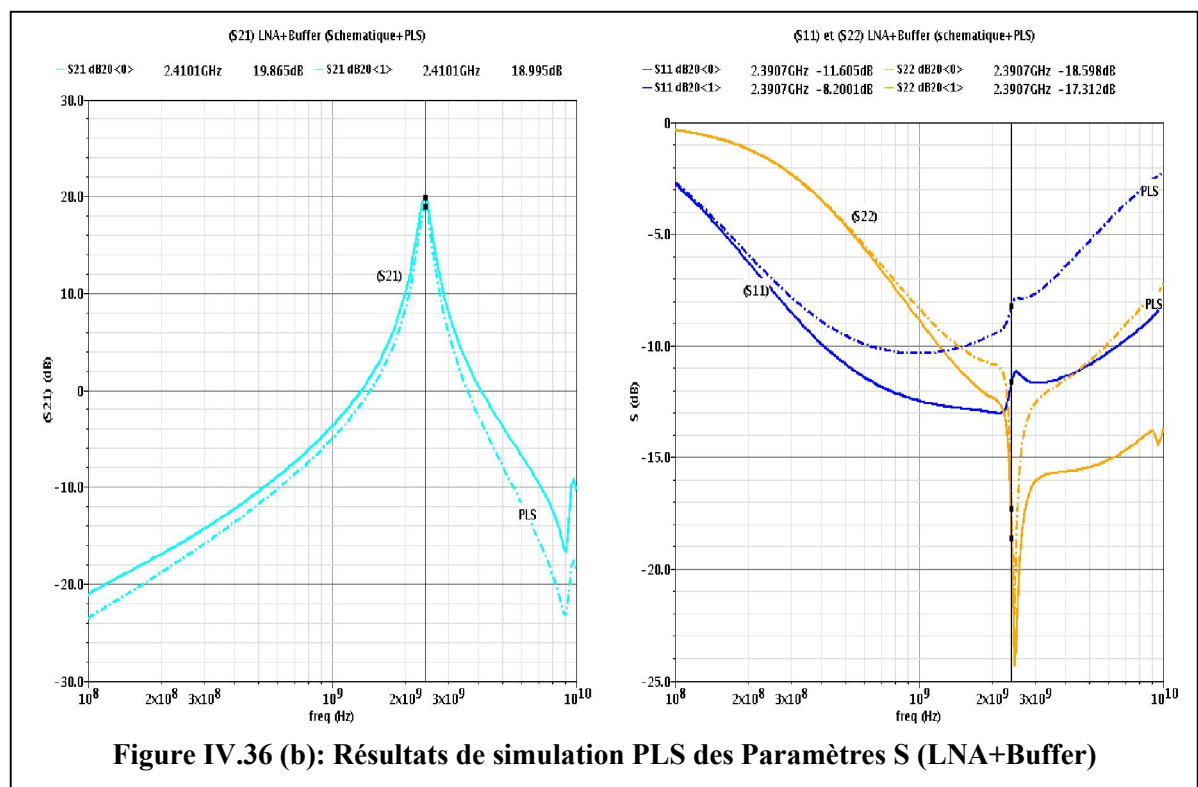
	Schématique	Post-Layout
S22	-14.02 dB	-13.60 dB
Gain Av	915.79 mdB	-1.04 dB

4.9.5) Résultats de simulation PLS du (LNA+Buffer) final

4.9.5.1) Gain en tension et Figure de bruit (LNA+Buffer)



4.9.5.2) Paramètres S



4.9.6) Discussions des résultats de simulation Post-Layout du (LNA+Buffer):

Tableau IV.2 : Résultats de simulation schématique et Post-Layout finales

	Gain LNA	Bruit F	S21	S11	S22
Spécification	>19dB	<4dB		<-10dB	<-20dB
Schématique	20.86dB	3.95dB	19.86dB	-11.60dB	-18.59dB
Post-Layout	19.11dB	4.73dB	18.99dB	-8.20 dB	-17.31dB

Les performances et mesures finales de test obtenues par des simulations d'extraction de type (RCMAX RCc) et schématique. On constate que les valeurs des performances et mesures de test sont en dehors des spécifications déduites par les simulations au niveau schématique. Les performances à 2.4 GHz et les mesures de test relevées sont résumées dans le (tableau IV.2). On y remarque un coefficient de réflexion S11 au dessus de la spécification de 2dB dans le pire cas, à l'exception de S22, un gain qui perd au minimum 1.5 dB, une figure de bruit qui augmente de 0.56 dB. Ces pertes semblent être dues à des résistances et capacités parasites du au polysilicium des grilles des transistors et à la résistance des pistes entrées et sorties.

Nous avons fait plusieurs modifications au niveau schématique afin de réduire les résistances et les capacités parasites, on à pu arriver à des résultats satisfaisants qui sont illustrés dans les (figures IV.36 (a)-(b)).

4.10. Conclusion

Dans ce chapitre nous avons présenté les méthodes que nous avons suivies pour le dessin de masque du LNA étudié dans le chapitre 3 puis nous avons effectué une simulation Post-layout pour prendre en compte les effets des interconnexions et afin d'obtenir le fonctionnement réel du circuit.

Une approche pragmatique du problème du dessin du layout de circuit analogique a été présentée dans ce chapitre. Le fait que le circuit est dessiné manuellement, donc nous n'avons pas pu statuer toutes les contraintes explicitement, qui sont :

- La résistance série des pistes
- Les capacités parasites
- Les contraintes technologiques des composants.

On à minimiser au maximum la contrainte classique de minimisation de la surface totale de silicium occupée, contrainte directement liée au coût de fabrication.

Conclusion

Conclusion général

La place des circuits intégrés analogiques à hautes performances a pris une importance croissante ces dernières années dans la conception des systèmes mixtes analogiques/numériques. La réalisation de tels circuits souffre de difficultés principalement dues à la réduction de la tension d'alimentation et à la réduction de la consommation, qui sont conduites par la prolifération des systèmes portables alimentés par des batteries.

Nos travaux s'inscrivent dans le domaine des récepteurs multistandards de télécommunication précisément l'amplificateur à faible bruit reconfigurables. Nous avons tout d'abord insisté sur les importantes limitations des LNAs existants qui sont consommations élevées, difficulté d'intégration et grandes surfaces de silicium, puis sur le faible coût qui nous pousse à choisir la technologie la moins coûteuse (la technologie CMOS).

De façon à palier à toutes ces limitations, nous avons commencé dans le chapitre 2 à étudié les différentes architectures de réception radio fréquences et les différentes topologies d'amplificateurs et faire une comparaison pour en choisir celles qui défient les limitations.

Un amplificateur complémentaire à contre réaction résistive a été étudié et simulé dans le chapitre 3, cet amplificateur répond bien aux limitations (surface et consommation), il reste à valider ces performances en simulant les trois critères principaux d'un LNA qui sont (Gain, bruit et paramètres S), sur l'outil de CAO professionnel CADENCE IC.

Dans la quatrième partie de ce mémoire nous nous sommes intéressés au problème de dessin de masques des circuits intégrés. Sachant que les performances des circuits intégrés analogiques dépendent fondamentalement des phénomènes parasites générés par leur layout. La phase de dessin de masques est la plus importante aussi la plus difficile qui est assez laborieuse et prend beaucoup de temps du moment que nous devons respecter les contraintes analogiques que nous avons étudiées et listées en détail dans le chapitre 4, nous avons aussi détaillé les étapes que nous avons suivies pour en aboutir à un Layout de LNA complet et simulé qui a donné des performances assez satisfaisantes qui peut passer à l'étape de fabrication puis au test sous points.

Références bibliographiques

Références bibliographiques

- [1]: J.E. Lienfeld, U.S. patent N°1-745-175(1930).
- [2] CMOS Circuit Design, Layout, and Simulation, 3rd ed, R. Jacob Baker. 2010 by the Institute of Electrical and Electronics Engineers.
- [3] : F. Anceau ; Y.Bonnassieux << conception des circuits VLSI >> dunaud, paris 2007.
- [4] : J. Innocenti << conception et procédés de fabrication avancés pour l'électronique ultra-basse consommation en technologie CMOS 80nm avec mémoire non-volatile embarquée >> université Nice sophia antipolis 10/12/2015.
- [5] : F. djefal << Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application à la conception des dispositifs intégrés >> 19/04/2006.
- [6] D.Clein CMOS IC LAYOUT Concepts, Methodologies, and Tools
- [7] : B.Mohand Outahar ;<< évolution de transistor submicronique dans les technologies CMOS silicium 45nm >> 17/12/2008.
- [8] : M.Boudiaf << étude et modélisation d'un transistor MOSFET à double grille >> 27/06/2012.
- [9] : T. SKOTNICKI ; Article << technique de l'ingénieur transistor MOS et sa technologie de fabrication >> 10/02/2000.
- [10] : Y.Guerfi << Réalisation et caractérisation de transistor MOS à base des nano fils verticaux en silicium >> 13/10/2016.
- [11] : K. Romanjek ; << Caractérisation et modélisation des transistors CMOS des technologies 50nm >> 01/03/2010.
- [12] : J. kilby ; << Miniaturized electronic circuits >> , patent N°3-138-743(1959).
- [13] : D. Brahim << étude et modélisation compacte d'un transistor MOS SOI double-grille dédiée à la conception >> 16/11/2007.
- [14] : I. Mahdjoub ; K. Hakima ; << Etude et conception d'un bio-amplificateur à faible bruit en technologie CMOS 1um >> 26/06/2012.
- [15] : M. Yousfi Sidi Ali ; << contribution à la conception d'un amplificateur à faible bruit ultra large en technologie CMOS >> CDTA 2009.
- [16] : R. Marinho ; B- Bareloud ; J Lintignat << conception d'un LNA à 60Ghz en technologie BICMOS SiGe : 0.25um >> Toulouse 2016.
- [17] : M. Mabrouki << Mise en œuvre de l'effet de substrat dans la conception des amplificateurs faible bruit sous contrainte de faible puissance >> 09/12/2010.
- [18] : Z. Liang << Architecture d'amplificateur faible bruit large bande multistandard avec gestion optimale de la consommation >> 08/092016.

Références bibliographiques

- [20] Xiaopeng L., Mouhamed I. Multi-Standar CMOS Wireless Receivers Analysis and design, Ed. Kluwer Academic Publishers, 2002.
- [21] MABROUKI A., Mise en œuvre de l'effet de substrat dans la conception des Amplificateurs faible bruit sous contrainte de faible puissance. Thèse en électronique, Université Bordeaux1, 2010.
- [22] Razavi B. RF Microelectronics, Second Edition, Ed Prentice Hall, 2011.
- [23] PACAUD A. Electronique Radiofréquence, TECHNOSUP, Ed. Ellipses.
- [24] L.paul ; S.Michiel - LEROUX P. STEYAERT M. LNA-ESD CO-DESIGN FOR FULLY INTEGRATED CMOS WIRELESS RECEIVERS, Springer, 2005.
- [25] Taris Thierry (2010). Current reuse topology in UWB CMOS LNA, Advanced Microwave Circuits and Systems, Vitaliy Zhurbenko (Ed.), ISBN: 978-953-307-087-2, InTech, Available from:
- [26] Razavi B - Design of Analog CMOS Integrated Circuits 2001.
- [27] S.Christopher ; S.Judy – IC Mask Design, Essenciel Layout Technique.
- [28] ULSI Front-End Technology, Covering from the first semiconductor Paper to CMOS FINFET Technology, W.S.LAU; World Scientific 2018.
<http://www.intechopen.com/books/advanced-microwave-circuits-and-systems/current-reuse-topology-in-uw-b-cmos-lna>
- [29] IC STMicroelectronics 130 nm CMOS 6 ML HCMOS9GP
<https://mycmp.fr/datasheet/ic-130nm-hcmos9gp>.

Annexes

1. Présentation du logiciel Cadence IC

L'outil cadence est une chaîne complète et complexe de conception qui propose un ensemble de logiciels répondant à la quasi totalité des besoins dans les domaines :

- De la simulation haut niveau
- de la conception de circuits intégrés,
- du dessin "full custom" d'un circuit.

La (figure 2) décrit le flot typique de conception du schéma électrique d'un circuit analogique dans l'environnement Cadence. Le démarrage du logiciel doit inclure toute une phase de configuration de variables d'environnement pour qu'il se lance correctement. Un design kit est chargé au démarrage afin de relier le circuit simulé à un Process technologique. Les circuits qui vont être produits doivent être organisés au sein de librairies, associées avec des design kits. L'environnement Cadence propose de nombreux outils à partir d'une interface commune, parmi lesquels on trouve des outils de saisie de schématique comme (Virtuoso Schematic Editor) et de simulation électrique (comme Spectre), et d'un autre outille de dessin de masque comme (Virtuoso Layout Editor) qui inclut la vérification et la simulation post-layout (PLSsch_RCMAX_RCc).

1.1. Présentation du design kit

L'utilisation d'un design kit est nécessaire lors des phases de conception d'un circuit intégré, qui doit se faire en accord avec une technologie de fabrication existante. Un design kit réunit l'ensemble des informations reliées à un Process technologique, permettant de simuler un circuit et de le router. Il contient ainsi l'ensemble des modèles électriques des composants élémentaires pouvant être fabriqués à l'aide du Process technologique (par exemple, des transistors MOS et bipolaires, des résistances, des inductances et des capacités intégrées). Dans le cadre de ce travail, nous avons utilisé un design kit fourni par la société STMicroelectronics (CMP), fondeurs de circuits en technologies CMOS. Le design kit employé s'appelle IC 130nm HCMOS9GP version 9.2. Il inclut des librairies complètes de design reliées au Process technologique IC 0.13µm.

Parmi les librairies proposées, nous allons utiliser dans le cadre de notre travail les librairies liées au Process IC 130nm HCMOS9GP à 6 niveaux de métaux. Ce design kit contient les librairies suivantes [...] :

- La librairie **analogLib** qui inclut l'ensemble des sources, des symboles de tension et d'alimentation, d'éléments passifs et actifs idéals.
- La librairie **Devices_symbols** qui inclut nos deux model de transistors PMOS et NMOS.
- La librairie **Devices_symbols_a** qui inclut les composants Actifs intégrés (inductances, résistances, capacités).
- La librairie **Devices_symbols_RF** qui inclut les tous les composant dans des conditions de Process différents.
- La librairie **IOLIB_65_M6_LL** qui inclut des Model de Pads entrée sortie.

2. Dessin de masque

Le dessin des masques se fait dans une fenêtre de type Layout. Pour cela, il faut créer une vue layout sur la cellule LNA dans le library manager. L'outil de conception du layout s'appelle Virtuoso.

Cette cellule s'ouvre automatiquement. L'ouverture de la fenêtre va provoquer l'apparition d'un autre outil qui est la fenêtre LSW (Layer Status Windows) (figure 2). Elle présente l'ensemble des couches accessibles pour dessiner, représenter et vérifier un layout, mais aussi pour annoter ce layout.

3. Les vérifications de layout

3.1. Vérification des règles de dessin: Design Rules Check (DRC)

La vérification DRC (*Design Rule Checker*), assure la conformité du circuit intégré aux règles de fabrication du fondeur

3.2. Vérification LVS

La vérification LVS (*Layout Versus Schematic*), qui vise à garantir que le layout est bien équivalent au schéma de départ.

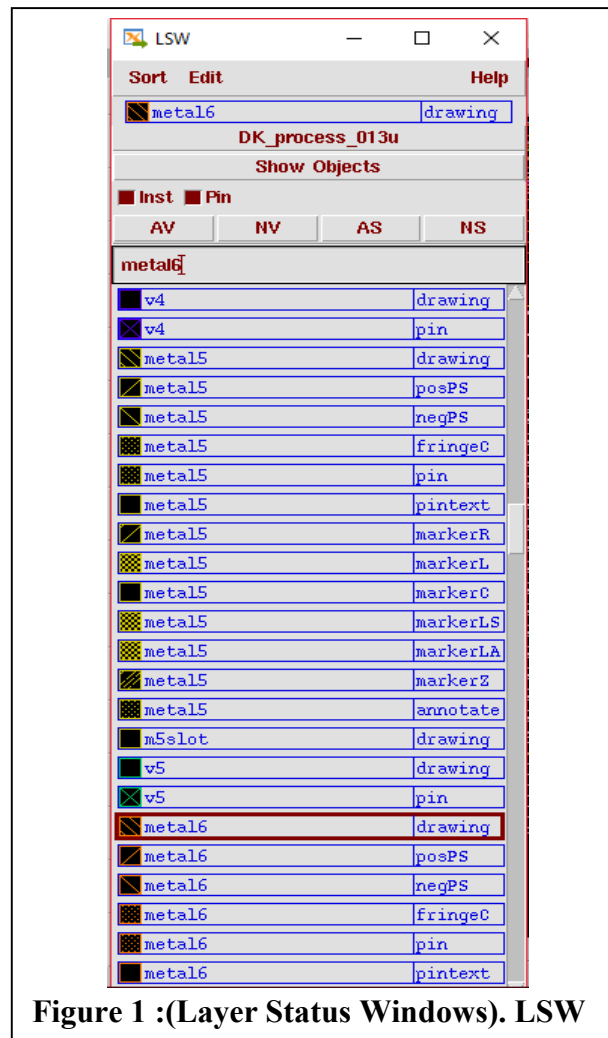


Figure 1 : (Layer Status Windows). LSW

4. GDSII

Le GDS II est un format de fichier binaire utilisé pour représenter le dessin physique d'un circuit intégré (le layout). Il code une base de données contenant des formes géométriques planes, des labels textuels, et des informations sur l'organisation hiérarchique du dessin.

Ce format est devenu de fait un standard quasi-universel de représentation et d'échange des layouts, pour les échanges entre outils de conception et de vérification physique, et pour l'envoi des circuits à la fabrication. Pratiquement tous les logiciels de conception et vérification physique des circuits intégrés supportent le format GDS II, qui permet leur interopérabilité.

De nombreux utilitaires spécialisés permettent aussi de visualiser ou d'éditer les données du GDSII en 2D et en 3D

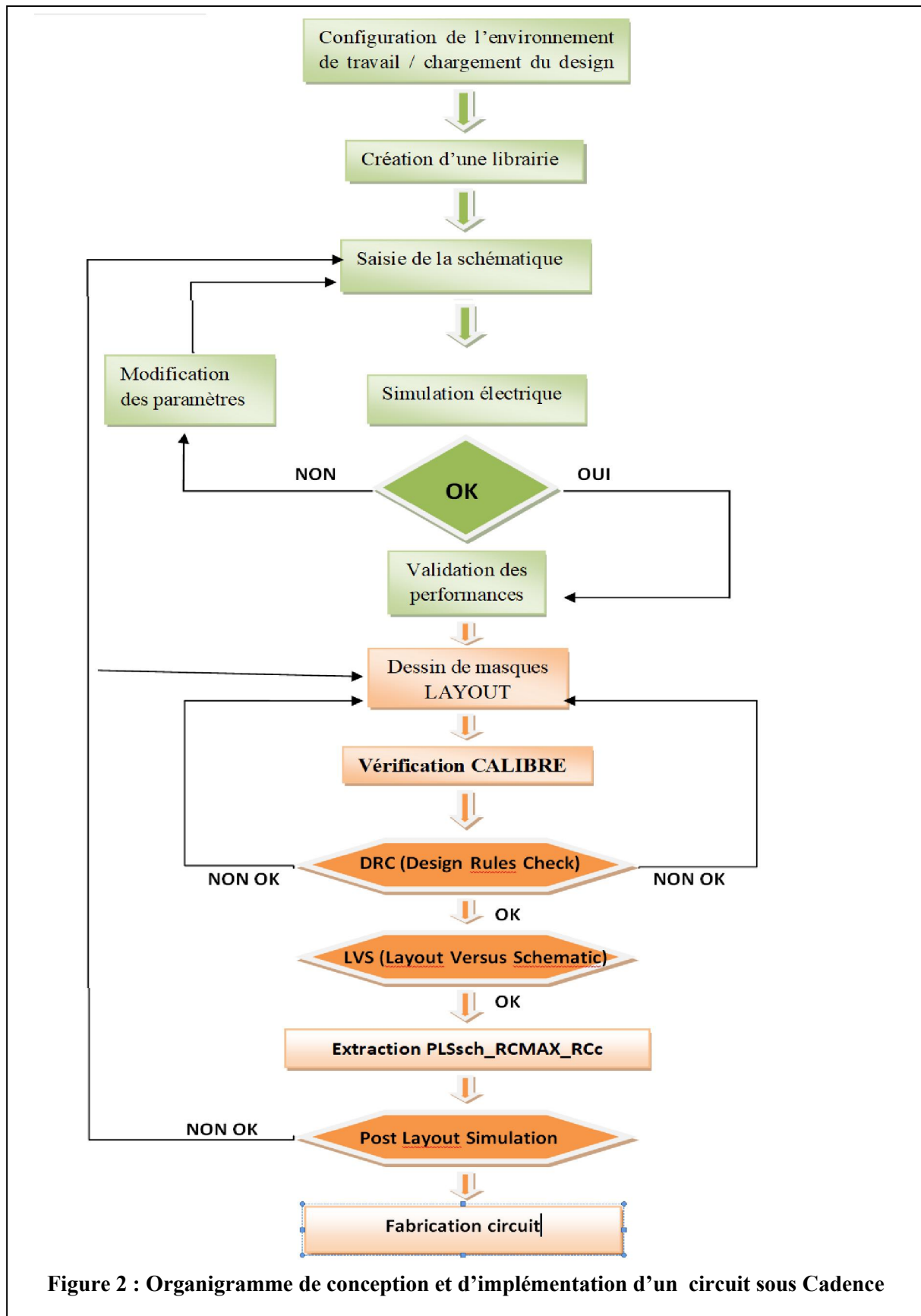
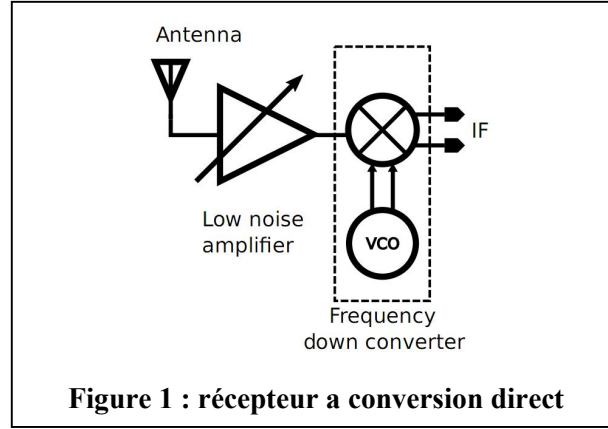


Figure 2 : Organigramme de conception et d'implémentation d'un circuit sous Cadence

1. Figure de bruit

Pour faire les calculs analytique du bruit du LNA suivez d'un convertisseur de fréquences comme il est représenté dans la (figure 1) on doit suivre les étapes suivantes :



On applique la loi (II.3) :
$$F = \frac{SNR_{in}}{SNR_{out}} = \frac{\frac{S_{in}}{N_{in}}}{\frac{S_{out}}{N_{out}}} = \frac{S_{in}}{N_{in}} * \frac{N_{out}}{S_{out}}$$

$$F = \frac{N_{out}}{N_{in} * A_v} \quad (2.1)$$

N_{out} : Le bruit de sortie $\overline{V^2_{n,out}}$

N_{in} : Le bruit d'entrée $N_{in} = 4KTR_s$

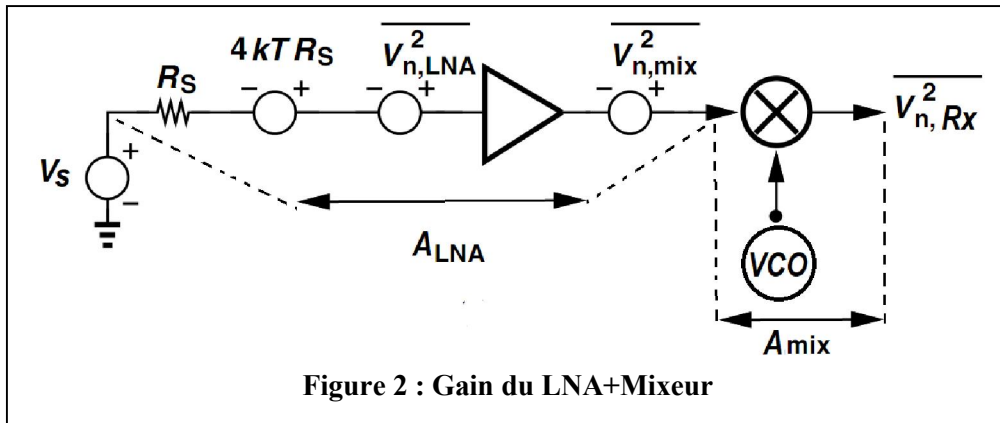
A_v : Le gain du signal

$$F = \frac{\overline{V^2_{n,out}}}{4KTR_s * A_v^2} \quad (2.2)$$

1.1.Facteur de bruit NF :

$$NF = 10 \log_{10} F$$

$$NF = 10 \log \frac{\overline{V^2_{n,out}}}{4KTR_s * A_v^2} \quad (2.3)$$



a) Supposons que le gain du mélangeur $A_{mix} = 1$:

$$\overline{V^2_{n,R_X}} = \overline{V^2_{n,MIX}} + (\overline{V^2_{nLNA}} + 4KTR_s)A^2_{LNA} \quad (2.4)$$

$$F_{RX} = \frac{\overline{V^2_{n,MIX}} + (\overline{V^2_{nLNA}} + 4KTR_s)A^2_{LNA}}{4KTR_s A^2_{LNA}} = \frac{\overline{V^2_{n,MIX}}}{4KTR_s A^2_{LNA}} + F_{LNA} \quad (2.5)$$

b) Supposons que le gain du mélangeur $A_{mix} \neq 1$:

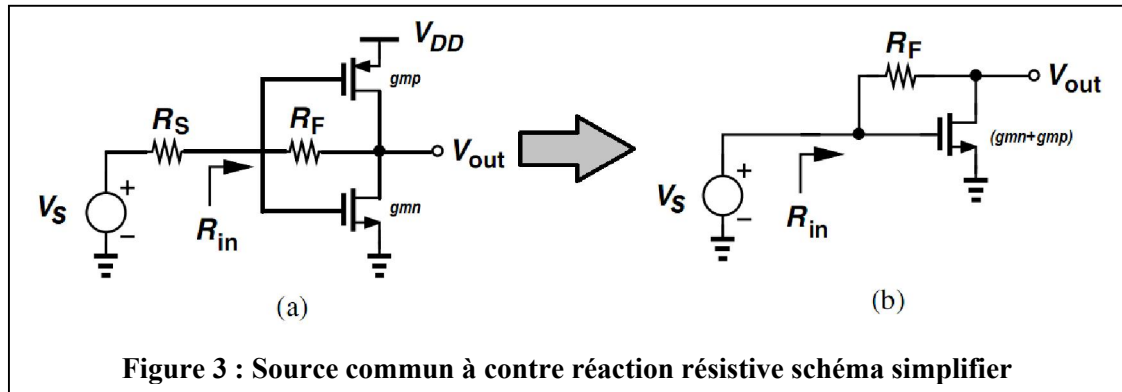
$$\overline{V^2_{n,R_X}} = \overline{V^2_{n,MIX}} A^2_{MIX} + (\overline{V^2_{nLNA}} + 4KTR_s)A^2_{MIX} A^2_{LNA} \quad (2.6)$$

$$F_{RX} = \frac{\overline{V^2_{n,MIX}} A^2_{MIX} + (\overline{V^2_{nLNA}} + 4KTR_s)A^2_{MIX} A^2_{LNA}}{4KTR_s A^2_{LNA} A^2_{MIX}} \quad (2.7)$$

$$F = \frac{\overline{V^2_{n,MIX}}}{4KTR_s A^2_{LNA}} + F_{LNA} \rightarrow F = F_{LNA} + \frac{F_{MIX}}{A^2_{LNA}} \quad (2.8)$$

2. La résistance d'entrée R_{IN}

Pour le calcul analytique de la résistance d'entrée le circuit (a) et simplifier en (b) (figure 3) :



$$i_{IN} = g_m V_{IN} + \frac{V_{out}}{R_L} \quad (2.9)$$

$$V_{out} + R_F i_{IN} = V_{IN} \quad (2.10)$$

$$V_{out} = V_{IN} - R_F i_{IN} \quad (2.11)$$

$$i_{IN} = g_m V_{IN} + \frac{V_{IN}}{R_L} - \frac{R_F}{R_L} i_{IN} \quad (2.12)$$

$$i_{IN} = \left(1 + \frac{R_F}{R_L}\right) = \left(g_m + \frac{1}{R_L}\right) V_{IN} \quad (2.13)$$

$$R_{IN} = \frac{R_F + R_L}{1 + g_m R_L} \quad (2.14)$$

- Condition d'adaptation d'impédance d'entrée: $R_s = \frac{R_F + R_L}{1 + g_m R_L}$

3. Le gain en tension du LNA

La description analytique du circuit est réalisée à partir du schéma petit signaux défini dans la (Figure 4). La topologie de source commune complémentaire (figure III.2) peut être représentée en modèle petits signaux.

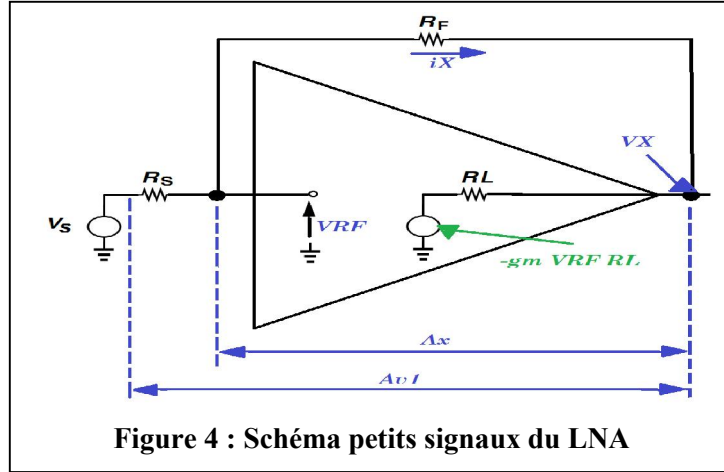


Figure 4 : Schéma petits signaux du LNA

$$V_X = -g_m V_{RF} R_L + R_L R_X \quad (2.15)$$

$$V_X + R_F i_X = V_{RF} \quad (2.16)$$

$$(2.16) \rightarrow i_X = \frac{V_{RF}}{R_F} - \frac{V_X}{R_F}$$

$$(2.15) \rightarrow V_X = -g_m V_{RF} R_L + \frac{R_L}{R_F} V_{RF} - \frac{R_L}{R_F} V_X$$

$$V_X \left(1 + \frac{R_L}{R_F}\right) = -\left(g_m - \frac{1}{R_F}\right) R_L V_{RF} \quad (2.17)$$

$$A_X = \frac{V_X}{V_{RF}} = -\frac{-(g_m - \frac{1}{R_F})}{1 + \frac{R_L}{R_F}} = -\left(g_m - \frac{1}{R_F}\right) R_L // R_F \quad (2.18)$$

$$A_X = -\left(g_m - \frac{1}{R_F}\right) R_L // R_F \quad (2.19)$$

Quand $R_{IN} = R_s$:

$$A_{V1} = \frac{V_X}{V_{RF}} \frac{V_{RF}}{V_s} \quad (2.20)$$

$$V_{RF} = \frac{1}{2} V_s \Rightarrow A_{V1} = A_X \frac{1}{2} \frac{V_s}{V_s} \quad (2.21)$$

$$A_{V1} = -\frac{1}{2} \left(g_m - \frac{1}{R_F} \right) R_F // R_L$$

$$V_X + (R_F + R_S)i_X = V_S \quad (2.22)$$

$$(2.22) \rightarrow i_X = \frac{V_S}{V_S + R_F} - \frac{V_X}{R_F + R_S}$$

$$V_{RF} = V_S - R_S i_X \quad (2.23)$$

$$V_X = -g_m(V_S - R_S i_X)R_L + R_L i_X \quad (2.24)$$

$$V_X = -g_m V_S R_L + \frac{(1+g_m R_S)}{R_S + R_F} V_S R_L - \frac{(1+g_m R_S)R_L V_X}{R_S + R_F} \quad (2.25)$$

$$V_X = -g_m V_S R_L + \frac{(1+g_m R_S)}{R_S + R_F} V_S R_L - \frac{(1+g_m R_S)R_L V_X}{R_S + R_F} \quad (2.26)$$

$$V_X \left(1 + \frac{1+g_m R_S}{R_S + R_F} R_L \right) = \left(\frac{1+g_m R_S}{R_S + R_F} - g_m \right) R_L V_S \quad (2.27)$$

$$R_{V1} = \frac{V_X}{V_S} = \frac{1+g_m R_S - g_m(R_S + R_F)R_L}{R_F + R_S + (1+g_m R_S)R_L} \quad (2.28)$$

$$A_{V1} = \frac{(1+g_m R_F)R_L}{R_F + R_L + (1+g_m R_L)R_S} \quad (2.29)$$

$$A_{V1} = \frac{(1+g_m R_F)R_S}{R_F + R_L + (1+g_m R_L)R_S} \quad (2.30)$$

$$R_S = R_{IN} = \frac{R_F + R_L}{1+g_m R_L} \quad (2.31)$$

$$A_{V1} = \frac{(1+g_m R_F)R_S}{2(R_F + R_L)} = -(g_m R_F - 1) \frac{R_S}{2 + (R_F + R_L)} \quad (2.32)$$

$$A_{V1} = -\frac{1}{2} \left(g_m - \frac{1}{R_F} \right) \frac{R_F R_S}{R_F + R_L} = \frac{A_X}{2} \quad (2.33)$$

Résumé

Les travaux de ce mémoire s'inscrivent dans le cadre du développement des récepteurs sans fil pour le domaine de la télécommunication. Nos travaux de recherches se focalisent sur la conception et l'implémentation des dessins de masque d'un Amplificateur à faible bruit (LNA) qui permet de répondre aux besoins des applications sans fil en terme de faible coût, faible consommation et haut débit.

Nous avons développé un Amplificateur à faible bruit complémentaire à contre réaction résistive Multistandards reconfigurable avec la technologie 130 nm de STMicroelectronics. Cette architecture exploite une large bande de fréquences qui nous permet de utiliser plusieurs standards à la fois dans un seul bloc RF. Nous avons étudié puis simulé avec CADENC IC les paramètres essentiels pour une implémentation physique qui est la dernière étape avant la fabrication.

L'implémentation physique de cet amplificateur consiste à faire l'ensemble des dessins de masques de ce dernier avec moins de contraintes possible et en respectant les règles du fondeur, puis effectuer une simulation post-layout qui nous permet de valider les performances de ce circuit avant de l'envoyer à la fabrication.

Mots-clés :

CMOS, Conception de circuits RF, Réseau de capteurs sans fil, Amplificateur à faible bruit (LNA), dessin de masque (Layout), CADENCE IC, Analogique RF.