

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITÉ MOULOUD MAMMÈRI DE TIZI-OUZOU



FACULTÉ DE GÉNIE ÉLECTRIQUE ET D'INFORMATIQUE

DÉPARTEMENT D'AUTOMATIQUE

Mémoire de fin d'études

En vue de l'obtention du Diplôme de :

Master Académique

Spécialité : Génie Microélectronique

Thème

Vieillessement du transistor MOS de puissance

Présenté par :

Melle. IKHELIF Dalila

Proposé et dirigé par :

Mr. LAKHLEF Ahcene

Promotion 2014-2015

Remerciements

Je tiens à remercier mon encadrant Mr LAKHLEF pour ses conseils, son aide précieuse, son soutien, et sa bienveillance tout au long du travail et de mon cursus.

J'adresse également mes remerciements à tous ceux qui m'ont aidés et m'ont encouragés à élaborer ce travail

Sommaire

Introduction Générale.....	6
Chapitre 1 :	8
1. Introduction.....	4
2. Historique	Error! Bookmark not defined.
3. Description du transistor MOSFET.....	5
4. Principe de fonctionnement d'un transistor MOSFET de puissance	6
4.1. Caractéristiques statiques	7
4.1.1. Régime bloqué ($V_{GS}=0$).....	8
4.1.2. Régime linéaire ($V_G > V_T$).....	8
4.1.3. Régime saturé	9
5. Conduction électrique entre la source et le drain	9
5.1. charges dans le canal	9
5.2. Expression du courant de drain linéaire	11
5.3. Expression du courant de drain sous le seuil.....	13
5.4. Expression du courant de drain en mode saturé	13
6. Les transistors MOSFET verticales.....	14
6.2. Avantages du VMOS	16
6.3. Inconvénients du VMOS	16
7. Conclusion.....	Error! Bookmark not defined.
Chapitre 2 : étude de la fiabilité du transistor MOS.....	18
1. Introduction.....	19
2. l'oxyde de silicium SiO_2	19
2.1. La structure de l'oxyde de silicium	19
2.2. Obtention du SiO_2	20
3. Défauts dans le SiO_2	21
3.1. Les défauts intrinsèques.....	22
3.2. Les défauts extrinsèques	22
3.3. Défauts à l'interface SiO_2/SI (Les états d'interface).....	23
4. Technique d'identification des défauts du SiO_2	24
5. Instabilité en température (Négative/Positive Bias Température Instabilité)	25
5.1. Définition du NBTI/ PBTI.....	25
5.2. Pièges responsable de la dégradation NBTI	26

6. Conclusion	26
Chapitre 3 : Vieillissement du transistor V-MOS à canal N	27
1. Introduction	28
2. Présentation des dispositifs utilisés	28
2.1. TEKTRONIX 730A (Traceur de courbe programmable 730A)	28
2.2. LABVIEW	29
3. étapes de caractérisation	33
3.1. présentation du transistor utilisé	33
3.2. Extraction de $I_{ds}(V_{gs})$ vierge	33
3.3. Techniques de stress	34
3.4. Extraction de la tension de seuil (V_{th})	35
3.5. Extraction de la variation de la tension de seuil ΔV_{th}	36
4. Caractéristiques courant de drain	37
5. conclusion	40
Conclusion Générale	41

Liste des figures

Figure I.1 : Evolution du nombre de transistors dans les microprocesseurs Intel illustrant la loi de Moore	5
Figure I.2 : schéma d'un transistor MOSFET de type n [2].....	6
Figure I.3 : Symbole d'un MOSFET de puissance. [3].....	7
Figure I.4: Caractéristiques de sortie I-V d'un transistor MOSFET de puissance. La courbe pointillée correspond à la tension $V_{d_{sat}}$ pour $V_d > V_{d_{sat}}$ le courant reste constant à $I_{d_{sat}}$	7
Figure I.5 : représentation du fonctionnement du MOSFET en régime linéaire.....	8
Figure I.6 : représentation de fonctionnement du MOSFET en régime saturé	9
Figure I.7 : schématique d'un MOSFET vertical [6]	14
Figure I.8 : coupe schématique d'un transistor VMOS de puissance. [7].....	15
Figure II.1 : silice cristalline(a) et silice amorphe (b) [10]	19
Figure II.2 : Tétraèdre de base de SiO_2 (a) et l'angle des liaisons Si-O-Si (b) [12]	20
Figure II.3 : Oxydation du silicium pour la croissance du SiO_2 [13].....	21
Figure II. 4 : Représentation schématique de quelques défauts du système Si- SiO_2 . [14]	22
Figure II.5 : Liaisons chimiques de l'interface Si- SiO_2 [16]	24
(a) surface Si libre, (b) interface parfaite, (c) liaison $Si_3 \equiv Si$ - pendante,.....	24
(d) liaison Si-Si faible, (e) liaison Si-O faible, (f) impureté à l'interface	24
Figure II. 6 : défauts à l'interface SiO_2 : le centre P_b	25
Figure III.1 : illustration des appareils constituant un banc de test.....	28
Figure III. 2 : Tiktronix 730A	29
Figure III.3 : fenêtre principale du LABVIEW	30
Figure III.4 : une face avant (front panel)	31
Figure III.5 : Diagramme de l'instrument virtuel (VI) principal de 370A.....	32
Figure III.6 : Caractéristiques vierge $I_{DS}(V_{GS})$	34
Figure III.7 : figure illustratif de la technique de stress	34
Figure III.8 : extraction de tension de seuil V_{Th0}	35
Figure III.9 : illustration de variation de la <i>v_{th}</i>	36
Figure III.10 : caractéristique I_D-V_D	37
Figure III.10 :Variation du courant drain source I_{DS} en fonction de la tension grille source V_{GS} pour différentes durées non cumulé d'un CVS négatif et pour $V_{ds}=500mv$	38
Figure III.11 : Illustration des centres P_b	38
Figure III.12 : évolution du ΔI_d en fonction du temps	39
Figure III.13 : évolution de la mobilité en fonction de la concentration des porteurs	39

Introduction Générale

L'évolution de l'électronique durant ces dernières années a permis de modifier réellement notre façon d'appréhender les produits de haute technologie. En effet, les équipements dont le fonctionnement repose sur les produits dérivés de la microélectronique ont envahi notre quotidien. L'acteur fondamental de cette course à la recherche de performances associée à la miniaturisation des objets est sans conteste le transistor MOS (Métal Oxyde Semiconductor). Ce dernier est à la base de la conception des circuits intégrés, et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances des nouvelles générations de transistors MOS.

La miniaturisation de ce dernier s'accompagne indéniablement d'effets indésirables appelés effets canaux courts (SCE) qui viennent s'ajouter à la difficulté de la réalisation de ces dispositifs de petites dimensions ce qui a poussé à l'apparition des nouveaux procédés de fabrication notamment la photolithographie a donné naissance à de nouvelles architectures pour les transistors MOSFETs avec une orientation verticale du canal. Ce procédé a permis entre autre, un meilleur contrôle des effets canaux courts.

La performance et la fiabilité sont deux notions antagonistes mais indissociables. C'est la performance, qui depuis le début de l'électronique (devenue micro puis nano-électronique), a été le moteur du développement. En parallèle la fiabilité, parce que nécessaire à la production de masse, tempère ces évolutions

Les travaux de ce mémoire consistent à étudier la fiabilité des transistors MOSFETs de puissance utilisant les méthodes de vieillissements par contraintes électrique. La mise en œuvre de ce travail nécessite de mettre en pratiques les notions de caractérisation ainsi que la maîtrise du banc de mesure par un développement adéquat. Les étapes de caractérisation permettent d'étudier la fiabilité des transistors MOSFETs (réponse induite par la dégradation des états d'interface). On a organisé l'ensemble des travaux en trois chapitres.

Le premier chapitre est consacré à présenter l'état de l'art des transistors MOS (fonctionnement des différentes structures) et leurs évolutions selon les performances (miniaturisation, consommation d'énergie, ...). L'étude de la structure SiO_2 et ces défauts communément responsables de la dégradation des structures MOS sont présentés dans le deuxième chapitre

Le troisième chapitre est consacré à la partie pratique, notamment la description détaillée du matériel et des logiciels utilisés. Ainsi que la caractérisation des MOSFETs par la mesure du courant de drain et l'extraction des paramètres électriques qui ont répondu aux contraintes électriques appliquées. Et enfin nous présentant les résultats obtenus.

Nous terminons par une conclusion générale, en exposant les perspectives pour la poursuite des expériences, afin de déterminer la durée de vie des MOSFETs de puissance selon les contraintes du fonctionnement.

Chapitre 1 :

Transistor MOS

1. Introduction

Le transistor est un composant fondamental en électronique. En effet, il existe plusieurs classes de transistors tels que les transistors bipolaires et les transistors à effet de champ. Dans ce chapitre on s'intéresse au transistor à effet de champ du type MOSFET en étudiant son principe de fonctionnement, sa structure et nous mettons en œuvre les différentes équations de fonctionnement. D'autre part, une partie du chapitre est consacré pour étudier les limites de la miniaturisation de ce dernier et pour finir on a fait une brève présentation des transistors MOSFET de puissances plus précisément les architectures Verticales en détaillant ultérieurement leur principe de fonctionnement.

2. Historique

Le MOSFET a été conçu de façon théorique en 1920 par Julius Edgar Lilienfeld. Il l'introduit comme étant un composant qui sert à contrôler le courant. Cependant, les techniques de fabrication du MOSFET n'étaient pas disponible jusqu'à 1950, et M.M Atalla et Dawon Khang des laboratoires Bell construisirent le premier MOSFET en 1960 qui fera son apparition dans les circuits intégrés en 1963. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée.

En réduisant au fil des générations la taille des transistors MOS, les circuits intégrés deviennent de plus e plus performants et leurs dimensions sont réduite. Par conséquent. Le moteur de l'évolution de la microélectronique a principalement consisté en la réduction des dimensions des transistors. En 1973, Gordon MOORE a constaté que la densité des transistors sur une surface donnée pouvait être doublée tous les 2ans.

L'augmentation de la densité d'intégration n'est pas le seul but visé en diminuant la taille des transistors MOS. En effet l'augmentation de la vitesse de commutation des dispositifs est l'un des enjeux principaux de la course furieuse actuelle à la miniaturisation des MOSFETs figure

1 [1]

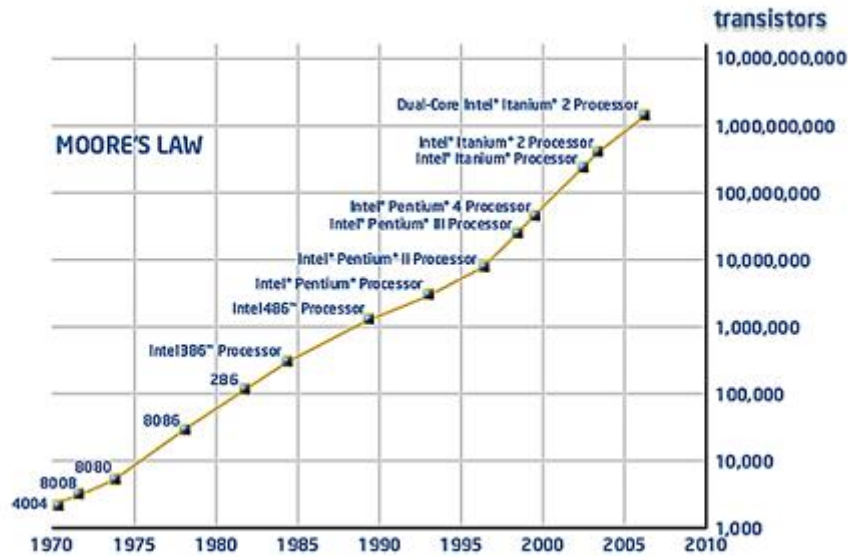


Figure 1.1 : Evolution du nombre de transistors dans les microprocesseurs Intel illustrant la loi de Moore

3. Description du transistor MOSFET

Le transistor MOS peut être décrit comme une résistance commandée en tension, l'architecture MOSFET est présentée dans la figure 2

Une tension appliquée au niveau de la grille contrôle le flux de courant entre la source et le drain, le substrat est généralement mis à la masse. Les régions de la source et du drain sont fortement dopées et de types opposés par rapport au substrat. Pour un MOSFET de type n, les jonctions source-drain sont dopées de type n et le substrat de type p. L'électrode de grille est généralement en poly silicium ou bien en d'autres métaux tel TiN, séparée du substrat silicium (Si) par une fine couche d'isolant appelée oxyde de grille.

Idéalement, le transistor MOS fonctionne comme un interrupteur. Effectivement, son fonctionnement se base sur la modulation du transport d'une densité de charges dans un film semi-conducteur, appelé canal de conduction, par le biais d'un champ électrique transversal. La création des porteurs de charges (électrons pour NMOS et trous pour PMOS) par effet de champ est commandée par la tension appliquée sur l'électrode de la grille à travers une couche isolante. Le transport dans le canal dépend aussi de la différence de potentiel entre le drain et la source donne le courant de drain (I_d).

Le transistor assure donc la transition d'un état bloqué ($V_G=0$) pour lequel le courant de drain est équivalent au courant de fuite I_{off} , à un état passant permettant le passage au courant I_{on} , ce

passage devient effectif lorsque le nombre de porteurs dans le canal devient suffisant, c'est-à-dire quand la tension de polarisation de la grille devient supérieure à la tension de seuil V_{Th} .

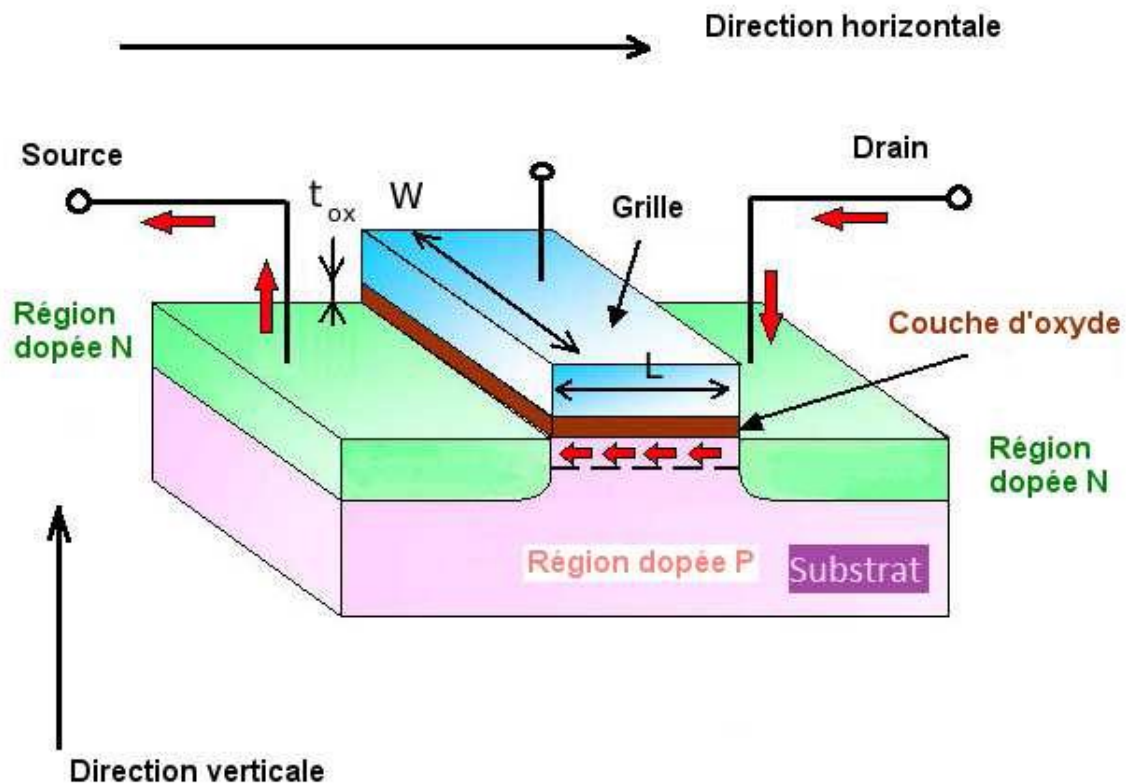


Figure I.2 : schéma d'un transistor MOSFET de type n [2]

4. Principe de fonctionnement d'un transistor MOSFET de puissance

Les transistors de puissance MOS à effet de champ mettent en jeu les mêmes principes physiques que les composants MOS. La structure est différente, pour répondre aux exigences de capacité en courant et la tenue en tension propres aux applications de puissance. La figure 3 représente un le symbole d'un transistor de puissance.

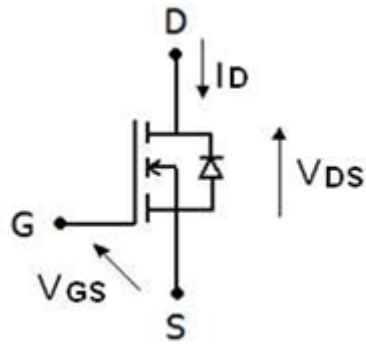


Figure I.3 : Symbole d'un MOSFET de puissance. [3]

4.1 Caractéristiques statiques

Ces caractéristiques donnent l'évolution du courant de drain I_{DS} avec la tension drain-source V_{DS} pour différentes tensions grille-source V_{gs} .

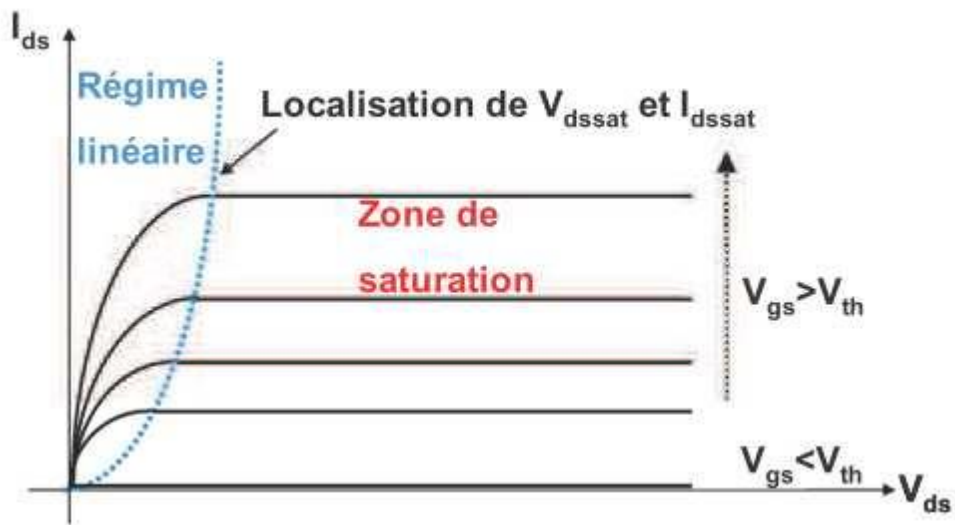


Figure I.4: Caractéristiques de sortie I-V d'un transistor MOSFET de puissance. La courbe pointillée correspond à la tension $V_{d_{sat}}$ pour $V_d > V_{d_{sat}}$ le courant reste constant à $I_{d_{sat}}$.

On a trois régimes de fonctionnement prédominant dans un transistor MOSFET

4.1.1 Régime bloqué ($V_{GS}=0$)

Ce régime représente l'état du composant en absence de polarisation de grille ($V_{GS}=0$) ou pour ($V_{GS}<V_{TH}$). Ainsi la zone sous l'oxyde est désertée des porteurs libres et le courant de drain I_{DS} est pratiquement nul (courant de fuite I_{off}).

Pour des valeurs de V_{DS} importante la caractéristique devient pratiquement verticale. Le courant I_D croît rapidement avec la tension.

4.1.2 Régime linéaire ($V_G>V_T$)

L'application d'une tension sur l'électrode de grille, supérieure à la tension de seuil V_{Th} , produit d'une couche d'inversion de type n entre la source et le drain alors le transistor devient «passant» ($V_G>V_T$), un courant de drain I_D circule dans le canal de conduction et augmente avec la polarisation de drain ($V_D<V_{dsat}$ tension de saturation). Le transistor MOS est équivalent à une résistance contrôlée linéairement par la grille. L'expression de ce courant de drain peut se mettre sous la forme

$$I_D = \beta \left(V_G - V_T - \frac{V_D}{2} \right) V_D \quad (1)$$

β : Facteur de gain du transistor MOS = $(W\mu C_{ox}/L)$ [$\mu A/v^2$].

W : la largeur du canal du transistor [μm]

L : longueur du canal [μm]

μ : mobilité du porteur [$cm^2/v.s$]

C_{ox} : capacité de l'oxyde par unité de surface [nF/cm^2].

Et la transconductance est donnée par :

$$G_{mlin} = \beta V_{DS}$$

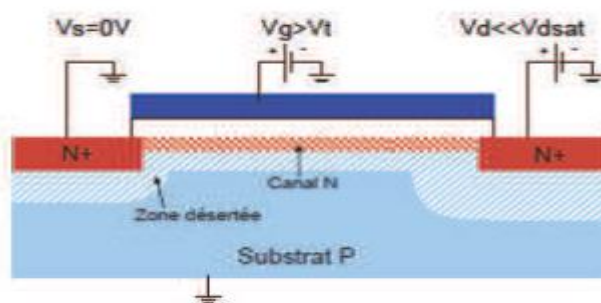


Figure I.5 : représentation du fonctionnement du MOSFET en régime linéaire.

4.1.3 Régime saturé

Ce régime est le régime de fonctionnement du MOSFET lorsque la tension de drain augmente et atteint une certaine valeur de V_D appelée tension de saturation V_{Dsat} (définie telle que $V_{Dsat}=V_G-V_T$), le canal est dit « pincé » et le transistor MOS fonctionne en régime non-linéaire. Lorsque $V_D > V_{Dsat}$, la couche d'inversion disparaît au voisinage du drain (la zone de pincement se déplace vers la source) et le courant I_D sature. L'expression du courant de drain en régime de saturation s'écrit selon :

$$I_D = \frac{\beta}{2} (V_G - V_T)^2 \quad (2)$$

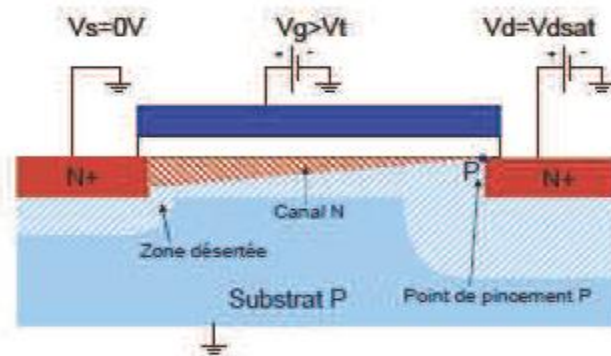


Figure I.6 : représentation de fonctionnement du MOSFET en régime saturé

5. Conduction électrique entre la source et le drain

5.1 charges dans le canal

La charge Q_{inv} est la charge dite d'inversion. Elle participe dans la conduction et donne lieu au courant I_{DS} entre la source et le drain. Elle est égale à la différence entre la charge totale dans le semi-conducteur Q_{Sc} et la charge maximale de déplétion Q_{Depmax} liée à l'extension de la ZCE (zone de charge d'espace).

$$Q_{inv} = Q_{Sc} + Q_{Depmax} \quad (9)$$

Nous allons déterminer dans les deux parties suivantes, les expressions de Q_{Sc} et celle de Q_{Depmax} dans le cas particulier de l'inversion forte.

⇒ Détermination de la charge dans le semi-conducteur Q_{Sc} en fort inversion

La neutralité de la charge totale est exprimée par :

$$Q_G + Q_{Def} + Q_{Sc} = 0 \quad (10)$$

Nous notons Q_G la charge dans la grille, Q_{Def} la charge dans l'isolant rapportées à l'interface Si/SiO₂ comprenant l'ensemble des charges générées par les défauts d'interface, les charges fixes ainsi que toutes autres charges induites par des défauts dans l'oxyde.

La continuité des potentiels électriques dans la structure MOS peut être exprimée de la façon suivante :

$$V_{GS} = V_{OX} + \Psi_S + \Phi_{MS} \quad (11)$$

Avec la chute de potentiel à travers l'oxyde V_{OX} . L'intégration des charges (Gauss) dans le dispositif MOS permet d'obtenir la relation qui relie V_{OX} à la charge dans le semi-conducteur:

$$V_{OX} = + \frac{Q_G}{C_{OX}} = - \frac{Q_{Sc} + Q_{Def}}{C_{OX}} \quad (12)$$

Avec C_{OX} la capacité surfacique (F/cm²) du diélectrique

$$C_{OX} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (13)$$

ϵ_0 et ϵ_{ox} sont respectivement la permittivité du vide et du diélectrique.

$q\Phi_{MS} = q(\Phi_M - \Phi_S)$ représente la différence des travaux de sortie de métal et de semi-conducteur. Elle dépend de type de la grille et de dopage du substrat (N_A).

$$\Phi_M - \Phi_S = \Phi_M - X - \frac{E_G}{2q} - V_T \ln\left(\frac{N_A}{n_i}\right) \quad (14)$$

Et $X = \frac{E_{vide} - E_c}{q}$: l'affinité électronique du silicium.

En régime d'inversion forte, $\Psi_S = 2\Phi_F$.

En substituant l'équation (17) dans l'équation (16), on obtient :

$$Q_{Sc} = - C_{OX} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{OX}} - 2\Phi_F \right) \quad (15)$$

⇒ **Détermination de la charge de déplétion $Q_{Dep\ max}$ en forte inversion**

La densité de charge dans la zone de déplétion étant relative au dopage initial N_A , l'intégration de l'équation de Poisson donne le champ électrique à travers la zone considérée.

$$E(y) = -q \frac{N_A}{\epsilon_0 \epsilon_{si}} (y - y_d) \quad (16)$$

L'intégration du champ électrique donne la relation entre la chute de potentiel et y_d .

$$\Psi(y) = \frac{qN_A}{2\varepsilon_0\varepsilon_{si}}(y - y_d)^2 \quad (17)$$

En surface ($y=0$) et en régime de forte inversion, l'expression de l'épaisseur maximale de la zone de déplétion y_{Depmax} devient:

$$y_{Depmax} = \sqrt{\frac{2\varepsilon_0\varepsilon_{si}}{qN_A}(2\Phi_F)} \quad (18)$$

Il en résulte la charge de la zone de déplétion maximale Q_{Depmax} :

$$Q_{Depmax} = -qN_A y_{Depmax} = -\sqrt{2qN_A\varepsilon_0\varepsilon_{si}(2\Phi_F)} \quad (19)$$

Et donc en définissant le body-factor $\gamma_N = \frac{\sqrt{2qN_A\varepsilon_0\varepsilon_{si}}}{C_{ox}}$

$$Q_{Depmax} = -\gamma_N C_{ox} \sqrt{2\Phi_F} \quad (20)$$

⇒ **Expression de la charge d'inversion**

La charge Q_{inv} définie par l'équation (14) devient:

$$Q_{inv} = -C_{ox} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{ox}} - 2\Phi_F \right) + Q_{Depmax} \quad (21)$$

La tension de seuil V_T correspond au potentiel électrique à appliquer sur la grille pour pouvoir créer le canal d'inversion :

$$V_T = 2\Phi_F - \frac{Q_{Depmax} + Q_{Def}}{C_{ox}} + \Phi_{MS} \quad (22)$$

5.2 Expression du courant de drain linéaire

Le courant de drain est proportionnel à la charge mobile (Q_{inv}) dans le canal et à l'inverse du temps de transit τ des électrons pour traverser le canal de la source au drain. La tension de grille doit d'abord atteindre une tension de seuil V_T pour créer le canal d'inversion. Le temps de transit est le quotient entre la longueur du canal L et la vitesse de l'électron, soit le quotient entre la mobilité μ_0 et le champ électrique à travers le canal (V_{DS}/L).

$$I_{DS} = \frac{Q_{inv}}{\tau} = \frac{C_{ox}WL(V_{GS} - V_T)}{\frac{L}{\mu_0 \frac{V_{DS}}{L}}} = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} = \beta_0 (V_{GS} - V_T) V_{DS} \quad (23)$$

Avec V_{DS} la différence de potentiel entre la source et le drain et $\beta_0 = \mu_0 C_{ox} \frac{W}{L}$ le facteur géométrique.

Une modélisation plus fine permet de prendre en compte la réduction de mobilité pour les porteurs de canal quand leur densité augmente en surface avec la tension de grille :

1. la réduction de la mobilité par le champ électrique vertical en introduisant le paramètre θ . Le potentiel de grille attire naturellement les électrons vers l'interface Si/SiO₂, et les collisions diminuent la mobilité des électrons. Une première approche simplifiée permet d'obtenir :

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (24)$$

Où μ_s est la mobilité effective prenant en compte la réduction de mobilité induit par le champ électrique latéral et μ_0 est la mobilité de l'électron soumis à aucun champ électrique dans le semi-conducteur.

À noter qu'une relation relie le paramètre θ au paramètre μ_0 par l'intermédiaire de la résistance d'accès R_{DS} :

$$\theta = \theta_0 + \frac{W}{L} \mu_0 C_{ox} R_{DS} \quad (25)$$

Le facteur θ dépend donc de θ_0 attribué aux collisions avec les phonons et de la résistance d'accès R_{DS} .

2. La saturation de la vitesse de dérive V_{max} des porteurs : les électrons atteignent la vitesse maximale dans le canal en présence d'un champ électrique latéral avec V_{DS} :

$$\mu_{EFF} = \frac{\mu_s}{1 + \frac{\mu_s V_{DS}}{V_{max} L_{EFF}}} \quad (26)$$

3. La tension électrique V_{DS} peut localement de côté du drain, modifier la valeur V_T et ainsi augmenter le courant. Cette diminution de V_T par la tension de drain est appelée l'effet DIBL (Drain Induced Barrier Lowering)

$$V_T = V_{T0} - \sigma V_{DS} \quad (27)$$

Lorsqu'une tension V_{DS} est appliquée, le potentiel du silicium du canal varie tout le long du canal. Il en résulte une variation de la valeur de V_T le long du canal. L'effet de V_{DS} sur V_T est pris en compte par le paramètre α_N relatif au body factor γ_N :

$$\alpha_N = 1 + \frac{\gamma_N}{2\sqrt{2\Phi_F - V_{BS}}} \quad (28)$$

L'équation du courant I_{DS} devient :

$$I_{DS} = \mu_{EFF} C_{ox} \frac{W}{L} \left(V_{GS} - V_T - \frac{\alpha_N}{2} V_{DS} \right) V_{DS} \quad (29)$$

Cette dernière équation est appelée modèle SPICE (Simulation Program with Integrated Circuit Emphasis) [4].

5.3 Expression du courant de drain sous le seuil

Le courant sous le seuil est un courant qui circule entre le drain et la source du transistor correspondant au régime d'inversion faible, c'est-à-dire lorsque $V_G < V_T$. Ce courant a pour origine la diffusion des porteurs et sa formulation pour les transistors à canaux longs (pour éviter les effets DIBL (Drain Induced Barrier Lowering)) peut être exprimée par l'équation suivante :

$$I_{DS} = \mu_0 C_{ox} \frac{W}{L} \Phi_t^2 \exp\left(\frac{V_{GS} - V_g}{n \Phi_t}\right) \left(1 - \exp\left(-\frac{V_{DS}}{\Phi_t}\right)\right) \quad (30)$$

Où $\Phi_t = \frac{KT}{q}$ et $n = 1 + \frac{C_{Dep}}{C_{ox}}$ avec C_{Dep} est la capacité de la couche de déplétion.

Pour caractériser ce régime, il est usuel de parler de l'inverse de la pente sous le seuil (mV/décade):

$$S = \frac{\partial V_{GS}}{\partial \ln(I_{DS})} \quad (31)$$

Plus le facteur S est petit, plus le passage de l'état sous le seuil (transistor bloqué) à l'état inversé (transistor passant) est rapide.

5.4 Expression du courant de drain en mode saturé

Le courant saturé est le cas particulier où $V_{DS} > V_{GS} - V_T$. La condition d'inversion n'est plus respectée près du drain et le canal se pince. Une zone de forte résistivité se forme et absorbe tout accroissement de V_{DS} près du drain. L'équation du courant devient :

$$I_{DS} = \mu_{EFF} C_{ox} \frac{W}{2L} (V_{gs} - V_{th})^2 \quad (32)$$

Cette modélisation du courant de drain en régime saturé est issue du modèle de Sha [5].

6. Les transistors MOSFET verticales

Les performances de la structure MOSFET verticale sur les parois latérales des tranchées ou des piliers de Si ont été reconnues pour au moins un quart de siècle, elles sont beaucoup plus élevées que celles des transistors à structure planaire. Parmi ces avantages on compte ; une très grande densité d'intégration par unité de surface de Si, l'empilage de transistors et des condensateurs de stockage, et le contrôle de la dimension de la grille ou longueur du canal sans la lithographie.

Cette structure MOSFET est appelée verticale, elle est caractérisée par le déplacement Vertical des porteurs de charges à travers la zone de déplétion entre la source et le drain, Ces derniers sont réalisés de manière qu'ils soient superposés, décalés et séparés par une couche de semi-conducteur de type différent qui sert à un substrat afin d'obtenir un canal vertical de longueur partielle de l'épaisseur du substrat.

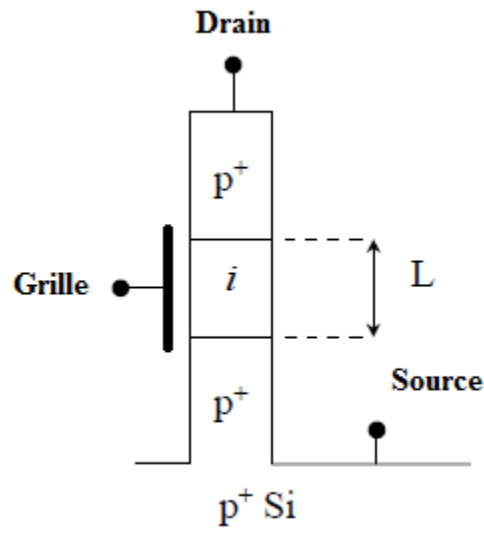


Figure I.7 : schématique d'un MOSFET vertical [6]

Il y a plusieurs structures verticales mais dans ce petit chapitre est consacré à l'étude du la

structure VMOS car c'est notre sujet d'étude dans les chapitres qui viennent.

6.1 Présentation de la structure VMOS

Les transistors à effet de champ VMOS (Vertical Métal- Oxide-Semiconductor) combinent les avantages du transistor bipolaire de puissance avec ceux du MOSFET. Le résultat est un transistor à forte puissance, haute tension et grand gain, sans temps de stockage des porteurs majoritaires, sans emballement thermique et sans second claquage, tout paramètre contribuant à une montée spectaculaire de la popularité du VMOS [6].

Développés depuis les années 70 [9] les transistors VMOS étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans $\langle 111 \rangle$, une couche N- épitaxiée sur un substrat N+. La zone active est formée le long d'un sillon qui fait un angle de 45° avec la surface. [7]

Il est constitué :

- D'une embase métallique sur laquelle est posée la pastille de silicium constitue le contact de drain D.
- Une zone en contact avec l'embase est une zone du type N⁺ appelée substrat. La partie N⁻ faiblement dopée sert à assurer la tenue en tension à l'état bloqué. La partie N⁺ évite que l'épaisseur totale ne soit excessive.
- A la surface du substrat ont été diffusés des îlots de type P et dans ces îlots ont été diffusés des îlots de type N⁺.
- Une première couche d'oxyde isole la métallisation de grille G de la surface de la pastille entre les îlots N⁺ et le substrat.
- Une deuxième couche d'oxyde isole la métallisation de grille de la métallisation de source S qui relie entre elles les diverses cellules élémentaires dans la puce.

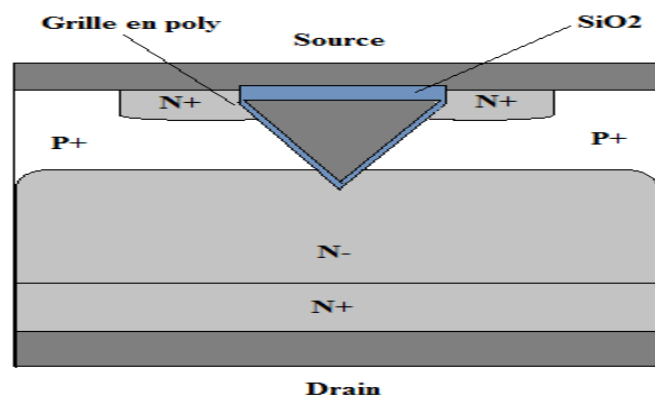


Figure 1.8 : coupe schématique d'un transistor VMOS de puissance. [7]

Par rapport au transistor MOS plan « classique », le progrès essentiel consiste en l'utilisation du volume du semi-conducteur pour former l'électrode de drain (plan inférieur du substrat). Cette disposition permet une plus grande densité d'intégration puisque seulement deux électrodes -les électrodes de grille et de source- sont localisées sur la face supérieure de la puce.

6.2 Avantages du VMOS

Les VMOS ont beaucoup d'avantages

- Une haute impédance d'entrée, une faible commande en courant (typiquement moins de 100 nA). Le "p" d'un VMOS (le courant de sortie divisé par le courant d'entrée) est donc supérieur à 10^6 . Il s'ensuit que le VMOS s'interfacera facilement avec des circuits de commande d'impédance relativement grande.
- Pas de stockage de porteurs minoritaires. Le VMOS est un dispositif à porteurs majoritaire. Les porteurs de charge sont contrôlés par des champs électriques plutôt que par l'injection physique et l'extraction. (Ou recombinaison de porteurs minoritaires dans la région active). Le temps de retard de commutation est petit, quelques nanosecondes ; il est dû essentiellement aux éléments extérieurs parasites.
- Pas de second claquage et pas de courant gaspillé. Comme le coefficient de température de la tension V_{DS} est positif, le VMOS conduit moins de courant quand le dispositif s'échauffe. Si la densité de courant en un point particulier du canal venait à augmenter la température s'élèverait et le courant décroîtrait. De cette façon, le courant se répartit automatiquement dans tout le chip et entre les dispositifs.

6.3 Inconvénients du VMOS

Le transistor VMOS présente cependant quelques inconvénients qui ont conduit à la régression voire à l'abandon, au début des années 80, de cette filière pour la production industrielle. En effet, la difficulté de contrôle du processus d'attaque chimique rend délicate la fabrication technologique de ces composants. D'autre part, des problèmes d'instabilité peuvent apparaître dus à une contamination de l'oxyde par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons. Enfin, la « pointe » du

sillon en V est le siège de forts champs électriques qui affectent la fiabilité et la tension de claquage des composants.

7. Conclusion

Dans ce premier chapitre nous avons tout d'abord étudié et présenté le transistor MOSFET en abordant sa structure, son principe de fonctionnement et ses différents régimes de conduction, puis nous nous avons donné une petite aperçue sur les structures MOSFET verticales plus précisément la structure VMOS le sujet d'étude de ce mémoire.

Chapitre 2 : étude de la fiabilité du transistor MOS

1. Introduction

Dans la course à la miniaturisation, le transistor MOS conventionnel se heurte à des limites physiques fondamentales. Les fondeurs doivent respecter des lois d'échelle afin de conserver les mêmes champs électriques internes et assurer le bon fonctionnement du composant. Ce modèle n'est pas systématiquement respecté et donne naissance à des effets nuisibles comme l'effet tunnel, la dégradation de la mobilité et d'autres défauts de fabrication. Et pour cela le SiO_2 doit être d'une meilleure qualité avec un nombre minimale de défauts.

L'oxyde de silicium (SiO_2) est reconnu comme l'élément de base de la technologie CMOS, les fibres optiques, les cellules solaires et d'autres applications industrielles. D'où l'importance majeure du SiO_2 dans la technologie. Afin de garantir la fiabilité des composants électroniques

Dans ce chapitre, une étude du SiO_2 passant par sa structure, ses défauts ainsi sa dégradation par NBTI et PBTI sera présentée. Nous terminerons ce chapitre par la présentation de l'effet de la dégradation de l'oxyde et de son interface

2. l'oxyde du silicium SiO_2

2.1 La structure de l'oxyde de silicium

L'oxyde (SiO_2) est le composant principal de la majorité des roches connues et constitue 59% de la masse de la croûte terrestre, il est un matériau très important dans l'industrie électronique ou il est considéré comme meilleur diélectrique de grille pour la structure MOS. On peut le trouver sous trois formes allotropiques (même composition chimique, mais arrangement atomiques différents) : cristalline (ordre cristallographique a longue distance), vitreuse (ordre a courte distance) et amorphe (absence d'ordre) [9]. La structure obtenue par oxydation thermique est la silice vitreuse. Elle est amorphe dans le cas d'un mauvais contrôle de la croissance de l'oxyde. La figure (1) montre la structure cristalline et amorphe de la silice.

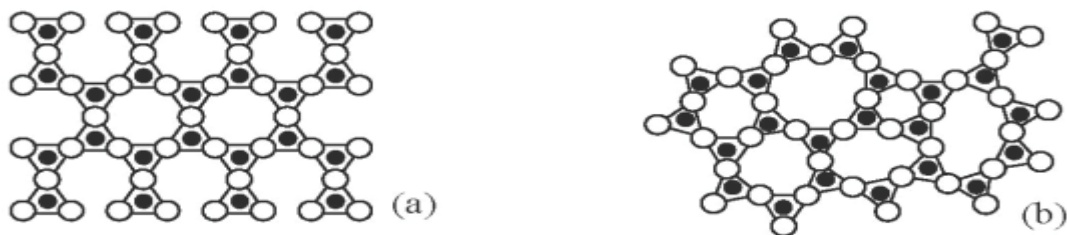


Figure II.1 : silice cristalline(a) et silice amorphe (b) [10]

La structure de SiO_2 est de la forme cristalline. La silice cristalline existe en plusieurs variétés et possède un réseau qui préserve un ordre à longue distance.

La structure de base de la silice est composée d'un atome de silicium entouré de quatre atomes d'oxygène constituant des sommets d'un tétraèdre SiO_4 (figure 3). Ce dernier est caractérisé par la distance atomique Si-O de (1.6 à 1.63 Å) et par la valeur de l'angle θ entre les liaisons O-Si-O (θ varie de 110° à 180°) [11] [12].

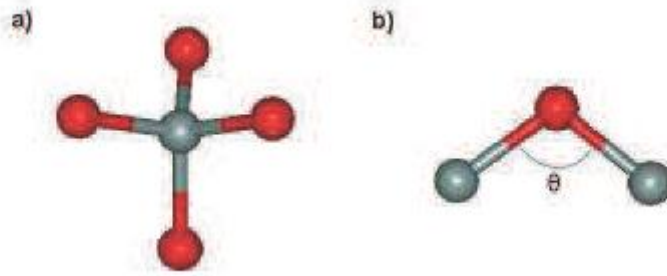


Figure II.2 : Tétraèdre de base de SiO_2 (a) et l'angle des liaisons Si-O-Si (b) [12]

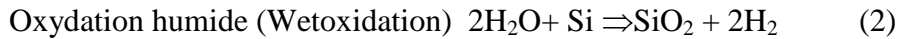
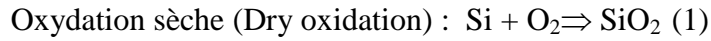
2.2 Obtention du SiO_2

Dans le procédé de la fabrication les couches d'oxyde sont des éléments essentiels car elles constituent les couches d'isolation, les oxydes de grille des transistors ou encore des couches de masquage pour les gravures ou l'implantation ionique. La principale raison qui a conduit au choix du silicium comme substrat de base de la microélectronique est la facilité de faire croître un oxyde stable SiO_2 à sa surface.

L'oxydation de ce dernier s'effectue de plusieurs manières telles que l'oxydation anodique électrolytique (température ambiante), l'oxydation assistée par plasma (200°C - 800°C) et l'oxydation thermique.

L'oxyde a été obtenu par l'oxydation thermique du silicium. C'est la technique la plus couramment utilisée depuis les années 50, car c'est elle qui donne les oxydes de meilleure qualité, même si d'autres procédés tels que le dépôt chimique en phase vapeur (CVD) permettent aujourd'hui d'obtenir des oxydes de qualités équivalentes

L'oxydation thermique du silicium peut se faire sous flux d'oxygène pur (oxydation sèche) ou oxydation chargée de vapeur d'eau (oxydation humide) à des températures généralement comprise entre 900°C et 1200°C . Les réactions chimiques qui ont lieu dans les deux cas sont respectivement décrites par les équations suivantes [10]



L'oxydation humide est plus rapide que l'oxydation sèche, mais produit un oxyde de qualité moins bon celui obtenu par l'oxydation thermique. Aussi, l'oxydation humide est réservée à la fabrication des couches épaisses d'oxyde de protection [12]. L'oxydation sèche est utilisée pour la fabrication des couches minces d'oxyde de grille, dont la qualité (notamment pour l'interface Si/SiO₂) est déterminante pour le fonctionnement des circuits.

La croissance de l'oxyde et sa qualité dépendent de la qualité du substrat de silicium et en particulier de sa surface, à partir de laquelle il doit croître. Une surface rugueuse donnera un oxyde de mauvaise qualité. C'est pour cela que des procédés de nettoyage sont mis en œuvre avant l'oxydation afin d'assurer une surface propre et lisse.

La figure (II.3) montre l'oxydation du silicium pour la croissance du SiO₂ et il faut aussi noter que durant l'oxydation, il y a consommation de Si, et déplacement de l'interface Si-SiO₂

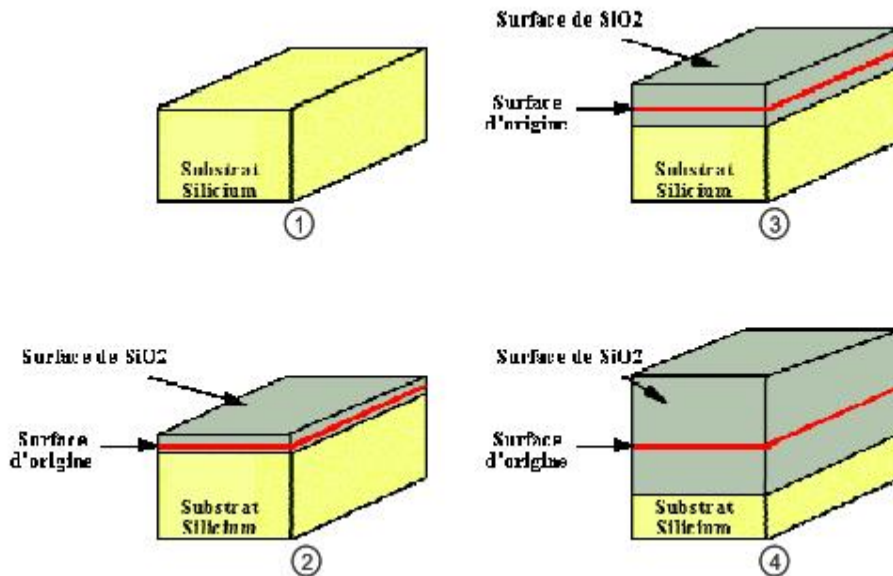


Figure II.3 : Oxydation du silicium pour la croissance du SiO₂ [13]

3. Défauts dans le SiO₂

Les défauts résultent des conditions de croissance de l'oxyde, mais aussi des traitements que subit le transistor, antérieurs (qualité de la surface sur laquelle l'oxyde va croître) et

postérieurs (implantations, diffusion, traitements thermiques, contraintes mécaniques...) à la croissance de l'oxyde.

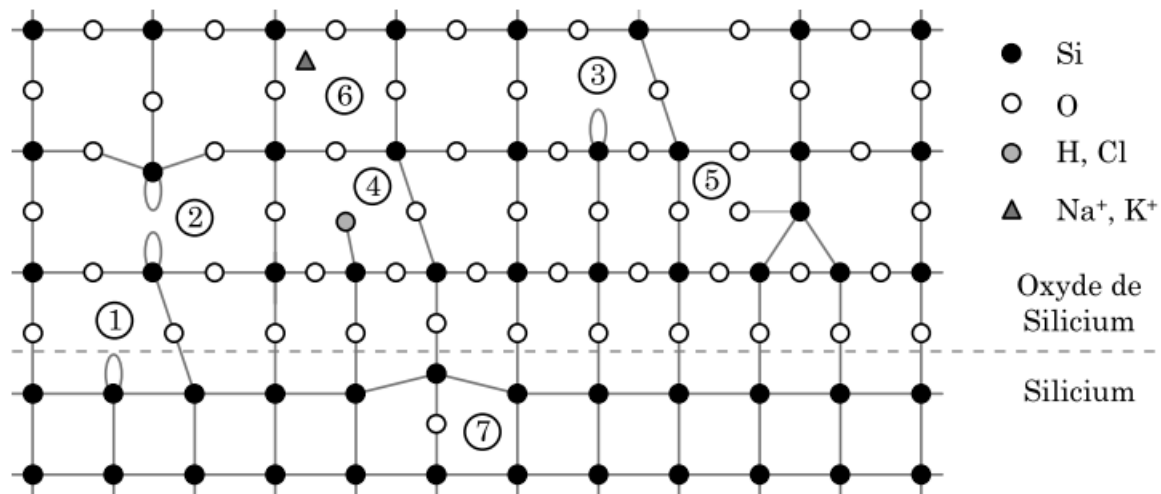


Figure II. 4 : Représentation schématique de quelques défauts du système Si-SiO₂. [14]

3.1 Les défauts intrinsèques

Les défauts intrinsèques sont liés à l'arrangement des atomes de silicium et d'oxygène entre eux. Si la structure est telle que localement les distances et les angles entre les atomes varient, mais pas suffisamment pour qu'il y ait rupture de liaison entre atomes, alors on parle de micro hétérogénéités (réseau continu mais orienté de façon aléatoire). Sinon, peuvent apparaître des défauts ponctuels (imperfections qui perturbent la périodicité du réseau sur un ou deux sites atomiques), qui combinés entre eux, conduisent à la formation de défauts complexes. Ponctuels ou complexes, ces défauts sont dus à des interstitiels (substitution d'un atome du réseau par un autre) ou à des lacunes (d'oxygène ou de silicium) associés à des liaisons contractées, cassées ou pendantes.

3.2 Les défauts extrinsèques

Les défauts extrinsèques sont liés à la présence dans l'oxyde d'atome étrangers qui se combinent avec le réseau de nombreuses manières, selon la valeur de leur rayon atomique, selon qu'ils sont ionisés ou non ou selon les conditions thermodynamiques de leur introduction. Un atome de silicium peut, par exemple, être remplacé par un atome de type accepteur (groupe III) ou de type donneur (groupe V), tandis qu'un atome d'oxygène peut être

remplacé par un autre anion .De façon analogue aux défauts intrinsèques, on parlera de défauts ponctuels ou complexes.

Les défauts extrinsèques sont essentiellement liés à la présence de l'hydrogène qui est introduit par les processus de fabrication. L'hydrogène est introduit pendant le processus de l'oxydation ou bien encore pendant la passivation des liaisons Si pendantes qui a leur tour agissent comme centres de piégeage de charge.

Ce type de défauts peut être illustre par la réaction chimique suivante [15] :



Les impuretés peuvent pénétrer à l'intérieur de l'oxyde à différents moments du processus technologique :

- 1- Durant l'oxydation thermique, si elles sont déjà présentes dans le substrat de silicium (cas d'atomes dopant As,B,P...) ou si elles avaient été introduites, volontairement ou non ,dans le gaz oxydant (cas de l'eau et des composés chlorés).
- 2- Durant la croissance de la silice, si elles sont présentes dans l'ambiance (cas des ions alcalins Ca,K,Na...).
- 3- Durant les étapes qui suivent la croissance ou bien la déposition de l'oxyde [métallisation, implantation ionique, traitement hautes températures (Ar,H₂ ,N₂...)].

3.3 Défauts à l'interface SiO₂/SI (Les états d'interface)

Ces défauts proviennent du raccordement des deux matériaux. Pour la silice, la distance moyenne entre deux atomes de silicium est de 3,05 Å contre 2,35 Å pour le silicium cristallin. Autrement dit, l'oxydation d'un atome de silicium correspond à un accroissement relatif en volume d'un facteur environ de 2,3. L'interface présente donc beaucoup plus de liaisons contraintes, distordues, pendantes... qu'il n'y en a dans le volume de l'oxyde. Les liaisons chimiques les plus probables à l'interface Si-SiO₂ sont représentées dans la figure (II.5)

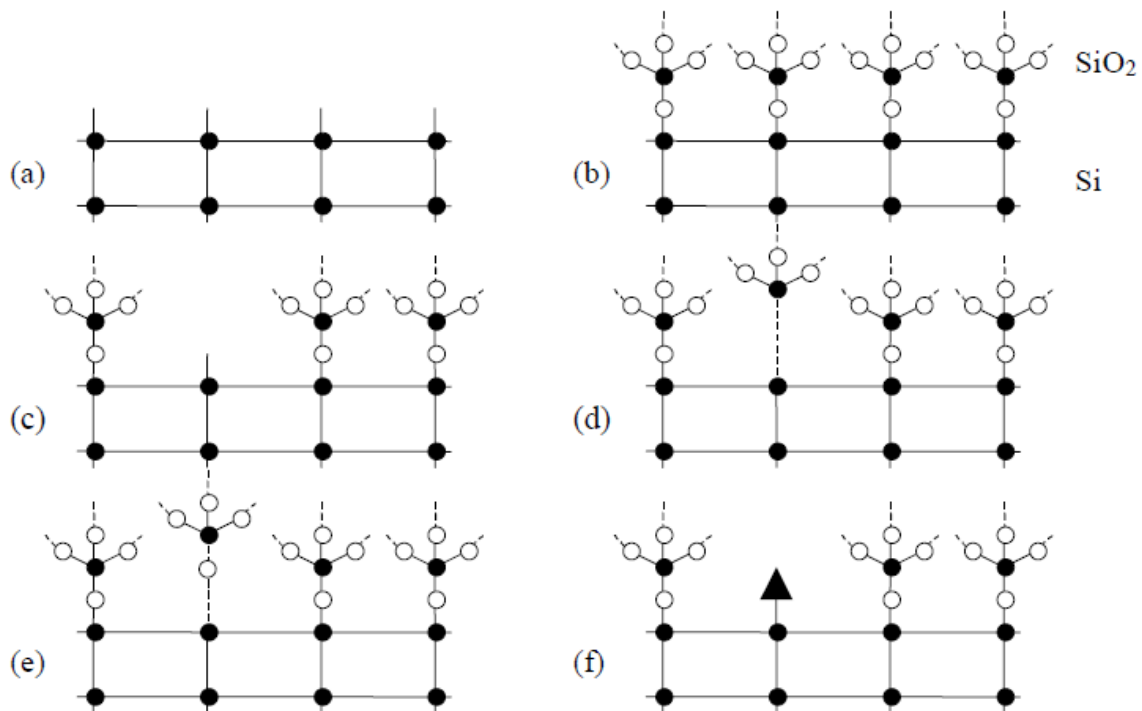


Figure II.5 : Liaisons chimiques de l'interface Si-SiO₂ [16]

(a) surface Si libre, (b) interface parfaite, (c) liaison Si₃≡Si- pendante,
 (d) liaison Si-Si faible, (e) liaison Si-O faible, (f) impureté à l'interface

4. Technique d'identification des défauts du SiO₂

Les défauts sont essentiellement connus à travers la technique EPR (Electron spectroscopie de résonance paramagnétique) aussi appelé résonance de spin électronique (ESR), est une technique utilisée pour étudier les espèces chimiques avec des électrons non appariés. Spectroscopie RPE joue un rôle important dans la compréhension de radicaux organiques et inorganiques, des complexes de métaux de transition et des biomolécules.

Le signal observé par cette méthode correspond à l'absorption d'une énergie des rayonnements micro-ondes par un électron non apparié soumis à un champ magnétique de balayage continu. En effet, un atome paramagnétique possède un électron non apparié. La différence d'énergie entre les deux états quantique de spin (le moment angulaire intrinsèque de nombre quantique 1/2) est $E = h\nu = g\beta H$, où ν est la fréquence des micro-ondes, h est la constante de Planck, H est la valeur du champ magnétique, β est le magnéton de Bohr ($\beta = eh/4\pi mc$), et g est un tenseur donnant des informations sur la symétrie du défaut. Par conséquent, un défaut ne peut être détecté que s'il (le défaut) possède une liaison pendante, c'est-à-dire s'il est paramagnétique.

Le défaut diamagnétique a un moment électronique nul, et donc aucun signal EPR ne peut être mesuré. Cependant, ce n'est pas un problème majeur parce que l'état de charge d'un défaut donné peut varier, et il existe souvent un état dans lequel le défaut est paramagnétique. Certains défauts paramagnétiques sont neutres, tandis que d'autres sont positivement ou négativement chargés. C'est ce qui explique pourquoi il est difficile d'établir une corrélation entre l'évolution de la densité de défauts paramagnétiques avec la densité total de la charge piégée.

Trois versions de ce type de défaut paramagnétique ont été observées par EPR, à savoir, P_b , P_{b0} et P_{b1} . Leur présence dépend de l'orientation cristalline du substrat de silicium. La liaison pendante trouvée dans les substrats (111) est appelé le " P_b center". Le " P_{b1} center" et le " P_{b0} center" sont ceux observés dans les substrats (100). Voir la figure (II.6)

La structure microscopique de " P_{b0} center" est très proche de celle du défaut P_b décrit ci-dessus.

D'autre part, il n'existe pas une description précise de la structure microscopique de " P_{b1} center". La structure microscopique postulée de ce défaut paramagnétique pourrait être:

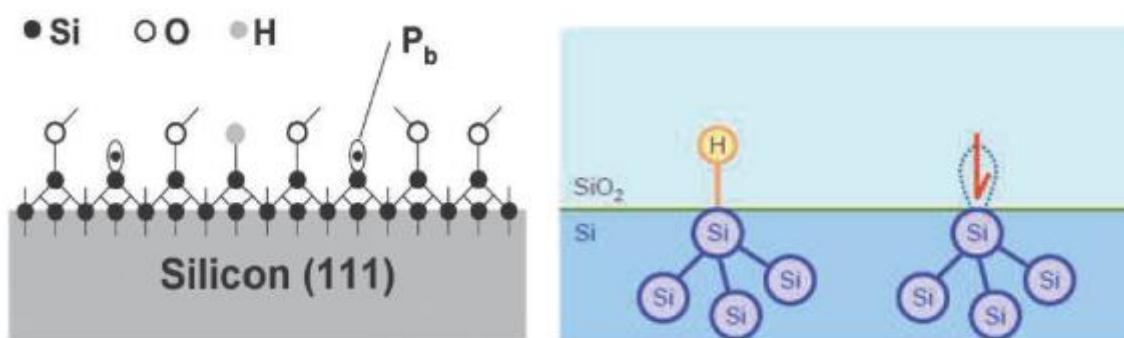


Figure II. 6 : défauts à l'interface SiO_2 : le centre P_b

5. Instabilité en température (Négative/Positive Bias Température Instabilité)

5.1 Définition du NBTI/ PBTI

La contrainte NBT ou NBTS vient de l'anglais « Negative Bias Temperature Stress », sous-entendu un potentiel électrique négatif appliqué sur la grille d'un transistor MOS dans un milieu à haute température. Concrètement, le dispositif est placé dans un four ou dans un environnement chaud, et les quatre connecteurs qui sont la grille, la source, le drain et le

substrat sont reliés à un générateur de tension appliquant une tension négative entre la grille et l'ensemble Source-Substrat-Drain.

Une contrainte PBT (Positive Bias Temperature Stress) ou PBTS est, par analogie, une contrainte avec un potentiel positif sur la grille et à haute température. Plus généralement, le BTS (Bias Temperature Stress) correspond à l'ensemble des contraintes NBTS et PBTS. La contrainte NBT-inhomogène fait référence à une contrainte pour laquelle le potentiel électrique du drain est plus élevé (ou moins élevé) que le potentiel électrique de la source,

La dérive de type NBTI/PBTI est provoquée par l'application d'un potentiel négatif ou positif sur la grille. A l'origine le terme BTI a été créé au départ pour désigner des défauts ioniques dans la structure du dispositif, particulièrement sensibles à la température. Par extension, le terme désigne toutes les dégradations liées à une contrainte en température et à l'application d'un stress sur la grille. Le mécanisme du BTI a été séparé en deux parties, d'une part à faible champ où la dégradation est limitée par la diffusion et d'autre part à fort champ où l'injection de porteurs et le piégeage de trous est le mécanisme dominant. Une partie de cette dégradation peut être compensée par l'application d'un stress électrique contraire, ce qui révèle un phénomène de piégeage puis de piégeage des trous. [17]

5.2 Pièges responsable de la dégradation NBTI

Malgré le nombre important de travaux sur microstructure des défauts induit par le NBTI, les microscopiques des pièges restent jusqu'à aujourd'hui inconnus.

6. Conclusion

Dans ce chapitre nous avons présenté l'oxyde de silicium SiO_2 ainsi détaillé ses quelques défauts majoritaires et techniques d'identifications de ces derniers. Et pour finir il existe d'autres méthodes de dégradation assistée par la température ce qu'on appelle (Négative/Positive Bias Température Instabilité)

Chapitre 3 :
Vieillessement du
transistor V-MOS à
canal N

1. Introduction

Toute cette évolution technologique entraîne de nombreux problèmes liés à la fiabilité des dispositifs qu'il est indispensable de prendre en compte. La fiabilité traite le vieillissement des dispositifs MOSFET. Elle peut être définie comme « la probabilité qu'un dispositif exécute une fonction exigée dans les conditions indiquées pendant une période donnée. la dégradation doit être accélérée lors des études de fiabilité, tout en veillant à ne pas induire de nouveaux modes de dégradation. Le but final est d'extraire une durée de vie et les limites du transistor.

A travers ce chapitre nous allons décrire les étapes suivies pour étudier la dégradation d'un transistor VMOS de puissance en lui appliquant un CVS (constant voltage stress) négatif.

2. Présentation des dispositifs utilisés

Pour effectuer notre étude nous avons utilisé trois appareils connectés entre eux :

- Le traceur de courbe programmable TEKTRONIX 730A.
- Un ordinateur avec logiciel LabVIEW pour commander le Tektronix 370 A.
- Un port GPIB (General Purpose Interface Bus) pour assurer la transmission des données en parallèle

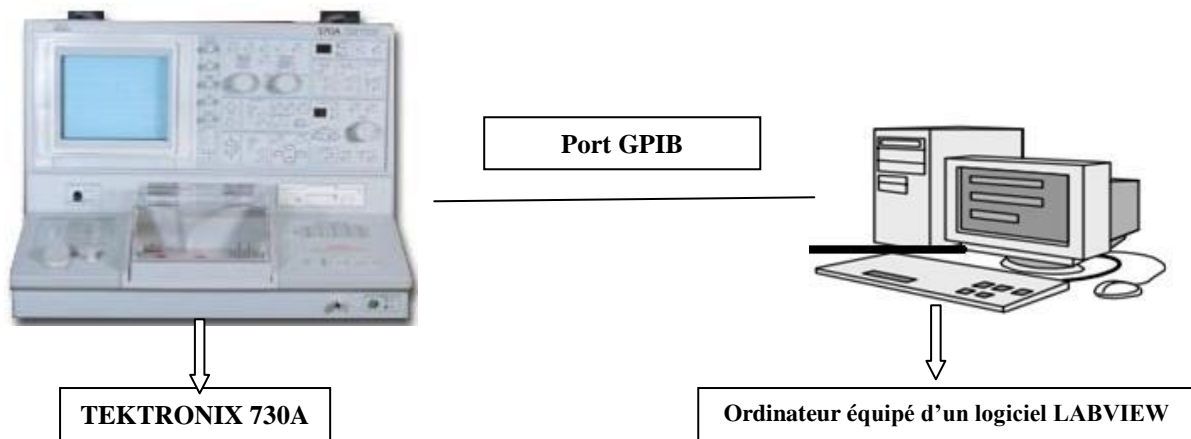


Figure III.1 : illustration des appareils constituant un banc de test

2.1. TEKTRONIX 730A (Traceur de courbe programmable 730A)

Le traceur de courbe programmable 370A combine un simple panneau de commande et une flexibilité d'acquisition numérique, Cet instrument souple stimule, mesure, et montre les

caractéristiques des dispositifs sous teste qui offre des tensions et des courants plus élevés, ainsi que des mesures précises à une tension de résolution plus élevée, ce que nous permettra de tracer les différentes courbes associées aux mesures effectuées, de plus l'extraction des pentes sur des portion de la courbe on utilisant le curseur.

Les exigences de la mesure d'une caractéristique $I(V)$ nécessitent un ensemble de sources de tensions et de courant ainsi que un écran d'affichage avec contrôle d'amplitude (Verticale et horizontale)

Il se compose de quatre blocs essentiels :

- **Collecteur supply** : fournit la tension de fonctionnement pour le dispositif, elle peut être appliquée à la borne du collecteur ou à la base du dispositif sous test.
- **Stepgénérateur** : fournit le courant ou la tension qui peut être appliqués à la base ou à l'émetteur du dispositif sous test.
- **Panneau de configuration** : il détermine l'état de la base, l'émetteur et de collecteur du dispositif sous test.
- **Cage de faraday** : présente une protection pour les adaptateurs de test et l'opérateur pendant les mesures.



Figure III. 2 : Tiktronix 730A

2.2. LABVIEW

Le LabVIEW (Laboratory Virtual Instrument Engineering Workbench) est un langage de programmation à caractère universel particulièrement bien adapté à la mesure,

l'instrumentation et l'automatisation. Il nous permet de construire notre propre solution pour des systèmes scientifiques et techniques, il nous offre la flexibilité et les performances d'un langage de programmation puissant sans la difficulté qui est habituellement associées. Il est destiné à l'acquisition des données et au traitement de signal. Son principe est de remplacer les instruments de mesure (voltmètre, oscilloscope...etc) et d'analyser un signal de laboratoire par un ordinateur muni d'une carte spécifique et d'un logiciel approprié.

LabVIEW est l'un des premiers langages de programmation graphique destinés au développement d'applications d'instrumentations. Couplé à des cartes d'entrées/sorties, il permet de gérer des flux d'informations numérique ou analogiques et de simuler sur beaucoup d'instruments de mesures (oscilloscope, compteur d'impulsion, multimètre, etc...), on retrouve quatre fonctions de base nécessaires à ces applications industrielles [21] :

- **Acquisition et restitution de données** : contrôle d'instruments, LabVIEW supporte les standards RS-232/422, IEEE 488 (GPIB) et VXI, gestion de cartes d'entrées/sorties, numériques/analogiques, gestion de carte d'acquisition d'images, commande d'axes moteurs.
- **analyse et traitement des données** : la bibliothèque d'analyse étendue contient les fonctions pour le traitement de signaux (les filtres, les fenêtres, la génération, etc).
- **Présentation et stockage des données** : affichage (courbes, graphique 2D, etc.) Stockage des données (archivage, impression).
- **Exportation des données** : échange de données (Active X, etc), gestion d'un réseau (TCP/IP, Internet, Field Bus, série, etc).

❖ L'environnement du LABVIEW

Lorsque LabVIEW est lancé, celui-ci ouvre par défaut un nouveau VI. Deux fenêtres vierges apparaissent à l'écran : une face avant ou panel.

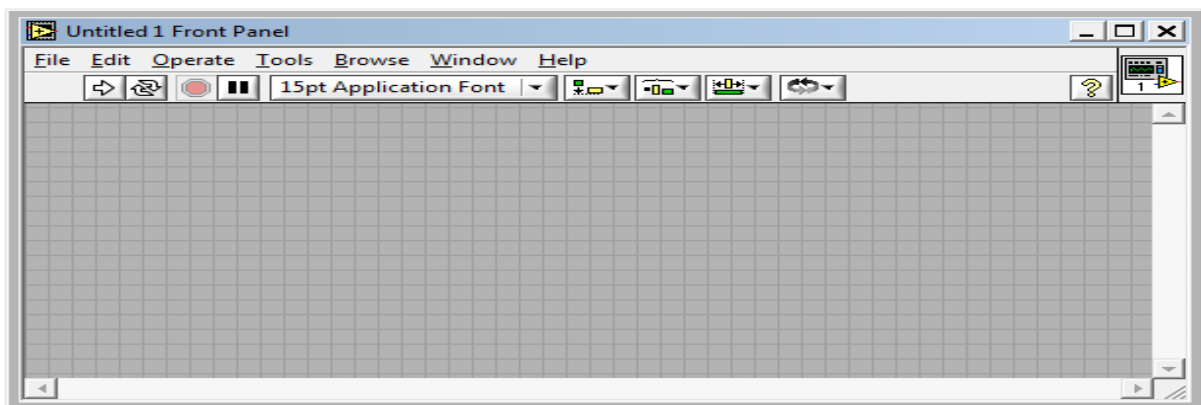


Figure III.3 : fenêtre principale du LABVIEW

➤ La face avant

La face avant est l'interface de LabView. Cette dernière réceptionne les données entrées par l'utilisateur et affiche celles fournies par le programme. Elle est composée d'objets graphiques comme les interrupteurs, des zones graphisme, des boutons rotatifs, des boutons poussoirs et bien d'autres commandes ou indicateurs. Voir figure III.4

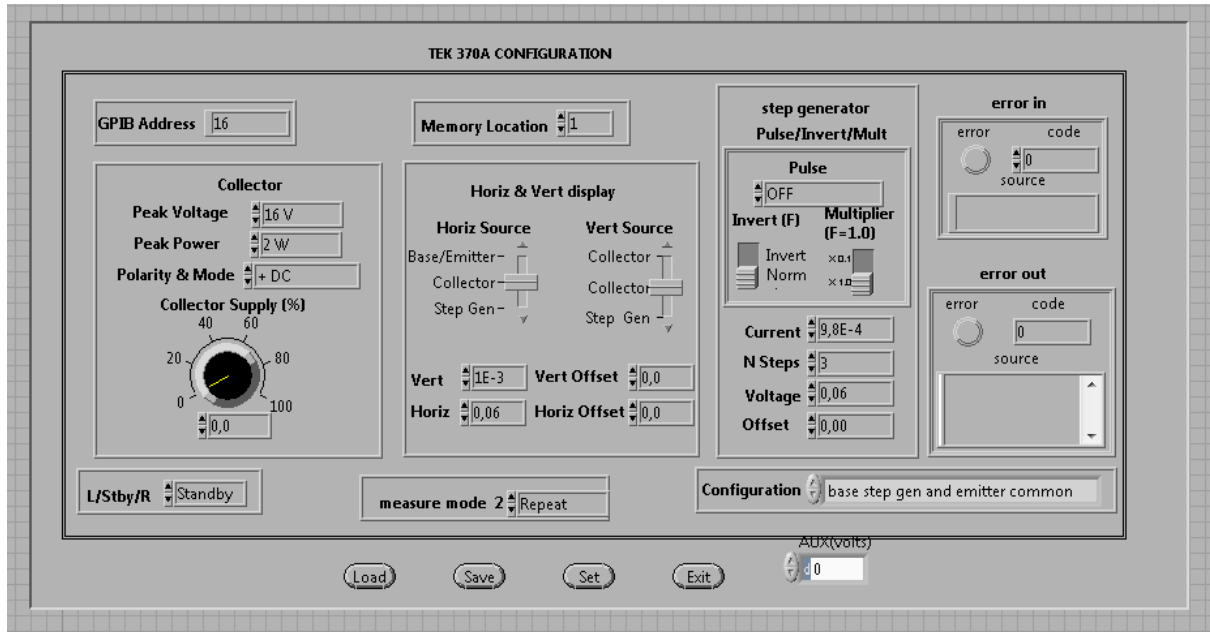


Figure III.4 : une face avant (front panel)

➤ Un diagramme

Le diagramme décrit le fonctionnement interne des VI du TEKTRONIX 730A. après avoir fait un programme pour la mesure permettant de lancer l'acquisition, il contient des fonctions et des structures issues des bibliothèques de VIs intégrées à LabView ou bien de la face-avant.

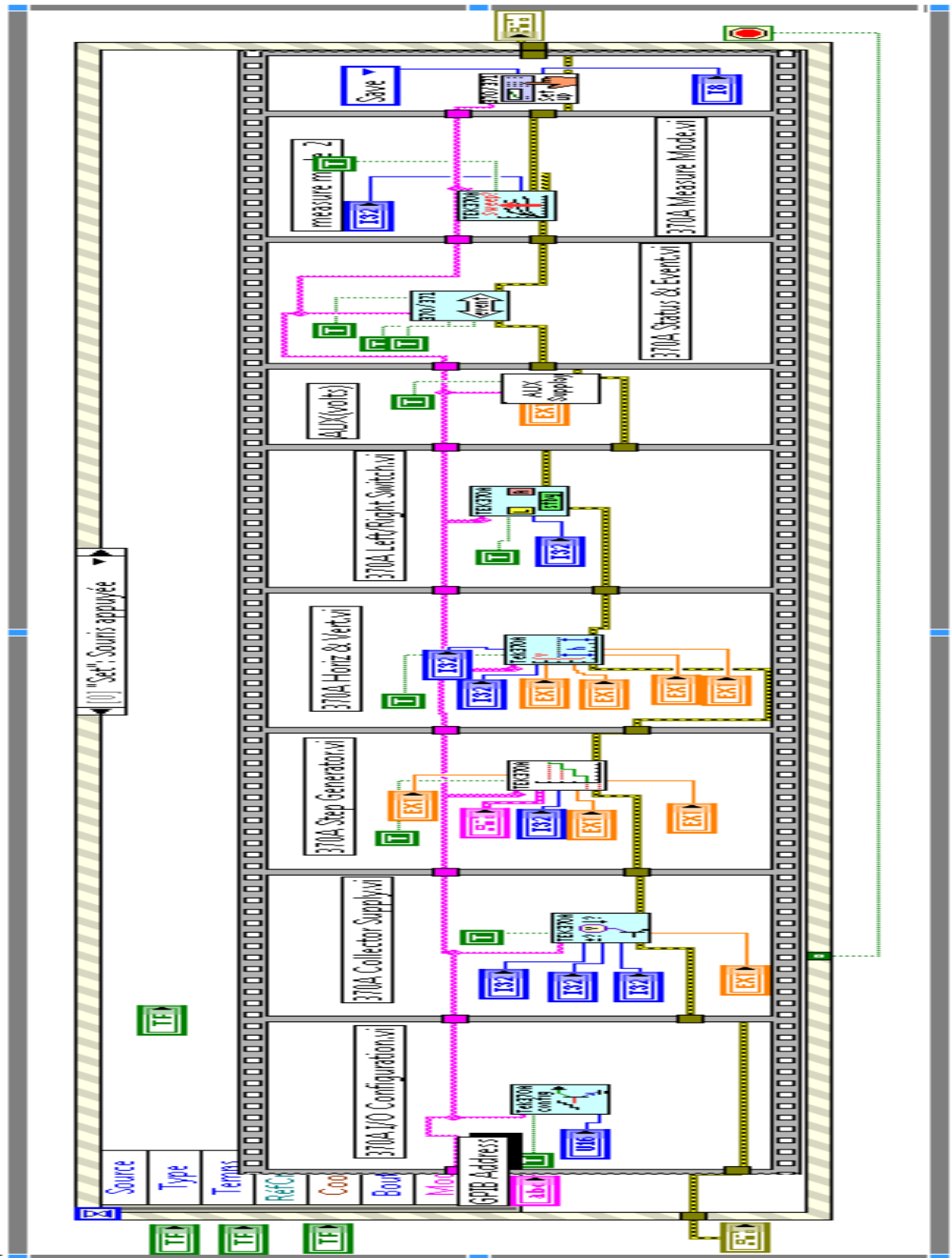


Figure III.5 : Diagramme de l'instrument virtuel (VI) principal de 370A

Le diagramme se compose de plusieurs icônes représentant les VI qui sont la symbolisation de l'instrumentation virtuel déjà créée. Parmi les icônes les sous VI de configuration et traitement des données assure l'exécution de programme, il y a de cinq sous VI :

- Collector supply.vi,
- Horiz&Vert.vi,
- Step Generator.vi,
- Configuration.vi,
- Left/Right switch.vi.

3. étapes de caractérisation

3.1.présentation du transistor utilisé

Pour effectuer notre travail d'étude nous avons choisi un transistor de puissance commercial de type VMOS pour appliquer un stress à tension constante négative (CVS Négative). Ce choix est guidé par sa disponibilité au niveau de notre laboratoire. Le CVS est assuré par une tension négative appliqué sur la grille avec le drain et la source court-circuités. Ce dernier est appliqué pour plusieurs durées et relevé par la suite les caractéristiques électrique effectué.

Cette expérience nous permet d'étudier l'évolution de la tension de seuil et du courant drain-source en fonction de tension de grille $I_{DS}(V_{GS})$ mais aussi mettre en évidence l'effet DIBL dans la structure verticale $I_D=f(V_{GS})/V_{ds}$.

3.2.Extraction de $I_{ds}(V_{gs})$ vierge

La technique de mesure est basée sur la même configuration présenter dans la figure 2 , on fait varier le collector supply a 2.5% de la tension 16V (Tension minimal) pour une tension appliqué en drain et source $V_{DS}=500mv$, une tension de polarisation V_{GS} est appliquée sur la grille. On obtient par la suite la courbe $I_{DS}(V_{GS})$ du transistor sans stress (voir figure III.6)

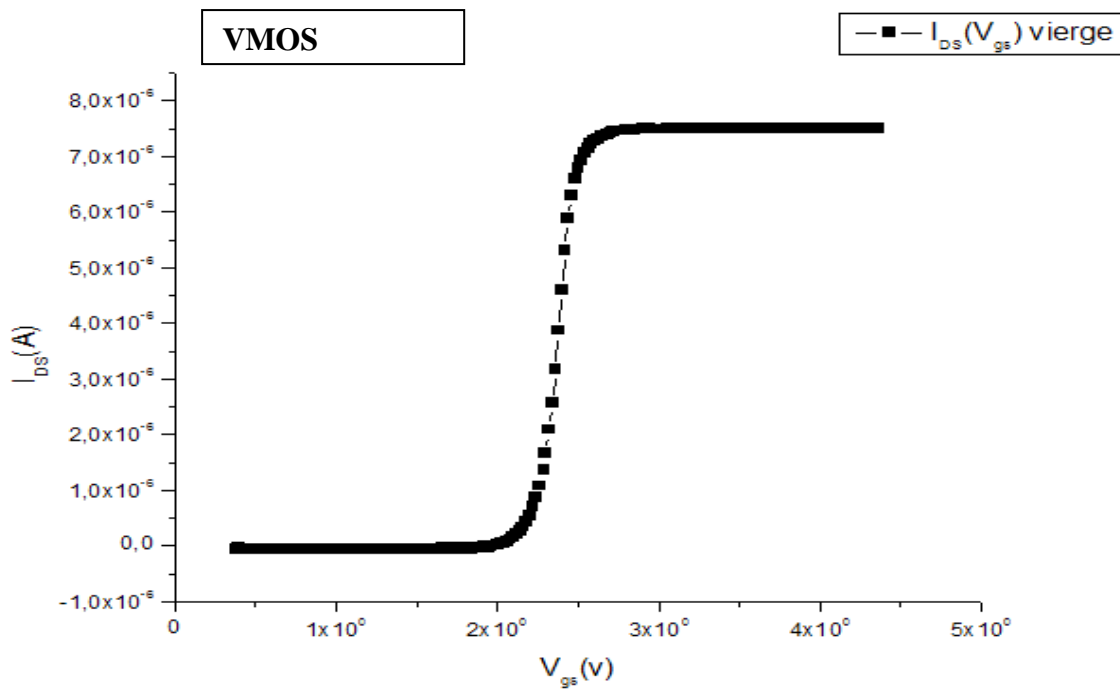


Figure III.6 : Caractéristiques vierge $I_{DS}(V_{GS})$

3.3. Techniques de stress

La technique de stress utilisé est le stress à tension constante (CVS : Constant Voltage Stress). Elle consiste à appliquer une forte tension constante sur la grille en reliant le drain et la source à la masse (voir figure III.7)

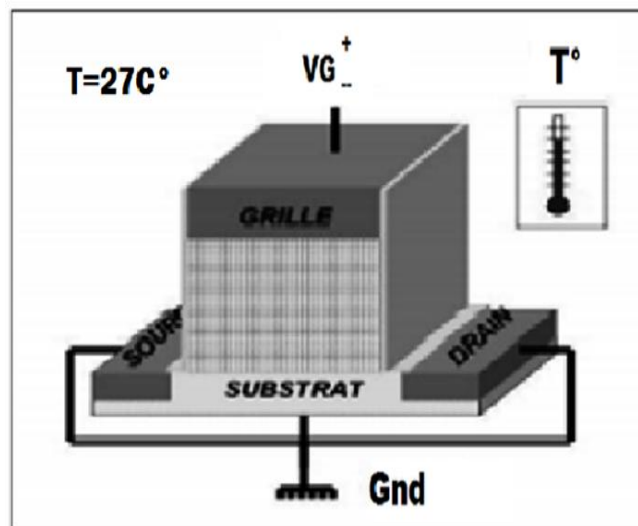


Figure III.7 : figure illustratif de la technique de stress

On met le transistor VMOS de puissance de type IRFD110 dans cage de faraday cette partie qui nous permet d'isoler une portion d'espace contre l'influence des champs extérieurs (les ondes électromagnétiques), les trois électrodes du transistor : Drain, grille et source sont connectés respectivement vers le collecteur, la base et la masse.

Pour effectuer notre stress nous avons interconnecté le drain et la source à l'aide d'un fil puis choisi sur la face avant du labview la deuxième configuration de notre panneau de configuration, mis le collecteur supplya zéro. Le nombre d'étapes a zéro aussi puis injecter des différentes tensions et temps de stress négatif respectivement ($V_s = -22 -24 -25$) pendant une durée d'environ 24400s cumulées à une température ambiante. Pour chaque temps et chaque tension la caractéristique $I_{DS}(V_{GS})$ est relevée.

3.4.Extraction de la tension de seuil (V_{th})

Il est à noter que la tension de seuil qui représente dans le cas des transistors MOS, la tension appliquée entre la grille et le substrat à partir de laquelle un transistor MOS à enrichissement devient passant. Pour extraire la tension de seuil du transistor on utilise la méthode d'extrapolation linéaire qui consiste à extrapoler la partie linéaire de la courbe $I_{DS}(V_{GS})$ obtenu en mode linéaire au point correspondant à la valeur MAX de la transconductance $gm = (\partial I_D) / (\partial V_{gs})$

(point d'inflexion du courant), vers l'axe V_{GS} . L'intersection de la droite extrapolée avec cet axe nous donne la tension de seuil (V_{th}). La tension obtenue est $V_{th} = 2.26$ V (voir figure 8)

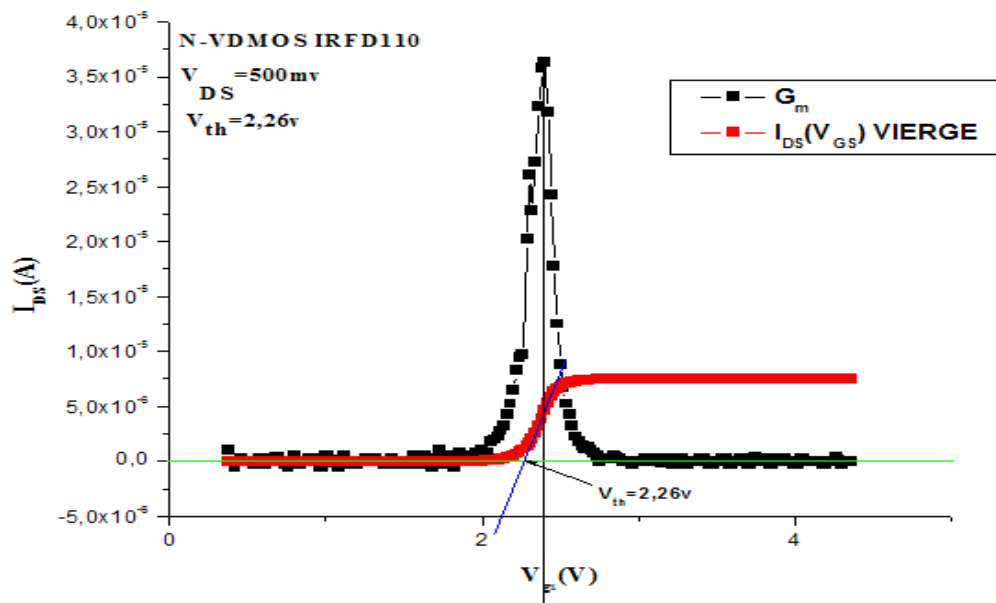


Figure III.8 : extraction de tension de seuil V_{Th0}

3.5. Extraction de la variation de la tension de seuil ΔV_{th}

On fait un fitting (filtrage) dans zone linéaire on trace une droite et l'intersection de cette dernière avec l'axe des V_{gs} correspond à la V_{th} de chaque dégradation.

$$I_D = AV_{GS} - AV_{Th}$$

Avec $A = MaxG_m$

Donc $I_D(V_{gs0}) = Max G_m \cdot V_{gs} - Max G_m \cdot V_{Th}$

$$V_{Th} = \frac{Max G_m V_{gs0} - I_D(V_{gs0})}{Max G_m}$$

On applique la méthode à toutes les valeurs stressées et on fait tirer la variation de

$$V_{Th} = (\Delta V_{Th})$$

$$\Delta V_{Thi} = V_{Thi} - V_{Th0}$$

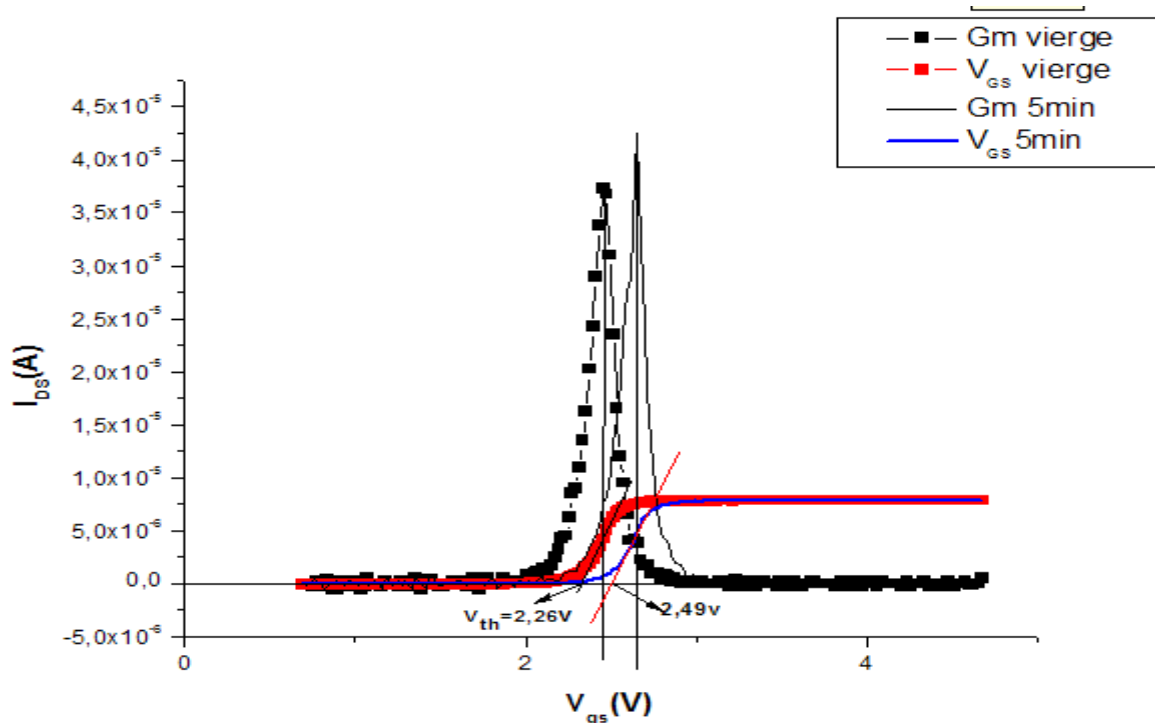


Figure III.9 : illustration de variation de la V_{th}

La dégradation de la ΔV_{th} augmente avec le temps et avec l'augmentation de la tension de stress, signe de création de piège, ce qui relie la tension de seuil à la variation des états

$$d'interface \Delta N_{it} = \frac{\Delta V_{th} \cdot q}{C_{ox}}$$

Remarque

Le stress fait évoluer la variation de la tension de seuil ΔV_{th} selon le modèle approximative de puissance en fonction du temps $\Delta V_{th} = A \cdot t^n$ Mais dans notre cas elle n'est pas appliquée car il y a un seul écart ΔV_{th} quelque soit le temps de stress

On pense qu'il y a eu une saturation en pièges d'un seul coup pendant la dégradation.

4. Caractéristiques courant de drain

❖ $I_d = F(V_{gs})$ par rapport à V_d

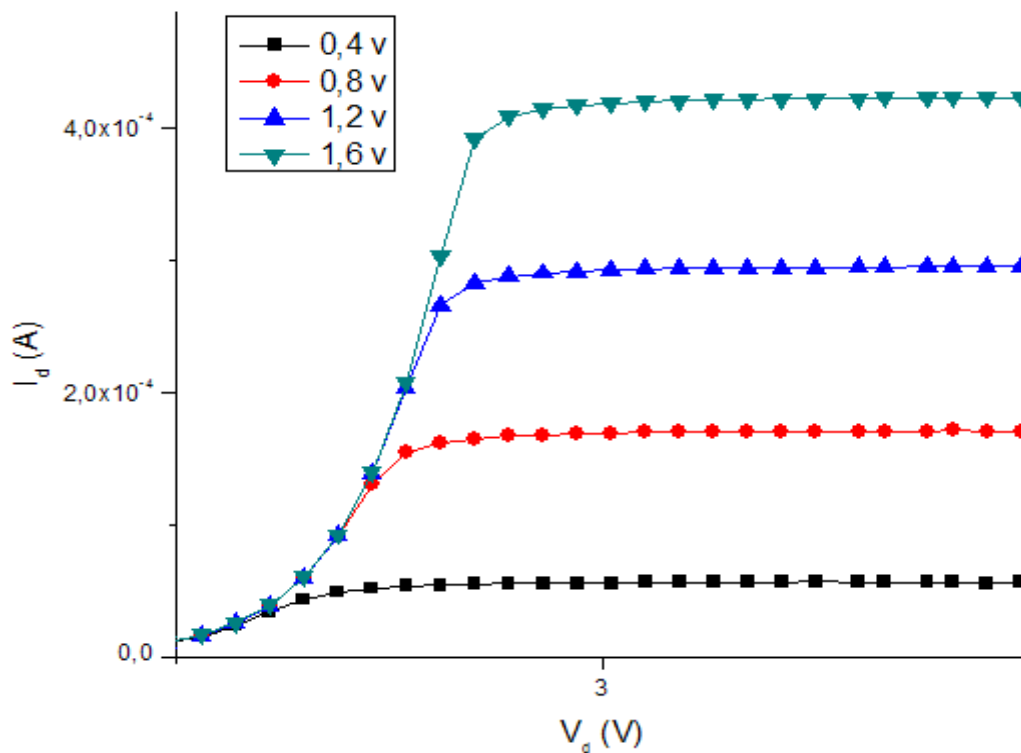


Figure III.10 : caractéristique I_D-V_D

Si la transconductance G_m est grande, la fréquence est grande ce qu'il nous permettra d'avoir une faible tension de commandes

❖ Caractéristiques $I_D - V_{GS}$

La figure ci-dessous représente la caractéristique $I_D (V_{GS})$ en fonction du temps pour un stress négatif (-25)

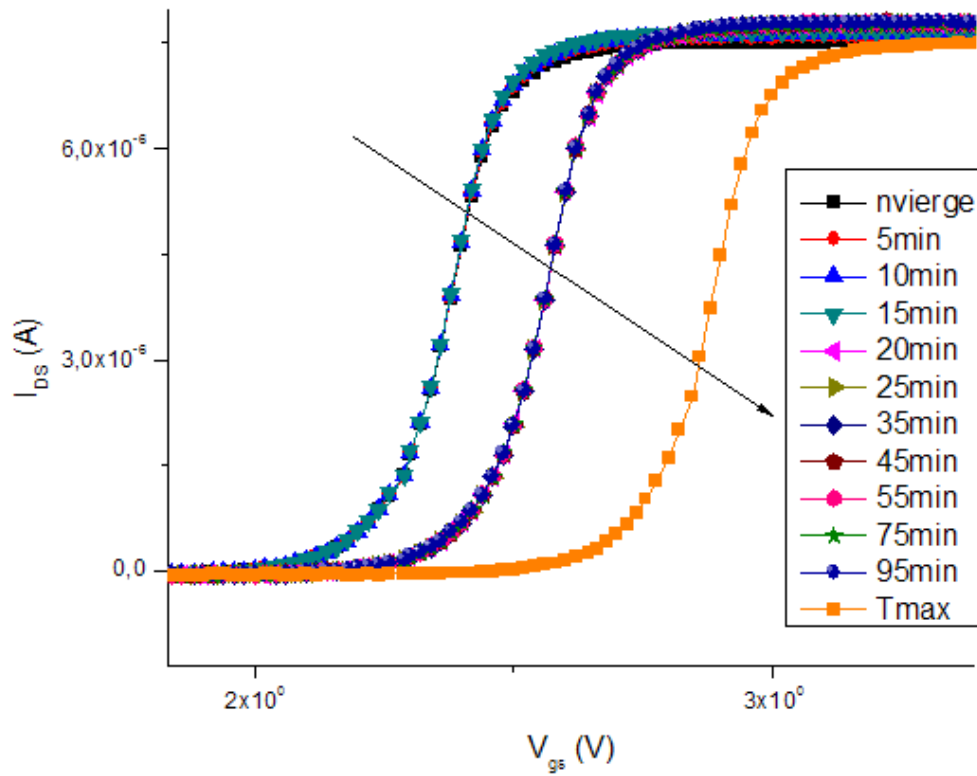


Figure III.10 : Variation du courant drain source I_{DS} en fonction de la tension grille source V_{GS} pour différentes durées non cumulé d'un CVS négatif et pour $V_{ds}=500\text{mv}$

On remarque que on appliquant la tension de stress le courant de saturation augmente mais obtient que 3 écarts ce qu'il nous fait penser que les liaisons pendante se sont cassé d'un seul coup. Ce qu'on appelle passivation à l'hydrogène (revoir défauts d'interface chapitre 2)

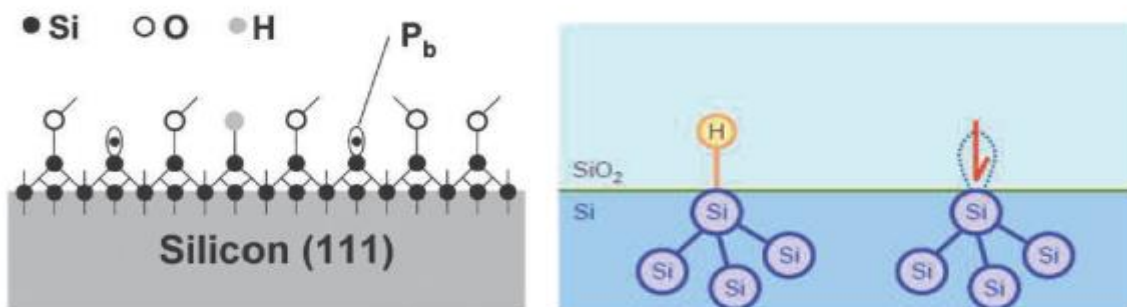


Figure III.11 : Illustration des centres P_b

❖ Evolution du courant par rapport au temps $\Delta I_d(t)$

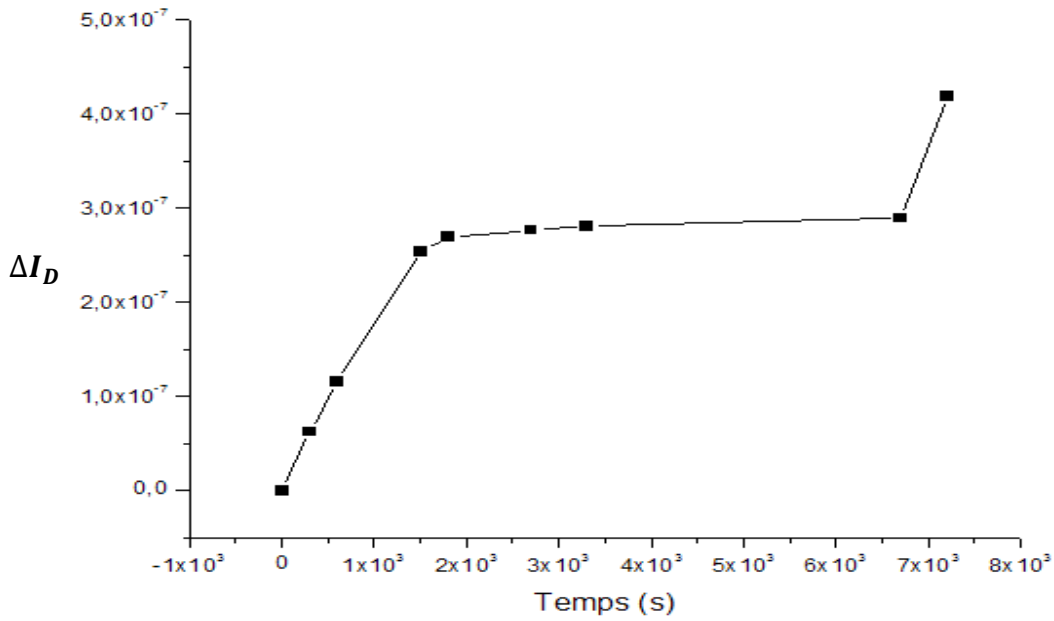


Figure III.12 : évolution du ΔI_d en fonction du temps

$$\text{On a } I_D = \frac{W}{L} C_{ox} \mu_0 (V_g - V_{th}) V_d$$

On remarque que le courant I_D augmente : ce qu'il fait la mobilité des porteurs augmente.

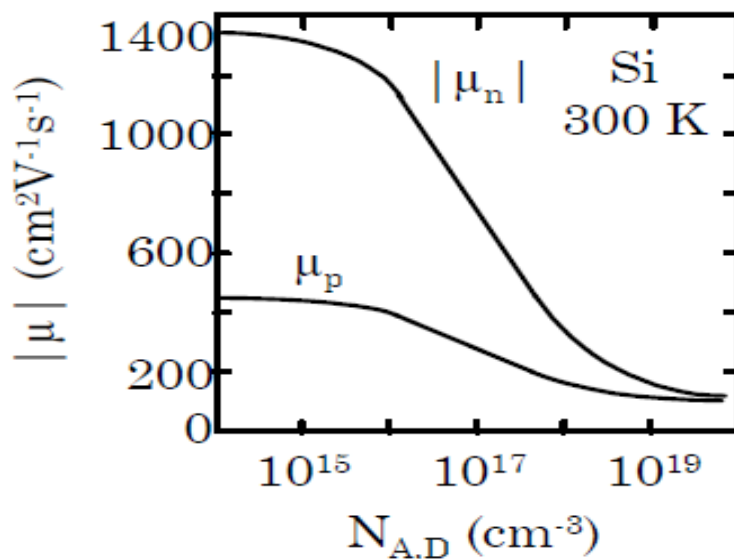


Figure III.13 : évolution de la mobilité en fonction de la concentration des porteurs

5. conclusion

Dans ce chapitre nous avons étudié les étapes de caractérisation d'un transistor MOS vertical de puissance sous un stress négatif (CVS négatif) Nous avons eu deux états ce qu'il nous a fait penser à une saturation de piège dans l'oxyde .Les résultats montrent aussi que la variation courant du drain augmente par rapport au temps d'où on constate l'augmentation de la mobilité en fonction de la concentration.

Conclusion Générale

Le travail réalisé dans ce mémoire est porté sur le vieillissement d'un transistor sous un stress négatif (CVS) et de la dégradation de ce dernier tel que la tension de seuil. Ces résultats expérimentaux montrent l'augmentation de la tension de seuil et du courant de drain pour un CVS négatif. Ainsi que le courant de fuite augmente progressivement avec l'augmentation de stress

Dans ce travail, nous avons réalisé l'étude de la dégradation et le vieillissement en perspective nous pensons à étudier cette dégradation par l'autre technique de caractérisation tel que le pompage de charge (CP) et la technique de capacité-tension C(V) pour apporter des solutions technologiques pour séparer les pièges dans l'oxyde et sur l'interface.

Bibliographie

- [2] Clément Bertolini. Estimation a haut-niveau des dégradations temporelles dans les processeurs méthodologique et mise en œuvre logicielle. Other. Universite science et technologies – Bordeaux 1, 2013. French.
- [2] salim madani. Caractérisation et modélisation d'un transistor MOSFET. Université de Souss (2010-2011)
- [3] G. E. Moore Progress in digital integrated electronics. Interational Electron Devices Meeting Techical Digest. Pp 11-13, 1973
- [4] Ali Guenoun. Etudes et caractérisation des transistor VDMOS de puissance sous contrainte BTS. 2014
- [5] G. Barbotin, A. Vapaille. ‘‘Instabilities in silicon devices, new insults, devices and radiation effects’’. Elsevier science B.V, Vol.3, No.11, Pp , 730-735, 1999
- [6] C. T. Sha. ‘‘ Charateristics of the metal-oxide semiconductors transistors’’. Transaction on Electron devices, Vol.11, No 7, pp 324-344, july 1964. Vol 11.
- [7] KEBIB ABDELAZIZ, Etude et simulations d'un transistor MOS vertical. Université Abou-Bekr Belkaid- Tlemcen Faculté de Technologie. Département de Genie électrique et électronique MEMOIRE DE MAGISTER EN ELECTRONIQUE.
- [8] Manuel d'application VMOS SCAIB
- [9] <http://bwrc.eecs.berkeley.edu/Classes/IcBook/SPICE>
- [10] Yves MANEGLIA, Analyse en profondeur des défauts de l'interface Si-SiO₂ par la technique du pompage de charges. Physics. Institut National Polytechnique de Grenoble INPG , 1998. French
- [11] R. L. Mozzi and B. E. Warren. The structure of vireous silica. Journal of applied. Crystallography 2, pp 164-172, 1969
- [12] T. Bakos. Defects in amorphous SiO₂: reaction dynamics structures, spectra, and properties. Thèse de doctorat, Vanderbilt university, 2003

- [13] A. Foucaran. Technologies de circuit intégré au silicium ; cours 2005
- [14] Fleetwood D.M. winokur P.S, Reber R.A. Meisenheimer T.L. Schwank J.R. Shaneyfelt M.R. and Riewe L.C. Effect of oxide traps, and border traps on metal-oxide-semiconductor devices. J. Appl. Phys. 1993, Vol 73, No. 10 p.5058-5074.
- [15] C. Nicklaw. Multi level modeling of total ionizing dose in a SiO₂: first principals to circuits, these de doctorat, Vanderbilt University, 2003
- [16] T. Sakurai T. Sugao, Theorie of continuously distributed trap states at Si-SiO₂. Interfaces J. Appl. Phys, Vol 52 (4) pp 288-289, 1981
- [17] Clément Bertolini. Estimation a haut-niveau des dégradations temporelles dans les processeurs méthodologique et mise en œuvre logicielle. Other. Universite science et technologies – Bordeaux 1, 2013. French.