

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET  
DE LA RECHERCHE SCIENTIFIQUE  
UNIVERSITÉ MOULOU D MAMMERI TIZI-OUZOU



FACULTÉ DE GÉNIE ÉLECTRIQUE ET D'INFORMATIQUE  
DÉPARTEMENT D'ÉLECTROTECHNIQUE

THÈSE DE DOCTORAT-LMD

Spécialité  
MODÉLISATION ET CONCEPTION DES SYSTÈMES  
ÉLECTROMAGNÉTIQUES

Présenté par  
**Lounas BELHIMER**

Sujet

---

# Modélisation de structures d'interconnexions et de leur effet sur le fonctionnement des composants micro électroniques.

---

Soutenue le 13 / 10 / 2020 devant le jury d'examen composé de :

M. RACHEK	M'hemed	Professeur	U.M.M.T.O	Président
M. BENFDILA	Arezki	Professeur	U.M.M.T.O	Rapporteur
M. RAHMOUNE	Fayçal	Professeur	U.M.B.B	Examineur
M. MOKDAD	Rabah	Professeur	U.M.M.T.O	Examineur
M. BENAZZOUZ	Djamel	Professeur	U.M.B.B	Examineur



# Remerciements

Une thèse est tout d'abord un travail d'équipe. J'ai pu réaliser ce travail en partie grâce aux gens qui ont su être présents au moment où j'en avais besoin.

Je souhaite témoigner toute ma reconnaissance à mon directeur de thèse, Arezki BENFDILA pour le soutien et les conseils qu'il a su m'apporter durant mes années de thèse. Je voudrais lui adresser de chaleureux remerciements pour la confiance qu'il m'a accordée, la rigueur et la qualité avec laquelle il a su encadrer mon travail. Les nombreuses discussions que nous avons pu avoir tout au long de ses travaux m'a toujours permis d'éclaircir ma vision des choses. Je le remercie enfin pour l'effort de correction qu'il a apporté à ce manuscrit.

J'adresse mes sincères remerciements à M'hemed RACHEK qui me fait l'honneur de présider mon jury, ainsi qu'à Rabah MOKDAD et à Djamel BENAZZOUZ qui ont accepté d'être examinateur de ce manuscrit de thèse. Je leur suis particulièrement reconnaissant de la qualité des conseils et des remarques concernant la correction du manuscrit. Je tiens aussi à remercier Fayçal RAHMOUNE pour sa participation au jury et l'intérêt qu'il a apporté à mes travaux de recherches.

Un grand merci à tout les membres de groupe de recherche en microélectronique et nanotechnologie pour leur aide et leur bonne humeur. Je tiens tout particulièrement à exprimer ma gratitude à Ahcene LAKHLEF pour sa disponibilité et ces compétences techniques, qui m'ont été d'un grand secours. Je tiens à dire un grand merci à Mohamed KESSI, Mohamed DJOUDER, Amirouche HAROUZ, Nadia BOUAZIZ, l'équipe de thésards avec qui je me suis épanoui au niveau scientifique mais aussi à travers d'autres activités nécessaires à un travail efficace. Merci aux nombreuses modes que l'on a lancées au sein du laboratoire et merci pour l'excellente ambiance de travail qui a régné durant ces années de thèse.

Enfin, je souhaite remercier tous mes amis ainsi ma famille pour leur soutien tout au long de cette thèse.

## Résumé

Les interconnexions métalliques forment le principal moyen de transport de signaux électriques dans les circuits intégrés. Ils sont actuellement limités par la réduction de leur taille et la fréquence qui ne cesse d'augmenter. Des études montrent que le retard du signal dans un circuit intégré est lié à ses interconnexions. Les limitations sont encore plus accrues dans les technologies nanométriques et les effets indésirables non pris en compte par les concepteurs de circuits intégrés ne peuvent être ignorés en raison de la complexité du réseau d'interconnexion et de la fréquence de commutation de plus en plus élevée. Ce qui engendre un retard de propagation de signal plus élevé. Les résistances des pistes, les inductances des lignes et les capacités parasites interlignes des interconnexions ne cessent d'augmenter entraînant une augmentation considérable du bruit des signaux d'information. Afin d'assurer la compatibilité électromagnétique au niveau du circuit intégré, une réduction efficace des sources de bruits et des origines des perturbations s'avèrent nécessaire. Dans ce contexte, ce travail de thèse a pour objectif la modélisation des phénomènes électromagnétiques et plus concrètement les effets parasites entre les lignes d'un réseau d'interconnexions au sein de circuit intégrés avec comme objectif la prédiction des éventuels problèmes de compatibilité électromagnétique (CEM) de ces circuits intégrés.

Mots clés :

Interconnexion des circuits intégrés ; lignes de transmissions ; compatibilité électromagnétique ; radiations

## Abstract

Interconnects are the main means of carrying electrical signals in integrated circuits. They are currently limited by the reduction in their size and the increasing frequency. Studies show that signal delay in an integrated circuit is related to its interconnections. Limitations are even greater in nanoscale technologies and adverse effects not taken into account by integrated circuit designers cannot be ignored due to the complexity of the interconnection network and the additional switching frequency in higher. This results in a higher signal propagation delay. Runway resistances, line inductances, and stray interline capacities of interconnects continue to increase, resulting in a significant increase in information signal noise. In order to ensure electromagnetic compatibility at the integrated circuit level, effective reduction of noise sources and disturbance origins is required. In this context, this thesis aims to model electromagnetic phenomena and more concretely the parasitic effects between the lines of a network of interconnections within an integrated circuit with the objective of predicting possible electromagnetic compatibility (EMC) of these integrated circuits.

Keywords :

Interconnect ; multiconductor ; radiations ; electromagnetic compalibility

# Glossaire

CEM : Compatibilité Electromagnétique  
MOS : Metal Oxide Semiconductor  
CMOS : Complementary Metal Oxide Semiconductor  
EMI : Electromagnetic Interference  
VHF : Very High Frequency  
UHF : Ultra High Frequency  
RF : Radio Frequency  
PCB : Printed Circuit Board  
CE : Conformité Européenne  
CEI : Commission Electrotechnique International  
CENELEC : Comité Européen de Normalisation et Electronique et Electrotechnique  
ETSI : European Telecommunications Standards Institute  
ISO : International Organization for Standardization  
CEN : Comité Européen de Normalisation  
TEM : Transverse Electromagnetic  
GTEM : Gigahertz Transverse Electromagnetic  
ESD : Décharge Electrostatique  
SSI : Small Scale Integration  
MSI : Medium Scale Integration  
LSI : Large Scale Integration  
VLSI : Very Large Scale Integration  
GSI : Gigahertz Scale Integration  
TSI : Tera Scale Integration  
CI : Circuit Intégré  
MOSFET : Metal Oxide Semiconductor Field Effect Transistor  
RAM : Random Access Memory  
TTL : Transistor Transistor Logic  
DIP : Dual-In-Line Package  
PGA : Pin Grid Array  
BGA : Ball Grid Array  
CSP : Chip Scale Package  
WLP : Wafer Level Packages  
FEMM : Finite Element Method Magnetic  
FEM : Finite Element Method

# Table des matières

Glossaire	2
Introduction Générale	10
<b>I Généralités sur la Compatibilité Electromagnétique</b>	<b>13</b>
I.1 Intoduction	13
I.2 Evolution technologique	14
I.3 Compatibilité électromagnétique des circuits intégrés	16
I.3.1 Besoin de CEM	18
I.3.2 Importance de la CEM	19
I.3.3 Normalisation en CEM	19
I.3.4 Aspects fondamentaux de la CEM	20
I.4 Emission électromagnétique des circuits intégrés	21
I.4.1 Evolution des émissions parasites	22
I.4.2 Caractérisation de l'émission	23
I.5 Susceptibilité électromagnétique des circuits intégrés	24
I.5.1 Origine de la susceptibilité	24
I.5.2 Evolution de la susceptibilité	25
I.5.3 Caractérisation de la susceptibilité	26
I.6 Sources de bruits électromagnétiques et leurs caractéristiques	26
I.6.1 Sources permanentes et sources intermittentes	27
I.6.2 Sources large bande et bande étroite	27
I.6.3 Sources intentionnelles et non-intentionnelles	28
I.6.4 Sources impulsionnelles	28
I.7 Couplage des perturbations	29
I.7.1 Couplages en mode conduit	29
I.7.2 Couplages en mode rayonné	31
I.8 Techniques de mesure CEM	34
I.8.1 Méthode de mesure en mode conduit	34
I.8.2 Méthode de mesure en mode rayonné	35
I.9 Techniques de protection en CEM	36
I.9.1 Blindages	36
I.9.2 Protections contre les décharges d'électricité statique (ESD)	36
I.10 Conclusion	37
<b>II Technologies de Circuits Intégrés</b>	<b>38</b>
II.1 Intoduction	38
II.2 Evolution des Systèmes Microélectroniques	38
II.3 Historique des Circuits Intégrés	39

II.3.1	Le Premier Transistor	39
II.3.2	Le Premier Circuit Intégré	41
II.3.3	Loi de Moore	43
II.4	Evolution des Technologies des CI et leurs Caractéristiques	44
II.4.1	Circuits Intégrés Monolithique	44
II.5	Formation des composants de circuits intégrés	45
II.6	Processus de fabrication des circuits intégrés	45
II.6.1	Préparation de la plaquette de silicium	46
II.6.2	Conception de Masques	46
II.6.3	Dopage par Diffusion Atomique	47
II.6.4	Dopage par Implantation Ionique	47
II.6.5	Réalisation de couches successives	47
II.6.6	Séparation des CIs	47
II.7	Emballage des circuits intégrés	48
II.8	Tendances de la miniaturisation	49
II.8.1	Mise à l'échelle de l'appareil et de l'interconnexion	49
II.8.2	Problème d'emballage	51
II.8.3	Complexité d'Intégration au Niveau Système	52
II.9	Interconnexions dans les Circuits Intégrés	54
II.9.1	Architecture du Réseau d'Interconnexions	54
II.9.2	Technologies de Métallisation des Interconnexions	55
II.9.3	Fiabilité des interconnexions	57
II.9.4	Evolution des paramètres électriques	57
II.9.5	Conséquences de la miniaturisation	59
II.9.6	Défis des interconnexions et Solutions stratégiques	62
II.10	Conclusion	64
<b>III</b>	<b>Etude des Lignes de Transmissions Microrubans</b>	<b>65</b>
III.1	Intoduction	65
III.2	Théorie des Lignes de Transmissions	65
III.2.1	Éléments de bases d'une ligne de transmission	65
III.2.2	Propagation d'onde sur une ligne de transmission	67
III.3	Analyse du Champs Electrique des Lignes de Transmissions	68
III.3.1	Paramètres de ligne de transmission	68
III.4	Présentation des Lignes Microrubans sur Silicium	70
III.5	Présentation des Lignes Coplanaires sur Silicium	72
III.6	Modélisation des Interconnexions à Base de Lignes Microstrip	74
III.6.1	Cas d'un seul niveau de métallisation	76
III.6.2	Cas de deux niveaux de métallisation	79
III.6.3	Effet d'un deuxième plan de masse	81
III.6.4	Variation de l'épaisseur de l'oxyde	84
III.7	Conclusion	86
<b>IV</b>	<b>Modélisation Electromagnétique des Interconnexions dans les Circuits Intégrés</b>	<b>87</b>
IV.1	Intoduction	87
IV.2	Elaboration de Modèles Electromagnétiques	87
IV.2.1	Equation de MAXWELL	88
IV.2.2	Milieux matériels	89

IV.2.3	Equation d'onde de potentiel vecteur magnétique . . . . .	90
IV.3	Formulation Eléments Finis des Problèmes de CEM . . . . .	92
IV.4	Description des Pistes de Circuits intégrés Soumis aux Simulations . . . . .	93
IV.4.1	Caractéristiques physique et géométriques . . . . .	93
IV.4.2	Schéma équivalent . . . . .	94
IV.4.3	Identification des paramètres de schéma équivalent . . . . .	94
IV.4.4	Organigramme de calcul . . . . .	95
IV.4.5	Domaine d'étude et conditions aux limites . . . . .	97
IV.4.6	Résultats et interprétations . . . . .	97
IV.5	Hypothèses de la méthode des lignes de transmission . . . . .	103
IV.6	Modélisation de la diaphonie . . . . .	104
IV.7	Modélisation des interconnexions en graphène . . . . .	105
IV.8	Resistance du Rayonnement . . . . .	109
IV.8.1	Cas d'interconnexion en métal . . . . .	109
IV.9	Conclusion . . . . .	116

**Conclusion générale** **117**

# Table des figures

I.1	Système de perturbation électromagnétique . . . . .	13
I.2	Acteurs Principaux de la CEM . . . . .	14
I.3	Evolution de la longueur de canal d'un transistor CMOS en fonction de l'année de démarrage de leur production (DRAM half pitch) After[18]. . . . .	15
I.4	Augmentation de la susceptibilité aux perturbations RF avec les générations de microprocesseurs After[21]. . . . .	15
I.5	Evolution des tensions d'alimentation des circuits intégrés. . . . .	16
I.6	<i>L'illustration des interférences électromagnétiques dans un système automobile. (Émission de l'appareil).</i> . . . . .	17
I.7	<i>L'illustration de l'interférence électromagnétique injectée dans les systèmes électroniques à partir d'une source de perturbation et couplée à la fin au circuit intégré (Immunité de l'appareil).</i> . . . . .	18
I.8	<i>Attestation de conformité vis-à-vis d'une norme pour un produit donné.</i> . . . . .	19
I.9	<i>Mécanisme du couplage.</i> . . . . .	20
I.10	<i>Courant consommé par un circuit élémentaire (inverseur CMOS) [28].</i> . . . . .	21
I.11	<i>Tendances de l'émission parasite suivant l'évolution de la technologie des circuits intégrés [28].</i> . . . . .	22
I.12	<i>Méthodes standardisées de caractérisation de l'émission parasite des circuits intégrés.</i> . . . . .	23
I.13	<i>Sources d'agressions électromagnétiques des circuits intégrés [30].</i> . . . . .	25
I.14	<i>Tendances entre les exigences de la susceptibilité et l'évolution de la technologie des circuits intégrés. After [28].</i> . . . . .	25
I.15	<i>Méthodes standardisées de caractérisation de l'immunité des circuits intégrés.</i> . . . . .	26
I.16	<i>Source à bande étroite</i> . . . . .	27
I.17	<i>Source à large bande.</i> . . . . .	28
I.18	<i>Formes d'ondes transitoire.</i> . . . . .	29
I.19	<i>Bilan des différents couplages.</i> . . . . .	30
I.20	<i>principe de couplage par impédance commune.</i> . . . . .	30
I.21	<i>principe couplage par mode différentiel.</i> . . . . .	31
I.22	<i>Couplage inductif entre deux câbles.</i> . . . . .	32
I.23	<i>Couplage capacitif entre deux câbles.</i> . . . . .	32
I.24	<i>couplage champ à boucle.</i> . . . . .	33
I.25	<i>Gabarit de mesures des perturbations conduites.</i> . . . . .	34
I.26	<i>principe de la mesure des perturbations conduites.</i> . . . . .	35
I.27	<i>exemple de chambres semi anéchoïde.</i> . . . . .	35
I.28	<i>Modèle de protection ESD à diode.</i> . . . . .	36
II.1	<i>Premier transistor des laboratoires Bell : a) inventeurs ; b) transistor a point de contact</i> . . . . .	40

II.2	<i>Premier transistor a jonction pn par William Shockley (1949)</i>	40
II.3	<i>Premier circuit intégré</i>	42
II.4	<i>La loi de Moore</i>	43
II.5	<i>La loi de Moore et plus- toute la fonction dans un système électronique n'est pas à l'échelle avec la loi des landes [42]</i>	53
II.6	<i>Réseau des interconnexions dans les circuits intégrés</i>	54
II.7	<i>Schémas d'architecture d'interconnexion; (a) Interconnexion Al, avec vias remplis de W et couches de dérivation en haut et en bas de la ligne d'interconnexion. (b) Interconnexion Cu Dualdamascene, avec vias remplis de Cu, minces revêtements réfractaires sur les côtés et en bas de la ligne, et une couche de capping diélectrique en haut de la ligne</i>	56
II.8	<i>Exigence de fiabilité d'interconnexion par rapport à la longueur totale d'interconnexion dans différentes années. Ici FIT réfère unité de défaillance. Source ITRS 2001[53]</i>	57
II.9	<i>Schéma équivalent des interconnexions dans un circuit intégré</i>	58
II.10	<i>Evolution de la capacitance linéique et de la résistance en fonction de la génération technologique.</i>	59
II.11	<i>Illustration des contributions des composants actifs et passifs au temps de retard global du circuit en fonction de la génération technologique en considérant identiques pour chaque génération technologique les matériaux utilisés</i>	60
II.12	<i>Delay des portes logiques et des interconnexions dans différentes générations technologiques</i>	61
II.13	<i>Phénomène d'Electromigration</i>	61
II.14	<i>Section transversale du câblage hiérarchique avec augmentation constante du pas et de l'épaisseur au niveau des conducteurs de technologie pour atténuer l'impact du retard d'interconnexion en performance [53].</i>	62
II.15	<i>Retard relatif des interconnexions en fonction de la génération technologique (ITRS 2004)</i>	63
III.1	<i>Définitions de la tension et du courant et circuit équivalent pour une longueur de ligne de transmission. (a) Définitions de la tension et du courant. (b) Circuit équivalent à éléments groupés</i>	66
III.2	<i>Lignes de champ sur une ligne de transmission TEM arbitraire</i>	69
III.3	<i>Ligne microruban a : Vue 3D , b : Répartition des champs électrique et magnétique</i>	70
III.4	<i>Ligne coplanaire; a : Vue 3D, b : répartition des champs électrique et magnétique</i>	72
III.5	<i>Capacité par unité de longueur du n conducteur</i>	75
III.6	<i>Système symétrique des lignes microstrip couplées</i>	76
III.7	<i>Maillage par élément finis</i>	76
III.8	<i>Distribution du potentiel de surface du système à quatre pistes</i>	77
III.9	<i>Capacité par unité de longueur en fonction des démentions des pistes</i>	78
III.10	<i>Système de ligne microstrip à deux niveaux</i>	79
III.11	<i>Distribution des lignes de champs</i>	79
III.12	<i>Capacité par unité de longueur en fonction de la géométrie des pistes</i>	81
III.13	<i>système de ligne microstrip couplée à quatre niveau</i>	82
III.14	<i>Capacité par unité de longueur en fonction de la géométrie des pistes</i>	82
III.15	<i>système de ligne microstrip couplée à quatre niveau avec deux plans de masses</i>	83
III.16	<i>Capacité par unité de longueur en fonction de la géométrie des pistes</i>	83
III.17	<i>dimension des interconnexion à trois niveaux</i>	84

III.18	<i>Evolution de la capacité en fonction de l'épaisseur de l'oxyde (métal 1)</i>	84
III.19	<i>Evolution de la capacité en fonction de l'épaisseur de l'oxyde (métal 2)</i>	85
III.20	<i>Evolution de la capacité en fonction de l'épaisseur de l'oxyde (métal 3).</i>	85
IV.1	<i>(a) Interconnexions couplées sans plan de masse (b) avec plan de masse</i>	93
IV.2	<i>Interconnexions couplées symétriques</i>	94
IV.3	<i>Schema équivalent d'une portion de piste</i>	94
IV.4	<i>Diagramme utilisé pour étudier les paramètres du circuit équivalent en fonction de la fréquence d'alimentation, la distance entre la piste et la permittivité</i>	96
IV.5	<i>Maillage par élément finis</i>	97
IV.6	<i>Capacité parasite en fonction de la fréquence</i>	98
IV.7	<i>Résistance et inductance en fonction de la fréquence</i>	99
IV.8	<i>Capacité parasite en fonction de la fréquence.</i>	99
IV.9	<i>Conductance en fonction de la fréquence.</i>	100
IV.10	<i>comparaison des données.</i>	100
IV.11	<i>Capacité parasite en fonction de la permittivité.</i>	101
IV.12	<i>capacité parasite en fonction de la permittivité pour différentes valeur de <math>S</math></i>	101
IV.13	<i>Capacité parasite en fonction de la distance entre piste.</i>	102
IV.14	<i>Capacité parasite en fonction de la distance entre piste pour différentes valeurs de fréquence.</i>	102
IV.15	<i>diaphonie en fonction de la fréquence.</i>	104
IV.16	<i>chute de tension en dB.</i>	105
IV.17	<i>Le transistor à effet de champ avec un canal en graphène.</i>	106
IV.18	<i>Ligne d'interconnexion entourée du graphène.</i>	107
IV.19	<i>Répartition du potentiel.</i>	107
IV.20	<i>Inductance linéique en fonction de la fréquence.</i>	107
IV.21	<i>Resistance linéique en fonction de la fréquence.</i>	108
IV.22	<i>Capacité parasite en fonction de la fréquence.</i>	108
IV.23	<i>Résultats de comparaisant (impédance en fonction de la fréquence).</i>	109
IV.24	<i>Distribution des lignes de champ magnétique.</i>	110
IV.25	<i>Resistance de radiation de mode commun en fonction de la fréquence.</i>	111
IV.26	<i>Resistance de radiation de mode différentiel en fonction de la fréquence.</i>	111
IV.27	<i>Resistance de radiation de mode commun en fonction de la géométrie de la piste.</i>	112
IV.28	<i>Resistance de radiation de mode commun en fonction de la géométrie de la piste.</i>	112
IV.29	<i>interconnexion symétrique cylindrique</i>	113
IV.30	<i>Le potentiel vecteur magnétique.</i>	114
IV.31	<i>comparaison de la résistance de radiation en mode commun pour le cuivre et le CNT.</i>	114
IV.32	<i>comparaison de la résistance de radiation en mode différentiel pour le cuivre et le CNT.</i>	115
IV.33	<i>comparaison de la puissance des interconnexions en cuivre et en CNT en fonction de la fréquence.</i>	115

# Liste des tableaux

I.1	<i>Organismes de normalisation.</i>	20
II.1	Mise a l'échelle des propriétés des transistors et des interconnexions [49,56].	50
II.2	Valeur typique des composants parasites dans différentes technologies d'interconnexion de puces [51].	51
II.3	Evolution de la technologie des interconnexions.	55
III.1	<i>Comparaison des valeurs de capacité du modèle de la figure (3.6).</i>	78
III.2	<i>Valeurs des paramètres géométriques simulés de la figure (3.6).</i>	78
III.3	<i>Comparaison des valeurs de capacité de modèle de la figure (3.10).</i>	80
III.4	<i>Valeurs des paramètres géométriques simulés de la figure (3.10).</i>	81
III.5	<i>Valeurs des paramètres géométriques simulés de la figure (3.13 et 3.14).</i>	82
IV.1	<i>Les caractéristiques physiques et géométriques.</i>	112

# Introduction Générale

*L'accroissement drastique de la densité d'intégration de circuits intégrés a permis un développement considérable des technologies micro et nanométriques. Cependant, cette évolution a nécessité un grand nombre d'interconnexions et des longueurs importantes de conducteurs (microstrips) utilisés à cet effet dans une superposition de plans de microstrips. Ainsi les circuits intégrés activés à très hautes fréquences voient leurs interconnexions se transformer en antennes qui émettent et reçoivent des radiations pouvant perturber l'environnement ou compromettre le fonctionnement des circuits intégrés. D'où une étude en vue de mettre en évidence ces faits et se conformer à la restriction de la compatibilité électromagnétique EMC.*

Depuis l'apparition du premier transistor en 1947 et du premier circuit intégré en 1958, les technologies n'ont cessé d'évoluer. Elles placent aujourd'hui l'industrie des semiconducteurs au premier rang du marché de l'électronique. Les technologies silicium comme les technologies CMOS (Complementary Metal Oxide Semiconductor) ont été très largement instaurées et représentent aujourd'hui environ 75% du marché des semiconducteurs. Cette évolution est largement cofinancée par l'explosion de la micro-informatique, des multimédias et systèmes de communication pour qui les besoins sont de plus en plus grands en termes de performances. Cette incroyable évolution des performances est essentiellement due à la réduction des dimensions du canal de transistors autour desquels sont fabriqués ces circuits intégrés complexes. L'évolution est aussi fortement corrélée à la maîtrise des lithographies et du traitement du silicium au cours des différentes étapes de fabrication d'un circuit intégré.

Les interconnexions ont fortement évolué et augmenté en complexité avec l'intégration à très grande échelle des circuits intégrés : Les circuits à tubes à vide de la première moitié du XX siècle comportaient des composants reliés entre eux par des fils soudés (interconnexions en volume). Les circuits imprimés comportaient des composants reliés entre eux par des bandes de cuivre en surface d'un support isolant (interconnexions en surface). Les circuits intégrés actuels contiennent des composants reliés entre eux par des bandes conductrices microscopiques à l'intérieur du circuit (microstrips).

Les progrès de la micro électronique sont dus pour l'essentiel à la réduction de la taille des transistors élémentaires. Cependant, la réduction d'échelle de composants qui améliore largement leur performance conduit à une augmentation des délais de propagation et de puissance consommée dans les interconnexions. Ainsi pour les technologies actuelles, le temps de transport de l'information sur les pistes métalliques domine sur le temps de commutation des portes logiques. Même si de nouveaux matériaux sont mis en œuvre, il est certain que les interconnexions constituent un obstacle sur le chemin de l'amélioration des performances des circuits intégrés.

Les interconnexions métalliques forment le principal moyen de transport de signaux électriques dans les circuits intégrés. Ils sont actuellement limités par la réduction de leur taille et

la fréquence qui ne cesse d'augmenter. Des études montrent que le retard du signal dans un circuit intégré est lié à ses interconnexions. Les limitations sont encore plus accrues dans les technologies nanométriques et les effets indésirables non pris en compte par les concepteurs de circuits intégrés ne peuvent être ignorés en raison de la complexité du réseau d'interconnexion et de la fréquence de commutation de plus en plus élevée [1]. Ce qui engendre un retard de propagation de signal plus élevé [2]. Les résistances des pistes, les inductances des lignes et les capacités parasites interlignes des interconnexions ne cessent d'augmenter entraînant une augmentation considérable du bruit des signaux d'information [3]. Afin d'assurer la compatibilité électromagnétique au niveau du circuit intégré, une réduction efficace des sources de bruits et des origines des perturbations s'avèrent nécessaire.

La modélisation de ces faits électromagnétiques devient fondamentale pour une approche prédictive des risques de perturbation induits par les interférences électromagnétiques [4, 5]. Cette modélisation nécessite des outils mathématiques, des modèles et des connaissances spécifiques en matière de CEM (Compatibilité ElectroMagnétique) [6, 7]. Les concepteurs de circuits intégrés doivent tenir compte des capacités et inductances des interconnexions qui n'ont pas été prises en compte auparavant, en raison des longueurs de l'interconnexion, des superpositions de plan d'interconnexions et des fréquences de fonctionnement plus élevées [8, 9].

Par conséquent, une modélisation numérique des interconnexions est essentielle pour quantifier l'impact des effets parasites sur le réseau d'interconnexion à hautes fréquences. Pour cela la connaissance des champs des flux électromagnétiques dans les circuits intégrés devient primordiale [10]. Le calcul de ce champ magnétique nécessite une résolution des équations de Maxwell. Ceci est réalisé par plusieurs méthodes de calcul, telles que la méthode des éléments finis, les différences finies et la méthode des moments [11, 12]. Au cours de cette modélisation, d'autres paramètres interviennent, comme le gradient de température qui a également attiré une grande attention [13]. Toutefois, la fiabilité de ces simulations reposent fondamentalement sur ce qu'on est capable de modéliser et sur les modèles proposés.

Pour connaître les interactions électromagnétiques (effets de réceptions et de radiations) en vue d'améliorer les performances de circuits intégrés, plusieurs modèles de calcul ont été proposés pour estimer le comportement des lignes d'interconnexion comme présenté dans [14, 15]. Vu la complexité des problèmes de CEM dans les réseaux d'interconnexions au sein des circuits intégrés, ces modèles ne devraient pas être trop simplistes, pour ne pas négliger les problèmes d'interférences. Il ne doit pas non plus être trop précis pour ne pas rendre l'extraction et l'utilisation des modèles plus difficiles. En résumé, les modèles devraient avoir un rendement positif sur l'effort de modélisation.

Dans ce contexte, ce travail de thèse a pour objectif la modélisation des phénomènes électromagnétiques et plus concrètement les effets parasites entre les lignes d'un réseau d'interconnexions au sein de circuit intégrés avec comme objectif la prédiction des éventuels problèmes de compatibilité électromagnétique (CEM) de ces circuits intégrés. Dans ce type de systèmes, la sûreté joue un rôle important car dans certains cas le fonctionnement du circuit intégré n'est plus fiable et risque d'avoir des conséquences néfastes. Il est donc extrêmement important de prendre en compte de la CEM. Il s'agit dans un premier temps de comprendre les mécanismes à l'origine de l'émission, de la susceptibilité et des couplages entre circuits puis dans un deuxième temps de fournir des méthodes et des outils de prédiction des défaillances par interférences électromagnétiques. Ceux-ci permettront enfin de tester la validité de solutions visant à améliorer la compatibilité électromagnétique entre lignes d'interconnexions.

Ce manuscrit se construit autour de quatre chapitres. Le premier chapitre présente des généralités sur les problèmes de compatibilité électromagnétique ainsi que les méthodes d'étude associées. Les différentes sources de perturbation, les phénomènes de couplage entre une onde

électromagnétique et un circuit électronique, et les différents effets répertoriés à ce jour d'une agression électromagnétique sur des circuits électroniques seront abordés. Nous terminerons ce chapitre par la présentation des différentes techniques d'étude de compatibilité électromagnétique en mettant en évidence l'avantage d'une analyse en zone de champ proche, laquelle nous intéresse directement.

Le deuxième chapitre a pour but de faire un état de l'art sur la technologie des circuits intégrés. Un bref historique de premier transistor et de premier circuit intégrés, ainsi l'évolution de la microélectronique durant ces dernières années, et le processus de fabrication des circuits intégrés. Nous terminerons ce chapitre par la présentation des réseaux d'interconnexion au sein de circuit intégrés, en présentant leur limitation et les raisons qui sont à l'origine des travaux menés sur ces interconnexions. Aussi montrer les conséquences de la miniaturisation sur les interconnexions, afin de proposer les solutions adéquates.

Le troisième chapitre est consacré pour les méthodes de calcul des lignes de transmission. Dans un premier temps la théorie des lignes de transmission a été présentée ainsi le mode de propagation dans ces lignes, et dans la deuxième partie un développement mathématique a été effectué. Ensuite un exemple des lignes coplanaires et microstrip est donné. Enfin une simulation des lignes microstrip dans différentes situations a été faite on s'intéressant à l'effet capacitif et inductif afin de démontrer les limites des interconnexions des circuits intégrés.

Le quatrième chapitre porte sur la modélisation électromagnétique des interconnexions. Après avoir développé un modèle mathématique en partant des équations de Maxwell, ensuite une simulation dans différentes situations et en variant différents paramètres est faite afin de déterminer l'effet des interactions électromagnétiques sur les paramètres électriques des lignes d'interconnexions, la diaphonie a été aussi modélisée. Dans la deuxième partie la résistance de rayonnement des lignes d'interconnexions a été étudiée en utilisant la méthode des éléments finis. Enfin le graphène et le nanotube de Carbone ont été proposés comme de nouvelles alternatives afin de minimiser le problème des interférences électromagnétiques dans les lignes d'interconnexions des circuits intégrés, une comparaison des résultats est faite entre les interconnexions Cu avec et sans graphène et CNT.

# Chapitre I

## Généralités sur la Compatibilité Electromagnétique

### I.1 Introduction

Depuis le 19ème siècle, les différentes découvertes technologiques, telles que l'électricité et l'électronique, ont permis d'entrer dans une nouvelle ère grâce à l'apparition et le développement de multiples applications, aujourd'hui indispensables dans notre quotidien. On peut ainsi parler des circuits intégrés.

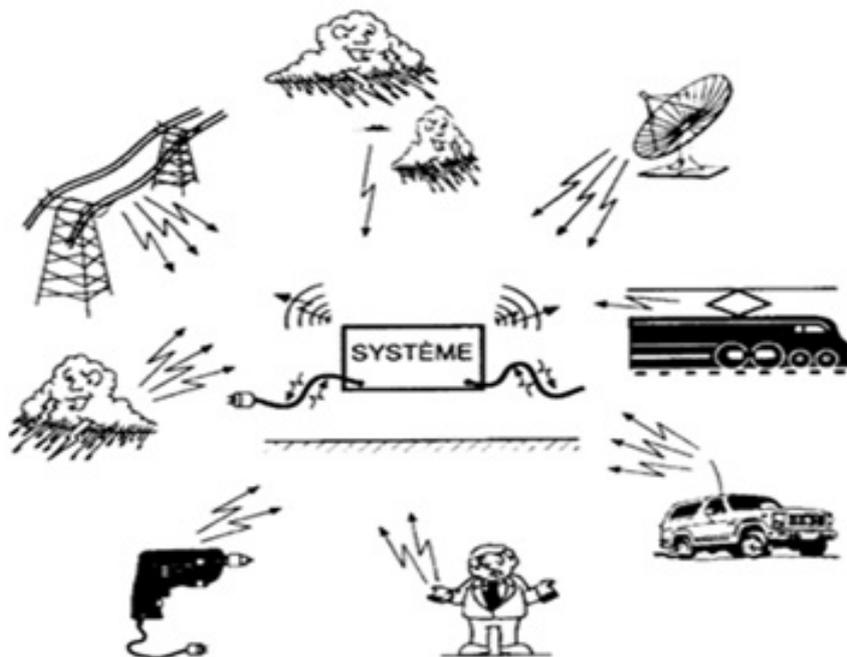


FIGURE I.1 – Système de perturbation électromagnétique

Une des problématiques à prendre en compte pour assurer le bon fonctionnement des systèmes électroniques est la Compatibilité Électromagnétique ou CEM. La CEM caractérise le comportement électromagnétique des appareils électroniques pour éviter les interactions entre dispositifs comme le montre la figure I.1. Dans cette discipline, deux aspects entrent en jeu qui

sont représenté dans la figure I.2 l'émission électromagnétique (ne pas émettre au-delà d'un certain niveau) et l'immunité (aptitude à supporter des perturbations électromagnétiques en dessous d'un certain niveau) [16].

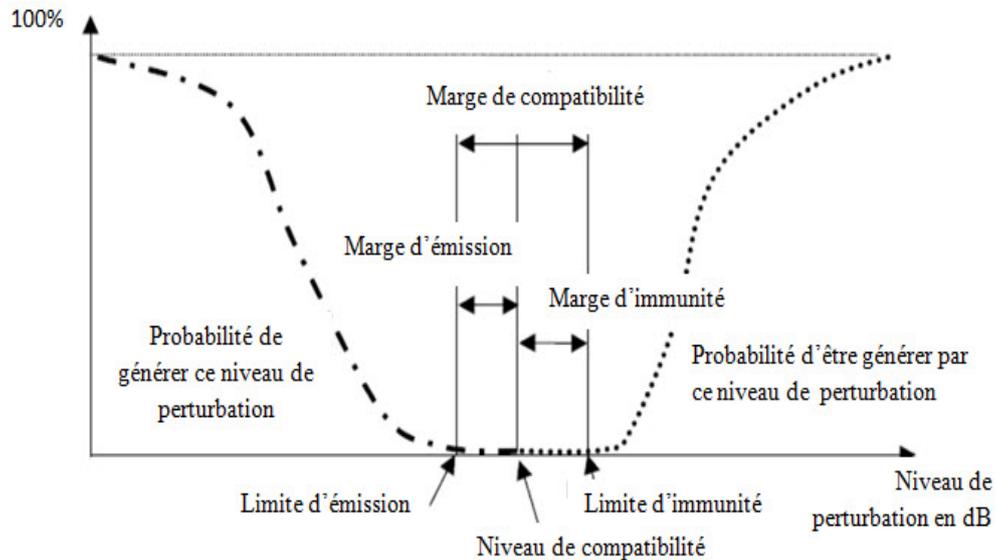


FIGURE I.2 – Acteurs Principaux de la CEM

Les ingénieurs des entreprises concernées par les problématiques de CEM s'intéressent de plus en plus à la modélisation des comportements électromagnétiques avec comme objectif de prévoir les possibles dysfonctionnements de leurs produits avant même la phase de réalisation. Cela permet de diminuer les coûts et d'améliorer la fiabilité des appareils. Plusieurs modèles ont été proposés pour décrire les émissions et l'immunité conduites et rayonnées. Dans la première partie de ce chapitre, les concepts relatifs à la CEM comme la définition, la normalisation seront abordés. Dans la deuxième partie, les sources de perturbations ainsi leurs mode de couplage seront traité ainsi les méthodes de mesure en CEM.

## I.2 Evolution technologique

La micro électronique a connu une fantastique évolution ces quarante dernières années qui se sont accompagnée d'une miniaturisation exponentielle. Cette évolution suit une loi appelée loi de Moore [17], qui prévoit que tous les 18 mois, le nombre de transistors sur une même surface de silicium double. Ainsi, nous sommes passés en l'espace de 30 ans d'un processeur élémentaire composé de quelques milliers de transistors à des processeurs très complexes composés de plusieurs centaines de millions de transistors. Les progrès continuels ont permis de produire des circuits de plus en plus performants et de réaliser des systèmes électroniques complexes nécessaires dans un grand nombre d'applications quotidiennes. Cette tendance a été rendue possible grâce à la réduction des tailles de lithographie qui caractérisent les longueurs minimales des canaux des transistors MOS et à l'amélioration des procédés de fabrication des circuits intégrés. La figure I.3 illustre cette tendance à la miniaturisation en présentant l'évolution des tailles des grilles des transistors MOS en fonction de l'année de démarrage de leur production. Cette évolution ne s'est malheureusement pas faite sans difficultés. D'abord, le nombre d'entrées sorties (E/S) et donc d'interconnexions entre circuits a augmenté, causant une dégradation de la qualité des signaux et une réduction de la bande passante des interfaces digitales rapides[18].

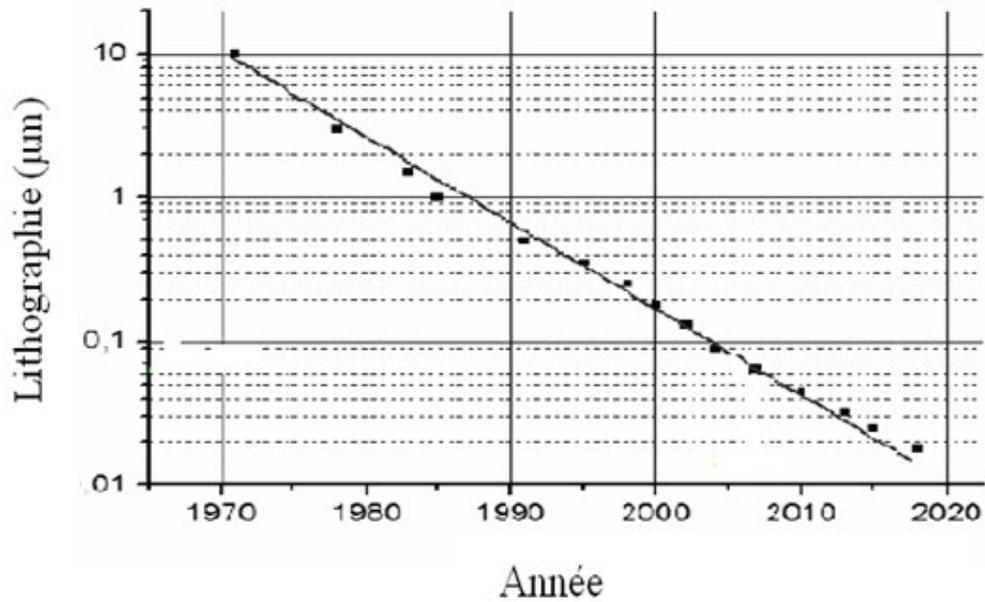


FIGURE I.3 – Evolution de la longueur de canal d'un transistor CMOS en fonction de l'année de démarrage de leur production (DRAM half pitch) After[18].

Ensuite, l'augmentation des fréquences de fonctionnement et la complexité croissante des circuits tendent à augmenter à la fois le niveau des émissions parasites [19], mais aussi à augmenter la susceptibilité des composants électroniques [20]. La figure 1.4 [21] illustre ce dernier phénomène en présentant le seuil d'immunité d'un microprocesseur face à une agression radio-fréquence de type impulsionnelle.

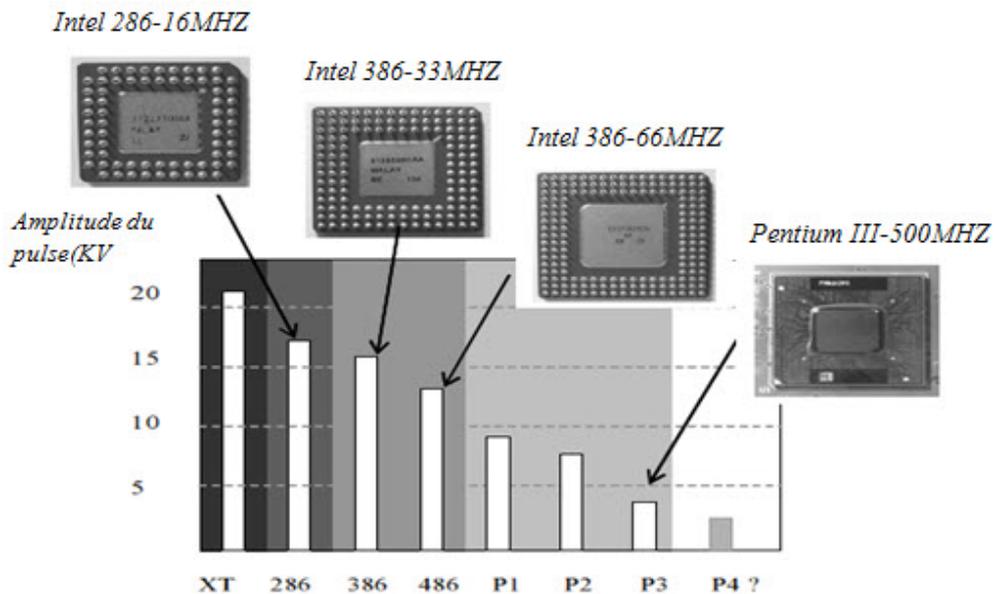


FIGURE I.4 – Augmentation de la susceptibilité aux perturbations RF avec les générations de microprocesseurs After[21].

Ensuite, afin de réduire les consommations des circuits et pour permettre les réductions des épaisseurs d'oxyde, les tensions d'alimentation des circuits intégrés ont subi une réduction à par-

tir de la technologie comme le montre la figure 1.5. Cette diminution a de lourdes conséquences sur la vulnérabilité des circuits aux agressions électromagnétiques puisqu'elle tend à réduire les marges de bruit des circuits ainsi que les seuils de commutations des circuits numériques, les rendant plus vulnérables aux interférences électromagnétiques (EMI) [22].

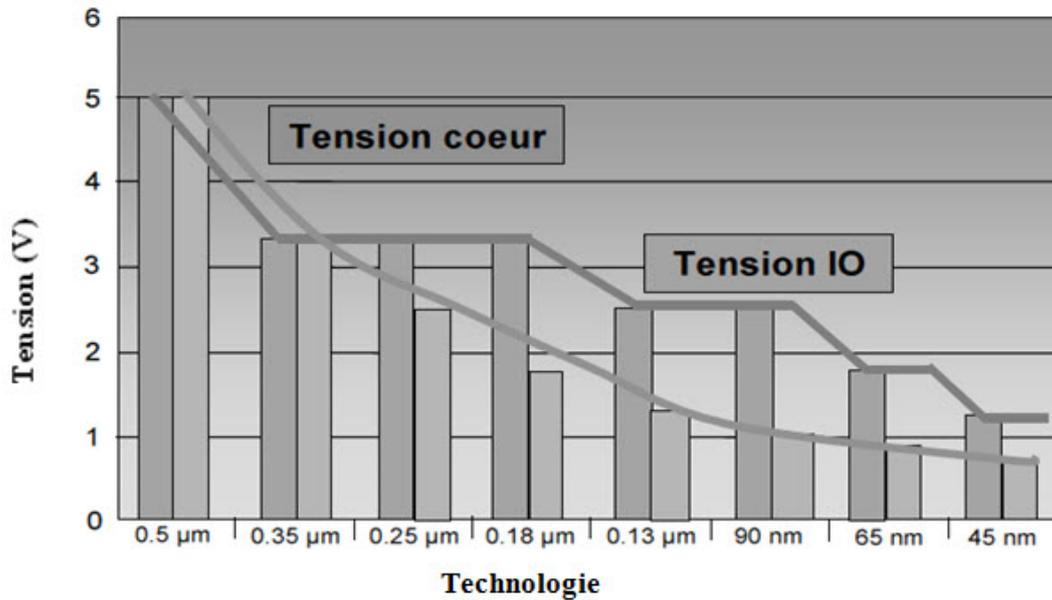


FIGURE I.5 – Evolution des tensions d'alimentation des circuits intégrés.

Enfin, l'intégration poussée tend à rapprocher les circuits les uns des autres et ainsi réduire leur isolation. Par exemple, dans un SoC, les différents blocs du circuit partagent le même substrat et peuvent ainsi se perturber mutuellement par couplage de mode commun. La miniaturisation des applications électroniques portables contraint à réduire les espaces et à rapprocher les circuits les uns des autres, augmentant ainsi le risque d'interférences électromagnétiques entre les circuits. Parallèlement à cette miniaturisation des circuits intégrés, le développement croissant d'applications sans fils émettant principalement dans les bandes VHF (30 – 300MHz) et UHF (300 – 3000MHz) ont rendu l'environnement électromagnétique des circuits intégrés de plus en plus pollué. Les sources de pollution électromagnétique sont nombreuses et leur niveau d'émission peut être suffisant pour induire des comportements anormaux ou des défaillances dans les circuits intégrés environnants [23]. Par exemple, la tendance actuelle dans le domaine des systèmes embarqués est le « plus électrique », notamment dans l'aéronautique. Il s'agit de remplacer par exemple des systèmes pneumatiques et hydrauliques par des systèmes électriques, permettant ainsi des économies de poids et d'énergie. Cependant, un des problèmes de cette nouvelle tendance est d'assurer une haute compatibilité électromagnétique des systèmes électroniques [24]. Toutes ces raisons obligent les fabricants de circuits intégrés et de systèmes électroniques à réduire l'émission et la susceptibilité de leurs produits et à être en mesure d'apporter des solutions efficaces visant à les rendre robustes dans des environnements de plus en plus sévères.

### I.3 Compatibilité électromagnétique des circuits intégrés

La compatibilité électromagnétique est la capacité d'un dispositif ou d'un système électronique de fonctionner de façon satisfaisante dans son environnement électromagnétique sans

introduire de perturbations électromagnétiques intolérables à d'autres systèmes dans cet environnement. L'expert en CEM doit assurer le fonctionnement simultané de tous les dispositifs électriques ou électroniques à proximité et la sécurité des utilisateurs pour un environnement électromagnétique donné : le contrôle des émissions de l'appareil. Figure I.6

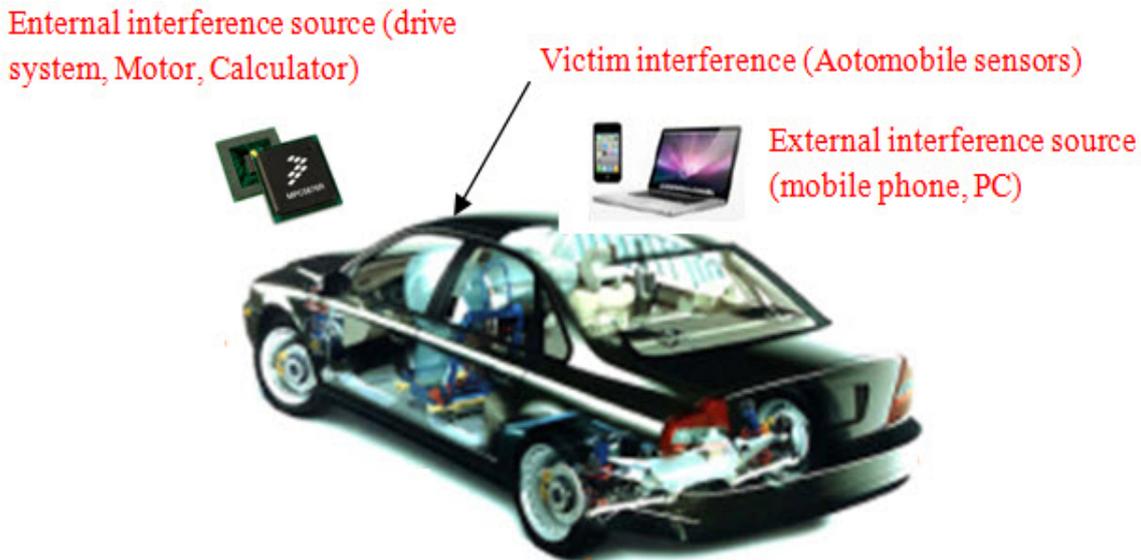


FIGURE I.6 – L'illustration des interférences électromagnétiques dans un système automobile. (Émission de l'appareil).

Les produits de divertissement électronique personnels comme : ordinateur portable, téléphone portable... émettre des ondes de radiofréquence à l'intérieur de la voiture, tandis que le microcontrôleur à haute fréquence utilisé dans le véhicule peut également générer des interférences électromagnétiques (EMI). De plus en plus les communications sans fil créent des interférences avec la fréquence jusqu'à 2.4GHz. Tout cela pourrait compliquer l'environnement électromagnétique. Il est donc important qu'au niveau de la conception, les émissions soient limitées à un certain niveau, pour éviter de déranger d'autres équipements. Le niveau d'émission rayonnée est limité entre 20dBuV à 80dbuV (10µV à 10mV) selon les différentes applications et la gamme de fréquence de fonctionnement. D'autre part, les circuits intégrés sont largement utilisés dans le système électronique, ce qui en fait les victimes ultimes des interférences électromagnétiques, comme le montre la figure I.7.

Les bruits RF émis par le radar pourraient perturber l'équipement électronique de l'avion, et ces bruits couplés sur la piste de la carte de circuit imprimé (PCB) pourraient finalement affecter le fonctionnement du circuit intégré. L'immunité du circuit intégré devrait être prise en compte dans son niveau de conception, afin de pouvoir résister à un certain niveau de perturbation. L'étude de la compatibilité électromagnétique des circuits intégrés comporte deux aspects [CEI 61000] :

- Émission : Phénomène par lequel l'énergie électromagnétique émane d'une source.
- Immunité (ou susceptibilité) : Capacité d'un dispositif, d'un circuit ou d'un système à fonctionner sans dégradation en présence d'une perturbation électromagnétique.

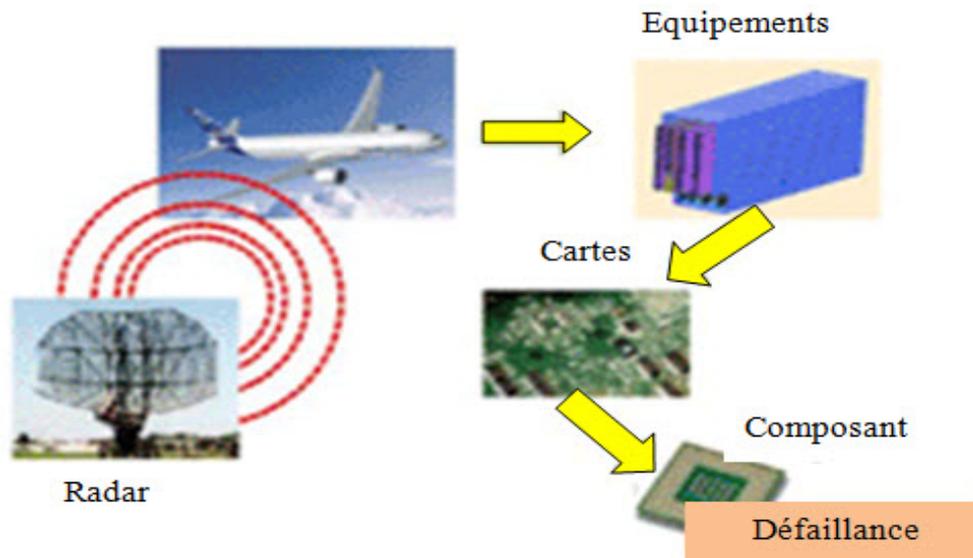


FIGURE I.7 – L'illustration de l'interférence électromagnétique injectée dans les systèmes électroniques à partir d'une source de perturbation et couplée à la fin au circuit intégré (Immunité de l'appareil).

### I.3.1 Besoin de CEM

Tous les appareils électriques et électroniques génèrent des interférences électromagnétiques et y sont sensibles. En tant que concepteur de produit, leur travail consiste à réduire cette génération et la sensibilité à des niveaux acceptables. Avec la pénétration croissante de l'état solide dans l'électronique, des niveaux de brouillage acceptables sont devenus progressivement plus strictes à mesure que la séparation physique entre les appareils s'est réduite et que leur fonctionnement a augmenté. Le solide, en particulier la technologie des circuits intégrés, est plus sensible que les dispositifs à tube à vide d'il ya des années, et la popularité des boîtiers en plastique avec leur absence de blindage est un facteur supplémentaire. La capacité d'un dispositif à fonctionner dans les limites de l'immunité aux interférences et de la suppression est connue sous le nom de compatibilité électromagnétique (CEM).

Dans certains domaines de l'électronique, la CEM est une exigence du produit depuis longtemps. L'électronique militaire est soumise à de sévères limitations, souvent en raison de la proximité d'un équipement d'impulsion de haute puissance (radars) avec un équipement de traitement de signal sensible dans le même aéronef, navire ou véhicule, et les normes CEM militaires ont fait leur apparition dans les années 1960. L'utilisation croissante des talkies-walkies dans les installations de traitement et ailleurs a incité les utilisateurs d'instruments critiques pour la sécurité à spécifier une immunité minimale vis-à-vis des radiofréquences ingérence. Les équipements de mesure et de pesage ne doivent pas donner de lectures incorrectes en présence d'interférences et les récepteurs de radiodiffusion domestiques doivent pouvoir fonctionner aux côtés des ordinateurs domestiques. Les fréquences radio ne sont pas la seule source d'interférence. Les transitoires peuvent être générés par des circuits de commutation de puissance, la foudre, des moteurs électriques, des dispositifs à allumage par étincelle ou des décharges électrostatiques, pour n'en nommer que quelques-uns. Les circuits intégrés sont particulièrement sensibles aux interférences impulsionnelles et doivent être protégés en conséquence.

### I.3.2 Importance de la CEM

De nombreux fabricants ont découvert que les performances médiocres d'un produit en matière de CEM peuvent être extrêmement onéreuses, à leur réputation. Pour cette raison, De nombreuses entreprises testent leurs produits pour la compatibilité électromagnétique avant de les commercialiser, même s'il n'existe pas de norme applicable pour cette classe d'équipements.

Quoi qu'il en soit, pratiquement tous les produits électroniques sont désormais soumis à la législation d'une source ou d'une autre, ce qui impose des contraintes en matière de performances CEM. Les contraintes imposées aux équipements en termes de compatibilité électromagnétique sont que les équipements doivent continuer à fonctionner de manière fiable dans un environnement électromagnétique hostile et qu'ils ne doivent pas en eux-mêmes dégrader cet environnement au point de provoquer un fonctionnement non fiable des autres équipements. CEM se divise donc nettement en deux zones, intitulées «immunité» et «émissions».

### I.3.3 Normalisation en CEM

Compte tenu du nombre de dispositifs électroniques existants, les conséquences dues à des possibles dysfonctionnements pourraient être graves si la CEM n'était pas prise en compte. Dans un premier temps, les autorités de chaque pays avaient approuvé des normes fixant des seuils d'émission et des niveaux de protection aux appareils électroniques pour éviter les interférences avec les systèmes de radiodiffusion. Néanmoins, avec l'évolution technologique, il est devenu nécessaire de développer ces normes à tout système électronique susceptible de perturber et d'être perturbé.

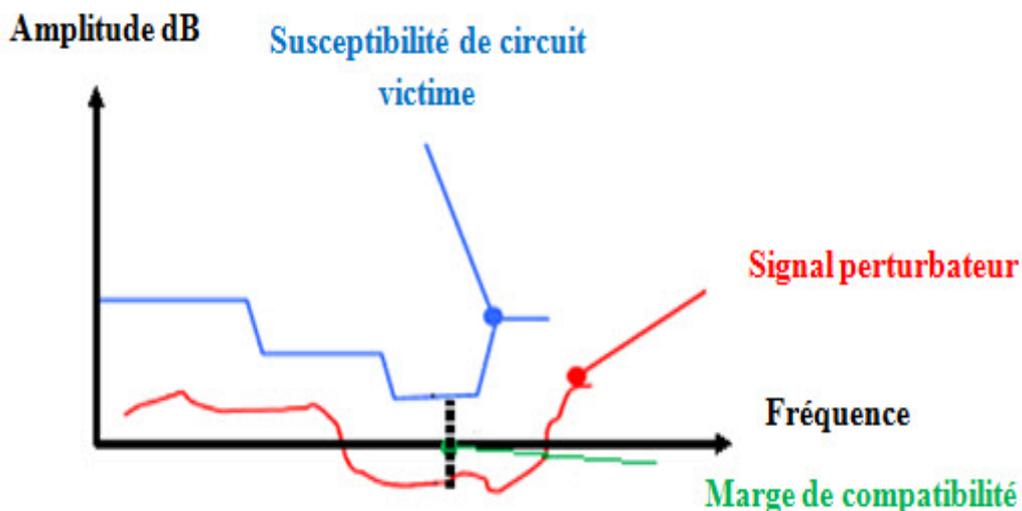


FIGURE I.8 – Attestation de conformité vis-à-vis d'une norme pour un produit donné.

Lorsque le produit respecte les exigences essentielles, ainsi que les procédures d'évaluation de la conformité avant la mise sur le marché, prévue par les directives, le fabricant appose, souvent sous sa responsabilité, le marquage « CE » (Conformité Européenne) et le produit bénéficie alors de la libre circulation dans l'ensemble du marché européen. Aujourd'hui le marquage CE concerne plus de 30% de la production industrielle des secteurs électrique, électronique et des machines [25]. Pour satisfaire aux exigences de la normalisation, les fabricants de produits électroniques disposent de diverses alternatives : effectuer des essais afin de les mettre en conformité dès la phase de fabrication, faire appel à un organisme pour qu'il réalise des mesures de type

CE ou bien recourir à un système d'assurance qualité approuvé par un organisme notifié et qui prend en compte les différentes phases de conception, fabrication, contrôle final du produit et essais [25]. Les organismes qui s'occupent de la normalisation sont présentés dans le tableau suivant, selon le domaine et le territoire dans lequel ils sont compétents [26].

TABLE I.1 – *Organismes de normalisation.*

Niveau	Domaines		
	Electricité, Electrotechnique et en Electronique	Télécommunications	Autres domaines
Mondial	CEI	CCITT	ISO
Européen	CENELEC	ETSI	CEN

### I.3.4 Aspects fondamentaux de la CEM

Lors de l'analyse d'un problème de perturbation électromagnétique on constate que le problème englobe trois éléments comme le montre la figure I.9 : une source de perturbation qui émet de l'énergie électromagnétique, un canal de couplage au travers duquel l'énergie de ces perturbations se propage et enfin un récepteur qui capte cette énergie, la traite et la superpose à sa fonction normale. Si les perturbations reçues par ce dernier sont trop élevées et provoquent des interférences, alors on parle de victime de ces perturbations.



FIGURE I.9 – *Mécanisme du couplage.*

Dans la majorité des cas le canal de transmission est involontaire, et il y a toujours transmission de perturbations, mais pour considérer qu'il y a interférence, il faut que l'amplitude de ces perturbations atteigne un niveau suffisant pour fausser le comportement du récepteur, qui devient alors la victime. Souvent il est difficile de déterminer à partir de quel niveau il faut considérer qu'il y a interférence : par exemple des bruits parasites sur l'écran d'un radar peuvent conduire un débutant à mal interpréter ce qu'il observe, alors qu'un utilisateur expérimenté n'aura aucun problème à interpréter correctement l'écran quel niveau faut-il alors admettre à l'écran ? Il en est de même pour tous les circuits analogiques : la perturbation s'ajoutant au signal utile sera toujours visible, à partir de quel niveau faut-il admettre qu'il y a interférence ? Même pour des circuits logiques le problème peut se poser : si le récepteur exploite un algorithme de correction des erreurs de transmission, alors des perturbations d'un niveau supérieur à la marge de sécurité des niveaux logiques peuvent devenir admissibles.

Source et récepteur peuvent être classés comme intentionnel ou involontaire : tant l'un que l'autre peuvent avoir été conçus pour émettre ou recevoir de l'énergie électromagnétique, ce sont alors des émetteurs ou récepteurs intentionnels (émetteur- récepteur radio ou TV par ex), dans ce cas la notion de perturbation et d'interférence dépend du canal de transmission considéré :

un récepteur accordé sur la fréquence de l'émetteur de Sottens considère cet émetteur comme intentionnel, par contre si les signaux transmis par ce même émetteur sont captés par un récepteur accordé sur une autre station, alors il sera considéré comme une source involontaire, produisant des perturbations voir des interférences. Il est donc indispensable de considérer le domaine de fréquence des perturbations.

Enfin le canal de transmission n'est pas seulement limité aux ondes électromagnétiques dans l'air, mais peuvent passer à travers les fils et câbles de liaison, soit directement de l'émetteur à sa victime, soit par conduction sur une partie du trajet, les câbles servant ensuite d'antenne. C'est particulièrement vrai pour le réseau d'alimentation 50Hz : celui-ci est si dense qu'il permet la propagation des perturbations, et sert de réseau d'antenne très « efficace ».

## I.4 Emission électromagnétique des circuits intégrés

Les émissions parasites électromagnétiques trouvent leur origine dans le courant consommé lors de la commutation des circuits élémentaires du composant électronique. La figure I.10 permet d'illustrer le phénomène du bruit parasite par un circuit élémentaire représentée par un inverseur de type CMOS. Nous avons le courant qui circule à chaque commutation de l'entrée de l'inverseur.

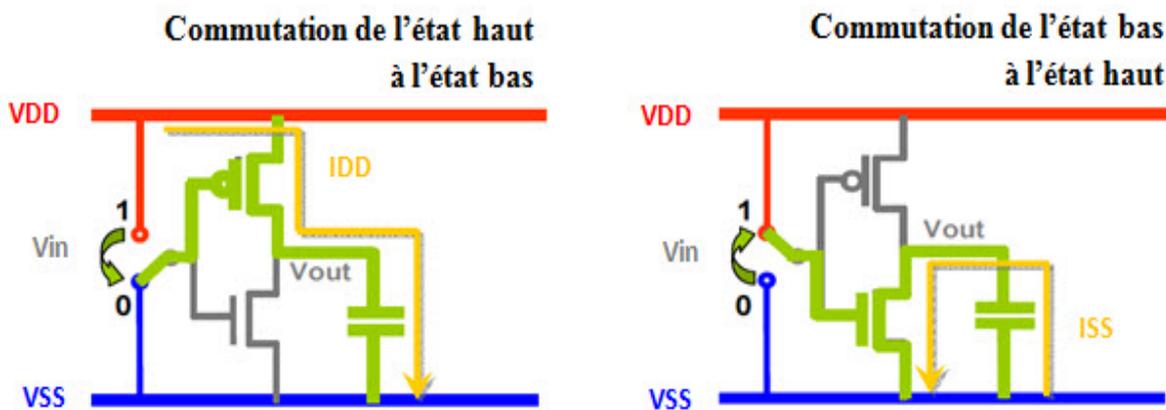


FIGURE I.10 – Courant consommé par un circuit élémentaire (inverseur CMOS) [28].

Lors du passage de la sortie de l'inverseur du niveau logique bas au niveau logique haut, le courant venant de l'alimentation VDD charge la capacité de la sortie de l'inverseur, à travers le transistor PMOS. Inversement, lors du passage de la sortie du niveau logique haut au niveau logique bas, le courant circule par le transistor NMOS vers la masse VSS déchargeant ainsi la capacité en sortie de l'inverseur. La variation d'amplitude brutale et rapide du courant traversant le chemin d'alimentation provoque des fluctuations de la tension d'alimentation à cause de l'inductance parasite des pistes du circuit intégré, des fils de soudure "bonding" qui relie la puce à son boîtier, des broches "lead" du boîtier lui même, ainsi que des éventuelles pistes du circuit imprimé. Au niveau d'un circuit, le boîtier représente le contributeur majeur de l'inductance parasite, tandis que le réseau de distribution d'alimentation interne du circuit intégré est plus résistif. Le bruit parasite lié au passage du courant de commutation des circuits au travers des inductances parasites des différentes interconnexions est appelé  $\Delta I_{noise}$  dont l'amplitude peut être évaluée à partir de l'équation (I.1) [27] :

$$V\Delta I_{noise} \approx L \cdot \frac{di}{dt} \quad (I.1)$$

Avec :  $L$  est l'inductance parasite du chemin d'alimentation  $\frac{di}{dt}$  est la pente du pic de courant Le bruit lié au passage du courant appelé lors de la commutation des circuits au travers des résistances parasites est appelé  $IR_{noise}$ . Alors que le  $\Delta I_{noise}$  entraîne une fluctuation de tension, le  $IR_{noise}$  occasionne une chute de potentiel et dégrade les vitesses de commutations des portes logiques [27]. Ces fluctuations sont à l'origine de plusieurs phénomènes parasites comme l'émission conduite par les alimentations. Les fluctuations de courants peuvent provoquer l'apparition de champ magnétique au-dessus de la puce ou émission rayonnée. Ce champ peut générer des perturbations sur les équipements environnants par le phénomène inverse.

### I.4.1 Evolution des émissions parasites

L'évolution des technologies des transistors, l'abondance du nombre de circuits élémentaires logiques à l'intérieur des composants électroniques impliquent des consommations de courant plus importantes et une augmentation du bruit parasite. La généralisation des microprocesseurs performants utilisant plusieurs horloges de fréquences différentes ainsi que l'augmentation des fréquences de fonctionnement des circuits intégrés créent des spectres d'émission parasite vers les hautes fréquences risquant de perturber certaines applications sensibles [27]. Les évaluations sur les années futures des évolutions des circuits intégrés, permettent d'illustrer au niveau de la figure I.11 l'évolution de l'émission parasite, face aux exigences à la fois des fabricants et clients des circuits intégrés, avec l'avancée des technologies. Au niveau de l'évolution du bruit parasite, si nous n'intégrons aucune stratégie d'optimisation CEM, l'émission parasite aura tendance à augmenter dans les prochaines années.

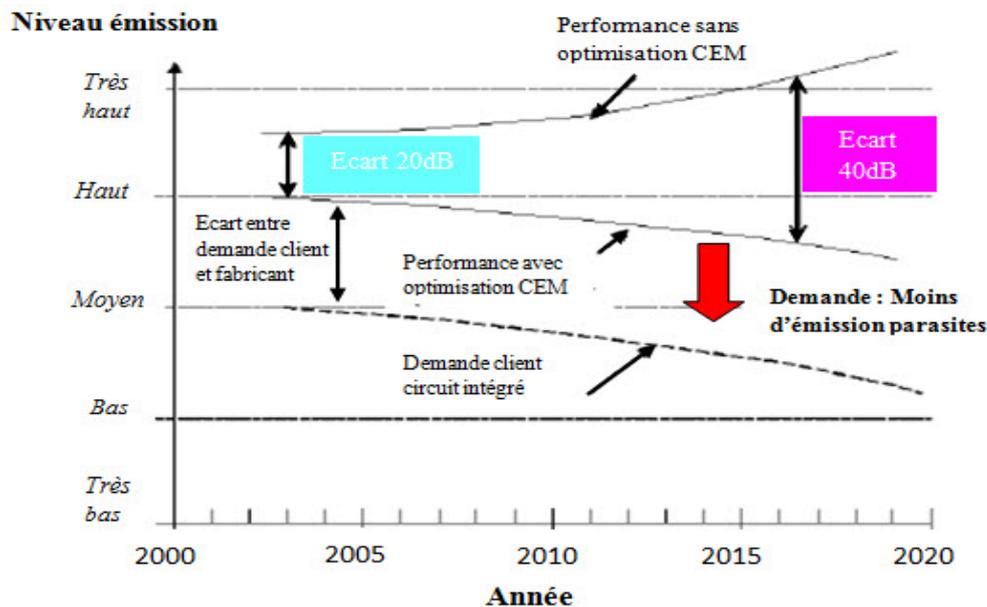


FIGURE I.11 – Tendances de l'émission parasite suivant l'évolution de la technologie des circuits intégrés [28].

Nous constatons une demande forte, des clients des circuits intégrés, pour la réalisation de composants électroniques a faible émission. Les fabricants de circuits intégrés sans optimisation CEM souffrent de hautes émissions parasites, et nécessitent des capacités de découplages, des protections et des filtrages au niveau du circuit imprimé.

Au début des années 2000, nous notons que l'écart entre les niveaux d'émissions parasites des circuits intégrés sans optimisation CEM et ceux qui intègrent de nouvelles règles de conceptions CEM, ont été réduits de quasiment 20dB [28]. La tendance des années futures vers la technologie plus complexe et plus rapide devrait conduire à des niveaux d'émission encore plus élevés. Bien que de nombreux efforts aient été faits [29], de nouvelles techniques novatrices doivent être étudiées afin de compenser l'effet parasite électromagnétique induit pour les technologies de tailles très réduites. En 2020, l'efficacité requise de ces techniques devrait permettre de maintenir un écart de - 40dB [28]. En dépit de ces efforts continus, il existe un écart entre la demande du client des circuits intégrés et les performances qui intègrent déjà les optimisations CEM. Non seulement les approches de conception des composants à faible émission doivent être généralisées et intégrées dans les flots de conception des systèmes des puces, mais les techniques avancées de conception devraient être appliquées pour répondre à la pression de la demande des clients des circuits intégrés vers moins de bruits conduits et rayonnés.

### I.4.2 Caractérisation de l'émission

Des approches de mesures d'émission parasite ont été développées et l'établissement de ces méthodes de caractérisation répondait à un besoin principalement de l'industrie, qui devait gérer des problèmes d'interférence électromagnétique fréquents entre équipements électroniques [27]. Les procédures de mesure d'émission sont décrites dans le document [IEC – 61967]. Les problèmes CEM reliés à un circuit sont dus au bruit conduit hors de la puce par les broches de son boîtier. Ainsi, la caractérisation du courant conduit sortant de chaque broche d'un circuit, principalement les broches d'alimentation, de masse, et les E/S rapides permettent d'avoir la caractéristique du spectre d'émission. La figure I.12 montre les différentes méthodes normalisées, les plus utilisées, de la caractérisation des émissions parasites. Nous avons, dans la norme, des méthodes pour mesurer l'émission parasite conduite et rayonnée.

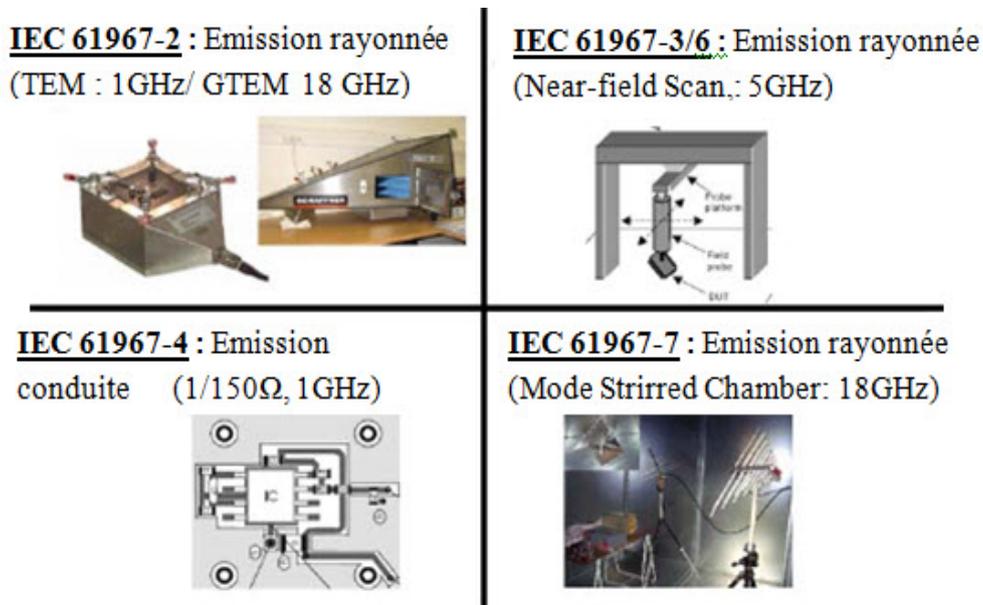


FIGURE I.12 – Méthodes standardisées de caractérisation de l'émission parasite des circuits intégrés.

La mesure conduite 1Ω, définie dans la norme, permet la mesure de l'émission conduite

sur une ou plusieurs broches de masse d'un circuit intégré. L'amplitude de l'ensemble des courants de retour à la masse d'un circuit peut alors être caractérisée. Elle ne peut être appliquée que sur les broches de masse. Pour caractériser l'émission conduite des broches d'alimentation et des E/S jusqu'à 1GHz, la méthode conduite 150 est alors utilisée. Les cellules "TEM" (Transverse Electromagnetic) et "GTEM" (Gigahertz Transverse Electromagnetic) permettent la mesure rayonnée des composants dans un espace restreint. Leur utilisation pour la caractérisation de l'émission rayonnée des circuits est jusqu'à 1GHz ou 18GHz, suivant le "TEM" ou le "GTEM". Une cellule "TEM" est un guide d'onde rectangulaire avec un conducteur central interne connecté à un ou deux terminaux. Elle forme ainsi une ligne coaxiale d'impédance caractéristique 50. Sa géométrie impose la propagation d'ondes en mode transverse électromagnétique jusqu'à la fréquence de coupure de la cellule. Pour la mesure d'émission, des techniques de mesures normalisées sont utilisées dans l'industrie jusqu'à 3GHz que ce soit en mode conduit ou rayonné. Dans la bande 3-10GHz des solutions existent mais seule la technique rayonnée est utilisée. Dans la bande 10-40GHz, il est nécessaire de développer de nouvelles méthodes pour couvrir les besoins de l'industrie dans les années à venir.

## I.5 Susceptibilité électromagnétique des circuits intégrés

Les agressions conduites et rayonnées se traduisent par des courants et tensions parasites dans les circuits intégrés, pouvant entraîner un dysfonctionnement voire une destruction. La gamme d'effets produits par les perturbations sur les circuits intégrés est très vaste et ses manifestations le sont tout autant. Parmi les composants les plus susceptibles, nous avons les circuits analogiques à cause de leurs très faibles marges de bruit [29]. Une agression continue, dans un circuit analogique, agit par augmentation du plancher de bruit entraînant une dégradation du rapport signal/bruit ainsi qu'une déviation des caractéristiques par modification de la composante continue de polarisation.

### I.5.1 Origine de la susceptibilité

L'origine de l'immunité dans les circuits intégrés est dans plusieurs phénomènes physiques. La sollicitation des liaisons radiofréquences et des circuits intégrés plus ou moins bruyants génère un champ électromagnétique non négligeable dans un espace où résident beaucoup de systèmes critiques. La figure I.13 présente les principales sources de champs électromagnétiques produites par les autres composants électroniques, les équipements des téléphones mobiles, les radars, les sources sans fil et les stations de base RF pouvant générer des perturbations dans les circuits intégrés.

Ces agressions électromagnétiques, qui sont induites par une génération de courant, créent dans les composants des problèmes de fonctionnement qui peuvent aller jusqu'à la détérioration intégrale du circuit intégré. Les agressions peuvent être classées suivant leurs niveaux d'énergie ainsi que leurs bandes de fréquences. Nous avons aussi les agressions dont l'énergie n'est pas suffisante pour modifier de façon permanente les caractéristiques électriques et/ou technologiques des circuits intégrés. Les agressions peuvent aussi entraîner une perturbation réversible de la fonctionnalité du composant. Les perturbations agissent par des mécanismes différents selon que leur fréquence fondamentale est incluse ou non dans la bande des fréquences de fonctionnement du circuit intégré.

Le niveau de puissance et la plage de fréquence sont les principaux critères qui caractérisent une perturbation électromagnétique.

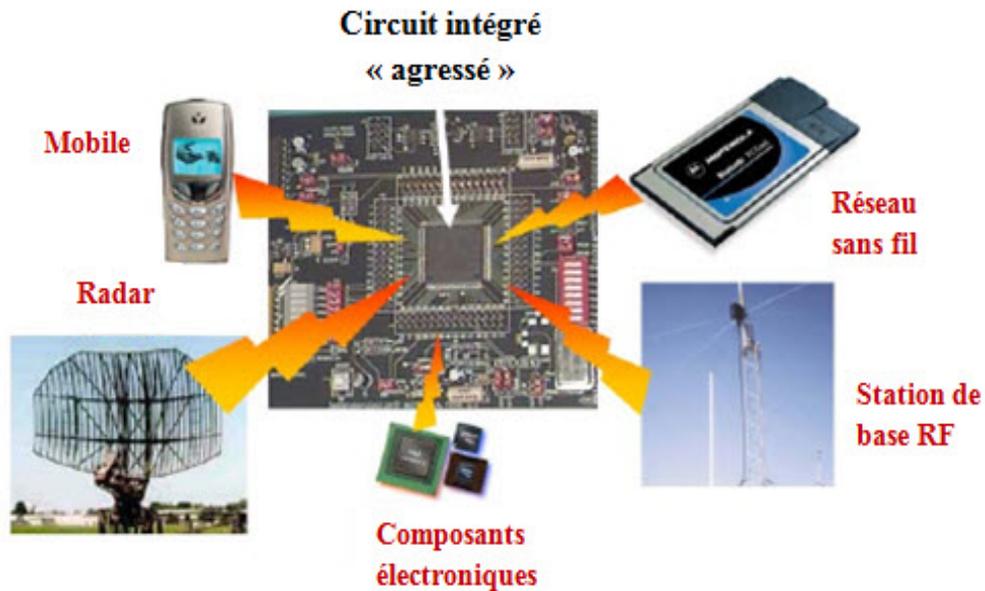


FIGURE I.13 – Sources d’agressions électromagnétiques des circuits intégrés [30].

### I.5.2 Evolution de la susceptibilité

La tendance des technologies vers des marges de bruit de plus en plus faible, l’augmentation de l’intégration des structures des entrées/sorties et la vitesse des bus de plus en plus élevée devrait conduire à une susceptibilité accrue des circuits intégrés aux interférences radiofréquences. La figure I.14 présente les différentes tendances de l’évolution de la susceptibilité des circuits intégrés, avec les exigences clients, les performances avec et sans optimisations CEM [30].

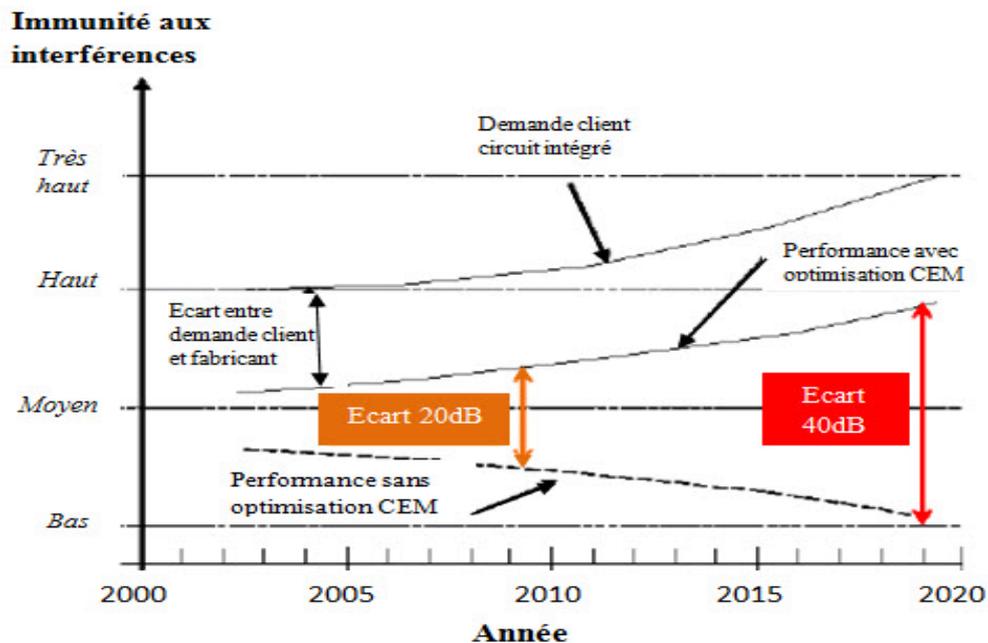


FIGURE I.14 – Tendances entre les exigences de la susceptibilité et l’évolution de la technologie des circuits intégrés. After [28].

Nous avons un niveau d'immunité des circuits intégrés, sans les performances CEM, qui est faible et il tend à diminuer au cours des années à venir. Nous notons une augmentation de l'immunité des composants avec l'application des règles de conceptions CEM, et cette tendance se confirme pour les années futures.

Il existe un écart entre le spectre des demandes clients et celui qui découle des efforts faits au niveau des performances CEM. Nous pouvons aussi noter que cet écart évolue en fonction des futurs nœuds technologiques. Par contre, les optimisations CEM participent à l'amélioration du niveau d'immunité des circuits intégrés.

### I.5.3 Caractérisation de la susceptibilité

L'exactitude des mesures de susceptibilité est cruciale, plus particulièrement, quand nous cherchons à construire un modèle de susceptibilité efficace qu'il soit fonctionnel ou comportemental. Au niveau de la caractérisation de l'immunité des circuits intégrés, nous avons plusieurs méthodes standardisées. Les méthodes de mesures les plus utilisées pour les circuits intégrés sont limitées en fréquence autour de 1GHz. La figure I.15 montre différentes méthodes de mesures de susceptibilité de la norme [IEC – 62132]. Nous avons des méthodes pour quantifier les perturbations dites conduites et rayonnées.

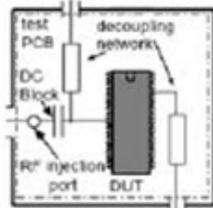
**IEC 62132-2 : Immunité rayonnée**  
(TEM / GTEM 1 GHz)



**IEC 62132-3 : Immunité rayonnée**  
(Bulk Current Injection 400MHz)



**IEC 62132-4 : Immunité conduite**  
(Direct Power Injection 1GHz)



**IEC 62132-9 : Immunité rayonnée**  
Near Field Scan 1GHz)

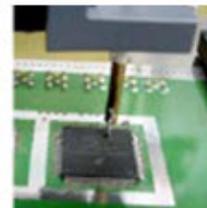


FIGURE I.15 – Méthodes standardisées de caractérisation de l'immunité des circuits intégrés.

## I.6 Sources de bruits électromagnétiques et leurs caractéristiques

Un certain nombre de bruits et de perturbations prennent leur origine dans des sources naturelles (foudre, décharge électrostatique (ESD), activité solaire, sources cosmiques) et la seule possibilité est de rendre les équipements insensibles et résistants à ces perturbations. La majorité des sources est cependant d'origine humaine, résultant du fonctionnement des équipements construits. Plutôt que de les classer en fonction de leur origine il convient plutôt

d'examiner leur comportement temporel et fréquentiel, de là en effet découlent les méthodes de mesure d'émission et les caractéristiques des générateurs d'essai d'immunité.

### I.6.1 Sources permanentes et sources intermittentes

Par définition une source permanente émet des perturbations aussi longtemps que l'appareil contenant cette source est en fonction. Par opposition une source intermittente n'émet des perturbations que sporadiquement, donc de manière imprévisible, à des intervalles pouvant varier entre quelques secondes et plusieurs jours, elles sont donc particulièrement difficiles à identifier (dépannage) et à caractériser. Souvent très variable d'un événement à l'autre, seule une analyse statistique permettra de définir la forme et le spectre de ces émissions. Un exemple typique de source permanente est l'horloge d'un système numérique. Si elle est en fonction tant que le système est enclenché, le niveau d'émission peut cependant varier, en fonction du contenu des données traitées dans l'appareil. Une analyse statistique du niveau d'émission reste donc indispensable : mesure du niveau moyen, et du niveau « quasi-crête ». La foudre et les décharges électrostatiques sont des exemples de sources intermittentes.

### I.6.2 Sources large bande et bande étroite

Une source est à « bande étroite » si sa largeur de bande est plus petite qu'une bande de référence (celle du récepteur : instrument de mesure ou victime). Toute l'énergie émise est alors reçue par le récepteur et définit le niveau des perturbations. Celui-ci ne change donc pas si l'on change la bande passante du récepteur. On peut alors se contenter de spécifier le niveau de champ électrique ( $V/m$ ) correspondant à la fréquence considérée.

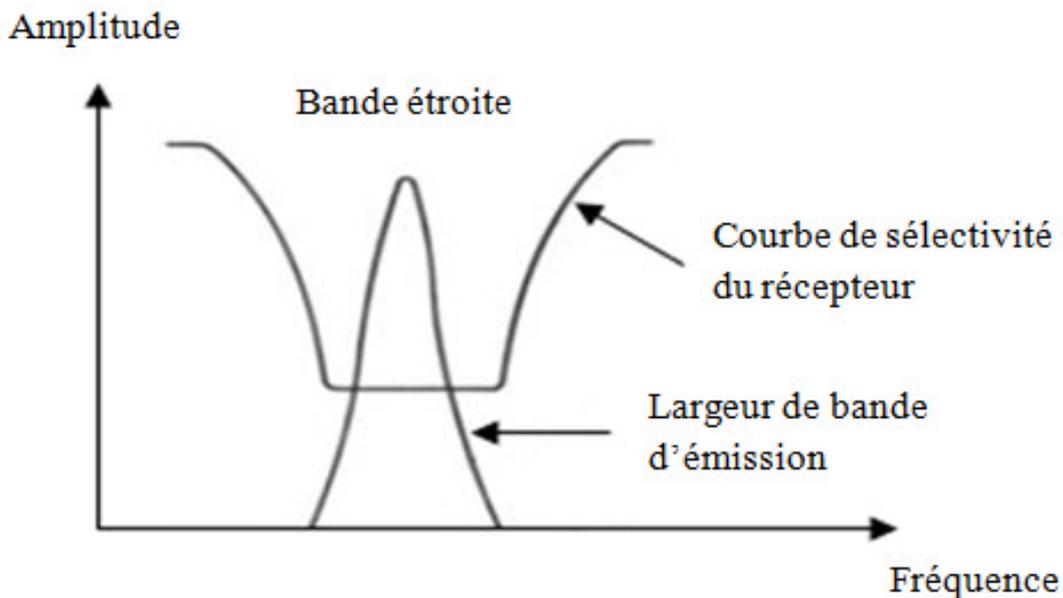


FIGURE I.16 – Source à bande étroite

Une source est qualifiée de « large bande » si sa largeur de bande est plus grande qu'une bande de référence. Dans ce cas le niveau mesuré, et le niveau des perturbations est dépendant de la largeur de bande du récepteur. On doit donc spécifier le niveau relatif à la bande passante :  $V/m/Mhz$ .

Alors dans ce cas il faut préciser si la source est cohérente ou non : pour une source cohérente, il y a une relation de phase définie entre les différentes composantes de fréquence. Toute source de signaux périodiques non sinusoïdaux (signal logique, horloge) est une source large bande (les harmoniques couvrent une très grande bande de fréquence), cohérente car la relation de phase entre ces harmoniques est bien définie. Par contre dans une source non cohérente, la relation de phase entre les composantes est aléatoire, et le niveau est la combinaison des valeurs efficaces des composantes, par conséquent il est proportionnel à la racine carrée de la bande passante du récepteur. Les lampes à gaz (alimentées en continu), les décharges par effet corona, les corps noir sont des exemples de sources incohérentes.

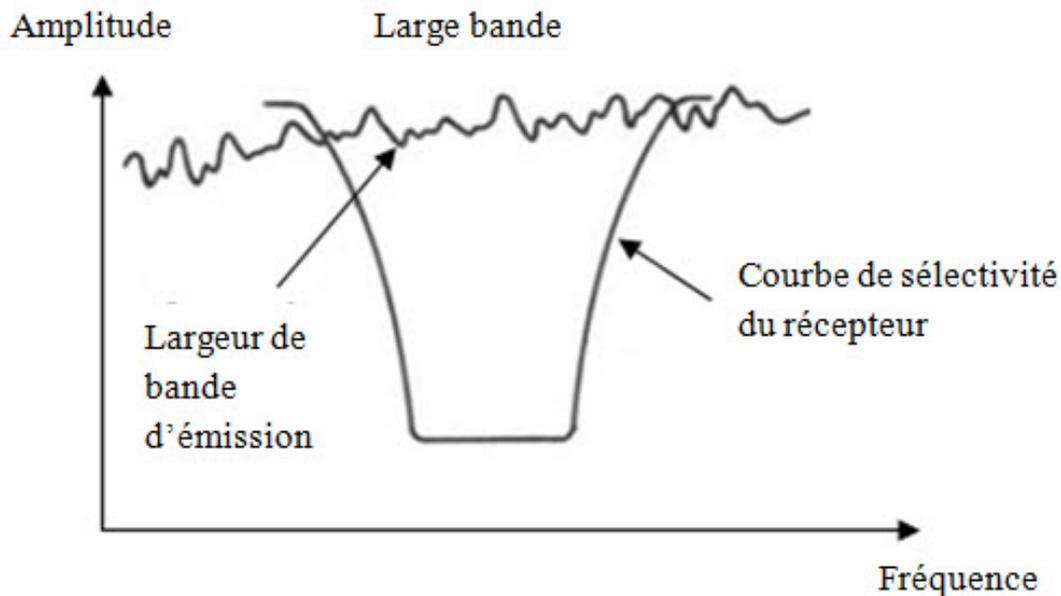


FIGURE I.17 – *Source à large bande.*

### I.6.3 Sources intentionnelles et non-intentionnelles

Une source est « non-intentionnelle » si la fonction de l'équipement est autre que la communication radio. Dans ce cas les émissions ne sont que parasites, donc la puissance émise est d'un niveau largement inférieur aux sources intentionnelles. Seule la proximité de ces sources peut conduire à des risques d'interférence.

### I.6.4 Sources impulsionnelles

La grande majorité des sources non-intentionnelles sont des sources de transitoires, soit sous forme d'impulsion unipolaire, soit sous la forme d'une oscillation amortie (qui sont en fait la réponse impulsionnelle d'une partie du système à une très courte impulsion unipolaire assimilable à une impulsion de Dirac). On les caractérise par leur temps de montée (temps nécessaire pour passer de 10 à 90% de l'amplitude crête, et par la durée de l'impulsion unipolaire (à 50% de l'amplitude), ou par la période de l'oscillation amortie et son taux d'amortissement. L'oscillation amortie étant déjà la réponse (visible dans le canal de transmission) à une impulsion unipolaire.

Plus le temps de montée est court plus le spectre de ces perturbations s'étend vers les hautes fréquences. Les coups de foudre peuvent être représentés par une impulsion unipolaire de durée

d'environ  $50\mu s$  et de temps de montée de l'ordre de  $500ns$ , avec une valeur de crête de 30 à 50KA. Les décharges électrostatiques, si elles sont d'amplitude largement plus faibles de l'ordre de 40A, sont beaucoup plus rapides : temps de montée de l'ordre de la ns, durée de l'ordre de 50ns.

## Transitoires

### La foudre, décharges électrostatiques, transitoires des lignes électriques (pointes)

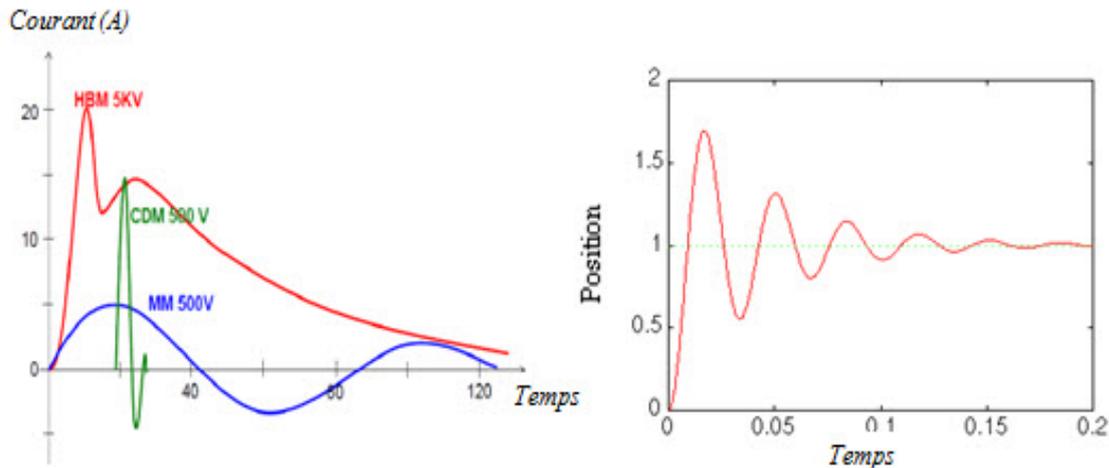


FIGURE I.18 – *Formes d'ondes transitoire.*

Dans le cas des sources permanentes, il faut compléter l'information par la fréquence de répétition du phénomène parasite, et par son rapport cyclique (rapport de la durée de l'impulsion à sa période de répétition) dont dépend le niveau d'énergie donc l'amplitude spectrale.

## I.7 Couplage des perturbations

Le couplage d'une source à une victime peut se faire de deux manières : le couplage par conduction (fils reliant le signal, les commandes ou les alimentations) et le couplage par rayonnement, se manifestant par un champ magnétique et un champ électrique associé (agissant sur une antenne, à travers les ouvertures des blindages, ou directement sur les fils d'interconnexion). L'analyse de ce rayonnement doit se faire par résolution des équations de Maxwell, dans le cas général. La figure I.19 illustre les différents modes de couplage.

### I.7.1 Couplages en mode conduit

#### Mode commun ou par impédance commune

L'impédance d'un conducteur n'étant jamais nulle, tout courant y circulant génère donc aux bornes de ce conducteur une tension ( $U=Z.I$ ). Ce phénomène est particulièrement sévère pour les circuits bas niveaux (mesure) ou rapides (radio).

Les tensions de mode commun se développent entre les fils de liaisons (alimentations, signaux) et la référence de potentiel : masses des appareils, fil de protection équipotentielle. La tension de mode commun est définie comme étant égale à la valeur moyenne de la d.d.p entre les différents fils et la masse. Le courant de mode commun est égal au courant qui s'écoule à la

masse, ce courant se partageant entre les différents fils de liaison, dans le même sens sur chacun des fils. Il peut être mesuré par une sonde de courant parcourue par les 2 fils dans le même sens.

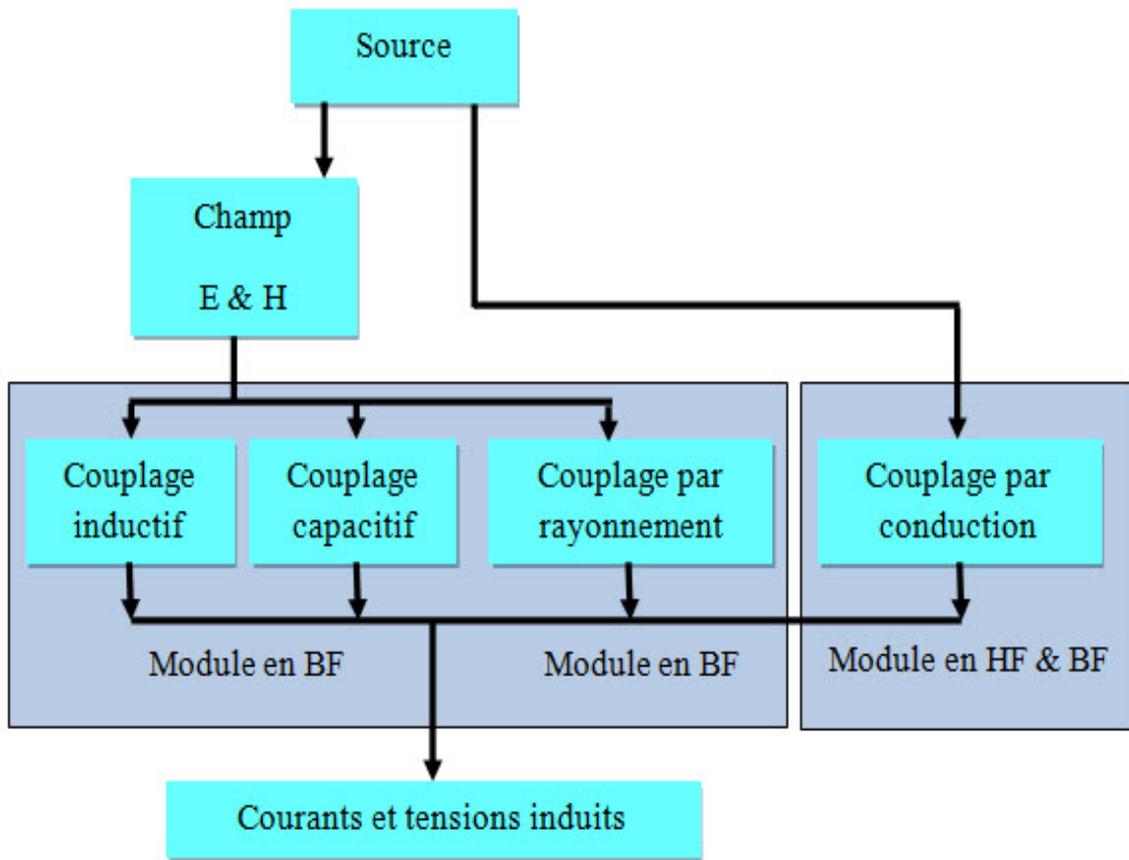


FIGURE I.19 – Bilan des différents couplages.

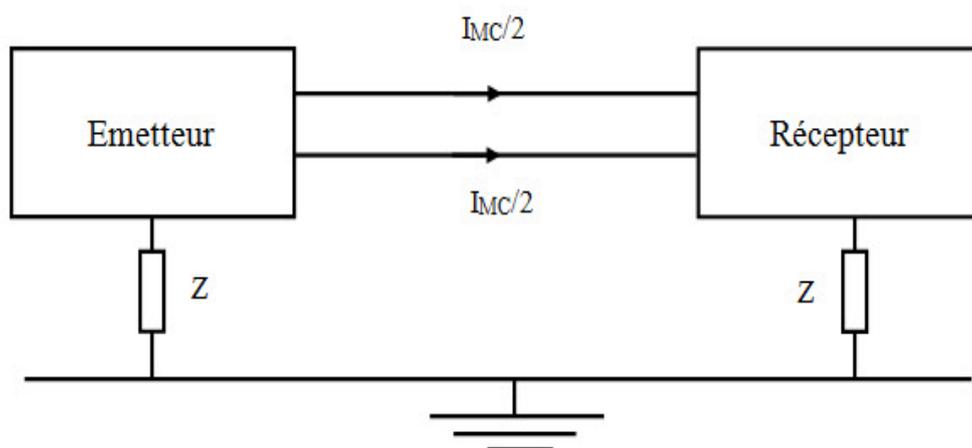


FIGURE I.20 – principe de couplage par impédance commune.

## Mode différentiel

Les signaux utiles sont généralement transmis en mode différentiel, appelé aussi mode « série », mode « normal » ou mode « symétrique ».

La tension de mode différentiel est mesurée entre les 2 fils, elle peut être mesurée avec une sonde différentielle. L'étage d'entrée des systèmes électroniques comporte souvent un amplificateur différentiel. Le courant de mode différentiel se boucle sur les 2 fils de liaison, il circule en sens opposé sur chacun des fils. Ce courant peut être mesuré au moyen d'une sonde de courant parcourue par les 2 fils en sens opposé. Les perturbations généralement constatées dans ce mode, et qui sont plutôt faibles, viennent du déséquilibre de l'étage d'entrée du récepteur.

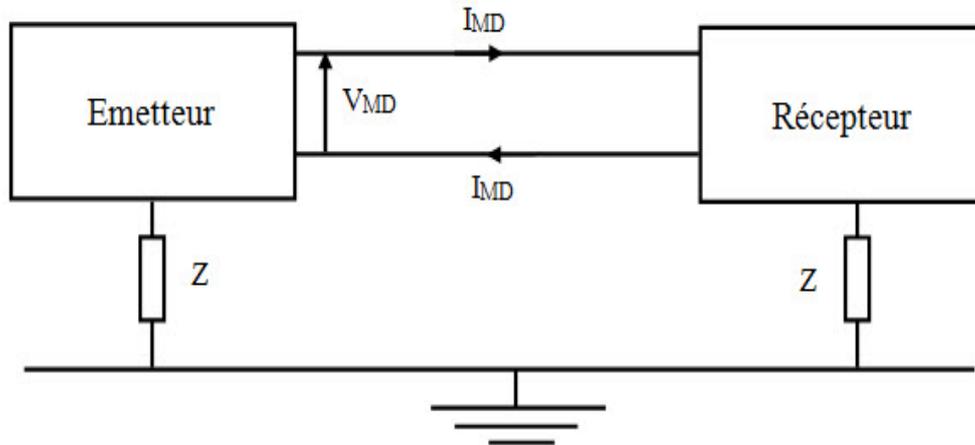


FIGURE I.21 – *principe couplage par mode différentiel.*

### I.7.2 Couplages en mode rayonné

#### Couplages en champ proche

Un signal électrique traversant un conducteur génère autour de celui-ci un champ électrique et un champ magnétique. Les conducteurs voisins baignent dans ces champs et sont à leur tour traversés par un signal électrique induit par le premier. Ces influences sont appelées couplage par diaphonie inductive (influence du champ magnétique) et capacitive (influence du champ électrique). Il est intéressant de séparer l'étude des deux diaphonies pour la compréhension des phénomènes. Cela sous entend que les deux lignes sont courtes devant les longueurs d'onde des signaux qui les traversent. Lorsque cette condition n'est plus valable, les lignes sont considérées comme des lignes de transmission et le calcul de la diaphonie globale devient plus complexe.

#### Couplage par diaphonie inductive

Un courant  $I$  circulant dans un fil génère un champ magnétique autour de celui-ci. Si ce champ est variable, il induit une tension  $e$  dans les boucles voisines :

$$e = -M \cdot \frac{di}{dt} \quad (I.2)$$

$M$  est l'inductance mutuelle entre les deux circuits et  $\frac{di}{dt}$  la vitesse de variation du courant, donc du champ. Cette inductance  $M$  est un artifice qui permet d'éviter l'introduction des notions de champ magnétique.

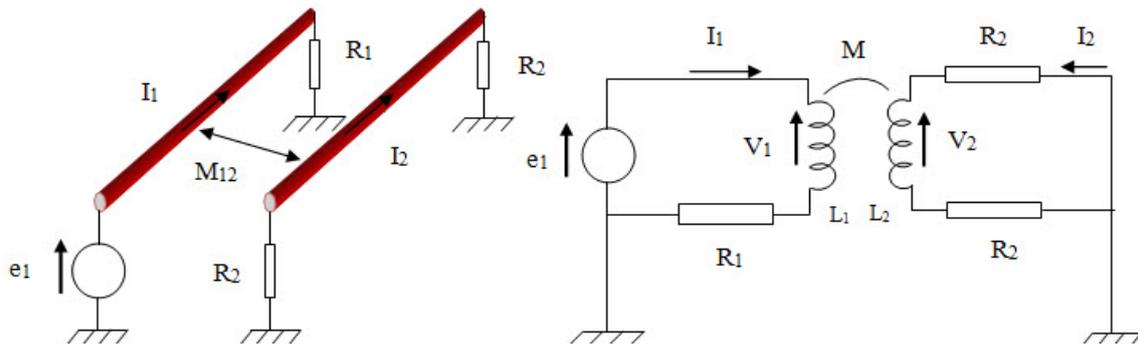


FIGURE I.22 – Couplage inductif entre deux câbles.

La diaphonie est nulle en continu et reste faible jusqu'à des fréquences de quelques KHz. Elle n'est gênante que pour les signaux à bas niveaux proches de conducteurs transportant des courants rapidement variables. Couplage par diaphonie capacitive

### Couplage par diaphonie capacitive

Les variations de tension entre un conducteur et son environnement génèrent un champ électrique variable. Celui-ci injecte à son tour un courant, proportionnel aux lignes de champ coupées, dans les conducteurs proches. La diaphonie capacitive est un couplage par champ électrique. La notion de capacité de couplage parasite nous évite de calculer les champs électriques. Cette capacité de couplage nous permet de calculer le courant collecté par un conducteur victime :

$$I = C \cdot \frac{dv}{dt} \quad (\text{I.3})$$

ou au régime harmonique

$$I = 2\pi F C V \quad (\text{I.4})$$

I : courant collecté par la piste victime en A.

F : fréquence du signal source en Hz.

C : capacité de couplage en F.

V : tension de source coupable.

$\frac{dv}{dt}$  : vitesse de variation de la tension coupable.

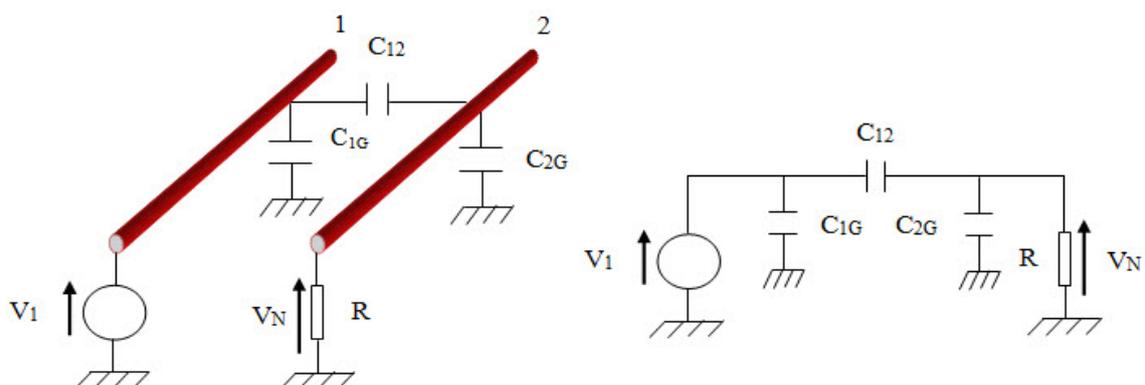


FIGURE I.23 – Couplage capacitif entre deux câbles.

La diaphonie capacitive est faible aux basses fréquences et nulle en continu. Elle se décompose en deux : Mode Différentiel et Mode Commun. Comme pour la diaphonie inductive de Mode Commun, la diaphonie capacitive de Mode Commun est la plus gênante. Aux fréquences élevées, les diaphonies inductives et capacitives sont équivalentes en énergie. Elle perturbe, en BF, surtout les circuits à haute impédance et bas niveaux.

### Couplage en champ lointain

Couplage en champ lointain Un champ électrique E, en se réfléchissant sur un conducteur de longueur L, crée un courant I en surface de ce conducteur. Le condensateur parasite entre les extrémités du conducteur permet la circulation du courant. Ce phénomène s'appelle aussi «couplage champ à fil » et est très faible aux fréquences basses. Le courant collecté en fonction du champ électrique peut s'exprimer de deux manières selon la valeur de L :

$$\text{Si } L < C/4F \Rightarrow I = EL^2 F / (2400 \text{ Ln } (L/2d))$$

$$\text{Si } L > C/2F \Rightarrow I = 1.25 E/F$$

Avec : L, longueur du fil en m, E, champ électrique en V/m, F, fréquence du champ E, C, célérité de la lumière (3.108 m/s), I, courant parasite en A et d, distance source-fil en mètres (m)

### Couplage champ à boucle

Couplage champ à boucle Une variation au cours du temps du flux F du champ magnétique B à travers une boucle de surface S engendre une force électromotrice (f.e.m.) d'induction e figure I.24 dont l'expression est :

$$e = -\frac{d\Phi}{dt} = -\frac{d}{dt}S\vec{B}.\hat{n} \quad (\text{I.5})$$

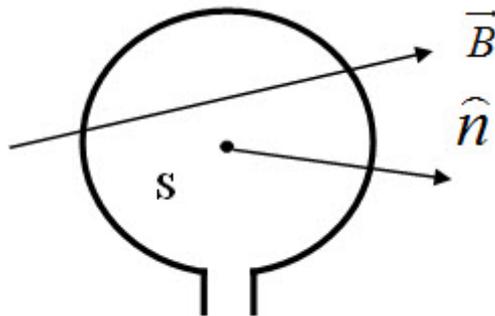


FIGURE I.24 – couplage champ à boucle.

La boucle étant fixe, la variation de flux est produite par une variation d'un courant perturbateur à l'origine du champ B . Pour réduire ce type de couplage, nous pouvons réduire la surface S de la boucle, réorienter la boucle en évitant qu'elle soit perpendiculaire au champ magnétique, réduire la rapidité de la variation du champ magnétique (pas toujours réalisable), séparer le plus possible les fils perturbateurs des fils victimes ou bien atténuer le champ magnétique par l'utilisation d'un écran magnétique.

## Effets des perturbations sur le comportement des circuits intégrés

Effets des perturbations sur le comportement des circuits intégrés Les circuits intégrés, qu'ils soient numériques ou analogiques peuvent être largement perturbés dans leur fonctionnement ou même d'une manière destructive dans leur structure par la présence de perturbations électromagnétiques en mode conduit ou rayonné. Par exemple, les flash EPROM sont à priori très sensibles d'un point de vue CEM [31]. Les microcontrôleurs sont également susceptibles aux interférences électromagnétiques sous deux principaux aspects : au niveau matériel [32] et au niveau logiciel [33].

## I.8 Techniques de mesure CEM

Les méthodes de mesure de compatibilité électromagnétique (CEM) consistent à étudier aussi bien les signaux parasites émis par un circuit que la susceptibilité électromagnétique de ce dernier. Au fil des années, les études de CEM ont conduit au développement de plusieurs bancs de mesure. Ces bancs peuvent être classés en deux catégories : les bancs en mode conduit et en mode rayonné.

### I.8.1 Méthode de mesure en mode conduit

La mesure des courants renvoyés vers le secteur par l'appareil à tester se fait à l'aide d'un dispositif se connectant entre l'appareil à tester et le secteur, dispositif appelé Réseau de Stabilisation d'Impédance de Ligne (RSIL). Cet appareil permet simplement de séparer les courants de conduction à la fréquence du secteur des harmoniques aux fréquences beaucoup plus élevées. Il permet aussi de présenter une impédance constante pour le récepteur de la perturbation. Enfin, il isole le récepteur des perturbations secteur. La Figure I.25 compare la mesure des différentes harmoniques du courant mesuré avec un gabarit correspondant à une norme donnée. Dans le cas de la Figure I.25, la norme de CEM est respectée mais pas dans le cas de droite puisque certaines harmoniques dépassent le gabarit. L'allure du gabarit est typique de la mesure en conduction et sa plage de fréquence est typiquement comprise en 150kHz et 30MHz [34].

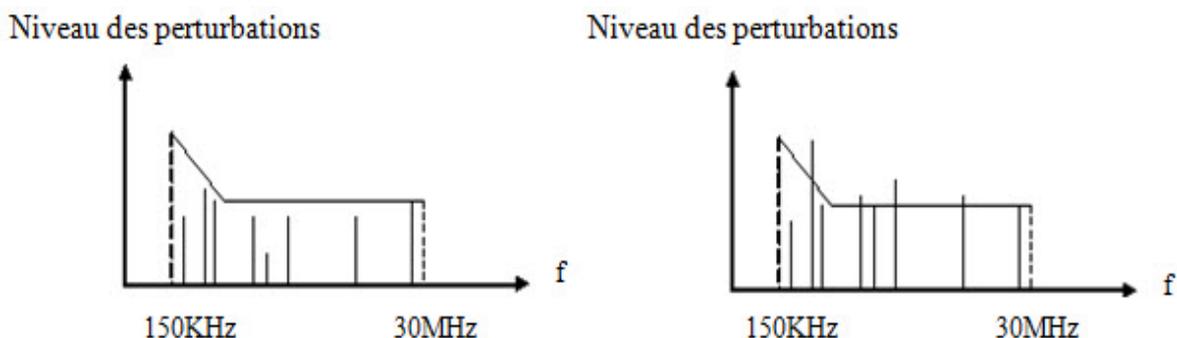


FIGURE I.25 – *Gabarit de mesures des perturbations conduites.*

Le test de la susceptibilité d'un appareil se fera en utilisant une pince d'injection de courant (idem transformateur que l'on vient placer autour du conducteur pour créer l'injection du courant) pour générer la circulation d'un courant que l'on contrôlera. On notera la valeur du courant à partir duquel apparaîtront des défauts de fonctionnement. Si le courant d'injection est trop intense, il pourra y avoir destruction de l'appareil.

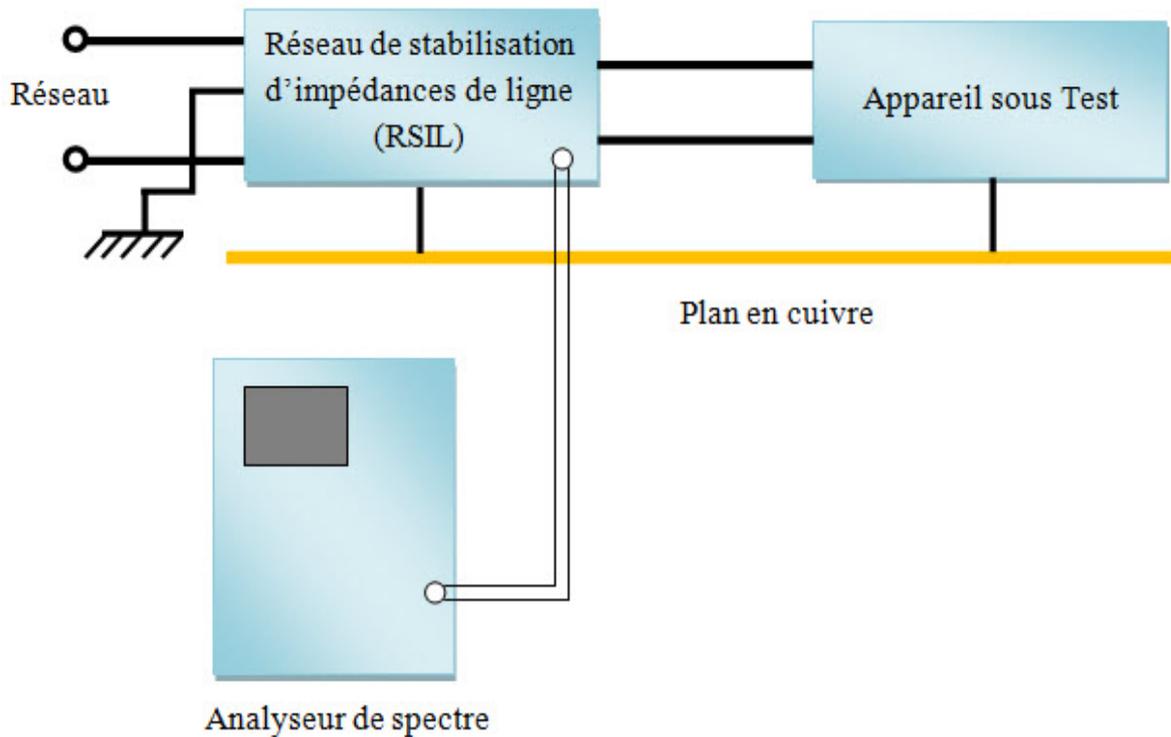


FIGURE I.26 – *principe de la mesure des perturbations conduites.*

## I.8.2 Méthode de mesure en mode rayonné

Le fonctionnement de l'appareil doit être satisfaisant lorsqu'il est soumis à un champ électromagnétique perturbateur et ses émissions de champs électromagnétiques vers l'extérieur ne doivent pas être trop importantes. Les mesures de perturbations rayonnées nécessitent un gros appareillage tel qu'une chambre anéchoïde (chambre de mesures des perturbations radio-électriques), une cellule TEM, des antennes de différentes formes pour couvrir un spectre en fréquences suffisamment large et des amplificateurs pouvant couvrir la bande de fréquences de 30MHz à 10GHz [35]. Pour mesurer les émissions des appareils en test, on utilise des antennes placées à 3 ou 10 mètres de l'appareil à tester voir Figure I.27.

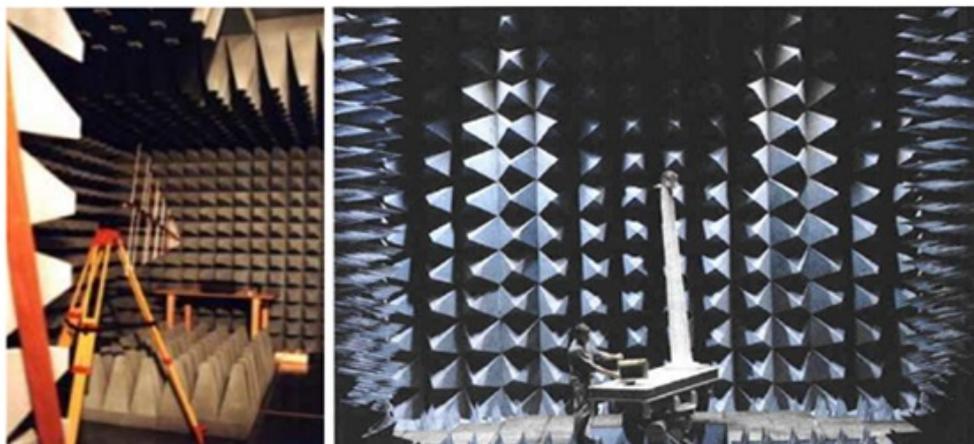


FIGURE I.27 – *exemple de chambres semi anéchoïde.*

Les champs électromagnétiques pouvant ne pas être très élevés par rapport aux champs environnants en espace libre, il est nécessaire de se placer dans une cage de Faraday ou une chambre anéchoïde pour s'isoler des bruits électromagnétiques. Le signal sortant de l'antenne est analysé avec un analyseur de spectre.

Pour tester la susceptibilité d'un appareil, on utilise des antennes qui vont générer des champs électromagnétiques perturbateurs. On observera le fonctionnement de l'appareil à tester et on notera à partir de quel moment il y a dysfonctionnements. En présence de champs très élevés, il peut y avoir destruction de l'appareil.

## I.9 Techniques de protection en CEM

### I.9.1 Blindages

Les techniques de blindage peuvent protéger le circuit concerné contre les interférences électromagnétiques et les décharges électrostatiques. On peut distinguer plusieurs techniques de protection. En HF, ce système de blindage peut être une combinaison de matériaux absorbants et de capots formés de plusieurs feuilles minces d'élastomère chargé magnétiquement ; par exemple, le matériau Q-Zorb assure une protection antiparasite aux incidences élevées par l'atténuation des ondes radio de surface. D'autres mélanges de divers ingrédients sont utilisés selon les longueurs d'onde à absorber : titane, cuivre, fer, aluminium, lithium, carbone, élastomères, et d'autres matériaux assez confidentiels dont un bon exemple est constitué par les revêtements des avions américains *F-117*, *B-2*, *F-22 Raptor*, ce qui fait d'eux les techniques de blindage les plus efficaces [36].

### I.9.2 Protections contre les décharges d'électricité statique (ESD)

De nos jours, des protections contre les décharges électrostatiques sont indispensables dans chaque circuit intégré. Ces protections sont présentes sur les entrées, les sorties et les alimentations du circuit [37, 38]. Les entrées du circuit sont plus fragiles que les sorties et nécessitent des protections à deux étages. La protection des alimentations est faite en ajoutant des écrêteurs rapides capables de dissiper des courants importants [39, 40]. La protection peut être à diode de type turn-on figure I.28.

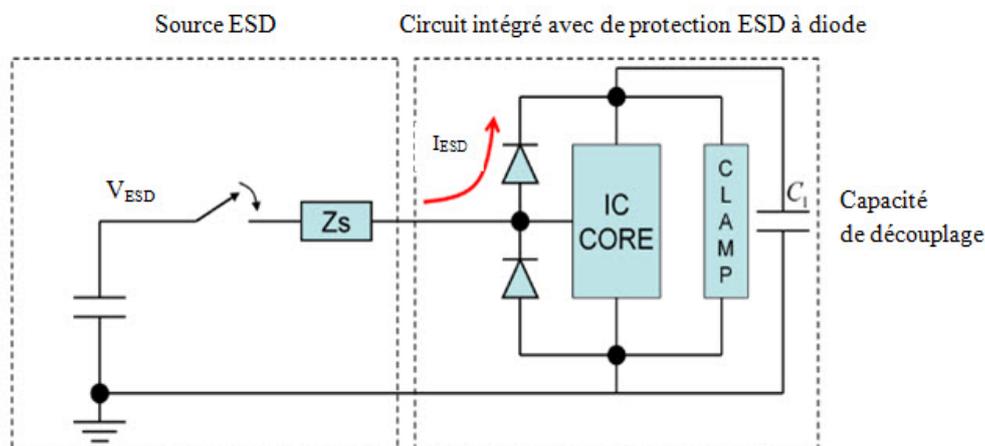


FIGURE I.28 – Modèle de protection ESD à diode.

## I.10 Conclusion

Nous avons présenté dans ce chapitre des généralités sur les problèmes de compatibilité électromagnétique. Après avoir donné une définition à la compatibilité électromagnétique nous avons décrit quelques sources de rayonnement électromagnétique, expliqué comment une onde électromagnétique se couple à un circuit et exposé certains des effets de ce rayonnement sur le fonctionnement de circuits électroniques. Ensuite, nous avons présenté différentes techniques de mesure de compatibilité électromagnétique destinées aussi bien à étudier le rayonnement émis par un circuit que sa susceptibilité électromagnétique. Enfin on a présenté les moyens de protection contre des problèmes de compatibilité électromagnétique.

# Chapitre II

## Technologies de Circuits Intégrés

### II.1 Introduction

L'augmentation constante de la complexité des circuits intégrés due à une intégration de plus en plus dense a induit le problème d'interconnexions qui est devenu un enjeu majeur du fonctionnement de ces systèmes intégrés. Essentielles pour les liaisons entre transistors, les interconnexions ont vu leur nombre suivre l'augmentation du double du nombre de transistors. Ainsi, la première partie de ce chapitre est consacrée à l'état de l'art des circuits intégrés, commençant par un bref historique du premier transistor et du premier circuit intégré. Ensuite l'évolution de circuits intégrés passant par le processus de fabrication. Dans la deuxième partie, la problématique des interconnexions des circuits intégrés, leurs limitations et les raisons qui sont à l'origine des travaux menés sur les interconnexions sont présentées.

### II.2 Evolution des Systèmes Microélectroniques

Au cours des cinquante dernières années, l'interaction synergique entre la physique à l'état solide, le génie électrique et la science des matériaux a alimenté la croissance de l'industrie des circuits à semi-conducteurs, de la petite enfance à l'une des plus grandes industries du monde. Les technologies derrière presque tous les produits électroniques modernes, qui touchent tous les aspects de la vie humaine, des ordinateurs aux équipements de communication, les jouets, l'alimentation, la technologie médicale et l'industrie automobile sont tous basés sur les dispositifs microélectroniques et les technologies d'emballage.

La miniaturisation des systèmes électroniques remonte à l'époque de la Seconde Guerre mondiale. Pendant cette période, la demande pour des systèmes électroniques militaires de petite taille, légers, de faible puissance et fiables a augmenté en raison de l'utilisation accrue de ces systèmes et de la facilité de les transporter, surtout dans les avions ou pour le personnel d'infanterie qui transportait de l'équipement au combat. En raison de cette demande, les systèmes électroniques sont passés de produits de la taille de la pièce à des appareils portatifs avec une puissance de calcul considérablement plus grande; les fonctions que la puce d'aujourd'hui effectue ne sont essentiellement pas différentes de ces produits antérieurs. Même pour les applications d'aujourd'hui, les mesures de rendement demeurent les mêmes, mais le coût de la contrainte est devenu une exigence de conception majeure, surtout dans les systèmes électroniques grand public.

Par conséquent, le processus de miniaturisation des dispositifs a évolué de quelques micromètres à des nanomètres aujourd'hui, et la complexité des circuits a progressé de l'intégration à petite échelle (SSI) dans les années 1960, à l'intégration à moyenne/grande échelle (MSI/LSI)

dans les années 1970, à l'intégration à très grande échelle (VLSI) 1990, et à l'intégration à l'échelle giga (GSI) dans les années 2000. Cette intégration plus serrée se poursuit à une vitesse vertigineuse vers un billion de transistors par puce, à l'époque de l'intégration à l'échelle Tera (TSI), dans les années 2020. Avec le passage du temps, non seulement les appareils numériques et la mémoire, mais aussi les blocs analogiques à signaux mixtes, les capteurs MEMS, les fonctions biologiques sont également intégrées sur la même matrice ou le paquet pour construire un système complet. En réconciliant avec la miniaturisation des caractéristiques et la divergence technologique, et en réalisant des produits plus petits, plus rapides et moins coûteux, il existe de nombreux défis technologiques difficiles sans précédent à différents niveaux hiérarchiques dans le processus de conception de systèmes électroniques[41, 42].

## II.3 Historique des Circuits Intégrés

### II.3.1 Le Premier Transistor

L'histoire associée au développement du transistor est très excitante et pourrait servir de base excellente pour un scénario. Au début du vingtième siècle, l'objectif était de développer des dispositifs capables de commutation et d'amplification des signaux. Une des tâches majeures a été l'élargissement de la gamme de couverture des lignes téléphoniques filaires pour les services intercontinentaux. La première invention permettant l'amplification a été le tube à vide, également appelé triode, développé par De Forest. Le tube à vide présente une consommation et une taille élevées et n'offre qu'une faible fiabilité, et exigeant un entretien coûteux. En 1926, le premier concept de transistor semi-conducteur a été rapporté et breveté par Julius Lilienfeld. Cependant, en raison de problèmes importants liés à la mise en œuvre pratique de l'idée, aucun dispositif de travail n'a été démontré. Il a fallu plus de 10 ans avant que le directeur de la recherche des laboratoires Bell, Mervin Kelly reconnaisse qu'un tel appareil pourrait être un remplacement prometteur du tube à vide. En 1945, il attire d'excellents scientifiques et ingénieurs pour développer un dispositif semi-conducteur plus compact et plus fiable que le tube à vide. L'équipe était dirigée par Walter Shockley un visionnaire très créatif. Les membres importants de ce groupe étaient John Bardeen et Walter Brattain. Une photo de ces pionniers est représentée à la figure II.1.a. Au début, l'atmosphère de travail au sein de ce groupe était très fructueuse et motivante [43].

En 1947, John Bardeen et Walter Brattain ont fait la démonstration expérimentale du premier transistor semi-conducteur en état de marche, le transistor à point de contact comme le montre la figure II.1.b. Cet appareil était similaire au transistor de jonction bipolaire connu aujourd'hui [43]. Plusieurs années ont été nécessaires pour développer un fonctionnement correct. La raison principale était une compréhension insuffisante du comportement des porteurs de charge aux jonctions et aux surfaces des semi-conducteurs. Il a fallu un certain temps pour découvrir que ces discontinuités de matériaux génèrent une barrière potentielle à la surface impactant le contrôle du courant. En utilisant des combinaisons de matériaux appropriées et en optimisant les dimensions, ils ont réussi à manipuler cette barrière de potentielle. Il a été possible de contrôler le courant de canal au moyen de borne isolée par une jonction pn, le transistor est né.

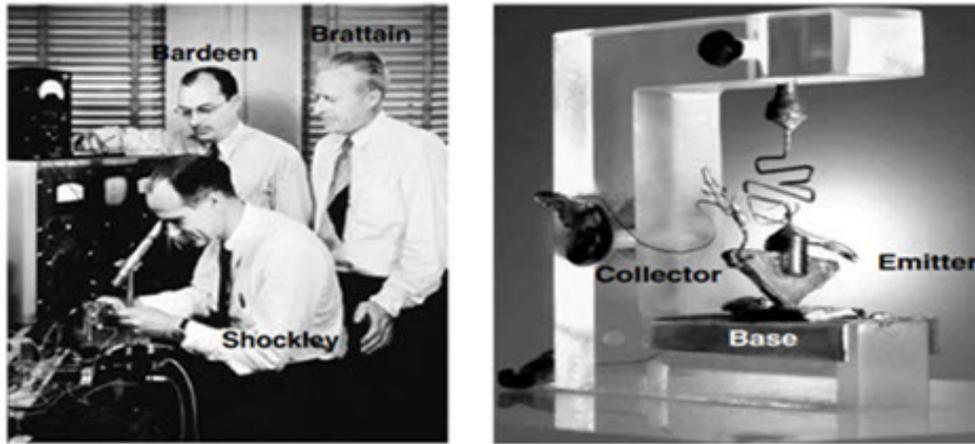


FIGURE II.1 – Premier transistor des laboratoires Bell : a) inventeurs ; b) transistor a point de contact

Shockley était furieux qu'il n'ait pas été directement impliqué dans l'invention qui à son avis, était basée sur ses idées. Il croyait que les autres l'avaient trahi. Par conséquent l'excellente collaboration au sein de l'équipe a soudainement été interrompue. Les revendications en termes de droits d'inventeur et de brevets ont transformé l'atmosphère coopérative en une atmosphère hautement compétitive.

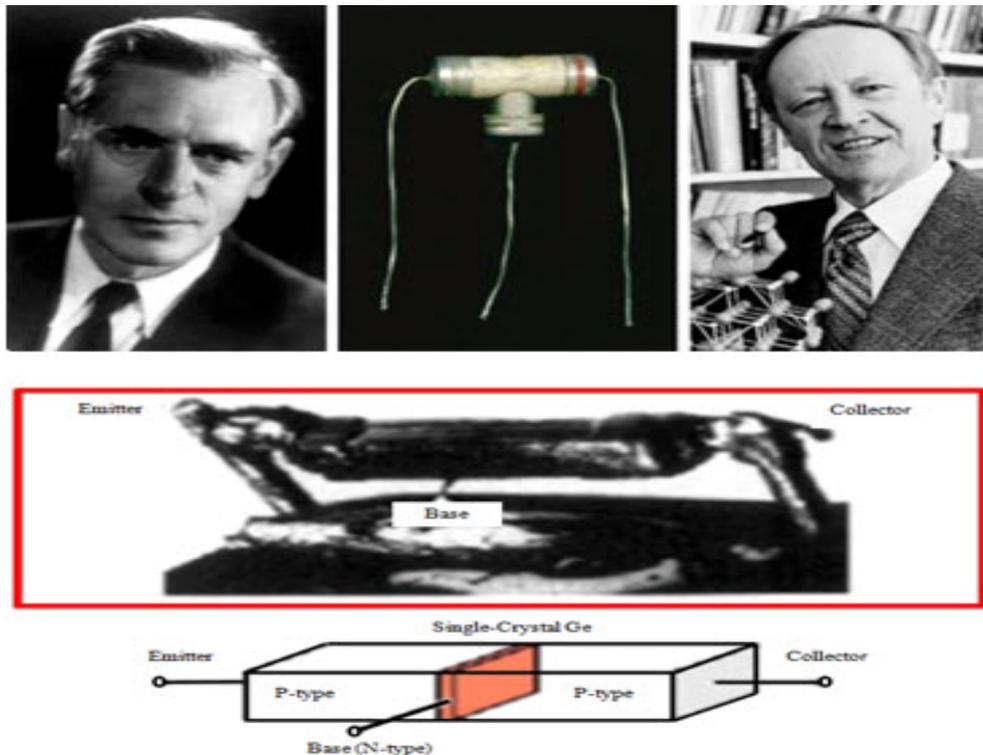


FIGURE II.2 – Premier transistor a jonction pn par William Shockley (1949)

Pour préserver sa position concernant les réalisations de Bardeen et Brattain, Shockley a travaillé à son propre sur un autre principe prometteur basé sur l'effet de champ, qu'il a déjà

considéré en 1945. Dans une explosion de créativité et de colère, Shockley a développé le concept de transistor à effet de champ dans la chambre d'hôtel à Chicago [43, 44]. Ce transistor a été mis en œuvre avec succès en 1950 et a fourni une fiabilité beaucoup plus élevée que celle conçue par Bardeen et Brattain.

En 1956, Bardeen, Brattain et Shockley ont reçu le prix Nobel pour leurs contributions de génie. Cependant, aucun d'entre eux n'a réussi à exploiter leurs idées commercialement. Reconnaisant le potentiel du transistor, Shockley a quitté les Laboratoires Bell et a fondé sa propre entreprise. En raison d'une mauvaise gestion et de problèmes personnels, l'entreprise n'a pas pu bénéficier des inventions prometteuses. Des personnes éminentes comme Gordon Moore et Robert Noyes ont quitté la société de Shockley pour cofonder la corporation Intel. Alors que son entreprise a fait faillite, Shockley a dû regarder la croissance réussie de nombreuses autres entreprises créant la célèbre Silicon Valley située dans la région de Santa Clara en Californie[45].

Une autre invention, à savoir le circuit intégré (CI), a été une étape importante pour forcer la commercialisation des transistors. Les circuits intégrés permettent l'implémentation et la connexion d'un grand nombre d'appareils avec différentes fonctionnalités dans une seule puce. En même temps, il est possible d'accroître la complexité et de réduire les coûts. Dans ce contexte, nous pouvons nous référer aux contributions de Jack Kilby et Robert Noye, qui ont développé un processus de fabrication approprié en 1948 [46]. En utilisant la lithographie à haute résolution, il était possible d'implémenter plusieurs couches présentant des propriétés spécifiques.

Cependant, un transistor simple et facilement évolutif avec le rendement le plus élevé était nécessaire pour exploiter les possibilités du circuit intégré incorporant aujourd'hui des milliards de composants. La solution correspondante est le MOSFET (Metal Oxide Semiconductor Field Effect Transistor), qui a été principalement développé par le scientifique de Bell John Atalla vers 1960. Il est intéressant de mentionner que le MOSFET est similaire au transistor de jonction de Shockley, puisqu'il utilise également l'effet de champ précédemment élaboré par Shockley [47].

### II.3.2 Le Premier Circuit Intégré

Le circuit intégré (CI), aussi appelé puce électronique, est un composant électronique reproduisant une ou plusieurs fonctions électroniques plus ou moins complexes, intégrant souvent plusieurs types de composants électroniques de base dans un volume réduit (sur une petite plaque), rendant le circuit facile à mettre en œuvre.

Dans les premiers jours des semi-conducteurs, transistors et autres composants électroniques étaient disponibles seulement dans des paquets individuels. Ces composants discrets étaient disposés sur une carte de circuit imprimé et reliés à la main à l'aide de fils séparés. A cette époque, un élément de mémoire électronique capable de stocker un seul bit binaire de données coûte plus de deux dollars. En comparaison, au début des années 1990, suffisamment de portes logiques pour stocker 5000 bits de données coûtaient moins d'un dollar. Cette forte baisse de prix est principalement due à l'invention du circuit intégré (CI).

Un circuit électronique fonctionnel nécessite des transistors, des résistances, des diodes, etc., et les connexions entre eux. Un circuit intégré monolithique a tous ces composants formés sur la couche superficielle d'une fente, ou puce, d'un seul morceau de semi-conducteur. Bien qu'une variété de matériaux semi-conducteurs sont disponibles, le plus couramment utilisé est le silicium, et les circuits intégrés sont connus sous le nom de puces de silicium. Dans une large mesure, la demande de miniaturisation était motivée par les exigences du programme spatial américain. Depuis un certain temps, les gens pensaient que ce serait une bonne idée de pouvoir fabriquer des circuits entiers sur une seule pièce de semi-conducteur. La première discussion publique de cette idée est attribuée à un expert en radar britannique, Geoffrey

William Arnold (G.W.A.) Dummer (1909-2002), dans un article présenté en 1952. Toutefois, ce n'est qu'à l'été 1958 que Jack Clair Kilby (1923-2005), qui travaillait pour Texas Instruments, réussit la fabrication de plusieurs composants sur une seule pièce de semi-conducteur. Bien que les techniques de fabrication aient par la suite pris des chemins différents de ceux utilisés par Kilby, il est toujours crédité de la création du premier circuit intégré.

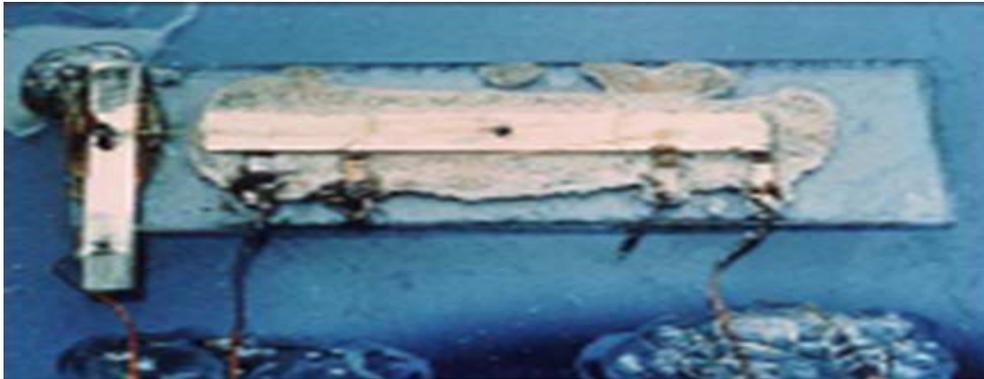


FIGURE II.3 – *Premier circuit intégré*

À peu près au même moment où Kilby travaillait sur son prototype, deux des fondateurs de Fairchild Semiconductors le physicien suisse Jean Hoerni (1924-1997) et le physicien américain Robert Noyce (1927-1990) travaillaient avec des processus plus efficaces pour créer ces appareils. Entre eux, Hoerni et Noyce ont inventé le procédé planaire, dans lequel des techniques de lithographie optique sont utilisées pour créer des transistors, des couches isolantes et des interconnexions sur des circuits intégrés.

En 1961, Fairchild et Texas Instruments avaient annoncé la disponibilité des premiers circuits intégrés planaires commerciaux comportant des fonctions logiques simples. Cette annonce marque le début de la production de masse de circuits intégrés. En 1963, Fairchild produit un dispositif appelé le 907 contenant deux portes logiques, chacune composée de quatre transistors bipolaires et de quatre résistances. Le 907 utilisait également des couches d'isolation et des couches enfouies, qui devaient toutes les deux devenir des caractéristiques courantes dans les circuits intégrés modernes.

Au milieu des années 1960, Texas Instruments a mis en place une vaste sélection de CI de base appelés série 54xx (fifty-four-hundred) et série 74xx (seventy-four-hundred), qui ont été spéculées pour un usage militaire et commercial, respectivement. Ces dispositifs de jelly bean chacun contenait de petites quantités de logique simple. Par exemple, un appareil 7400 contenait quatre portes NAND à deux entrées, un 7402 en contenait quatre, et un 7404 en contenait six.

En 1967, Fairchild introduit un dispositif appelé Micromosaic, qui contient quelques centaines de transistors. La caractéristique clé de la Micromosaic était que les transistors n'étaient pas initialement connectés entre eux. Un concepteur a utilisé un programme informatique pour spécifier la fonction que l'appareil devait exécuter, et le programme a déterminé les interconnexions de transistors nécessaires et a construit les masques photo nécessaires pour compléter l'appareil. Le Micromosaic est crédité comme le précurseur de la moderne ASIC (application-specific integrated circuit), et aussi comme la première application réelle de la conception assistée par ordinateur. En 1970, Fairchild a introduit la première RAM statique de 256 bits, appelée la 4100, tandis qu'Intel a annoncé la première RAM dynamique de 1024 bits, appelée la

1103, la même année. En 1971, Intel a présenté le premier microprocesseur au monde, le 4004, conçu et créé par Marcian Ted Hoff, Stan Mazor et Federico Faggin. Aussi appelé un ordinateur sur puce, le 4004 ne contenait qu'environ 2300 transistors et pouvait exécuter 60000 opérations par seconde.

### II.3.3 Loi de Moore

Cofondateur de la société Intel, Gordon Moore avait affirmé dès 1965 que le nombre de transistors par circuit de même taille allait doubler, à prix constants, tous les ans (à cette époque, le circuit intégré le plus complexe comportait 64 composants). Il en déduisit que la puissance des ordinateurs allait croître de manière exponentielle, et ce pour des années. Il a cependant déclaré en 1997 que cette croissance des performances des puces se heurterait aux environs de 2017 à une limite physique : celle de la taille des atomes. En 1965, Gordon Moore note que le nombre de transistors sur une puce double à tous les 18 à 24 mois. Il prédit que la technologie des semi-conducteurs doublera en efficacité à tous les 18 mois.

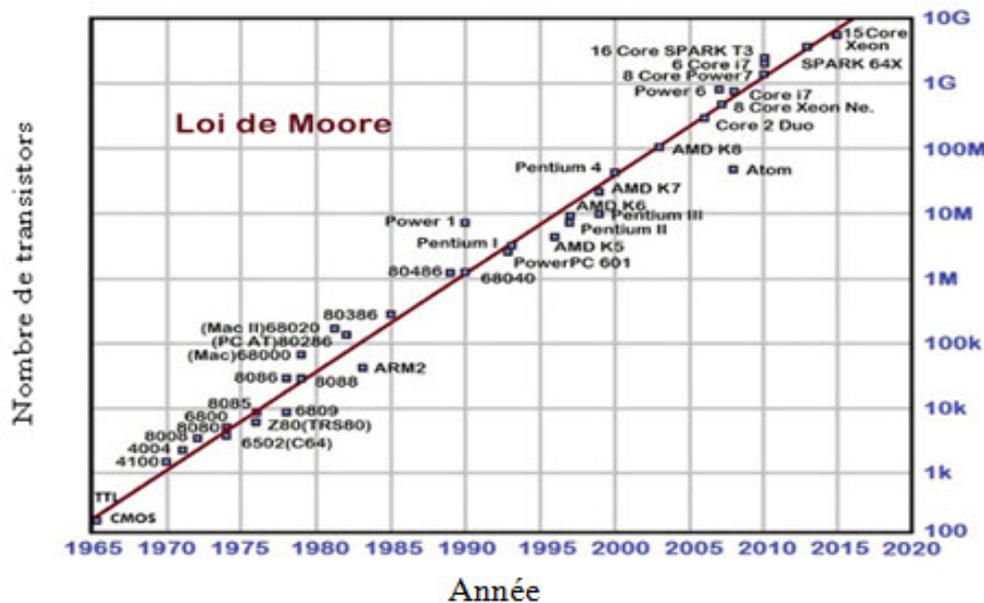


FIGURE II.4 – La loi de Moore

La loi de Moore veut que la technologie double de puissance pour le même prix tous les 12 à 18 mois. Ce qui permet d'entrevoir que, sans répit la technologie devient plus rapide, plus petite et moins chère, et par conséquent à la portée de tous. Cette loi, exprimée pour la première fois en 1965, porte le nom de Gordon Moore, un des fondateurs d'Intel Corp, géant mondial des microprocesseurs. Confirmant le constat de Moore, le MIPS (million d'instructions par seconde) coûtait aux alentours de 100 dollars il y a encore 20 ans et coûterait moins de 1 dollar aujourd'hui. Ce prix rend particulièrement accessible une technologie hautement sophistiquée lui conférant une ubiquité inédite ; le microprocesseur est désormais omniprésent dans les réfrigérateurs, les machines à laver, les réveille-matin, les bracelets montres, les voitures, les téléviseurs, les lecteurs vidéo et, bien sûr, les micro-ordinateurs, les téléphones portables. Sans en être pleinement conscients, nous sommes littéralement assiégés par les microprocesseurs.

## II.4 Evolution des Technologies des CI et leurs Caractéristiques

On considère aujourd'hui l'arrivée du circuit intégré dans le domaine d'électronique a marqué une évolution au moins aussi importante que celle marquée par la naissance du transistor. Il est alors devenu possible d'associer, dans un seul bloc de silicium de l'ordre de millimètre de côté, des composants actifs (diodes, transistors) et passifs (résistances, capacités). Il existe deux larges classifications des circuits intégrés, les circuits hybrides et les circuits monolithiques. Les circuits monolithiques sont devenus tellement communs que, par l'expression circuit intégré, on entend plutôt un circuit monolithique.

### II.4.1 Circuits Intégrés Monolithique

Circuit monolithique veut dire que tout le circuit est contenu dans un seul morceau monocristallin de silicium. Les éléments (transistors, résistors, condensateurs et diodes) sont isolés les uns des autres par des jonctions p-n en opposition, obtenues par diffusion d'impuretés dans un morceau de silicium monocristallin. Les circuits intégrés sont souvent classés suivant le nombre d'éléments ou le nombre de fonctions intégrés sur un seul morceau, ils sont nommés par des abréviations d'expressions américaines : SSI (small scale integration), MSI (medium scale integration), LSI (large scale integration), VLSI (very large scale integration) et ULSI (ultra large scale integration). Les limites qui séparent ces catégories sont basées sur le nombre de fonctions ou d'éléments dans un seul circuit.

Les circuits SSI (small scale integration : Intégration à petite échelle) : comportent moins de 12 fonctions ou moins de 50 éléments et de 1 à 10 transistors, date de sortie est 1964. Les circuits MSI (medium scale integration : Intégration à moyenne échelle) : comportent de 12 à 100 fonctions ou de 50 à 500 éléments et de 10 à 500 transistors, date de sortie est 1968. Les circuits LSI (large scale integration : Intégration à grande échelle) : comportent de 100 à 1000 fonctions ou de 500 à 10 000 éléments et de 500 à 20 000 transistors, date de sortie est 1971. Les circuits VLSI (very large scale integration : Intégration à très grande échelle) : comportent de 1000 à 10000 fonctions ou de 10 000 à 99 999 éléments et de 20 000 à 1 000 000 transistors, date de sortie est 1980.

Les circuits ULSI (ultra large scale integration : Intégration à très très grande échelle) : comportent plus de 100000 fonctions et plus de 1 000 000 transistors, date de sortie est 1984. Les circuits intégrés sont aussi classés par leur technologie :

- le type de transistors.
- la manière dont les transistors sont connectés.
- la technique utilisée pour fabriquer les transistors.

Cette dernière classification est plus significative. Deux exemples de cette classification : les circuits TTL (transistor-transistor logic) et les circuits MOS (metal-oxide semiconductor). Les circuits intégrés TTL utilisent des transistors bipolaires et sont souvent de la catégorie SSI ou MSI. Inventée dans les années 1960. Cette famille tend à disparaître du fait de sa consommation énergétique élevée (comparativement aux circuits MOS). La technologie TTL est normalisée pour une tension d'alimentation de 5 V. Un signal TTL est défini comme niveau logique bas entre 0 et 1,4 V, et comme niveau logique haut entre 2,4 V et 5 V. Les circuits intégrés MOS sont à base de transistors MOS à effet de champ (MOSFET) et sont de la catégorie LSI ou VLSI. Les barrières logiques CMOS (Complementary Metal- Oxide Semiconductor) sont basées sur les NMOS et les PMOS connectés ensemble de manière complémentaire. Certains circuits intégrés utilisent une combinaison de technologies ; dans le cas du CMOS bipolaire (Bicmos),

par exemple, la fonction de chaque porte logique primitive est mise en œuvre dans le CMOS à faible puissance, mais l'étape de sortie de chaque porte utilise des transistors bipolaires à haute puissance.

Les circuits intégrés hybrides sont construits sur un substrat isolant. Le cœur du circuit est une puce monolithique qui est fixées sur le substrat, la puce est connectée à d'autres éléments qui ont été fabriqués directement sur le substrat. Les circuits hybrides sont classés selon la manière dont sont fabriqués les autres éléments (résistor, condensateur, ...), on a ou bien un "thin film" ou bien un "thick film".

## II.5 Formation des composants de circuits intégrés

Dans un circuit intégré, des composants électroniques tels que les résistances, condensateurs, diodes et transistors sont formés directement sur la surface d'un cristal de silicium. Le processus de fabrication d'un circuit intégré sera plus logique si l'on comprend d'abord certains des éléments de base de la façon dont ces composants sont formés.

Même avant le premier CI a été développé, il était connu que les composants électroniques communs pourraient être fabriqués à partir de silicium. La question était de savoir comment les fabriquer, et les circuits de connexion, à partir du même morceau de silicium? La solution consistait à modifier, ou doper, la composition chimique de minuscules zones sur la surface du cristal de silicium en ajoutant d'autres produits chimiques, appelés dopants. Certains dopants se lient avec le silicium pour produire des régions où les atomes de dopant ont un électron qu'ils peuvent abandonner. Ceux-ci sont appelés régions N. D'autres dopants se lient au silicium pour produire des régions où les atomes de dopant ont de la place pour prendre un électron. Ceux-ci sont appelés régions P. Lorsqu'une région P touche une région N, la frontière entre elles sont appelée jonction PN. Cette limite n'a que 0,000004 pouce (0,0001 cm) de largeur, mais elle est cruciale pour le fonctionnement des composants du circuit intégré.

À l'intérieur d'une jonction PN, les atomes des deux régions se lient de manière à créer une troisième région, appelée région d'appauvrissement, dans laquelle les atomes dopants P capturent tous les électrons dopants N supplémentaires, les appauvrissant ainsi. Un des phénomènes qui en résulte est qu'une tension positive appliquée à la région P peut provoquer un courant électrique à travers la jonction dans la région N, mais une tension positive similaire appliquée à la région N entraînera peu ou pas de courant traversant la jonction dans la région P. Cette capacité d'une jonction PN à conduire ou isoler selon le côté de la tension peut être utilisé pour former des composants de circuit intégré qui dirigent et contrôlent les flux de courant de la même manière que les diodes et les transistors. Une diode, par exemple, est une simple jonction PN. En modifiant la quantité et les types de dopants et en changeant les formes et les placements relatifs des régions P et N, des composants de circuit intégré qui émulent les fonctions des résistances et des condensateurs peuvent également être formés.

## II.6 Processus de fabrication des circuits intégrés

Des centaines de circuits intégrés sont fabriqués en même temps sur une seule tranche mince de silicium et sont ensuite découpés en puces IC individuelles. Le processus de fabrication se déroule dans un environnement étroitement contrôlé connu sous le nom de salle blanche où l'air est filtré pour éliminer les particules étrangères. Les quelques opérateurs d'équipement dans la salle portent des vêtements non pelucheux, des gants et des couvertures pour leur tête et leurs pieds. Comme certains composants CI sont sensibles à certaines fréquences de lumière,

même les sources lumineuses sont filtrées. Bien que les procédés de fabrication puissent varier en fonction du circuit intégré fabriqué, le processus suivant est typique.

### II.6.1 Préparation de la plaquette de silicium

Un lingot cylindrique de silicium d'environ 1,5 à 4,0 pouces (3,8 à 10,2 cm) de diamètre est maintenu verticalement à l'intérieur d'une chambre à vide avec une bobine de chauffage à haute température. En partant du haut du cylindre, le silicium est chauffé à son point de fusion d'environ 2550 °F (1400 °C). Pour éviter la contamination, la région chauffée n'est contenue que par la tension superficielle du silicium en fusion. À mesure que la région fond, toutes les impuretés du silicium deviennent mobiles. Le serpentin de chauffage est lentement déplacé sur la longueur du cylindre, et les impuretés sont transportées avec la région fondue. Lorsque la bobine de chauffage atteint le fond, presque toutes les impuretés ont été balayées le long et sont concentrés là. Le fond est ensuite tranché, laissant un lingot cylindrique de silicium purifié.//

- Une mince plaquette ronde de silicium est coupée du lingot à l'aide d'une machine de coupe précise appelée trancheuse à tranches. Chaque tranche mesure environ 0,01 à 0,025 pouce (0,004 à 0,01 cm) d'épaisseur. La surface sur laquelle les circuits intégrés doivent être formés est polie.
- Les surfaces de la plaquette sont recouvertes d'une couche de dioxyde de silicium pour former une base isolante et empêcher toute oxydation du silicium qui pourrait causer des impuretés. Le dioxyde de silicium se forme en soumettant la plaquette à de la vapeur surchauffée à environ 1830 °F (1000 °C) sous plusieurs atmosphères de pression pour permettre à l'oxygène contenu dans la vapeur d'eau de réagir avec le silicium. Le contrôle de la température et de la durée d'exposition contrôle l'épaisseur de la couche de dioxyde de silicium.

### II.6.2 Conception de Masques

La conception complexe et interconnectée des circuits et composants est préparée selon un processus similaire à celui utilisé pour fabriquer les cartes de circuits imprimés. Pour les CI, cependant, les dimensions sont beaucoup plus petites et il y a de nombreuses couches superposées les unes sur les autres. La conception de chaque couche est préparée sur une machine à dessiner assistée par ordinateur, et l'image est transformée en un masque qui sera réduit optiquement et transféré à la surface de la plaquette. Le masque est opaque dans certaines zones et clair dans d'autres. Il contient les images de l'ensemble des centaines de circuits intégrés à former sur la plaquette.

Une goutte de matériau photorésistant est placée au centre de la plaquette de silicium, et la plaquette est filée rapidement pour distribuer la photorésistance sur toute la surface. Le photoresist est ensuite cuit pour enlever le solvant.

La plaquette enduite est ensuite placée sous le masque de la première couche et irradiée avec de la lumière. Parce que les espaces entre les circuits et les composants sont si petits, la lumière ultraviolette avec une longueur d'onde très courte est utilisée pour presser à travers les petites zones claires sur le masque. Des faisceaux d'électrons ou de rayons X sont aussi parfois utilisés pour irradier la photorésistance.

Le masque est retiré et des portions de la photoresist sont dissoutes. Si une photorésistance positive a été utilisée, les zones qui ont été irradiées seront dissoutes. Si une photorésistance négative a été utilisée, les zones qui ont été irradiées resteront. Les zones découvertes sont alors soit chimiquement gravées pour ouvrir une couche ou sont soumises à un dopage chimique pour créer une couche de régions P ou N.

### II.6.3 Dopage par Diffusion Atomique

Une méthode d'ajout de dopants pour créer une couche de régions P ou N est la diffusion atomique. Dans cette méthode, un lot de plaquettes est placé dans un four fait d'un tube de quartz entouré d'un élément chauffant. Les plaquettes sont chauffées à une température de fonctionnement d'environ 1500 à 2200 °F (816 à 1205 °C), et le produit chimique dopant est transporté par un gaz inerte. Lorsque le dopant et le gaz passent sur les plaquettes, le dopant se dépose sur les surfaces chaudes exposées par le procédé de masquage. Cette méthode est bonne pour le dopage des zones relativement grandes, mais n'est pas précise pour les zones plus petites. Il y a également quelques problèmes avec l'utilisation répétée de températures élevées que les couches successives sont ajoutées.

### II.6.4 Dopage par Implantation Ionique

La deuxième méthode pour ajouter des dopants est l'implantation ionique. Dans cette méthode, un gaz dopant, comme le trichlorure de phosphine ou de bore, est ionisé pour fournir un faisceau d'ions dopants de haute énergie qui sont tirés à des régions spécifiques de la plaquette. Les ions pénètrent la plaquette et restent implantés. La profondeur de pénétration peut être contrôlée en modifiant l'énergie du faisceau, et la quantité de dopant peut être contrôlée en modifiant le courant du faisceau et le temps d'exposition. Schématiquement, tout le processus ressemble à la mise à feu d'un faisceau dans un tube cathodique plié. Cette méthode est si précise qu'elle ne nécessite pas de masquage, elle ne fait que pointer et tirer sur le dopant là où il est nécessaire. Cependant, il est beaucoup plus lent que le processus de diffusion atomique.

### II.6.5 Réalisation de couches successives

Le procédé de masquage et de gravure ou de dopage est répété pour chaque couche successive en fonction du procédé de dopage utilisé jusqu'à ce que toutes les puces de circuit intégré soient complètes. Parfois, une couche de dioxyde de silicium est posée pour fournir un isolant entre les couches ou les composants. Cela se fait par un procédé connu sous le nom de dépôt de vapeur chimique, dans lequel la surface de la plaquette est chauffée à environ 752 °F (400 °C), et une réaction entre les gaz silane et l'oxygène dépose une couche de dioxyde de silicium. Une couche finale de dioxyde de silicium scelle la surface, une gravure finale ouvre les points de contact, et une couche d'aluminium est déposée pour faire les coussinets de contact. À ce stade, les CI individuels sont testés pour la fonction électrique.

### II.6.6 Séparation des CIs

- La gaufrette mince est comme un morceau de verre. Les centaines de copeaux individuels sont séparés en marquant une hachure de lignes avec un coupeur de diamant fin, puis en mettant la plaquette sous tension pour faire se séparer chaque copeau. Les circuits électriques qui ont échoué au test électrique sont mis au rebut. L'inspection au microscope révèle d'autres CI qui ont été endommagés par le processus de séparation, et ceux-ci sont également jetés.
- Les bons circuits intégrés sont collés individuellement dans leur emballage de montage et les fils minces sont reliés par collage ultrasonique ou thermocompression. Le colis de montage porte des numéros de pièce et d'autres renseignements.
- Les circuits intégrés terminés sont scellés dans des sacs en plastique antistatiques pour être entreposés ou expédiés à l'utilisateur final.

## II.7 Emballage des circuits intégrés

L'emballage fait partie intégrante des produits semi-conducteurs. Selon [48], l'emballage remplit des fonctions majeures au niveau des circuits intégrés ou des dispositifs, et au niveau du système. Au niveau des circuits intégrés ou des appareils, il a quatre fonctions : interconnexion des signaux électriques, protection mécanique et environnementale des circuits, distribution de l'énergie (énergie électrique) et dissipation de la chaleur produite par les dispositifs à semi-conducteurs [48, 49, 50]. L'approche pour l'emballage doit être choisie en fonction de l'application, car les exigences du système pour les applications informatiques, portatives, automobiles, médicales et biologiques sont toutes différentes. Par exemple, la miniaturisation est plus importante pour les appareils portatifs que pour les applications automobiles. Cependant, quelle que soit l'application, la fonctionnalité et la complexité du CI ont augmenté et ont conduit le développement de l'emballage microélectronique au cours des décennies [48, 49, 50].

La technologie d'emballage microélectronique a commencé avec la découverte du transistor à la fin des années 1940, et a évolué pour servir la complexité et la performance croissante du CI avec le passage du temps. Les premiers transistors ont été logés dans des emballages en plastique fournissant juste la protection pour l'appareil. Une fois que les militaires se sont intéressés à des applications très fiables, le besoin de colis hermétiques a été incorporé pour empêcher la dégradation du gain de transistor et le courant de fuite de jonction en raison de la contamination et l'humidité. Cela a conduit au développement des paquets Transistor Outline (TO) métalliques [50]. Avec le développement de la technologie planaire de silicium, des paquets électroniques ont été développés pour répondre aux exigences des circuits intégrés à haute performance contenant un grand nombre d'appareils car il affecte la fréquence de fonctionnement, la puissance, la complexité, la fiabilité et le coût des produits semi-conducteurs.

Dans une grande partie de la littérature [50, 51] l'évolution de l'emballage microélectronique est décrite en commençant par le Dual-In-Line Package (DIP) des années 1970. La carte DIP contenait une seule puce reliée à des fils d'interconnexion sur le colis, et les raccordements du colis à la carte du système étaient faits avec des broches situées des deux côtés du colis. Comme le nombre d'entrées/sorties (E/S) dans les puces augmentait avec le temps, il fallait plus de connexions. Puis, dans les années 1980, toute la zone du paquet était remplie de pins formant un paquet Pin-Grid Array (PGA). Parallèlement, une technologie de montage en surface (SMT) a été adoptée pour la production électronique. SMT a facilité le processus d'assemblage, et le Quad-Flat Package (QFP) a été introduit. Plus tard, dans les années 1990, les contacts SMT en réseau de zone fournis par le paquet Ball Grid Array (BGA) a commencé une nouvelle ère dans l'emballage microélectronique permettant une taille de paquet beaucoup plus petite. L'évolution de la technologie d'emballage a augmenté le rapport entre la surface de la puce et la surface de l'emballage, ce qui s'est traduit par un emballage beaucoup plus petit, plus mince et plus léger avec un plus grand nombre de broches d'E/S. Cela a conduit à nouveau au Chip-Scale Package (CSP), qui, par définition, est un paquet avec une zone de moins de 1,2 fois la zone de la puce [51] et un pas de quelques centaines de micromètres pour le paquet I / O pads. Au début du millénaire, l'industrie de l'emballage a adopté des emballages empilés (Wafer-Level Packages, WLP), l'intégration tridimensionnelle ( $3-D$ ), et le système en paquets (Sip) pour permettre une densité d'emballage encore plus élevée. Le dernier concept d'emballage est le System-on-Package (Sop), qui implique l'intégration d'un système entier comprenant des composants passifs dans un seul paquet, conduisant à des systèmes miniaturisés [52].

## II.8 Tendances de la miniaturisation

### II.8.1 Mise à l'échelle de l'appareil et de l'interconnexion

Les faits historiques révèlent que la réduction de la taille des caractéristiques utilisées pour fabriquer les circuits intégrés se poursuit à un taux de 0,7 par année [53], conformément à la Loi de Moore [54]. Il est intéressant de noter que la plus petite dimension d'une plaquette a été réduite, passant de plusieurs fois la taille d'un globule rouge (6-8 $\mu$ s) à celle du virus du rhume (20 nm). Le tableau II.1 résume les effets de l'adaptation de la technologie au transistor et interconnecte les mesures de rendement. Comme le montre le tableau, la mise à l'échelle de la technologie atteint essentiellement trois objectifs [55, 56] : doubler la densité de la porte, réduire l'énergie par commutation de 65%, et diminuer le délai de la porte de 30%.

Pour atteindre les objectifs technologiques, selon la théorie de l'échelle d'interconnexion simple, les dimensions transversales de l'interconnexion sont ajustées au même rythme que les dimensions des portes. Par conséquent, la résistance d'un fil de longueur unitaire augmente au taux de 104% par année. En général, la superficie devrait diminuer de 50% par année dans les technologies successives, mais les nouveaux modèles intègrent davantage de transistors et de fonctionnalités par puce, ce qui entraîne une augmentation de la superficie, et la taille des matrices a augmenté à 13% par année. Par conséquent, la longueur d'interconnexion globale augmente à un taux de 6% par an, et c'est RC temps constant augmente d'environ 130% par an ! Le retard des fils a dominé celui des portes, et le rapport entre le retard des fils et le retard des portes augmente à un taux annuel de 300%. Par conséquent, les concepteurs ont dû prêter attention au goulot d'étranglement du délai d'interconnexion.

À mesure que le nombre de transistors par unité de surface augmente, le courant requis par unité de surface augmente de 43%. En même temps, la résistance du fil augmente rapidement, augmentant la chute d'IR sur les fils. Le pire effet de ceci est avec la baisse de tension, l'IR tolérable diminue proportionnellement. Afin de tenir compte de la longueur totale de l'interconnexion et d'optimiser les réseaux de distribution de signaux et d'électricité de façon efficace sur l'ensemble de la puce, les fabricants ont ajouté davantage de couches d'interconnexion, ce qui ajoute à la complexité de la conception.

Lorsque les dimensions linéaires sont mises à l'échelle par un facteur, la tension doit également être mise à l'échelle par le même facteur pour maintenir le champ électrique dans une certaine limite. Cependant, une tension d'alimentation plus élevée est nécessaire pour fournir une augmentation de la performance, parce que le courant d'entraînement du transistor est proportionnel à la porte sur l'entraînement  $(V_{dd} - V_t)^n$ . Récemment, l'International Technology Roadmap for Semiconductors (ITRS, International Technology Roadmap for Semiconductors) prévoit un ralentissement de la mise à l'échelle de la tension d'alimentation maximale dans le régime nanométrique en raison de l'incapacité de réduire davantage la tension de seuil en raison de la consommation de courant de fuite et des variations de processus. De plus, l'abaissement de la tension d'alimentation, d'une part, réduit la consommation d'énergie dynamique et d'autre part, augmente naturellement le courant de fonctionnement, ce qui nécessite à son tour des couches métalliques plus épaisses afin de réduire la chute d'IR. Le courant total de la puce augmente à un taux annuel de 61%, ce qui crée des défis dans la conception du réseau de distribution d'électricité et dans la gestion thermique au niveau du colis [53, 57].

TABLE II.1 – Mise a l'échelle des propriétés des transistors et des interconnexions [49,56].

	Parameters	Symboles	Mise à l'échelle/année
Dispositif	Dimensions	$W, L, tox$	0.7
	Tension d'alimentation	$V$	0.7
	Courant de drain	$I_{DS}$	0.7
	Capacité de la porte	$C_g$	0.7
	Resistance	$RT_r$	1
	Délai intrinsèque	$\tau$	0.7
	Puissance dissipé	$P$	0.49
	Energie de commutation	$E$	0.34
	Densité des portes	$n$	2.04
Puce	Surface de la puce	$A$	1.13
	Bord de la puce	$y$	1.06
	Courant par unité de surface	$Ia$	1.43
	Courant total de la puce	$Iay2$	1.61
Fil	Dimensions	$w, h, s, t$	0.7
	Résistance par unité de longueur	$r$	2.04
	Capacité par unité de longueur	$c$	1
	Constante RC	$rc$	2.04
	Délai RC/Délai de porte	$\frac{rc}{\tau}$	2.9
	Longueur d'interconnexion locale	$L_1$	0.7
	Le délai RC de l'interconnexion locale	$rcL_l^2$	1
	Longueur de l'interconnexion globale	$Lg$	1.06
	Le délai RC de l'interconnexion globale	$rcL_g^2$	2.29

L'énergie de commutation du transistor diminue à un taux annuel de 66%, et elle atteint l'énergie minimale qui doit être transférée dans la transition binaire d'une seule interconnexion, qui est  $E_s = kT \ln(2)$ , où  $k$  est la constante de Boltzmann et  $T$  est la température absolue [57, 58]. Essentiellement, dans le régime d'intégration à l'échelle terra, des changements novateurs et radicaux dans les dispositifs logiques sont essentiels pour surmonter les défis qui entravent la performance et la fiabilité des systèmes électroniques.

## II.8.2 Problème d’emballage

La réduction continue du coût par fonction a été la clé de la croissance exponentielle de l’industrie électronique. Toutefois, le coût de l’assemblage et de l’emballage des circuits intégrés n’a pas suivi le rythme de la réduction des coûts de fabrication des wafers ; le coût de l’emballage dépasse le coût de production des wafers. D’autres forces motrices pour l’évolution de l’emballage électronique sont la performance, la taille et le volume, le délai de mise sur le marché et la fiabilité. À mesure que la technologie évolue vers les générations de nanomètres, la densité et la performance des puces individuelles sont continuellement améliorées. Malheureusement, aujourd’hui, tous ces mérites ne peuvent pas être traduits au niveau du système en raison du problème de l’emballage électronique, qui a présenté un goulot d’étranglement pour augmenter la vitesse du système, réduire la puissance, et la taille du système de rétrécissement [48, 50].

Lorsque la complexité des puces augmente, le nombre de broches d’E/S augmente de façon exponentielle conformément à la règle des loyers [59], ce qui augmente la demande de câblage pour les interconnexions au niveau du système. Ainsi, afin de fournir suffisamment de fils pour les interconnexions du système à une taille de substrat réduite, le pas d’interconnexion doit être réduit, ce qui impose des limites strictes à l’intégrité du signal au niveau du colis.

TABLE II.2 – Valeur typique des composants parasites dans différentes technologies d’interconnexion de puces [51].

Technologie	Fil de connexion	Bosse de soudure	Bosses adhésives	Micro-via
Résistance (m $\Omega$ )	30 – 100	1.0 – 3.0	15 – 30	0.2 – 1.0
Inductance (nH)	1.0 – 3.0	0.05 – 0.1	0.05 – 0.1	0.01 – 0.3
Capacité (pF)	0.01 – 0.05	0.002 – 0.01	0.0020.01	0.002 – 0.001
Discontinuités	sévère	modéré	modéré	aucune

Lorsque la vitesse de la puce est supérieure à plusieurs centaines de Mhz, le paquet présente de très grands effets parasites. Par exemple, dans les puces VLSI d’aujourd’hui, les blocs d’E/S de la puce sont encore assez grands, ce qui nécessite de très grands tampons et des pilotes hors puce pour les communications hors puce. En outre, le paquet lui-même et les interconnexions embarquées ont des dimensions beaucoup plus grandes que celle de la puce. Ils sont donc de grandes charges pour les pilotes off-chip. Outre la consommation d’énergie plus élevée et la taille plus grande de la puce pour ces pilotes *off-chip*, les performances du système est gravement dégradé. Avec des fréquences d’exploitation plus élevées et un temps de montée du signal plus court que deux fois et demie le temps de propagation, la ligne de transmission devient significative. Par conséquent, la préservation de l’intégrité et du choix du moment des signaux devient un défi difficile, car les signaux passent d’une puce à l’autre dans le système. Le tableau II.2 résume les valeurs typiques des paramètres parasites d’interconnexion de la puce à l’emballage. De plus, il est essentiel de réduire au minimum les discontinuités d’impédance aux jonctions d’interconnexion de la puce au colis et de la carte à carte et de réduire le bruit de diaphonie entre les lignes adjacentes.

Le manque de broches d'E/S impose également plus de restrictions sur la conception du réseau d'alimentation électrique, car plus de barrières par broche signifie des trajets de courant plus longs et une augmentation du courant dans chaque trajectoire, nécessitant plus de capacité de dérivation sur puce [48, 56]. Avec les techniques de collage en réseau où les broches sont placées sur toute la surface du colis, le nombre de broches augmente avec le carré de la dimension de la puce. Aussi avec l'élimination de l'inductance de fil de liaison, et la chute résistive sur le réseau d'alimentation sur puce est beaucoup moins, car les chemins de courant sont plus courts. Cela facilite les exigences en matière de capacité de dérivation sur puce, mais il existe encore un besoin de systèmes de signalisation hors puce innovants. Les techniques d'emballage multi-puces, où plusieurs puces existent dans un paquet dans une pile verticale (Sip), et les liens inter-puces sont mis en œuvre localement, sont une autre option de *System – on – Chip(Soc)*.

Selon la plupart des prévisions, si la mise à l'échelle de la technologie actuelle se poursuit sans techniques particulières de conception à faible puissance, la densité de puissance des futurs microprocesseurs sera un facteur limitatif principal. Avec la dimension de la puce et le paquet de réduction et de la fréquence d'horloge à la hausse, les produits électroniques ont connu une augmentation spectaculaire de la densité de puissance. La tâche de dissiper la chaleur des circuits intégrés tout en maintenant une température de jonction acceptable a été un défi important pour les fabricants de semi-conducteurs et de systèmes.

### II.8.3 Complexité d'Intégration au Niveau Système

Comme la fonctionnalité et le nombre de portes dans une puce a augmenté, la complexité de la puce a également augmenté. Par conséquent, une approche modulaire est utilisée. Aujourd'hui, par exemple, un CI exécute des fonctionnalités très différentes et utilise divers styles d'implémentation tels que les cœurs de processeur, blocs DSP, blocs FPGA, circuits analogiques/RF et mémoire, et il est conçu à partir de blocs de ces ressources interconnectées, le système global est conçu à un niveau d'abstraction supérieur. Habituellement, ces éléments de base peuvent être partagés et aussi réutilisés sous forme de blocs de propriété intellectuelle (PI), ce qui améliore encore la productivité et réduit le délai de mise en marché. Cette méthodologie a été appelée *System – on – a – Chip*.

Beaucoup de systèmes d'aujourd'hui se composent de SOC complexes avec des processeurs intégrés, des quantités importantes de mémoire et FPGAs, mais ils ne fournissent pas la solution de système totale pour les systèmes du monde réel. Ces systèmes électroniques numériques et blocs de stockage coexistent avec de nombreux autres dispositifs fonctionnels tels que l'analogique/RF, les composants passifs, les capteurs et les fonctions biologiques. Ces capteurs et fonctions biologiques peuvent être des technologies autres que CMOS et non Silicium, avec différents styles de conception et de mise en œuvre. En intégrant ces technologies disparates dans une seule puce, les concepteurs sont confrontés à de nombreux obstacles techniques et économiques [53, 60], à savoir l'énorme investissement initial pour les masques et leur développement, blocs de mémoire dépendants de processus, blocs analogiques de haute précision et la gestion du bruit couplé du substrat, et l'incompatibilité des processus avec les matériaux non-Si et/ou MEMS. Le nombre de masques augmente autant si différents types de technologies fusionnent pour former une seule matrice. Par exemple, des dizaines de puces plus petites avec des fonctionnalités différentes sont interconnectées sur un substrat à l'aide d'interconnexions puce à puce, et emballées comme un seul module. Les méthodologies d'intégration au niveau du système sont préférables pour surmonter la plupart des obstacles susmentionnés, réduire le délai de mise sur le marché et offrir une plus grande souplesse que les solutions à puce unique. Les modules multi-puces (MCM) ont été introduits par IBM dans les années 1970 pour per-

mettre des systèmes à haute performance et dans un tel système des dizaines de petites puces ont été interconnectés. La technologie MCM permet aux puces d'être espacées plus étroitement avec moins de volume et de poids que les circuits intégrés emballés individuellement. Il existe trois grandes variantes d'implémentations de MCM :  $MCM - D$ , une structure multicouche à couches minces sur des couches de base semi-conductrices ou céramiques, avec conducteurs métalliques déposés et diélectriques;  $MCM - C$ , une technologie à film épais ou céramique confirmée; et  $MCM - L$ , panneaux multicouches stratifiés organiques.

De plus, en raison de la demande toujours croissante pour les puces à faible coût, plus petites avec plus de fonctionnalité, et plus petit temps de mise sur le marché pour les systèmes portatifs, l'intégration verticale s'est révélée être une option attrayante. Interconnexion de puces nues ou emballées dans la dimension verticale, connue sous le nom d'intégration tridimensionnelle.

En revanche, l'empilage de matrices emballées parfois connu sous le nom *Package - on - Package* (Pop) a ses propres avantages, y compris la capacité d'intégrer des puces de fournisseurs multiples et différentes technologies de CI, tels que l'analogique, numérique, signal mixte, RF, et optoélectronique. En outre, les matrices emballées peuvent être testées et brûlées avant d'être empilées. Les emballages empilés et les méthodes d'emballage au niveau des plaquettes sont toute les deux de plus en plus populaires. Après les conceptions 3 - D, l'efficacité la plus élevée suivante peut être obtenue par l'emballage de wafer-niveau, en particulier les conceptions CSP. Ceux-ci fournissent une empreinte qui est à peine plus grande que la taille de la matrice.

Les trousse de matrices multiples doivent aborder les principaux problèmes logistiques, comme la capacité de prendre en charge les rétrécissements de matrices incompatibles, la simplification de la gestion de plusieurs fournisseurs de circuits intégrés, la mise à l'essai au niveau de l'emballage et le rodage, la combinaison de dispositifs à haut rendement et à faible rendement; contribuer à la qualité et à la fiabilité du produit; maximiser la souplesse de la configuration et minimiser le temps de mise en marché; et le risque, parce que le temps est notre produit le plus précieux.

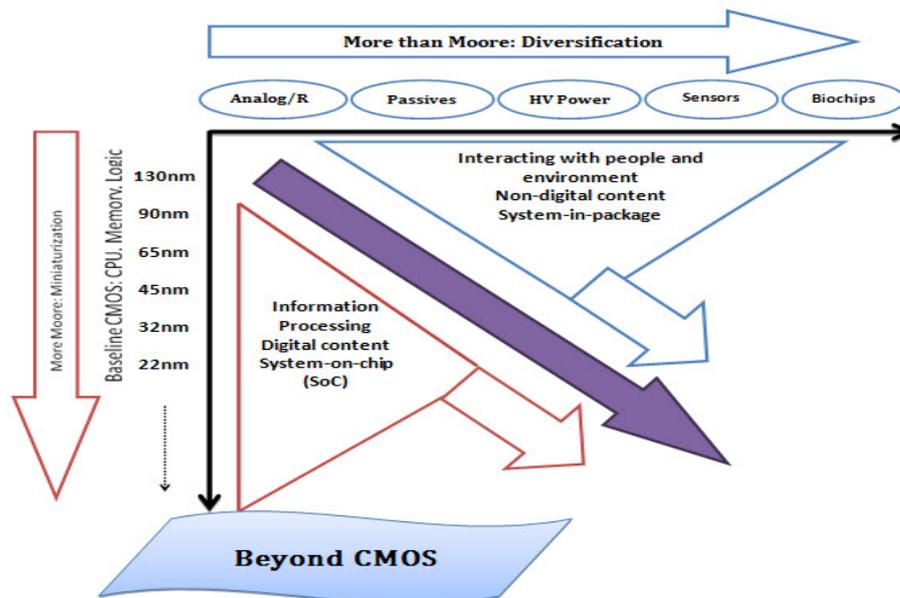


FIGURE II.5 – La loi de Moore et plus- toute la fonction dans un système électronique n'est pas à l'échelle avec la loi des landes [42]

## II.9 Interconnexions dans les Circuits Intégrés

L'évolution qui caractérise principalement le domaine de la microélectronique est la réduction des dimensions des circuits intégrés. Au cours des quatre dernières décennies l'industrie des semi conducteurs n'a cessé d'améliorer ses produits grâce à l'augmentation de la densité d'intégration, de la vitesse de fonctionnement et la diminution du coût de fabrication. Pourtant, les effets de la réduction des dimensions ne se limitent pas à un simple facteur d'échelle : des effets secondaires apparaissent, des limitations physiques et technologiques font surgir de nouvelles contraintes. Nous nous intéressons particulièrement aux limitations induites par la miniaturisation des réseaux d'interconnexions. Afin de bien situer ces problèmes, nous commençons par présenter brièvement le réseau des interconnexions dans les circuits intégrés. Les conséquences principales de la réduction des géométries sur les performances d'interconnexions intra-puce sont ensuite discutées.

### II.9.1 Architecture du Réseau d'Interconnexions

Dans les circuits intégrés actuels, la distribution de l'horloge, de l'alimentation et le transfert des données se basent sur une architecture en trois niveaux : les interconnexions globales, intermédiaires et locales comme le montre la Figure II.6.

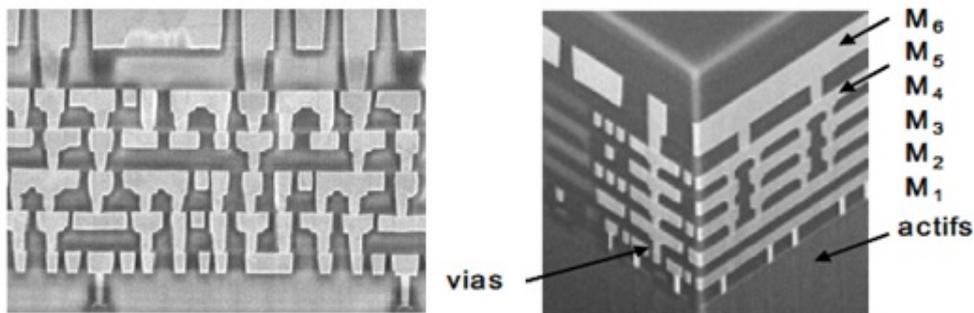


FIGURE II.6 – Réseau des interconnexions dans les circuits intégrés

Les interconnexions locales qui représentent la majorité des interconnexions sur la puce, relient les transistors dans un module logique ou analogique et utilisent les deux premiers niveaux métalliques. Leur longueur, de l'ordre de dix à quinze fois la longueur de grille des transistors, est négligeable en comparaison avec la longueur d'onde des signaux véhiculés ; elles se modélisent donc comme des éléments localisés. La miniaturisation rend ces lignes de plus en plus courtes et denses. Les interconnexions intermédiaires occupent les niveaux métalliques trois à cinq en assurant typiquement la distribution d'horloge au sein d'un bloc isochrone formé de plusieurs modules logiques. Leur longueur, de l'ordre de quelques mm peut atteindre la moitié du périmètre du bloc. Finalement, les interconnexions globales occupent les derniers niveaux de métallisation et correspondent aux liaisons entre les différents blocs du circuit intégré. Elles assurent la transmission des signaux entre les parties les plus éloignées, l'horloge et l'alimentation. Leur longueur peut atteindre jusqu'à la moitié du périmètre de la puce qui croît régulièrement. Puisque la longueur de ces lignes devient plus importante que la longueur d'onde, la modélisation de leurs propriétés électromagnétiques nécessite des approches plus rigoureuses.

Nous notons que la largeur et l'épaisseur des pistes métalliques augmentent depuis les couches basses jusqu'aux couches élevées, technique qui s'appelle *reverse scaling*. Dans cette

méthode les lignes des niveaux supérieurs présentent des sections transversales plus grandes afin d'obtenir des résistances plus faibles et par conséquent réduire le retard RC. L'utilisation de cette méthode n'est possible que dans le cas d'un nombre réduit des lignes critiques à cause de la place qu'occupent ces nouvelles lignes et des couplages capacitifs qu'elles vont introduire. Le tableau II.3 indique l'évolution de la technologie des interconnexions, telle qu'elle est prévue par l'ITRS 2004. Le pitch représente la somme de la largeur d'une interconnexion et de la distance de séparation entre deux interconnexions.

La permittivité du diélectrique situé entre les interconnexions joue un rôle prépondérant sur le retard RC, la dissipation d'énergie et la diaphonie [61]. L'introduction de matériaux à permittivité faible [62] améliore les performances électriques. Toutefois ils doivent réunir des propriétés électriques, mécaniques et de fiabilité requises pour l'industrialisation des circuits intégrés. De nombreux nouveaux diélectriques sont étudiés, dont le SiO<sub>2</sub> dopé fluorine ( $\epsilon_r = 3,9$ ), le SiOC ( $\epsilon_r = 2,9$ ), certains polymères ( $\epsilon_r < 2,5$ ), voire l'air ou le vide ( $\epsilon_r = 1$ ). Cependant la compatibilité de ce type de matériaux avec les différentes étapes élémentaires d'intégration doit être évaluée.

TABLE II.3 – Evolution de la technologie des interconnexions.

Année de mise en production	2004	2006	2010	2013	2016
Génération technologique (nm)	90	65	45	32	22
Pitch lignes locales (nm)	214	152	108	76	54
Résistivité conducteur-niveau local ( $\mu\Omega.cm$ )	2.99	3.22	3.62	4.14	4.88
Pitch lignes intermédiaires (nm)	275	195	135	95	65
Résistivité conducteur-niveau local ( $\mu\Omega.cm$ )	2.75	2.92	3.19	3.58	4.17
Pitch lignes globales (nm)	410	290	205	140	100
Résistivité conducteur-niveau local ( $\mu\Omega.cm$ )	2.45	2.57	2.74	3.04	3.37
Permittivité diélectrique effective	3.1 – 3.6	2.9 – 3.0	2.3 – 2.6	2.0 – 2.4	< 2

## II.9.2 Technologies de Métallisation des Interconnexions

Al et Cu sont les choix principaux de métal pour les interconnexions dans les circuits intégrés modernes. IBM a introduit la technologie Cu dans les circuits intégrés commerciaux en 1998. Depuis, Cu a remplacé Al comme matériau de choix pour les interconnexions en raison de sa faible résistance. Bien que le comportement des interconnexions Al soit assez bien compris [63, 64], la fiabilité du Cu est toujours sous étude. En raison des différences dans les propriétés chimiques entre Cu et Al, le processus de fabrication des interconnexions Cu est radicalement

différent de celui des interconnexions Al. Les différences dans les schémas de traitement et d'architecture conduisent aux différences dans la fiabilité des interconnexions.

### Métallisation par l'aluminium

Comme l'illustre la figure II.14, les interconnexions métalliques sont entourées de matériaux ILD, le plus souvent SiO<sub>2</sub>. Al réagit chimiquement avec SiO<sub>2</sub> pour former de l'alumine, ce qui élimine la diffusion atomique d'Al dans l'ILD environnant et le long de l'interface entre Al et SiO<sub>2</sub>. Par conséquent, la métallisation de l'aluminium est traitée par une méthode de gravure soustractive dans laquelle les lignes à motifs sont formées par la gravure du film Al de couverture déposé. Du point de vue architectural, les interconnexions Al ont des couches métalliques réfractaires épaisses et très résistantes à l'électromigration, qui sont habituellement en nitride de titane (TiN), servant de revêtements antireflet au sommet des lignes (voir figure II.7(a)). Des couches inférieures similaires ont également été incluses, qui servent de couches de semence pour le processus de remplissage direct. Les tungstènes (W) vias remplis sont utilisés pour connecter les couches de métallisation Al. Le métal sous et au dessus des couches sert de dérivation pour le flux d'électrons et les vias remplis de W servent de frontières complètement bloquantes pour l'électromigration.

### Métallisation par du Cuivre

Métallisation par du Cuivre Cu ne réduit pas chimiquement SiO<sub>2</sub> comme Al le fait. En outre, une eau-forte appropriée pour les films minces Cu n'est pas disponible pour un usage commercial. Par conséquent, les interconnexions Cu sont fabriquées selon la méthode damascène, dans laquelle une tranchée est d'abord gravée dans une couche d'ILD avant de la remplir de Cu par électrodéposition. Étant donné que le Cu subit une diffusion améliorée dans la plupart des matériaux diélectriques y compris SiO<sub>2</sub>, afin d'empêcher les atomes de Cu de se répandre dans la couche de l'appareil, de fines couches métalliques réfractaires constituées de tantale (Ta) ou de nitride de tantale (Ta<sub>2</sub>N<sub>5</sub>) sont placés sur les côtés et au bas des lignes d'interconnexion de Cu (voir la figure II.7(b)).

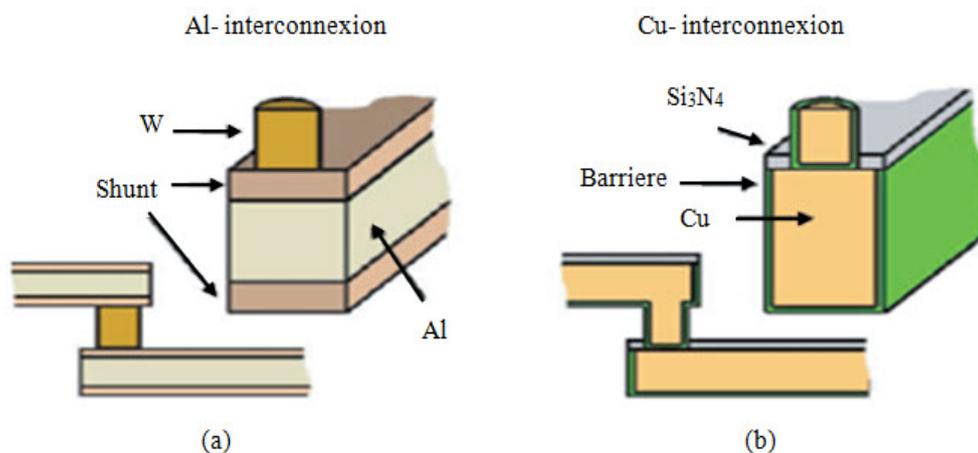


FIGURE II.7 – Schémas d'architecture d'interconnexion; (a) Interconnexion Al, avec vias remplis de W et couches de dérivation en haut et en bas de la ligne d'interconnexion. (b) Interconnexion Cu Dualdamascene, avec vias remplis de Cu, minces revêtements réfractaires sur les côtés et en bas de la ligne, et une couche de capping diélectrique en haut de la ligne

Les lignes Cu sont recouvertes d'une barrière de diffusion diélectrique, généralement en nitrure de silicium (Si<sub>3</sub>N<sub>4</sub>). Les vias remplis de Cu sont utilisés pour connecter plusieurs couches de métallisation.

### II.9.3 Fiabilité des interconnexions

Fiabilité des interconnexions Du point de vue de la conception de l'interconnexion, la fiabilité est la mesure dans laquelle les interconnexions maintiennent l'intégrité du signal et produisent la fonctionnalité souhaitée pendant la durée de vie d'une puce. Les conditions de contrainte, telles que la densité et la température du courant, pendant le fonctionnement du circuit affectent la fiabilité de l'interconnexion. À mesure que les performances des circuits intégrés actuels augmentent, on s'attend à des conditions d'exploitation plus rigoureuses dans les interconnexions métalliques, avec une température de service de 105 °C et une densité de courant maximale de 0,5 [MA/cm<sup>2</sup>] [53]. De plus, l'exigence de fiabilité des interconnexions est devenue plus stricte, Comme le montre la figure II.8.

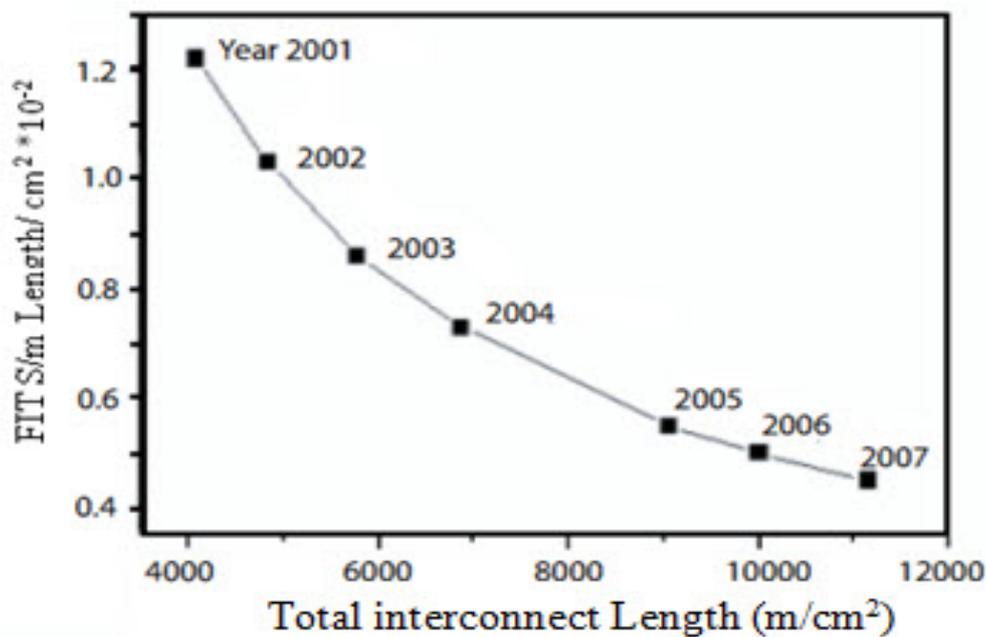


FIGURE II.8 – Exigence de fiabilité d'interconnexion par rapport à la longueur totale d'interconnexion dans différentes années. Ici FIT réfère unité de défaillance. Source ITRS 2001[53]

### II.9.4 Evolution des paramètres électriques

Evolution des paramètres électriques Les interconnexions présentent trois caractéristiques électriques importantes : la résistance, la capacité et l'inductance. Après quelques définitions nécessaires, nous analysons dans les sections avenir l'influence de la miniaturisation sur la résistance, la capacité et l'inductance des lignes, afin de mieux comprendre les limitations induites sur les performances des circuits à venir. La figure II.9 montre un schéma équivalent des interconnexions à l'intérieur d'un circuit intégré.

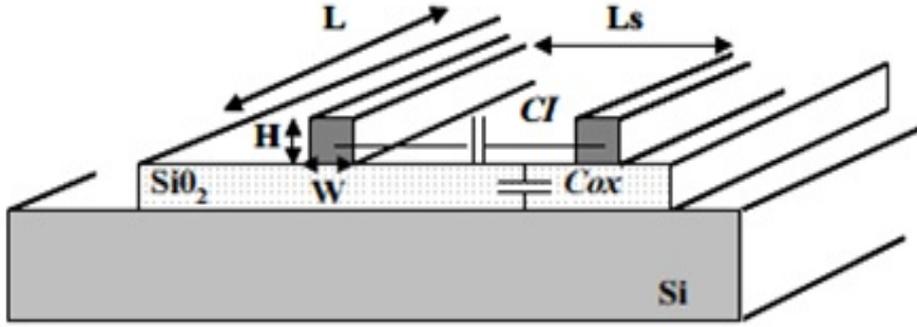


FIGURE II.9 – Schéma équivalent des interconnexions dans un circuit intégré

La résistance  $R$  d'une ligne de longueur  $L$  dépend de la résistivité du matériau et de la section du conducteur :

$$R = \frac{\rho}{W.H}.L \quad (\text{II.1})$$

Où  $\rho$  est la résistivité du matériau,  $W$  la largeur de la piste métallique et  $H$  son épaisseur. En général, pour un matériau donné, seule la modification de la géométrie de la ligne influence la valeur de la résistance. Ainsi, la miniaturisation des circuits s'accompagne d'une diminution de la section de la ligne et d'une augmentation de sa résistance. De plus, l'augmentation de la résistivité du cuivre qui survient dans les géométries inférieures à 100 nm et qui résulte des effets de rugosité de surface est un facteur supplémentaire qui accroît la résistance des lignes. Pour les interconnexions actuelles réalisées en cuivre, la barrière qui empêche le cuivre de diffuser réduit la section conductrice de la ligne et par conséquent induit une augmentation de sa résistance [65]. Tous ces facteurs contribuent donc à une large augmentation de la résistance d'une génération technologique à une autre.

Le second facteur déterminant est la capacité des lignes. De nombreuses études se sont focalisées sur l'estimation de la capacité linéique des interconnexions pour les technologies fortement submicroniques [66, 67]. En particulier, il se révèle essentiel de disposer d'un modèle précis pour calculer la capacité de recouvrement entre conducteurs. L'équation la plus simple pour déterminer la capacité totale s'écrit :

$$C = C_{ox} + C_I = K_{ox} \cdot \epsilon_0 \frac{W.L}{X_{ox}} + K_{ox} \cdot \epsilon_0 \frac{H.L}{L_s} = K_{ox} \cdot \epsilon_0 \cdot L \left( \frac{W}{X_{ox}} + \frac{H}{L_s} \right) \quad (\text{II.2})$$

Où  $k_{ox}$  est la permittivité diélectrique d'oxyde,  $X_{ox}$  son épaisseur et  $L_s$  la distance entre les lignes. En raison du facteur de forme élevé des interconnexions (rapport entre la hauteur des lignes et leur largeur), la plus grande contribution à la capacité d'une interconnexion provient du couplage entre lignes adjacentes routées sur le même niveau de métal [68].

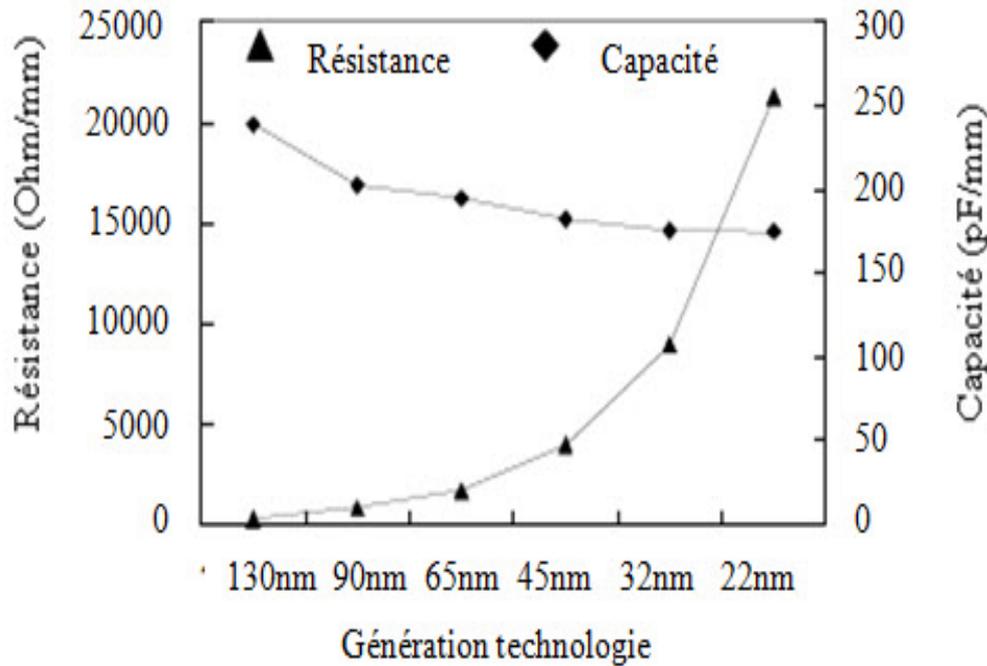


FIGURE II.10 – Evolution de la capacitance linéique et de la résistance en fonction de la génération technologique.

La figure II.10 illustre l'évolution de la capacité totale et la résistance linéiques d'une ligne en fonction de la génération technologique [69] : la capacité diminue légèrement à chaque génération, grâce à l'introduction de diélectriques de permittivité réduite, tandis que la résistance croît de manière exponentielle.

A cause de l'augmentation des fréquences de fonctionnement et de la longueur des lignes, les phénomènes inductifs ne peuvent plus être négligés pour les interconnexions longues des circuits actuels [70, 71]. Ces phénomènes ont des effets significatifs sur le temps de propagation, l'intégrité des signaux et les interférences entre pistes voisines. La difficulté principale dans l'estimation de l'inductance des lignes provient du fait qu'elle est fonction de l'aire des boucles de courant formées par la ligne et le chemin de retour des courants, typiquement la masse. Il est en général difficile de déterminer avec précision le chemin de retour des courants.

L'inductance évolue légèrement avec les dimensions du conducteur et fortement avec la distance qui sépare l'interconnexion du chemin de retour du courant. Ce chemin de minimum impédance varie avec la fréquence. A partir d'une analyse basée sur le schéma électrique RLC de l'interconnexion [72], il est possible de démontrer que les longueurs ( $l$ ) pour lesquelles l'effet inductif est à prendre à compte, obéissent à l'équation suivante où  $T_r$  est le temps de montée du signal :

$$\frac{T_r}{2\sqrt{LC}} < l < \frac{2}{R}\sqrt{\frac{L}{C}} \quad (\text{II.3})$$

### II.9.5 Conséquences de la miniaturisation

Le retard pris par le signal lors de sa propagation dans l'ensemble d'un circuit intégré est généré à la fois dans sa partie active (transistors) et sa partie passive (interconnexions). Soit  $\tau$

le délai accumulé dans un transistor :

$$\tau = \frac{C.V}{I} \quad (\text{II.4})$$

Avec  $C$  la capacité totale que l'on peut approximer au premier ordre comme égale à la capacité de l'oxyde de grille  $C_{ox}$  et  $I$  :

$$I = \mu C_{ox} (V_g - V_T) \frac{W}{L} \quad (\text{II.5})$$

Avec  $V_g$  et  $V_T$  respectivement les tensions de grille et de seuil,  $W$  la largeur de grille et  $L$  la longueur de grille. Il vient donc en première approximation que  $\tau \approx L$ . Le délai accumulé dans la partie active, qui correspond à la durée nécessaire à la commutation des transistors, est donc proportionnel à la longueur de grille des transistors. L'augmentation de la densité des transistors décrite par la loi de Moore pour le passage d'une génération technologique à une autre conduit donc à la réduction du délai dans les transistors (Figure II.11), accélérant par conséquent la commutation des portes logiques.

En ce qui concerne les interconnexions, une réduction d'un facteur 0,7 de la largeur des lignes et de leur espacement s'effectue lors du passage d'une génération à une autre, alors que les longueurs des lignes augmentent du fait de la complexité croissante des interconnexions et du nombre grandissant de blocs fonctionnels à connecter. D'après les Equations II.4 et II.5, cette course à la miniaturisation conduit de façon inéluctable à l'augmentation du délai dans les interconnexions.

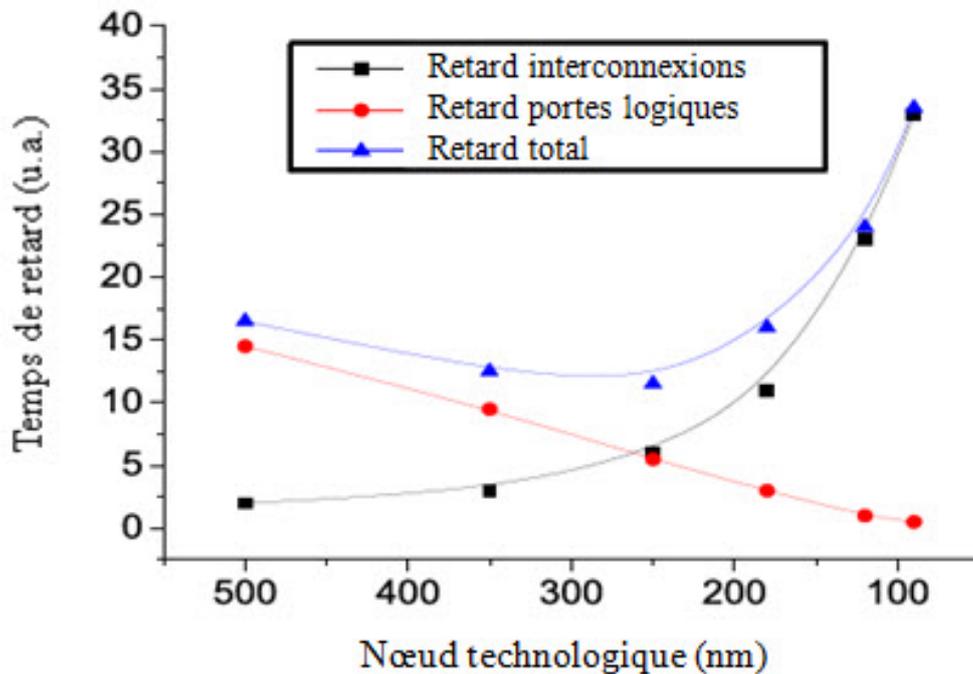


FIGURE II.11 – Illustration des contributions des composants actifs et passifs au temps de retard global du circuit en fonction de la génération technologique en considérant identiques pour chaque génération technologique les matériaux utilisés

Alors que la contribution des composants actifs diminue à chaque génération technologique, celle provenant des interconnexions augmente de façon exponentielle, devenant prépondérante

dès la génération 180 nm (Figure II.12). Les interconnexions sont donc devenues la partie la plus critique d'un circuit intégré en termes de dégradation de la propagation du signal.

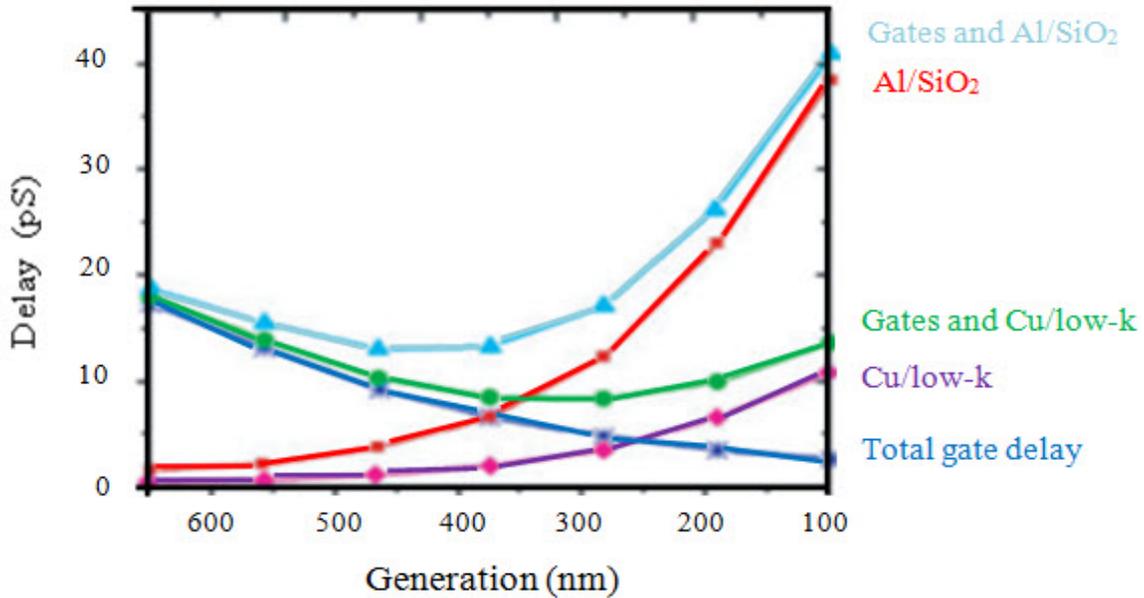


FIGURE II.12 – *Delay des portes logiques et des interconnexions dans différentes générations technologiques*

La durée de vie d'un circuit intégré correspond au temps nécessaire pour la création d'un défaut critique conduisant à son dysfonctionnement. Ce défaut peut apparaître soit dans la partie active soit dans la partie passive d'un circuit. Nous allons nous focaliser sur le phénomène considéré comme limitant la fiabilité des interconnexions : l'électromigration.

### Phénomène d'Electromigration

L'électromigration se définit comme un transfert de quantité de mouvement entre le flux d'électrons du courant électrique et les atomes de cuivre, entraînant leur déplacement [65, 73]. La migration des atomes est favorisée par la présence de défauts comme les lacunes, les joints de grains ou les interfaces. Une divergence du flux d'atomes conduit à la formation d'une cavité au sein de la ligne par l'accumulation de lacunes qui réduit la section conductrice de la ligne jusqu'à la rompre (Figure II.13).

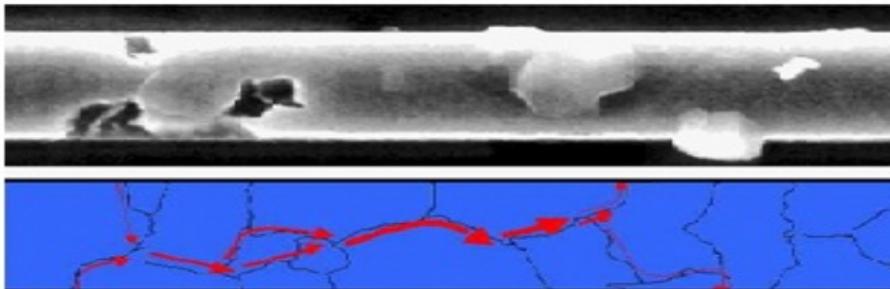


FIGURE II.13 – *Phénomène d'Electromigration*

## II.9.6 Défis des interconnexions et Solutions stratégiques

La mise à l'échelle continue des transistors ne sera pas aussi simple à l'avenir qu'elle l'a été par le passé parce que les limites fondamentales des matériaux et des processus sont rapidement approchées. Meindl et al. [57] ont dérivé cinq limites fondamentales clés pour l'intégration à l'échelle Terra de la thermodynamique, de la mécanique quantique et de l'électromagnétisme. Ces limites sont indépendantes du matériau, de la structure du dispositif, de la configuration du circuit ou de l'architecture du système.

Le problème du délai d'interconnexion et le domaine de solution possible peuvent s'expliquer simplement par la constante de temps RC d'un fil [57, 58], qui est :

$$\tau = rcL^2 = \frac{\rho}{\omega t} \cdot \frac{\varepsilon \omega}{t} = \rho \varepsilon \left[ \frac{1}{ht} \right] L^2 \quad (\text{II.6})$$

Comme l'exprime (II.6), le problème croissant de délai d'interconnexion peut être résolu par des processus matériels, l'échelle inverse (réduire la largeur tout en maintenant le même rapport d'aspect) et la réduction de la longueur d'interconnexion.

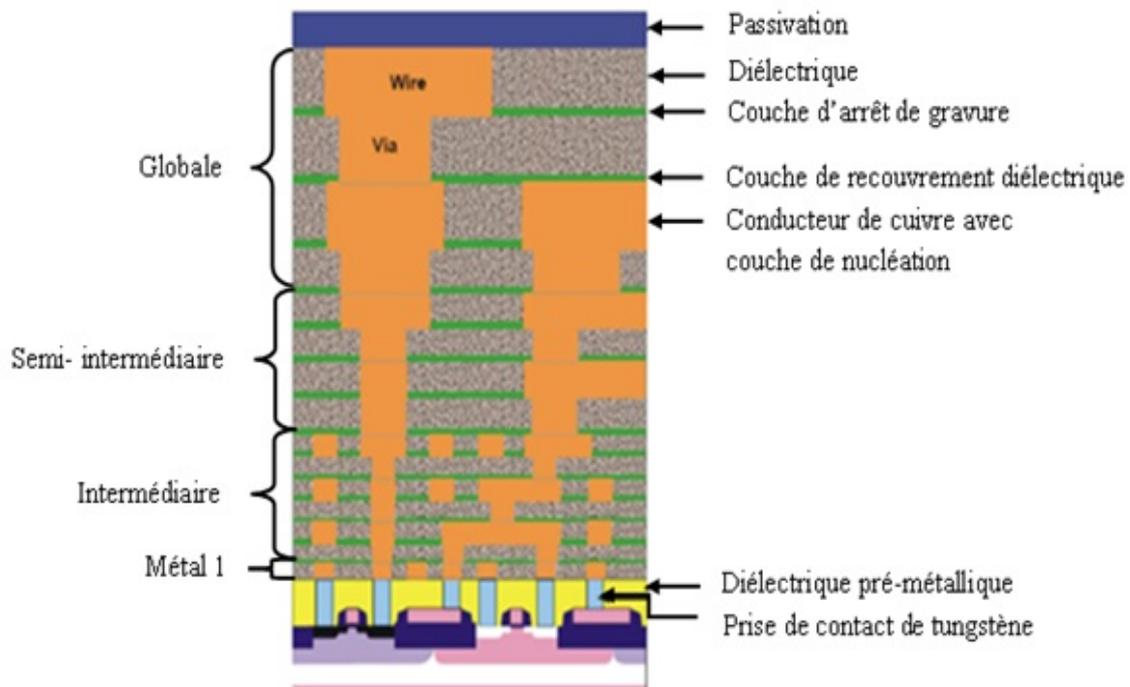


FIGURE II.14 – Section transversale du câblage hiérarchique avec augmentation constante du pas et de l'épaisseur au niveau des conducteurs de technologie pour atténuer l'impact du retard d'interconnexion en performance [53].

Les interconnexions en cuivre (Cu) fonctionnent mieux que l'aluminium (Al) parce que la résistivité du Cu est d'environ 40 % inférieure à celle de l'aluminium [74]. De plus, le Cu présente une plus grande résistance aux effets d'électromigration. La durée de vie de l'électromigration du Cu est environ 100 fois plus longue que celle de l'Al à la même densité de courant. Cependant, un inconvénient avec Cu comme matériau d'interconnexion est que Cu diffuse facilement dans la plupart des diélectriques et agit comme un centre de recombinaison dans le silicium. Par conséquent, une barrière de diffusion métallique (comme Ta, Tan) ou diélectrique (comme Sin, Sic) est généralement nécessaire pour encapsuler une ligne Cu afin de prévenir les fuites

électriques et la dégradation des performances des transistors. Ces films barrière ont une résistance beaucoup plus élevée que Cu et environ 20% de la largeur du fil est consommé par le film. De plus, la dimension transversale du fil est proche du chemin libre moyen des électrons, d'où l'effet de diffusion des électrons à la surface du conducteur ainsi que les limites du grain entraînent une résistance accrue.

Afin de réduire la vitesse d'augmentation de la résistance, l'épaisseur est augmentée pour atteindre une plus grande section transversale, qui conduit à des fils élevés et minces. Les technologies contemporaines utilisent des fils dont le rapport d'aspect (RA) est approximativement égal à 2-2,5. Ce faisant, l'augmentation annuelle de la constante RC peut être maintenue à un taux constant, et le retard sur un fil global augmente à un taux de 13% par an. Néanmoins, l'augmentation continue du rapport d'aspect n'apportera pas des avantages similaires parce que la réduction de la résistance sera compensée par la prédominance de la capacité inter-fil à la capacité totale du fil. L'impact de cet effet est une augmentation du bruit de couplage, qui se présente sous deux formes : la diaphonie et l'intégrité du signal, et le retard dynamique. Comme la réduction de la densité de package n'est pas une option, la seule façon de réduire la capacité est d'utiliser un diélectrique à faible permittivité (faible k) au lieu de SiO<sub>2</sub> dont la constante diélectrique est d'environ 3,9. Le SiO<sub>2</sub> à faible teneur en k et poreux proposé actuellement n'est pas assez robuste pour résister au processus d'assemblage et d'emballage comme le collage de fils. IBM, qui a introduit la technologie d'interconnexion Cu/low-k a récemment annoncé sa nouvelle stratégie d'utiliser les lacunes d'air comme diélectrique pour les nœuds de technologie de pointe avides de puissance.

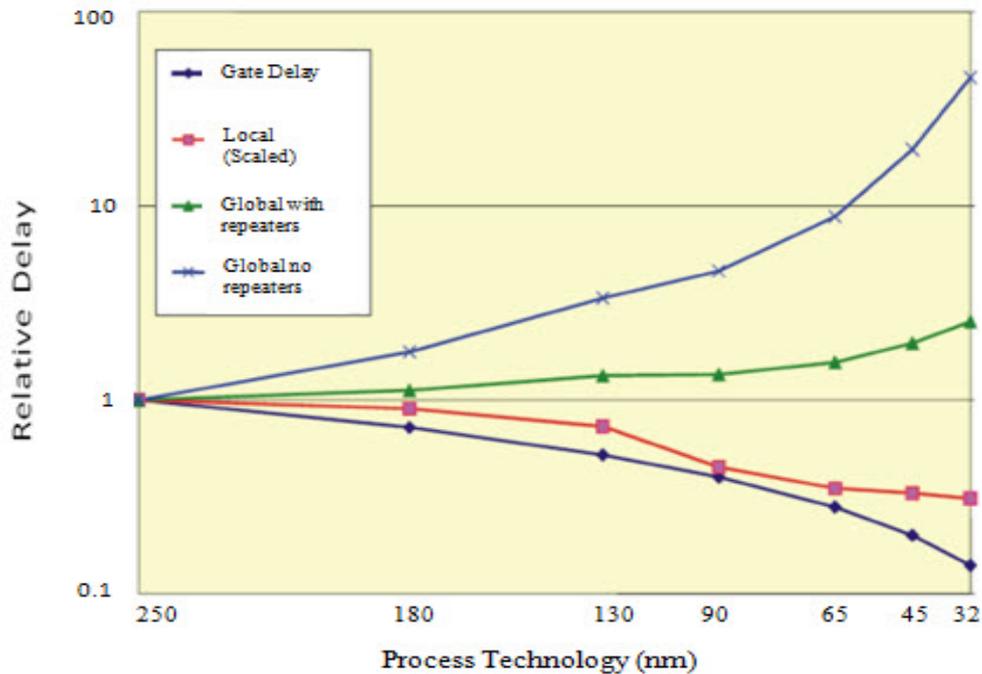


FIGURE II.15 – Retard relatif des interconnexions en fonction de la génération technologique (ITRS 2004)

Comme le montre l'équation (2.6), une autre technique clé pour réduire le délai d'interconnexion est de réduire sa longueur. La façon la plus simple de procéder est d'insérer des répéteurs en brisant le fil en plusieurs sections [75, 76]. Habituellement, ces sections de fil sont

très capacitives et des répéteurs à haute résistance sont nécessaires. On estime que plus de 50% de la puissance d'un microprocesseur à haute performance est dissipée par des répéteurs qui chargent et déchargent des interconnexions [74, 76]. En outre, plus de 90% de cette puissance est concentrée dans seulement 10% des interconnexions ; c-à-d. celles qui sont classées comme globales et fonctionnent pour une fraction significative de la longueur de filière. La longueur des interconnexions globales peut être effectivement réduite en intégrant des blocs dans une pile et par conséquent, la consommation d'énergie peut être considérablement réduite.

## II.10 Conclusion

Si les interconnexions ont été longtemps mises au second plan, elles sont aujourd'hui au plan stratégique et de nombreuses études. Nous avons pu montrer les conséquences de la miniaturisation sur les interconnexions en rapport aux évolutions technologiques rapides, le temps de propagation, le bruit induit par couplage diaphonique et le délai induit par couplage capacitif. Ces derniers vont devenir des facteurs prédominant dans le bon fonctionnement des circuits intégrés. Malgré l'introduction du cuivre et des diélectriques à faibles permittivités dans les filières de production, le problème d'interaction électromagnétique demeure présent. Il parait donc nécessaire de mettre en place des méthodologies de conception, extraction et simulation de circuits autour des interconnexions pour s'assurer de la fiabilité des systèmes.

# Chapitre III

## Etude des Lignes de Transmissions Microrubans

### III.1 Introduction

Les lignes de transmission microstrip trouvent de plus en plus d'applications, en particulier dans les circuits intégrés. Il s'agit de lignes miniaturisées de microruban situées sur le dessus du substrat. Un avantage particulier est que la métallisation du plan de masse protège la ligne des effets du substrat. Par conséquent, par exemple, les substrats de silicium à faible résistivité peuvent être utilisés sans détérioration du rendement des micro-ondes. Ce chapitre est dédié pour les méthodes de calcul des lignes de transmission. Dans un premier temps, nous présentons la théorie des lignes de transmissions ainsi le mode de propagation dans ces lignes, ensuite nous donnerons un aspect générale sur ligne microstrip et les lignes coplanaire, nous terminerons par une étude de simulation dans différentes situation pour les lignes microstrip.

### III.2 Théorie des Lignes de Transmissions

La théorie des lignes de transmission comble l'écart entre l'analyse de champ et la théorie des circuits de base, elle est donc d'une grande importance dans l'analyse des circuits et des dispositifs hyperfréquences. Comme nous le verrons, le phénomène de propagation des ondes sur les lignes de transmission peut être approché à partir d'une extension de la théorie des circuits ou d'une spécialisation des équations de Maxwell [77].

#### III.2.1 Éléments de bases d'une ligne de transmission

La différence entre la théorie des circuits et la théorie des lignes de transmission est la taille électrique. L'analyse des circuits suppose que les dimensions physiques du réseau sont beaucoup plus petites que la longueur d'onde électrique, tandis que les lignes de transmission peuvent être une fraction considérable d'une longueur d'onde, ou de nombreuses longueurs d'onde, en taille. Ainsi, une ligne de transmission est un réseau à paramètres distribués, où les tensions et les courants peuvent varier en amplitude et en phase sur sa longueur, tandis que l'analyse de circuit ordinaire traite des éléments groupés, lorsque la tension et le courant ne varient pas sensiblement sur la dimension physique des éléments [77, 78].

Comme le montre la figure 3.1a, une ligne de transmission est souvent représentée schématiquement comme une ligne à deux fils puisque les lignes de transmission (pour la propagation des ondes électromagnétiques transversales [TEM]) ont toujours au moins deux conducteurs.

Le morceau de ligne de longueur infinitésimale  $z$  de la figure III.1(a) peut être modélisé comme un circuit à éléments groupés, comme le montre la figure III.1(b), où  $R$ ,  $L$ ,  $G$  et  $C$  sont des quantités par unité de longueur définies comme suit :

$R$  : résistance série par unité de longueur, pour les deux conducteurs, en  $\Omega/m$

$L$  : inductance série par unité de longueur, pour les deux conducteurs, en  $H/m$

$G$  : conductance parallèle par unité de longueur, en  $S/m$

$C$  : capacité parallèle par unité de longueur, en  $F/m$

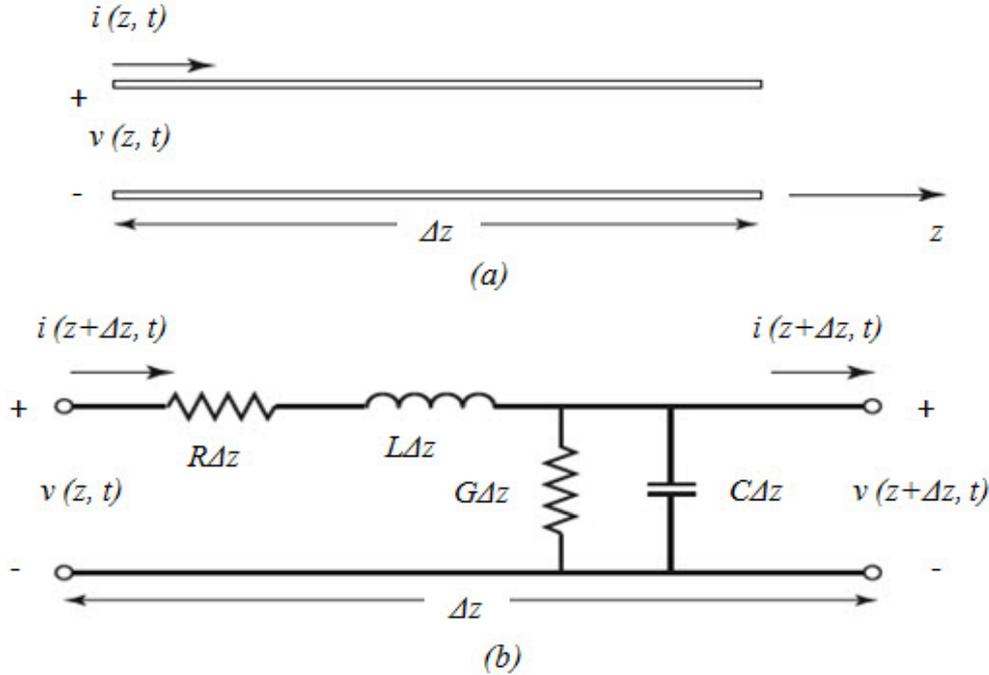


FIGURE III.1 – Définitions de la tension et du courant et circuit équivalent pour une longueur de ligne de transmission. (a) Définitions de la tension et du courant. (b) Circuit équivalent à éléments groupés

L'inductance série  $L$  représente l'inductance propre totale des deux conducteurs, et la capacité parallèle  $C$  est due à la proximité des deux conducteurs. La résistance série  $R$  représente la résistance due à la conductivité finie des conducteurs individuels, et la conductance parallèle  $G$  est due aux pertes diélectrique dans le matériau entre les conducteurs. Par conséquent,  $R$  et  $G$  représentent une perte. Une ligne de transmission de longueur limitée peut être considérée comme une succession de sections de la forme illustrée à la figure III.1b

A partir du circuit de la figure III.1b, la loi de tension de Kirchhoff peut être appliquée pour donner

$$v(z, t) - R\Delta z i(z, t) - L\Delta z \frac{\partial i(z, t)}{\partial t} - v(z + \Delta z, t) = 0 \quad (\text{III.1})$$

Et la loi de courant de Kirchhoff conduit à

$$i(z, t) - G\Delta z v(z + \Delta z, t) - C\Delta z \frac{\partial v(z + \Delta z, t)}{\partial t} - i(z + \Delta z, t) = 0 \quad (\text{III.2})$$

En divisant (III.1) et (III.2) par  $\Delta z$  et en prenant la limite comme  $\Delta z$  tend vers 0, on obtient les équations différentielles suivantes :

$$\frac{\partial v(z, t)}{\partial z} = -Ri(z, t) - L \frac{\partial i(z, t)}{\partial t} \quad (\text{III.3})$$

$$\frac{\partial i(z, t)}{\partial z} = -Gv(z, t) - C \frac{\partial v(z, t)}{\partial t} \quad (\text{III.4})$$

Il s'agit de la forme temporelle des équations des lignes de transmission, aussi appelées équations télégraphiques.

Pour une étude statique en régime sinusoïdal, avec des phases à base de cosinus, (III.3) et (III.4) simplifient à

$$\frac{dV(z)}{dz} = -(R + j\omega L)I(z) \quad (\text{III.5})$$

$$\frac{dI(z)}{dz} = -(G + j\omega C)V(z) \quad (\text{III.6})$$

### III.2.2 Propagation d'onde sur une ligne de transmission

Les deux équations (III.5) et (III.6) peuvent être résolues simultanément pour donner des équations d'onde pour  $V(z)$  et  $I(z)$  :

$$\frac{d^2V(z)}{dz^2} - \gamma^2 V(z) = 0 \quad (\text{III.7})$$

$$\frac{d^2I(z)}{dz^2} - \gamma^2 I(z) = 0 \quad (\text{III.8})$$

Où

$$\gamma = \alpha + j\beta = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (\text{III.9})$$

Est la constante de propagation complexe, qui est une fonction de la fréquence. Les solutions d'ondes de propagation à (III.5) et (III.6) peuvent être trouvées comme :

$$V(z) = V_0^+ e^{-\gamma z} + V_0^- e^{\gamma z} \quad (\text{III.10})$$

$$I(z) = I_0^+ e^{-\gamma z} + I_0^- e^{\gamma z} \quad (\text{III.11})$$

Où le terme  $e^{\gamma z}$  représente la propagation de l'onde dans la direction  $+z$ , et le terme  $e^{-\gamma z}$  représente la propagation de l'onde dans la direction  $-z$ . L'application de (III.5) à la tension de (III.10) donne le courant sur la ligne :

$$I(z) = \frac{\gamma}{R + j\omega L} (V_0^+ e^{-\gamma z} - V_0^- e^{\gamma z}) \quad (\text{III.12})$$

La comparaison avec (III.11) montre qu'une impédance caractéristique,  $Z_0$ , peut être définie comme :

$$Z_0 = \frac{R + j\omega L}{\gamma} = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (\text{III.13})$$

Pour relier la tension et le courant sur la ligne comme suit :

$$\frac{V_0^+}{I_0^+} = Z_0 = -\frac{V_0^-}{I_0^-} \quad (\text{III.14})$$

Ensuite (III.11) peut être réécrit sous la forme suivante :

$$I(z) = \frac{V_0^+}{Z_0} e^{-\gamma z} - \frac{V_0^-}{Z_0} e^{\gamma z} \quad (\text{III.15})$$

En revenant au domaine temporel, nous pouvons exprimer la forme d'onde de tension comme

$$v(z, t) = |V_0^+| \cos(\omega t - \beta z + \Phi^+) e^{-\alpha z} + |V_0^-| \cos(\omega t + \beta z + \Phi^-) e^{\alpha z} \quad (\text{III.16})$$

Où  $\Phi^{+-}$  est l'angle de phase de la tension complexe  $V_0^{+-}$ .

## Cas de Ligne sans pertes

Cas de Ligne sans pertes La solution ci-dessus est pour une ligne de transmission générale, y compris les effets de perte, et on a constaté que la constante de propagation et l'impédance caractéristique étaient complexes. Cependant, Dans de nombreux cas pratiques, les pertes de la ligne sont très petite et peut donc être négligée, résultant en une simplification des résultats. Le paramètre  $R = G = 0$  dans (III.9) donne la constante de propagation comme :

$$\gamma = \alpha + j\beta = j\omega\sqrt{LC} \quad (\text{III.17})$$

$$\beta = \omega\sqrt{LC} \quad (\text{III.18})$$

$$\alpha = 0 \quad (\text{III.19})$$

Comme prévu pour une ligne sans perte, la constante d'atténuation  $\alpha$  est nulle. L'impédance caractéristique de (III.13) se réduit à :

$$Z_0 = \sqrt{\frac{L}{C}} \quad (\text{III.20})$$

Qui est maintenant un nombre réel. Les solutions générales pour la tension et le courant sur une ligne de transmission sans perte peuvent alors être écrit comme :

$$V(z) = V_0^+ e^{-j\beta z} + V_0^- e^{j\beta z} \quad (\text{III.21})$$

$$I(z) = \frac{V_0^+}{Z_0} e^{-j\beta z} - \frac{V_0^-}{Z_0} e^{j\beta z} \quad (\text{III.22})$$

La longueur d'onde est :

$$\lambda = \frac{2\pi}{\beta} = \frac{2\pi}{\omega\sqrt{LC}} \quad (\text{III.23})$$

Et la vitesse de phase est :

$$\nu_p = \frac{\omega}{\beta} = \frac{1}{\sqrt{LC}} \quad (\text{III.24})$$

## III.3 Analyse du Champs Electrique des Lignes de Transmissions

Dans cette section, nous allons redéfinir la forme temporelle harmonique des équations télégraphistes à partir des équations de Maxwell. Nous allons commencer par dériver les paramètres de la ligne de transmission ( $R, L, G, C$ ) en termes de champs électriques et magnétiques de la ligne de transmission.

### III.3.1 Paramètres de ligne de transmission

Envisager une ligne de transmission uniforme d'une longueur de 1 m avec les champs  $E$  et  $H$ , comme le montre la figure III.2, où  $S$  est la surface transversale de la ligne. Laisser la tension entre les conducteurs être  $V_0 e^{+j\beta z}$  et le courant être  $I_0 e^{+j\beta z}$ .

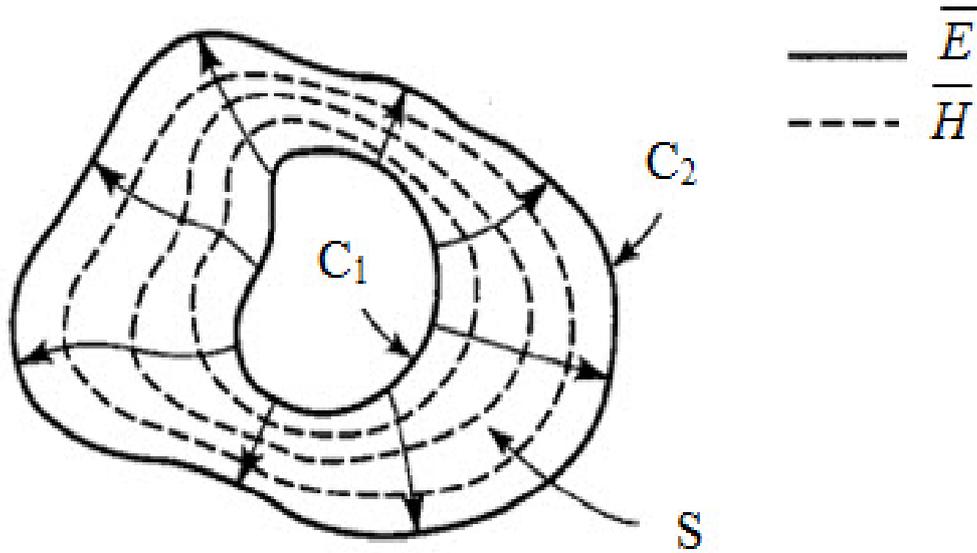


FIGURE III.2 – Lignes de champ sur une ligne de transmission TEM arbitraire

La moyenne temporelle de l'énergie magnétique stockée pour cette longueur de ligne de 1 m peut être écrite, comme :

$$W_m = \frac{\mu}{4} \int_s \vec{H} \cdot \vec{H} ds \quad (\text{III.25})$$

Alors que la théorie des circuits donne  $W_m = (L|I_0|^2)/4$  en termes de courant sur la ligne. On peut donc identifier l'inductance propre par unité de longueur comme :

$$L = \frac{\mu}{|I_0|^2} \int_s \vec{H} \cdot \vec{H} ds \quad (\text{III.26})$$

De même, l'énergie électrique stockée par unité de longueur peut être trouvée comme suite :

$$W_e = \frac{\varepsilon}{4} \int_s \vec{E} \cdot \vec{E} ds \quad (\text{III.27})$$

Tandis que la théorie des circuits donne  $W_e = (C|V_0|^2)/4$ , résultant en l'expression suivante pour la capacité par unité de longueur :

$$C = \frac{\varepsilon}{|V_0|^2} \int_s \vec{E} \cdot \vec{E} ds \quad (\text{III.28})$$

La perte de puissance par unité de longueur due à la conductivité des conducteurs métalliques est :

$$P_c = \frac{R_s}{2} \int_{c_1+c_2} \vec{H} \cdot \vec{H} dl \quad (\text{III.29})$$

En supposant que H est tangentiel à S, tandis que la théorie des circuits donne  $P_c = (R|I_0|^2)/2$ , de sorte que la résistance R par unité de longueur de ligne est :

$$R = \frac{R_s}{|I_0|^2} \int_{c_1+c_2} \vec{H} \cdot \vec{H} dl \quad (\text{III.30})$$

$R_s = 1/\sigma \cdot \delta_s$  est la résistance de surface des conducteurs, et C1 + C2 représentent les chemins d'intégration sur les limites des conducteurs. La puissance moyenne dans le temps dissipée par unité de longueur dans un diélectrique avec perte est :

$$P_d = \frac{\omega \epsilon''}{2} \int_s \vec{E} \cdot \vec{E} ds \quad (\text{III.31})$$

Où  $\epsilon''$  est la partie imaginaire de la permittivité complexe  $\epsilon = \epsilon' - j\epsilon'' = \epsilon'(1 - j \tan \delta)$ . La théorie du circuit donne  $P_d = (G|V_0|^2)/2$ , donc la conductance Parallèle par unité de longueur peut être écrite comme :

$$G = \frac{\omega \epsilon''}{|V_0|^2} \int_s \vec{E} \cdot \vec{E} ds \quad (\text{III.32})$$

### III.4 Présentation des Lignes Microrubans sur Silicium

La ligne microruban (ou microstrip) est l'une des structures de propagation les plus connues pour les applications micro-ondes et millimétriques. Cette ligne de transmission fut pour la première fois utilisée en 1952 par Grieg et Engelman [79]. Une ligne microruban est constituée d'un conducteur principal permettant de transmettre l'onde, et d'un plan de masse servant de référence de potentiel pour le rebouclage des courants. La figure (III.3.a) présente une vue 3D d'une ligne microruban. On peut alors se rendre compte de la dissymétrie de la ligne, dans le sens où, en dessous, la ligne voit de l'oxyde et un plan de masse, alors qu'au dessus, le conducteur principal voit une fine couche de passivation avec de l'air. Compte-tenu de cette nature non-homogène le mode de propagation TEM n'est pas respecté. Cependant, lorsque la composante longitudinale des champs du mode dominant reste négligeable devant la composante transverse, on suppose que le mode de propagation est quasi-TEM et donc la théorie des lignes de transmission TEM est applicable [80].

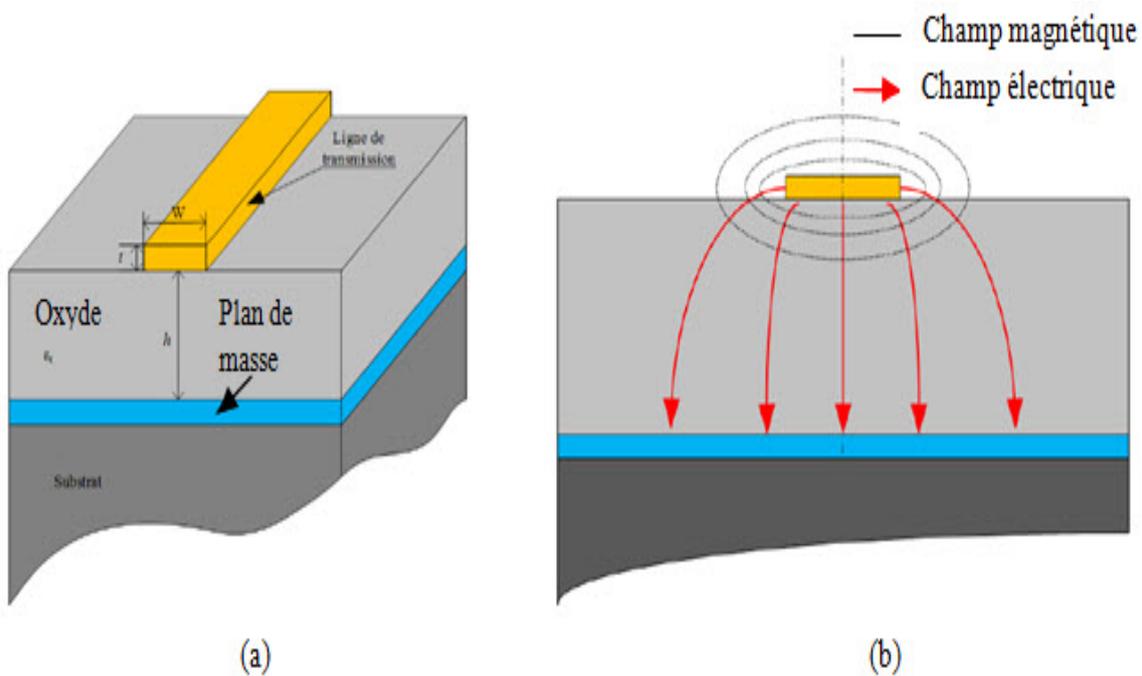


FIGURE III.3 – Ligne microruban a : Vue 3D , b : Répartition des champs électrique et magnétique

La figure (III.3.b) permet, pour ca part, de mettre en évidence la répartition du champ électrique et de voir que les lignes de champ sont concentrées vers le plan de masse. Le champ magnétique est, quand à lui, par nature « tournant », et on peut voir que les lignes de champ tournent autour du conducteur principal.

A partir de la technologie CMOS 65nm les lignes microrubans présentent des niveaux de métallisation très proches du substrat. Si on choisi d'utiliser le niveau de métal cuivre épais (métal 6) et d'écranter le substrat avec un plan de masse réaliser avec du métal 1 emplilé avec métal 2. Par ce choix de dessin, nous nous plaçons dans une situation où la largeur de ruban  $w$  est plus grande que la hauteur  $h$  au plan de masse  $w/h \geq 1$ . Les paramètres d'une ligne de transmission dépendent des dimensions géométriques de la ligne microruban. La théorie des lignes microstrip indique que l'épaisseur du conducteur principal joue un rôle important sur  $Z_c$  et  $\gamma$ . Etant donné que  $w/h \geq 1$ , l'impédance caractéristique est donnée par l'équation suivante :

$$Z_{c,t} = \frac{120\pi}{\sqrt{\epsilon_{re,t}}} \left\{ \frac{W_e(t)}{h} + 1, 3393 + 0, 667 \ln \left( \frac{W_e(t)}{h} + 1, 444 \right) \right\}^{-1} \quad (\text{III.33})$$

Dans l'équation (III.33), le paramètre  $\epsilon_{re,t}$  représente la permittivité électrique effective de la ligne de transmission. Cette valeur est fonction de  $\epsilon_r$  de l'oxyde et de la valeur de la permittivité électrique effective  $\epsilon_{re}$  dans le cas où l'épaisseur de conducteur est considérée comme négligeable.

$$\epsilon_{re,t} = \epsilon_{re} - \frac{\epsilon_r - 1}{4.6} \cdot \frac{t/h}{\sqrt{W/h}} \quad (\text{III.34})$$

$$\epsilon_{re} = \epsilon_{re} - \frac{\epsilon_r + 1}{2} \cdot \frac{\epsilon_r - 1}{2} \left(1 + 12 \frac{h}{W}\right)^{-0.5} \quad (\text{III.35})$$

De même, on peut exprimer le rapport  $We(t)/h$  en fonction de  $W$ , de  $h$  et de  $t$ .

$$\frac{W_e(t)}{h} = \begin{cases} \frac{W}{h} + \frac{1.25}{\pi} \frac{t}{h} (1 + \ln \frac{4\pi W}{t}) \\ \frac{W}{h} + \frac{1.25}{\pi} \frac{t}{h} (1 + \ln \frac{2h}{t}) \end{cases} \quad (\text{III.36})$$

A présent, voyons les pertes de ligne microruban. Ces pertes de traduisent par l'atténuation  $\alpha$  de l'onde se propageant dans la ligne. Elles sont de deux natures : les pertes dues au conducteur  $\alpha_c$  et les pertes dues aux diélectriques  $\alpha_d$ .

$$\alpha = \alpha_c + \alpha_d \quad (\text{III.37})$$

Les pertes résistives  $R_s$  sont données par la relation (III.38) caractéristiques des lignes microstrip ayant le rapport  $w/h \geq 1$ .

$$\alpha_c = 6, 1 \cdot 10^{-5} \cdot A \cdot \frac{R_s R_c \epsilon_{re}}{h} \left( \frac{W_e}{h} + \frac{0, 667 W_e/h}{(W_e/h) + 1, 444} \right) \quad (\text{III.38})$$

Dans l'équation (III.38), la valeur  $R_s$  représente la résistance surfacique du conducteur dont la valeur est définie par (III.39), et tient compte de la conductivité  $\sigma$  de la fréquence d'excitation du signal  $f$  et de la perméabilité du vide  $\mu_0$ .

$$R_s = \sqrt{\frac{\pi f \mu_0}{\sigma}} \quad (\text{III.39})$$

D'autre part, l'équation (III.38) utilise le coefficient  $A$  défini par (III.40)

$$A = 1 + \frac{h}{W_e} \left( 1 + \frac{1}{\pi} \ln \frac{2B}{t} \right) \text{ avec } \begin{cases} B = hpour \frac{W}{h} \geq \frac{1}{2\pi} \\ B = 2\pi W pour \frac{W}{h} \leq \frac{1}{2\pi} \end{cases} \quad (\text{III.40})$$

Voyons maintenant les pertes dues aux diélectriques. Ces pertes se définissent grâce à l'expression (III.41) dans laquelle  $\tan\delta$  représente les tangentes de l'angle de pertes du diélectrique.

$$\alpha_d = 20 \log_{10} e \cdot \pi \left( \frac{\varepsilon_{re} - 1}{\varepsilon_r - 1} \right) \cdot \frac{\varepsilon_r}{\varepsilon_{re}} \cdot \frac{\tan\delta}{\lambda_0} \quad (\text{III.41})$$

### III.5 Présentation des Lignes Coplanaires sur Silicium

Tout comme les lignes microstrip, les lignes coplanaires sont des structures de propagation connues depuis des dizaines d'années. Elles furent pour la première fois proposées en 1969 par Wen [81]. Les lignes coplanaires consistent en un substrat diélectrique sur lequel reposent des conducteurs. Ces conducteurs se décomposent en deux grandes parties principales avec tout d'abord, un conducteur principal de largeur  $W$ , « porteur » de l'information et réalisé en métal cuivre épais, espacé d'une distance  $g$  chaque côté de plans de masse servant de référence de potentiel pour le rebouclage des courant. La figure (III.4.a) donne une vue tridimensionnelle de ligne coplaire.

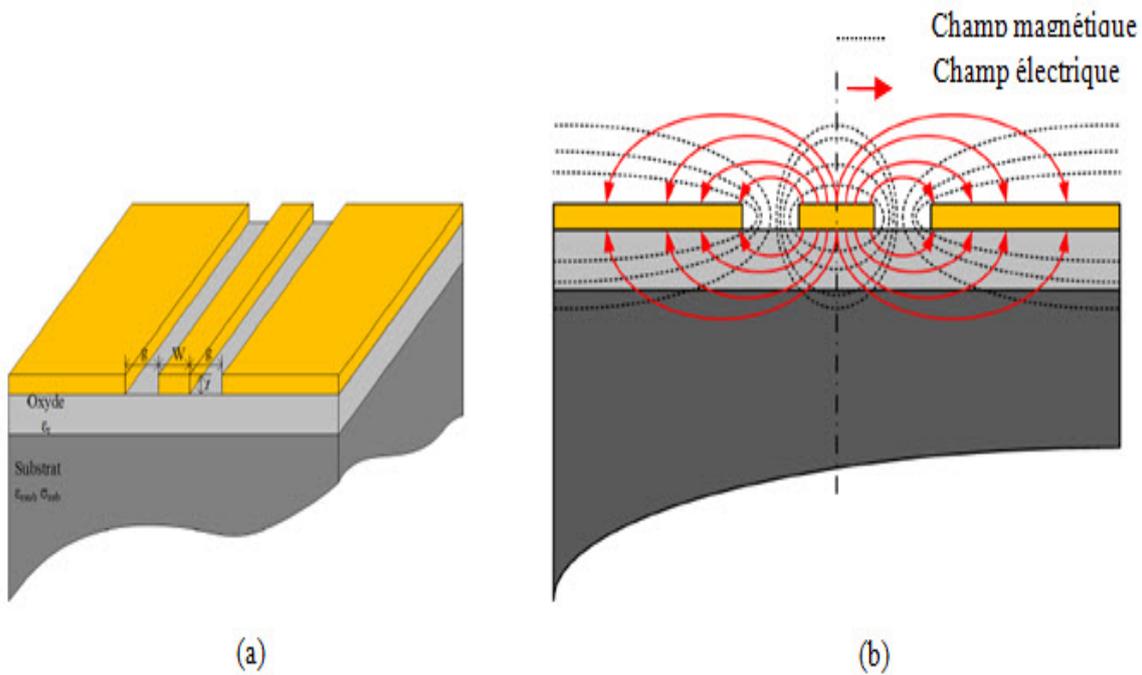


FIGURE III.4 – Ligne coplaire ; a : Vue 3D, b : répartition des champs électrique et magnétique

La figure (III.4.b) présente les lignes de champ électrique et magnétique. On se rend compte qu'une partie des lignes de champ électrique passe dans l'oxyde, ainsi que dans le substrat avant de rejoindre les plans de masse. De même, les lignes de champ magnétique pénètrent fortement dans le substrat et dans l'oxyde. Ces remarques étant faites, on comprend aisément l'influence de l'oxyde et du substrat sur les lignes de champ et donc sur les pertes de lignes.

Une ligne coplaire étant symétrique, le mode de propagation de l'onde est TEM. Le problème avec la coplaire, c'est qu'à haute fréquence, la composante longitudinale du champ magnétique n'est plus négligeable, et que l'on ne se place plus dans un mode TEM. Cependant, afin d'établir les équations établissant les paramètres caractéristiques des lignes de transmission,

et en utilisant des équations dites de transformée conforme, on peut supposer un mode de propagation TEM quasi-statique.

Il est alors possible d'exprimer l'impédance caractéristique et les pertes de la ligne en fonction des paramètres géométriques de la ligne. Avant de détailler ces équations, nous allons exprimer certains paramètres et équations utiles à leur compréhension [82]. Posons :

$$k = \frac{W}{W + 2g} \quad (\text{III.42})$$

$$k' = \sqrt{1 - k^2} \quad (\text{III.43})$$

Nous allons également exprimer la fonction intégrale elliptique complète de première espèce  $K$  et sa complémentaire  $k'$

$$K'(k) = K(k') \quad (\text{III.44})$$

$$\frac{K(k')}{K(k)} = \begin{cases} \frac{1}{\pi} \ln \left( 2 \frac{1 + \sqrt{k'}}{1 - \sqrt{k'}} \right) & \text{pour } 0 \leq k \leq 0.7 \\ \left[ \frac{1}{\pi} \ln \left( 2 \frac{1 + \sqrt{k'}}{1 - \sqrt{k'}} \right) \right]^{-1} & \text{pour } 0.7 \leq k \leq 1 \end{cases} \quad (\text{III.45})$$

Dans un premier temps, supposons que le métal utilisé pour réaliser les plans de masse et le conducteur central, est infiniment fin ( $t$  tends vers 0). Cela nous permet d'exprimer la permittivité effective de la ligne, ainsi que l'impédance caractéristique.

$$\varepsilon_{re} = \frac{\varepsilon_r + 1}{2} \left\{ \tan \left[ 0.775 \ln \left( \frac{h}{g} \right) + 1.75 \right] + \frac{kg}{h} [0.04 - 0.7k + 0.01(1 - 0.1\varepsilon_r)(0.25 + k)] \right\} \quad (\text{III.46})$$

$$Z_c = \frac{30\pi}{\sqrt{\varepsilon_{re}}} \frac{K'(k)}{k(k)} \quad (\text{III.47})$$

Puis dans un second temps, nous allons considérer l'épaisseur du ( $t \neq 0$ ) et voir quel est son impact sur la valeur de la permittivité effective ainsi que sur l'impédance caractéristique. Définissons de nouvelles variables prenant en compte l'influence de  $t$  sur la largeur du ruban central ainsi que sur les espacements.

$$W_e = W + \Delta \quad (\text{III.48})$$

$$g_e = g - \Delta \quad (\text{III.49})$$

Avec

$$\Delta = \left( 1.25 \frac{t}{\pi} \right) \left[ 1 + \ln \left( 4\pi \frac{W}{t} \right) \right] \quad (\text{III.50})$$

Suite à l'énoncé de ces nouveaux paramètres, définissons maintenant une nouvelle valeur effective du coefficient  $k$ .

$$k_e = \frac{W_e}{W_e + 2g_2} \approx k + (1 - k^2) \frac{\Delta}{2g} \quad (\text{III.51})$$

Nous pouvons alors exprimer la permittivité effective du guide coplanaire prenant en compte l'influence de l'épaisseur  $t$ .

$$\varepsilon_{re,t} = \varepsilon_{re} - \frac{0.7(\varepsilon_{eff} - 1) \frac{t}{g}}{\frac{K'(k)}{K(k)} + \frac{0.7t}{g}} \quad (\text{III.52})$$

De même, la valeur de l'impédance caractéristique « effective » prenant en compte l'épaisseur  $t$  des conducteurs est détaillée dans la relation (III.53).

$$Z_{c,t} = \frac{30\pi}{\sqrt{\varepsilon_{re,t}}} \frac{K'(k_e)}{K(k_e)} \quad (\text{III.53})$$

Tout comme la ligne microstrip, la ligne coplanaire présente des pertes, de deux types : les pertes liées aux conducteurs, et les pertes liées aux diélectriques. Ces dernières s'expriment simplement par la relation (III.54). Elles tiennent compte de la présence des tangentes de pertes dans les diélectriques, ainsi que de la valeur effective de la permittivité du diélectrique.

$$\alpha_d = 20 \log(2) \cdot \pi \cdot \frac{\varepsilon_r}{\varepsilon_r - 1} \frac{\varepsilon_{re} - 1}{\sqrt{\varepsilon_{re}}} \frac{\tan \delta}{\lambda_0} \quad (\text{III.54})$$

Examinons maintenant les pertes liées aux conducteurs. Celles-ci dépendent des pertes du conducteur central  $R_s$  (III.49), de sa largeur  $W$  mais également de l'influence des plans de masse et leur espacement  $g$  par rapport au conducteur central.

$$\alpha_c = 4,88 \cdot 10^{-4} \cdot R_s \cdot \varepsilon_{re} \cdot Z_{c,t} \cdot \frac{P'}{g\pi} \left(1 + \frac{W}{g}\right) \cdot \frac{\frac{1,25}{\pi} \ln\left(\frac{4\pi W}{t}\right) + 1 + \frac{1,25t}{\pi W}}{\left\{2 + \frac{W}{g} - \frac{1,25t}{\pi g} \left[1 + \ln\left(\frac{4\pi W}{t}\right)\right]\right\}^2} \quad (\text{III.55})$$

Avec

$$P' = \begin{cases} \frac{k}{(1-k')(k')^{3/2}} \left(\frac{K(k)}{K'(k)}\right)^2 & \text{pour } 0 \leq k \leq 0,707 \\ \frac{1}{(1-k)\sqrt{k}} & \text{pour } 0,707 \leq k \leq 1 \end{cases} \quad (\text{III.56})$$

Les lignes coplanaires sont des structures de propagation simples à dessiner. Les équations que nous venons de détailler permettent de décrire le comportement de ces lignes. L'une des difficultés majeures de cette structure vient des pertes diélectriques qui sont fonction de l'espacement des plans de masse par rapport au conducteur central. Ainsi, si l'on désire obtenir des impédances caractéristiques élevées, nous devons augmenter la valeur de  $g$  ce qui, de fait, va accroître les pertes  $\alpha_d$  le choix du niveau de métallisation le plus haut permettra de minimiser les pertes  $\alpha_c$  dues au conducteur.

## III.6 Modélisation des Interconnexions à Base de Lignes Microstrip

Dans cette partie on s'intéresse à l'effet capacitif et inductif dans les lignes microstrip, nous allons effectuer une série de simulation pour différentes géométries des lignes microstrip en utilisant le logiciel FEMM.

Les modèles quasi statiques sont calculés sous forme de simulations électromagnétiques utilisant des équations aux dérivées partielles. Récemment, avec l'avènement de la technologie de circuit intégré, les lignes de transmission microstrip couplées consistant en plusieurs conducteurs intégrés dans un milieu diélectrique multicouches ont conduit à une nouvelle classe de réseaux de micro-ondes. Les lignes de transmission multiconductrices ont été utilisées comme filtres dans la région de micro-onde qui la rendent intéressante dans divers composants de circuit. Pour les lignes de microstrip couplées, il est pratique d'écrire [83, 84] :

$$Q_i = \sum_{j=1}^n C_{sij} V_j \quad (\text{III.57})$$

Où  $Q_i$  est la charge par unité de longueur,  $V_j$  est la tension de j ème conducteur par rapport au plan de masse,  $Q_i$  est la charge par unité de longueur,  $C_{sij}$  est la capacité de couplage entre i ème et j ème conducteur. Les capacités de couplage peuvent être obtenues soit par mesure soit par calcul numérique [85, 86]. Nous obtenons :

$$C_{ii} = \sum_{j=1}^n C_{sij} \quad (\text{III.58})$$

$$C_{ii} = -C_{sij}, i \neq j \quad (\text{III.59})$$

Où  $C_{ii}$  est la capacité par unité de longueur entre le i ème conducteur et le plan de masse. Les capacités de couplage sont illustrées dans la figure (III.5).

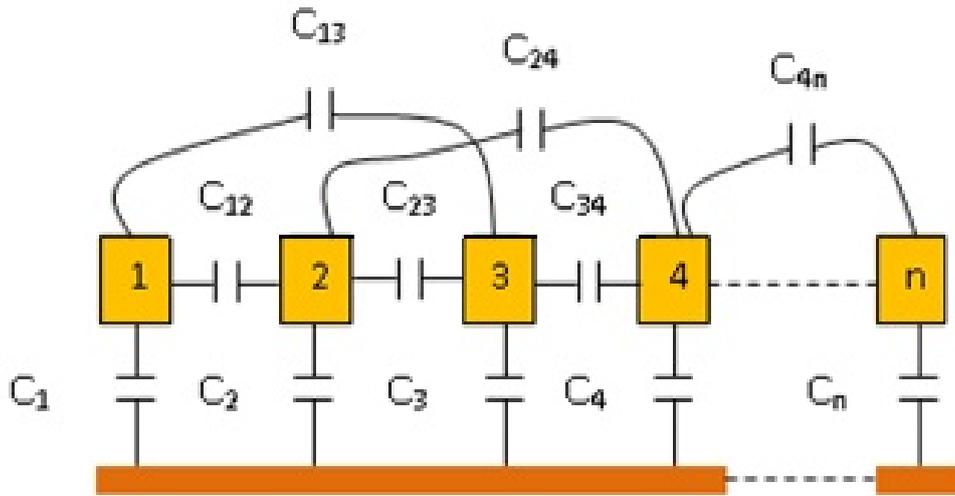


FIGURE III.5 – Capacité par unité de longueur du n conducteur

La matrice capacité  $[c]$  pour n conducteur est donnée par

$$C = \begin{bmatrix} C_{11} & -C_{12} & \dots & -C_{1n} \\ -C_{21} & C_{22} & \dots & -C_{2n} \\ \cdot & \cdot & \cdot & \cdot \\ -C_{n1} & -C_{n2} & & C_{nn} \end{bmatrix} \quad (\text{III.60})$$

L'inductance et la capacité des lignes microstrip sont liées comme suit :

$$[L] = \mu_0 \epsilon_0 [C]^{-1} \quad (\text{III.61})$$

Où :

$[L]$  = Matrice inductance.

$[C]^{-1}$  = Matrice inverse des lignes microstrip lorsque toutes les constantes diélectriques égales à 1

$\mu_0$  = perméabilité de vide.

$\epsilon_0$  = permittivité de vide.

L'impédance caractéristique et la capacité par unité de longueur sont liées comme suit :

$$[Z] = \sqrt{\frac{[L]}{[C]}} \quad (\text{III.62})$$

Les paramètres électriques sont : la matrice capacité par unité de longueur ( $[C]$  en  $pF/m$ ), inductance par unité de longueur ( $[L]$  en  $nH/m$ ), impédance ( $[Z]$  en  $\Omega$ ).

### III.6.1 Cas d'un seul niveau de métallisation

Dans la première section nous considérons une ligne microstrip planaires comprenant quatre pistes, Figure (III.6) montre la géométrie du modèle.

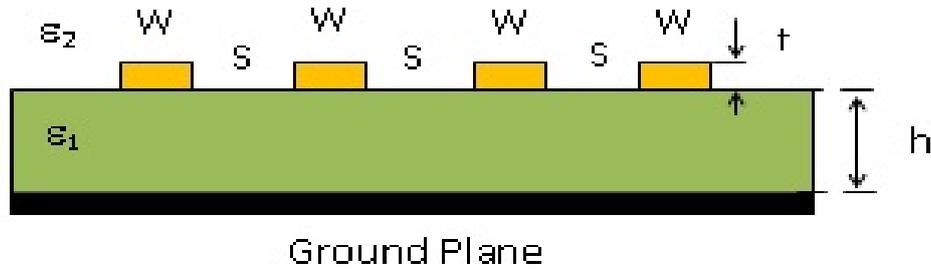


FIGURE III.6 – *Système symétrique des lignes microstrip couplées*

Ces lignes microstrip couplées ont les paramètres géométriques suivants :

- $\omega = 20\mu m, S = 20\mu m, h = 40\mu m, t = 5\mu m, \epsilon_1 = 11.7, \epsilon_2 = 3.9$

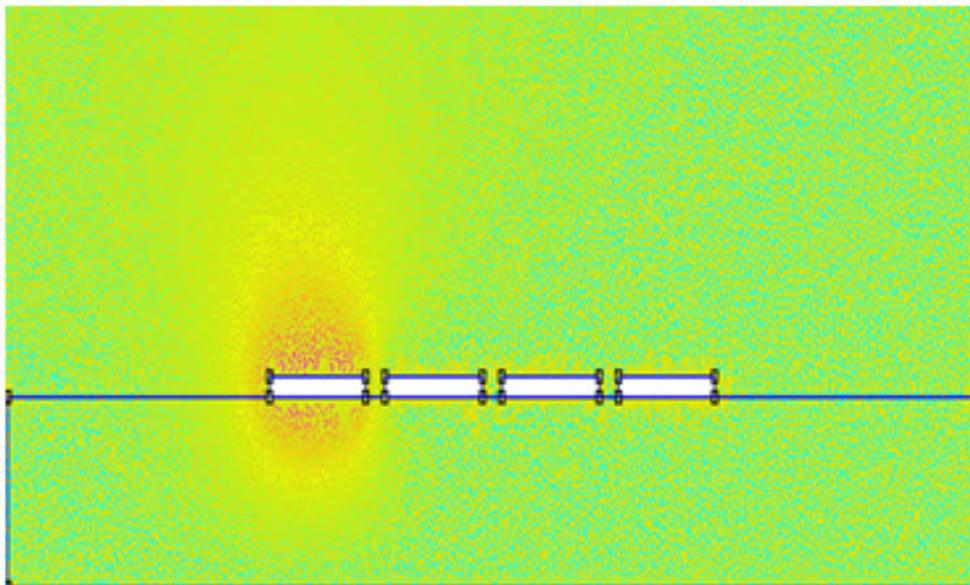


FIGURE III.7 – *Maillage par élément finis*

La figure (III.7) montre le maillage par élément fini, l'approche de base de la méthode des éléments finis est de subdiviser le champ d'étude en nombres finis de sous-domaines appelés éléments. L'approximation de l'inconnu se fait dans chaque élément des fonctions d'interpolation. La fonction d'interpolation est également définie en fonction de la géométrie de l'élément choisi au préalable et coïncide avec les nœuds de cet élément par rapport aux valeurs de l'inconnu.

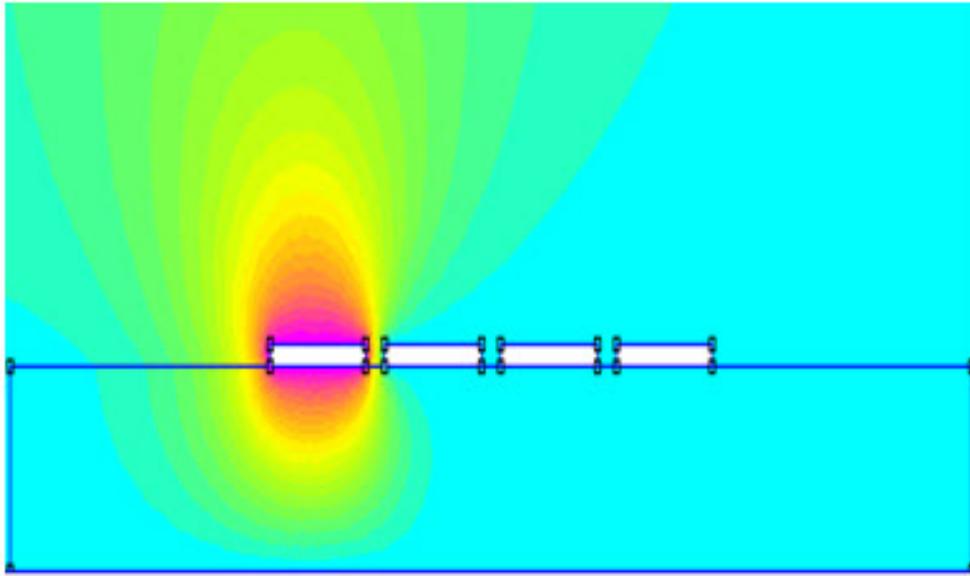


FIGURE III.8 – *Distribution du potentiel de surface du système à quatre pistes*

La capacité par unité de longueur des lignes microstrip est donnée comme suit :

$$C = \begin{bmatrix} 0.968 & -0.328 & -0.08 & -0.01 \\ -0.328 & 1.126 & -0.325 & -0.08 \\ -0.08 & -0.325 & 1.125 & -0.328 \\ -0.01 & -0.08 & -0.328 & 0.968 \end{bmatrix}$$

L'inductance est donnée comme suit :

$$L = \begin{bmatrix} 0.1063 & 0.0381 & 0.0220 & 0.0117 \\ 0.0381 & 0.1025 & 0.0387 & 0.0219 \\ 0.0220 & 0.0387 & 0.1025 & 0.0381 \\ 0.0117 & 0.0219 & 0.0381 & 0.1062 \end{bmatrix}$$

La matrice d'impédance par unité de longueur est :

$$Z = \begin{bmatrix} 0.3846 & 0.3182 & 0.2699 & 0.2160 \\ 0.3166 & 0.3957 & 0.3287 & 0.2706 \\ 0.2683 & 0.3286 & 0.3963 & 0.3198 \\ 0.2144 & 0.2702 & 0.3196 & 0.3884 \end{bmatrix}$$

Le tableau (III.1) montre les résultats FEM pour la capacité parasite par unité de longueur de quatre lignes d'interconnexion avec deux couches diélectriques. Ils sont comparés avec la méthode Galerkin. Les résultats des deux méthodes sont proches.

Dans cette partie, nous devons démontrer l'effet de la géométrie des pistes d'interconnexion sur les valeurs de capacité parasite. Nous considérons la même géométrie sur la figure (III.6).

TABLE III.1 – Comparaison des valeurs de capacité du modèle de la figure (3.6).

Capacité ( $10^{-12}[F/m]$ )	Méthode	
	Galerkin	Notre Travail
<b>C11</b>	0.475	0.968
<b>C12</b>	-0.582	-0.328
<b>C13</b>	-0.114	-0.08
<b>C14</b>	-0.062	-0.01
<b>C22</b>	0.289	0.321

Le calcul de la matrice  $[C]$  pour la structure donnée est fait en faisant varier certains paramètres ou les paramètres étudiés sont les suivants :

$t$ , épaisseur de la voie variant de 5 à 10  $\mu m$  ;  $h$ , hauteur de l'oxyde variant de 40 à 100  $\mu m$ . Cinq cas ont été simulés ; le tableau ci-dessous montre les valeurs des paramètres.

TABLE III.2 – Valeurs des paramètres géométriques simulés de la figure (3.6).

Parameters ( $\mu m$ )	Cas				
	1	2	3	4	5
<b>W</b>	20	20	20	20	20
<b>S</b>	60	60	60	60	60
<b>t</b>	5	10	5	10	5
<b>h</b>	40	40	80	80	100

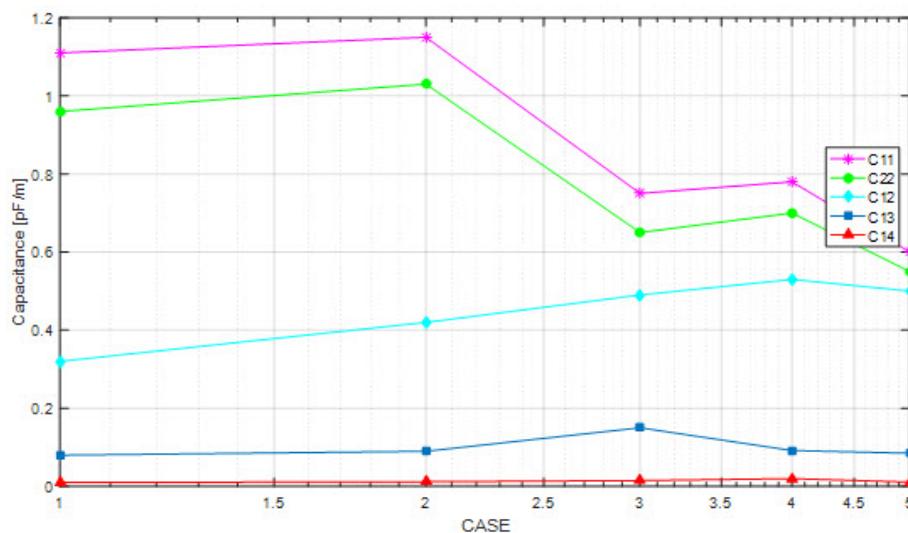


FIGURE III.9 – Capacité par unité de longueur en fonction des démentions des pistes

Une analyse générale permet de constater que les capacités vers la masse,  $C_{11}$  et  $C_{22}$  diminuent avec l'augmentation de la distance  $h$ , par rapport au plan de masse. Au même temps, les capacités  $C_{12}$  et  $C_{13}$  varient en phase, avec l'augmentation en  $h$ . Si on s'intéresse à la différence entre les cas d'étude (1,3,5) et (2.4), qui correspondent respectivement à une piste d'épaisseur  $5\mu m$  ou  $10\mu m$ , il se situe surtout dans l'augmentation de la capacité de couplage parasite  $C_{ij}$ . son effet sur la capacité vers le substrat est relativement négligeable cette constatation est bien évidemment en accord avec l'intuition, que plus la piste est large et plus le couplage parasite entre les piste est important

### III.6.2 Cas de deux niveaux de métallisation

Dans cette partie, nous considérons une ligne d'interconnexions planaires comprenant quatre pistes à deux niveaux, la figure (III.10) montre la géométrie du modèle.

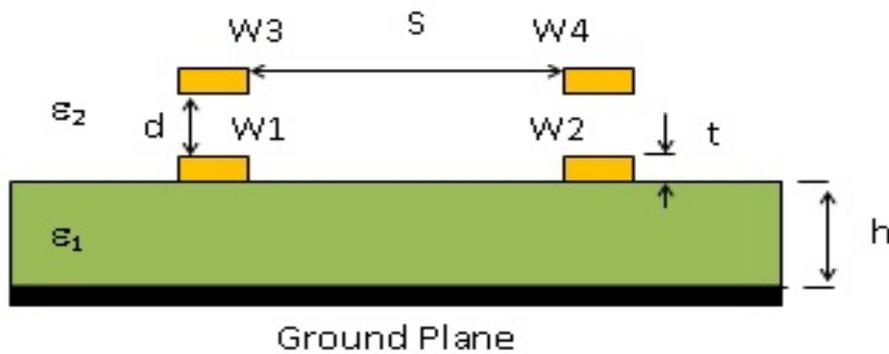


FIGURE III.10 – *Système de ligne microstrip à deux niveaux*

Ces lignes microstrip ont les paramètres géométriques suivants :

- $w_1 = w_2 = w_3 = w_4 = 20\mu m, S = 60\mu m, h = 40\mu m, t = 5\mu m, d = 30\mu m, \epsilon_1 = 11.7, \epsilon_2 = 3.9$

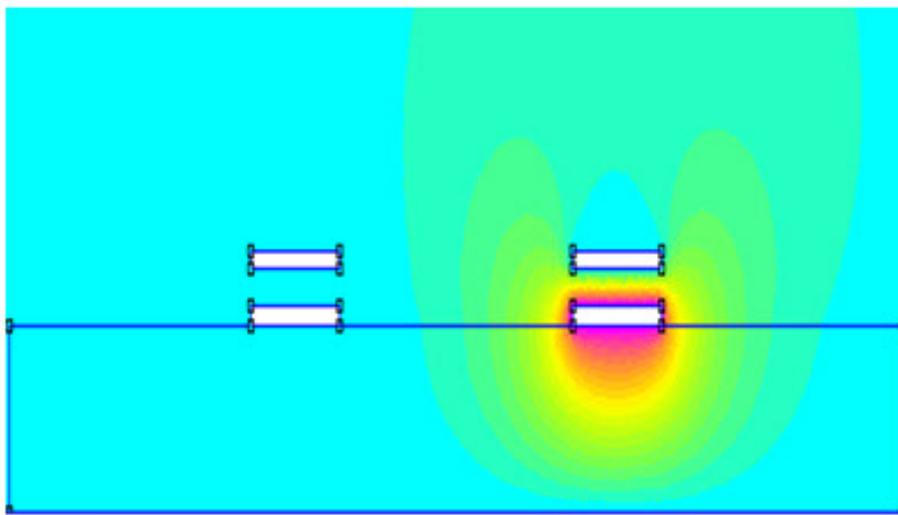


FIGURE III.11 – *Distribution des lignes de champs*

La capacité par unité de longueur des lignes microstrip est donnée comme suit :

$$C = \begin{bmatrix} 6.921 & -1.251 & -1.312 & -2.104 \\ -1.251 & 8.602 & -4.962 & -3.978 \\ -1.312 & -4.962 & 12.86 & -1.409 \\ -2.104 & -3.978 & -1.409 & 14.012 \end{bmatrix}.$$

L'inductance est donnée comme suit :

$$L = \begin{bmatrix} 0.2125 & 0.1016 & 0.0683 & 0.0676 \\ 0.1016 & 0.2619 & 0.1226 & 0.1019 \\ 0.0683 & 0.1226 & 0.1473 & 0.0599 \\ 0.0676 & 0.1019 & 0.0599 & 0.1245 \end{bmatrix}$$

La matrice d'impédance par unité de longueur est :

$$Z = \begin{bmatrix} 0.7629 & 0.7553 & 0.6077 & 0.5786 \\ 0.7553 & 0.9686 & 0.7539 & 0.6942 \\ 0.6077 & 0.7539 & 0.6359 & 0.5479 \\ 0.5786 & 0.6942 & 0.35479 & 0.5533 \end{bmatrix}$$

Le tableau (III.3) montre les résultats de notre travail avec la méthode des éléments finis de la capacité parasite par unité de longueur de quatre lignes d'interconnexion avec deux couches diélectriques. Ils sont comparés avec la méthode Galerkin. Les résultats des deux méthodes sont proches.

TABLE III.3 – *Comparaison des valeurs de capacité de modèle de la figure (3.10).*

Capacité ( $10^{-12}[F/m]$ )	Méthode	
	Galerkin	Notre Travail
<b>C11</b>	6.951	6.921
<b>C12</b>	-1.273	-1.251
<b>C13</b>	-1.295	-1.312
<b>C22</b>	-8.237	8.602
<b>C33</b>	12.730	12.86
<b>C44</b>	13.79	14.01

Dans la deuxième partie, nous allons démontrer l'effet de la géométrie des pistes d'interconnexion sur les valeurs de capacité parasite. Nous considérons la même géométrie sur la figure (III.10). Le calcul de la matrice  $[C]$  pour la structure donnée est fait en faisant varier certains paramètres. Les paramètres étudiés sont les suivants :

t, épaisseur de la voie variant de 5 à 10  $\mu m$

h, hauteur de l'oxyde variant de 40 à 100  $\mu m$

Cinq cas ont été simulés ; le tableau ci-dessous montre les valeurs des paramètres

TABLE III.4 – Valeurs des paramètres géométriques simulés de la figure (3.10).

Parameters ( $\mu\text{m}$ )	Cas				
	1	2	3	4	5
W	20	20	20	20	20
S	60	60	60	60	60
t	5	10	5	10	5
h	40	40	80	80	100

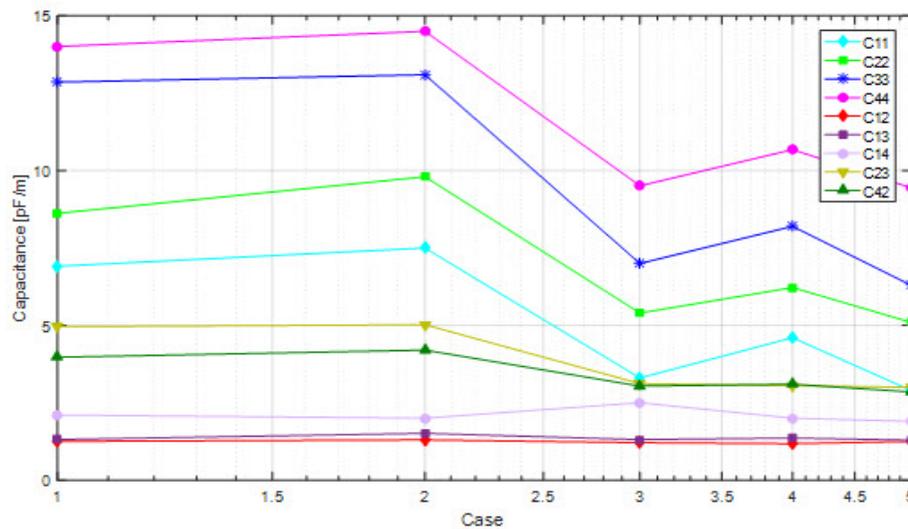


FIGURE III.12 – Capacité par unité de longueur en fonction de la géométrie des pistes

Toutes les capacités diminuent avec la distance au plan de masse. Cette évolution peut s'expliquer par le fait que nous combinons l'augmentation de la distance entre les pistes, afin de localiser une épaisseur de couche optimale correspond à l'épaisseur pour laquelle le rapport de capacité parasite est le plus bas.

### III.6.3 Effet d'un deuxième plan de masse

Nous considérons une ligne d'interconnexions planaires comprenant neuf pistes avec trois niveaux de métallisation, figure (III. 13) montre la géométrie du modèle. Nous allons varier les paramètres ( $w$ ,  $s$ ,  $t$ ,  $h$ ), et nous allons calculer la matrice  $[C]$ .

TABLE III.5 – Valeurs des paramètres géométriques simulés de la figure (3.13 et 3.14).

Cas 1	Cas 2	Cas 3	Cas 4	Cas 5	Cas 6
$W=S=20\mu m$					
$t=5\mu m$	$t=10\mu m$	$t=5\mu m$	$t=10\mu m$	$t=5\mu m$	$t=10\mu m$
$h=40\mu m$	$h=40\mu m$	$h=80\mu m$	$h=80\mu m$	$h=100\mu m$	$h=100\mu m$

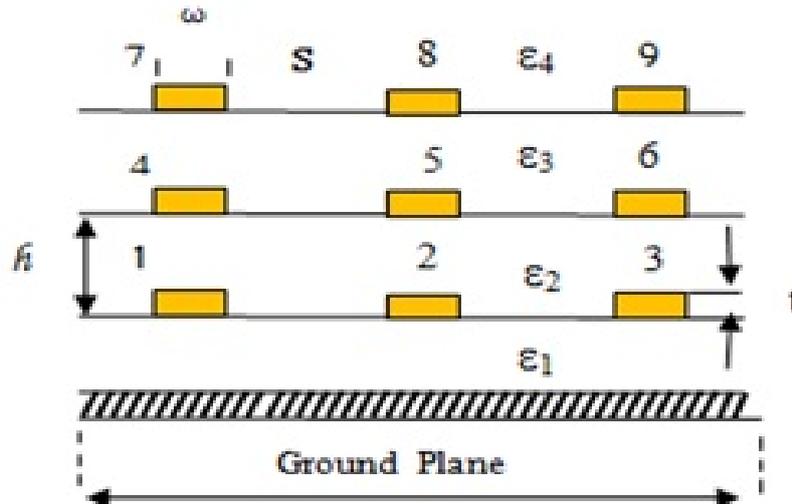


FIGURE III.13 – système de ligne microstrip couplée à quatre niveau

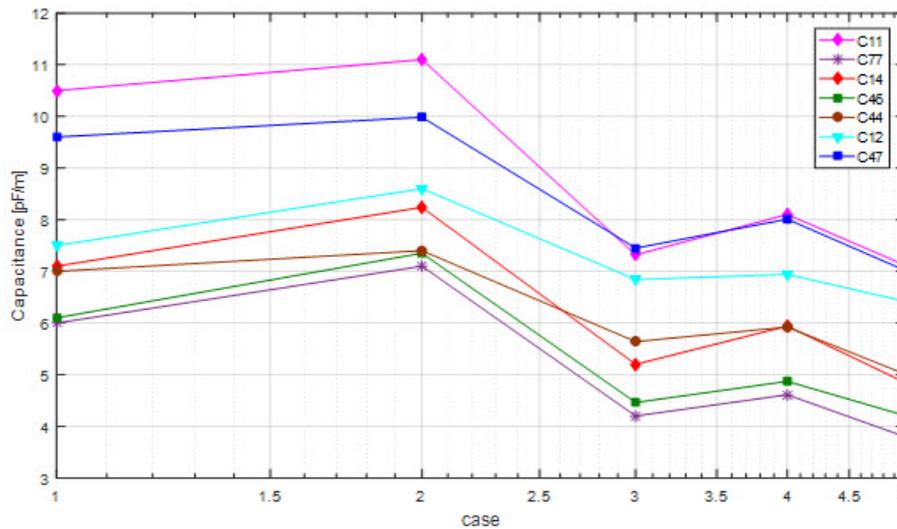


FIGURE III.14 – Capacité par unité de longueur en fonction de la géométrie des pistes

Une analyse générale permet de constater que les capacités vers la masse, C11;C44 et C77 diminuent avec l'augmentation de la distance  $h$ , par rapport au plan de masse. En même temps,

les capacités C12 et C14 varient en phase, avec l'augmentation en h. on constate que plus la piste est large plus le couplage parasite entre les lignes est grand.

Maintenant rajoutons un plan de masse au niveau de dernier niveau de métallisation comme le montre la figure (3.15), puis en refais la même simulation que précédemment. Les résultats obtenus sont représenté sur la figure (III.16).

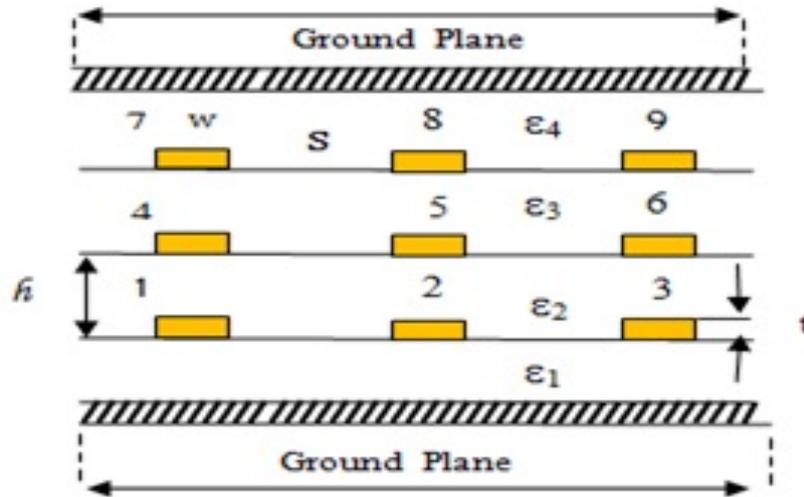


FIGURE III.15 – système de ligne microstrip couplée à quatre niveau avec deux plans de masses

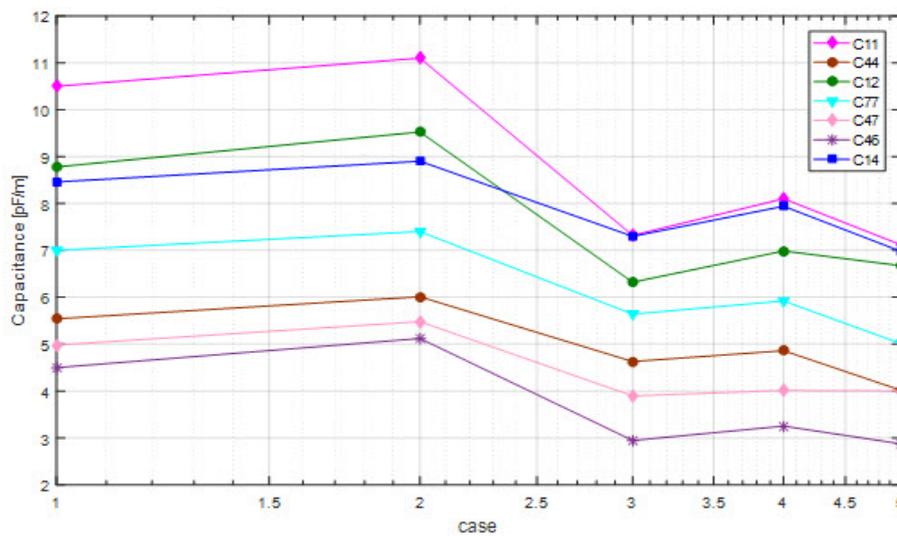


FIGURE III.16 – Capacité par unité de longueur en fonction de la géométrie des pistes

On peut, dans ce cas, constater une augmentation très importante de la capacité vers la masse de C77, une légère augmentation de C44, alors que C11 reste constant. Les lignes de champ du conducteur du troisième niveau sont ramenées au plan de masse supérieur. Il en résulte une diminution de la capacité parasite C47 en faveur de C77

### III.6.4 Variation de l'épaisseur de l'oxyde

Dans cette partie on considère toujours la figure (III.13), avec les dimensions géométriques suivantes

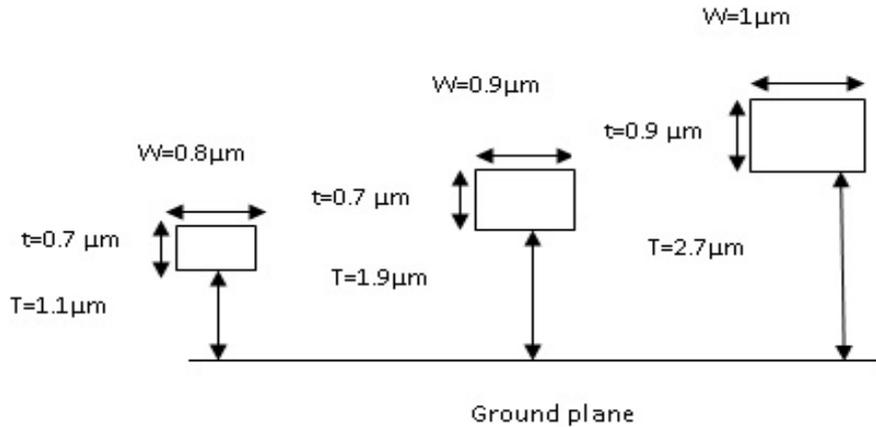


FIGURE III.17 – dimension des interconnexion à trois niveaux

On varie l'épaisseur de l'oxyde nous allons mesurer à chaque point la matrice de la capacité pour les trois niveaux de métallisation les résultats sont représentés sur les figures (III.18), (III.19) et (III.20).

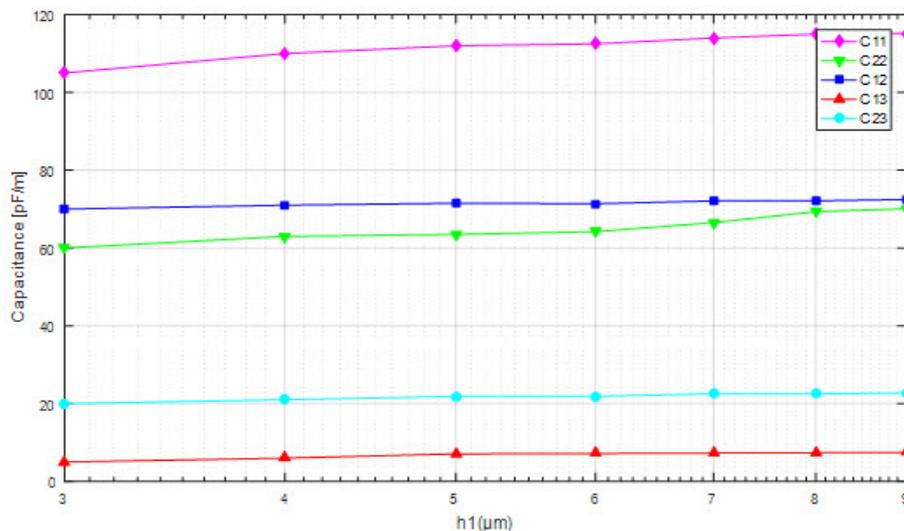


FIGURE III.18 – Evolution de la capacité en fonction de l'épaisseur de l'oxyde (métal 1)

Dans le cas de la simulation du niveau de métal 1, il est important de dire que nous avons C22 et C12 substantiellement proche, ce qui signifie que le couplage parasite entre les conducteurs d'interconnexions, est légèrement supérieur à l'accouplement vers le plan de masse pour les deux conducteurs centraux. Les capacités vers le plan C11 et C22 augmentent légèrement avec (h). Cette augmentation n'est que très minime voire nulle, dans le cas des capacités parasites, sauf pour C13 qui se stabilise après le premier calcul.

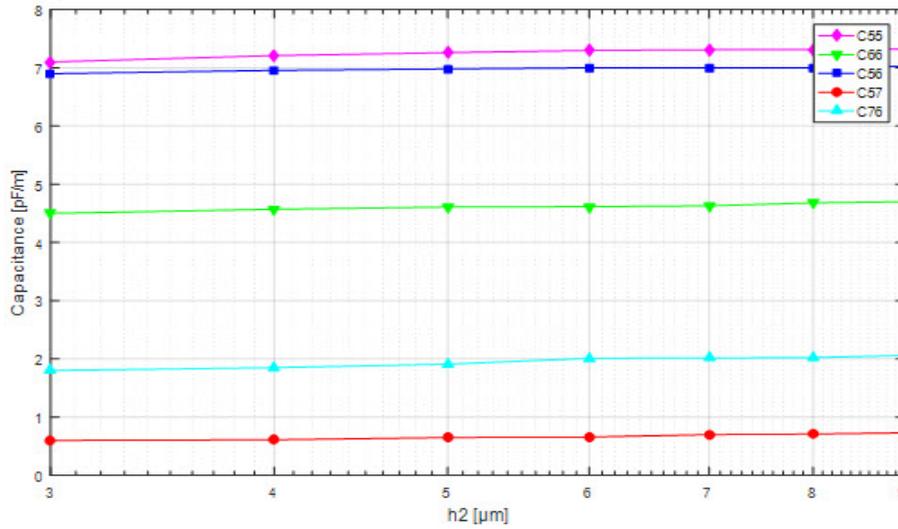


FIGURE III.19 – Evolution de la capacité en fonction de l'épaisseur de l'oxyde (métal 2)

Dans le cas de la simulation du niveau de métal 2, il est important de noter que C55 et C56 sont sensiblement égaux, ce qui signifie que le couplage parasite entre la ligne d'interconnexion est plus important que le couplage au sol.

D'autre part, nous avons C56 beaucoup plus élevé que C66, ce qui augmentera la sensibilité de la ligne 2 au bruit électromagnétique, qui, compte tenu de l'effet de peau, voit sa capacité vers le plan masse diminuer. Les capacités vers le plan masse C55 et C66 augmentent légèrement avec (h). Cette augmentation n'est que très faible dans le cas de la capacité parasite C56.

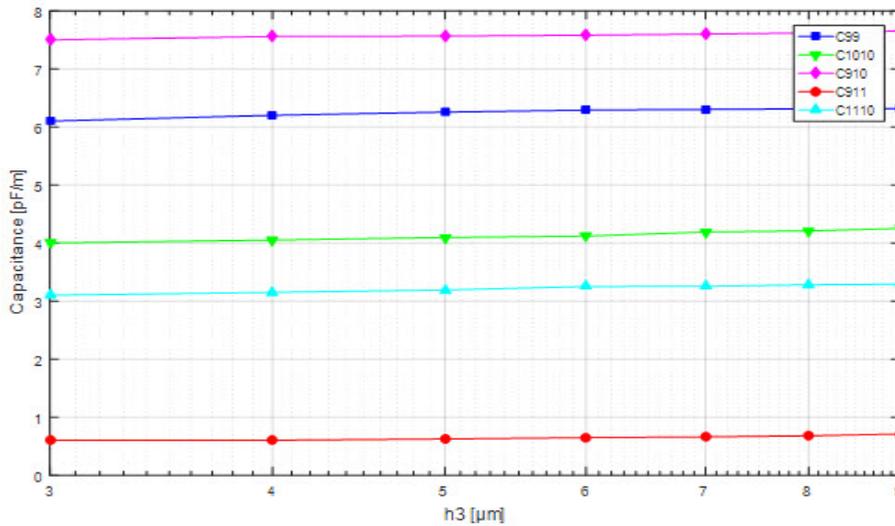


FIGURE III.20 – Evolution de la capacité en fonction de l'épaisseur de l'oxyde (métal 3).

Dans ce cas, nous avons C910 beaucoup plus élevé que C99, ce qui augmentera la sensibilité de la ligne 1 au bruit électromagnétique. On peut encore voir que les capacités vers le plan de masse C99 et C1010 augmentent légèrement avec (h).

## III.7 Conclusion

Dans ce chapitre, nous avons donné un aperçu général sur la théorie des lignes de transmissions, ainsi une présentation des lignes microstrip et coplanaire sur silicium. Nous avons identifié et calculé la distribution potentielle des différentes géométries des lignes d'interconnexion et la matrice de capacité et l'inductance pour chacune des géométries. Certains paramètres géométriques ont été également modifiés afin de remédier aux problèmes de capacités parasites. Nous avons constaté que plus l'épaisseur de la couche diélectrique augmente, plus les capacités parasites entre les pistes augmentent avec les niveaux d'interconnexion. Plus le niveau d'interconnexion est élevé, plus les capacités vers le plan masse sont faibles.

# Chapitre IV

## Modélisation Electromagnétique des Interconnexions dans les Circuits Intégrés

### IV.1 Introduction

La théorie de la propagation des ondes électromagnétiques est à la base de la modélisation des interconnexions en circuits intégrés dans le sens où elle mène au formalisme couramment utilisé, qui correspond à la modélisation des lignes sous la forme de paramètres R, L, C et G.

Au cours de ce chapitre nous décrivons comment, à partir des équations électromagnétiques, il est possible de modéliser le comportement électrique des interconnexions. Les phénomènes électromagnétiques mis en jeu dans les transitions rapides concernent les interactions entre électricité et magnétisme. Ils furent découverts en 1819 par Oersted (champ magnétique créé par un courant électrique) et par Faraday en 1830 (courant électrique créé par un champ magnétique variable). La notion de propagation des ondes électromagnétiques fut elle découverte en 1887 par Hertz. Les résultats des expériences d'Oersted furent traduits mathématiquement par Biot et Savart en 1820 puis par Ampère. Ceux de Faraday par Lenz puis par Foucauld en 1850 aboutissant à la théorie de Maxwell en 1873 dont les équations prirent une forme définitive en 1884 grâce à Heaviside [87].

Les équations de Maxwell telles que nous les connaissons sont nées il y a déjà plus d'un siècle. Les télécommunications, en particulier la téléphonie mobile, utilisent ces équations comme base en vue de la modélisation. Les équations de Maxwell régissant les phénomènes électromagnétiques sont aussi essentielles pour l'analyse des phénomènes propres aux circuits intégrés. Dans notre étude, nous nous intéressons plus particulièrement à la façon dont ces lois peuvent être appliquées aux interconnexions dans les circuits intégrés. Pour cela nous tâcherons dans un premier temps d'explicitier succinctement les équations de Maxwell en les appliquant aux milieux diélectriques et aux conducteurs (Cuivre). Dans un deuxième temps nous présenterons les résultats de simulation à l'aide de la méthode des éléments finis appliquée à la propagation des interférences. Enfin le nanotube de carbone et le graphène ont été proposés comme solutions.

### IV.2 Elaboration de Modèles Electromagnétiques

Les ondes électromagnétiques se propagent sans support matériel apparent contrairement aux ondes qui se caractérisent par un phénomène de propagation de proche en proche (vibra-

tions). L'approche théorique considère dans un premier temps le vide comme un milieu continu dont l'état électromagnétique est entièrement défini par deux paramètres mesurables en tout point de l'espace et à chaque instant :

- le champ  $\vec{E}$ , ou champ électrique.
- le champ  $\vec{B}$ , ou champ magnétique.

Ces deux paramètres sont directement liés aux grandeurs :

- $\vec{D}$  Induction électrique.
- $\vec{H}$  Induction magnétique.

## IV.2.1 Equation de MAXWELL

Les équations de Maxwell traduisent sous forme locale différents théorèmes (Gauss, Ampère, Faraday) qui régissent l'électromagnétisme avant que Maxwell ne les réunissent sous forme d'équations intégrales. Ces équations montrent notamment qu'en régime stationnaire, le champ électrique et le champ magnétique sont indépendants l'un de l'autre, alors qu'ils ne sont pas en régime variable. L'état électromagnétique est défini par cinq paramètres :  $\vec{D}$ ,  $\vec{H}$ ,  $\vec{B}$ ,  $\vec{E}$  et  $\vec{J}$ , où le paramètre  $j$  représente la densité de courant en chaque point de l'espace. Ces paramètres sont reliés par des équations d'état, les équations de Maxwell.

### Forme différentielle

$$\vec{\nabla} \cdot \vec{D} = \rho \quad (\text{IV.1})$$

$$\vec{\nabla} \wedge \vec{E} = -\frac{\partial \vec{B}}{\partial t} \quad (\text{IV.2})$$

$$\vec{\nabla} \cdot \vec{B} = 0 \quad (\text{IV.3})$$

$$\vec{\nabla} \wedge \vec{H} = \vec{J}_c + \frac{\partial \vec{D}}{\partial t} \quad (\text{IV.4})$$

L'équation (IV.1) correspond au théorème de Gauss où  $\rho$  représente la distribution de densité de charge exprimée en Coulomb par mètre cube ( $C/m^3$ ). Cette équation nous dit que la densité de flux électrique sortant par les surfaces d'un élément volumique  $V$  est équivalente à la densité de charge  $\rho$  que contient ce même élément. L'équation très proche de l'équation (IV.2) est couramment appelée loi de conservation des flux.

Les deux dernières équations, (IV.3) et (IV.4) lient les quantités magnétiques et électriques entre elles, et sont appelées respectivement, équation Maxwell-Faraday ou loi de l'induction, et équation de Maxwell-Ampère ou champ magnétique créé par un courant.

Si l'on cherche maintenant à exprimer la densité de courant  $\vec{J}$  (A/m), celle-ci peut se décomposer sous la forme :

$$\vec{J} = \vec{J}_s + \vec{J}_c \quad (\text{IV.5})$$

Où  $\vec{J}_s$  est le courant source des différents champs magnétiques et, Où  $\vec{J}_c$  le courant de conduction.

Dans le cas des circuits intégrés, il n'y a pas de source magnétique propre, et on peut donc considérer que  $\vec{J}_s = 0$ . La densité de courant totale sera alors uniquement représentée par la Quantité  $\vec{J}_c$  qui est donné par la loi d'Ohm (IV.11).

## Forme intégrale

$$\oint \vec{D} \cdot d\vec{s} = Q \quad (\text{IV.6})$$

$$\oint_c \vec{E} \cdot d\vec{l} = - \int_s \frac{\partial \vec{B}}{\partial t} d\vec{s} \quad (\text{IV.7})$$

$$\oint \vec{B} \cdot d\vec{s} = 0 \quad (\text{IV.8})$$

$$\oint_c \vec{H} \cdot d\vec{l} = - \int_s \left( \vec{J}_c + \frac{\partial \vec{D}}{\partial t} \right) d\vec{s} \quad (\text{IV.9})$$

P, Q : sont respectivement la densité de charge volumique [ $C/m^3$ ] et la charge libre embrassée par la surface fermée C.

### IV.2.2 Milieux matériels

Les circuits intégrés, comme on l'a vu dans le deuxième chapitre sont caractérisé par des structures non homogènes. On trouve différents matériaux avec des propriétés physiques différentes. Dans ce qui suit nous allons donner les relations qui les caractérisent.

#### Milieu magnétique linéaire

L'équation de milieu magnétique est donnée comme suite

$$\vec{B} = \mu \vec{H} \quad (\text{IV.10})$$

Avec :

$$\mu = \mu_0 \mu_r$$

D'où

$$\mu_0 : \text{perméabilité magnétique du vide, } \mu_0 = 4\pi 10^{-7} [H/m]$$

$$\mu_r : \text{perméabilité magnétique relative du milieu}$$

#### Milieu diélectrique

$$\vec{D} = \epsilon \vec{E} \quad (\text{IV.11})$$

Avec :

$$\epsilon = \epsilon_0 \epsilon_r$$

D'où :

$$\epsilon_0 : \text{Permittivité électrique du vide, } \epsilon_0 = (1/3.6\pi) 10^{-9} [F/m]$$

$$\epsilon_r : \text{Permittivité électrique relative du milieu}$$

## Loi d'Ohm

$$\vec{J}_i = \sigma_i \vec{E}_i \quad (\text{IV.12})$$

$i$  : désigne le milieu considéré

Où  $\sigma$  représente la conductivité du milieu. Pour les milieux conducteurs,  $\sigma$  s'exprime en Siemens par mètres ou conductance par unité de longueur.

## Relation de passage

Pour les équations de Maxwell, il est nécessaire d'exprimer les conditions de passage entre les différents milieux du problème considéré. Dans les problèmes de la CEM liés aux circuits intégrés en rencontre des structures qui comportent différents milieux avec des propriétés physiques différentes, les conditions de passage aux interfaces sont obtenues à partir des équations de Maxwell.

Les équations de Maxwell comme toutes les autres équations différentielles, ont une infinité de solutions, et il faut donc pour les résoudre spécifier des conditions aux limites. Ces conditions aux limites sont définies aux interfaces entre milieux différents. Si l'on considère deux milieux M1 et M2, définis par leurs paramètres propres,  $\epsilon_1, \mu_1, \sigma_1$  et  $\epsilon_2, \mu_2, \sigma_2$  respectivement, les conditions de transfert entre milieu sont les suivantes :

- Les composantes tangentielles du champ électrique et de l'induction magnétique restent continues.

$$\vec{E}_{t1} = \vec{E}_{t2} \quad (\text{IV.13})$$

$$\vec{H}_{t1} = \vec{H}_{t2} \quad (\text{IV.14})$$

- Les composantes normales du champ magnétique et de l'induction électrique restent continues

$$\vec{D}_{n1} = \vec{D}_{n2} \quad (\text{IV.15})$$

$$\vec{B}_{n1} = \vec{B}_{n2} \quad (\text{IV.16})$$

## IV.2.3 Equation d'onde de potentiel vecteur magnétique

Dans ce qui suit, nous allons développer un modèle mathématique qui régit les problèmes de compatibilité électromagnétique de la conservation de l'énergie magnétique. En utilisant l'équation de Maxwell, nous pouvons déduire la relation qui relie l'induction magnétique au potentiel du vecteur magnétique comme :

$$\vec{\nabla} \cdot \vec{B} = 0 \Rightarrow \exists \vec{A} / \vec{B} = \vec{\nabla} \wedge \vec{A} \quad (\text{IV.17})$$

Or  
$$\vec{B} = \mu \vec{H}$$

En introduisant (IV.17) dans l'équation de Maxwell, Faraday (IV.2), nous aurons :

$$\vec{\nabla} \wedge \left( \vec{E} + \frac{\partial \vec{A}}{\partial t} \right) = 0 \quad (\text{IV.18})$$

Puisque le rotationnel d'un gradient est nulle, cela nous permet de déduire l'existence d'un potentiel scalaire électrique  $V$ , puis on l'écrit comme :

$$\exists V/\vec{E} + \frac{\partial \vec{A}}{\partial t} = -g\vec{rad}V \quad (\text{IV.19})$$

On aura donc

$$\vec{E} = -\frac{\partial \vec{A}}{\partial t} - g\vec{rad}V \quad (\text{IV.20})$$

En remplaçant (IV.20) dans l'expression de la loi d'Ohm (IV.12) nous obtenons :

$$\vec{J} = \sigma g\vec{rad}V - \sigma \frac{\partial \vec{A}}{\partial t} \quad (\text{IV.21})$$

On a

$$\vec{J}_s = \sigma g\vec{rad}V \quad (\text{IV.22})$$

$\vec{J}_s$  : Densité de courant de la source d'excitation

$$\vec{J} = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} \quad (\text{IV.23})$$

En introduisant l'équation (IV.17) dans la relation du milieu magnétique (IV.10) on obtient :

$$\vec{H} = \frac{\vec{\nabla} \wedge \vec{A}}{\mu} \quad (\text{IV.24})$$

On remplaçant (IV.24) dans l'équation Maxwell-Ampère (IV.4) et en lui appliquant le rotationnel on aura :

$$\vec{\nabla} \left( \frac{\vec{\nabla} \wedge \vec{A}}{\mu} \right) = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} + \frac{\partial \vec{D}}{\partial t} \quad (\text{IV.25})$$

En tenant compte de la relation d'un milieu diélectrique (IV.11) et en remplaçant (IV.20) dans l'équation (IV.25), on obtient l'ensemble suivant d'équations :

$$\vec{\nabla} \left( \frac{\vec{\nabla} \wedge \vec{A}}{\mu} \right) = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} + \varepsilon \frac{\partial \vec{E}}{\partial t} \quad (\text{IV.26})$$

$$\vec{\nabla} \left( \frac{\vec{\nabla} \wedge \vec{A}}{\mu} \right) = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} + \varepsilon \frac{\partial}{\partial t} \left( -\frac{\partial \vec{A}}{\partial t} - g\vec{rad}V \right) \quad (\text{IV.27})$$

$$\vec{\nabla} \left( \frac{\vec{\nabla} \wedge \vec{A}}{\mu} \right) = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} - \varepsilon \frac{\partial^2 \vec{A}}{\partial t^2} - g\vec{rad}V \frac{\partial V}{\partial t} \quad (\text{IV.28})$$

Or, on a

$$\vec{\nabla} \wedge \vec{\nabla} \wedge \vec{A} = \vec{\nabla}^2 \vec{A} + g\vec{rad}(\vec{\nabla} \cdot \vec{A}) \quad (\text{IV.29})$$

$$-\frac{1}{\mu} (\vec{\nabla}^2 \cdot \vec{A}) = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} - \varepsilon \frac{\partial^2 \vec{A}}{\partial t^2} - \varepsilon g\vec{rad} \frac{\partial V}{\partial t} - \frac{1}{\mu} g\vec{rad}(\vec{\nabla} \cdot \vec{A}) \quad (\text{IV.30})$$

$$-\frac{1}{\mu} (\vec{\nabla}^2 \cdot \vec{A}) = \vec{J}_s - \sigma \frac{\partial \vec{A}}{\partial t} - \varepsilon \frac{\partial^2 \vec{A}}{\partial t^2} - g\vec{rad} \left( \vec{\nabla} \cdot \vec{A} + \mu \varepsilon \frac{\partial V}{\partial t} \right) \quad (\text{IV.31})$$

Pour définir complètement le vecteur potentiel magnétique on impose la condition de Lorentz :

$$\vec{\nabla} \cdot \vec{A} + \mu \varepsilon \frac{\partial \vec{A}}{\partial t} = 0 \quad (\text{IV.32})$$

Il s'en suit que (IV.31) se simplifié comme indiqué ci-dessous :

$$-\frac{1}{\mu} \vec{\nabla}^2 \cdot \vec{A} + \sigma \frac{\partial \vec{A}}{\partial t} + \varepsilon \frac{\partial^2 \vec{A}}{\partial t^2} = \vec{J}_s \quad (\text{IV.33})$$

Nous considérons que la propagation se fait dans un système de coordonnées cartésien le long de l'axe z, puis l'équation de propagation du potentiel de vecteur magnétique sera :

$$-\frac{1}{\mu} \left[ \frac{\partial^2 A_z}{\partial x^2} + \frac{\partial^2 A_z}{\partial y^2} \right] + \sigma \frac{\partial A_z}{\partial t} + \varepsilon \frac{\partial^2 A_z}{\partial t^2} = J_z \quad (\text{IV.34})$$

Et si on considère qu'on est en régime harmonique sinusoidale cela conduit à :

$$-\frac{1}{\mu} \left[ \frac{\partial^2 A_z}{\partial x^2} + \frac{\partial^2 A_z}{\partial y^2} \right] + (j\sigma\omega - \varepsilon\omega^2) A_z = J_z \quad (\text{IV.35})$$

$A_z, J_z$  : sont respectivement la composante du potentiel vecteur magnétique et de la densité de courant source le long de l'axe z. Dans le (IV.35) caractérise la propagation du potentiel vecteur magnétique. Cette dernière sera prise en compte dans la partie suivante de ce travail pour modéliser les phénomènes d'interaction électromagnétique des interconnexions dans un circuit intégré.

### IV.3 Formulation Eléments Finis des Problèmes de CEM

Dans la partie précédente nous avons élaboré un modèle mathématique qui régit les problèmes de compatibilité électromagnétique. Pour résoudre l'équation de propagation du potentiel vecteur magnétique, compte tenu de la formulation des éléments finis, nous avons introduit la méthode Galerkin [88] définie dans un système de coordonnées cartésien. La propagation est considérée selon l'axe oz, en considérant que le phénomène est régit par l'équation (IV.36) :

$$-\frac{1}{\mu} \left[ \frac{\partial^2 A_z}{\partial x^2} + \frac{\partial^2 A_z}{\partial y^2} \right] + (j\sigma\omega - \varepsilon\omega^2) A_z - J_z = 0 \quad (\text{IV.36})$$

$$\iint_{\Omega} \left( \left( -\frac{1}{\mu} \left[ \frac{\partial^2 A_z}{\partial x^2} + \frac{\partial^2 A_z}{\partial y^2} \right] + (j\sigma\omega - \varepsilon\omega^2) A_z \right) - J_z \right) \Phi_i dx dy = 0 \quad (\text{IV.37})$$

$$\iint_{\Omega} \left( -\frac{1}{\mu} \left[ \frac{\partial^2 A_z}{\partial x^2} + \frac{\partial^2 A_z}{\partial y^2} \right] \right) \Phi_i dx dy + \iint_{\Omega} \left( (j\sigma\omega - \varepsilon\omega^2) A_z \right) - \iint_{\Omega} J_z \Phi_i dx dy = 0 \quad (\text{IV.38})$$

$$-\frac{1}{\mu} \iint_{\Omega} \vec{\nabla} \phi_i \cdot \vec{\nabla} A_z dx dy + \int_{\Gamma} \phi_i \frac{\partial A_z}{\partial n} d\Gamma + (j\sigma\omega - \varepsilon\omega^2) \iint_{\Omega} A_z \phi_i dx dy = \iint_{\Omega} J_z \phi_i dx dy \quad (\text{IV.39})$$

En utilisant les conditions limite de type Dirichlet sur la frontière, cela conduit à :

$$\int_{\Gamma} \phi_i \frac{\partial A_z}{\partial n} d\Gamma = 0 \quad (\text{IV.40})$$

$$-\frac{1}{\mu} \iint_{\Omega} \vec{\nabla} \phi_i \cdot \vec{\nabla} A_z dx dy + (j\sigma\omega - \varepsilon\omega^2) \iint_{\Omega} A_z \phi_i dx dy = \iint_{\Omega} J_z \phi_i dx dy \quad (\text{IV.41})$$

$$A = \sum_{j=1}^N \phi_j A_j \quad (\text{IV.42})$$

Avec :

$A_j$  : valeur de l'inconnue au nœud  $j$ ,

$\phi_j$  : Fonction d'interpolation au nœud  $j$ ,

$N$  : nombre de nœuds

$$\sum_{j=1}^N \left[ -\frac{1}{\mu} \iint_{\Omega} \vec{\nabla} \phi_i \vec{\nabla} \phi_j dx dy \right] A_j + (j\sigma\omega - \varepsilon\omega^2) \sum_{j=1}^N \left[ \iint_{\Omega} \phi_i \phi_j dx dy \right] A_j = \iint_{\Omega} J_z \phi_i dx dy \quad (\text{IV.43})$$

Pour tous les nœuds du maillage, en écrit le système matriciel :

$$[M] [A] + (j\sigma\omega - \varepsilon\omega^2) [L] [A] = [K] \quad (\text{IV.44})$$

$$M_{ij} = -\frac{1}{\mu} \iint_{\Omega} \vec{\nabla} \phi_i \vec{\nabla} \phi_j dx dy \quad (\text{IV.45})$$

$$L_{ij} = \iint_{\Omega} \phi_i \phi_j dx dy = \iint_{\Omega} \phi_i J_z dx dy \quad (\text{IV.46})$$

$[A]$  et  $[K]$  sont respectivement le vecteur des inconnues, et le vecteur source d'excitation  
 $[M]$  et  $[L]$  sont deux matrices qui dépendent du maillage

## IV.4 Description des Pistes de Circuits intégrés Soumis aux Simulations

### IV.4.1 Caractéristiques physique et géométriques

Pour modéliser l'effet des interactions électromagnétiques, nous considérons les trois structures des pistes de circuit intégré leurs modèles géométriques, sont respectivement donnés par les figures (IV.1), (IV.2).

Les caractéristiques physiques et géométriques sont données comme suite :

Largeur de la piste ( $W$ ) :  $2\mu m$

Epaisseur de la piste ( $h$ ) :  $1\mu m$

Espace entre pistes ( $S$ ) :  $2\mu m$

Epaisseur de l'oxyde ( $H$ ) :  $3\mu m$

Permittivité de l'oxyde ( $\epsilon$ ) : 3.9

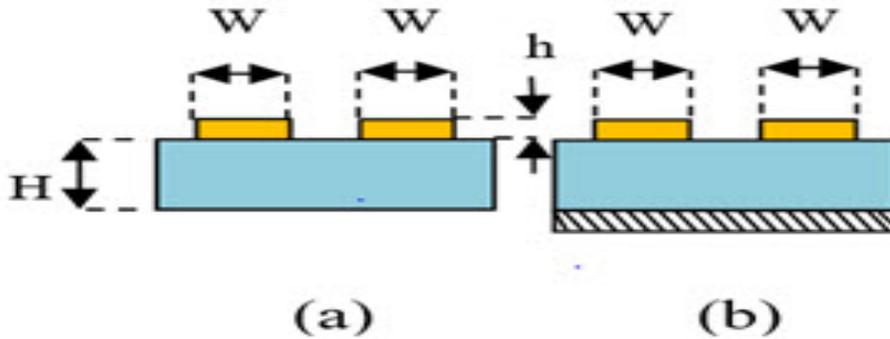


FIGURE IV.1 – (a) Interconnexions couplées sans plan de masse (b) avec plan de masse

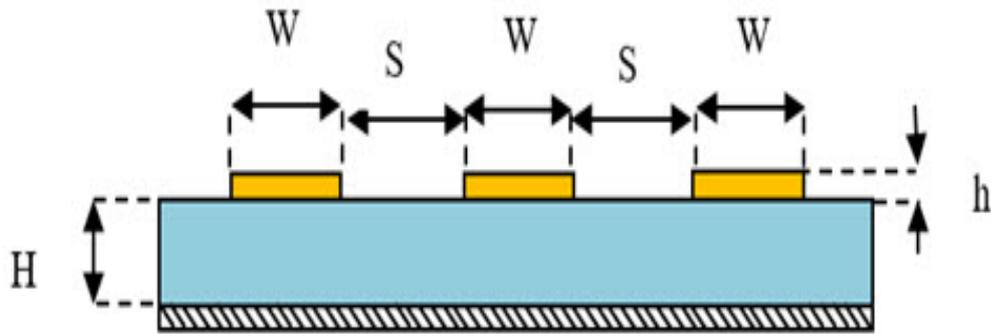


FIGURE IV.2 – *Interconnexions couplées symétriques*

#### IV.4.2 Schéma équivalent

Les lignes d'interconnexion peuvent être modélisées en utilisant leurs constantes réparties, les diagrammes équivalents sont montrés dans la figure 4.3, il représente une portion de piste sous la forme d'un quadripôle électrique qui lie les caractéristiques  $(i, v)$  de la position  $(z + dz)$  à celle de la position  $(z)$  à temps  $(t)$ .

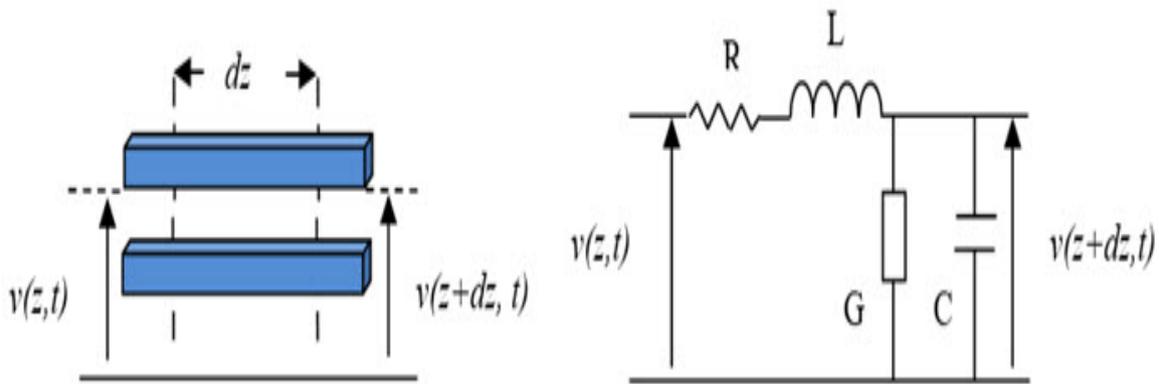


FIGURE IV.3 – *Schema équivalent d'une portion de piste*

$v(z, t)$  : représente la tension à la position "z"

$v(z + dz, t)$  : représente la tension à la position "z + dz"

Les paramètres du diagramme équivalent sont : l'inductance équivalente "L" par unité de longueur, il caractérise la densité d'énergie magnétique stockée dans le milieu, la capacité équivalente "C" par unité de longueur, il caractérise la densité de l'énergie diélectrique stockée dans le substrat, la résistance série par unité de longueur "R", il caractérise les pertes par effet Joule, la conductance parallèle par unité de longueur "G", il caractérise les pertes dans l'isolant.

#### IV.4.3 Identification des paramètres de schéma équivalent

##### Resistance R

On a utilisé les pertes joule pour évaluer la résistance linéaire donnée par la relation suivante :

$$R = \frac{P_J}{I^2} \quad (\text{IV.47})$$

$$P_J = \iiint_v \frac{J^2}{\sigma} dv \quad (\text{IV.48})$$

$P_J$  : Représente les pertes Joule

$J$  : densité de courant

### Inductance L

$$L = \frac{2.W_{mag}}{I^2} \quad (\text{IV.49})$$

$$W_{mag} = \iiint_v \frac{1}{2} \mu_0 \mu_r |H|^2 dv \quad (\text{IV.50})$$

$W_{mag}$  : énergie magnétique

### Capacité C

$$C = \frac{2.W_{diel}}{V^2} \quad (\text{IV.51})$$

$$W_{diel} = \iiint_v \varepsilon_0 \varepsilon_r |E|^2 dv \quad (\text{IV.52})$$

$W_{diel}$  : énergie diélectrique

### Conductance G

$$G = C.\omega.tan\delta \quad (\text{IV.53})$$

$tan\delta$  : Facteur de dissipation (angle de pertes diélectrique)

## IV.4.4 Organigramme de calcul

Pour étudier les paramètres de diagrammes équivalents en fonction de la fréquence d'alimentation, la distance entre les pistes et la permittivité, le diagramme de calcul suivant a été utilisé.

Au début de notre programme, nous présentons la géométrie et les caractéristiques physiques, du modèle au modèle. Après avoir maillé le champ d'étude, nous résoudrons l'équation différentielle partielle à chaque point de maillage et identifierons les paramètres (R, L, C et G) de la ligne d'interconnexion pour une fréquence et une distance données entre les pistes. Chaque fois, la fréquence et la distance entre les pistes sont incrémentées.

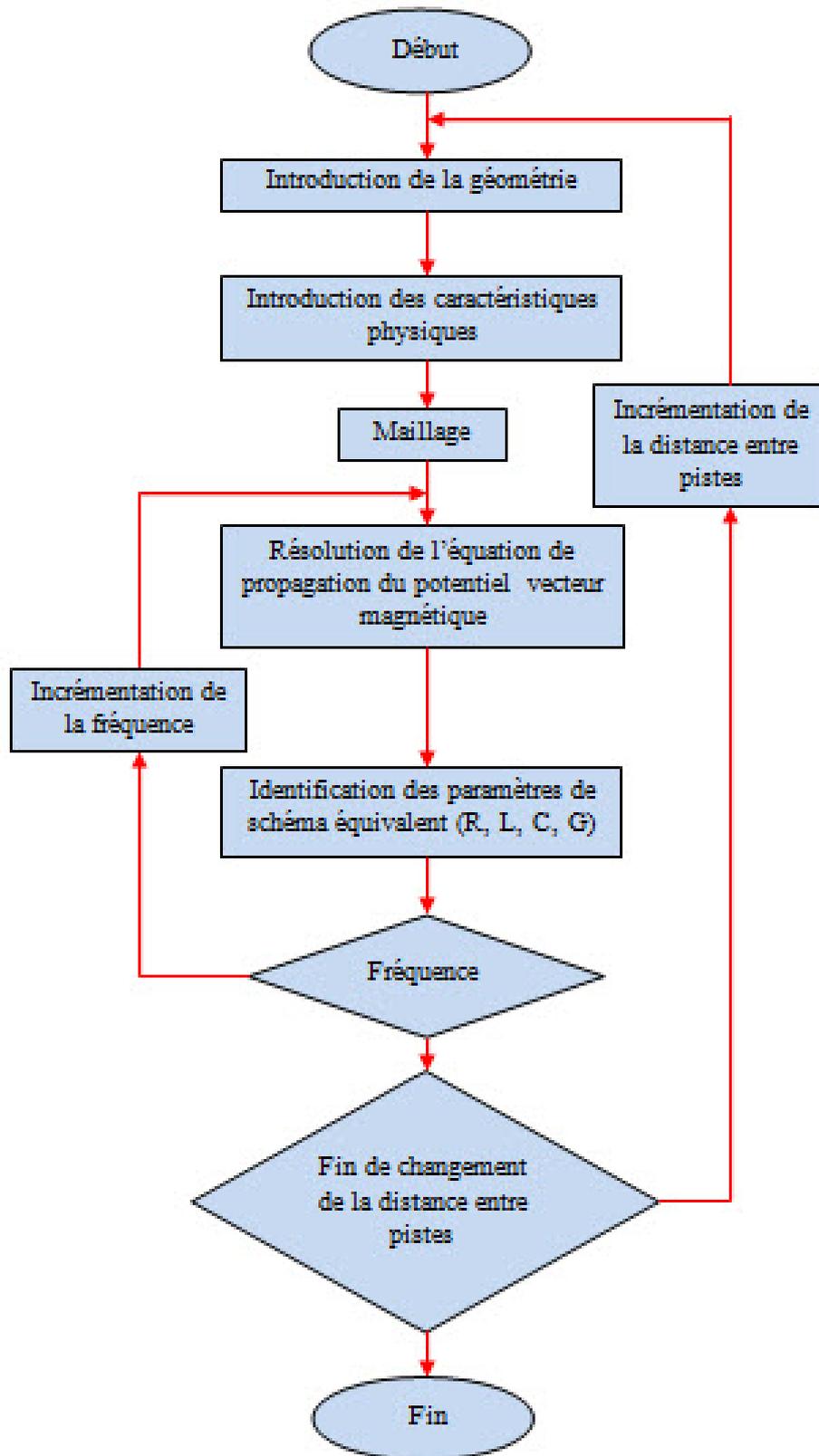


FIGURE IV.4 – Diagramme utilisé pour étudier les paramètres du circuit équivalent en fonction de la fréquence d'alimentation, la distance entre la piste et la permittivité

#### IV.4.5 Domaine d'étude et conditions aux limites

Pour résoudre l'équation (IV.35) on a utilisé la méthode des éléments finis, L'approche par éléments finis est basée sur la résolution des équations aux dérivées partielles en connaissant les conditions limites. Cette méthode a été initialement utilisée pour résoudre des problèmes dans le domaine de la mécanique de rupture et de la conception structurale (par la mécanique). La méthode a été utilisée pour la première fois pour calculer le champ électromagnétique dans les années 1970 par P.P Silvester et M.V.K Chari. Dans la plupart des cas, il est intégré aux logiciels C.A.O et a montré un grand avantage pour les concepteurs de systèmes physiques [89].

L'approche de base de la méthode des éléments finis est de subdiviser le champ d'étude en nombres finis de sous-domaines appelés éléments comme le montre la figure (IV.5). L'approximation des valeurs inconnues est faite pour chaque élément des fonctions d'interpolation. Cette fonction est définie en fonction de la géométrie de l'élément choisi au préalable et correspond aux noeuds de cet élément par rapport aux valeurs inconnues. C'est ce qu'on appelle l'interpolation nodale [90].

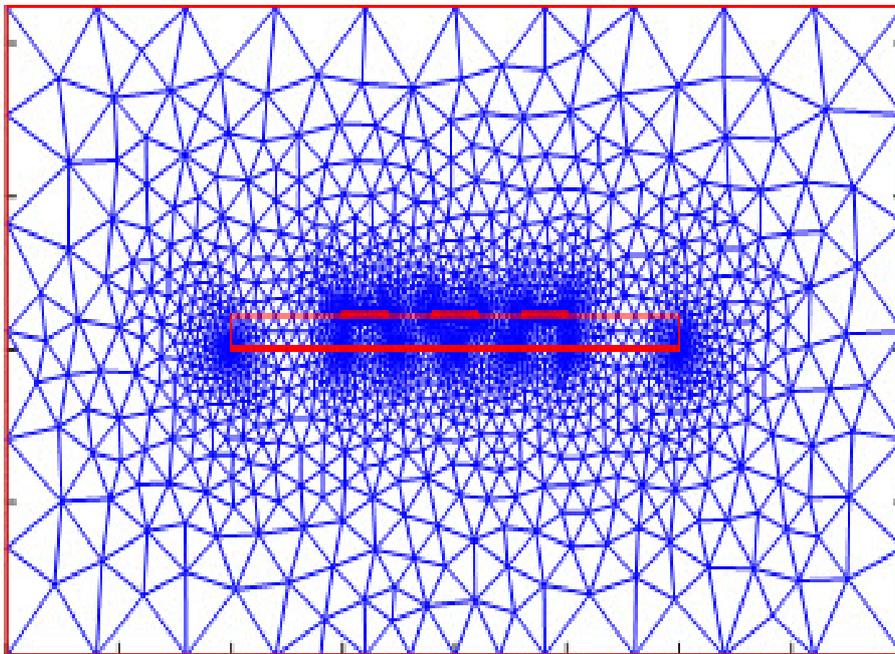


FIGURE IV.5 – *Maillage par élément finis*

#### IV.4.6 Résultats et interprétations

Il est important pour un concepteur de circuit intégré de prédire le comportement de son produit dans un environnement d'interférence électromagnétique. Les interconnexions sont souvent victimes de cette pollution électromagnétique. Cette partie consiste en une modélisation numérique des interférences électromagnétiques. Nous analyserons l'influence des paramètres de fréquence du signal d'alimentation et l'espacement entre les pistes et la permittivité du diélectrique sur l'évolution des paramètres du diagramme équivalent.

## Effet de plan de masse

Dans cette partie, nous étudierons l'effet de plan de masse sur l'impédance des interconnexions. Nous considérons les structures dans la figure (4.1), cette interconnexion couplée a les paramètres géométriques suivants  $w=2 \mu m$ ,  $S=5 \text{ nm}$ ,  $h=1 \mu m$ ,  $H= 3 \mu m$ ,  $\epsilon=3.9$  Dans ce cas nous notons une augmentation significative de la capacité vers la masse qui est due aux lignes de champs qui se réorientent vers la masse comme le montre la figure (IV.6)

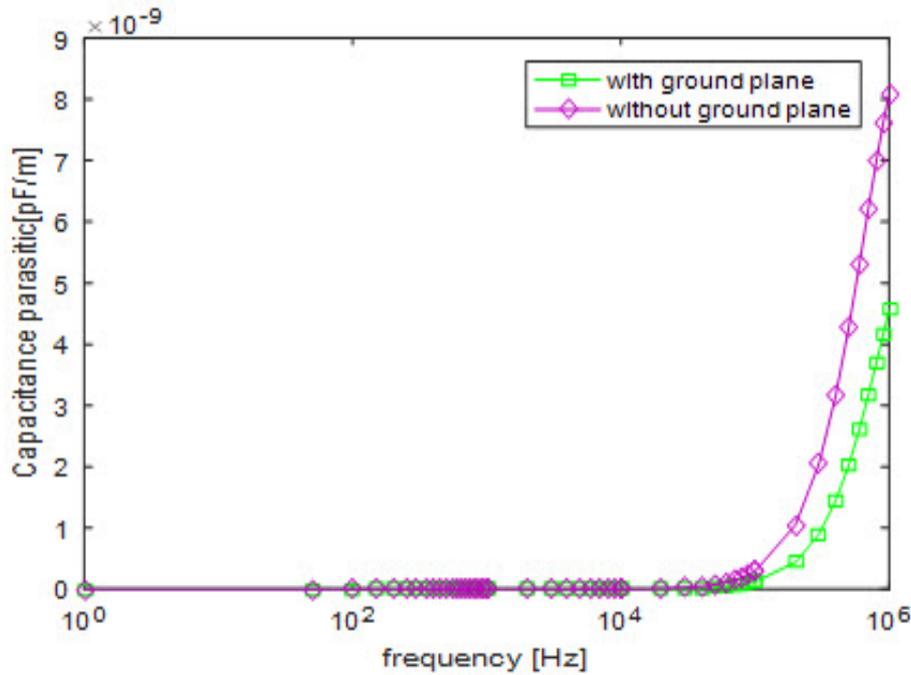


FIGURE IV.6 – Capacité parasite en fonction de la fréquence

## Influence de la fréquence

Dans notre analyse, nous avons basé notre système sur deux lignes de transmission parallèles figure (IV.2) avec les caractéristique physique et géométrique suivante.

- Largeur de la piste ( $W$ ) :  $2 \mu m$
- Epaisseur de la piste ( $h$ ) :  $1 \mu m$
- Espace entre pistes ( $S$ ) :  $2 \mu m$
- Epaisseur de l'oxyde ( $H$ ) :  $3 \mu m$

Cela correspond à 2 lignes d'un bus de circuit intégré interne de  $n$  lignes [91]. La configuration à trois lignes est utilisée pour discuter de l'interdépendance des lignes de transmission à deux lignes. Les trois lignes d'interconnexions comme le montre la figure (IV.2) sont équidistances et montées sur un substrat d'oxyde silicium. Nous avons simulé et modélisé la capacité d'interconnexion dans différentes situations.

Les figures (IV.7) montrent l'inductance et la résistance par rapport à la fréquence.

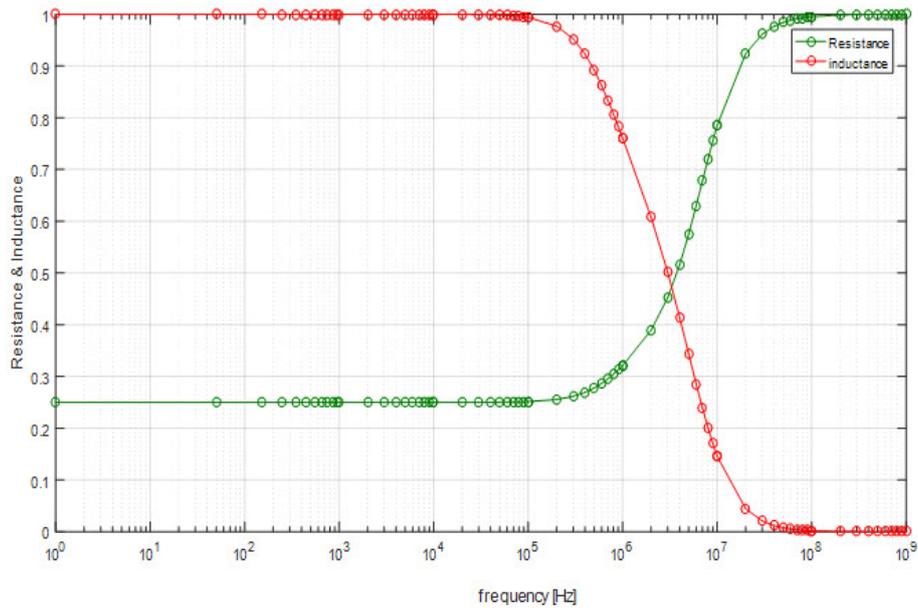


FIGURE IV.7 – Résistance et inductance en fonction de la fréquence

L'augmentation de la résistance est due à l'effet de peau qui fait que la distribution de la densité de courant dans la section de l'interconnexion devient non-uniforme avec l'augmentation de la fréquence et le courant qui parcourt cette piste aura tendance à circuler sur sa périphérie dans une section définie par une épaisseur appelée "épaisseur de la peau". Par conséquent, la section active de la piste diminue et, par conséquent, la résistance augmente.

Nous notons également que l'inductance de la piste diminue à mesure que la fréquence augmente, Conformément à la relation de l'inductance équations (IV.49) et (IV.50). Il est entendu que, en ce qui concerne le volume interne du conducteur, la contribution à l'intégrale de l'énergie magnétique est encore plus petite que la fréquence est grande.

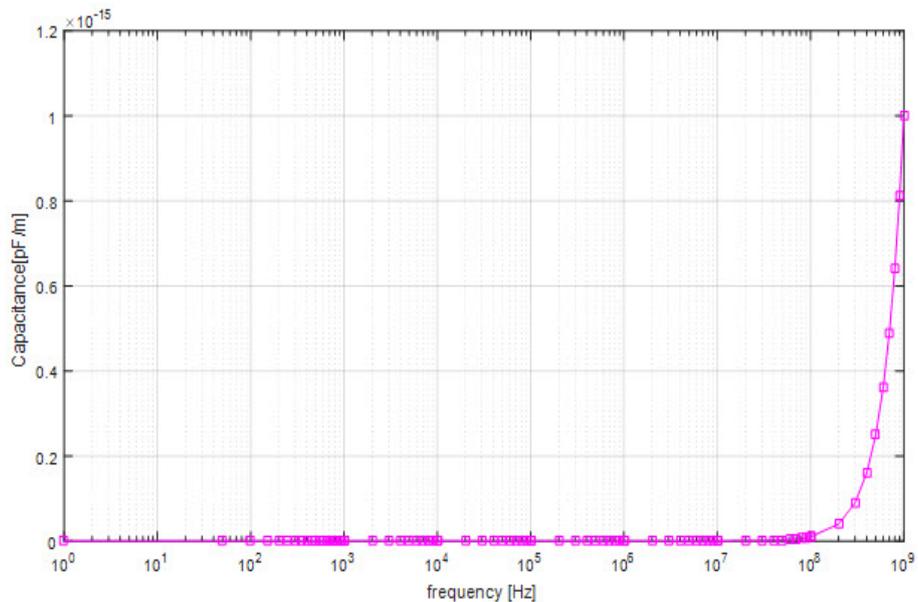


FIGURE IV.8 – Capacité parasite en fonction de la fréquence.

On constate que la capacité augmente avec l'augmentation de la fréquence, cela s'explique autant que la fréquence est plus importante l'énergie diélectrique aura tendance à augmenter en conséquence la capacité augmente.

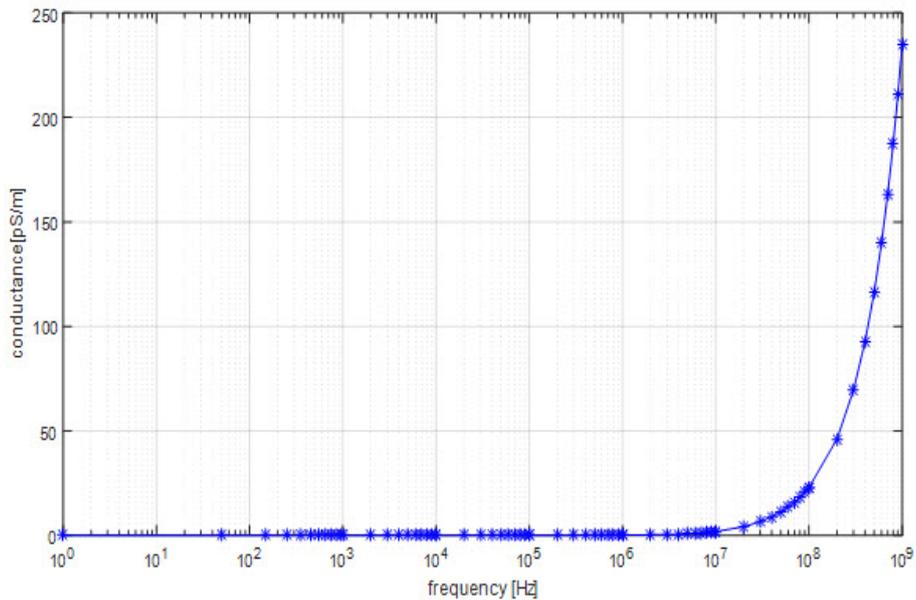


FIGURE IV.9 – *Conductance en fonction de la fréquence.*

L'augmentation de la conductance comme le montre la figure (IV.9) est due à l'augmentation de la capacité, Selon l'équation de la conductance. Les résultats obtenus motivent bien l'effet des interactions électromagnétiques sur les paramètres électriques des interconnexions, notamment l'impédance qui a connu une augmentation par rapport à celle obtenue en l'absence des interactions électromagnétiques comme le montre la figure (IV.10).

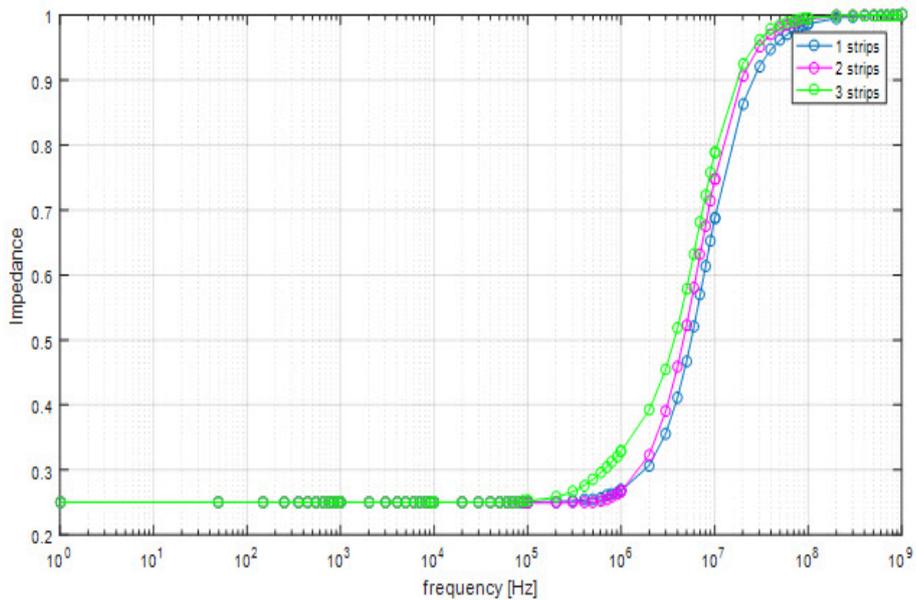


FIGURE IV.10 – *comparaison des données.*

## Influence de la permittivité diélectrique

Nous avons varié la permittivité diélectrique et la fréquence est fixe nous calculons les nouvelles valeurs des capacités parasites.

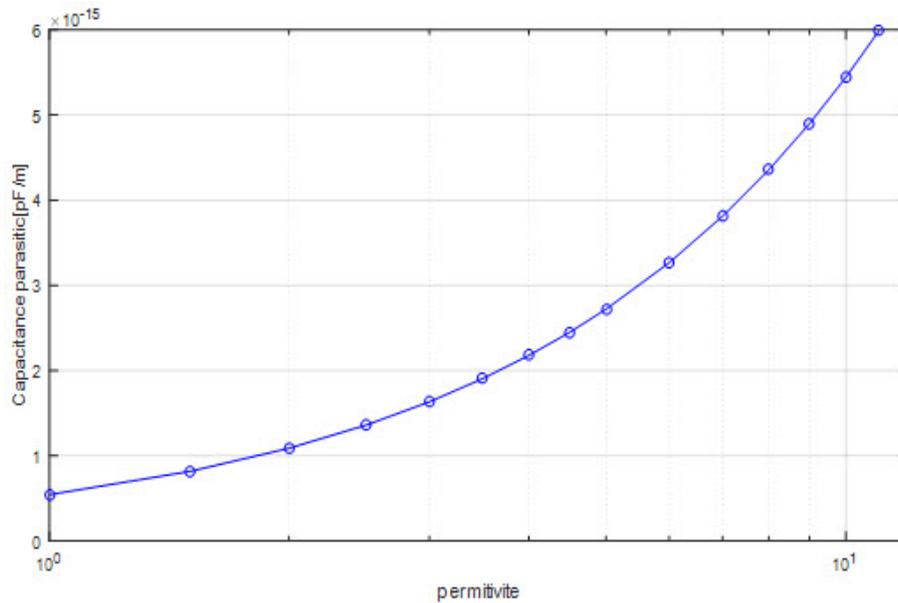


FIGURE IV.11 – Capacité parasite en fonction de la permittivité.

La permittivité est directement liée à l'énergie diélectrique donc en augmentant la permittivité l'énergie diélectrique augmente également par conséquent la capacité parasite augmente comme le montrent les figures (IV.11) et (IV.12).

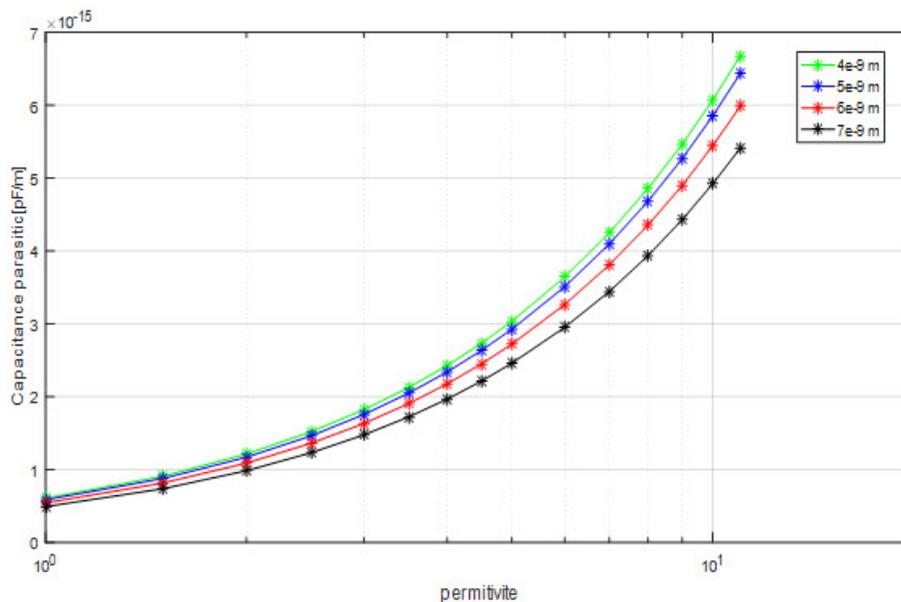


FIGURE IV.12 – capacité parasite en fonction de la permittivité pour différentes valeur de S

## Influence de la distance entre piste

Pour différentes valeurs de "S" (la distance entre deux pistes d'interconnexion), on fixe la fréquence de fonctionnement à 1gigahertz nous calculons la valeur de la capacité et de l'inductance par unité de longueur.

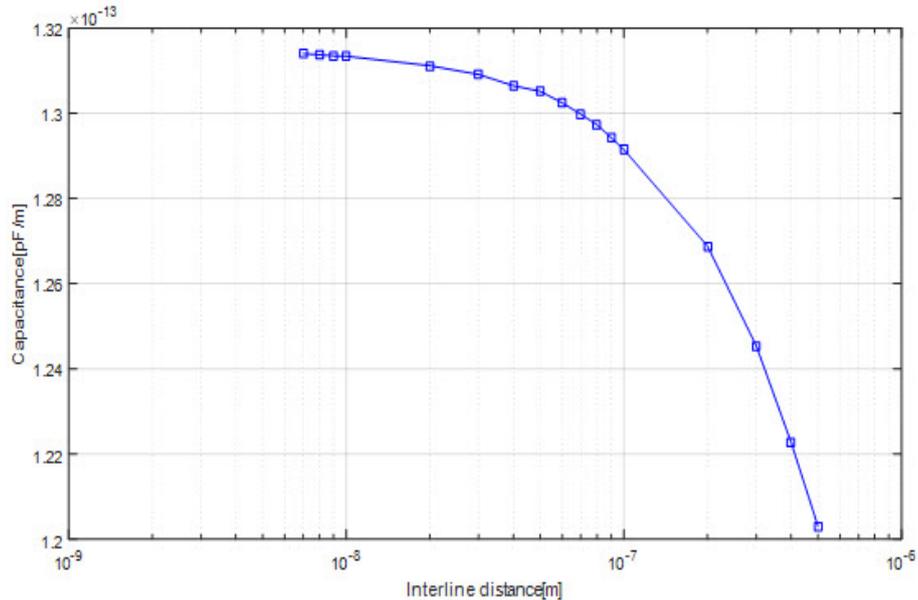
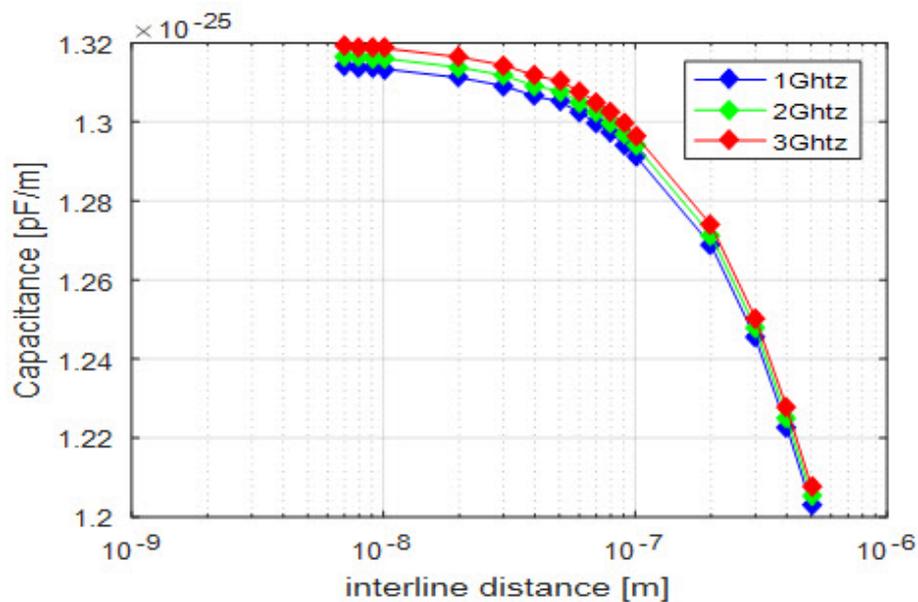


FIGURE IV.13 – Capacité parasite en fonction de la distance entre piste.

Comme le montrent les figures (IV.13) et (IV.14), la capacité diminue avec la distance entre les pistes, cette évolution peut s'expliquer par le fait que nous associons l'augmentation de la distance entre les pistes, afin de localiser une épaisseur de couche optimale correspondant à l'épaisseur pour laquelle le rapport de piste de capacité douteuse est le plus bas.



## IV.5 Hypothèses de la méthode des lignes de transmission

L'hypothèse d'un mode de propagation dit transverse électromagnétique (TEM) où, le champ magnétique et le champ électrique sont orthogonaux en tout point de la ligne à la direction de propagation, est au cœur du fondement de cette théorie. Nous pouvons admettre que tous les modes de propagation sont TEM pour des distances inter conducteurs très faibles devant la longueur d'onde des signaux d'excitation.

Cette méthode n'est valable que si la longueur d'onde «  $\lambda$  » est supérieure par rapport à la plus grande longueur de la ligne «  $L$  »,  $\lambda > L$ .

Pour une tension d'alimentation de 2V, avec une piste qui a une longueur de 0.5m on a le résultat de simulation donnée par la figure (IV.16) on voit qu'à partir de la fréquence 10MHZ la chute de tension commence à se faire sentir. Donc le signal injecté au début de la piste à subit une atténuation due aux effets des hautes fréquences et aux interactions électromagnétique.

En exploitant le schéma équivalent de la figure (IV.3). En lui appliquant la loi des mailles et la loi des nœuds on parvient à écrire les équations suivant :

$$v(z + dz, t) - v(z, t) = Ldz \frac{di(z + dz, t)}{dt} + Rdz i(z, t) \quad (\text{IV.54})$$

$$i(z + dz, t) - i(z, t) = Cdz \frac{dv(z + dz, t)}{dt} + Rdz i(z, t) \quad (\text{IV.55})$$

soit

$$\frac{dv(z, t)}{dz} = L \frac{di(z, t)}{dt} + R i(z, t) \quad (\text{IV.56})$$

$$\frac{di(z, t)}{dz} = C \frac{dv(z, t)}{dt} + G i(z, t) \quad (\text{IV.57})$$

En dérivant par rapport à «  $z$  » l'équation (IV.56) et par rapport au temps «  $t$  » l'équation (IV.57), on aura respectivement les équations (IV.58) et (IV.59).

$$\frac{d^2v(z, t)}{dz^2} = L \frac{d^2i(z, t)}{dt^2} + R \frac{di(z, t)}{dt} \quad (\text{IV.58})$$

$$\frac{d^2i(z, t)}{dz^2} = C \frac{d^2v(z, t)}{dt^2} + G \frac{dv(z, t)}{dt} \quad (\text{IV.59})$$

En remplaçant l'équation (IV.58) dans l'équation (IV.59) et l'équation (IV.59) dans l'équation (IV.58), on aura les équations différentielles du second ordre décrivant l'évolution de la tension et du courant respectivement (IV.60) et (IV.61).

$$\frac{d^2v(z, t)}{dz^2} = LC \frac{d^2v(z, t)}{dt^2} + LG \frac{dv(z, t)}{dt} + RC \frac{dv(z, t)}{dt} + RGv(z, t) \quad (\text{IV.60})$$

$$\frac{d^2i(z, t)}{dz^2} = LC \frac{d^2i(z, t)}{dt^2} + LG \frac{di(z, t)}{dt} + RC \frac{di(z, t)}{dt} - RG i(z, t) \quad (\text{IV.61})$$

On pose

$$Z = R + jL\omega \quad (\text{IV.62})$$

$$Y = G + jC\omega \quad (\text{IV.63})$$

Z : impédance Y : admittance du substrat.

Suivant la loi de Faraday, le couplage en champ magnétique induit une tension  $V_{in}$  directement

liée aux variations du flux magnétique  $\phi$  qui traverse le conducteur de section « s » et elle s'écrit comme suit :

$$V_{in} = -\frac{d\Phi}{dt} \quad (\text{IV.64})$$

$$\vec{\Phi} = \iint_s \vec{B} d\vec{s} \quad (\text{IV.65})$$

$$\vec{B} = \text{rot}\vec{A} \quad (\text{IV.66})$$

## IV.6 Modélisation de la diaphonie

Toute tension ou tout courant non désiré créé par couplage entre deux pistes d'un réseau d'interconnexion est considéré comme une diaphonie. Dans ce qui suit, nous proposons de modéliser la tension induite par une piste sur une autre piste adjacente. Pour cela, nous considérons la structure de la figure (IV.2), mais cette fois avec les dimensions suivantes :  $w=20\mu m$ ,  $S=20\mu m$ ,  $h=5\mu m$ ,  $H=5\mu m$ ,  $\epsilon = 3,9$ . En considérant une tension d'alimentation de 2V, avec une piste d'une longueur de 0,5 m, nous obtenons les résultats de simulation données par la Figure (IV.15) et à la Figure (IV.16).

La figure (IV.15) représente les résultats de la simulation de la diaphonie en fonction de la fréquence du signal par rapport à celle obtenue en [92]. On voit qu'il y a une certaine concordance entre les deux résultats, et une relation de proportionnalité relie la diaphonie et la fréquence.

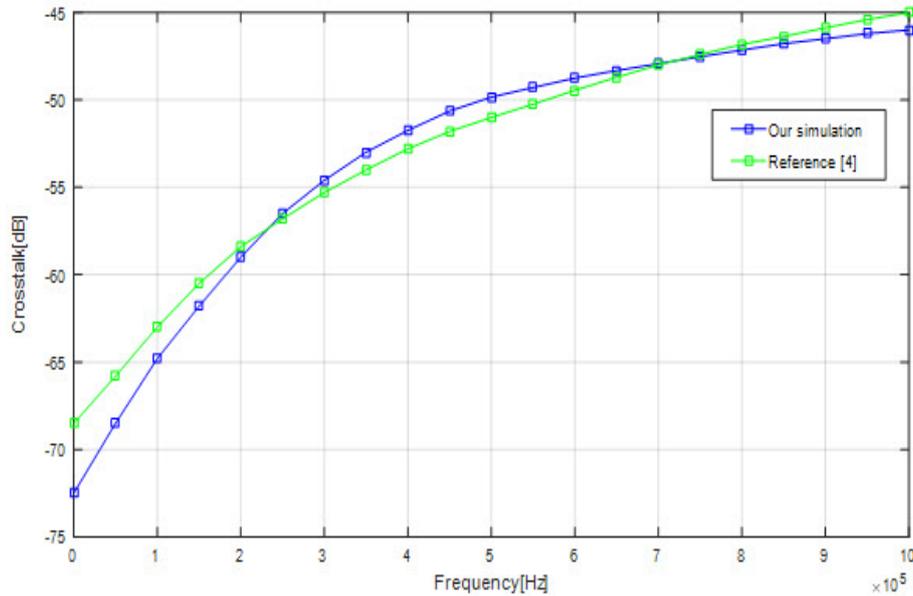


FIGURE IV.15 – diaphonie en fonction de la fréquence.

La figure (IV.16) représente les résultats de la simulation de la chute de tension en fonction de la distance inter ligne. on constate que la chute de tension est proportionnelle a la distance inter ligne, et elle plus grande pour des fréquence plus élevée.

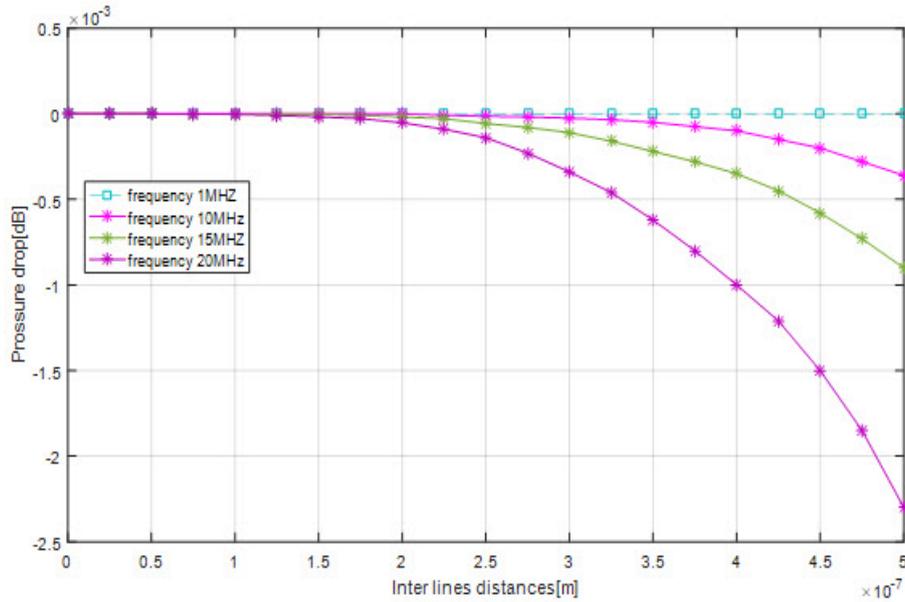


FIGURE IV.16 – chute de tension en dB.

## IV.7 Modélisation des interconnexions en graphène

L'un des problèmes majeurs dans la réalisation de circuits intégrés complexes réside dans le système d'interconnexion des blocs de circuits. Actuellement, la longueur moyenne des connexions sur une puce s'élève à 8 km ! La complexité d'interconnecter des milliards de transistors s'est d'abord traduite par le besoin d'augmenter le nombre de couches métalliques et à les spécialiser pour transférer des signaux à courte et longue distance : on parle maintenant facilement de 7 à 10, voire 12 niveaux de métallisation.

Par ailleurs, contrairement au transistor, la vitesse de propagation d'un signal dans une interconnexion ne s'améliore pas avec la miniaturisation, la résistivité de la ligne métallique ayant tendance à se détériorer avec la réduction des dimensions. Pour contrer cette tendance, l'aluminium a été remplacé par du cuivre, plus conducteur. Au même temps, les pertes capacitatives dues aux capacités parasites engendrées par le croisement des lignes d'interconnexion ont pris de l'importance. La silice ou les mélanges silice et nitrure de silicium, les matériaux diélectriques traditionnels d'isolement entre les divers niveaux métalliques ont été remplacés par des matériaux organiques polymères à faible permittivité appelés matériaux « low k ». Une équipe de chercheurs de l'université Stanford emmenée par Philip Wong, ingénieur spécialisé dans les semi-conducteurs, vient de mettre en évidence que le graphène pourrait servir d'alternative au nitrure de tantale (TaN) qui est un isolant des connecteurs de cuivre. Le graphène est un matériau composé d'une seule couche d'atomes de carbone organisés dans une structure de nid d'abeilles. Le graphène est la brique élémentaire à partir de laquelle sont formés de nombreux matériaux, certains connus depuis longtemps sous le nom de graphite, d'autres découverts plus récemment sous le nom de nanotubes ou de fullerènes.

La structure de bande électronique du graphène a été étudiée théoriquement bien avant que le graphène expérimental puisse être étudié [93]. Il a été isolé en 2004 par André Geim et Novoselov du Département de physique à l'Université de Manchester. Pour cette découverte, André Geim, avec Konstantin Novoselov, ont reçu le prix Nobel de physique en 2010 [94].

Le graphène a des propriétés très intéressantes pour la microélectronique. Conducteur dans

sa forme naturelle, il est cependant nécessaire de le transformer en semi-conducteur pour la réalisation de transistors. Et il a permis des avancées majeures dans la microélectronique comme la fabrication de transistor à effet de champ avec un canal de couche graphène[95, 96].

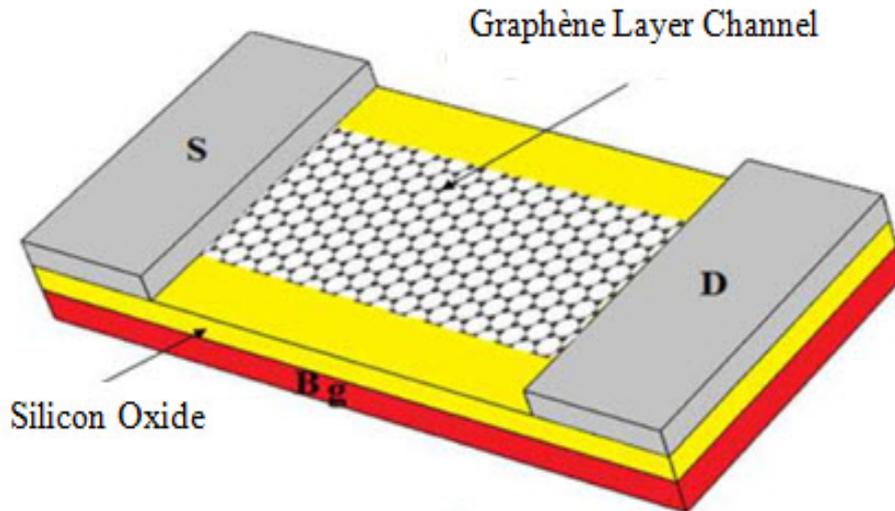


FIGURE IV.17 – *Le transistor à effet de champ avec un canal en graphène.*

Le graphène peut offrir deux avantages déterminants : la réduction du diamètre des fils de cuivre et l'accélération des transferts des données. Pourquoi le graphène pourrait-il réduire l'épaisseur des connexions au sein d'un circuit intégré ? Parce qu'une couche de graphène, telle qu'elle pourrait être utilisée pour enrober un fil de cuivre, est huit fois plus fine que la gaine de nitrure de tantale tout en offrant les mêmes propriétés. Pour prendre une métaphore, c'est un peu comme réduire l'épaisseur d'un tuyau sans en diminuer le diamètre intérieur. : les électrons peuvent circuler à travers le graphène aussi bien qu'ils le font à travers les fils de cuivre. Outre son rôle d'isolant, le graphène peut donc aussi jouer les conducteurs auxiliaires. Sa structure en treillis permet aux électrons de sauter d'atome de carbone en atome de carbone le long du fil tout en contenant efficacement les atomes de cuivre à l'intérieur du fil de cuivre, expliquent les chercheurs. Ceci peut donc contribuer à augmenter la vitesse de transfert des données.

Dans cette étude, nous considérons une ligne d'interconnexions planaires comprenant deux pistes en cuivre isolées par le graphène. Les paramètres mis en évidence sont la capacité, l'inductance et la résistance.

Dans notre analyse, nous avons basé notre système sur deux lignes de transmission parallèles en cuivre entourées d'une couche de graphène. Cela correspond à deux lignes d'un bus d'un circuit intégré de  $n$  lignes. La figure (IV.18) montre la géométrie du modèle. En faisant varier la fréquence d'alimentation et en utilisant la méthode numérique (FEM) dans le modèle à deux dimensions, nous calculons la résistance, la capacité et l'inductance. Nous comparons ensuite les résultats obtenus avec les interconnexions en cuivre sans graphène.

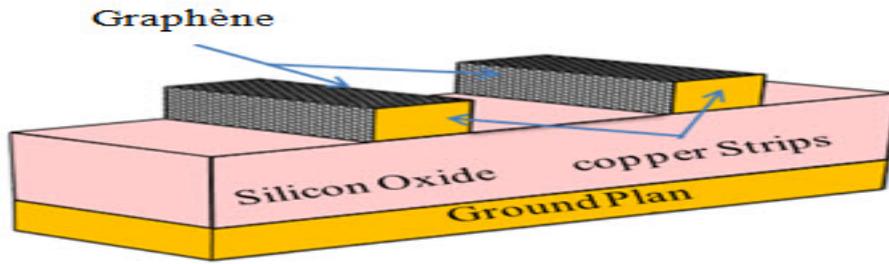


FIGURE IV.18 – Ligne d'interconnexion entourée du graphène.

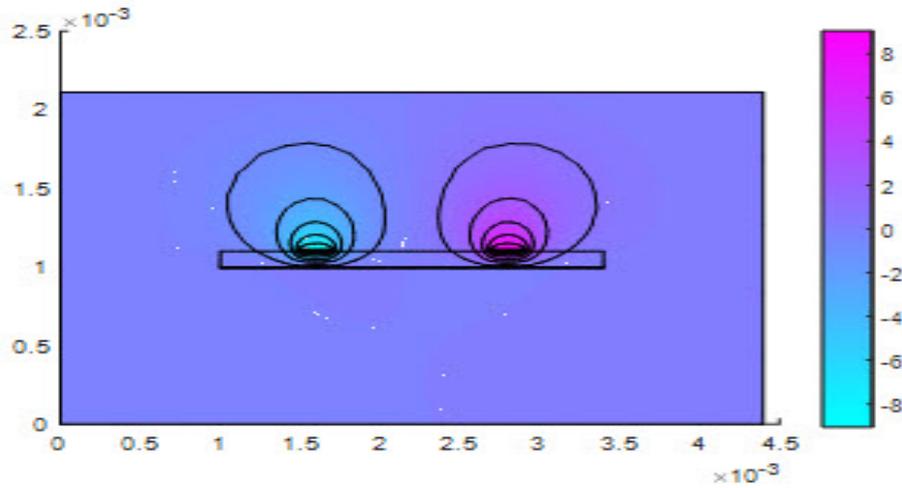


FIGURE IV.19 – Répartition du potentiel.

On note que la valeur du potentiel vecteur magnétique augmente à l'approche de la ligne d'interconnexion.

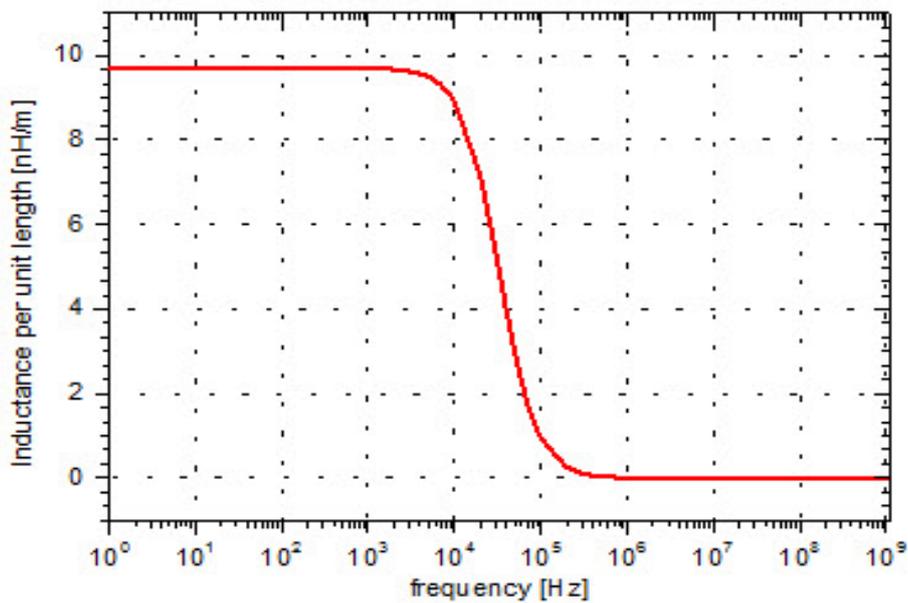


FIGURE IV.20 – Inductance linéique en fonction de la fréquence.

Avec l'augmentation de la fréquence l'inductance tend à diminuer, cela peut s'expliquer par la relation de l'énergie magnétique, avec l'augmentation de la fréquence l'énergie magnétique diminue qui générera la diminution de l'inductance

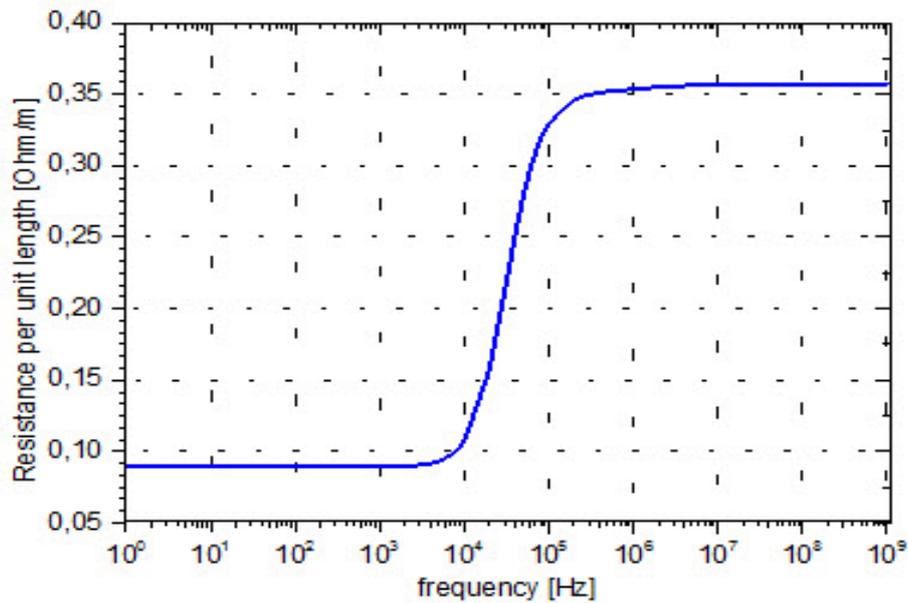


FIGURE IV.21 – *Resistance linéique en fonction de la fréquence.*

La figure (IV.21) montre la résistance par unité de longueur par rapport à la fréquence nous notons que la résistance augmente avec l'augmentation de la fréquence, ceci est dû au courant circulant sur la périphérique de la ligne d'interconnexion chaque fois que la fréquence est très élevée.

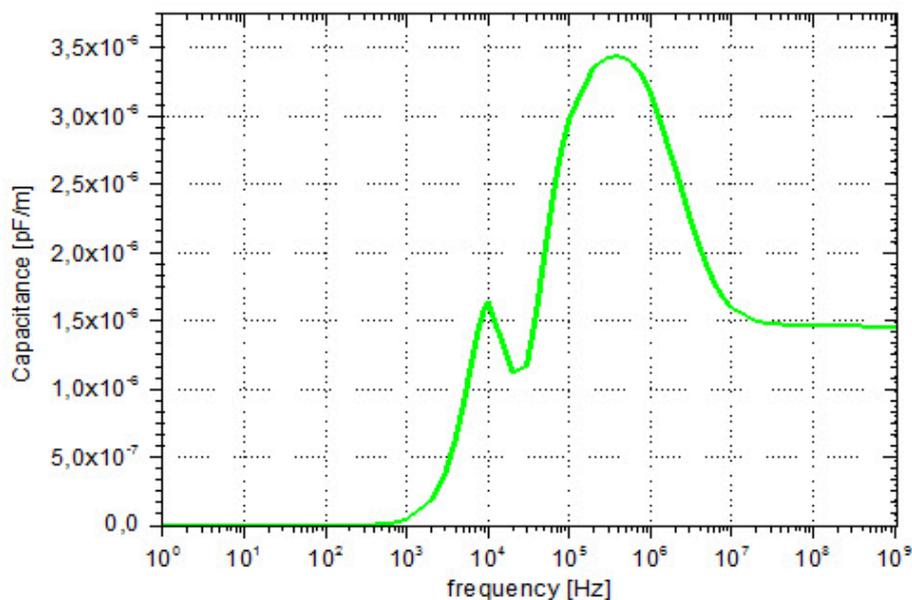


FIGURE IV.22 – *Capacité parasite en fonction de la fréquence.*

La figure (IV.22) montre la capacité par rapport à la fréquence, à mesure que la fréquence

augmente, la capacité parasitaire augmente. Cette augmentation est directement liée à l'augmentation de l'énergie diélectrique.

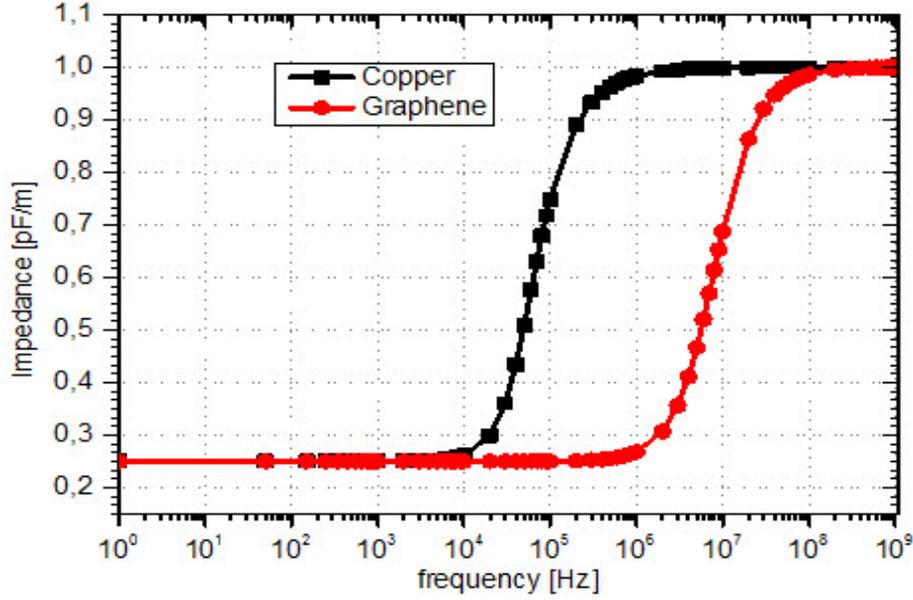


FIGURE IV.23 – Résultats de comparaison (impédance en fonction de la fréquence).

Les résultats obtenus sont motivants ; on constate que l'effet des interactions électromagnétiques sur les paramètres électriques des interconnexions est moins important avec la présence du graphène.

## IV.8 Resistance du Rayonnement

### IV.8.1 Cas d'interconnexion en métal

Nous considérons une ligne de transmission de longueur limitée dans l'air et pour simplifier les calculs nous négligeons les pertes diélectriques, le potentiel de vecteur magnétique est donné comme suit [97].

$$A(r) = \mu_0 e^{-jkz} \int_0^L dz' \oint dc K_f(c) e^{-jkz'} G(r)z + \mu_0 e^{-jkz} \int_0^L dz' \oint dc K_r e^{-jkz'} G(r)z \quad (\text{IV.67})$$

$\mu_0$  : perméabilité de vide  $k$  : est la constante de propagation,  $k_r$  et  $k_f$  sont les ondes de courant de surface avant et inverse  $G$  : est la fonction de Green qui est donnée par

$$G(x) = \frac{e^{-jkx}}{4\pi x} \quad (\text{IV.68})$$

En [98], les auteurs ont démontré que la puissance rayonnée par les lignes de transmission de longueur  $L$  en mode différentiel est donnée par :

$$P_{rad}^{DM} = \frac{\eta_0 (ka)^2}{2\pi} \left( |I_f^{DM}|^2 + |I_b^{DM}|^2 \right) (1 - \sin(4kL)) \quad (\text{IV.69})$$

Où  $I_f$  et  $I_b$  sont le courant de déplacement avant et arrière, respectivement et  $a$  est la distance entre les conducteurs.

La résistance de rayonnements en mode différentiel est donnée par l'équation (IV.70), sachant que les lignes de transmission rayonnent symétriquement de leurs extrémités.

$$R_{rad}^{DM} = \frac{P_{rad}^{DM}}{2 \left( |I_f^{DM}|^2 + |I_b^{DM}|^2 \right)} = \frac{\eta_0(ka)}{4\pi L} (\sin(4kl) - \cos(4kl)) \quad (IV.70)$$

Et comme pour le mode commun si la longueur de la ligne de transmission est inférieure à la longueur d'onde dans ce cas, la ligne de transmission sera considérée comme une antenne à ondes lentes qui a été étudiée dans la littérature [99]. Dans le cas où la longueur de la ligne est finie la formule de la puissance rayonnée en mode commun peut être écrite comme suit :

$$P_{rad}^{CM} = \frac{\eta_0}{4\pi} \left( |I_f^{CM}|^2 + |I_b^{CM}|^2 \right) * \left( 1.415 + \log \left( \frac{kl}{\pi} - C_i(2kl) + \sin(2kl) \right) \right) \quad (IV.71)$$

La résistance de rayonnement en mode commun est donnée par :

$$R_{rad}^{CM} = \frac{2P_{rad}^{CM}}{\left( |I_f^{CM}|^2 + |I_b^{CM}|^2 \right)} * \left( 1.415 + \log \left( \frac{kl}{\pi} - C_i(2kl) + \sin(2kl) \right) \right) \quad (IV.72)$$

Dans cette partie, nous concevons trois lignes de transmission en cuivre, et nous allons calculer la résistance de rayonnement de mode commun et différentiel et ensuite étudier l'influence de la variation de la fréquence ainsi la géométrie des piste sur cette résistance. Ces interconnexions couplée ont les paramètres géométriques suivants  $w=1\mu m$ ,  $S=1\mu m$ ,  $h=0.2\mu m$ ,  $H=3\mu m$ ,  $\epsilon = 3,9$

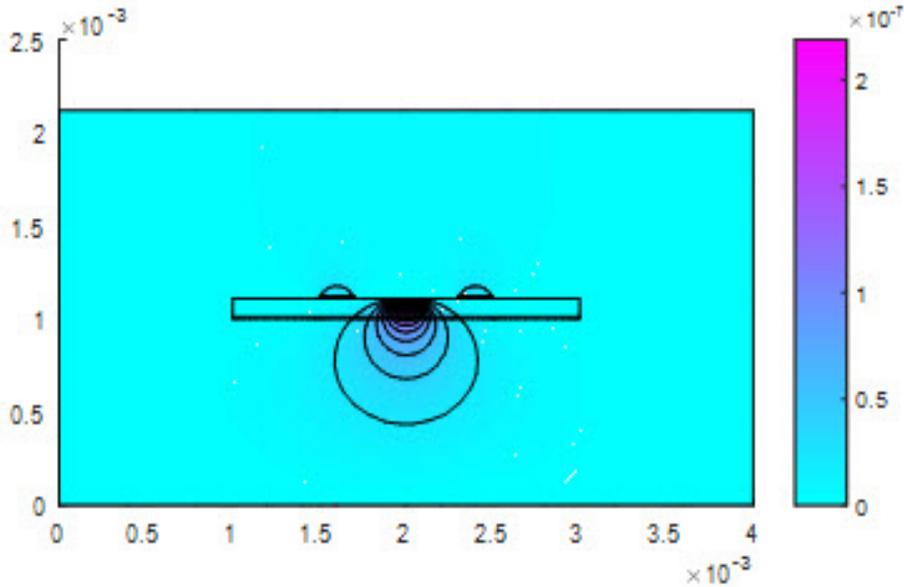


FIGURE IV.24 – Distribution des lignes de champ magnétique.

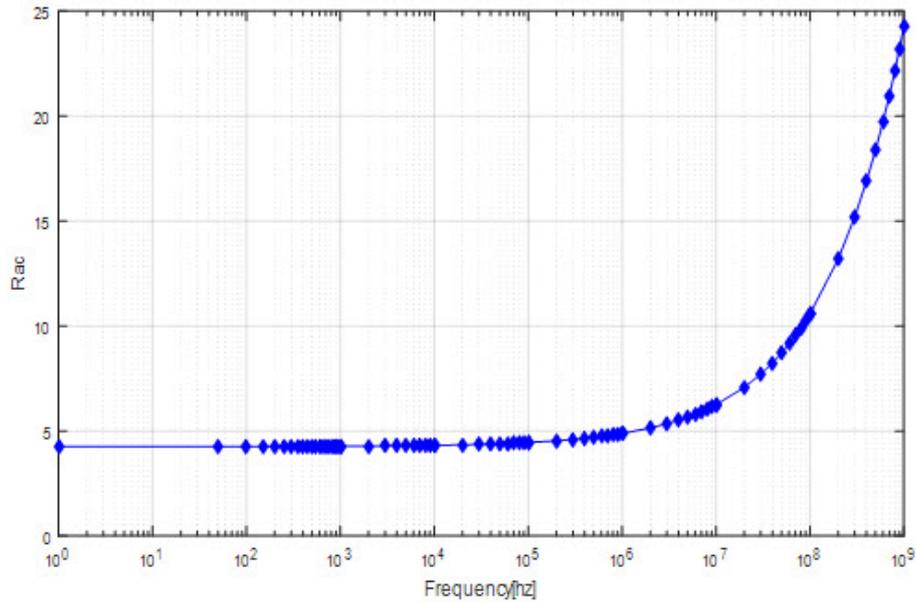


FIGURE IV.25 – *Resistance de radiation de mode commun en fonction de la fréquence.*

Comme le montre la figure (IV.25) et (IV.26) la résistance de radiation augmente à chaque fois que la fréquence de signal augmente soit en mode commun ou en mode différentiel, en constate aussi que les radiations de mode différentiel sont moins importante.

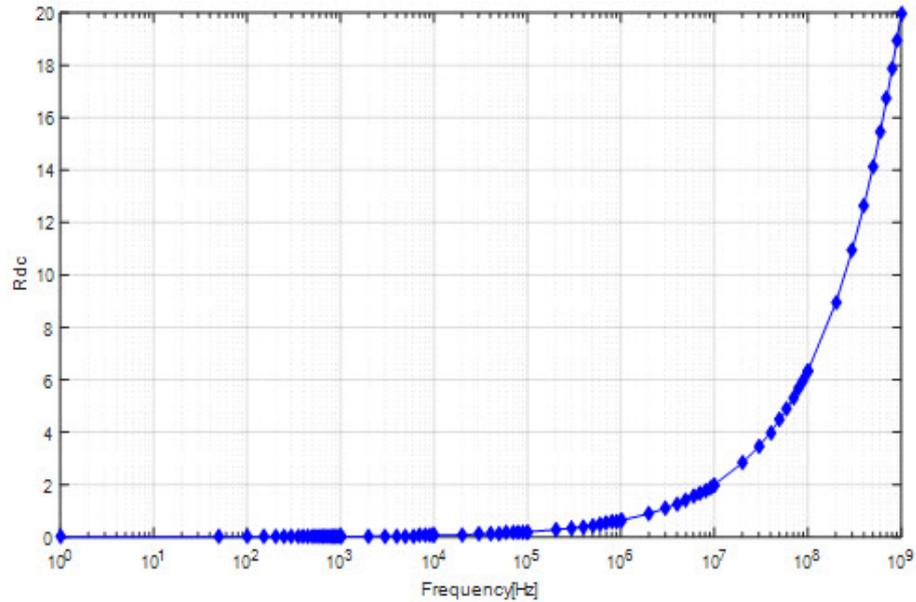


FIGURE IV.26 – *Resistance de radiation de mode différentiel en fonction de la fréquence.*

Dans se qui suis nous allons simuler le comportement de la résistance de radiation des deux modes En varions les paramètres géométriques des pistes d’interconnexions comme le montre le tableau (IV.1).

TABLE IV.1 – *Les caractéristiques physiques et géométriques.*

	Cas 1	Cas 2	Cas 3	Cas 4
Largeur de la piste ( $\mu m$ )	20	1	20	1
Epaisseur de la piste ( $\mu m$ )	1	1	20	20

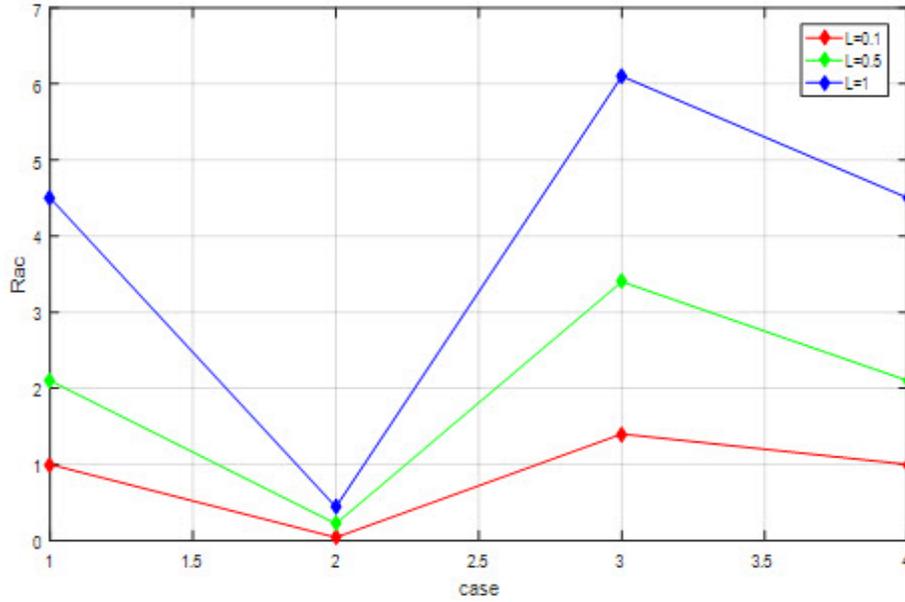


FIGURE IV.27 – *Resistance de radiation de mode commun en fonction de la géométrie de la piste.*

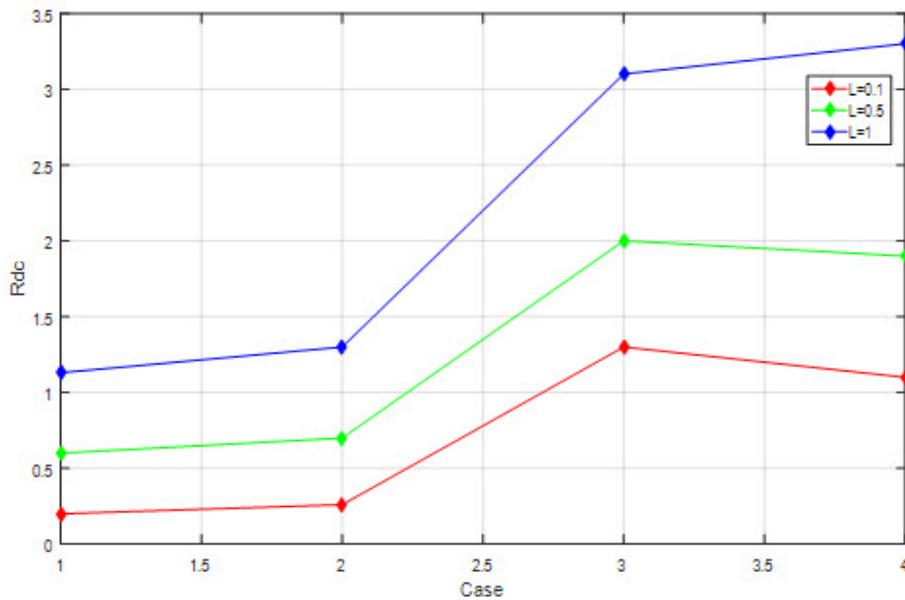


FIGURE IV.28 – *Resistance de radiation de mode commun en fonction de la géométrie de la piste.*

On fixant la fréquence de travail à 1gigahertz on remarque bien que la résistance de radiation de mode commun et différentiel est proportionnelle à la longueur de la ligne d'interconnexion, elle augmente a chaque fois que la longueur de la ligne d'interconnexion est plus grande, ainsi en constante qu'avec la diminution de la section de la ligne d'interconnexion comme le montre les figure (IV.27) et IV.28) la résistance de radiation est moins importante.

### Interconnexion en Nanotube de carbone

Les nanomatériaux et les nanotechnologies sont les liens de base pour réaliser les dispositifs des générations futures. En raison de leur taille, les nanomatériaux ont de nouvelles propriétés qui peuvent répondre à de nombreux défis (lithographie de petite taille très chère, difficulté à remplir des trous étroits ...). Parmi ces nanomatériaux, les nanotubes de carbone occupent une place prépondérante en raison de leurs propriétés électriques et thermiques exceptionnelles supposées dans la littérature.

Bien que des microgrammes de nanotubes de carbone soient disponibles avant les années 1990, notamment grâce aux travaux d'Oberlin and Endo [100] et de Radushkevich [101], ce n'est que depuis l'analyse détaillée de ces nouvelles structures, synthétisées puis par arc électrique, qu'en 1991 Sumio Iijima spécialiste de la microscopie au NEC identifié par microscopie électronique pour la première fois multiwall nanotubes de carbone (MWNT, pour Multi Wall Nano Tube) [102, 103]. En 1993, il a également identifié des nanotubes à paroi simple (SWNT) [103]. Depuis lors, le CNT fait l'objet d'un immense intérêt scientifique, car ses propriétés sont exceptionnelles à bien des égards. D'un point de vue mécanique, ils ont une excellente rigidité, comparable à celle de l'acier, tout en étant extrêmement légers. D'un point de vue électrique et optique, les nanotubes monocouches ont la caractéristique tout à fait exceptionnelle d'être soit métalliques soit semi-conducteurs selon leur géométrie (angle d'enroulement de la feuille de graphène). En raison de leurs propriétés uniques, les nanotubes de carbone ont de nombreuses potentialités et leurs utilisations ouvrent de nombreuses perspectives. Leurs propriétés électriques semblent en faire un matériau de choix pour l'électronique, la réalisation d'interconnexions [104], transistors [105], mélangeurs [106]. Contrairement au cuivre, qui ne conserve pas sa conductivité apparente sur les dimensions nanométriques. La conductivité électrique des CNT est supérieure à celle du cuivre (diamètre équivalent), pour des longueurs supérieures à 10dm [107].

Dans cette partie nous proposerons le nanotube de carbone comme solution pour minimiser les effets indésirables tels que les inductances et les capacités ainsi la résistance de radiation. Nous avons enroulé une feuille de graphène sur une ligne d'interconnexion du forme cylindrique en variant la fréquence nous avons relevé le comportement de la résistance de radiation. Ensuite, nous comparons les interconnexions CNT avec les interconnexions Cu. le modèle simulé est représenté dans la figure suivante :

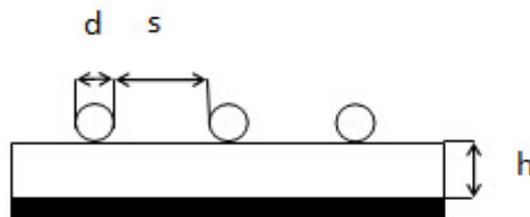


FIGURE IV.29 – *interconnexion symétrique cylindrique* .

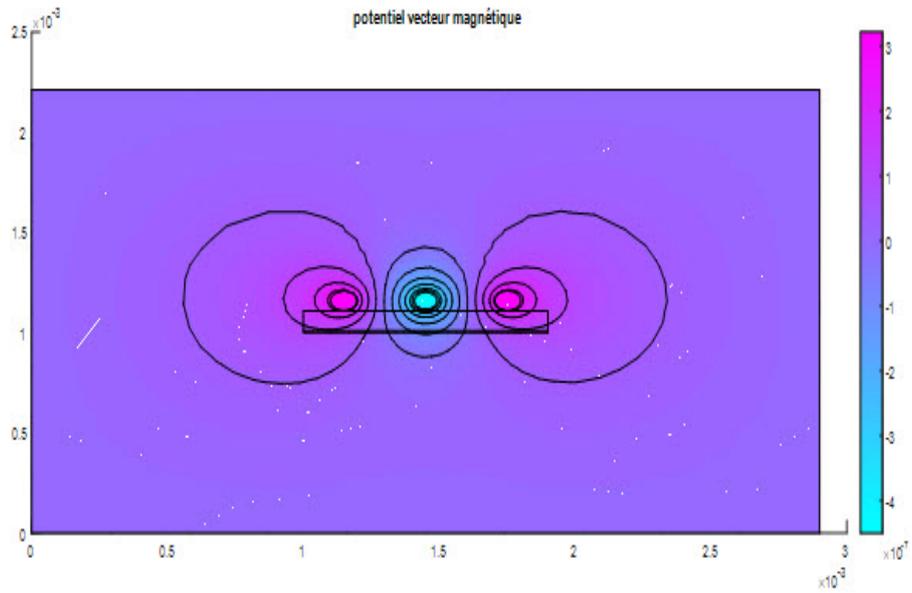


FIGURE IV.30 – *Le potentiel vecteur magnétique.*

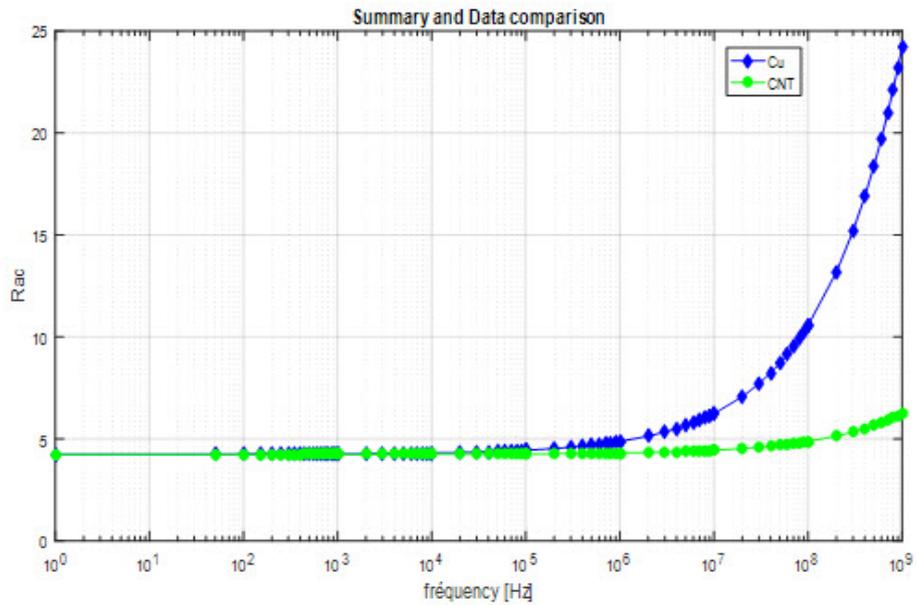


FIGURE IV.31 – *comparaison de la résistance de radiation en mode commun pour le cuivre et le CNT.*

Les figures (IV.31) et (IV.32) montre la résistance de radiation de mode commun et différentiel en fonction de la fréquence, on constate que en introduisant le nanotube de carbone la radiation des interconnexions est diminué cela est due aux électrons qui peuvent circuler à travers le nanotube de carbone aussi bien qu'ils le font à travers les fils de cuivre.

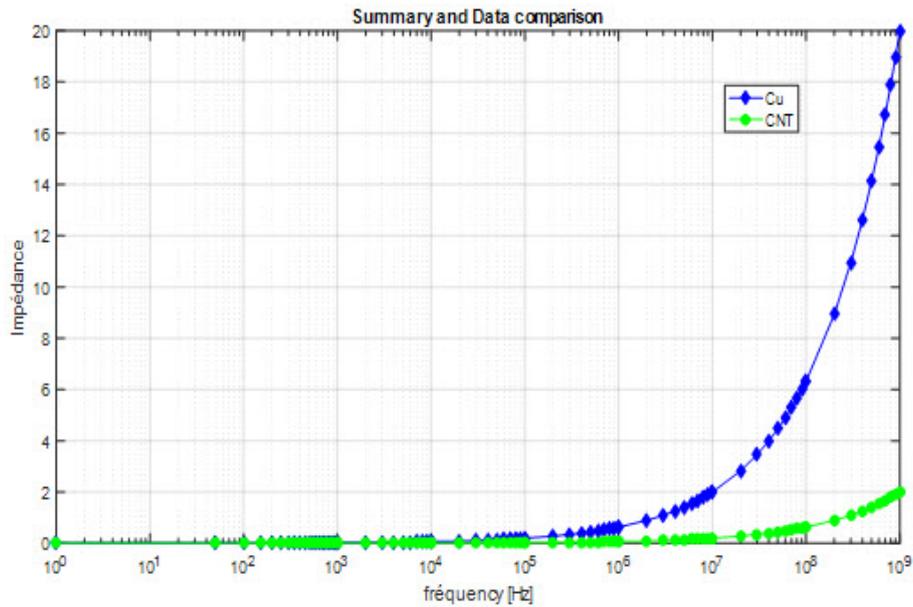


FIGURE IV.32 – comparaison de la résistance de radiation en mode différentiel pour le cuivre et le CNT.

La figure (IV.33) représente une comparaison entre les interconnexions en cuivre sans et avec le nanotube de carbone. On constate que les interconnexions avec le nanotube de carbone a moins de dissipation de puissance. Donc, il est effectivement utile pour l'application de haute performance dans VLSI. D'après le résultat comparé a montré que l'interconnexion basée sur CNT est adapté pour les applications de haute performance.

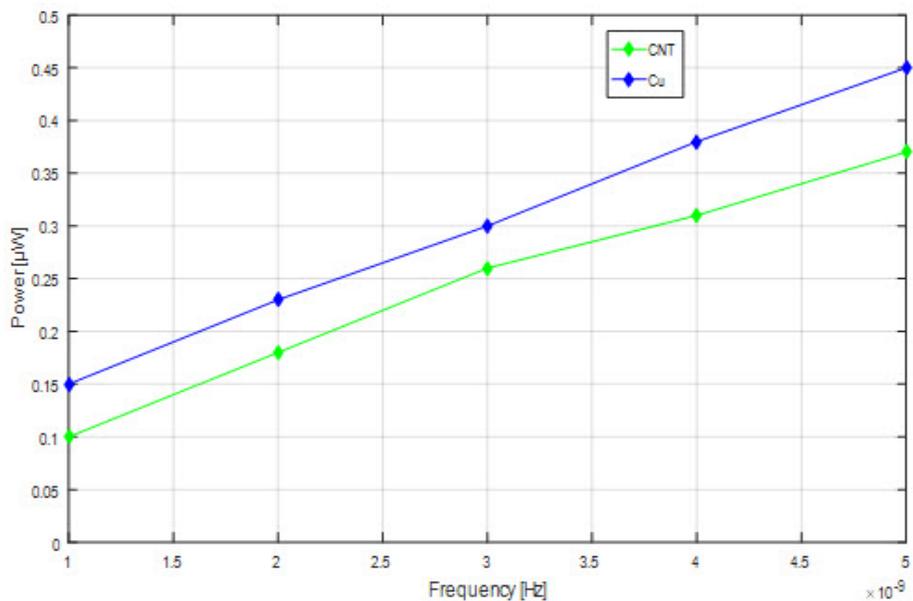


FIGURE IV.33 – comparaison de la puissance des interconnexions en cuivre et en CNT en fonction de la fréquence.

## IV.9 Conclusion

Les principales conclusions sont tirées pour l'étude de l'influence de la largeur diélectrique et de la permittivité. La longueur et la géométrie de la ligne de transmission ont été également étudiées et l'impédance par unité de longueur est calculée afin d'estimer les pertes et de définir l'amplitude limite du signal numérique utilisé. Le graphène et le nanotube de carbone ont été proposés comme alternative afin d'améliorer les performances des interconnexions. Les résultats sont jugés conformes à la littérature et encourageants pour d'autres études sur la séparation diélectrique.

# Conclusion générale

La caractérisation et l'estimation du comportement des interconnexions dans la conception des circuits intégrés avant la phase de mise en œuvre sont d'une importance primordiale. Ce comportement devient complexe lorsque la fréquence d'alimentation augmente. Ainsi, elles deviennent le chemin préféré pour la propagation des perturbations électromagnétiques. Ce manuscrit a traité deux problématiques à savoir la modélisation des interactions électromagnétiques dans un réseau d'interconnexion dans les circuits intégrés et l'impact du graphène et des Nanotubes de Carbone sur le comportement électromagnétique des interconnexions des circuits intégrés.

Dans un premier temps, nous avons donné une vue d'ensemble sur la compatibilité électromagnétique. Ensuite nous avons décrit quelques sources de rayonnement et ainsi leurs modes de couplage et leurs effets sur les circuits électroniques. Après nous avons présenté de diverses techniques de mesure de compatibilité électromagnétique soit en mode conduit ou rayonné. Enfin on a présenté les moyens de protection contre des problèmes de compatibilité électromagnétique.

Dans la deuxième partie, nous avons présenté l'évolution des paramètres des circuits intégrés, et nous avons constaté que les courants de consommation des circuits intégrés augmentaient avec la miniaturisation des technologies, avec par la même occasion une diminution des tensions d'alimentations des composants ce qui favorise la susceptibilité des circuits. Nous avons aussi présenté les effets des mécanismes de dégradation des interconnexions dans les circuits intégrés et les phases d'influence des mécanismes au niveau des caractéristiques électriques des interconnexions. La problématique des interconnexions des circuits intégrés, leurs limitations et les raisons qui sont à l'origine des travaux menés sur les interconnexions sont présentées.

La troisième partie a résumé la théorie des lignes de transmissions ainsi le mode de propagation dans ces lignes, une présentation des lignes microstrip et coplanaire sur silicium a été donnée. Nous avons considéré plusieurs géométries des lignes d'interconnexion pour lesquels on a identifié et calculé la distribution du potentiel, ainsi la matrice de capacité et l'inductance pour chacune des géométries. Certains paramètres géométriques ont été également modifiés afin de remédier aux problèmes de capacités parasites. Nous avons observé que l'augmentation de l'épaisseur de la couche diélectrique entraîne l'augmentation des capacités parasites entre les pistes. Ceci est étroitement lié avec la croissance des niveaux d'interconnexion. Plus le niveau d'interconnexion est élevé, plus les capacités vers le plan masse sont faibles.

La partie finale a été consacrée à la modélisation électromagnétique des interconnexions. La modélisation des interconnexions demande une réelle maîtrise dans la théorie des lignes de transmission. Cette étude a permis d'apporter un complément à la modélisation des interconnexions, après avoir élaboré un modèle de calcul mathématique nous avons simulé dans différentes situations les interconnexions en cuivre à l'aide de la méthode des éléments finis. Dans un premier temps nous avons analysé l'influence de plan de masse ainsi que les paramètres de fréquence du signal d'alimentation et l'espacement entre les pistes et la permittivité du diélectrique sur l'évolution des paramètres du diagramme équivalent. Dans cette analyse, nous avons basé notre système sur deux lignes de transmission parallèles. Cela correspond à 2 lignes d'un bus de

circuit intégré interne de  $n$  lignes. La configuration à trois lignes est utilisée pour discuter de l'interdépendance des lignes de transmission à deux lignes.

En ce qui concerne les paramètres du diagramme équivalent, nous avons noté une augmentation significative pour la capacité d'interconnexion avec l'augmentation de la fréquence d'alimentation et de la permittivité du substrat, ce qui nous laisse comprendre pour des fréquences de l'ordre de gigahertz et pour des valeurs de permittivité plus grande les interférences entre piste sont importantes. Afin de remédier à ces interférences nous avons associé l'augmentation de la distance entre les pistes, afin de localiser une épaisseur de couche optimale correspondant à l'épaisseur pour laquelle le rapport de piste de capacité douteuse est le plus bas. L'impédance par unité de longueur est calculée afin d'estimer les pertes et de définir l'amplitude limite du signal numérique utilisé. L'effet des interactions électromagnétique dans les interconnexions a été constaté.

Pour conclure ce travail, nous avons proposé le graphène et le nanotube de carbone comme alternative afin d'améliorer les performances des interconnexions. Le graphène peut offrir deux avantages déterminants : la réduction du diamètre des fils de cuivre et l'accélération des transferts des données. Dans notre analyse, nous avons basé notre système sur deux lignes de transmission parallèles en cuivre entourées d'une couche de graphène. On faisant varier la fréquence d'alimentation nous avons constaté que l'effet des interactions électromagnétiques sur les paramètres électriques des interconnexions est moins important avec la présence du graphène. A la fin de ce manuscrit une étude comparative a été effectuée lors de calcul des résistances de radiation, entre une structure d'interconnexion en cuivre et une autre en nanotube de carbone, on constate que en introduisant le nanotube de carbone la radiation des interconnexions est diminué cela est due aux électrons qui peuvent circuler à travers le nanotube de carbone aussi bien qu'ils le font à travers les fils de cuivre.

Cette thèse a permis de constater les effets parasites dans les lignes d'interconnexion au sein de circuits intégrés, et de faire un constat sur l'évolution des paramètres CEM. Les résultats sont jugés conformes à la littérature et encourageants pour d'autres études sur la séparation diélectrique. Cependant il reste de travail à faire comme l'amélioration de modèle mathématique pour le calcul des paramètres des lignes d'interconnexion. Proposer un nouveau model qui introduit le facteur d'humidité et de température pour plus de précision. Validation avec des simulations 3D, et d'un bon d'essais expérimental sont nécessaire, et le plus important c'est de trouver un moyen pour synthétisé le graphène sur le cuivre. Nous pensons que l'approche défendue dans cette thèse ouvre probablement la voie à des perfectionnements futurs des simulateurs des lignes d'interconnexions exposées aux effets des champs électromagnétiques hautes fréquences.

# Bibliographie

- [1] M. S. Ullah and M. H. Chowdhury, “Analytical models of high-speed rlc interconnect delay for complex and real poles,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 6, pp. 1831–1841, 2017.
- [2] A. Roy, J. Xu, and M. H. Chowdhury, “Analysis of the impacts of signal slew and skew on the behavior of coupled rlc interconnects for different switching patterns,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 18, no. 2, pp. 338–342, 2010.
- [3] S. M. Musa and M. N. O. Sadiku, “Application of the finite element method in calculating the capacitance and inductance of multiconductor transmission lines,” in *IEEE SoutheastCon 2008*, pp. 300–304, 2008.
- [4] J. Guo, F. Rachidi, S. V. Tkachenko, and Y. Xie, “Calculation of high-frequency electromagnetic field coupling to overhead transmission line above a lossy ground and terminated with a nonlinear load,” *IEEE Transactions on Antennas and Propagation*, vol. 67, no. 6, pp. 4119–4132, 2019.
- [5] J. Guo, Y. Xie, and F. Rachidi, “Modeling of emp coupling to lossless mtls in time domain based on analytical gauss-seidel iteration technique,” in *2018 IEEE International Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symposium on Electromagnetic Compatibility (EMC/APEMC)*, pp. 897–902, 2018.
- [6] E. Sicard and A. Boyer, “Enhancing engineers skills in emc of integrated circuits : A practical experience using ic-emc,” in *2011 8th Workshop on Electromagnetic Compatibility of Integrated Circuits*, pp. 115–118, 2011.
- [7] Y. Bacher, N. Froidevaux, P. Dupre, H. Braquet, and G. Jacquemod, “Resonance analysis for emc improvement in integrated circuits,” in *2015 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, pp. 56–60, 2015.
- [8] R. Ianconescu and V. Vulfin, “Free space tem transmission lines radiation losses model,” *arXiv : Classical Physics*, 2016.
- [9] A. Boyer, E. Sicard, and S. Ben Dhia, “Ic-emc, a demonstration freeware for predicting electromagnetic compatibility of integrated circuits,” in *2008 Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility*, pp. 16–19, 2008.
- [10] Yaowu Liu, Kang Lan, and K. K. Mei, “Capacitance extraction for electrostatic multiconductor problems by on surface mei,” *IEEE Transactions on Advanced Packaging*, vol. 23, no. 3, pp. 489–494, 2000.
- [11] J. Guo and Y. Xie, “An efficient model of transient electromagnetic field coupling to multiconductor transmission lines based on analytical iterative technique in time domain,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 6, pp. 2663–2673, 2018.

- [12] N. Zhao, Y. Zhong, W. Dong, M. L. Huang, H. T. Ma, and C. P. Wong, "Formation of highly preferred orientation of b,sn grains in solidified cusnagcucu micro interconnects under temperature gradient effect," *Applied Physics Letters*, vol. 110, no. 9, p. 093504, 2017.
- [13] S. Land, M. Ramdani, and R. Perdriau, "Dominant coupling mechanism for integrated circuit immunity of soic packages up to 10 ghz," *IEEE Transactions on Electromagnetic Compatibility*, vol. 60, no. 4, pp. 965–970, 2018.
- [14] V. R. Kumar, M. K. Majumder, A. Alam, N. R. Kukkam, and B. K. Kaushik, "Stability and delay analysis of multi-layered gnr and multi-walled cnt interconnects," *Journal of Computational Electronics*, vol. 14, no. 2, pp. 611–618, 2015.
- [15] J. Sketoe, "Integrated circuit electromagnetic immunity handbook," *NASA STI/Recon Technical Report N*, p. 01886, 07 2000.
- [16] G. E. Moore, "Cramming more components on to integrated circuits, reprinted from electronics, volume 38, number 8, april 19, 1965, pp.114 ff.," *IEEE Solid-State Circuits Society Newsletter*, vol. 11, no. 3, pp. 33–35, 2006.
- [17] P. Gargini, "The international technology roadmap for semiconductors (itrs) : "past, present and future",," in *GaAs IC Symposium. IEEE Gallium Arsenide Integrated Circuits Symposium. 22nd Annual Technical Digest 2000. (Cat. No.00CH37084)*, pp. 3–5, 2000.
- [18] M. P. Robinson, T. M. Benson, C. Christopoulos, J. F. Dawson, M. D. Ganley, A. C. Marvin, S. J. Porter, D. W. P. Thomas, and J. D. Turner, "Effect of logic family on radiated emissions from digital circuits," *IEEE Transactions on Electromagnetic Compatibility*, vol. 40, no. 3, pp. 288–293, 1998.
- [19] M. Camp and H. Garbe, "Susceptibility of personal computer systems to fast transient electromagnetic pulses," *IEEE Transactions on Electromagnetic Compatibility*, vol. 48, no. 4, pp. 829–833, 2006.
- [20] F. Mendoza-Hernandez, M. Linares, and V. H. Champac, "The noise immunity of dynamic digital circuits with technology scaling," in *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, vol. 2, pp. II–493, 2004.
- [21] A. Engel, H. Astrain, J. Cagle, S. Ledford, and M. Mahalingam, "A tem-cell based method for radiative susceptibility characterization of low-power microcontrollers," in *Proceedings of Symposium on Electromagnetic Compatibility*, pp. 76–81, 1996.
- [22] J. V. G.L.BOINET, "L'avion tout électrique s'aligne sur la piste," octobre 2006.
- [23] N. Lorraine, "Normes de compatibilité électromagnétique (cem)," *Cahiers de notes documentaires-Hygiène et sécurité du travail-N*, vol. 181, no. 4e, 2000.
- [24] R. Klein, "Normes de compatibilité électromagnétique (cem) : Leur mise en oeuvre lors de la validation du niveau de sécurité des systèmes électroniques," *Les Cahiers de notes documentaires-Institut national de sécurité*, no. 181, pp. 55–62, 2000.
- [25] A. Boyer and S. B. Dhia, "Rapport d'évaluation de l'évolution des contraintes de compatibilité électromagnétique pour les technologies avancées. rapport cnes action r-s07," tech. rep., MT 4-0004-062, Decembre, 2007.
- [26] M. Ramdani, E. Sicard, A. Boyer, S. B. Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, and O. Wada, "The electromagnetic compatibility of integrated circuits—past, present, and future," *IEEE Transactions on Electromagnetic Compatibility*, vol. 51, no. 1, pp. 78–100, 2009.

- [27] A. Richelli, L. Colalongo, M. Quarantelli, and Z. M. Vajna, "Robust design of low emi susceptibility cmos op-amp," *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, May 2004.
- [28] S. Baffreau, S. Bendhia, M. Ramdani, and E. Sicard, "Characterisation of microcontroller susceptibility to radio frequency interference," in *Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuits and Systems (Cat. No.02TH8611)*, pp. I031–I031, 2002.
- [29] T. Steinecke, W. John, H. Koehne, and M. Schmidt, "Emc modeling and simulation on chiplevel," in *International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1191–1196, 2001.
- [30] J. Nozick, *Guide du câblage universel*. Eyrolles, 2004.
- [31] A. Boyer, "Prédire la susceptibilité des circuits aux agressions électromagnétiques," *Electronique*, vol. 189, March 2008.
- [32] O. Maurice, "Méthode de caractérisation de la susceptibilité des composants électroniques logiques aux impulsions sinusoïdales entre 0.1 et 4ghz," *Mémoire d'ingénieur CNAM, Paris*, 1995.
- [33] M. H. V. Deniau and J. Rioult, "La cellule tem tridimensionnelle : un nouveau moyen d'essai pour les tests cem en basse fréquence," *Journée scientifique du CNFRS/URSI*, 2004.
- [34] Cocquerelle and J. Louis, *CEM et électronique de puissance*, vol. 10. Editions TECHNIP, 1999.
- [35] S. Dabral and T. J. Maloney, "Basic esd and i/o design edition," *Wiley Interscience*, 2005.
- [36] A. Guillaume, "Evaluation de la robustesse de circuits intégrés vis à vis des décharges électrostatiques," *Wiley Interscience*, vol. 46, May 2005.
- [37] A. Guillaume, *Evaluation de la robustesse de circuits intégrés vis à vis des décharges électrostatiques*. PhD thesis, INSA de Lyon, september 2002.
- [38] ITRS, *The International Technology Roadmap for Semiconductors*, 2005.
- [39] A. Z. H. Wang, "On-chip esd protection for integrated circuits," *Kluxer Academic Publishers Edition*, 2002.
- [40] E. Lamoureux, *Etude de la Susceptibilité des Circuits Intégrés Numériques aux Agressions Hyper fréquences*. PhD thesis, INSA de Toulouse, January 2006.
- [41] J. Meindl, Q. Chen, and J. A. Davis, "Limits on silicon nanoelectronics for terascale integration.," *Science*, vol. 293 5537, pp. 2044–9, 2001.
- [42] S. Millman, *A history of engineering and science in the bell system*. Prepared by Members of the Technical Staff, AT-T Bell Laboratories, 1983.
- [43] E. Braun and S. MacDonald, *Revolution in miniature : The history and impact of semiconductor electronics*. Cambridge University Press, 1982.
- [44] L.berlin, "the man behind the microchip," tech. rep., oxford university press, New York, 2005.
- [45] C. Lécuyer, "Making silicon valey," tech. rep., MIT press, Cambrege, 2005.
- [46] M. Riordan and L. Hoddeson's, "Transistorized," 1998.
- [47] R. Tummala, "Fundamentals of microsystems packaging," *McGraw-Hill*, 2001.
- [48] H. B. Backoglu, "Circuits, interconnections and packaging for vlsi," *Addison-Wesley*, 1990.

- [49] R. K. Ulrich and W. D. Brown, "Advanced electronic packaging."
- [50] R. Fillion, C. Woychik, T. Zhang, and D. Bitting, "Embedded chip build-up using fine line interconnect," in *2007 Proceedings 57th Electronic Components and Technology Conference*, pp. 49–53, 2007.
- [51] R. R. Tummala, "Sop : what is it and why ? a new microsystem integration technology paradigm moore's law for system integration of miniaturized convergent systems of the next decade," *IEEE Transactions on Advanced Packaging*, vol. 27, no. 2, p. 241–249, 2004.
- [52] ITRS, "International technology roadmap for semiconductors," October 2011.
- [53] G. E. Moore, "Cramming more components onto integrated circuits," *Proceedings of the IEEE*, vol. 86, no. 1, pp. 82–85, 1998.
- [54] S. Borkar, "Design challenges of technology scaling," *IEEE Micro*, vol. 19, no. 4, pp. 23–29, 1999.
- [55] D. William, J. Poulton, and W. John, *Digital systems engineering*. Cambridge university press, 1998.
- [56] M. Barni and F. Bartolini, *Watermarking systems engineering enabling digital assets security and other applications*. Crc Press, 2004.
- [57] V. V. Zhirnov, R. K. Cavin, J. A. Hutchby, and G. I. Bourianoff, "Limits to binary logic switch scaling - a gedanken model," *Proceedings of the IEEE*, vol. 91, no. 11, pp. 1934–1939, 2003.
- [58] E. F. Rent, "Memorandum to file, subject microminiature packaging logic block to pin ratio, 1960," *IEEE Solid State Circuits Magazine*, vol. 2, no. 1, pp. 40–41, 2010.
- [59] T. Sakurai, "Superconnect technology," *IEICE Transactions on Electronics*, vol. E84C, pp. 1709–1716, 12 2001.
- [60] C. Bermond, B. Flechet, V. Arnal, A. Farcy, J. Torres, Y. Morand, G. Le Carval, F. Charlet, and G. Angenieux, "Characterization and simulation of signal propagation and cross-talk on advanced cu sio/sub 2/ on chip interconnects for high speed circuits," in *Proceedings of the IEEE 2001 International Interconnect Technology Conference*, pp. 104–106, 2001.
- [61] V. Arnal, J. Torres, P. Gayet, M. Haond, C. Vérove, B. Descouts, and P. Spinelli, "A novel sio<sub>2</sub> air gap low k for copper dual damascene interconnect," in *Advanced Metallization Conference*, pp. 71–86, 2000.
- [62] C. Hu, K. P. Rodbell, T. D. Sullivan, K. Y. Lee, and D. P. Bouldin, "Electromigration and stress induced voiding in fine al and al alloy thin film lines," *IBM Journal of Research and Development*, vol. 39, no. 4, pp. 465–497, 1995.
- [63] C.-K. Hu, "Electromigration failure mechanisms in bamboo grained al (cu) interconnections," *Thin solid films*, vol. 260, no. 1, pp. 124–134, 1995.
- [64] C.K.Hu and R. Rosenberg, "Capping layer effects on electromigration in narrow cu lines," *international workshop on stress-induced phenomena in metallization ; Austin, TX (United States), American Institute of Physics ; Country of input : International Atomic Energy Agency (IAEA)*, vol. 741, pp. 97–111, june 2004.
- [65] E. Barke, "Line to ground capacitance calculation for vlsi : a comparison," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 7, no. 2, pp. 295–298, 1988.

- [66] M. Lee, "A multilevel parasitic interconnect capacitance modeling and extraction for reliable vlsi on-chip clock delay evaluation," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 4, pp. 657–661, 1998.
- [67] R. H. Havemann and J. A. Hutchby, "High-performance interconnects : an integration overview," *Proceedings of the IEEE*, vol. 89, no. 5, pp. 586–601, 2001.
- [68] A. Farcy, O. Cueto, B. Blampey, V. Arnal, L. G. Gosset, W. F. A. Besling, S. Chhun, T. Lacrevez, C. Bermond, B. Flechet, O. Rousire, F. de Crecy, G. Angenieux, and J. Torres, "Optimization of signal propagation performances in interconnects of the 45 nm node by exhaustive analysis of the technological parameters impact," in *Proceedings of the IEEE 2005 International Interconnect Technology Conference, 2005.*, pp. 74–76, 2005.
- [69] Y. I. Ismail, E. G. Friedman, and J. L. Neves, "Figures of merit to characterize the importance of on chip inductance," in *Proceedings 1998 Design and Automation Conference. 35th DAC*, pp. 560–565, 1998.
- [70] Y. I. Ismail, E. G. Friedman, and J. L. Neves, "Exploiting the on chip inductance in high speed clock distribution networks," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 9, no. 6, pp. 963–973, 2001.
- [71] D. Sylvester and K. Keutzer, "A global wiring paradigm for deep submicron design," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 19, no. 2, pp. 242–252, 2000.
- [72] E. T. Ogawa, K. Lee, H. Matsushashi, K. . Ko, P. R. Justison, A. N. Ramamurthi, A. J. Bierwag, P. S. Ho, V. A. Blaschke, and R. H. Havemann, "Statistics of electromigration early failures in cu/oxide dual damascene interconnects," in *2001 IEEE International Reliability Physics Symposium Proceedings. 39th Annual (Cat. No.00CH37167)*, pp. 341–349, 2001.
- [73] S. P. H.Riege, *New methodologies for interconnect reliability assessments of integrated circuits*. PhD thesis, Massachusetts Institute of Technology, 2000.
- [74] S. J. Souri and K. C. Saraswat, "Interconnect performance modeling for 3d integrated circuits with multiple si layers," in *Proceedings of the IEEE 1999 International Interconnect Technology Conference*, pp. 24–26, 1999.
- [75] G. W. Neudeck, "Three dimensional cmos integration," *IEEE Circuits and Devices Magazine*, vol. 6, no. 5, pp. 32–38, 1990.
- [76] R. Simon, W.R.John, and V. Theodore, *Fields and waves in communication electronics*. John Wiley and Sons, 1994.
- [77] E. Terry and S. Michael, *Foundations for microstrip circuit design*. John Wiley and Sons, 2016.
- [78] D. Grieg and H. Engelmann, "Microstrip a new transmission technique for the kilomegacycle range," *Proceedings of the IRE*, vol. 40, no. 12, pp. 1644–1650, 1952.
- [79] H.J.Shen and L. Michael, *Microstrip filters for RF microwave applications*, vol. 167. John Wiley and Sons, 2004.
- [80] B. C. Wadell, *Transmission line design handbook*. Artech House, 1991.
- [81] R. Simons and R. N. Simons, *Coplanar waveguide circuits, components, and systems*, vol. 15. Wiley Online Library, 2001.

- [82] Lin and M.S, “Measured capacitance coefficients of multiconductor microstrip lines with small dimensions,” *IEEE transactions on components, hybrids, and manufacturing technology*, vol. 13, no. 4, pp. 1050–1054, 1990.
- [83] F. Y. Chang, “Transient analysis of lossless coupled transmission lines in a nonhomogeneous dielectric medium,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 18, no. 9, pp. 616–626, 1970.
- [84] Z.-Q. Ning, P. M. Dewilde, and F. L. Neerhoff, “Capacitance coefficients for vlsi multilevel metallization lines,” *IEEE Transactions on Electron Devices*, vol. 34, no. 3, pp. 644–649, 1987.
- [85] C. D. Taylor, G. N. Elkhouri, and T. E. Wade, “On the parasitic capacitances of multilevel parallel metallization lines,” *IEEE transactions on electron devices*, vol. 32, no. 11, pp. 2408–2414, 1985.
- [86] S. Charruau, “Electromagnétisme et interconnexions(ouls théoriques avancés pour simulations informatiques),” *Sciences en actes*.
- [87] H. Mbitsi, *Synthèse de nanotubes de carbone pour l’obtention de vias d’interconnexions électriques et de drains thermiques*. PhD thesis, 2010.
- [88] O. Zienkiewicz and P. Morice, *The finite element method in engineering science*, vol. 1977. McGraw Hill London, 1971.
- [89] M. Friswell and J. E. Mottershead, *Finite element model updating in structural dynamics*, vol. 38. Springer Science and Business Media, 2013.
- [90] L. Belhimer, A. Benfdila, and A. Lakhlef, “Investigation on em radiations from interconnects in integrated circuits,” *Telkomnika*, vol. 18, no. 1, pp. 301–310, 2020.
- [91] H. Ymeri, B. Nauwelaers, K. Maex, S. Vandenberghe, and D. De Roest, “New analytic expressions for mutual inductance and resistance of coupled interconnects on lossy silicon substrate,” in *2001 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. Digest of Papers (IEEE Cat. No. 01EX496)*, pp. 192–200, IEEE, 2001.
- [92] P. R. Wallace, “The band theory of graphite,” *Phys. Rev.*, vol. 71, pp. 622–634, May 1947.
- [93] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, “Electric field effect in atomically thin carbon films,” *science*, vol. 306, no. 5696, pp. 666–669, 2004.
- [94] P.-A. Haddad, D. Flandre, and J.-P. Raskin, “Intrinsic rectification in common-gated graphene field-effect transistors,” *Nano energy*, vol. 43, pp. 37–46, 2018.
- [95] C. Haslam, S. Damiati, T. Whitley, P. Davey, E. Ifeachor, and S. A. Awan, “Chemical vapour deposition graphene field-effect transistors for detection of human chorionic gonadotropin cancer risk biomarker,” 2018.
- [96] L. B. Felsen and N. Marcuvitz, *Radiation and scattering of waves*, vol. 31. John Wiley and Sons, 1994.
- [97] R. Ianconescu and V. Vulfin, “Free space tem transmission lines radiation losses model,” *arXiv preprint arXiv :1701.04878*, 2017.
- [98] C. Walter, *Traveling Wave Antennas*. McGraw-Hill electronic science series, McGraw-Hill, 1965.
- [99] A. Oberlin, M. Endo, and T. Koyama, “Filamentous growth of carbon through benzene decomposition,” *Journal of crystal growth*, vol. 32, no. 3, pp. 335–349, 1976.

- [100] L. Radushkevich and V. Lukyanovich, "About the carbon structure, thermal co decomposition on metal contact synthesized," *J. Phys. Chem. Russia*, vol. 26, pp. 88–95, 1952.
- [101] Duarte, H. A, Louren, M. P, Heine, Thomas, Guimaraes, and Luciana, "Clay mineral nanotubes : stability, structure and properties," *Stoichiometry and Materials Science-When Numbers Matter*, vol. 11, 2012.
- [102] Iijima, Sumio, Ichihashi, and Toshinari, "Single-shell carbon nanotubes of 1-nm diameter," *nature*, vol. 363, no. 6430, pp. 603–605, 1993.
- [103] B. P. Yu and Z. R. C, "Carbon nanotubes for rf and microwaves," in *European Gallium Arsenide and Other Semiconductor Application Symposium, GAAS 2005*, pp. 1–4, IEEE, 2005.
- [104] Z. Min, H. Xiao, C. P. CH.Liang, and Q. T. ZK, "Radio-frequency transmission properties of carbon nanotubes in a field-effect transistor configuration," *IEEE Electron Device Letters*, vol. 27, no. 8, pp. 668–670, 2006.
- [105] L. Rabieirad and S. Mohammadi, "Single-walled carbon nanotube mixers," in *2006 IEEE MTT-S International Microwave Symposium Digest*, pp. 2055–2058, IEEE, 2006.
- [106] A. Naeemi, G. Huang, and J. D. Meindl, "Performance modeling for carbon nanotube interconnects in on-chip power distribution," in *2007 Proceedings 57th Electronic Components and Technology Conference*, pp. 420–428, IEEE, 2007.
- [107] K. C. Saraswat and F. Mohammadi, "Effect of scaling of interconnections on the time delay of vlsi circuits," *IEEE Transactions on Electron Devices*, vol. 29, no. 4, pp. 645–650, 1982.