

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MOULOU MAMMERI, TIZI-OUZOU
FACULTE DE GENIE ELECTRIQUE ET DE L'INFORMATIQUE
DEPARTEMENT D'ELECTRONIQUE

Mémoire de fin d'études
Présenté en vue de l'obtention
du Diplôme d'Ingénieur d'Etat en Electronique

Option :Communication

Thème:
Etude de circuit ADF4108 ET Conception
d'un synthétiseur de fréquence a rapport de
division entier travaillant dans la bande
2.95-3.00GHZ

Proposé : M^r :M. Tahanout
Encadré par :
Mr:Y.AIT Bachir
Mr:M.Tahanout

Réalisé et Présenté :
Rabah Elbache

Promotion 2008

Sommaire

| | |
|-----------------------------------|----------|
| Introduction générale..... | 1 |
|-----------------------------------|----------|

Chapitre I : Généralité

| | |
|--|----|
| I.1. Les oscillateurs | 2 |
| I.1.1.définition d'un système oscillant | 2 |
| I.1.2.Construction des oscillateurs électronique..... | 2 |
| I.1.2.1.Critère d'oscillation de Barkhausen | 3 |
| I.1.2.2.Les différents oscillateurs | 4 |
| I.1.2.2.1.Les oscillateurs à quartz | 4 |
| I.1.2.2.2.L'oscillateur Colpitts et Hartley..... | 4 |
| I.2. Généralités sur les PLL..... | 8 |
| I.2.1.Constitution d'une boucles à verrouillage de phase..... | 10 |
| I.2.1.1.Classification des boucles a verrouillage de phase..... | 10 |
| I.2.1.2.Description des éléments constitutifs de la PLL analogique | 12 |
| I.2.1.2.1.Les oscillateurs contrôlés en tension | 12 |
| I.2.1.2.2.Les comparateurs de phase | 13 |
| I.2.1.2.3. Phasemètre par produit..... | 13 |
| I.2.1.2.4.Détecteur de phase a base de pont de phase..... | 13 |
| I.2.1.2.5.Le détecteur de phase a base de modulateur en anneau | 14 |
| I.2.1.3.Description Des Eléments Constitutifs De La PLL Numérique | 16 |
| I.2.1.3.1.La source de référence..... | 17 |
| I.2.1.3.2.Le comparateur phase fréquence..... | 17 |
| I.2.1.3.3.La pompe de charge..... | 19 |
| I.2.1.3.4.Le filtre de boucle..... | 20 |
| I.2.1.3.5.Le diviseur programmable..... | 21 |

| | |
|---|----|
| I.2.1.3.6. L'oscillateur contrôlé en tension..... | 23 |
| I.2.2.Description qualitative du fonctionnement de la boucle..... | 24 |
| I.2.3.Spécifications de la PLL..... | 25 |
| I.2.3.1.Temps d'établissement..... | 25 |
| I.2.3.2.Stabilité..... | 25 |

Chapitre II : Conception et Dimensionnement D'une PLL à 3 GHZ...

| | |
|---|----|
| II.1.Schéma général | 26 |
| II.2.Description et conception de vco..... | 27 |
| II.2.1.Le gain statique K_V de vco..... | 32 |
| II.3.Description Du Circuit ADF4108..... | 33 |
| II.3.1.Détecteur de phase/fréquence, pompe de charge..... | 33 |
| II.3.2.Le circuit d'entrée de signal de VCO..... | 36 |
| II.3.3.Le circuit d'entrée de signal de référence..... | 37 |
| II.3.4.Diviseur de fréquence de vco..... | 37 |
| II.3.5Diviseur de fréquence de l'oscillateur de référence R | 38 |
| II.4. description des registres de circuit ADF 4108 à 3 GHz | 38 |
| II.4.1.Latch Map De Diviseur De Référence..... | 38 |
| II.4.2.Latch Map Des Compteurs A Et B..... | 40 |
| II.4.3.latch Map De Fonctionnement..... | 41 |

Chapitre III : Application à l'étude du synthétiseur de fréquence

| | |
|--|----|
| III.1. Programmation des registres | 43 |
| III.2.Etude de système dans le domaine fréquentiel | 45 |
| III.2.1.1.Oscillateur local..... | 45 |
| III.2.1.2.Diviseur de fréquence de la référence..... | 46 |
| III.2.1.3.Détecteur de phase..... | 46 |
| III.2.1.4.Filtre de boucle..... | 46 |
| III.2.1.5.Oscillateur contrôle en tension VCO..... | 47 |

| | |
|---|----|
| III.2.1.6.Diviseur de fréquence de VCO..... | 48 |
| III.2.2.Expression des fonctions de transfert de système | 49 |
| III.2.2.1.Fonction de transfert de la chaîne directe | 49 |
| III.2.2.2.Fonction de transfert de la chaîne de retour | 49 |
| III.2.2.3Fonction de transfert en boucle ouverte | 49 |
| III.2.2.4.Fonction de transfert en boucle fermé | 49 |
| III.2.3.Etude de la stabilité de la boucle..... | 50 |
| III.2.4.Calcul des valeurs des composants de filtre..... | 51 |
| III.3.Application..... | 52 |
| III.4.Méthode de programmation..... | 55 |
| III.5.Le schéma détaillé de circuit de synthétiseur de fréquence a rapport de division entier a base de circuit intégré ADF4108 | 55 |
| Conclusion générale..... | |

Introduction générale

Dans le contexte du développement des télécommunications sans fil, un des enjeux majeur concerne l'intégration des fonctions permettant ainsi la réduction de l'encombrement des systèmes et la réduction des coûts de fabrication.

La saturation des bandes de fréquence associées à la mise en place de modulations perfectionnées autorisant d'émettre un maximum d'information dans une bande de fréquence réduite, rendent les spécifications sur les systèmes de communication particulièrement sévères : un des éléments critiques de ces systèmes est l'oscillateur local dont les performances vont déterminer vigoureusement les caractéristiques du système, notamment en terme de sélectivité en fréquence. La fréquence de l'oscillateur local est généralement synthétisée par une boucle à verrouillage de phase (PLL : Phase Locked Loop) qui doit être capable de générer une fréquence possédant une haute pureté spectrale.

L'objectif de ce projet de fin d'étude concerne la conception d'un synthétiseur de fréquence numérique à rapport de division entier travaillant à 3Ghz. Le choix de ce type est motivé par les avantages qu'il procure en termes de stabilité et de sélectivité.

La qualité de la synthèse de fréquence dépend des paramètres qui lui sont appliqués à travers les performances des circuits qui le composent et des architectures retenues pour la conception du système global.

Dans le premier chapitre, nous ferons état des différentes architectures explorées pour la réalisation d'une PLL. Cette première analyse motive notre choix de conception à base de structure de type PLL numérique, pour laquelle nous détaillons les différents modules qui la constituent ainsi que leurs spécifications. Leurs influences sur les performances globales du système avant d'aborder dans le deuxième chapitre le mode d'analyse linéaire continu de la PLL et la stabilité en fréquence sur la base d'une PLL linéarisée. Les compromis résultant de cette étude (entre l'obtention d'un pas de réglage fin et un temps d'établissement court) aboutissent au choix d'une réalisation de synthèse de fréquence à rapport de division entier. Ce qui est détaillé dans le troisième chapitre par une application.

La possibilité de programmer la donnée entière permet de conserver une fréquence de référence élevée afin d'obtenir un temps d'établissement optimum. Cette programmation permet aussi de réduire le pas de réglage en fréquence.

I.1. Oscillateurs

I.1.1. Définition d'un système oscillant

Dans les contextes restreints de la physique et de l'électronique, un système oscillant sera représenté par la présence d'une variable physique (intensité, tension, ...etc.) possédant des propriétés oscillantes.

C'est par cette information générée par le système que l'on repère un système oscillant. Il est capable de produire un signal possédant un mouvement alternatif plus au moins régulier, pendant une durée suffisamment importante pour le considérer comme oscillant. On lui associe alors un intervalle de temps $T=[t_1, t_2]$, au bout duquel les propriétés Physiques $x(t_2)$ à l'instant t_2 sont identiques à celles $x(t_1)$ de l'instant t_1 . cette durée T est appelée période du système :

$$x(t+T) = x(t), \forall t \in [0, T]. \quad (I.1)$$

I.1.2. Construction des oscillateurs électronique

Que ce soient des oscillateurs biologiques, écologiques, mécaniques ou électroniques, leur existence est conditionnée par la présence de deux éléments indispensables : un élément résonnant que l'on appellera résonateur et un système d'entretien avec apport d'énergie que l'on appellera amplificateur. L'apport d'énergie confère à l'amplificateur une propriété d'élément actif, contrairement au caractère passif du résonateur, plutôt demandeur et dissipateur d'énergie.

Dans le cas des oscillateurs électroniques, l'apport d'énergie peut se faire à partir d'un amplificateur opérationnel, ou même plus simplement à partir d'un transistor correctement polarisé. L'élément résonnant est formé d'un résonateur diélectrique dans le cas des oscillateurs à quartz par exemple. Quel que soit l'oscillateur ou le système oscillant, sa condition d'oscillation nécessite la présence d'un processus d'entretien et d'un élément réagissant à cette excitation qui doit satisfaire certaines conditions.

I.1.2.1. Critère d'oscillation de Barkhausen

La condition de base des oscillateurs impose la présence d'un élément actif et d'un élément résonnant. Cette condition constitue un modèle d'oscillateurs électroniques bien connu appelé modèle de Barkhausen.

Considérons l'oscillateur formé des deux éléments R (résonateur) et A (amplificateur). Si l'on suppose R et A caractérisés par une réponse impulsionnelle en amplitude et en phase, il

Vient

$$V_2 = |A| e^{i\phi_A} V_1 \quad (\text{I.2})$$

$$V_4 = |R| e^{i\phi_R} V_2 \quad (\text{I.3})$$

Soit

$$V_4 = |A||R| e^{i(\phi_R + \phi_A)} V_1 \quad (\text{I.4})$$

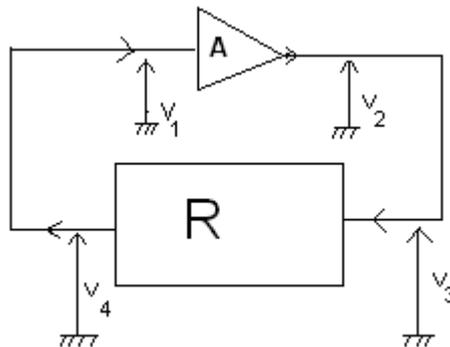


Figure I.1. schéma de base d'un oscillateur.

Le fait d'imposer l'égalité de V_3 et V_1 conduit aux deux conditions d'amplitude et de phase du critère de Barkhausen :

$$|A||R| = 1, \quad (\text{I.5})$$

$$\phi_R + \phi_A = 0 + 2k\pi, \quad k \in \mathbf{Z}. \quad (\text{I.6})$$

Elles imposent un gain total unitaire et une condition de phase nulle dans la boucle. Lorsque le critère est vérifié, il peut y avoir oscillation du signal V_1 .

Si $|A||R| < 1$, les oscillations s'amortissent et on ne peut plus parler d'oscillateur. De même que dans le cas $|A||R| > 1$, les oscillations sont amplifiées et augmentent indéfiniment. En réalité, on se place dans le cas $|A||R| > 1$ pour que le système puisse démarrer, et on s'arrange expérimentalement pour qu'il y ait saturation de l'amplification afin de stopper la croissance.

I.1.2.2. Différents oscillateurs

Dans ce paragraphe, nous allons énumérer quelques phénomènes oscillatoires en dégageant pour chacun d'entre eux, l'équivalent de la condition de phase nulle du critère de Barkhausen. Il ne s'agit pas de traiter l'ensemble de tous les types d'oscillateurs, mais de dégager leurs fonctionnements communs.

I.1.2.2.1. Oscillateurs à quartz

Le quartz est une lame de cristal de silice dont la structure est dissymétrique. Sa compression entraîne un déplacement de ses charges internes (effet piézo-électrique). Sa dissymétrie induit l'apparition de charge électrique à sa surface. A l'aide d'une contre-réaction, il est possible de créer un mode (mécanique, électrique) oscillant. Les fréquences de résonance dépendent de l'arrangement cristallin du cristal, de sa coupe et de sa taille. Plus sa taille diminue, plus la fréquence d'oscillation n'est élevée. Ses oscillations sont stables et précises. C'est la raison pour laquelle les oscillateurs à quartz ont été vite adoptés par l'horlogerie. Ils constituent également aujourd'hui l'essentiel des horloges de référence des circuits électroniques grâce à leur bonne performance en bruit de phase.

I.1.2.2.2. Circuit électrique équivalent

Le schéma électrique équivalent d'un quartz comporte d'une part le circuit série RLC dû à l'effet piézoélectrique, d'autre part une capacité C' branchée en parallèle, qui tient compte de la capacité des fils de liaison et de la capacité d'entrée de l'élément actif branché aux

bornes du quartz. Soit : $C' = C_f + C_e$ pour le calcul de l'impédance équivalente, on néglige la résistance R qui est très petite.

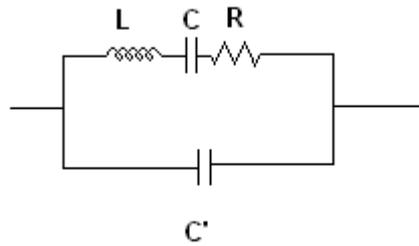


Figure. I.2. circuit équivalent d'un quartz.

$$\frac{1}{Z} = \frac{1}{jL\omega + \frac{1}{jC\omega}} + jC'\omega \quad (\text{I.7})$$

$$Z = \frac{(L\omega - \frac{1}{C\omega}) \frac{1}{C'\omega}}{j(L\omega - \frac{1}{C\omega} - \frac{1}{C'\omega})} = \frac{(\omega^2 - \frac{1}{LC}) \frac{1}{C'\omega}}{j(\omega^2 - \frac{1}{L} \frac{C+C'}{CC'})} = jx \quad (\text{I.8})$$

$\omega_s = \frac{1}{\sqrt{LC}}$, la réactance est nulle (ω_s pulsation de résonance série)

$\omega_p = \frac{1}{\sqrt{LC_0}}$, la réactance est infinie (ω_p pulsation de résonance parallèle)

$$\text{Avec } C_0 = \frac{CC'}{C+C'} \quad , \quad \omega_s < \omega_p$$

I.1.2.2.2. Oscillateur Colpitts et Hartley

Les deux oscillateurs dérivent du même schéma général, qu'on peut représenter par trois impédances reliées aux électrodes d'un transistor. (C'est l'un des modes dits : cellule en π).

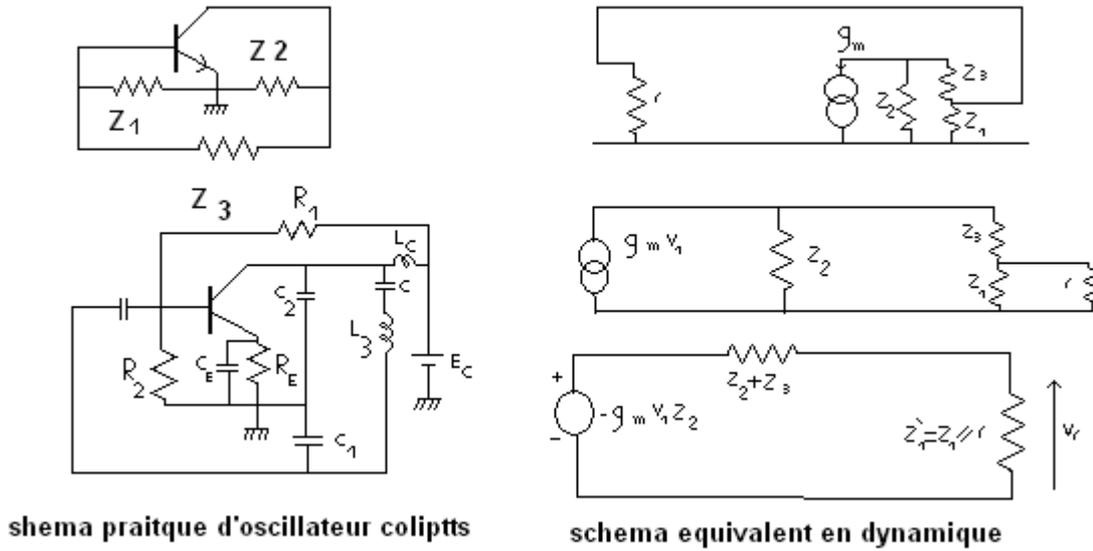


Figure. I.3. Modèle générale de l'oscillateur à circuit résonant à cellule en .

Avec $(h_{21} = 0, h_{22} = 0)$

$$G = \frac{V_r}{V_1} = \frac{-g_m Z_2 Z_1'}{z_2 + z_3 + z_1'} = \frac{-g_m z_1 z_2 r}{(z_2 + z_3)(z_1 + r) + z_1 r} \tag{I.9}$$

Avec $z_1' = z_1 // r$

Si on prend les impédances z_1, z_2, z_3 comme des éléments purs (inductance ou capacités), on aura $z_1 = jx_1, z_2 = jx_2, z_3 = jx_3$.

On obtient
$$G = \frac{g_m x_1 x_2 r}{-(x_2 + x_3)x_1 + jr(x_1 + x_2 + x_3)} \tag{I.10}$$

La première condition pour que le système puisse osciller est la phase nul (la partie Imaginaire), d'où :

$$x_1 + x_2 + x_3 = 0 \tag{I.11}$$

La deuxième condition est que le module de G soit supérieur à l'unité :

$$G = \frac{g_m x_2 r}{x_1} \geq 1 \quad \text{Avec } \frac{x_2}{x_1} > 1 \quad (\text{I.12})$$

La deuxième (I.12) condition nous montre que les deux réactances sont de même signe, et d'après la première condition : $x_3 = -(x_1 + x_2)$ on a deux solutions possibles.

- Soit x_1 et x_2 sont des inductances (signe positives) et x_3 est alors une capacité (signe négative), c'est le montage Hartley.
- Soit x_1 et x_2 sont des capacités et x_3 est alors une inductance, c'est le montage Colpitts.

A base de ces oscillateurs de référence on peut concevoir des systèmes de synthèse de fréquence. C'est le cas des boucles à verrouillage de phase (PLL). L'intérêt de tels systèmes est de pouvoir comparer périodiquement la phase et la fréquence de sortie à celles du signal de référence et donc d'améliorer les performances en bruit de phase du signal de sortie.

I.2. Généralités sur les PLL

Outre les asservissements de phase réalisés par la Nature, l'Homme a créé ses propres asservissements de phase à des fins multiples. La réalisation électronique d'un asservissement de phase par rétroaction est appelée une boucle à verrouillage de phase. L'utilisation des boucles à verrouillage de phase, que l'on notera PLL (en anglais : *Phase Locked Loop*) par la suite. Les PLL sont tellement répandues de nos jours qu'un foyer occidental moyen comporte au moins une dizaine d'exemplaires de ce circuit (au moins deux exemplaires dans un téléviseur, quatre dans un ordinateur, une dans une radio, une dans un téléphone, une dans une télécommande,Etc.

Une des premières observations scientifiques du phénomène de synchronisation a été celle de Huygens en 1673 qui a observé la synchronisation de deux horloges à balancier.

Les premières études systématiques avec une réalisation électronique d'un asservissement de phase semblent être celle d'Appleton en 1922, et de van der Pol en 1927, qui ont montré que l'on pouvait asservir la phase d'un oscillateur à triodes au moyen d'un signal de fréquence légèrement différent.

La première description connue d'une PLL par rétroaction est publiée par l'ingénieur français de Bellescize en 1932 à propos de la réception synchrone de signaux radio. L'ingénieur de Bellescize proposait un asservissement de phase dans le but de reconstruire la porteuse d'un signal modulé en amplitude pour opérer à la réception de ce signal.

Ce principe de réception dit hétérodyne a été en un premier temps délaissé, car trop complexe, au profit de la réception synchrone pendant quelques années. La réception hétérodyne est ensuite devenue incontournable avec le besoin d'accroître les performances et avec la réduction des coûts apportée par l'électronique intégrée.

La première utilisation intensive de la PLL a été la synchronisation horizontale et verticale des balayages des postes de télévision. Le départ du balayage de chaque ligne et celui de chaque demi-trame d'une image télévisée est donné par une impulsion dans le signal vidéo.

Une méthode directe pour construire le balayage du tube de télévision consiste à faire partir une trame de balayage dès l'apparition d'une impulsion. Mais cette méthode étant très sensible à l'absence d'impulsion et aux bruits. L'utilisation de deux oscillateurs libres synchronisés sur les impulsions du signal vidéo a été mise en oeuvre en utilisant le verrouillage de phase.

Ceci permet d'obtenir un balayage en l'absence d'impulsion et surtout de rejeter l'effet du bruit sur le déclenchement des trames provoquant des tremblements de l'image et une mauvaise résolution.

Les vols spatiaux ont apporté des contraintes fortes sur les circuits de télécommunication : faible puissance des signaux porteurs (10mW) et donc fort rapport signal-bruit, mais aussi un déplacement de la fréquence porteuse dû à la dérive en température des oscillateurs embarqués et à l'effet Doppler lié au déplacement des satellites.

Ces exigences ont inspiré d'énormes progrès dans la maîtrise des PLL et ont étendu les domaines d'application :

- les transpondeurs qui localisent et identifient le véhicule dans lequel ils sont embarqués en renvoyant le signal d'un radar en multipliant sa fréquence par un rapport n/m identifiant l'appareil.
- les modulateurs et démodulateurs de fréquence utilisés principalement dans les télécommunications.
- les onduleurs générant la commande des machines asynchrones, et la synchronisation d'un alternateur sur le réseau électrique.
- les multiplieurs et diviseurs de fréquences.
- la synchronisation des transmissions digitales utilisées notamment dans les transmissions NRZ3, les réseaux ethernet, le stockage sur support magnétique ou optique, les télécommandes,etc.
- les générateurs de fréquences dans les téléphones à fréquence vocale, les synthétiseurs musicaux.
- les générateurs d'horloge pour les microprocesseurs et leurs périphériques.
- les convertisseurs tension-fréquence et fréquence-tension.

De toutes ces applications se sont dégagées un nombre important de solutions, donnant naissance à des types de PLL qui diffèrent selon les signaux traités et la réalisation de chacune des parties qui les composent.

I.2.1. Constitution d'une boucle à verrouillage de phase

Bien qu'il y ait de nombreuses manières de réaliser la PLL, sa structure globale, présentée dans la fig. I.4, n'évolue pas. Une PLL est constituée des trois blocs suivants :

- un Détecteur de Phase ou un Détecteur de Phase-Fréquence fournissant une information sur l'erreur de phase entre le signal d'entrée V_{ref} et le signal bouclé V_b , cette information dépend aussi de l'erreur de fréquence dans le cas du PFD.
- un Filtre Passe-Bas chargé de filtrer les perturbations, stabiliser la boucle et lisser la tension V_{VCO} transmise à l'oscillateur contrôlé en tension.
- un Oscillateur Contrôlé en Tension ou un Oscillateur Contrôlé Numériquement qui délivre un signal de fréquence instantanée directement proportionnelle à la tension d'entrée.

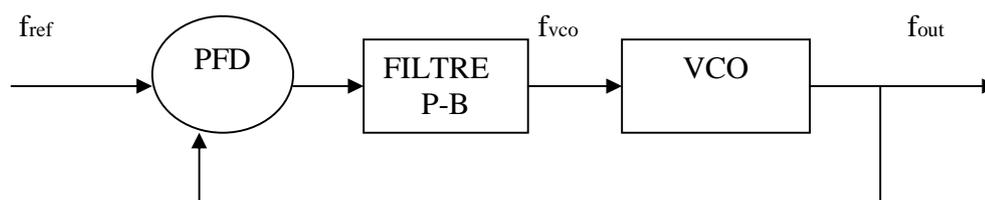


Figure I.4. schéma de principe d'une PLL

I.2.1.1. Classification des boucles à verrouillage de phase

De la littérature concernant les PLL se dégage un grand nombre d'appellations ne désignant parfois pas le même système.

Globalement, une classification est utilisée implicitement distinguant les différents types de PLL selon :

- le type de DFP, pouvant être un détecteur échantillonneur, multiplieur, séquentiel ou logique.
- le type d'oscillateur, contrôlé par une commande numérique ou analogique.

Le type de filtre utilisé pouvant être déduit de la nature du DFP et de l'oscillateur, celui-ci n'influence pas en général l'appellation de la PLL. Le tableau 1.1 liste les différents types de PLL les plus courantes ainsi que l'appellation issue de l'anglais.

| Type de détecteur de phase | Type d'oscillateur contrôlé | |
|----------------------------|------------------------------|---|
| | Analogique VCO | Numérique NCO |
| Echantillonneur | S_PLL Sampled PLL | DS_PLL Digital sampled PLL |
| Multiplieur | A_PLL Analog PLL | D_PLL Digital PLL |
| Séquentiel | CP_PLL Charge pump PLL | CUDD_PLL Counting up/Down Digital PLL |
| Logiciel | — | Soft_PLL Software PLL |

Tableau I.1. Les différents PLL

Selon le détecteur de phase on distingue les PLL analogiques, dont le détecteur de phase et l'oscillateur sont analogiques, des PLL semi numérique, dont le détecteur de phase est numérique et l'oscillateur analogique.

Le choix du détecteur de phase dépend principalement des signaux qu'il reçoit.

I.2.1.3. Description Des Eléments Constitutifs De La PLL Numérique

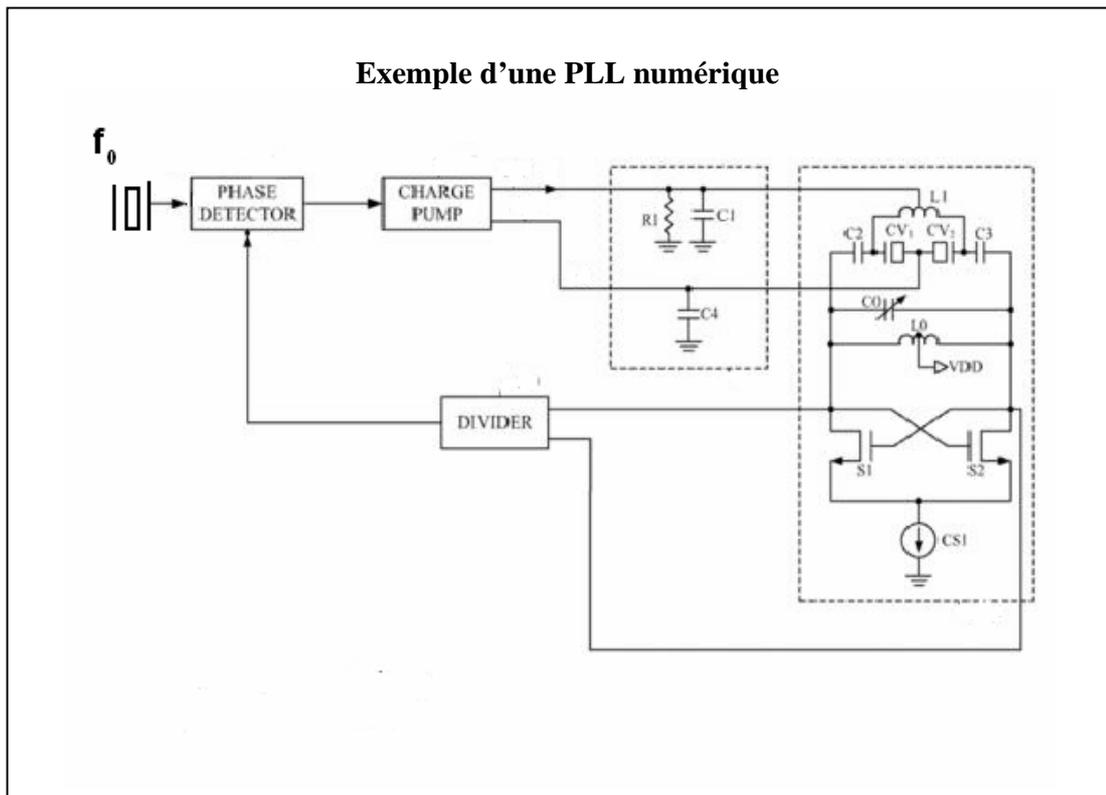


Figure I.9. PLL numérique

Afin de mieux appréhender le fonctionnement du système, il est nécessaire d'identifier le rôle de chacun de ces blocs constitutifs et de confronter les différentes solutions envisageables pour les réaliser. Le schéma de la PLL numérique est rappelé sur la figure I.8.

Elle est représentée ici sous sa forme la plus basique et est constituée d'une source de référence f_0 , d'un PFD numérique et sa pompe de charge, d'un filtre $F(p)$, d'un VCO et d'un diviseur numérique de fréquences. Le fonctionnement de chacun d'eux est décrit ci-après.

I.2.1.3.1. La source de référence

Le signal de référence doit posséder des caractéristiques élevées en termes de stabilité. Il est délivré par un oscillateur à cristal, généralement un quartz. C'est sur cette fréquence de référence que le signal de sortie de la PLL va se synchroniser.

I. 2.1.3.2. Le comparateur phase fréquence (PHASE DETECTOR)

Le détecteur phase fréquence génère un mot de sortie sur 2 bits donnant l'état de comparaison en phase/fréquence de ses deux entrées.

Son mode de fonctionnement est décrit par le diagramme d'état suivant

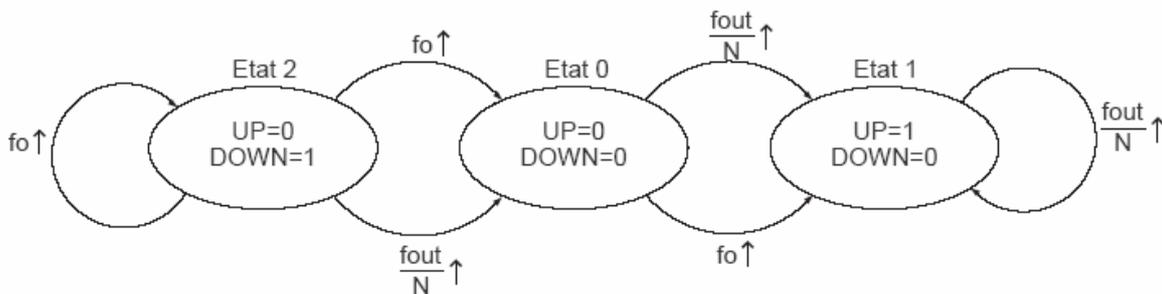


Figure. I.10. le diagramme d'état

UP et DOWN sont les sorties du PFD.

Le circuit réagit sur front, le rapport cyclique des signaux d'entrée n'a donc pas d'importance. Son fonctionnement est le suivant: un front (montant par exemple) sur f_{OUT}/N met la sortie DOWN à 1 (ou le maintien à 1) et remet l'entrée UP à 0 (si elle était à 1 initialement), et inversement pour l'entrée f_o sur les sorties UP et DOWN respectivement.

Aussi, il existe un état interdit, la sortie ne peut donc prendre que trois états, ce type de PFD est aussi appelé PFD à trois états.

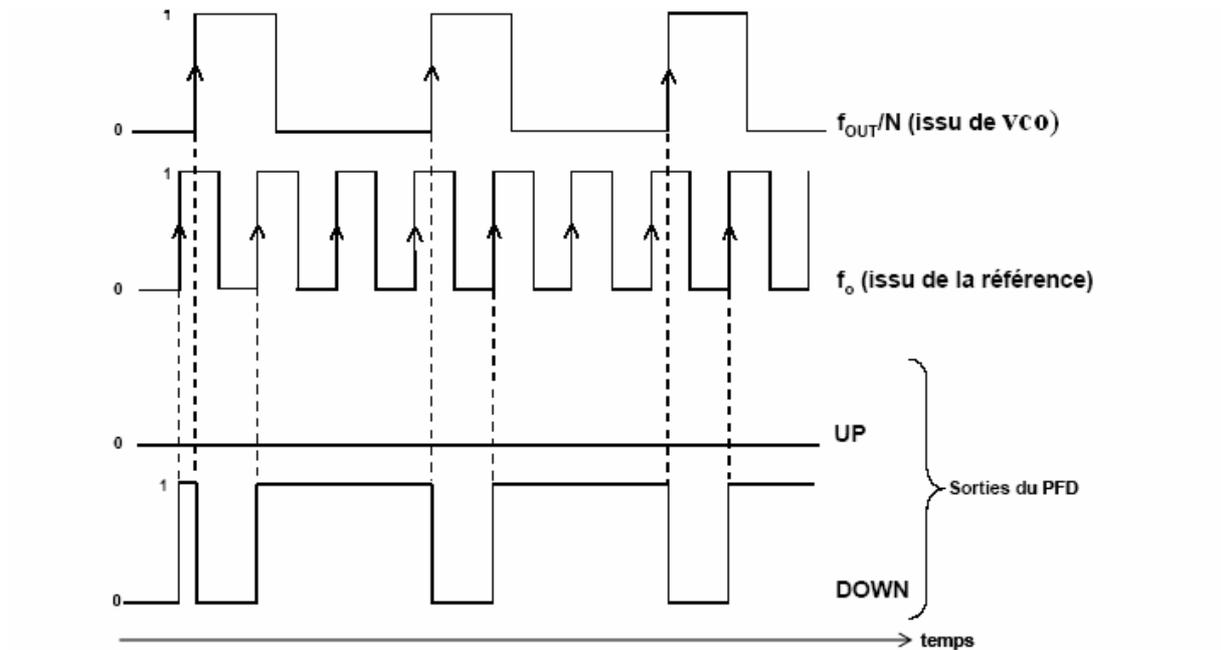


Figure.I.11. Diagramme des temps des entrées et sorties du PFD

Ce système génère donc des impulsions dont les largeurs sont égales à la différence de phase entre les deux entrées. La réalisation de base est la suivante.

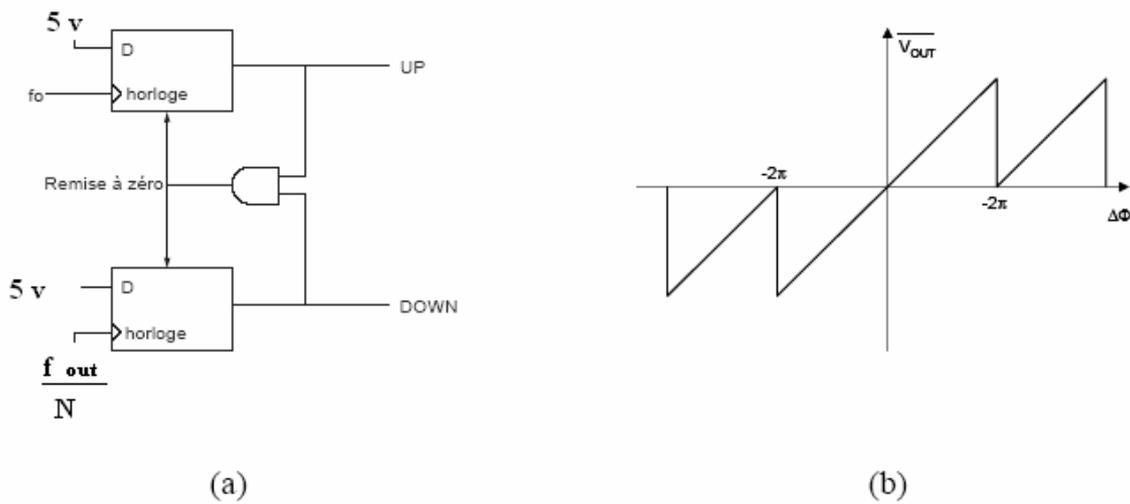


Figure. I.12. Schéma de la réalisation classique (a) et caractéristique idéale (b) du PFD

V_{OUT} Représente la différence moyenne entre les sorties UP et DOWN, et $\Delta\Phi$ représente la différence de phase entre les signaux d'entrées f_{out}/N et f_0 appliqués au PFD.

Cependant, en raison des délais non négligeables des portes logiques au-delà d'une certaine fréquence de fonctionnement, le comportement réel de la PFD n'est pas celui présenté sur le graphe de la figure I.12-b. Le délai introduit par la porte générant le signal de remise à zéro des bascules entraîne l'apparition de l'état interdit (1,1) induits par la présence des pics parasites non négligeables qui apparaissent sur la sortie censée rester à zéro.

Conséquence, il existe une zone morte pour des erreurs de phase proches de zéro pour lesquelles la sortie du PFD est altérée. La correction de phase/fréquence n'est donc pas assurée dans cette zone.

I.2.1.3.3. La pompe de charge (charge pump)

Cet élément est indissociable de l'utilisation d'un PFD trois états dans la PLL. En effet, il convertit l'information en sortie du PFD en un courant image de l'erreur de phase détectée.

Dans un premier temps, la pompe de charge traduit les impulsions en tension issues des sorties UP et DOWN en charge et décharge en courant dans un filtre capacitif de fonction de transfert $F(p)$. Ce dernier réalise une intégration de l'information en courant qui est restituée en information en tension pour commander la tension de contrôle V_{tuning} de v_{co} .

La pompe de charge est réalisée par le contrôle d'une source et d'un puit en courant par des interrupteurs actionnés par les sorties du PFD (figure I.13).

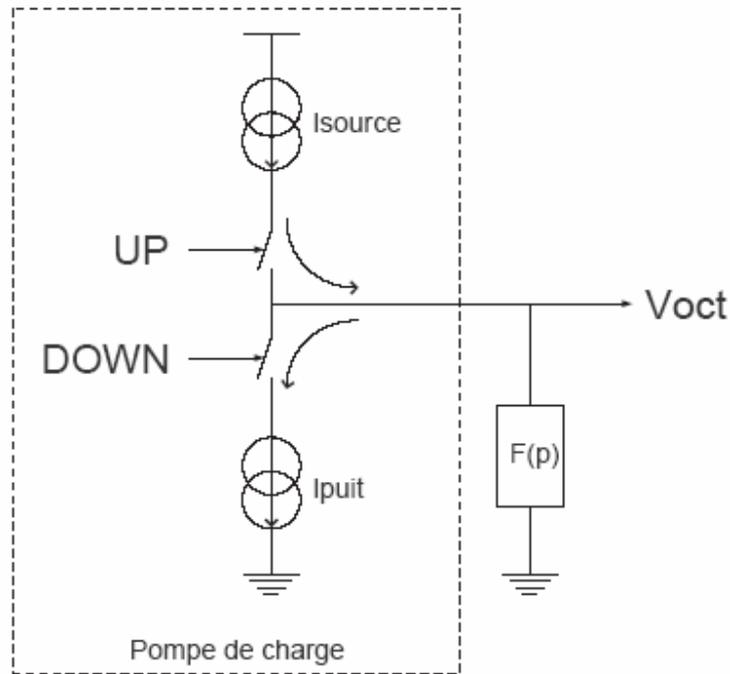


Figure. I.13. Schéma de fonctionnement de la pompe de charge associée au filtre $F(p)$

De manière idéale, le courant de source I_{source} et le courant du puit I_{puit} sont égaux, ce qui n'est pas le cas dans la réalité. Cette dissymétrie crée des pics parasites à la sortie de la PLL.

I.2.1.3.4. Filtre de boucle

Le rôle du filtre de boucle est de réaliser l'intégration du courant délivré par la pompe de charge et de restituer l'information en tension. Ainsi, une simple capacité peut réaliser cette fonction. Cependant, cette solution entraîne une instabilité de la boucle; aussi, une résistance lui est associée afin d'ajouter un pôle dans la fonction de transfert, et permettre ainsi la stabilité. Ceci représente alors la configuration de base du filtre de la PLL numérique. Ce filtre présente cependant le désavantage de créer des sauts de tension à sa sortie dus à la présence de la résistance soumise à la propriété de commutation intermittente du courant issu de la pompe de charge. Des variantes peuvent être appliquées afin de lisser la tension de sortie.

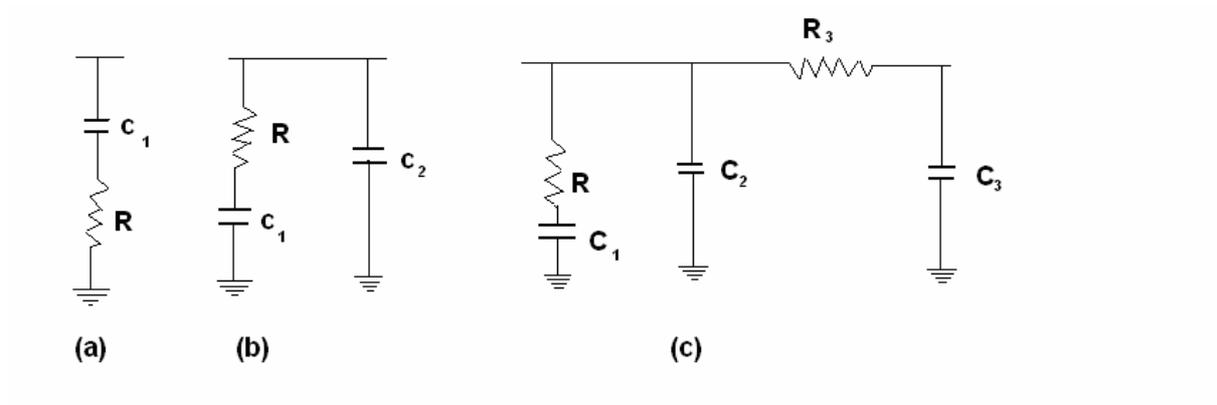


Figure. I.14. filtres de boucle

Les fonctions de transfert

$$(a) \text{ filtre de premier ordre } F(p) = R + \frac{1}{pC_1} \quad (I.24)$$

$$(b) \text{ filtre de deuxième ordre } F(p) = \frac{1 + pRC_1}{p(C_1 + C_2) + p^2 C_1 C_2 R} \quad (I.25)$$

$$(c) \text{ filtre de troisième ordre } F(p) = \frac{1 + RC_1 C_2 p}{p(C_1 + C_2)(1 + p\tau)(1 + pR_3 C_3) + pC_3(1 + pRC_1)} \quad (I.26)$$

$$\text{Avec : } \tau = \frac{RC_1 C_2}{C_1 + C_2}$$

Les filtres sont généralement réalisés en externe au circuit. Le choix du filtre dépend des caractéristiques de la PLL en termes de stabilité, temps d'établissement et bruit de phase.

I.2.1.3.5. Diviseur programmable

Le diviseur programmable est réalisé par un pré-diviseur (appelé aussi prescaler) à taux de division commutant entre les valeurs P et (P+1) et fonctionnant à haute fréquence (à la fréquence de VCO). Celui-ci est contrôlé par deux compteurs programmables fonctionnant à basse fréquence (à la fréquence de VCO divisée par P ou (P+1)). Aussi, le pré-diviseur est réalisé en logique rapide (ECL: *Emitter Current Logic*) et les compteurs en logique CMOS.

Les performances fréquentielles du diviseur programmable sont alors fixées par les performances fréquentielles du pré-diviseur.

Son mode de fonctionnement est le suivant :

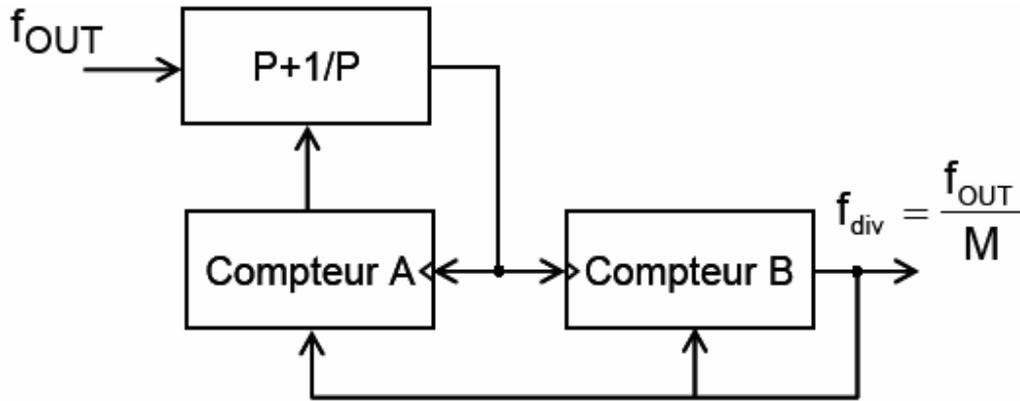


Figure I.15. schéma de fonctionnement du diviseur programmable par M

La sortie du pré diviseur est divisée par les compteurs A et B. A l'état initial, le pré-diviseur divise par (P+1), une fois le décomptage de A terminé, le compteur A envoie un signal commutant la division de (P+1) à P. La division par P s'opère jusqu'au retour à l'état initial des compteurs, soit lorsque B a fini de compter.

Le cycle obtenu est le suivant: une division de (P+1) durant A cycles, et une division de P durant (B-A) cycles, soit [(P+1).A+P. (B-A)], ce qui revient à un taux de division M équivalent à :

$$M=B.P+A \text{ avec } A < B \quad (\text{I.27})$$

La sortie est alors définie par:

$$f_{\text{div}} = \frac{f_{\text{OUT}}}{BP + A} \text{ en (Hz) avec } A < B \quad (\text{I.28})$$

I.2.1.3.6. L'oscillateur contrôlé en tension

Ce circuit peut être réalisé par un oscillateur en anneau (figure I.15-a) ou un VCO à résonateur LC (figure I.15-b).

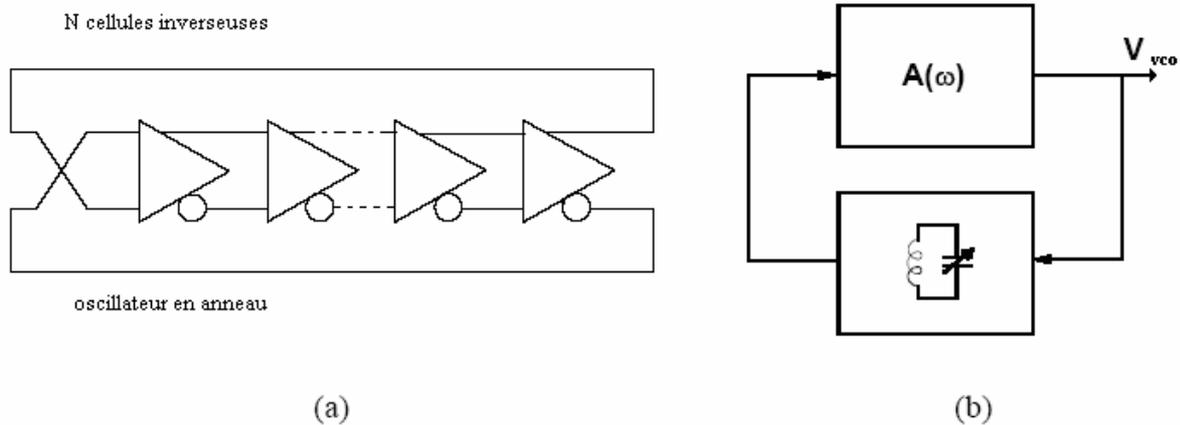


Figure I.16. Schéma d'un VCO intégrable d'une PLL

Le premier schéma présente un large accord en fréquence, mais un mauvais bruit de phase, alors que le second présente un accord en fréquence modeste, mais un meilleur bruit de phase que le premier. C'est cette seconde solution qui sera intégrée dans la PLL et qui sera détaillée dans le chapitre 2.

De manière idéale, la sortie est définie par :

$$V_{vco} = A_0 \cos(\omega_{vco} t) \quad (\text{I.29})$$

$$\text{Avec } \omega_{vco} = \omega_0 + KV_0 \quad (\text{I.30})$$

$$\text{Soit } V_{vco}(t) = A_0 \cos(\omega_0 + K_0 \int V_0(t) dt) \quad (\text{I.31})$$

Avec K_0 désignant l'accordabilité du VCO en Hz/V et V_0 la tension de commande en V, issue du filtre de boucle.

I.2.2. Description qualitative du fonctionnement de la boucle

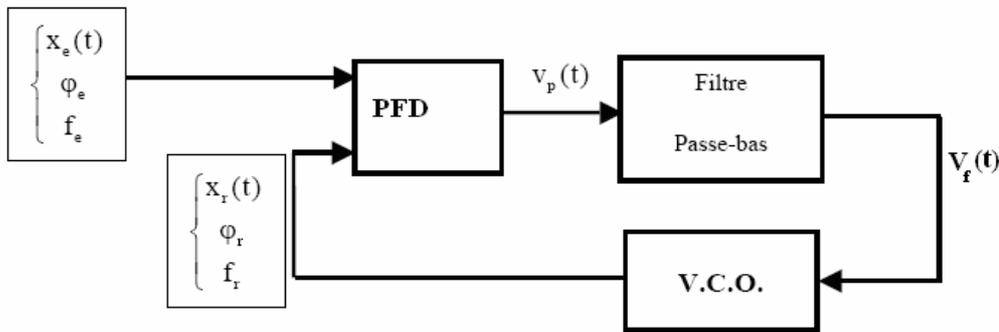


Figure .I.17. Schéma de la PLL.

Appliquons à l'entrée de la boucle un signal X_e de fréquence $f_e \ll f_{\min}$. A la limite, si

$f_e \rightarrow 0$, v_p aura la même fréquence que X_r , et $V_F = V_P$ on aura donc : $f_r = f_0$ le VCO oscille à la fréquence centrale.

On augmente f_e . Pour une certaine valeur f_{CL} de f_e , f_r **devient rigoureusement égale à f_e** : on dit que la boucle « **accroche** » ou qu'elle est « **verrouillée** ». Cette fréquence f_{cl} est la fréquence de capture basse. On continue à augmenter f_e : la fréquence f_r suit la fréquence f_e

($f_e = f_r$) . Arrivé à une fréquence f_{VH} la boucle « décroche », et $f_r = f_0 \neq f_e$; cette fréquence est la fréquence de verrouillage haute. Pour reverrouiller la boucle, il faut redescendre à une fréquence $f_{CH} \leq f_{VH}$, appelée fréquence de capture haute. Enfin, si on continue à diminuer f_e , la boucle décroche pour une fréquence $f_{VL} \leq f_{CL}$, appelée fréquence de verrouillage basse.

Ceci peut être résumé par la figure ci-dessous :

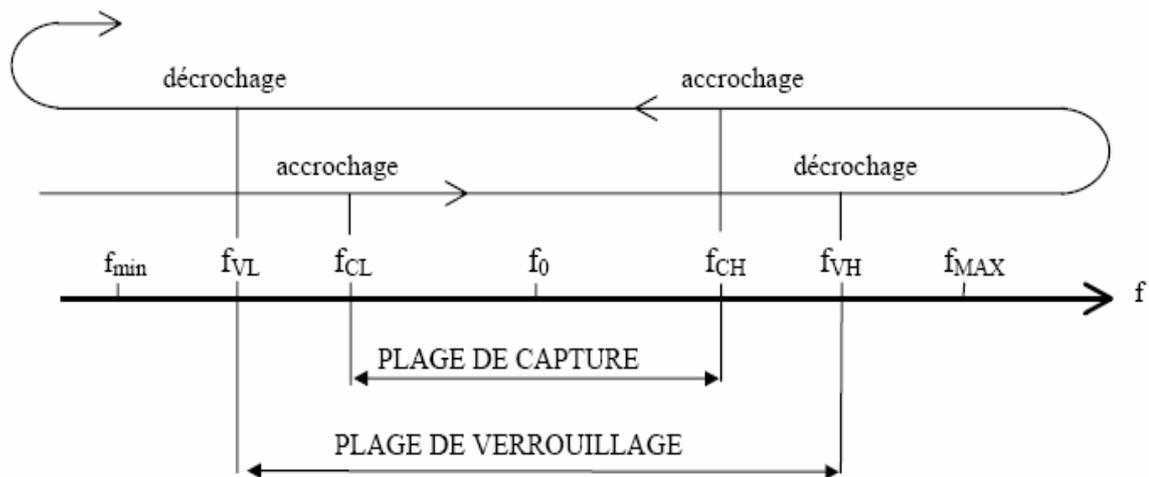


Figure. I.118 : schéma fonctionnel de la PLL

I.2.3. Spécifications de la PLL

I.2.3.1. Temps d'établissement

Le temps d'établissement est le temps nécessaire à la boucle pour se verrouiller. Il est défini plus exactement par le temps que met la PLL pour atteindre 95% de la fréquence désirée. Aussi, dans un système de télécommunication, celui-ci détermine le temps nécessaire au système pour passer d'un canal à un autre.

I.2.3.2. Stabilité

Il y a plusieurs moyens de s'assurer de la stabilité d'un système :

Le moyen le plus simple est de réaliser une simulation temporelle et de vérifier si la boucle se verrouille. Cependant, cette analyse est coûteuse en temps de simulation et une première approximation permettant de fixer les valeurs des paramètres est nécessaire. Pour cela, la stabilité de la PLL s'étudie en linéarisant les équations qui régissent le fonctionnement des différents blocs, puis en y appliquant les critères de stabilités (tels que le critère de Nyquist, le lieu des racines ou les marges de stabilité sur le diagramme de Bode). Ces critères permettent de prévoir la stabilité de système en boucle fermée à partir de l'étude en boucle ouverte.

I.2.1.2. Description des éléments constitutifs de la PLL analogique

I.2.1.2.1. Oscillateurs contrôlés en tension (VCO : voltage controlled oscillator)

On utilise un oscillateur Colittps avec des diodes polarisées en inverse dont la capacité de jonction varie approximativement comme l'inverse de la racine carrée de la tension appliquée à ses bornes. Les capacités sont faibles de l'ordre de quelques dizaines de pF.

Lorsque la tension de polarisation passe de 2 à 20v, la capacité peut varier d'un facteur de 5 (de 100pF à 20Pf par exemple). La capacité varie instantanément en fonction de la tension, et la variation de la capacité engendre la variation de la fréquence de l'oscillateur.

Pour éviter que les varicaps conduisent dans le sens direct lorsqu'elles sont soumises à la tension alternative, il faut toujours utiliser deux varicaps montées têtes bèches.

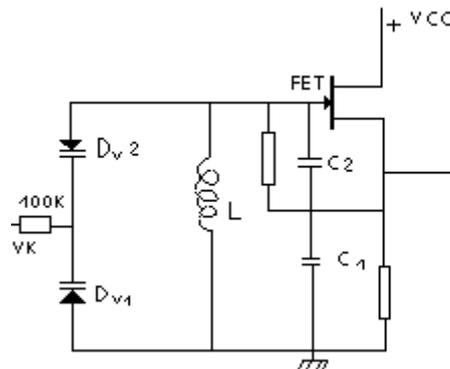


Figure.I.5. Oscillateur contrôlé en tension

I.2.1.2.2. Les comparateurs de phase

Ils sont appelés comparateurs ou détecteur de fréquence et phase (CP ou DFP)

Pour un signal sinusoïdal pur : $A = \cos \theta(t)$, l'angle $\theta(t)$ est la phase absolue. Elle n'est définie qu'à 2π près et seulement si l'instant 0 est fixé.

Pour deux signaux sinusoïdaux de même fréquence, il est possible de définir une différence de phase qui est l'angle entre les deux vecteurs de Fresnel représentant les deux signaux. Il faut remarque que si τ est l'intervalle de temps entre les passages à zéro dans un sens donné, et T la période, le déphasage vaut :
$$\Phi = 2\pi \frac{\tau}{T}. \quad (I.13)$$

Cette remarque permet aussi de définir le déphasage de deux signaux numérique de même fréquence. Il faut d'abord pour chacun d'entre eux préciser la transition utile.

Dans ce type de comparateurs les signaux dont on doit comparer les phases sont des signaux sinusoïdaux

I.2.1.2.3. Phasemètre par produit

C'est le montage le plus simple. On effectue le produit des deux signaux et l'on filtre passe bas le résultat

Si à chaque instant on a : $v_1 = A \cos(\theta_1)$ et $v_2 = B \cos(\theta_2)$. (I.14)

Alors le produit : $v_1 v_2 = AB \cos(\theta_1) \cos(\theta_2) = \frac{AB}{2} [\cos(\theta_1 + \theta_2) + \cos(\theta_1 - \theta_2)]$

Si le filtre passe bas élimine le premier terme, on se retrouve :

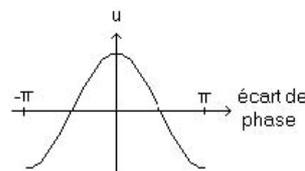


Figure. I.6. variation de la phase à la sortie de phasemètre

$$u = \frac{AB}{2} \cos(\theta_1 - \theta_2) \quad (\text{I.15})$$

La relation obtenue n'est pas linéaire.

On remarque aussi que la tension à la sortie du filtre est proportionnelle au cosinus du déphasage cherché mais malheureusement aussi aux amplitudes.

I.2.1.2.4. Détecteur de phase à base de pont de phase

Ce montage utilise un transformateur qui permet d'isoler galvaniquement les deux signaux et la tension de sortie fournie.

Les deux signaux dont il faut comparer la phase sont aux primaires des deux transformateurs.

Le redresseur (D1 et C1R1) délivre entre A et M une tension V_{AM} continue dont l'amplitude est égale à l'amplitude crête de la tension alternative entre A' et M

De même pour la tension V_{BM}

Les tensions n'étant pas en phase, il faut calculer l'amplitude résultante et les vecteurs de Fresnel correspondants. C'est ce que montre la partie droite de la figure I.7.

L'amplitude de sortie V_{AB} est la différence des longueurs des segments MA et MB avec :

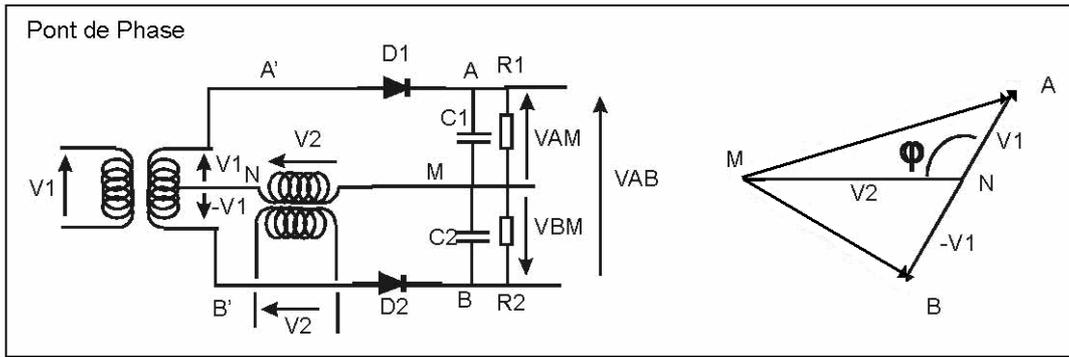


Figure. I.7. : Détecteur de phase a base de pont de phase

$$MA = V_1^2 + V_2^2 + 2V_1V_2 \cos \varphi \tag{I.16}$$

$$MB = V_1^2 + V_2^2 - 2V_1V_2 \cos \varphi \tag{I.17}$$

$$V_{AB} = \sqrt{V_1^2 + V_2^2 + 2V_1V_2 \cos \varphi} - \sqrt{V_1^2 + V_2^2 - 2V_1V_2 \cos \varphi} \tag{I.18}$$

Si V_2 l'amplitude est très petite devant V_1 , on aura : $V_{AB} = 2V_1 \cos \varphi$ (I.19)

On remarque que l'expression de la tension à la sortie du pont est proportionnelle au cosinus de déphasage des deux signaux.

I.2.1.2.5. Le détecteur de phase à base du modulateur en anneau :

C'est un circuit à deux accès .Un accès haut niveau V_1 , appelé accès de commutation et un accès signal faible niveau : V_2

Le montage est comme le précédant met en œuvre deux transformateurs, mais il à une structure beaucoup plus symétrique.

Les 4 diodes forment un anneau dans lequel un courant circulaire peut circuler et les transformateurs sont de rapport 1-1-1.

A l'alternance positive de V_1 . Les deux diodes D2 et D4 conduisent, on aura donc $V_N - V_M = V_N - V_D = -V_2$ (I.20)

A l'alternance négative de V_1 , ce sont les diodes D2 et D3 qui conduisent. Alors $V_M = V_C$ soit

$$V_N - V_M = V_N - V_C = V_2 \tag{I.21}$$

Donc la tension entre N et M aux bornes du circuit RC est : soit V_2 , soit $-V_2$ suivant le signe de V_1 . Tout se passe comme si V_2 était multiplié par un signal carré ± 1 ayant la fréquence de V_1 . En développant ce signal en série de Fourier il vient :

$$V_{NM} = V_2 \cdot \frac{4}{\pi} \left(\cos \omega t - \frac{1}{3} \cos 3\omega t + \frac{1}{5} \cos 5\omega t - \dots \right) \quad (\text{I.22})$$

$$\text{Si } V_2 = A \cos(\omega t + \varphi) \quad (\text{I.23})$$

A la sortie du filtre passe bas, on aura $2 \frac{A}{\pi} \cos \varphi$ qui est en fonction du déphasage de deux signaux.

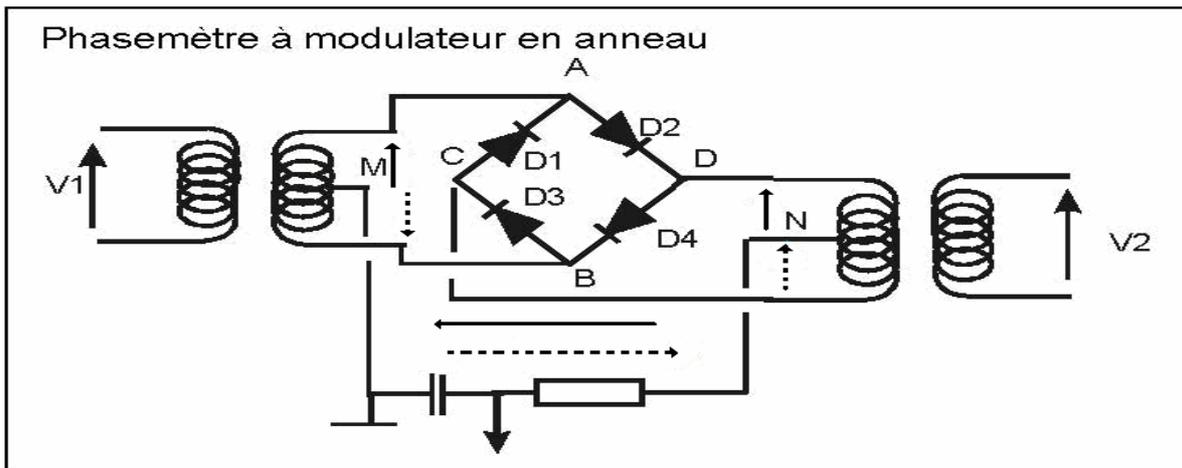


Figure. I.8. schéma du circuit de phasemètre à modulateur en anneau

Conception et Dimensionnement D'une PLL à 3 GHZ

II.1. Schéma général

Afin de mettre en oeuvre un modèle d'une PLL numérique à 3 GHZ, on a opté pour le schéma suivant qui représente un circuit de synthétiseur de fréquence à rapport de division entier.

Ce synthétiseur est construit à l'aide d'un circuit intégré (ADF 4108) possédant les éléments comparateur / phase fréquence, pompe de charge et diviseur de retour avec un oscillateur contrôle en tension délivrant une fréquence porteuse autour de 3 GHZ et d'un filtre passe bas.

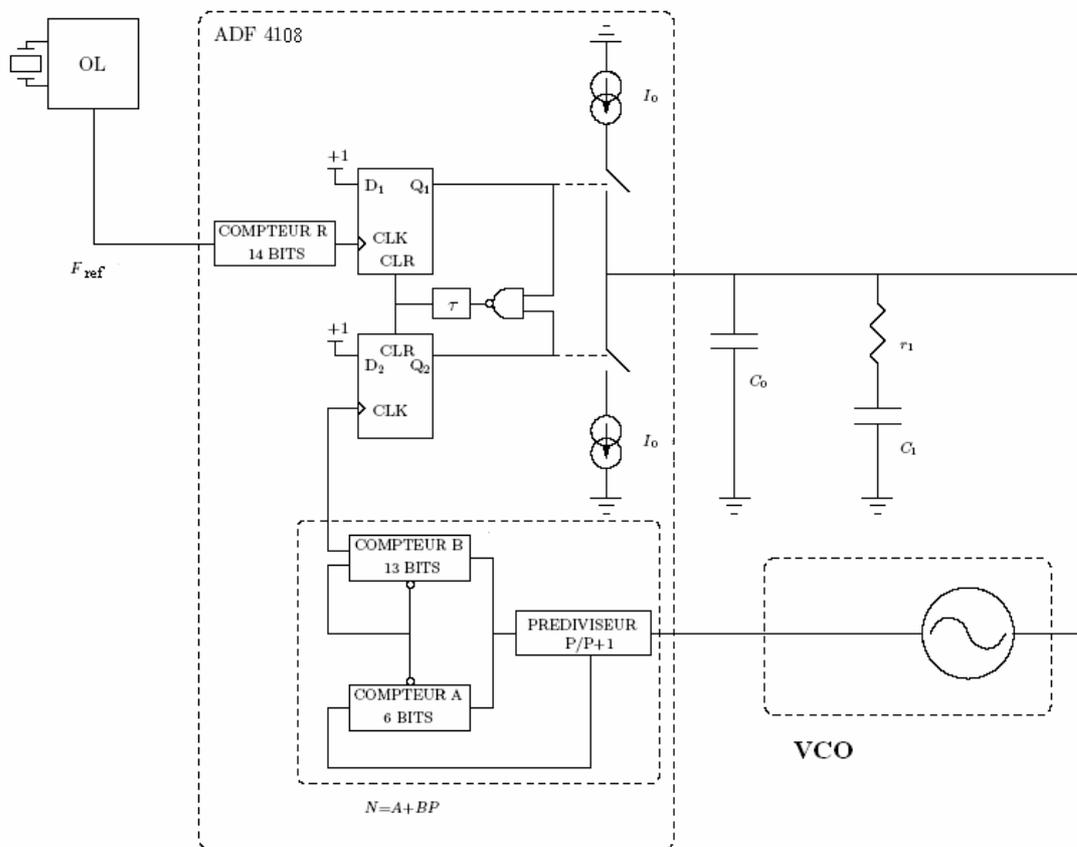


Figure II.1. Schéma générale de circuit synthétiseur de fréquence à 3 GHz

II.2. Description et conception de VCO

Différentes architectures d'oscillateurs ont été largement utilisées parmi lesquelles les plus répandues (Clapp, Colpitts, Pierce) sont généralement choisies de par les fréquences d'utilisation auxquelles elles sont destinées.

Dans notre cas la conception de l'oscillateur est basée sur la topologie série qui consiste à provoquer l'instabilité d'un transistor UHF chargé respectivement à son entrée et à sa sortie par deux impédances de source et de charge. Ces impédances sont respectivement adaptées à 50Ω par deux cellules Q_S et Q_L :

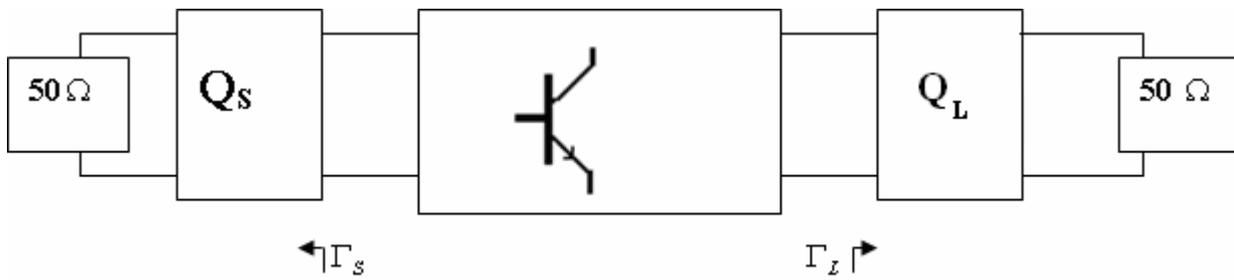


Figure II.2. Schéma synoptique de principe du vco

Les paramètres s sont choisis de façon à avoir le maximum d'instabilité et pour ça on monte le transistor en base commun avec un point de fonctionnement dont les coordonnées sont : $v_{ce}=8 \text{ v}$

$I_C=10 \text{ m A}$.

Avec cette configuration, on aura une forte instabilité du transistor qui rend celui-ci apte à produire des oscillations UHF.

Pour déterminer le domaine d'instabilité, les cercles de stabilité (C_L) et la courbe de Γ_L en fonction de la fréquence ont été tracés sur l'abaque de Smith Ref :[6] (voir Fig.II.3) .

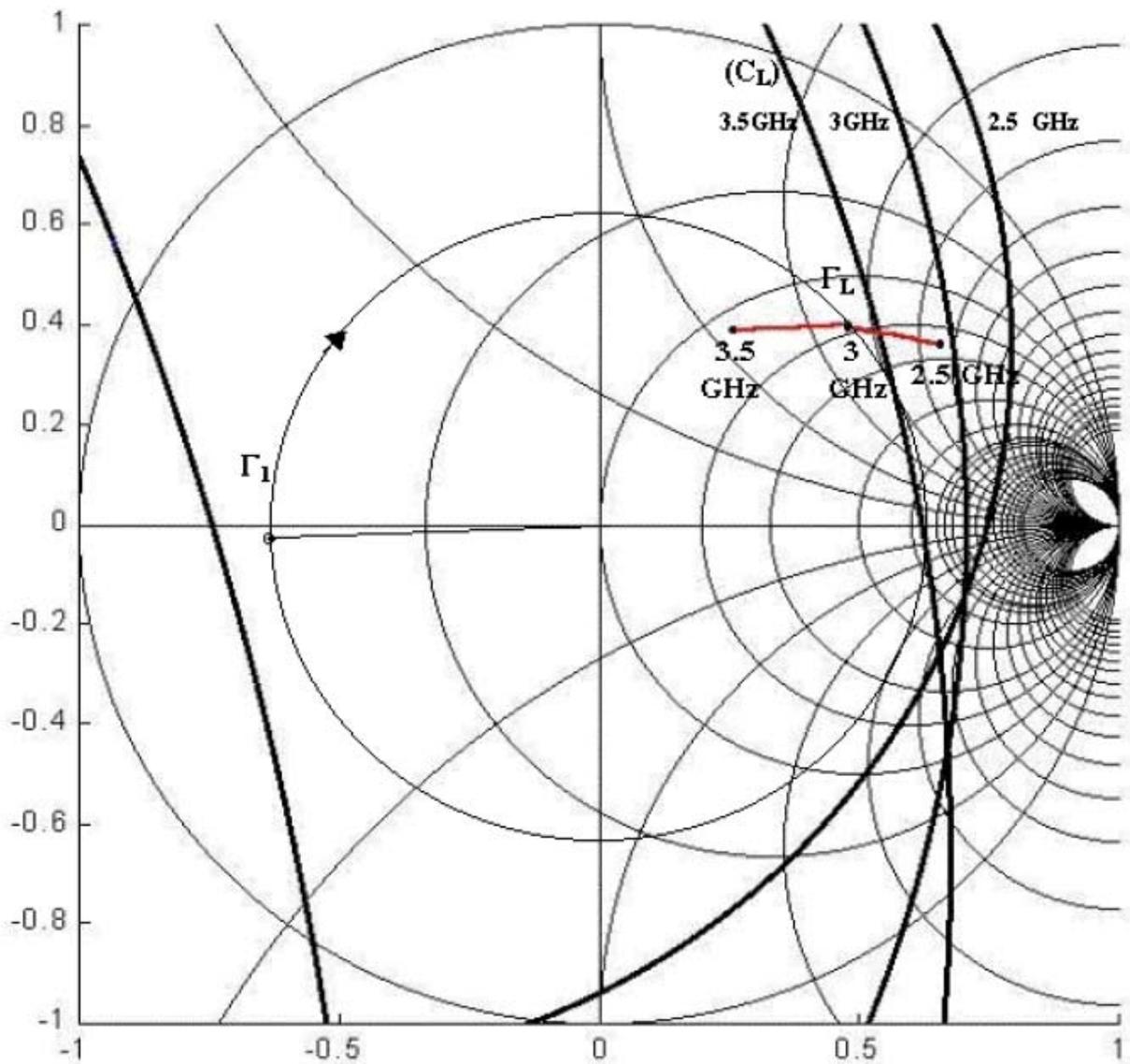


Fig. II.3. Représentation des coefficients de réflexion Γ_L et Γ_1 sur l'abaque de Smith dans le cas du transistor AT41435 monté en base commune.

On déduit de cet abaque les valeurs de Γ_L qui donne le maximum d'instabilité de transistor dans la gamme de fréquence 2.5 \rightarrow 3.5 GHz.

Le schéma détaillé du circuit vco réalisé suivant les conditions précédentes est donné Ref [6] dans la figure suivante (II.4)

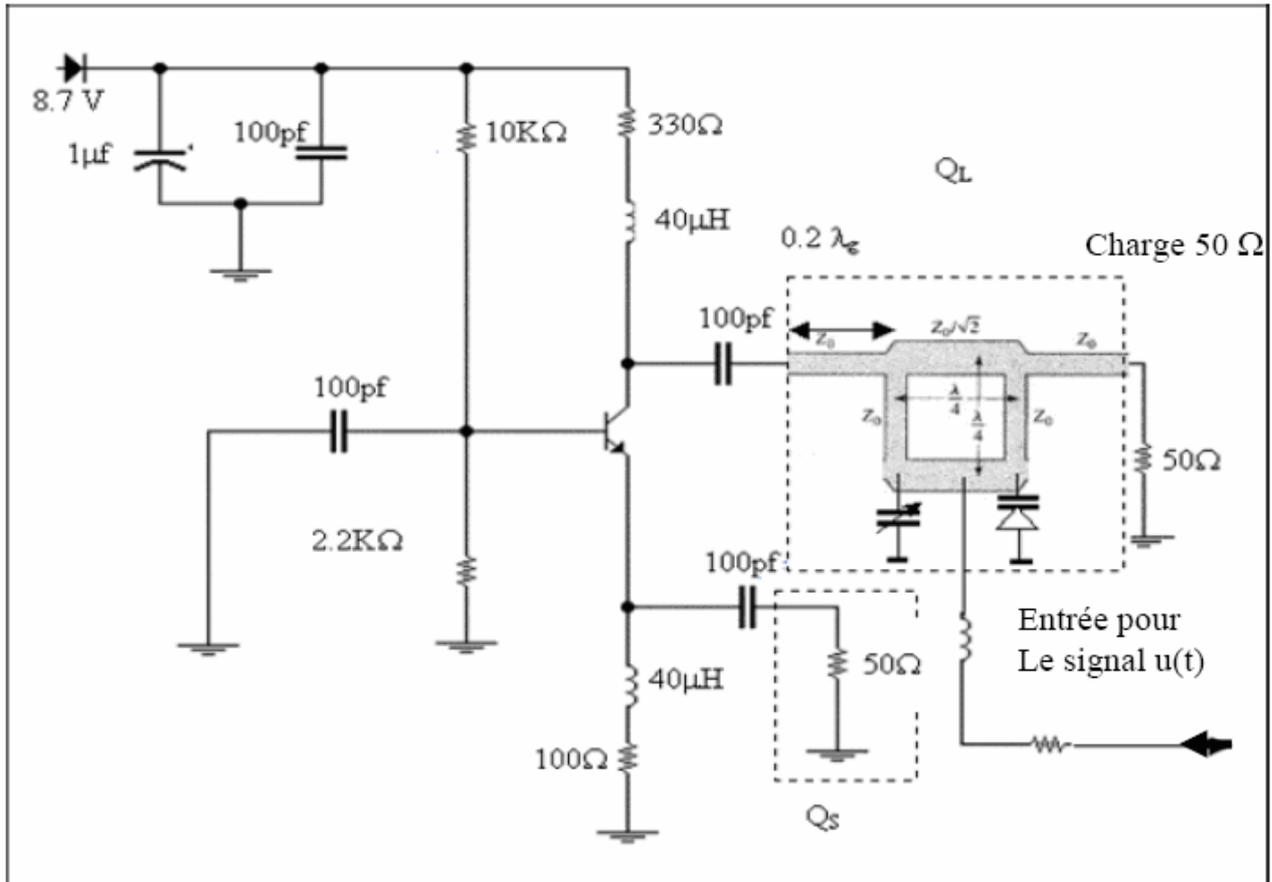


Figure.II.4. Schéma détaillé du VCO à 3 GHZ

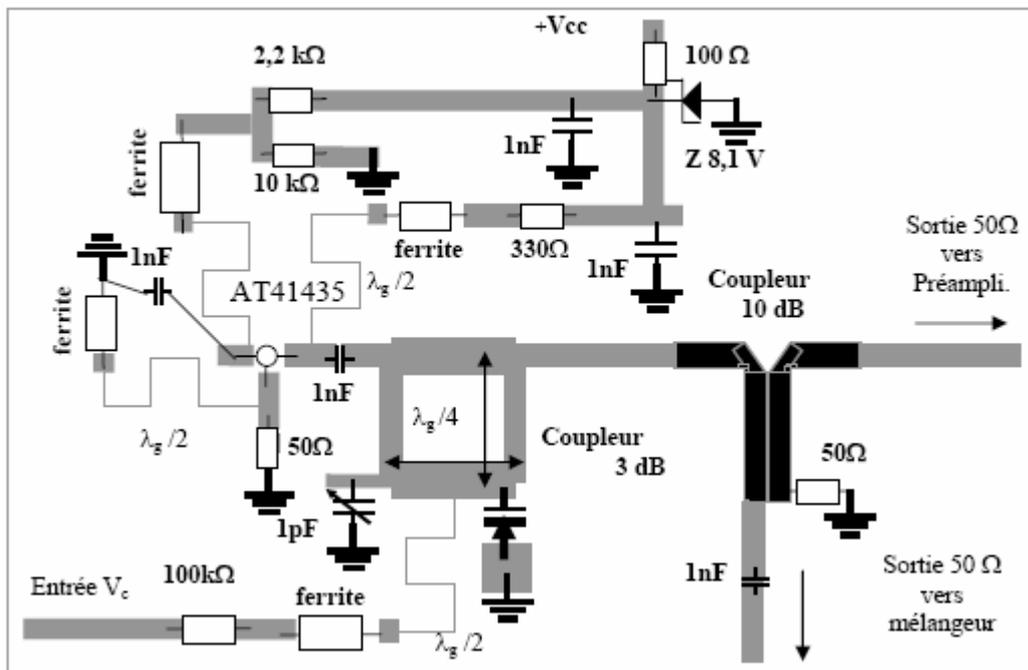


Figure II.5. Circuit imprimé de vco avec l'implémentation des composants

Afin de remédier au bruit engendré par le composant de la cellule, la dernière est remplacée par une cellule d'adaptation Q_L dotée d'un coupleur hybride à 3 dB avec une diode varicap à la sortie de celui-ci, soit c_d la capacité de la varicap, la polarisation de cette diode par une tension variable, entraîne alors la variation de la capacité c_d et par suite, une variation linéaire de fréquence autour de la porteuse, les variations de la capacité d'une diode varicap BB405 ont été mesurées en fonction de tension de polarisation, les courbes Ref [6] décrivant de telles variations, sont données à la fig II.6

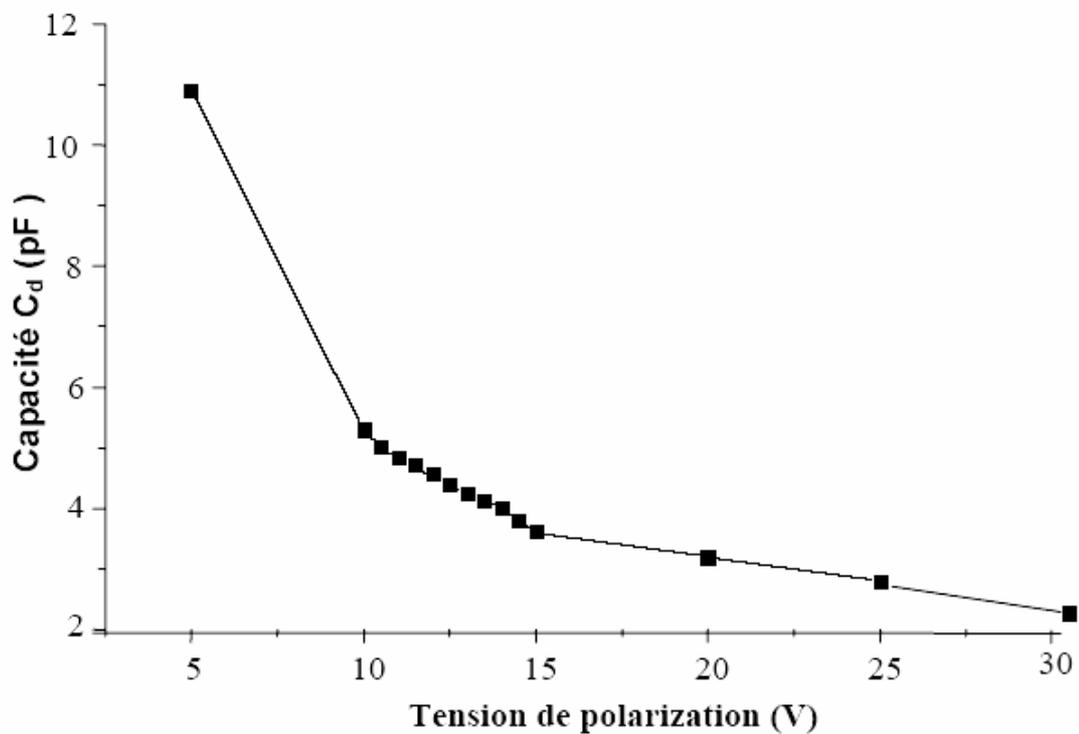
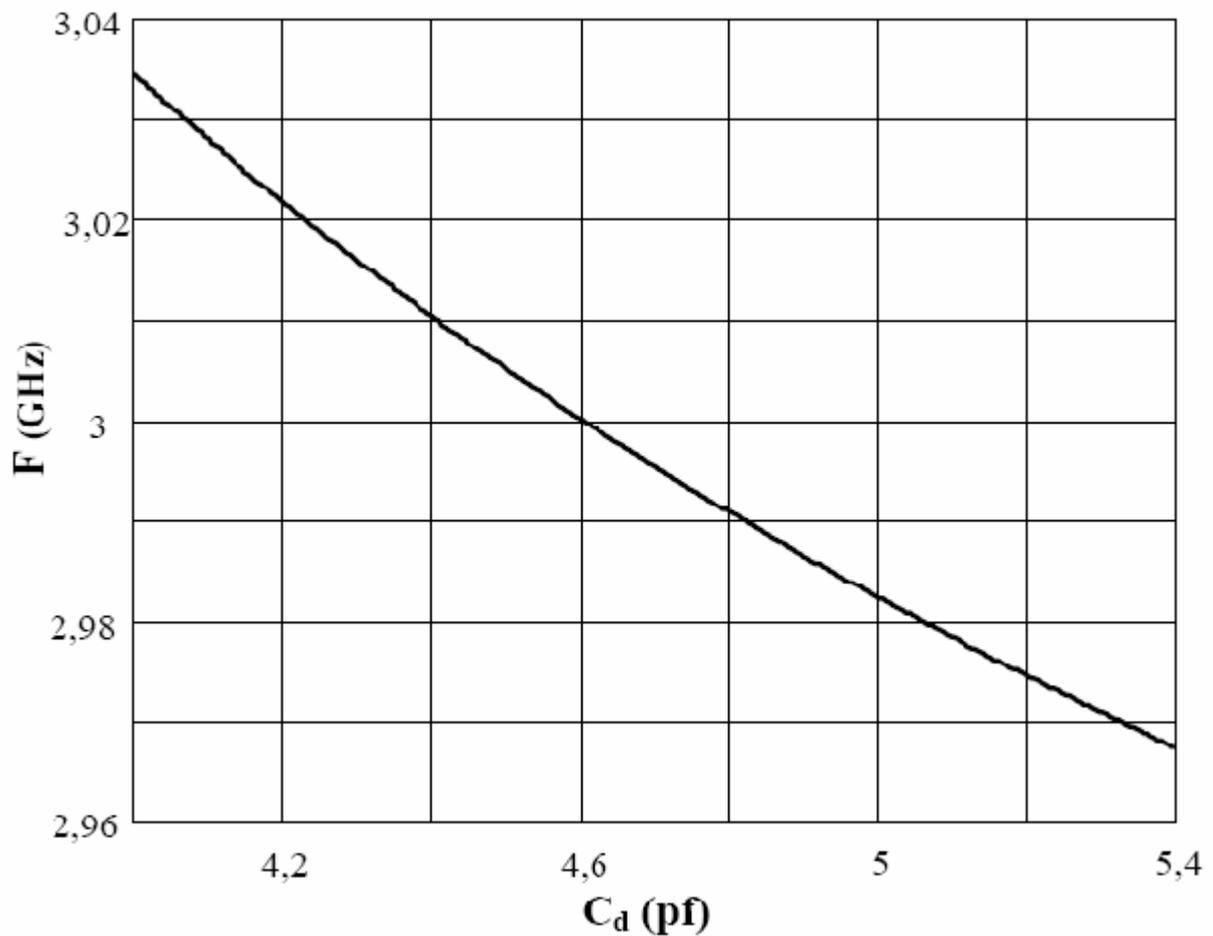


Fig II.6 Caractéristique de la diode varicap jouant le rôle de modulateur FM.

La variation de la tension de polarisation de la diode varicap (D) du schéma de la Fig. II.6, entraîne la variation linéaire de la capacité C_d de cette diode entre 4 et 5,4 pF. Compte tenu de la valeur des coefficients de réflexion Γ_1 , Γ_3 , et Γ_4 , les résultats de simulation Ref[6] de la fréquence de sortie du V.C.O. avec la variation linéaire de la capacité C_d qui est comprise entre 4 et 5,4 pF sont donnés dans La courbe de la figure II.7.



FigII.7. Simulation de la fréquence de sortie du V.C.O pour diverses valeurs de la Capacité C_d .

II.2.1. Le gain statique K_V de vco

A partir des deux courbes fig II.6 et fig II.7 on déduit la courbe qui représente la variation de la fréquence à sortie de VCO en fonction de la tension de polarisation de la diode varicap c'est-à-dire la tension de commande du vco

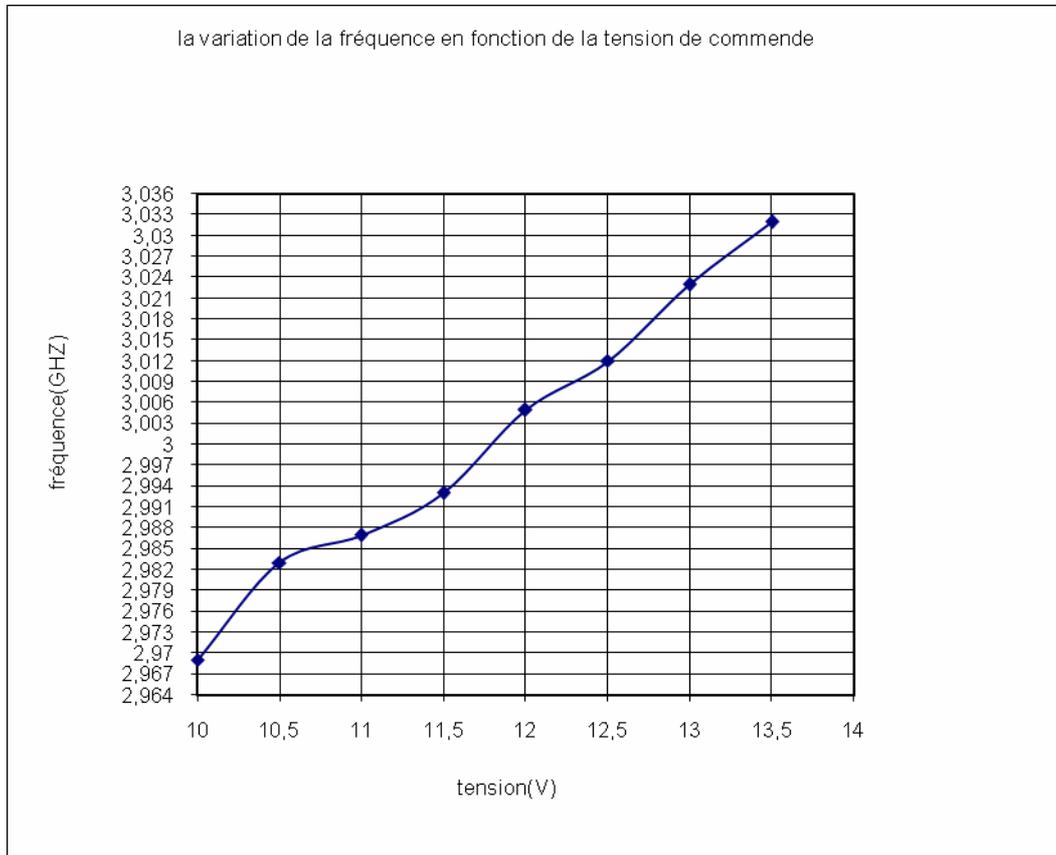
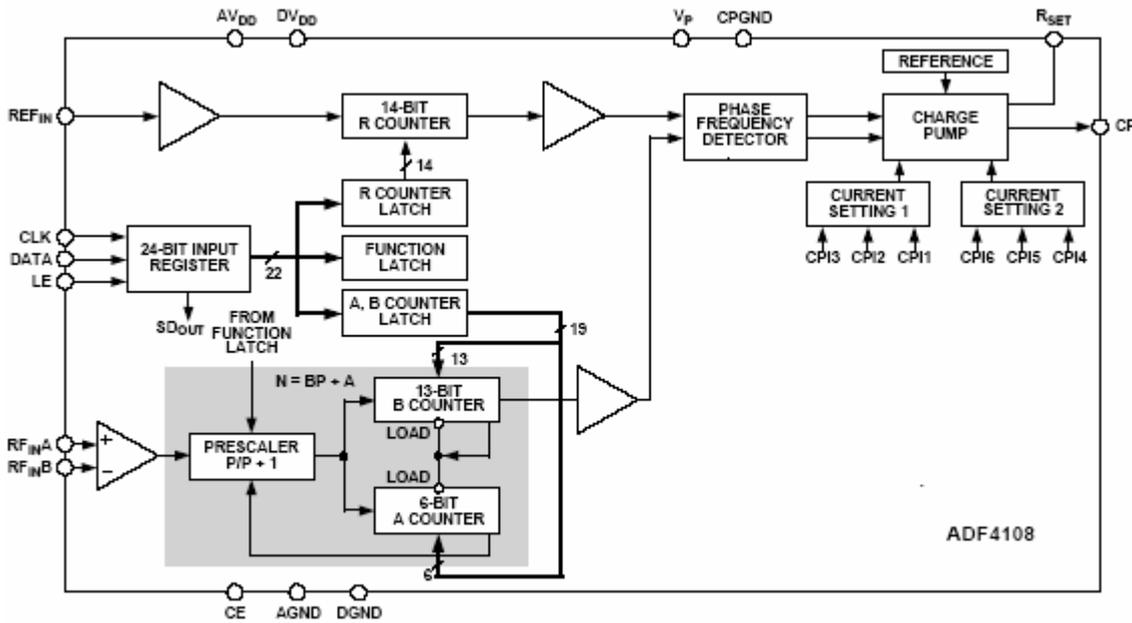


Figure II.8. Variation de la fréquence de VCO en fonction de la tension de commande
D'après les résultats inscrits sur le graphe on trouve

$$k_v = \frac{3.005 - 2.993}{12 - 11.5} = 0.024 \text{ GHz/V} = 24 \text{ MHz/V}$$

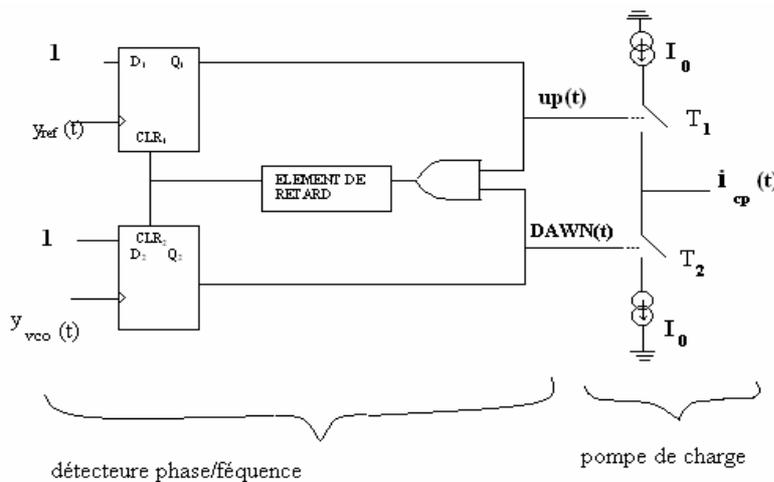
II.3. Description Du Circuit ADF4108 :



FigureII.9. schéma synoptique du circuit ADF 4108

Comme le montre la figure, le circuit ADF4108 comporte le détecteur de phase/fréquence, la pompe de charge, le diviseur programmable ainsi que 4 registres pour la programmation du diviseur et l'intensité des courants de la pompe de charge.

II.3.1. Détecteur de phase/fréquence, pompe de charge



FigureII.10. schéma du détecteur phase/ de charge fréquence, pompe

Nous avons vu dans le chapitre précédent le principe de fonctionnement du détecteur de phase/fréquence et de la pompe de charge, dans ce paragraphe on va détailler le fonctionnement des deux ensembles et l'utilité du circuit à retard

Soit les deux signaux d'entrée des bascules définies par les fonctions suivantes:

$$y_{ref} = \cos \psi_{ref}(t) \tag{II.1}$$

$$y_{vco} = \cos \psi_{vco}(t) \tag{II.2}$$

Avec
$$\psi_{ref}(t) = \omega_{ref}t + \varphi_{ref}(t) \tag{II.3}$$

$$\psi_{vco}(t) = \omega_{vco}t + \varphi_{vco}(t) \tag{II.4}$$

Dans régime établi (la zone de verrouillage), on a $\omega_{ref} = \omega_{vco}$

Supposons $\varphi_{ref}(t) = 0$ (I.5)
 $\varphi_{vco}(t)$ Varie linéairement de $-\pi$ a π

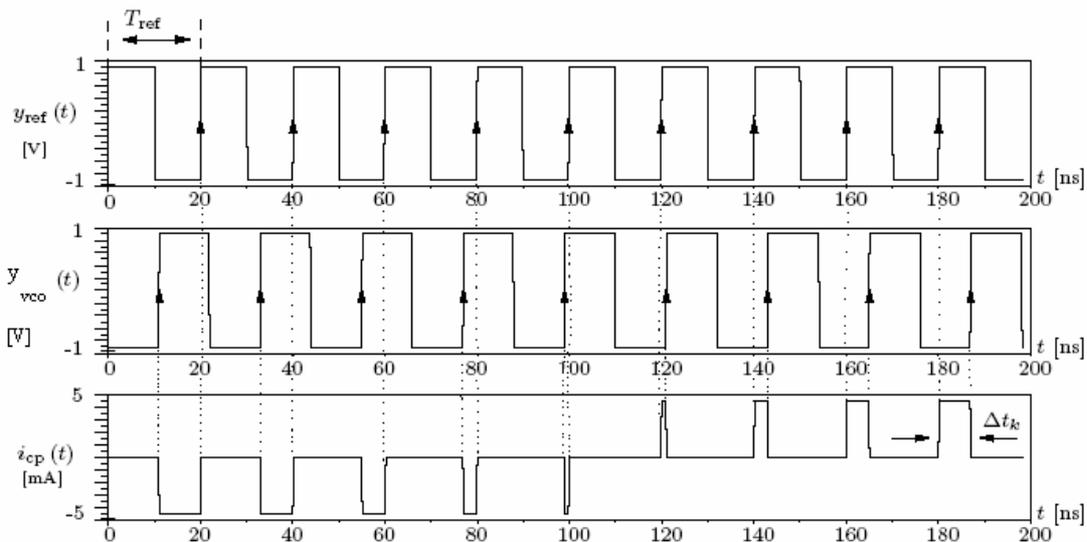


Figure II.11. Chronogrammes de fonctionnement du CPF et la pompe du charge.

Dans ce cas précis, le rapport cyclique du signal de sortie varie proportionnellement en fonction de la différence de phase $\varphi_{ref}(t) - \varphi_{vco}(t)$ et la valeur discrète de la largeur d'impulsion fournie par cycle T_{ref} est donnée par la relation

$$\Delta t_k = \frac{T_{ref}}{2\pi} (\varphi_{ref_k} - \varphi_{vco_k}) \tag{II.6}$$

Ce temps Δt_k , qui peut être négatif, correspond à la différence temporelle qui sépare deux instants de transition des signaux $y_{ref}(t)$ et $y_{vco}(t)$. En notant $\hat{i}_{cp}(t)$ la valeur moyenne du courant en sortie de la pompe de charge par cycle de fonctionnement T_{ref} , et i_{cp} sa valeur discrète associée telle que

$$i_{cp_k} = I_0 \frac{\Delta t_k}{T_{ref}}, \tag{II.7}$$

La zone linéaire de fonctionnement en phase du comparateur phase/fréquence est illustrée par la Figure II.12.

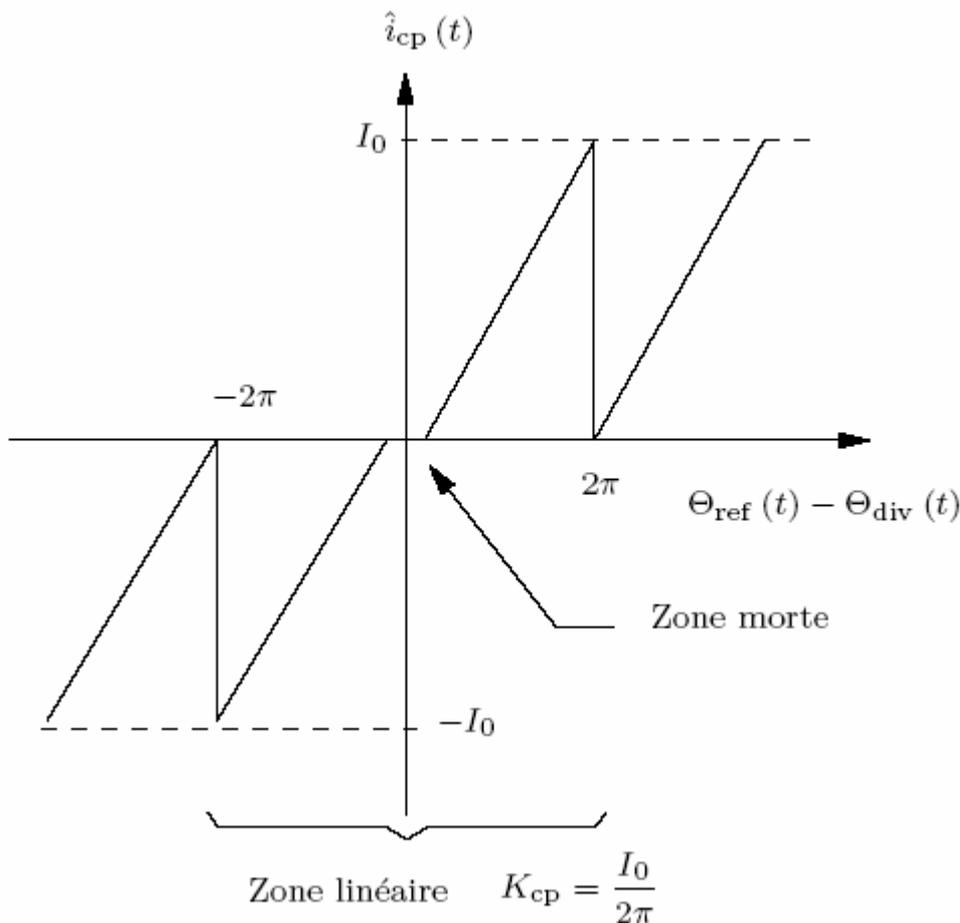


Figure II.12. Courant de la pompe en fonction de déphasage

Remarque : l'intensité du courant de la pompe de charge I_0 est programmable avec les bites cp₁₁, cp₁₂, cp₁₃, cp₁₄, cp₁₅, cp₁₆ de registre function latch.

Le principe du circuit de la pompe de charge est illustré dans l'annexes A

Lorsque les deux signaux $y_{ref}(t)$ et $y_{vco}(t)$ possèdent la même période, le détecteur de phase délivre une intensité variable dont le rapport cyclique est une fonction linéaire de la différence de phase entre -2π et 2π (720°) et le gain statique du détecteur est alors donné par la relation.

$$K_{cp} = \frac{I_0}{2\pi}. \quad (\text{II.8})$$

Un des inconvénients des comparateurs de phase/fréquence construits avec des pompes de charges, est la zone morte dans la caractéristique $i_{cp} = F_{NL} [\Delta_{ref}(t) - \Delta_{vco}(t)]$ au point d'équilibre.

Lorsque $\Delta_{ref}(t) - \Delta_{vco}(t) \approx 0$, les fronts des entrées d'horloge des bascules sont quasiment alignés temporellement (figure II.11 à 120 ns), et les temps de réponses des transistors utilisés en commutation dans la pompe de charge, altèrent le fonctionnement du détecteur de phase.

En effet le dispositif n'a pas le temps de répondre à la légère différence de phase. La zone morte est source de jigue de phase en sortie du synthétiseur car la tension de commande de VCO ne change plus quand l'erreur de phase se situe dans la zone morte. ce qui nécessite l'introduction d'un élément retard à la suite de la porte AND de façon à éviter la zone morte par le prolongement du fonctionnement des transistors dans un état passant pendant une durée déterminée.

Le retard introduit est programmable dans le registre référence counter latch et il peut prendre les valeurs 1,3 ns, 2.9 ns, 6 ns

II.3.2 Circuit d'entrée de signal de VCO

Le circuit d'entrée de signal de VCO est un amplificateur à entrée différentiel qui permet d'éliminer la tension en mode commun engendrée par la masse.

Le circuit permet aussi de convertir le signal analogique en signal numérique et de l'amplifier

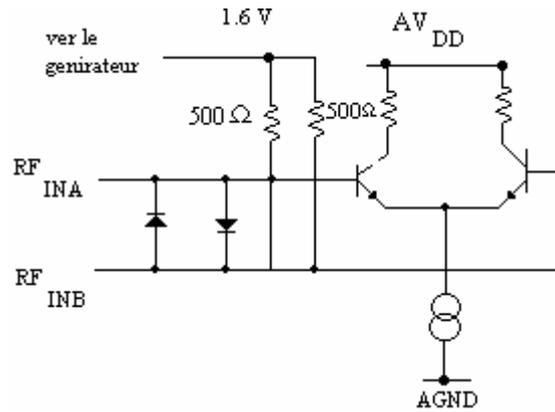


Figure II.13. Circuit d'entrée de signal de VCO

II.3.3. Le circuit d'entrée de signal de référence

Le circuit d'entrée de signal de référence joue le rôle d'un convertisseur analogique numérique, d'un amplificateur et d'un circuit de protection tel qu' au moment de l'impulsion d'initialisation l'interrupteur sw3 se ferme et sw1, sw2 s'ouvrent pour que l'impulsion n'arrivera pas à l'oscillateur locale.

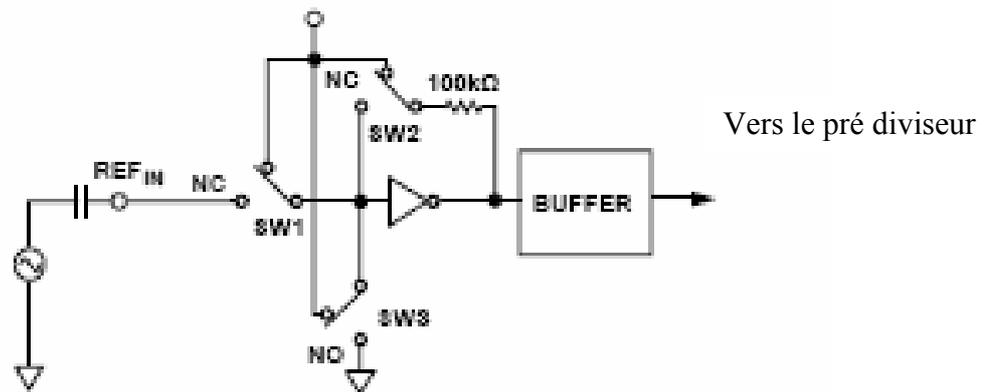


Figure II.14. Circuit d'entrée du signal de référence.

II.3.4. Diviseur de fréquence de vco:

Le diviseur de fréquence intégré dans le circuit ADF4108, a le même principe de fonctionnement que celui qui est décrit dans le chapitre précédent (I.4.1.3.5)

Le diviseur de retour est typiquement un élément programmable, pour pouvoir choisir la fréquence de sortie du synthétiseur avec un pas fréquentiel donné. Pour la synthèse de

fréquence de l'ordre du GHz avec des pas d'incrément faibles, de l'ordre du kHz a l'aide de pré-diviseur p et les deux compteurs A et B

_ Le pré-diviseur p a les rapports de division 8, 16, 32, 64 qui sont sélectionnée par les deux bites p_1, p_2 de registre fonction latch,

_ Le compteur A à 5 bits (A_1, A_2, A_3, A_4, A_5) de registre counter latch donc qui peut compte de 1 à 63, et le compteur B a 13 bits ($B_1, B_2, B_3, B_4, B_5, B_6, B_7, B_8, B_9, B_{10}, B_{11}, B_{12}, B_{13}$) qui peut compte de 1 à 8191

II.3.5. Diviseur de fréquence de l'oscillateur de référence R :

R est un diviseur fractionnel programmable avec les 14 bits ($R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8, R_9, R_{10}, R_{11}, R_{12}, R_{13}, R_{14}$) de registre counter latch R pour des valeurs de division de 1 à 16383.

II.4. Description des registres de circuit ADF 4108 à 3 GHz

Le circuit ADF4108 contient quatre registres programmables de 24 bits, dont on décrit les bits nécessaires pour notre application. Le datasheet complet est donne à l'annexe B

Les bits DB_0, DB_1 s'appellent C1 et C2 respectivement sont des bits d'adressage des registres.

II.4.1.Registre De Diviseur De Référence :

La figure suivant représente le registre de diviseur de référence adressable par les bits DB_0 et DB_1 qui prends les valeurs 0.0, qui comporte les bits suivants.

- 14 bits pour la programmation la valeur de diviseur de référence.
- 2 bits pour la programmation de retard introduit dans le comparateur de phase.
- 6 bits de contrôle

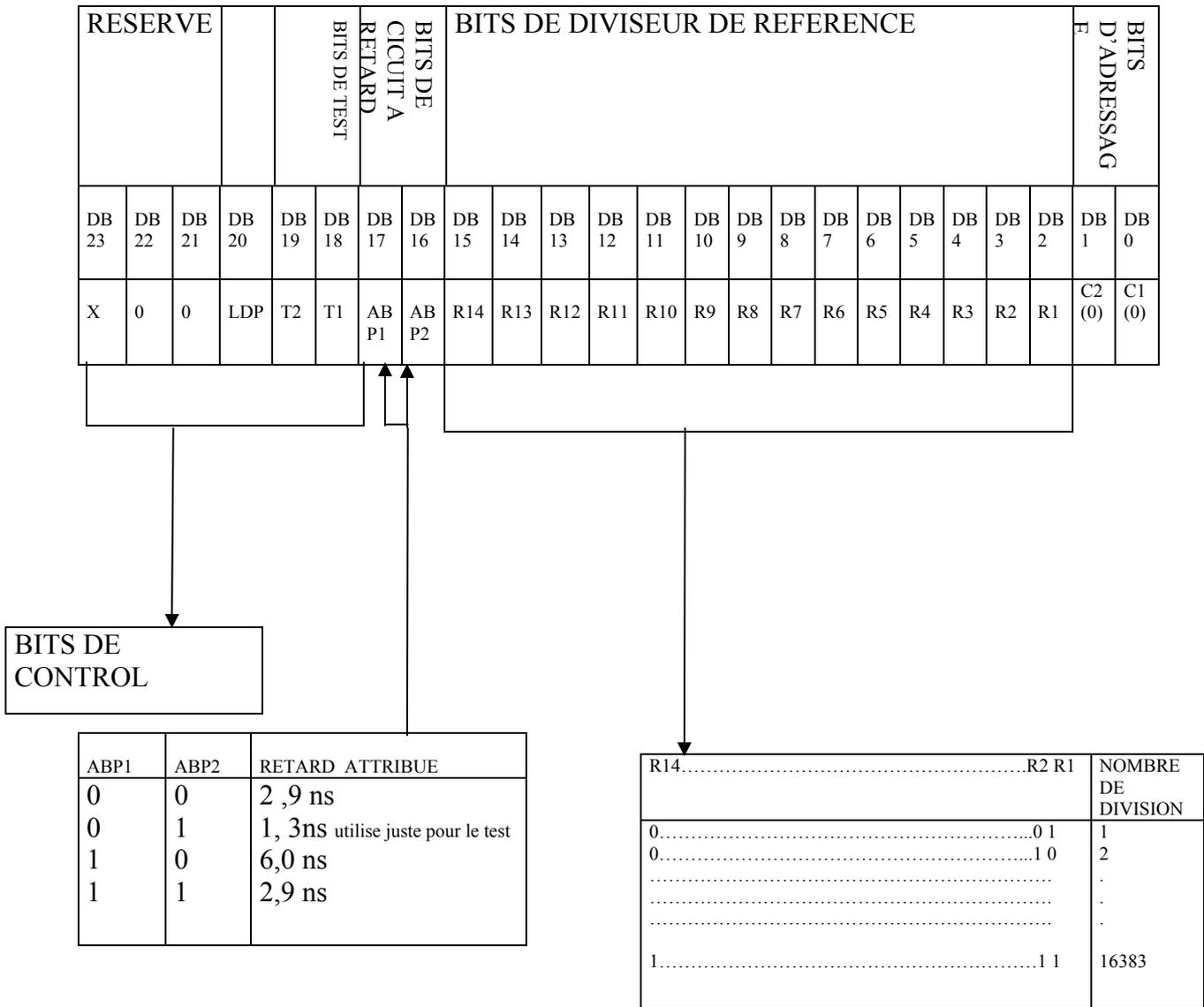


Figure.II.15.registre de diviseur de référence

II.4.2.Latch Map Des Compteurs A Et B

Le registre des compteurs A et B adressable par les deux bits DB₀ et DB₁ prends les valeurs 1,0 respectivement comporte les bits suivant :

- 6 bits pour la programmation de la valeur de compteur A.
- 13 bits pour la programmation de la valeur de compteur B et 1 bits pour sélectionner le courant utilise par la pompe de charge

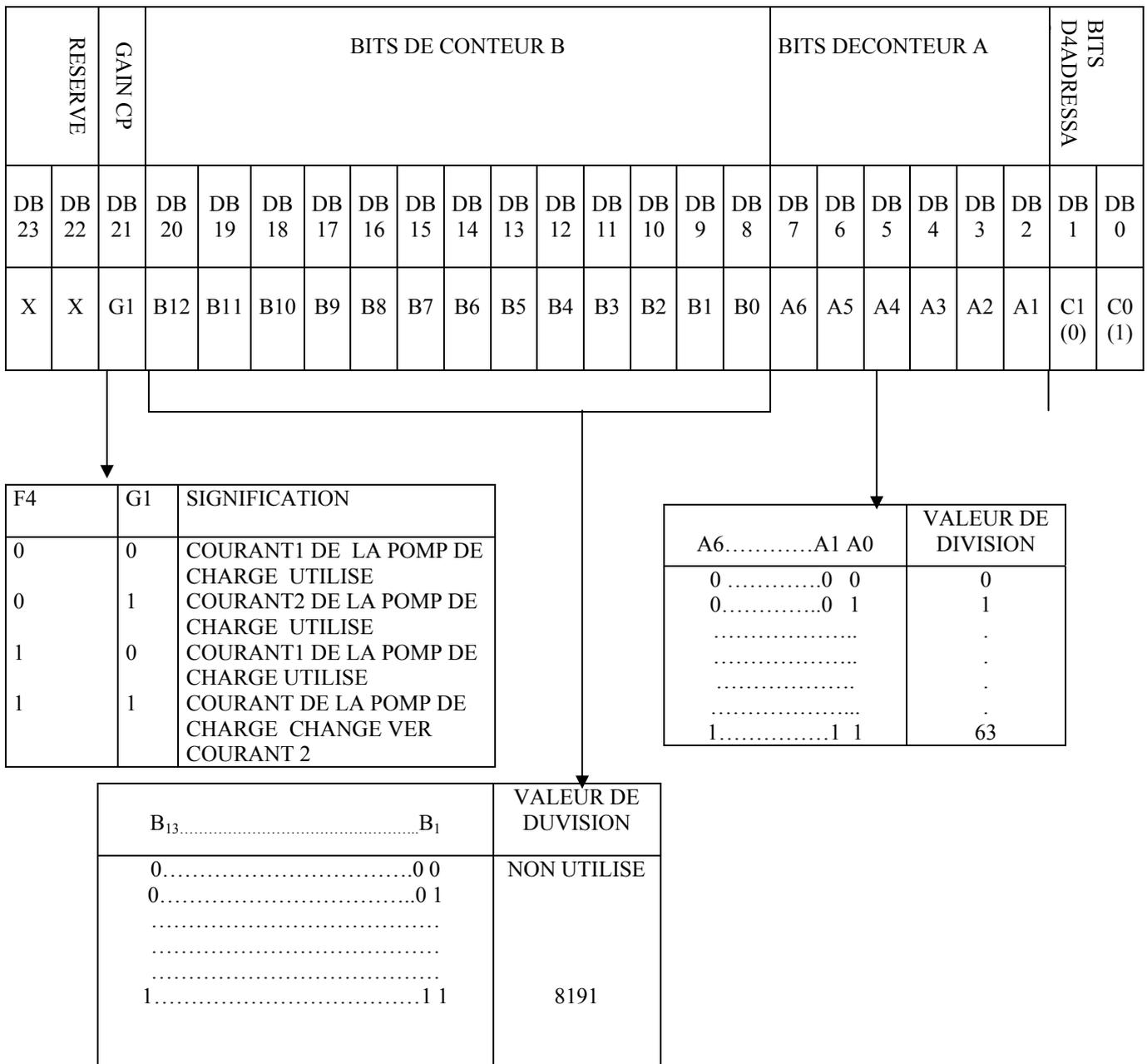


Figure. II.16.Registre des compteurs A et B

II.4.3.Registre De Fonctionnement

Le registre de fonctionnement représenté dans la figure II.16 est accessible par les bits d'adressage DB0 et DB1 qui prennent les valeurs 1,0 respectivement. La figure II.16 montre la fonction de chaque bit de registre.

- Remise à zéro : lorsqu'on met le bit DB2 (F1) à 1, les compteurs A, B et R sont remis à zéro, Pour un fonctionnement normal, ce bit doit être à 0.
- DB3 et DB21 sont les bits de control de la pompe de charge.
- DB4, DB5 et DB6 sont utilisés pour choisir la sortie de multiplexeur
- DB9 et DB10 sont les bits de control de mode de verrouillage rapide.
- DB11, DB12, DB13 et DB14 sont les bits de programmation de temps de fonctionnement de mode de verrouillage rapide.
- DB15, DB16, DB17, DB18, DB19 et DB20 ces les bits de programmation de l'intensité de courant à la sortie de pompe de charge.
- DB22 et DB 23 ces les bits de sélection de la valeur de pré-diviseur

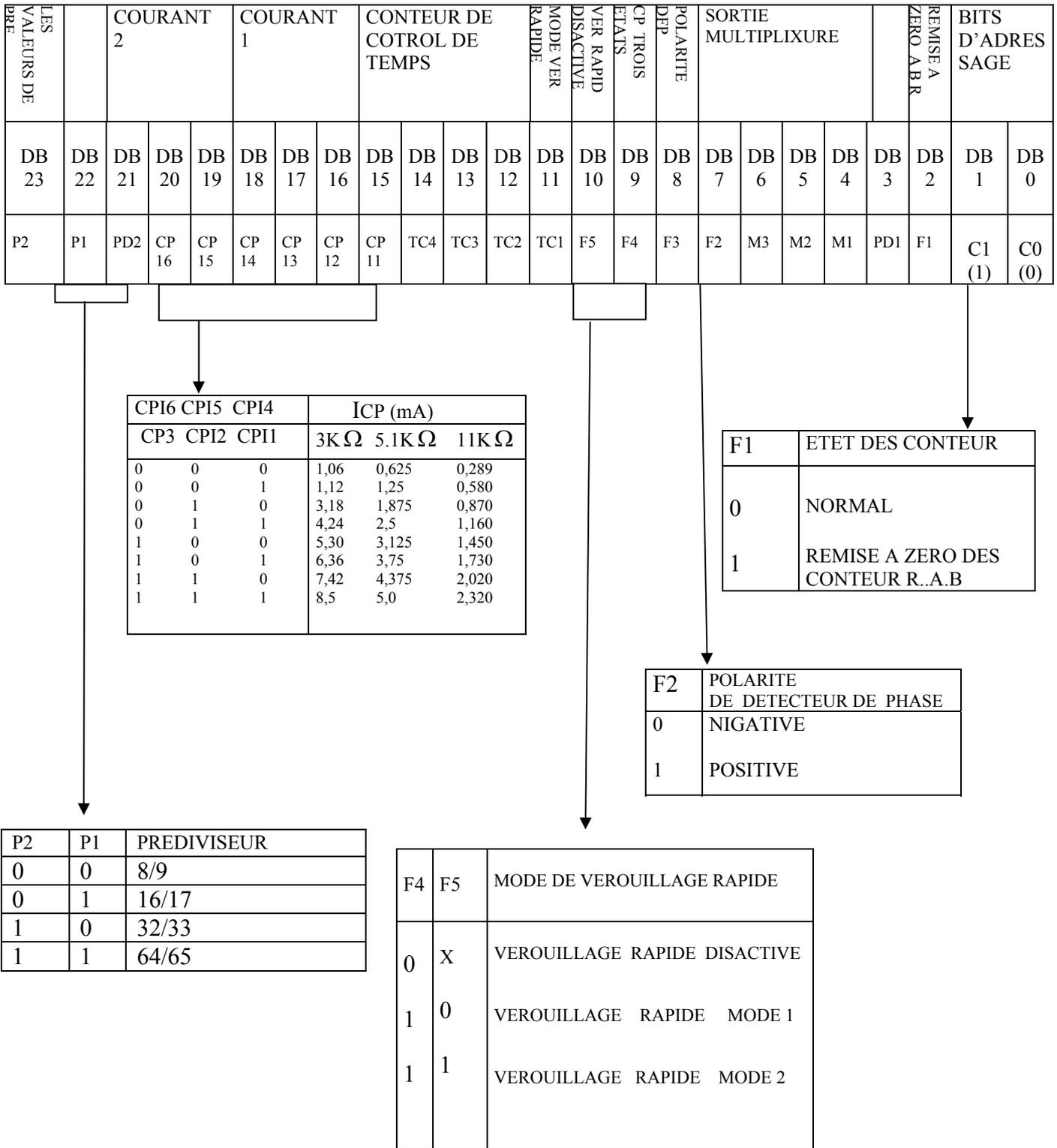


Figure II.16. registre de fonctionnement

Le quatrième registre est exactement comme le précédent avec les mêmes bits.

III.1.1. Programmation des registres :

Les principaux paramètres à programme dans le circuit sont répertoriés dans le tableau suivant

| Les paramètres | Les valeurs |
|-------------------------------|--|
| Diviseur de référence | R=8 |
| Diviseur de vco | P=64 B=234 N=P*B+A=15000 A=24 |
| Courant de la pompe de charge | I ₀ = 5 mA |

Tableau III.1: les paramètres programmable dans le circuit ADF4108

REGISTRE DE REFERENCE

| RESERVE | | | | PRECISION DE VERROUILLAGE | BITS DE TEST | | | | BITS DE CICUIT A RETRARD | BITS DE DIVISEUR DE REFERENCE | | | | | | | | | | | | BITS D'ADRESSAG E | | |
|----------|----------|----------|----------|------------------------------|--------------|----------|----------|----------|--------------------------------|-------------------------------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|-------------------------|---------|---------|
| DB 23 | DB 22 | DB 21 | DB 20 | | DB 19 | DB 18 | DB 17 | DB 16 | | DB 15 | DB 14 | DB 13 | DB 12 | DB 11 | DB 10 | DB 9 | DB 8 | DB 7 | DB 6 | DB 5 | DB 4 | DB 3 | DB 2 | DB 1 |
| X | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

REGISTRE DES COMPTEURS A B

| RESERVE | | GAIN CP | BITS DE CONTEUR B | | | | | | | | | | | | | BITS DECONTEUR A | | | | | | BITS D'ADDRESS AGE | |
|---------|-------|---------|-------------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|------|------|------------------|------|------|------|------|------|--------------------|------|
| DB 23 | DB 22 | DB 21 | DB 20 | DB 19 | DB 18 | DB 17 | DB 16 | DB 15 | DB 14 | DB 13 | DB 12 | DB 11 | DB 10 | DB 9 | DB 8 | DB 7 | DB 6 | DB 5 | DB 4 | DB 3 | DB 2 | DB 1 | DB 0 |
| X | X | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

REGISTRE DE FONCTIONNEMENT

| LES VALEURS DE PRE DIVISEUR | | COURANT 2 | | | | COURANT 1 | | | | CONTEUR DE COTROL DE TEMPS | | | | MODE VER RAPIDE | VER RAPID DISACTIVE | CP TROIS ETATS | POLARITE DEP | SORTIE MULTIPLIXURE | | | | REMISE A ZERO ABR | BITS D'ADRES SAGE | |
|-----------------------------|-------|-----------|-------|-------|-------|-----------|-------|-------|-------|----------------------------|-------|-------|-------|-----------------|---------------------|----------------|--------------|---------------------|------|------|------|-------------------|-------------------|--|
| DB 23 | DB 22 | DB 21 | DB 20 | DB 19 | DB 18 | DB 17 | DB 16 | DB 15 | DB 14 | DB 13 | DB 12 | DB 11 | DB 10 | DB 9 | DB 8 | DB 7 | DB 6 | DB 5 | DB 4 | DB 3 | DB 2 | DB 1 | DB 0 | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | |

REGISTRE D'INITIALISATION

| LES VALEURS DE PRE DIVISEUR | | COURANT 2 | | | | COURANT 1 | | | | CONTEUR DE COTROL DE TEMPS | | | | MODE VER RAPIDE | VER RAPID DISACTIVE | CP TROIS ETATS | POLARITE DEP | SORTIE MULTIPLIXURE | | | | REMISE A ZERO ABR | BITS D'ADRES SAGE | |
|-----------------------------|-------|-----------|-------|-------|-------|-----------|-------|-------|-------|----------------------------|-------|-------|-------|-----------------|---------------------|----------------|--------------|---------------------|------|------|------|-------------------|-------------------|--|
| DB 23 | DB 22 | DB 21 | DB 20 | DB 19 | DB 18 | DB 17 | DB 16 | DB 15 | DB 14 | DB 13 | DB 12 | DB 11 | DB 10 | DB 9 | DB 8 | DB 7 | DB 6 | DB 5 | DB 4 | DB 3 | DB 2 | DB 1 | DB 0 | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | |

III.2. Etude de système dans le domaine fréquentiel

Dans l'étude qui suit nous modélisons la boucle à verrouillage de phase par un dispositif linéaire quand la boucle est accrochée, malgré la non linéarité engendrée par le détecteur de phase.

Afin d'établir les différentes fonctions de transfert mise en jeu dans ce système, on procède à sa description dans le domaine fréquentiel qui va nous permettre aussi de déterminer, à partir des caractéristiques des différents éléments (gain, bruit de phase ...), le gabarit fréquentiel du sortie en régime établi.

Cette étude se fait en développant les phases instantanées de sortie de chaque élément dans le plan de Laplace.

III.2.1.1. Oscillateur local

Le choix de l'oscillateur local est effectué sur un oscillateur construit à base d'un résonateur à quartz, ce choix est justifié par l'excellente stabilité qui présente ce type d'oscillateur ainsi que sont faible coût d'achat et / ou de conception.

Les oscillateurs à quartz sont caractérisés par leur fluctuation aléatoire temporelle des passages à zéro de l'onde porteuse appelée « jigue de phase périodique » ou jitter.

Bien que dans la pratique, le signal de sortie de l'oscillateur constitue de multiples harmonique, en théorie on peut décrire ce signal par l'expression temporelle de la composant fondamentale

$$y_e(t) = \cos(\theta_e(t)) = \cos(\omega_e t + \varphi_e(t)) \quad (\text{III.1})$$

Avec $\varphi_e(t)$: la phase instantanée de l'oscillateur

Dans le domaine de Laplace l'oscillateur locale est décrit, par la transformée de Laplace de sa phase instantanée $\varphi_e(t)$ définie par

$$\phi_e(p) = \mathcal{L}(\varphi_e(t)) \quad (\text{III.2})$$

III.2.1.2. Diviseur de fréquence de la référence

L'introduction du diviseur de fréquence devant l'oscillateur locale nous permet d'avoir une fréquence de comparaison désirée et admissible par le détecteur de phase.

La phase instantanée à la sortie de diviseur est donnée par

$$\theta_{ref}(t) = \frac{\theta_e(t)}{R} = \frac{\omega_e(t) + \varphi_e(t)}{R} \quad (\text{III.3})$$

R : rapport de division

Le signal à la sortie du diviseur s'écrit donc

$$y_{ref}(t) = \cos(\omega_{ref} + \varphi_{ref}(t)) \quad (\text{III.4})$$

L'expression de la phase instantanée à la sortie du diviseur est donnée par la transformée de

$$\text{Laplace de } \varphi_{ref}(t) = \frac{\varphi_e(t)}{R} \longrightarrow \phi_{ref}(p) = \frac{\phi_e(p)}{R} \quad (\text{III.5})$$

III.2.1.3. Détecteur de phase

Le comparateur de phase délivre un signal d'erreur en fonction de la phase de ces deux entrées tel que :

$$E(P) = (\phi_{ref}(p) - \phi_{div}(p)) \quad (\text{III.6})$$

Le gain en sortie de la pompe de charge est statique et vis-à-vis de la différence de phase, le courant de sortie s'exprime donc

$$I_{cp}(p) = K_{cp} E(P) = \frac{I_0}{2\pi} (\phi_{ref}(p) - \phi_{div}(p)) \quad (\text{III.7})$$

II.5.1.4. Filtre de boucle

En raison de son faible coût et faible bruit, il est souhaitable d'utiliser un simple filtre de boucle passif, la figure II.14 montre la configuration typique d'un filtre C, C_1, R_1 forment un filtre de deuxième ordre, le VCO crée un pôle supplémentaire, par conséquent, la structure complète du filtre du boucle crée une boucle de troisième ordre, la composante C représente

le cœur du filtre de boucle et C_1, R_1 est utilisé pour améliorer encore les performance du système par l'amortissement de l'intégration directe et l'ajout d'atténuation d'ordre supérieure.

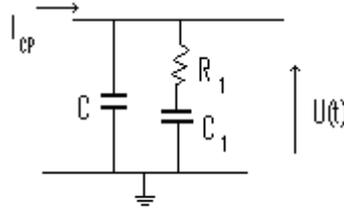


Figure III.1. Schéma de circuit de filtre de boucle

L'équation différentielle caractérisant le circuit est donnée par l'expression

$$R_1 C \frac{d^2 U(t)}{dt^2} + \left[1 + \frac{C}{C_1} \right] \frac{dU(t)}{dt} = \frac{1}{C_1} I_{cp}(t) + R_1 \frac{dI_{cp}(t)}{dt} \quad (\text{III.8})$$

$$\text{On pose } \tau = C_1 + C \quad (\text{III.9})$$

$$\tau_1 = R_1 C_1 \quad (\text{III.10})$$

$$\tau_2 = \frac{R_1 C_1 C}{C_1 + C} \quad (\text{III.11})$$

On aura l'expression de la fonction de transfert du filtre de deuxième ordre de la figure est de la forme

$$F(P) = \frac{1 + \tau_1 P}{\tau P (1 + \tau_2 P)} \quad (\text{III.12})$$

III.2.1.5. Oscillateur contrôle en tension VCO :

La phase à la sortie de VCO est exprimée en fonction de la tension d'entrée par

$$\phi_s(P) = \frac{2\pi K_v}{P} U(P) \quad (\text{III.13})$$

Avec $U(P)$: la tension à la sortie du filtre

$$U(P) = F(P) I_{cp}(p) \quad (\text{III.14})$$

III.2.1.6. Diviseur de fréquence de VCO

L a valeur d'angle instantané $\theta_{div}(t)$ du diviseur de fréquence connecté au VCO se calcule comme celle de l'angle instantané du diviseur de fréquence de l'oscillateur locale, elle s'exprime

$$\theta_{div}(t) = \frac{\theta_s(t)}{N} = \frac{\omega_s(t) + \phi_s(t)}{N} \tag{III.15}$$

N : rapport de division

Dans le domaine de Laplace

$$\phi_{div}(p) = \frac{\phi_s(p)}{N} \tag{III.16}$$

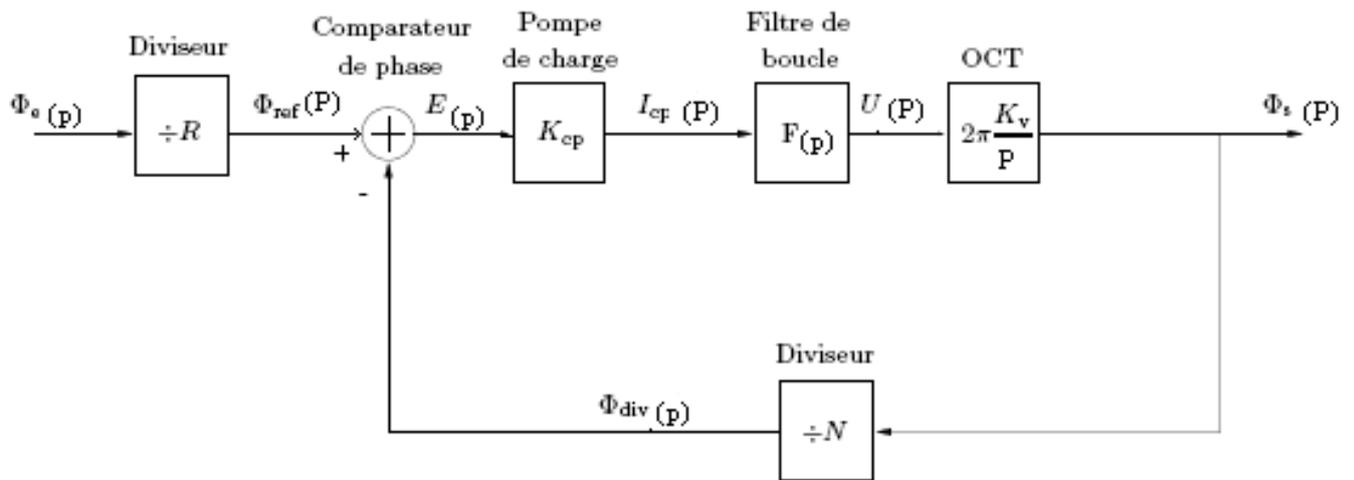


Figure III.2. Modèle linéaire du synthétiseur de fréquence dans le domaine fréquentiel.

III.2.2. Expression des fonctions de transfert de système

Après avoir décrit les différents éléments de la PLL dans le domaine fréquentiel, on procède à l'expression des fonctions de transfert de ce système.

III.2.2.1 Fonction de transfert de la chaîne directe

La fonction de transfert de la chaîne directe exprimé le rapport entre la phase à la sortie sur la phase de la référence en considérant le détecteur de phase, le filtre et le VCO en boucle ouvert.

$$G(P) = \frac{\phi_s(p)}{\phi_{ref}(p)} = K_{cp} F(P) \frac{2\pi K_v}{p} \quad (III.17)$$

III.2.2.2 Fonction de transfert de la chaîne de retour

La chaîne de retour est constituée simplement de diviseur de fréquence de VCO, Sa fonction de transfert est donné par le rapport entre la phase à son entrée sur la phase à sa sortie

$$H(P) = \frac{\phi_{div}(p)}{\phi_s(p)} = \frac{1}{N} \quad (III.18)$$

III.2.2.3 Fonction de transfert en boucle ouverte

La multiplication de deux fonctions précédente nous donne la fonction de transfert en boucle ouverte qui est utilisée, par la suite, pour l'étude de la stabilité de la boucle

$$A(P) = K_{cp} F(P) \frac{2\pi K_v}{p} \frac{1}{N} \quad (III.19)$$

III.2.2.4. Fonction de transfert en boucle fermé

La fonction de transfert en boucle fermée met en relation la phase $\phi_s(p)$ et la phase $\phi_{ref}(p)$ lorsque le synthétiseur fonctionne en régime établi, est donc donnée par

$$B(P) = \frac{G(P)}{1 + G(P)H(P)} = \frac{K_v N I_0 + K_v N I_0 \tau_1 P}{I_0 K_v + I_0 K_v \tau_1 P + N \tau P^2 + N \tau \tau_2 P^3} \quad (III.20)$$

III.2.3. Etude de la stabilité de la boucle

Dans un asservissement linéaire, la stabilité de la boucle s'étudie grâce à la Fonction de Transfert $A(s)$ en Boucle Ouverte (FTBO), qui représente le rapport entre la phase d'entrée $\phi_{ref}(p)$ et la phase de sortie du diviseur de fréquence de retour $\phi_{div}(p)$. Elle s'exprime

$$A(P) = K_{cp} F(P) \frac{2\pi K_v}{p} \frac{1}{N} = \frac{K_v I_0 + K_v I_0 \tau_1 P}{N \tau P^2 + N \tau \tau_2 P^3} \quad (\text{III.21})$$

La problématique de stabilité naît des dynamiques et des non-linéarités négligées dans la modélisation : un des pôles du système peut devenir instable sous l'influence de ces dynamiques parasites. Nous cherchons alors à garantir la stabilité malgré les variations des paramètres et l'influence des dynamiques négligées.

Parmi les méthodes garantissant la stabilité du circuit, nous utilisons la plus ancienne et la plus simple : on garantit une marge de stabilité minimale ϕM .

Soit φ_0 l'angle de phase du système lorsque son gain en boucle ouverte est unitaire, la marge de phase est obtenue en évaluant la différence entre φ_0 et l'angle de phase du point d'instabilité qui vaut $-\pi$.

Le système est instable selon le théorème de Nyquist lorsque cette marge de phase $\varphi_0 + \pi$ est négative. En imposant une marge de phase suffisamment importante, les dynamiques négligées ne devraient pas déstabiliser le système. La condition de stabilité est donc :

$$\varphi_0 + \pi = \phi M > 0 \quad (\text{III.22})$$

$$\varphi_0 = \text{Arg} [A(j2\pi f_n)] \quad (\text{III.23})$$

$$\text{Arg} [A(j2\pi f_n)] - \phi M = -\pi \quad (\text{III.24})$$

Remarque : en pratique on prend généralement $\phi M = 45^\circ$

f_n : La fréquence naturelle de la boucle ou la bande passante à laquelle le gain est unitaire.

$$\|A(j2\pi f_n)\|^2 = 1 \quad (\text{III.25})$$

La bande passante maximale de la boucle est limitée par la fréquence de référence en raison du problème de stabilité. En général, la fréquence de référence ou la fréquence à

l'entrée de comparateur de phase (ω_{cp}) est de 10 fois plus grande que la bande passante de la boucle.

La bande passante de la boucle d'un synthétiseur de fréquence est également limitée par le bruit de phase imposé. Elle est une bande passante de la boucle optimale qui minimise la puissance totale du bruit provenant de sources du bruit.

Mais toutefois, la bande passante de la boucle optimale ne parvient pas à remplir le verrouillage rapide en temps exigé car elle dépend de toutes les sources de bruit du synthétiseur de fréquence ce que impose à son tour une bande passante supérieure $\frac{\omega_{cp}}{30}$

Un synthétiseur de fréquence classique à base de PLL à pompe de charge a besoin d'une grande constante de temps pour stabiliser le système. Si une grande résistance est utilisée pour obtenir la grande constante de temps, la puissance de bruit augmente. D'autre part, un grand condensateur ne peut pas être facilement mis en oeuvre au moyen de circuits intégrés (CI), non seulement une telle réalisation serait plus coûteuse mais elle augmente aussi sa consommation d'énergie.

Donc on aura le choix de la bande passante dans un intervalle borné $\frac{\omega_{cp}}{30} < \omega_n < \frac{\omega_{cp}}{10}$ et le choix final se fait selon le cahier de charge tracé par le concepteur

Remarque :

Dans notre cas on choisit $\omega_n = \frac{\omega_{cp}}{25}$ (III.26)

II.5.4. Calcul des valeurs des composants de filtre

Le calcul des valeurs des composants se fait à partir de la fonction de transfert en boucle ouverte $A(j\omega)$ suivant la condition de module unitaire à la fréquence naturelle et la condition sur la phase $\frac{d\text{Arg}(A(j\omega_n))}{d\omega_n} = 0$ qui exprime la condition d'une phase constante.

En ajoutant aux deux conditions la marge de phase déjà choisie (45°) et en développant ces équations on aboutit aux résultats suivants :

$$\tau_2 = - \frac{\tan(\varphi(\omega_n)) + 1/\cos(\varphi(\omega_n))}{\omega_n} \quad (\text{III.27})$$

$$\tau_1 = \frac{1}{\tau_2 \omega_n^2} \quad (\text{III.28})$$

$$\tau = \frac{K_{CP} K_V \sqrt{1 + \omega_n^2 \tau_1^2}}{N \omega_n^2 \sqrt{1 + \omega_n^2 \tau_2^2}} \quad (\text{III.29})$$

Le détail de calcul est fourni dans la référence [7].

III.3. Application

L'oscillateur local est un oscillateur à 20MHz et le rapport de division du diviseur de Référence est fixé à $R = 100$ et celui de VCO à $N=15000$ afin de synthétiser une fréquence porteuse

$$f = 15000 * 200 * 10^3 = 3 * 10^9 \text{ KHZ} = 3 \text{ GHZ} \quad (\text{III.30})$$

Le filtre de boucle est un circuit passif du deuxième ordre dont la valeur des composants fixe la bande passante de boucle théorique à $f_n \simeq 8\text{kHz}$ et une marge de phase à $M = 45^\circ$. Le modèle linéarisé de ce synthétiseur est donc déterminé par le tracé des diagrammes de Bode des différentes fonctions de transfert données aux figures II.16 et II.17

Les principaux paramètres des différents éléments du synthétiseur de fréquence sont répertoriés dans le tableau.

| Paramètre | Valeurs |
|--|---|
| Oscillateur local Fréquence de référence | $F_{ref}=200 \text{ KHZ}$ |
| VCO Fréquence libre Sensibilité local | $F_0= 2.968\text{GHZ}$ $K_v=24 \text{ MHZ/V}$ |
| Diviseur de référence Compteur R | $R=100$ |
| Comparateur de phase Retard | $\tau = 2.9ns$ |
| Diviseur de fréquence de VCO Compteur A Compteur B Pré-diviseur P | $A=24$ $B=234$ $P=64$ $N=B*P+A=15000$ |
| Pompe de charge Courant de pompe de charge | $I_0=5 \text{ mA}$ |
| Paramètre de boucle Ordre de filtre Valeurs des composants | 2 $C_1=1nF$ $C=200pF$ $R_1=48 \text{ K}\Omega$ |

Tableau III.1. Les paramètres différents éléments de synthétiseur de fréquence

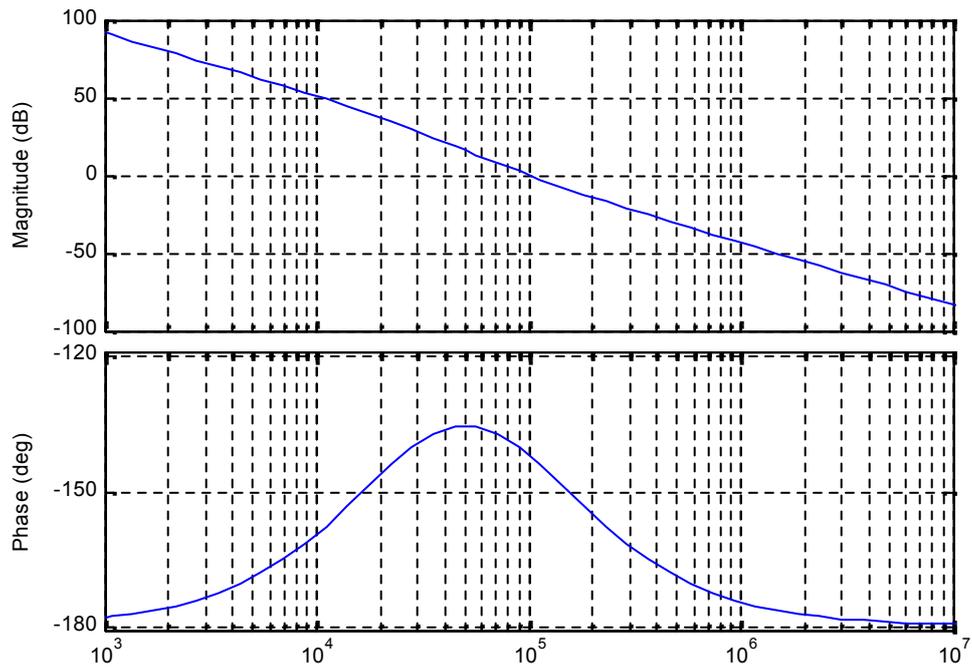


Figure III.3. Diagramme de BODE de la fonction de transfert en boucle ouverte

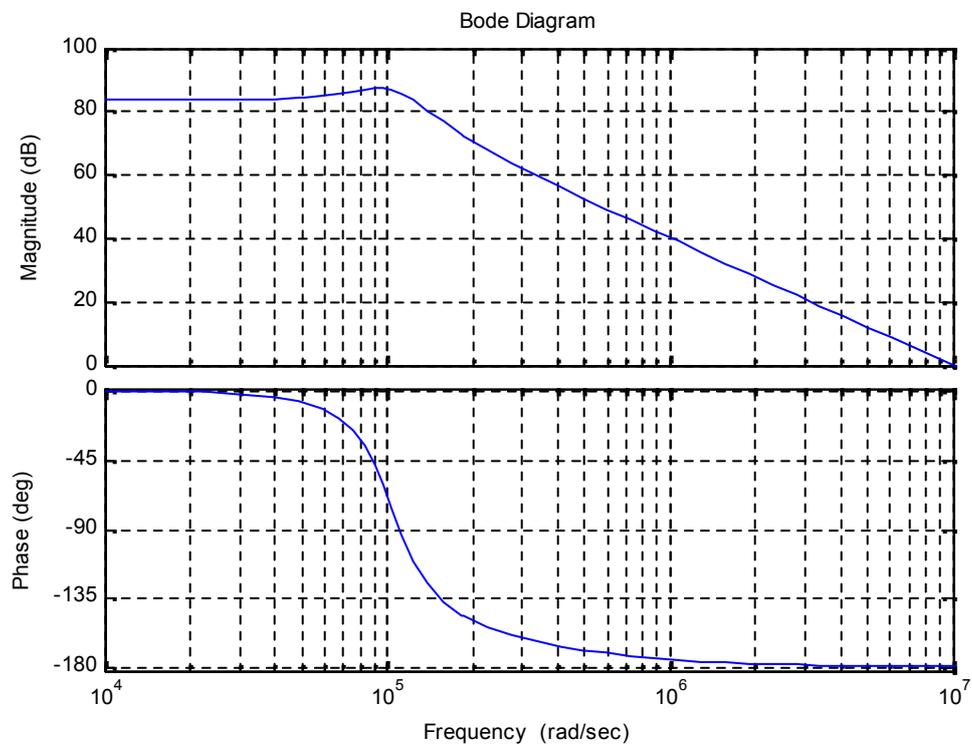


Figure III.4. diagramme de BODE de la fonction de transfert en boucle fermée

III.4. Méthode de programmation :

D'après le data sheet de circuit ADF4108 il existe trois méthode de programmation a l'aide de circuit d'interface ADuC812.

- Programmation par initialisation de quatrième registre.
- Programmation a l'aide de la bouche C_e .
- Programmation par remise à zéro des compteurs.

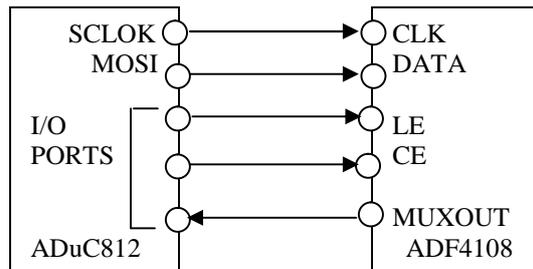


Figure III.5. Programmation de AFD4108 a l'aide de ADuC912

On choisi la premier méthode

- 1-On alimente le circuit par V_{DD} .
- 2-On programme le registre d'initialisation en envoyant d'abor 11 pour l'adresse, en veillant à ce que la F1 bit est programmé pour un 0 .
- 3-Ensuite, on programme le registre de référence
- 4-Enfin,on programme le registre des compteurs A B.

III.5. Le schéma détaillé de circuit de synthétiseur de fréquence a rapport de division entier à base de circuit intègre ADF4108.

On remarque sur la figure.II.8 que la tension de commande VCO varie entre 10 V et 14 V, pour attendre cette tension on introduit un amplificateur opérationnel AD633 devant le filtre de boucle qui additionne la tension à la sortie de filtre avec une tension de 10 V.

Le datasheet de l'amplificateur est donne dans l'annexe C.

$AV_{DD}=DV_{DD}=3.3V \pm 2\%$, $AV_{DD} V_P 5.5V$, $AGND=DGND=CPGND=0V$, $R_{SET}=5.1k\Omega$

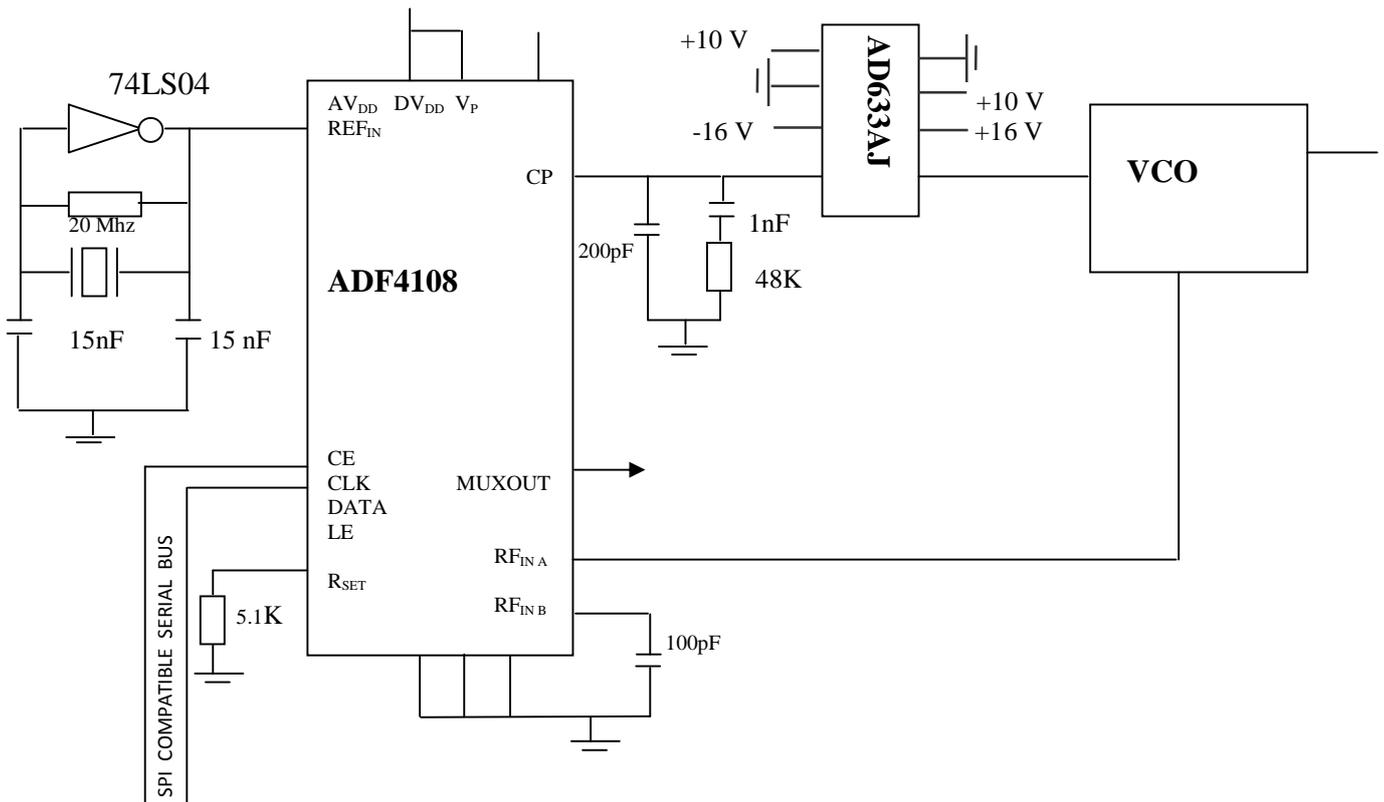


Figure III.6 : schéma détaillé de circuit de synthétiseur de fréquence a rapport de division entier

III.2. Etude de système dans le domaine fréquentiel

Dans l'étude qui suit nous modélisons la boucle à verrouillage de phase par un dispositif linéaire quand la boucle est accrochée, malgré la non linéarité engendrée par le détecteur de phase.

Afin d'établir les différentes fonctions de transfert mise en jeu dans ce système, on procède à sa description dans le domaine fréquentiel qui va nous permettre aussi de déterminer, à partir des caractéristiques des différents éléments (gain, bruit de phase ...), le gabarit fréquentiel du sortie en régime établi.

Cette étude se fait en développant les phases instantanées de sortie de chaque élément dans le plan de Laplace.

III.2.1.1. Oscillateur local

Le choix de l'oscillateur local est effectué sur un oscillateur construit à base d'un résonateur à quartz, ce choix est justifié par l'excellente stabilité qui présente ce type d'oscillateur ainsi que sont faible coût d'achat et / ou de conception.

Les oscillateurs à quartz sont caractérisés par leur fluctuation aléatoire temporelle des passages à zéro de l'onde porteuse appelée « jigue de phase périodique » ou jitter.

Bien que dans la pratique, le signal de sortie de l'oscillateur constitue de multiples harmonique, en théorie on peut décrire ce signal par l'expression temporelle de la composant fondamentale

$$y_e(t) = \cos(\theta_e(t)) = \cos(\omega_e t + \varphi_e(t)) \quad (\text{III.1})$$

Avec $\varphi_e(t)$: la phase instantanée de l'oscillateur

Dans le domaine de Laplace l'oscillateur locale est décrit, par la transformée de Laplace de sa phase instantanée $\varphi_e(t)$ définie par

$$\phi_e(p) = \mathcal{L}(\varphi_e(t)) \quad (\text{III.2})$$

III.2.1.2. Diviseur de fréquence de la référence

L'introduction du diviseur de fréquence devant l'oscillateur locale nous permet d'avoir une fréquence de comparaison désirée et admissible par le détecteur de phase.

La phase instantanée à la sortie de diviseur est donnée par

$$\theta_{ref}(t) = \frac{\theta_e(t)}{R} = \frac{\omega_e(t) + \varphi_e(t)}{R} \quad (\text{III.3})$$

R : rapport de division

Le signal à la sortie du diviseur s'écrit donc

$$y_{ref}(t) = \cos(\omega_{ref} + \varphi_{ref}(t)) \quad (\text{III.4})$$

L'expression de la phase instantanée à la sortie du diviseur est donnée par la transformée de

$$\text{Laplace de } \varphi_{ref}(t) = \frac{\varphi_e(t)}{R} \longrightarrow \phi_{ref}(p) = \frac{\phi_e(p)}{R} \quad (\text{III.5})$$

III.2.1.3. Détecteur de phase

Le comparateur de phase délivre un signal d'erreur en fonction de la phase de ces deux entrées tel que :

$$E(P) = (\phi_{ref}(p) - \phi_{div}(p)) \quad (\text{III.6})$$

Le gain en sortie de la pompe de charge est statique et vis-à-vis de la différence de phase, le courant de sortie s'exprime donc

$$I_{cp}(p) = K_{cp} E(P) = \frac{I_0}{2\pi} (\phi_{ref}(p) - \phi_{div}(p)) \quad (\text{III.7})$$

II.5.1.4. Filtre de boucle

En raison de son faible coût et faible bruit, il est souhaitable d'utiliser un simple filtre de boucle passif, la figure II.14 montre la configuration typique d'un filtre C, C_1, R_1 forment un filtre de deuxième ordre, le VCO crée un pôle supplémentaire, par conséquent, la structure complète du filtre de boucle crée une boucle de troisième ordre, la composante C représente

le cœur du filtre de boucle et C_1, R_1 est utilisé pour améliorer encore les performance du système par l'amortissement de l'intégration directe et l'ajout d'atténuation d'ordre supérieure.

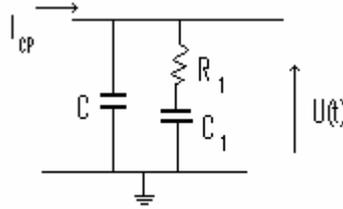


Figure III.1. Schéma de circuit de filtre de boucle

L'équation différentielle caractérisant le circuit est donnée par l'expression

$$R_1 C \frac{d^2 U(t)}{dt^2} + \left[1 + \frac{C}{C_1} \right] \frac{dU(t)}{dt} = \frac{1}{C_1} I_{cp}(t) + R_1 \frac{dI_{cp}(t)}{dt} \quad (\text{III.8})$$

$$\text{On pose } \tau = C_1 + C \quad (\text{III.9})$$

$$\tau_1 = R_1 C_1 \quad (\text{III.10})$$

$$\tau_2 = \frac{R_1 C_1 C}{C_1 + C} \quad (\text{III.11})$$

On aura l'expression de la fonction de transfert du filtre de deuxième ordre de la figure est de la forme

$$F(P) = \frac{1 + \tau_1 P}{\tau P (1 + \tau_2 P)} \quad (\text{III.12})$$

III.2.1.5. Oscillateur contrôle en tension VCO :

La phase à la sortie de VCO est exprimée en fonction de la tension d'entrée par

$$\phi_s(P) = \frac{2\pi K_v}{P} U(P) \quad (\text{III.13})$$

Avec $U(P)$: la tension à la sortie du filtre

$$U(P) = F(P) I_{cp}(p) \quad (\text{III.14})$$

III.2.1.6. Diviseur de fréquence de VCO

La valeur d'angle instantanée $\theta_{div}(t)$ du diviseur de fréquence connecté au VCO se calcule comme celle de l'angle instantané du diviseur de fréquence de l'oscillateur locale, elle s'exprime

$$\theta_{div}(t) = \frac{\theta_s(t)}{N} = \frac{\omega_s(t) + \phi_s(t)}{N} \quad (\text{III.15})$$

N : rapport de division

Dans le domaine de Laplace

$$\phi_{div}(p) = \frac{\phi_s(p)}{N} \quad (\text{III.16})$$

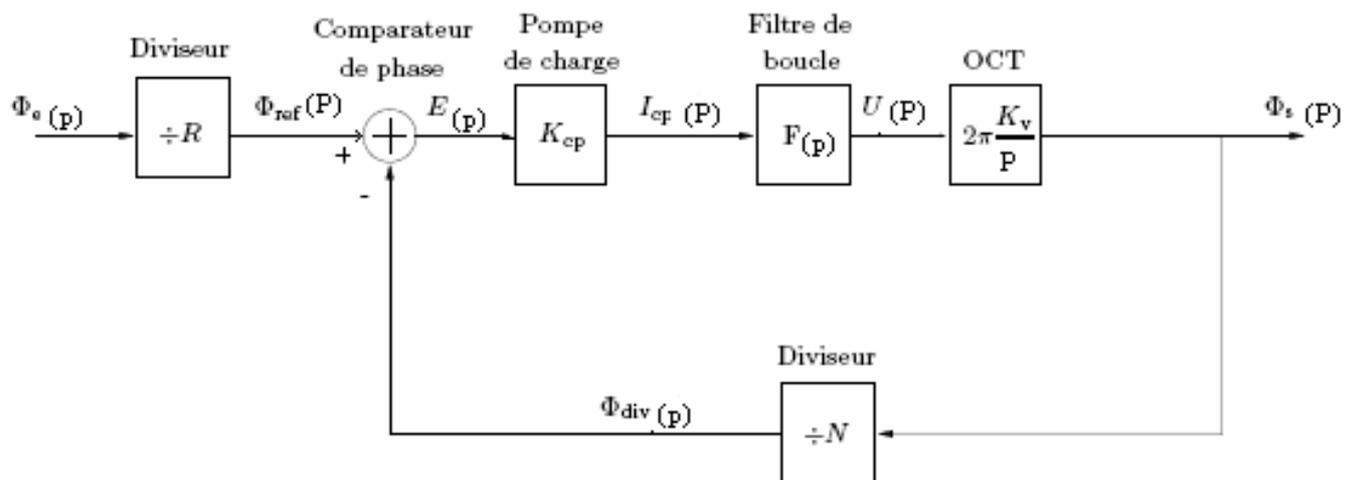


Figure III.2. Modèle linéaire du synthétiseur de fréquence dans le domaine fréquentiel.

III.2.2. Expression des fonctions de transfert de système

Après avoir décrit les différents éléments de la PLL dans le domaine fréquentiel, on procède à l'expression des fonctions de transfert de ce système.

III.2.2.1 Fonction de transfert de la chaîne directe

La fonction de transfert de la chaîne directe exprimé le rapport entre la phase à la sortie sur la phase de la référence en considérant le détecteur de phase, le filtre et le VCO en boucle ouvert.

$$G(P) = \frac{\phi_s(p)}{\phi_{ref}(p)} = K_{cp} F(P) \frac{2\pi K_v}{p} \quad (III.17)$$

III.2.2.2 Fonction de transfert de la chaîne de retour

La chaîne de retour est constituée simplement de diviseur de fréquence de VCO, Sa fonction de transfert est donné par le rapport entre la phase à son entrée sur la phase à sa sortie

$$H(P) = \frac{\phi_{div}(p)}{\phi_s(p)} = \frac{1}{N} \quad (III.18)$$

III.2.2.3 Fonction de transfert en boucle ouverte

La multiplication de deux fonctions précédente nous donne la fonction de transfert en boucle ouverte qui est utilisée, par la suite, pour l'étude de la stabilité de la boucle

$$A(P) = K_{cp} F(P) \frac{2\pi K_v}{p} \frac{1}{N} \quad (III.19)$$

III.2.2.4. Fonction de transfert en boucle fermé

La fonction de transfert en boucle fermée met en relation la phase $\phi_s(p)$ et la phase $\phi_{ref}(p)$ lorsque le synthétiseur fonctionne en régime établi, est donc donnée par

$$B(P) = \frac{G(P)}{1 + G(P)H(P)} = \frac{K_v N I_0 + K_v N I_0 \tau_1 P}{I_0 K_v + I_0 K_v \tau_1 P + N \tau P^2 + N \tau \tau_2 P^3} \quad (III.20)$$

III.2.3. Etude de la stabilité de la boucle

Dans un asservissement linéaire, la stabilité de la boucle s'étudie grâce à la Fonction de Transfert $A(s)$ en Boucle Ouverte (FTBO), qui représente le rapport entre la phase d'entrée $\phi_{ref}(p)$ et la phase de sortie du diviseur de fréquence de retour $\phi_{div}(p)$. Elle s'exprime

$$A(P) = K_{cp} F(P) \frac{2\pi K_v}{p} \frac{1}{N} = \frac{K_v I_0 + K_v I_0 \tau_1 P}{N \tau P^2 + N \tau \tau_2 P^3} \quad (\text{III.21})$$

La problématique de stabilité naît des dynamiques et des non-linéarités négligées dans la modélisation : un des pôles du système peut devenir instable sous l'influence de ces dynamiques parasites. Nous cherchons alors à garantir la stabilité malgré les variations des paramètres et l'influence des dynamiques négligées.

Parmi les méthodes garantissant la stabilité du circuit, nous utilisons la plus ancienne et la plus simple : on garantit une marge de stabilité minimale ϕM .

Soit φ_0 l'angle de phase du système lorsque son gain en boucle ouverte est unitaire, la marge de phase est obtenue en évaluant la différence entre φ_0 et l'angle de phase du point d'instabilité qui vaut $-\pi$.

Le système est instable selon le théorème de Nyquist lorsque cette marge de phase $\varphi_0 + \pi$ est négative. En imposant une marge de phase suffisamment importante, les dynamiques négligées ne devraient pas déstabiliser le système. La condition de stabilité est donc :

$$\varphi_0 + \pi = \phi M > 0 \quad (\text{III.22})$$

$$\varphi_0 = \text{Arg} [A(j2\pi f_n)] \quad (\text{III.23})$$

$$\text{Arg} [A(j2\pi f_n)] - \phi M = -\pi \quad (\text{III.24})$$

Remarque : en pratique on prend généralement $\phi M = 45^\circ$

f_n : La fréquence naturelle de la boucle ou la bande passante à laquelle le gain est unitaire.

$$\|A(j2\pi f_n)\|^2 = 1 \quad (\text{III.25})$$

La bande passante maximale de la boucle est limitée par la fréquence de référence en raison du problème de stabilité. En général, la fréquence de référence ou la fréquence à

l'entrée de comparateur de phase (ω_{cp}) est de 10 fois plus grande que la bande passante de la boucle.

La bande passante de la boucle d'un synthétiseur de fréquence est également limitée par le bruit de phase imposé. Elle est une bande passante de la boucle optimale qui minimise la puissance totale du bruit provenant de sources du bruit.

Mais toutefois, la bande passante de la boucle optimale ne parvient pas à remplir le verrouillage rapide en temps exigé car elle dépend de toutes les sources de bruit du synthétiseur de fréquence ce que impose à son tour une bande passante supérieure $\omega_{cp}/30$

Un synthétiseur de fréquence classique à base de PLL à pompe de charge a besoin d'une grande constante de temps pour stabiliser le système. Si une grande résistance est utilisée pour obtenir la grande constante de temps, la puissance de bruit augmente. D'autre part, un grand condensateur ne peut pas être facilement mis en oeuvre au moyen de circuits intégrés (CI), non seulement une telle réalisation serait plus coûteuse mais elle augmente aussi sa consommation d'énergie.

Donc on aura le choix de la bande passante dans un intervalle borné $\frac{\omega_{cp}}{30} < \omega_n < \frac{\omega_{cp}}{10}$ et le choix final se fait selon le cahier de charge tracé par le concepteur

Remarque :

Dans notre cas on choisit $\omega_n = \frac{\omega_{cp}}{25}$ (III.26)

II.5.4. Calcul des valeurs des composants de filtre

Le calcul des valeurs des composants se fait à partir de la fonction de transfert en boucle ouverte $A(j\omega)$ suivant la condition de module unitaire à la fréquence naturelle et la condition sur la phase $\frac{dArg(A(j\omega_n))}{d\omega_n} = 0$ qui exprime la condition d'une phase constante.

En ajoutant aux deux conditions la marge de phase déjà choisie (45°) et en développant ces équations on aboutit aux résultats suivants :

$$\tau_2 = -\frac{\tan(\varphi(\omega_n)) + \frac{1}{\cos(\varphi(\omega_n))}}{\omega_n} \quad (\text{III.27})$$

$$\tau_1 = \frac{1}{\tau_2 \omega_n^2} \quad (\text{III.28})$$

$$\tau = \frac{K_{CP} K_V \sqrt{1 + \omega_n^2 \tau_1^2}}{N \omega_n^2 \sqrt{1 + \omega_n^2 \tau_2^2}} \quad (\text{III.29})$$

Le détail de calcul est fourni dans la référence [7].

III.3. Application

L'oscillateur local est un oscillateur à 20MHz et le rapport de division du diviseur de Référence est fixé à $R = 100$ et celui de VCO à $N=15000$ afin de synthétiser une fréquence porteuse

$$f = 15000 * 200 * 10^3 = 3 * 10^9 \text{ KHZ} = 3 \text{ GHZ} \quad (\text{III.30})$$

Le filtre de boucle est un circuit passif du deuxième ordre dont la valeur des composants fixe la bande passante de boucle théorique à $f_n \simeq 8\text{kHz}$ et une marge de phase à $M = 45^\circ$. Le modèle linéarisé de ce synthétiseur est donc déterminé par le tracé des diagrammes de Bode des différentes fonctions de transfert données aux figures II.16 et II.17

Les principaux paramètres des différents éléments du synthétiseur de fréquence sont répertoriés dans le tableau.

| Paramètre | Valeurs |
|--|--|
| Oscillateur local Fréquence de référence | $F_{ref}=200$ KHZ |
| VCO Fréquence libre Sensibilité local | $F_0= 2.968$ GHZ $K_v=24$ MHZ/V |
| Diviseur de référence Compteur R | $R=100$ |
| Comparateur de phase Retard | $\tau = 2.9ns$ |
| Diviseur de fréquence de VCO Compteur A Compteur B Pré-diviseur P | $A=24$ $B=234$ $P=64$ $N=B*P+A=15000$ |
| Pompe de charge Courant de pompe de charge | $I_0=5$ mA |
| Paramètre de boucle Ordre de filtre Valeurs des composants | 2 $C_1=1nF$ $C=200pF$ $R_1=48$ K Ω |

Tableau III.1. Les paramètres différents éléments de synthétiseur de fréquence

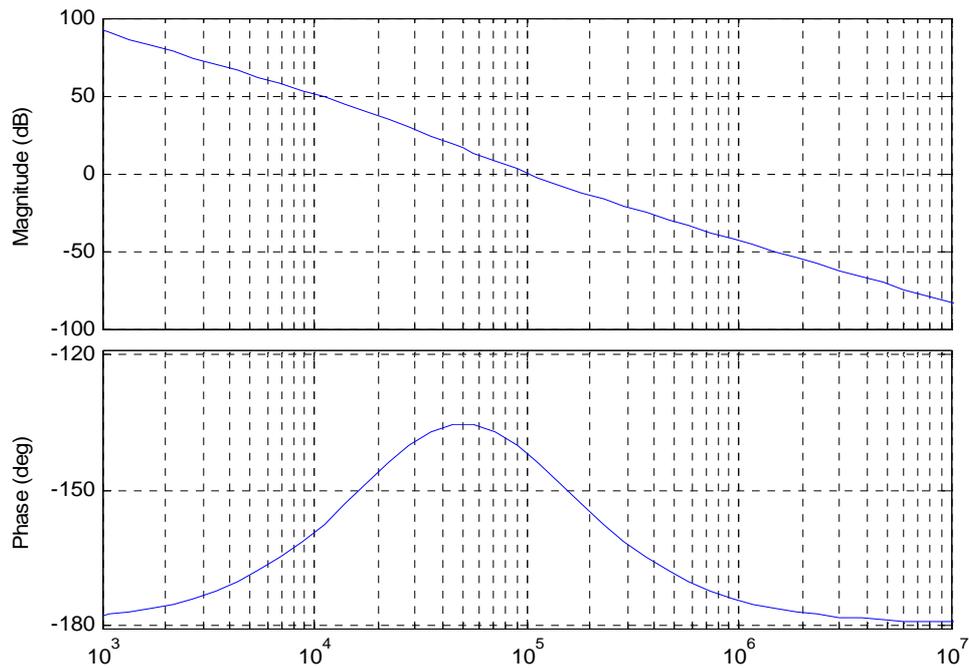
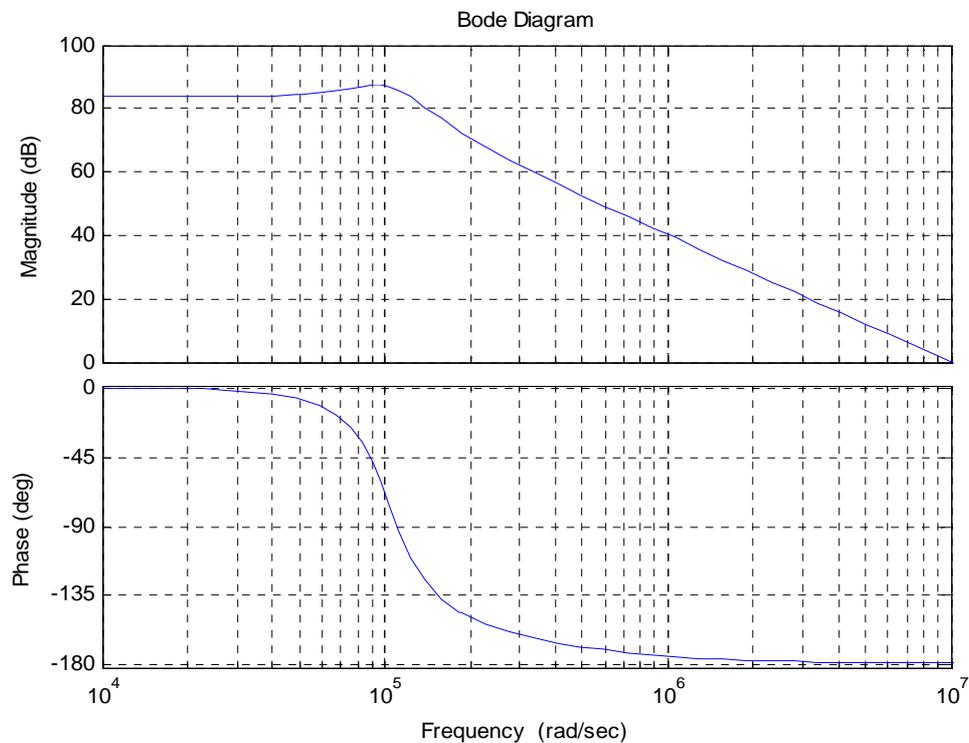


Figure III.3. Diagramme de BODE de la fonction de transfert en boucle ouverte



FigureIII.4. diagramme de BODE de la fonction de transfert en boucle fermée

III.4. Méthode de programmation :

D'après le data sheet de circuit ADF4108 il existe trois méthode de programmation a l'aide de circuit d'interface ADuC812.

- Programmation par initialisation de quatrième registre.
- Programmation a l'aide de la bouche C_e .
- Programmation par remise à zéro des compteurs.

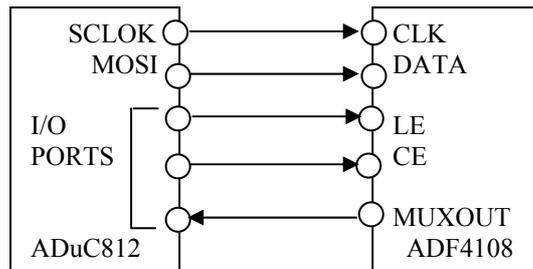


Figure III.5. Programmation de AFD4108 a l'aide de ADuC912

On choisi la premier méthode

- 1-On alimente le circuit par V_{DD} .
- 2-On programme le registre d'initialisation en envoyant d'abor 11 pour l'adresse, en veillant à ce que la F1 bit est programmé pour un 0 .
- 3-Ensuite, on programme le registre de référence
- 4-Enfin,on programme le registre des compteurs A B.

III.5. Le schéma détaillé de circuit de synthétiseur de fréquence a rapport de division entier à base de circuit intègre ADF4108.

On remarque sur la figure.II.8 que la tension de commande VCO varie entre 10 V et 14 V, pour attendre cette tension on introduit un amplificateur opérationnel AD633 devant le filtre de boucle qui additionne la tension à la sortie de filtre avec une tension de 10 V.

Le datasheet de l'amplificateur est donne dans l'annexe C.

$AV_{DD}=DV_{DD}=3.3V \pm 2\%$, $AV_{DD} \leq V_P \leq 5.5V$, $AGND=DGND=CPGND=0V$, $R_{SET}=5.1k\Omega$

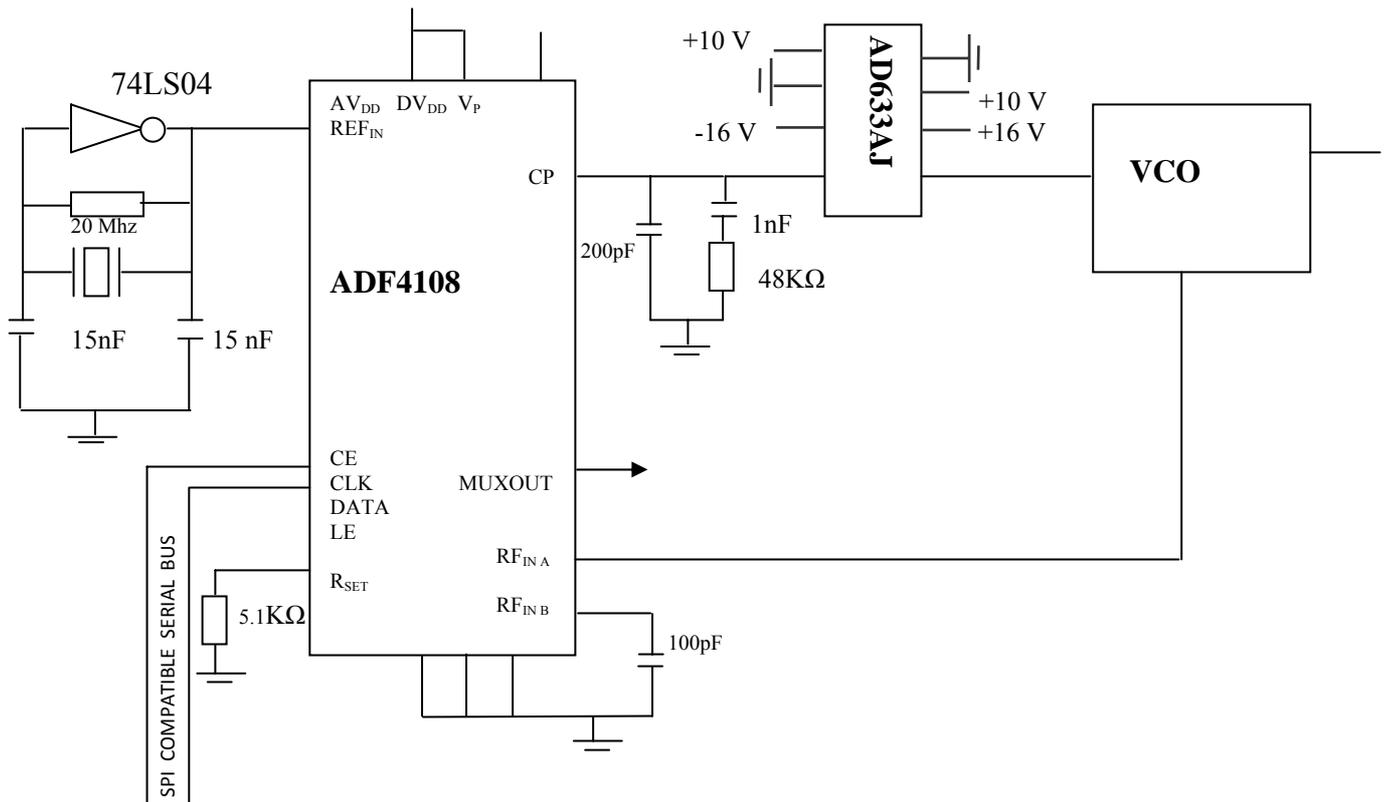


Figure III.6 : schéma détaillé de circuit de synthétiseur de fréquence a rapport de division entier

CONCLUSION GENERALE

Les travaux de ce mémoire ont porté sur l'étude du circuit permettant de générer la fonction d'oscillateur local pour un système de radiocommunication.

Le cadre initial de ces travaux a été la conception de l'oscillateur asservie par une boucle à verrouillage de phase numérique pour une fréquence de 3GHZ. Pour cela on a choisi d'utiliser le circuit intégré ADF4108 qui offre les meilleures performances notamment par rapport au bruit de phase et un VCO conçu à base de transistor AT41435.

Nous avons été amené à prendre des valeurs théoriques pour optimiser les performances du système. Un travail plus rigoureux consiste à fixe des valeurs et procéder à des mesures et ensuite revenir à chaque fois ajuster ces valeurs pour aboutir à des performance réelles, c'est-à-dire pratique. Nous souhaitons que ce travail soit repris pour une réalisation effective du synthétiseur.

FEATURES

- 8.0 GHz bandwidth**
- 3.2 V to 3.6 V power supply**
- Separate charge pump supply (V_p) allows extended tuning voltage in 3.3 V systems**
- Programmable, dual-modulus prescaler**
8/9, 16/17, 32/33, or 64/65
- Programmable charge pump currents**
- Programmable antibacklash pulse width**
- 3-wire serial interface**
- Analog and digital lock detect**
- Hardware and software power-down mode**
- Loop filter design possible with ADIsimPLL**
- 4 mm × 4 mm, 20-lead chip scale package**

APPLICATIONS

- Broadband wireless access**
- Satellite systems**
- Instrumentation**
- Wireless LANs**
- Base stations for wireless radio**

GENERAL DESCRIPTION

The ADF4108 frequency synthesizer can be used to implement local oscillators in the upconversion and downconversion sections of wireless receivers and transmitters. It consists of a low noise digital PFD (phase frequency detector), a precision charge pump, a programmable reference divider, programmable A and B counters, and a dual-modulus prescaler ($P/P + 1$). The A (6-bit) and B (13-bit) counters, in conjunction with the dual-modulus prescaler ($P/P + 1$), implement an N divider ($N = BP + A$). In addition, the 14-bit reference counter (R counter), allows selectable REF_{IN} frequencies at the PFD input. A complete phase-locked loop (PLL) can be implemented if the synthesizer is used with an external loop filter and voltage controlled oscillator (VCO). Its very high bandwidth means that frequency doublers can be eliminated in many high frequency systems, simplifying system architecture and reducing cost.

FUNCTIONAL BLOCK DIAGRAM

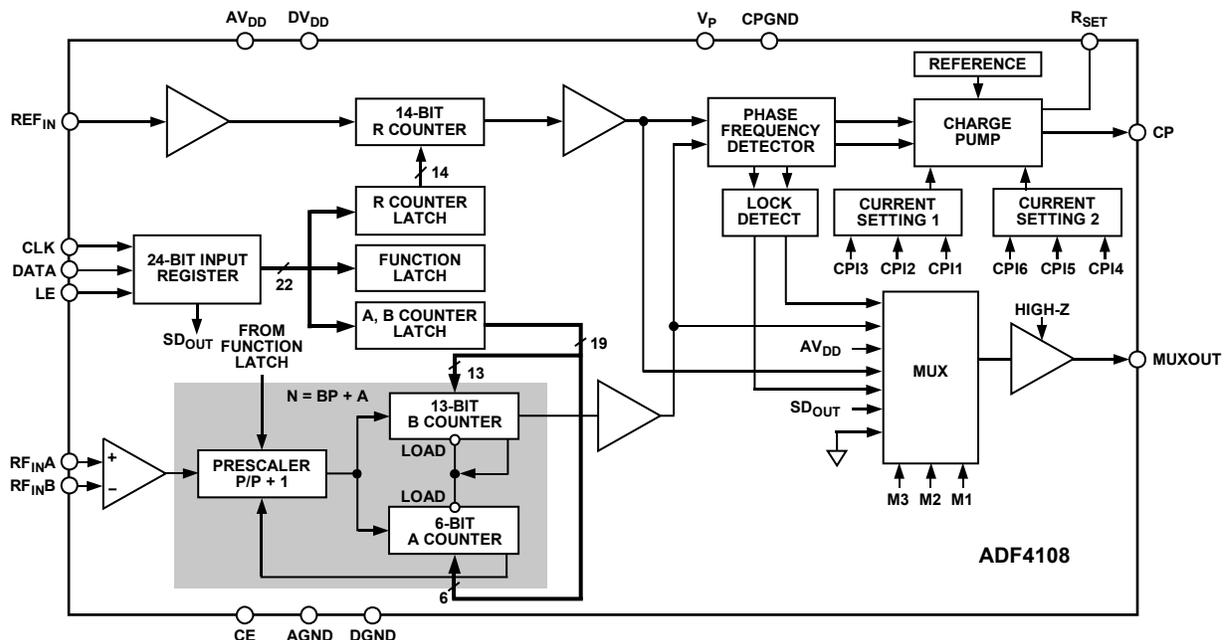


Figure 1.

08015-001

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2006–2007 Analog Devices, Inc. All rights reserved.

TABLE OF CONTENTS

| | | | |
|--|---|---|----|
| Features | 1 | Phase Frequency Detector and Charge Pump..... | 10 |
| Applications..... | 1 | MUXOUT and Lock Detect..... | 10 |
| General Description | 1 | Input Shift Register | 10 |
| Functional Block Diagram | 1 | Latch Summary..... | 11 |
| Revision History | 2 | Reference Counter Latch Map..... | 12 |
| Specifications..... | 3 | AB Counter Latch Map | 13 |
| Timing Characteristics | 5 | Function Latch Map..... | 14 |
| Absolute Maximum Ratings..... | 6 | Initialization Latch Map | 15 |
| ESD Caution..... | 6 | Function Latch..... | 16 |
| Pin Configuration and Function Descriptions..... | 7 | Initialization Latch | 17 |
| Typical Performance Characteristics | 8 | Power Supply Considerations..... | 17 |
| Theory of Operation | 9 | Interfacing | 18 |
| Reference Input Stage..... | 9 | ADuC812 Interface | 18 |
| RF Input Stage..... | 9 | ADSP-21xx Interface | 18 |
| Prescaler (P/P + 1)..... | 9 | PCB Design Guidelines for Chip Scale Package..... | 19 |
| A and B Counters | 9 | Outline Dimensions | 20 |
| R Counter | 9 | Ordering Guide | 20 |

REVISION HISTORY

12/07—Rev. 0 to Rev. A

| | |
|---|-----------|
| Removed TSSOP Package..... | Universal |
| Changes to Features..... | 1 |
| Changes to Table 1 Endnote 10 and Endnote 11..... | 4 |
| Changes to Table 3..... | 6 |
| Deleted Figure 3..... | 7 |
| Changes to Table 4..... | 7 |
| Changes to Figure 10 and Figure 11..... | 8 |
| Updated Outline Dimensions | 20 |
| Deleted Figure 24..... | 20 |
| Changes to Ordering Guide | 20 |

4/06—Revision 0: Initial Version

SPECIFICATIONS

$AV_{DD} = DV_{DD} = 3.3 \text{ V} \pm 2\%$, $AV_{DD} \leq V_P \leq 5.5 \text{ V}$, $AGND = DGND = CPGND = 0 \text{ V}$, $R_{SET} = 5.1 \text{ k}\Omega$, dBm referred to 50Ω , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 1.

| Parameter | B Version ¹ | B Chips ² (Typ) | Unit | Test Conditions/Comments |
|---|------------------------|-------------------------------|----------------|--|
| RF CHARACTERISTICS | | | | |
| RF Input Frequency (RF_{IN}) | 1.0/8.0 | 1.0/8.0 | GHz min/max | See Figure 11 for input circuit |
| RF Input Sensitivity | -5/+5 | -5/+5 | dBm min/max | For lower frequencies, ensure slew rate (SR) > 320 V/ μ s |
| Maximum Allowable Prescaler Output Frequency ³ | 300 | 300 | MHz max | P = 8 |
| | 325 | 325 | MHz max | P = 16 |
| REF_{IN} CHARACTERISTICS | | | | |
| REF _{IN} Input Frequency | 20/250 | 20/250 | MHz min/max | For f < 20 MHz, ensure SR > 50 V/ μ s |
| REF _{IN} Input Sensitivity ⁴ | 0.8/ V_{DD} | 0.8/ V_{DD} | V p-p min/max | Biased at $AV_{DD}/2^5$ |
| REF _{IN} Input Capacitance | 10 | 10 | pF max | |
| REF _{IN} Input Current | ± 100 | ± 100 | μ A max | |
| PHASE DETECTOR | | | | |
| Phase Detector Frequency ⁶ | 104 | 104 | MHz max | |
| CHARGE PUMP | | | | |
| I_{CP} Sink/Source | | | | Programmable; see Figure 18 |
| High Value | 5 | 5 | mA typ | With $R_{SET} = 5.1 \text{ k}\Omega$ |
| Low Value | 625 | 625 | μ A typ | |
| Absolute Accuracy | 2.5 | 2.5 | % typ | With $R_{SET} = 5.1 \text{ k}\Omega$ |
| R_{SET} Range | 3.0/11 | 3.0/11 | k Ω typ | See Figure 18 |
| I_{CP} Three-State Leakage | 1 | 1 | nA typ | 1 nA typical; $T_A = 25^\circ\text{C}$ |
| Sink and Source Current Matching | 2 | 2 | % typ | $0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$ |
| I_{CP} vs. V_{CP} | 1.5 | 1.5 | % typ | $0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$ |
| I_{CP} vs. Temperature | 2 | 2 | % typ | $V_{CP} = V_P/2$ |
| LOGIC INPUTS | | | | |
| V_{IH} , Input High Voltage | 1.4 | 1.4 | V min | |
| V_{IL} , Input Low Voltage | 0.6 | 0.6 | V max | |
| I_{INH} , I_{INL} , Input Current | ± 1 | ± 1 | μ A max | |
| C_{IN} , Input Capacitance | 10 | 10 | pF max | |
| LOGIC OUTPUTS | | | | |
| V_{OH} , Output High Voltage | 1.4 | 1.4 | V min | Open-drain output chosen; 1 k Ω pull-up resistor to 1.8 V |
| V_{OH} , Output High Voltage | $V_{DD} - 0.4$ | $V_{DD} - 0.4$ | V min | CMOS output chosen |
| I_{OH} , Output High Current | 100 | 100 | μ A max | |
| V_{OL} , Output Low Voltage | 0.4 | 0.4 | V max | $I_{OL} = 500 \mu\text{A}$ |
| POWER SUPPLIES | | | | |
| AV_{DD} | 3.2/3.6 | 3.2/3.6 | V min/max | |
| DV_{DD} | AV_{DD} | AV_{DD} | | |
| V_P | $AV_{DD}/5.5$ | $AV_{DD}/5.5$ | V min/max | $AV_{DD} \leq V_P \leq 5.5 \text{ V}$ |
| I_{DD} ($AI_{DD} + DI_{DD}$) ⁷ | 17 | 17 | mA max | 15 mA typ |
| I_P | 0.4 | 0.4 | mA max | $T_A = 25^\circ\text{C}$ |
| Power-Down Mode ($AI_{DD} + DI_{DD}$) ⁸ | 10 | 10 | μ A typ | |

ADF4108

| Parameter | B Version ¹ | B Chips ² (Typ) | Unit | Test Conditions/Comments |
|--|------------------------|-------------------------------|------------|--|
| NOISE CHARACTERISTICS | | | | |
| Normalized Phase Noise Floor ⁹ | -219 | -219 | dBc/Hz typ | @ VCO output @ 1 kHz offset and 1 MHz PFD frequency |
| Phase Noise Performance ¹⁰ 7900 MHz Output ¹¹ | -81 | -81 | dBc/Hz typ | |
| Spurious Signals 7900 MHz Output ¹¹ | -82 | -82 | dBc typ | @ 1 MHz offset and 1 MHz PFD frequency |

¹ Operating temperature range (B version) is -40°C to +85°C.

² The B chip specifications are given as typical values.

³ This is the maximum operating frequency of the CMOS counters. The prescaler value should be chosen to ensure that the RF input is divided down to a frequency that is less than this value.

⁴ $AV_{DD} = DV_{DD} = 3.3\text{ V}$.

⁵ AC coupling ensures $AV_{DD}/2$ bias.

⁶ Guaranteed by design. Sample tested to ensure compliance.

⁷ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = 3.3\text{ V}$; $P = 32$; $RF_{IN} = 8\text{ GHz}$, $f_{PFD} = 200\text{ kHz}$, $REF_{IN} = 10\text{ MHz}$.

⁸ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = 3.3\text{ V}$; $R = 16,383$; $A = 63$; $B = 891$; $P = 32$; $RF_{IN} = 7.0\text{ GHz}$.

⁹ This value can be used to calculate phase noise for any application. Use the formula $-219 + 10 \log(f_{PFD}) + 20 \log N$ to calculate in-band phase noise performance as seen at the VCO output. The value given is the lowest noise mode.

¹⁰ The phase noise is measured with the EVAL-ADF4108EB1Z evaluation board, with the ZComm CRO8000Z VCO. The spectrum analyzer provides the REF_{IN} for the synthesizer ($f_{REFOUT} = 10\text{ MHz}$ @ 0 dBm).

¹¹ $f_{REFIN} = 10\text{ MHz}$; $f_{PFD} = 1\text{ MHz}$; $f_{RF} = 7900\text{ MHz}$; $N = 7900$; loop B/W = 30 kHz, VCO = ZComm CRO8000Z.

TIMING CHARACTERISTICS

$AV_{DD} = DV_{DD} = 3.3\text{ V} \pm 2\%$, $AV_{DD} \leq V_P \leq 5.5\text{ V}$, $AGND = DGND = CPGND = 0\text{ V}$, $R_{SET} = 5.1\text{ k}\Omega$, dBm referred to $50\ \Omega$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Table 2.

| Parameter ¹ | Limit ² (B Version) | Unit | Test Conditions/Comments |
|------------------------|--------------------------------|--------|--------------------------|
| t ₁ | 10 | ns min | DATA to CLOCK setup time |
| t ₂ | 10 | ns min | DATA to CLOCK hold time |
| t ₃ | 25 | ns min | CLOCK high duration |
| t ₄ | 25 | ns min | CLOCK low duration |
| t ₅ | 10 | ns min | CLOCK to LE setup time |
| t ₆ | 20 | ns min | LE pulse width |

¹ Guaranteed by design but not production tested.

² Operating temperature range (B Version) is -40°C to $+85^\circ\text{C}$.

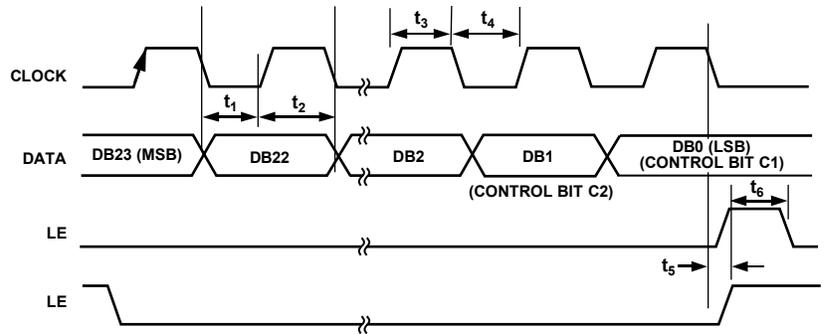


Figure 2. Timing Diagram

08015-0102

ABSOLUTE MAXIMUM RATINGS

T_A = 25°C, unless otherwise noted.

Table 3.

| Parameter | Rating |
|---|-----------------------------------|
| AV _{DD} to GND ¹ | –0.3 V to +3.9 V |
| AV _{DD} to DV _{DD} | –0.3 V to +0.3 V |
| V _P to GND | –0.3 V to +5.8 V |
| V _P to AV _{DD} | –0.3 V to +5.8 V |
| Digital I/O Voltage to GND | –0.3 V to V _{DD} + 0.3 V |
| Analog I/O Voltage to GND | –0.3 V to V _P + 0.3 V |
| REF _{IN} , RF _{IN} A, RF _{IN} B to GND | –0.3 V to V _{DD} + 0.3 V |
| Operating Temperature Range | |
| Industrial (B Version) | –40°C to +85°C |
| Storage Temperature Range | –65°C to +125°C |
| Maximum Junction Temperature | 150°C |
| CSP θ _{JA} Thermal Impedance (Paddle Soldered) | 30.4°C/W |
| Reflow Soldering | |
| Peak Temperature (60 sec) | 260°C |
| Time at Peak Temperature | 40 sec |
| Transistor Count | |
| CMOS | 6425 |
| Bipolar | 303 |

¹ GND = AGND = DGND = 0 V.

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

This device is a high performance RF integrated circuit with an ESD rating of <2 kV, and it is ESD sensitive. Proper precautions should be taken for handling and assembly.

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

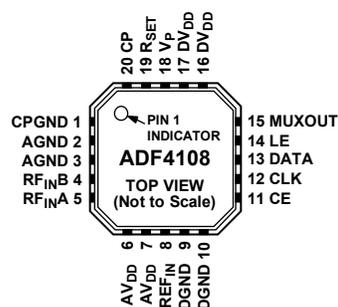


Figure 3. Pin Configuration

Table 4. Pin Function Descriptions

| Pin No. | Mnemonic | Description |
|---------|-------------------|--|
| 1 | CPGND | Charge Pump Ground. This is the ground return path for the charge pump. |
| 2, 3 | AGND | Analog Ground. This is the ground return path of the prescaler. |
| 4 | RF _{INB} | Complementary Input to the RF Prescaler. This point must be decoupled to the ground plane with a small bypass capacitor, typically 100 pF. See Figure 11. |
| 5 | RF _{INA} | Input to the RF Prescaler. This small signal input is ac-coupled to the external VCO. |
| 6, 7 | AV _{DD} | Analog Power Supply. This voltage may range from 3.2 V to 3.6 V. Decoupling capacitors to the analog ground plane should be placed as close as possible to this pin. AV _{DD} must be the same value as DV _{DD} . |
| 8 | REF _{IN} | Reference Input. This is a CMOS input with a nominal threshold of V _{DD} /2 and a dc equivalent input resistance of 100 kΩ. See Figure 10. This input can be driven from a TTL or CMOS crystal oscillator or it can be ac-coupled. |
| 9, 10 | DGND | Digital Ground. |
| 11 | CE | Chip Enable. A logic low on this pin powers down the device and puts the charge pump output into three-state mode. Taking the pin high powers up the device, depending on the status of the power-down bit, F2. |
| 12 | CLK | Serial Clock Input. This serial clock is used to clock in the serial data to the registers. The data is latched into the 24-bit shift register on the CLK rising edge. This input is a high impedance CMOS input. |
| 13 | DATA | Serial Data Input. The serial data is loaded MSB first with the 2 LSBs being the control bits. This input is a high impedance CMOS input. |
| 14 | LE | Load Enable, CMOS Input. When LE goes high, the data stored in the shift registers is loaded into one of the four latches, the latch being selected using the control bits. |
| 15 | MUXOUT | This multiplexer output allows either the lock detect, the scaled RF, or the scaled reference frequency to be accessed externally. |
| 16, 17 | DV _{DD} | Digital Power Supply. This may range from 3.2 V to 3.6 V. Decoupling capacitors to the digital ground plane should be placed as close as possible to this pin. DV _{DD} must be the same value as AV _{DD} . |
| 18 | V _P | Charge Pump Power Supply. This voltage should be greater than or equal to V _{DD} . In systems where V _{DD} is 3.3 V, it can be set to 5 V and used to drive a VCO with a tuning range of up to 5 V. |
| 19 | R _{SET} | Connecting a resistor between this pin and CPGND sets the maximum charge pump output current. The nominal voltage potential at the R _{SET} pin is 0.66 V. The relationship between I _{CP} and R _{SET} is $I_{CP\ MAX} = \frac{25.5}{R_{SET}}$ with R _{SET} = 5.1 kΩ, I _{CP} MAX = 5 mA. |
| 20 | CP | Charge Pump Output. When enabled, this pin provides ±I _{CP} to the external loop filter, which in turn drives the external VCO. |

TYPICAL PERFORMANCE CHARACTERISTICS

| FREQ UNIT: GHz KEYWORD: R | | | FREQ UNIT: GHz KEYWORD: R | | |
|---------------------------|---------|----------|---------------------------|---------|----------|
| PARAM TYPE: s | | | PARAM TYPE: s | | |
| DATA FORMAT: MA | | | DATA FORMAT: MA | | |
| Freq | MAGS11 | ANGS11 | Freq | MAGS11 | ANGS11 |
| 0.50000 | 0.89148 | -17.2820 | 4.30000 | 0.45555 | -158.800 |
| 0.60000 | 0.88133 | -20.8919 | 4.40000 | 0.46108 | -164.916 |
| 0.70000 | 0.87152 | -24.5386 | 4.50000 | 0.45325 | -168.482 |
| 0.80000 | 0.85855 | -27.3228 | 4.60000 | 0.45054 | -173.462 |
| 0.90000 | 0.84911 | -31.0698 | 4.70000 | 0.45200 | -178.697 |
| 1.00000 | 0.83512 | -34.8623 | 4.80000 | 0.45043 | -178.824 |
| 1.10000 | 0.82374 | -38.5574 | 4.90000 | 0.45282 | -174.947 |
| 1.20000 | 0.80871 | -41.9093 | 5.00000 | 0.44427 | -170.237 |
| 1.30000 | 0.79176 | -45.6990 | 5.10000 | 0.44909 | -166.617 |
| 1.40000 | 0.77205 | -49.4185 | 5.20000 | 0.44294 | -162.786 |
| 1.50000 | 0.75696 | -52.8998 | 5.30000 | 0.44558 | -158.756 |
| 1.60000 | 0.74234 | -56.2923 | 5.40000 | 0.45417 | -153.195 |
| 1.70000 | 0.72239 | -59.2584 | 5.50000 | 0.46038 | -147.721 |
| 1.80000 | 0.69719 | -62.3146 | 5.60000 | 0.47128 | -139.750 |
| 1.90000 | 0.67288 | -65.6464 | 5.70000 | 0.47439 | -132.657 |
| 2.00000 | 0.65227 | -68.0742 | 5.80000 | 0.48804 | -125.762 |
| 2.10000 | 0.64758 | -71.3530 | 5.90000 | 0.50637 | -121.110 |
| 2.20000 | 0.62454 | -75.5658 | 6.00000 | 0.52172 | -115.400 |
| 2.30000 | 0.59486 | -79.8404 | 6.10000 | 0.53342 | -107.705 |
| 2.40000 | 0.55932 | -82.8246 | 6.20000 | 0.53716 | -101.572 |
| 2.50000 | 0.52256 | -85.2795 | 6.30000 | 0.55804 | -97.5379 |
| 2.60000 | 0.48754 | -85.6298 | 6.40000 | 0.56362 | -93.0936 |
| 2.70000 | 0.45411 | -86.1854 | 6.50000 | 0.58365 | -89.2227 |
| 2.80000 | 0.45776 | -86.4997 | 6.60000 | 0.59248 | -86.3300 |
| 2.90000 | 0.44859 | -88.8080 | 6.70000 | 0.61066 | -83.0956 |
| 3.00000 | 0.44588 | -91.3737 | 6.80000 | 0.61930 | -80.8843 |
| 3.10000 | 0.43810 | -95.4087 | 6.90000 | 0.61633 | -78.0872 |
| 3.20000 | 0.43269 | -99.1282 | 7.00000 | 0.61873 | -75.3727 |
| 3.30000 | 0.42777 | -102.748 | 7.10000 | 0.60997 | -73.9456 |
| 3.40000 | 0.42859 | -107.167 | 7.20000 | 0.58376 | -73.5883 |
| 3.50000 | 0.43365 | -111.863 | 7.30000 | 0.57673 | -74.1975 |
| 3.60000 | 0.43849 | -117.648 | 7.40000 | 0.59157 | -74.6486 |
| 3.70000 | 0.44475 | -123.856 | 7.50000 | 0.60040 | -77.1545 |
| 3.80000 | 0.44890 | -130.399 | 7.60000 | 0.61332 | -76.1122 |
| 3.90000 | 0.45223 | -136.744 | 7.70000 | 0.62927 | -74.8359 |
| 4.00000 | 0.45555 | -142.766 | 7.80000 | 0.63938 | -74.0546 |
| 4.10000 | 0.45313 | -149.269 | 7.90000 | 0.65320 | -72.0061 |
| 4.20000 | 0.45622 | -154.884 | 8.00000 | 0.65934 | -69.9925 |

Figure 4. S Parameter Data for the RF Input

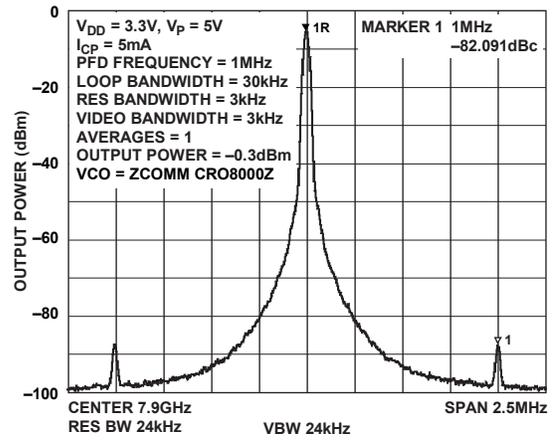


Figure 7. Reference Spurs at 7.9 GHz

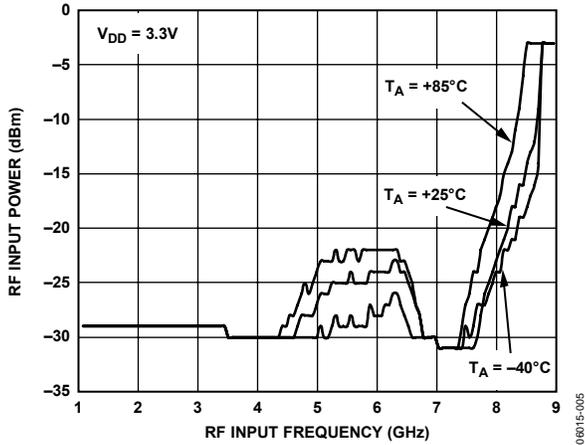


Figure 5. RF Input Sensitivity

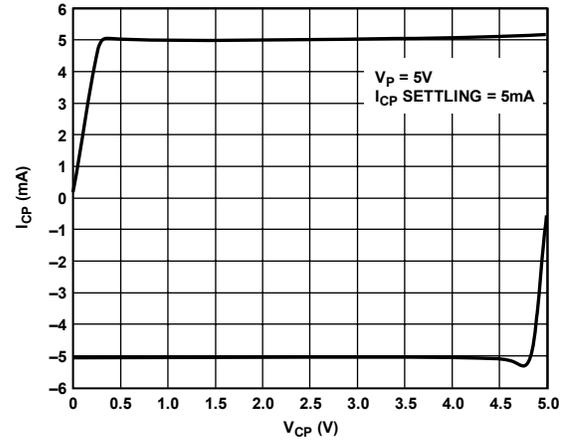


Figure 8. Charge Pump Output Characteristics

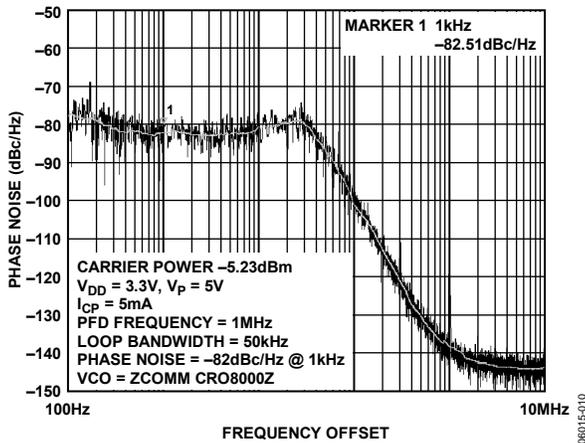


Figure 6. Phase Noise at 7.9 GHz

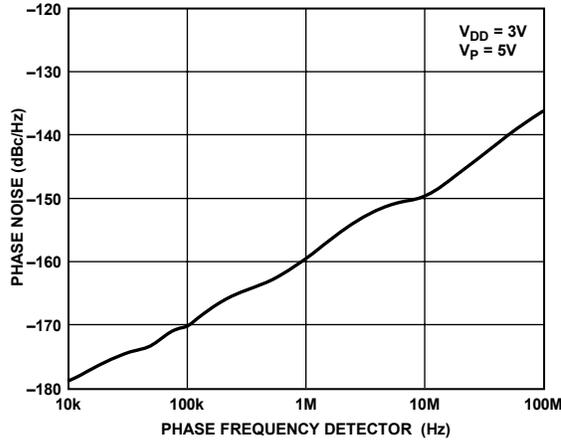


Figure 9. Phase Noise (Referred to CP Output) vs. PFD Frequency

THEORY OF OPERATION

REFERENCE INPUT STAGE

The reference input stage is shown in Figure 10. SW1 and SW2 are normally closed switches. SW3 is normally open. When power-down is initiated, SW3 is closed and SW1 and SW2 are opened. This ensures that there is no loading of the REF_{IN} pin on power-down.

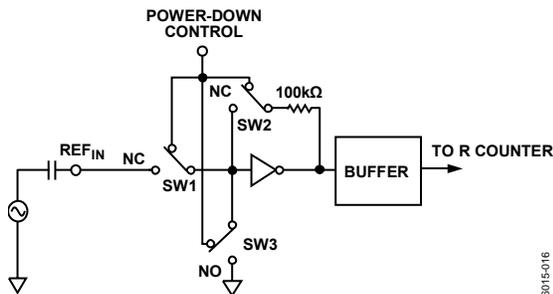


Figure 10. Reference Input Stage

RF INPUT STAGE

The RF input stage is shown in Figure 11. It is followed by a two-stage limiting amplifier to generate the CML clock levels needed for the prescaler.

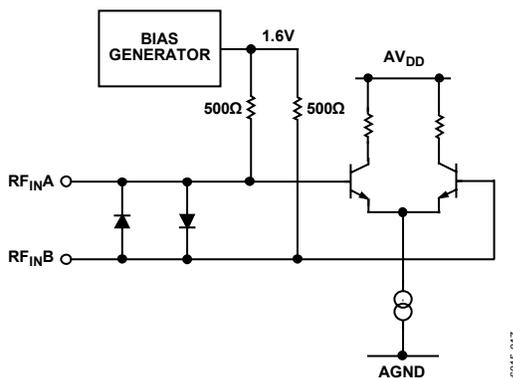


Figure 11. RF Input Stage

PRESCALER (P/P + 1)

The dual-modulus prescaler (P/P + 1), along with the A and B counters, enables the large division ratio, N, to be realized (N = BP + A). The dual-modulus prescaler, operating at CML levels, takes the clock from the RF input stage and divides it down to a manageable frequency for the CMOS A and B counters. The prescaler is programmable. It can be set in software to 8/9, 16/17, 32/33, or 64/65. It is based on a synchronous 4/5 core. A minimum divide ratio is possible for contiguous output frequencies. This minimum is determined by P, the prescaler value, and is given by (P² - P).

A AND B COUNTERS

The A and B CMOS counters combine with the dual-modulus prescaler to allow a wide ranging division ratio in the PLL feedback counter. The counters are specified to work when the prescaler output is 300 MHz or less. Thus, with an RF input frequency of 4.0 GHz, a prescaler value of 16/17 is valid but a value of 8/9 is not valid.

Pulse Swallow Function

The A and B counters, in conjunction with the dual-modulus prescaler, make it possible to generate output frequencies that are spaced only by the reference frequency divided by R. The equation for the VCO frequency is as follows:

$$f_{VCO} = [(P \times B) + A] \times \frac{f_{REFIN}}{R}$$

where:

f_{VCO} is the output frequency of external voltage controlled oscillator (VCO).

P is the preset modulus of dual-modulus prescaler (8/9, 16/17, and so on.).

B is the preset divide ratio of binary 13-bit counter (3 to 8191). A is the preset divide ratio of binary 6-bit swallow counter (0 to 63).

f_{REFIN} is the external reference frequency oscillator.

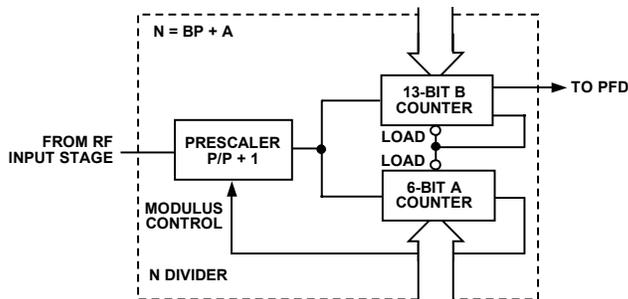


Figure 12. A and B Counters

R COUNTER

The 14-bit R counter allows the input reference frequency to be divided down to produce the reference clock to the phase frequency detector (PFD). Division ratios from 1 to 16,383 are allowed.

PHASE FREQUENCY DETECTOR AND CHARGE PUMP

The phase frequency detector (PFD) takes inputs from the R counter and N counter ($N = BP + A$) and produces an output proportional to the phase and frequency difference between them. Figure 13 is a simplified schematic. The PFD includes a programmable delay element that controls the width of the antibacklash pulse. This pulse ensures that there is no dead zone in the PFD transfer function and minimizes phase noise and reference spurs. Two bits in the reference counter latch, ABP2 and ABP1, control the width of the pulse (see Figure 16). Use of the minimum antibacklash pulse width is not recommended.

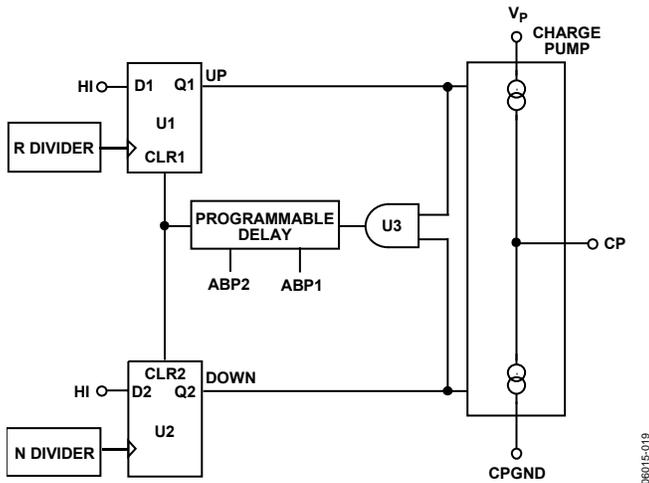


Figure 13. PFD Simplified Schematic and Timing (in Lock)

MUXOUT AND LOCK DETECT

The output multiplexer on the ADF4108 allows the user to access various internal points on the chip. The state of MUXOUT is controlled by M3, M2, and M1 in the function latch. Figure 18 shows the full truth table. Figure 14 shows the MUXOUT section in block diagram form.

Lock Detect

MUXOUT can be programmed for two types of lock detect: digital lock detect and analog lock detect.

Digital lock detect is active high. When the lock detect precision (LDP) bit in the R counter latch is set to 0, digital lock detect is set high when the phase error on three consecutive phase detector (PD) cycles is less than 15 ns. With LDP set to 1, five

consecutive cycles of less than 15 ns are required to set the lock detect. It stays set high until a phase error of greater than 25 ns is detected on any subsequent PD cycle.

The N-channel open-drain analog lock detect should be operated with an external pull-up resistor of 10 kΩ nominal. When lock has been detected, this output is high with narrow, low going pulses.

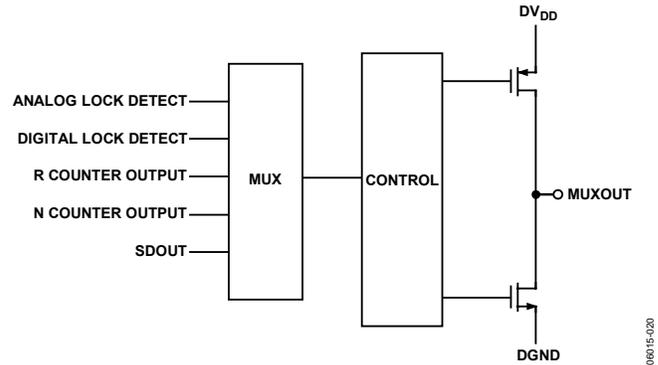


Figure 14. MUXOUT Circuit

INPUT SHIFT REGISTER

The ADF4108 digital section includes a 24-bit input shift register, a 14-bit R counter, and a 19-bit N counter, comprising a 6-bit A counter and a 13-bit B counter. Data is clocked into the 24-bit shift register on each rising edge of CLK. The data is clocked in MSB first. Data is transferred from the shift register to one of four latches on the rising edge of LE. The destination latch is determined by the state of the two control bits (C2, C1) in the shift register. These are the 2 LSBs, DB1 and DB0, as shown in the timing diagram of Figure 2. The truth table for these bits is shown in Table 5.

Figure 15 shows a summary of how the latches are programmed.

Table 5. C2 and C1 Truth Table

| Control Bits | | Data Latch |
|--------------|----|--------------------------------------|
| C2 | C1 | |
| 0 | 0 | R counter |
| 0 | 1 | N counter (A and B) |
| 1 | 0 | Function latch (including prescaler) |
| 1 | 1 | Initialization latch |

LATCH SUMMARY

REFERENCE COUNTER LATCH

| RESERVED | | | LOCK DETECT PRECISION | TEST MODE BITS | | | ANTI- BACKLASH WIDTH | | 14-BIT REFERENCE COUNTER | | | | | | | | | | | | | CONTROL BITS | |
|----------|------|------|-----------------------------|-------------------|------|------|----------------------------|------|--------------------------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----------------|--------|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| X | 0 | 0 | LDP | T2 | T1 | ABP2 | ABP1 | R14 | R13 | R12 | R11 | R10 | R9 | R8 | R7 | R6 | R5 | R4 | R3 | R2 | R1 | C2 (0) | C1 (0) |

N COUNTER LATCH

| RESERVED | | CP GAIN | 13-BIT B COUNTER | | | | | | | | | | | | | 6-BIT A COUNTER | | | | | | CONTROL BITS | |
|----------|------|---------|------------------|------|------|------|------|------|------|------|------|------|------|-----|-----|-----------------|-----|-----|-----|-----|-----|-----------------|--------|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| X | X | G1 | B13 | B12 | B11 | B10 | B9 | B8 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | A6 | A5 | A4 | A3 | A2 | A1 | C2 (0) | C1 (1) |

FUNCTION LATCH

| PRESCALER VALUE | | POWER- DOWN 2 | CURRENT SETTING 2 | | | CURRENT SETTING 1 | | | TIMER COUNTER CONTROL | | | | FASTLOCK MODE | FASTLOCK ENABLE | CP THREE- STATE | PD POLARITY | MUXOUT CONTROL | | | POWER- DOWN 1 | COUNTER RESET | CONTROL BITS | |
|--------------------|------|------------------|-------------------------|------|------|-------------------------|------|------|--------------------------|------|------|------|------------------|--------------------|--------------------|----------------|-------------------|-----|-----|------------------|------------------|-----------------|--------|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| P2 | P1 | PD2 | CPI6 | CPI5 | CPI4 | CPI3 | CPI2 | CPI1 | TC4 | TC3 | TC2 | TC1 | F5 | F4 | F3 | F2 | M3 | M2 | M1 | PD1 | F1 | C2 (1) | C1 (0) |

INITIALIZATION LATCH

| PRESCALER VALUE | | POWER- DOWN 2 | CURRENT SETTING 2 | | | CURRENT SETTING 1 | | | TIMER COUNTER CONTROL | | | | FASTLOCK MODE | FASTLOCK ENABLE | CP THREE- STATE | PD POLARITY | MUXOUT CONTROL | | | POWER- DOWN 1 | COUNTER RESET | CONTROL BITS | |
|--------------------|------|------------------|-------------------------|------|------|-------------------------|------|------|--------------------------|------|------|------|------------------|--------------------|--------------------|----------------|-------------------|-----|-----|------------------|------------------|-----------------|--------|
| DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| P2 | P1 | PD2 | CPI6 | CPI5 | CPI4 | CPI3 | CPI2 | CPI1 | TC4 | TC3 | TC2 | TC1 | F5 | F4 | F3 | F2 | M3 | M2 | M1 | PD1 | F1 | C2 (1) | C1 (1) |

Figure 15. Latch Summary

06915-021

REFERENCE COUNTER LATCH MAP

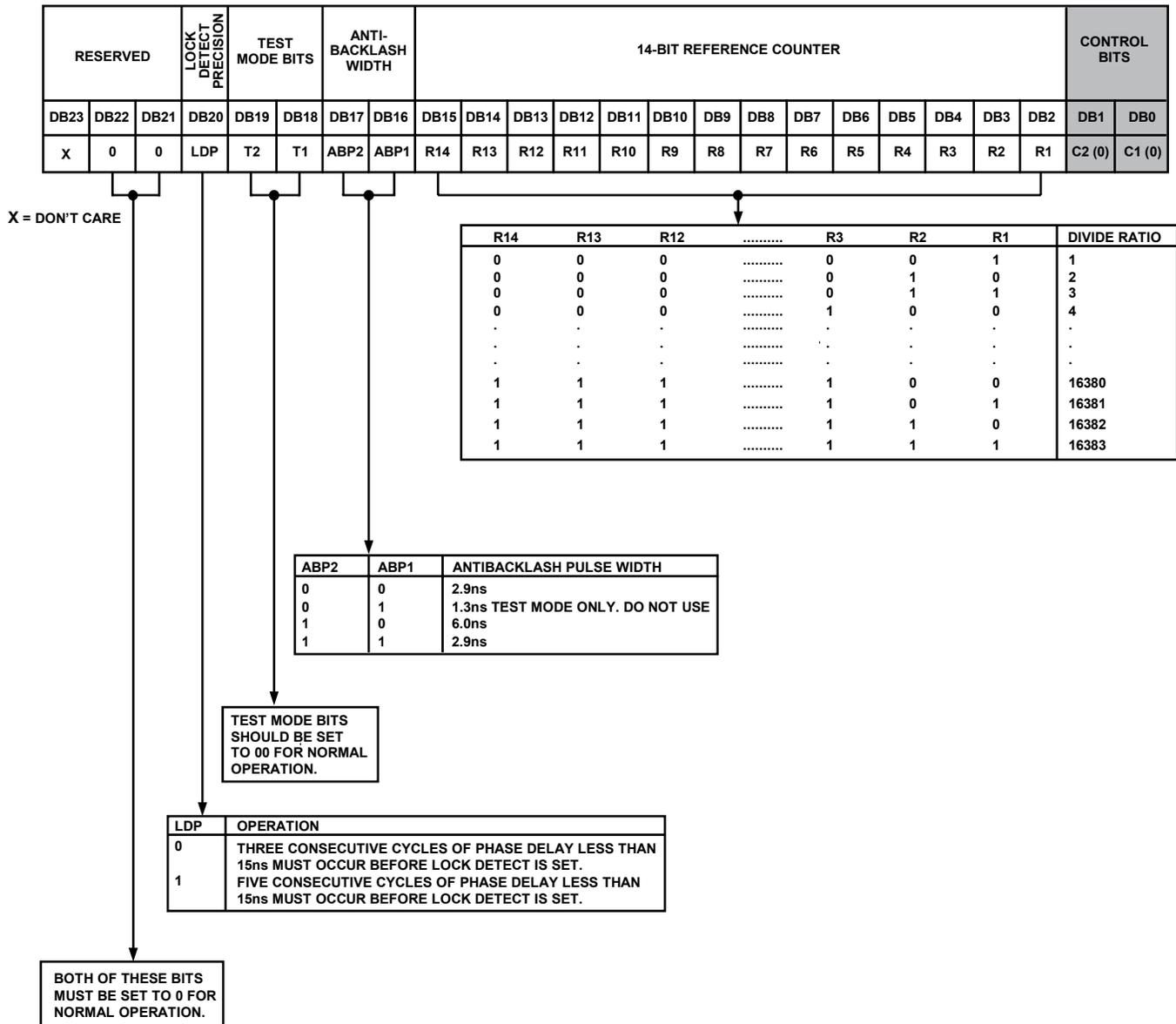


Figure 16. Reference Counter Latch Map

06/015-022

AB COUNTER LATCH MAP

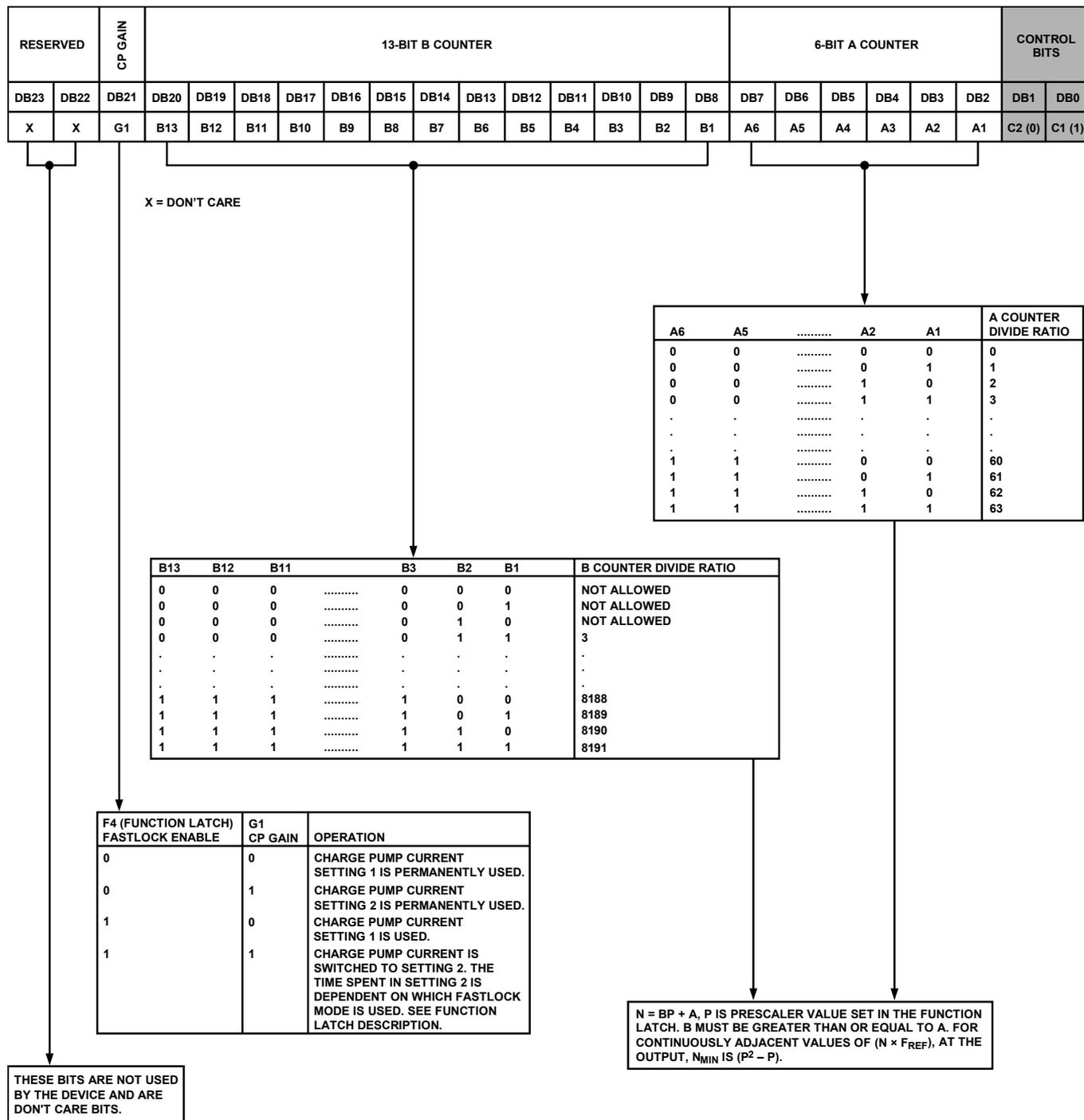


Figure 17. AB Counter Latch Map

06/015-023

FUNCTION LATCH MAP

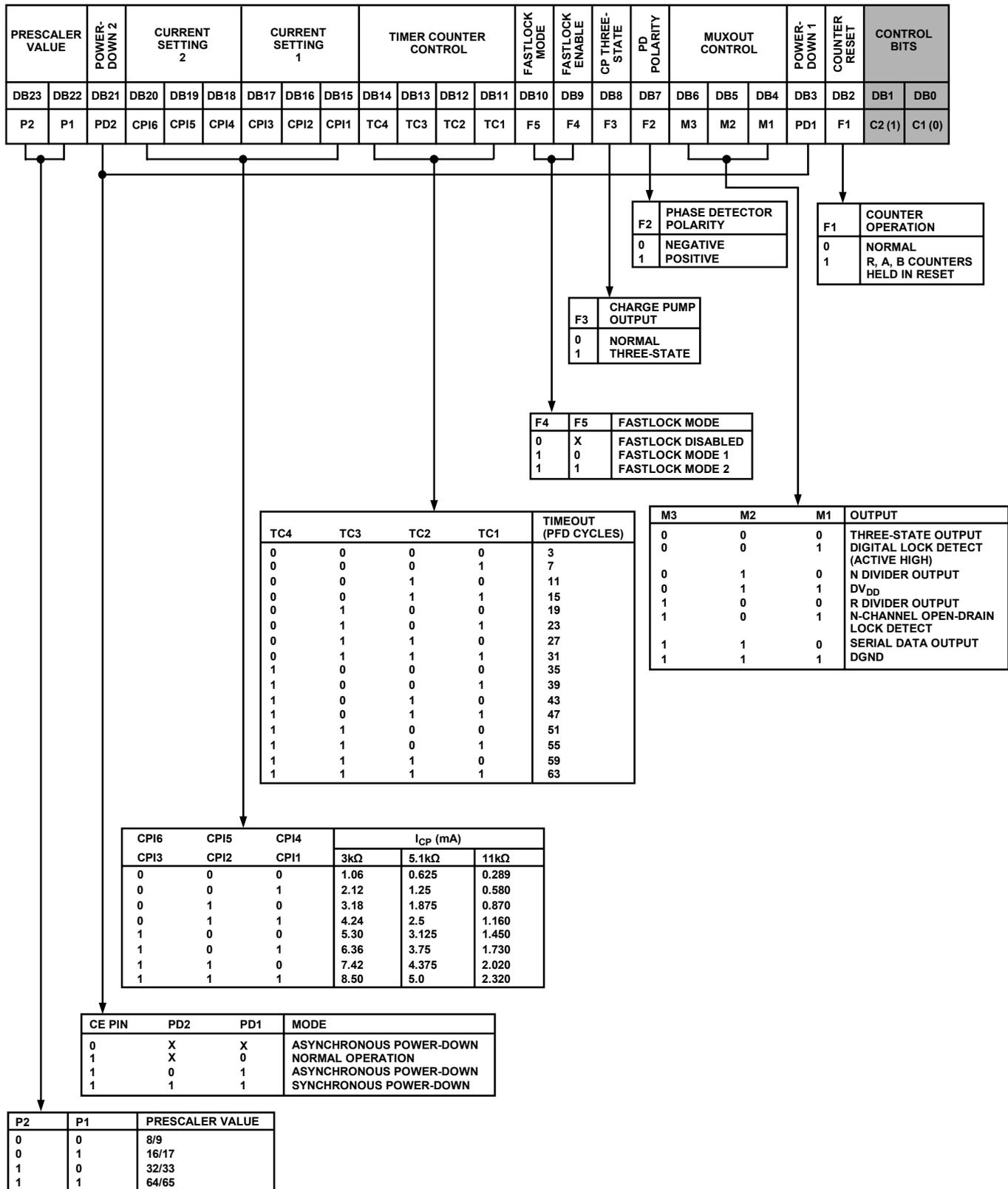


Figure 18. Function Latch Map

INITIALIZATION LATCH MAP

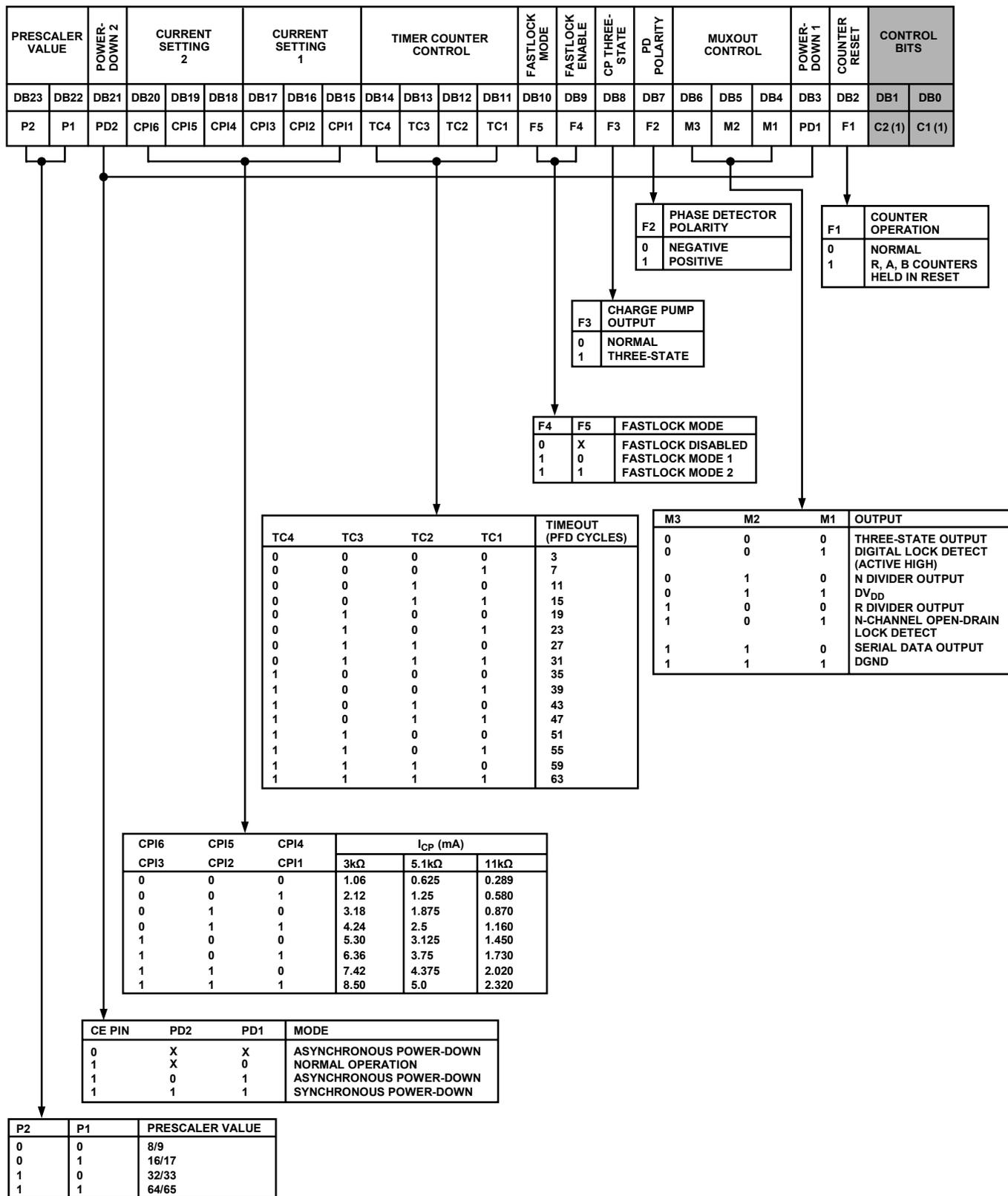


Figure 19. Initialization Latch Map

06015-025

FUNCTION LATCH

The on-chip function latch is programmed with C2 and C1 set to 1 and 0, respectively. Figure 18 shows the input data format for programming the function latch.

Counter Reset

DB2 (F1) is the counter reset bit. When this bit is 1, the R counter and the AB counters are reset. For normal operation, this bit should be 0. Upon powering up, the F1 bit needs to be disabled (set to 0). Then, the N counter resumes counting in close alignment with the R counter. (The maximum error is one prescaler cycle.)

Power-Down

DB3 (PD1) and DB21 (PD2) provide programmable power-down modes. They are enabled by the CE pin.

When the CE pin is low, the device is immediately disabled regardless of the states of PD2 and PD1.

In the programmed asynchronous power-down, the device powers down immediately after latching a 1 into the PD1 bit, with the condition that PD2 has been loaded with a 0.

In the programmed synchronous power-down, the device power-down is gated by the charge pump to prevent unwanted frequency jumps. Once the power-down is enabled by writing a 1 into PD1 (on condition that a 1 has also been loaded to PD2), the device goes into power-down on the occurrence of the next charge pump event.

When a power-down is activated (either synchronous or asynchronous mode, including CE pin activated power-down), the following events occur:

- All active dc current paths are removed.
- The R, N, and timeout counters are forced to their load state conditions.
- The charge pump is forced into three-state mode.
- The digital lock detect circuitry is reset.
- The RFIN input is debiased.
- The reference input buffer circuitry is disabled.
- The input register remains active and capable of loading and latching data.

MUXOUT Control

The on-chip multiplexer is controlled by M3, M2, and M1 on the ADF4108. Figure 18 shows the truth table.

Fastlock Enable Bit

DB9 of the function latch is the fastlock enable bit. Fastlock is enabled only when this bit is 1.

Fastlock Mode Bit

DB10 of the function latch is the fastlock mode bit. When fastlock is enabled, this bit determines which fastlock mode is

used. If the fastlock mode bit is 0, then Fastlock Mode 1 is selected; and if the fastlock mode bit is 1, then Fastlock Mode 2 is selected.

Fastlock Mode 1

The charge pump current is switched to the contents of Current Setting 2.

The device enters fastlock by having a 1 written to the CP gain bit in the AB counter latch. The device exits fastlock by having a 0 written to the CP gain bit in the AB counter latch.

Fastlock Mode 2

The charge pump current is switched to the contents of Current Setting 2.

The device enters fastlock by having a 1 written to the CP gain bit in the AB counter latch. The device exits fastlock under the control of the timer counter. After the timeout period determined by the value in TC4:TC1, the CP gain bit in the AB counter latch is automatically reset to 0 and the device reverts to normal mode instead of fastlock. See Figure 18 for the timeout periods.

Timer Counter Control

The user has the option of programming two charge pump currents. The intent is that Current Setting 1 is used when the RF output is stable and the system is in a static state. Current Setting 2 is meant to be used when the system is dynamic and in a state of change (that is, when a new output frequency is programmed).

The normal sequence of events is as follows:

The user initially decides what the preferred charge pump currents are going to be. For example, the choice may be 2.5 mA as Current Setting 1 and 5 mA as Current Setting 2.

At the same time, it must be decided how long the secondary current is to stay active before reverting to the primary current. This is controlled by the timer counter control bits, DB14:DB11 (TC4:TC1) in the function latch. The truth table is given in Figure 18.

Now, to program a new output frequency, the user simply programs the AB counter latch with new values for A and B. At the same time, the CP gain bit can be set to 1, which sets the charge pump with the value in CPI6:CPI4 for a period of time determined by TC4:TC1. When this time is up, the charge pump current reverts to the value set by CPI3:CPI1. At the same time, the CP gain bit in the AB counter latch is reset to 0 and is now ready for the next time the user wishes to change the frequency.

Note that there is an enable feature on the timer counter. It is enabled when Fastlock Mode 2 is chosen by setting the fastlock mode bit (DB10) in the function latch to 1.

Charge Pump Currents

CPI3, CPI2, and CPI1 program Current Setting 1 for the charge pump. CPI6, CPI5, and CPI4 program Current Setting 2 for the charge pump. The truth table is given in Figure 18.

Prescaler Value

P2 and P1 in the function latch set the prescaler values. The prescaler value should be chosen so that the prescaler output frequency is always less than or equal to 300 MHz. Thus, with an RF frequency of 4 GHz, a prescaler value of 16/17 is valid but a value of 8/9 is not valid.

PD Polarity

This bit sets the phase detector polarity bit. See Figure 18.

CP Three-State

This bit controls the CP output pin. With the bit set high, the CP output is put into three-state. With the bit set low, the CP output is enabled.

INITIALIZATION LATCH

The initialization latch is programmed when C2 and C1 are set to 1 and 1. This is essentially the same as the function latch (programmed when C2, C1 = 1, 0).

However, when the initialization latch is programmed, an additional internal reset pulse is applied to the R and AB counters. This pulse ensures that the AB counter is at load point when the AB counter data is latched and the device will begin counting in close phase alignment.

If the latch is programmed for synchronous power-down (CE pin is high; PD1 bit is high; PD2 bit is low), the internal pulse also triggers this power-down. The prescaler reference and the oscillator input buffer are unaffected by the internal reset pulse and so close phase alignment is maintained when counting resumes.

When the first AB counter data is latched after initialization, the internal reset pulse is again activated. However, successive AB counter loads after this do not trigger the internal reset pulse.

Device Programming After Initial Power-Up

After initially powering up the device, there are three ways to program the device.

Initialization Latch Method

1. Apply V_{DD} .
2. Program the initialization latch (11 in 2 LSBs of input word). Make sure that the F1 bit is programmed to 0.
3. Next, do a function latch load (10 in 2 LSBs of the control word), making sure that the F1 bit is programmed to a 0.
4. Then do an R load (00 in 2 LSBs).
5. Then do an AB load (01 in 2 LSBs).

When the initialization latch is loaded, the following occurs:

1. The function latch contents are loaded.
2. An internal pulse resets the R, AB, and timeout counters to load state conditions and also three-states the charge pump. Note that the prescaler band gap reference and the oscillator input buffer are unaffected by the internal reset pulse, allowing close phase alignment when counting resumes.
3. Latching the first AB counter data after the initialization word activates the same internal reset pulse. Successive AB loads do not trigger the internal reset pulse unless there is another initialization.

CE Pin Method

1. Apply V_{DD} .
2. Bring CE low to put the device into power-down. This is an asynchronous power-down in that it happens immediately.
3. Program the function latch (10).
4. Program the R counter latch (00).
5. Program the AB counter latch (01).
6. Bring CE high to take the device out of power-down. The R and AB counters will now resume counting in close alignment.

Note that after CE goes high, a duration of 1 μ s may be required for the prescaler band gap voltage and oscillator input buffer bias to reach steady state.

CE can be used to power the device up and down to check for channel activity. The input register does not need to be reprogrammed each time the device is disabled and enabled as long as it has been programmed at least once after V_{DD} was initially applied.

Counter Reset Method

1. Apply V_{DD} .
2. Do a function latch load (10 in 2 LSBs). As part of this, load 1 to the F1 bit. This enables the counter reset.
3. Do an R counter load (00 in 2 LSBs).
4. Do an AB counter load (01 in 2 LSBs).
5. Do a function latch load (10 in 2 LSBs). As part of this, load 0 to the F1 bit. This disables the counter reset.

This sequence provides the same close alignment as the initialization method. It offers direct control over the internal reset. Note that counter reset holds the counters at load point and three-states the charge pump, but does not trigger synchronous power-down.

POWER SUPPLY CONSIDERATIONS

The ADF4108 operates over a power supply range of 3.2 V to 3.6 V. The [ADP3300ART-3.3](#) is a low dropout linear regulator from Analog Devices, Inc. It outputs 3.3 V with an accuracy of 1.4% and is recommended for use with the ADF4108.

ADF4108

INTERFACING

The ADF4108 has a simple SPI-compatible serial interface for writing to the device. CLK, DATA, and LE control the data transfer. When LE (latch enable) goes high, the 24 bits that have been clocked into the input register on each rising edge of CLK are transferred to the appropriate latch. See Figure 2 for the timing diagram and Table 5 for the latch truth table.

The maximum allowable serial clock rate is 20 MHz. This means that the maximum update rate possible for the device is 833 kHz or one update every 1.2 μ s. This is certainly more than adequate for systems that have typical lock times in hundreds of microseconds.

ADuC812 INTERFACE

Figure 20 shows the interface between the ADF4108 and the ADuC812 MicroConverter[®]. Because the ADuC812 is based on an 8051 core, this interface can be used with any 8051-based microcontroller. The MicroConverter is set up for SPI master mode with CPHA = 0. To initiate the operation, the I/O port driving LE is brought low. Each latch of the ADF4108 needs a 24-bit word. This is accomplished by writing three 8-bit bytes from the MicroConverter to the device. When the third byte has been written, the LE input should be brought high to complete the transfer.

On first applying power to the ADF4108, it needs four writes (one each to the initialization latch, function latch, R counter latch, and N counter latch) for the output to become active.

I/O port lines on the ADuC812 are also used to control power-down (CE input) and to detect lock (MUXOUT configured as lock detect and polled by the port input).

When operating in the mode described, the maximum SCLOCK rate of the ADuC812 is 4 MHz. This means that the maximum rate at which the output frequency can be changed is 166 kHz.

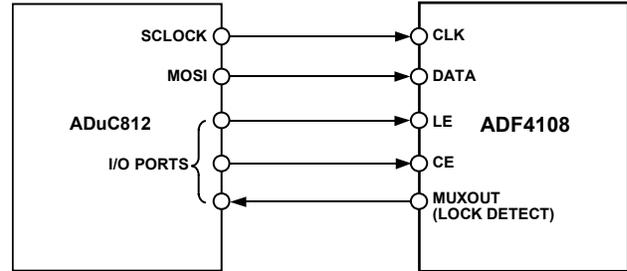


Figure 20. ADuC812 to ADF4108 Interface

ADSP-21xx INTERFACE

Figure 21 shows the interface between the ADF4108 and the ADSP-21xx digital signal processor. The ADF4108 needs a 24-bit serial word for each latch write. The easiest way to accomplish this using the ADSP-21xx family is to use the autobuffered transmit mode of operation with alternate framing. This provides a means for transmitting an entire block of serial data before an interrupt is generated. Set up the word length for 8 bits and use three memory locations for each 24-bit word. To program each 24-bit latch, store the three 8-bit bytes, enable the autobuffered mode, and then write to the transmit register of the DSP. This last operation initiates the autobuffer transfer.

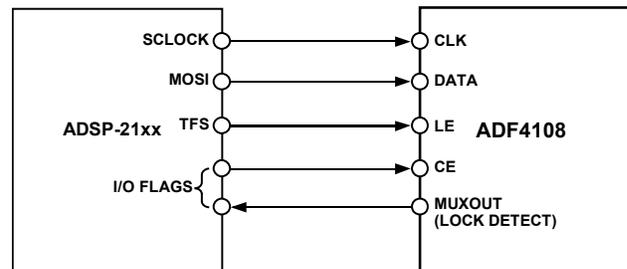


Figure 21. ADSP-21xx to ADF4108 Interface

PCB DESIGN GUIDELINES FOR CHIP SCALE PACKAGE

The lands on the chip scale package (CP-20-1) are rectangular. The printed circuit board pad for these should be 0.1 mm longer than the package land length and 0.05 mm wider than the package land width. The land should be centered on the pad. This ensures that the solder joint size is maximized. The bottom of the chip scale package has a central thermal pad.

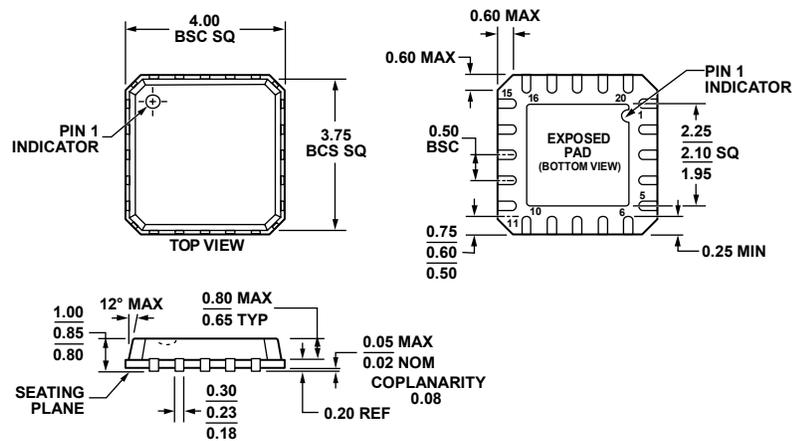
The thermal pad on the printed circuit board should be at least as large as this exposed pad. On the printed circuit board, there should be a clearance of at least 0.25 mm between the thermal pad and the inner edges of the pad pattern. This ensures that shorting is avoided.

Thermal vias can be used on the printed circuit board thermal pad to improve thermal performance of the package. If vias are used, they should be incorporated in the thermal pad at 1.2 mm pitch grid. The via diameter should be between 0.3 mm and 0.33 mm and the via barrel should be plated with 1 oz. copper to plug the via.

The user should connect the printed circuit board thermal pad to AGND.



OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

Figure 22. 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]
4 mm x 4 mm Body, Very Thin Quad
(CP-20-1)
Dimensions shown in millimeters

0612207-B

ORDERING GUIDE

| Model | Temperature Range | Package Description | Package Option |
|-------------------------------|-------------------|--|----------------|
| ADF4108BCPZ ¹ | -40°C to +85°C | 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ] | CP-20-1 |
| ADF4108BCPZ-RL ¹ | -40°C to +85°C | 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ] | CP-20-1 |
| ADF4108BCPZ-RL7 ¹ | -40°C to +85°C | 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ] | CP-20-1 |
| EVAL-ADF4108EBZ1 ¹ | | Evaluation Board | |

¹ Z = RoHS Compliant Part.

FEATURES

- 4-Quadrant Multiplication
- Low Cost 8-Lead Package
- Complete—No External Components Required
- Laser-Trimmed Accuracy and Stability
- Total Error within 2% of FS
- Differential High Impedance X and Y Inputs
- High Impedance Unity-Gain Summing Input
- Laser-Trimmed 10 V Scaling Reference

APPLICATIONS

- Multiplication, Division, Squaring
- Modulation/Demodulation, Phase Detection
- Voltage Controlled Amplifiers/Attenuators/Filters

PRODUCT DESCRIPTION

The AD633 is a functionally complete, four-quadrant, analog multiplier. It includes high impedance, differential X and Y inputs and a high impedance summing input (Z). The low impedance output voltage is a nominal 10 V full scale provided by a buried Zener. The AD633 is the first product to offer these features in modestly priced 8-lead plastic DIP and SOIC packages.

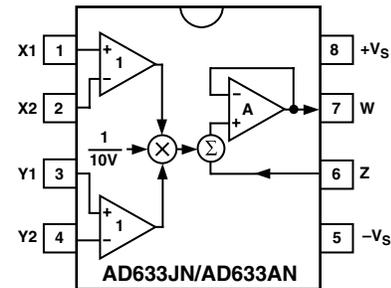
The AD633 is laser calibrated to a guaranteed total accuracy of 2% of full scale. Nonlinearity for the Y input is typically less than 0.1% and noise referred to the output is typically less than 100 μ V rms in a 10 Hz to 10 kHz bandwidth. A 1 MHz bandwidth, 20 V/ μ s slew rate, and the ability to drive capacitive loads make the AD633 useful in a wide variety of applications where simplicity and cost are key concerns.

The AD633's versatility is not compromised by its simplicity. The Z-input provides access to the output buffer amplifier, enabling the user to sum the outputs of two or more multipliers, increase the multiplier gain, convert the output voltage to a current, and configure a variety of applications.

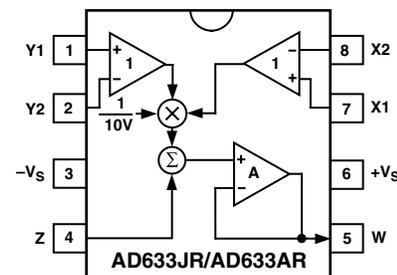
The AD633 is available in an 8-lead plastic DIP package (N) and 8-lead SOIC (R). It is specified to operate over the 0°C to 70°C commercial temperature range (J Grade) or the -40°C to +85°C industrial temperature range (A Grade).

CONNECTION DIAGRAMS

8-Lead Plastic DIP (N) Package



8-Lead Plastic SOIC (RN-8) Package



$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} + Z$$

PRODUCT HIGHLIGHTS

1. The AD633 is a complete four-quadrant multiplier offered in low cost 8-lead plastic packages. The result is a product that is cost effective and easy to apply.
2. No external components or expensive user calibration are required to apply the AD633.
3. Monolithic construction and laser calibration make the device stable and reliable.
4. High (10 M Ω) input resistances make signal source loading negligible.
5. Power supply voltages can range from ± 8 V to ± 18 V. The internal scaling voltage is generated by a stable Zener diode; multiplier accuracy is essentially supply insensitive.

REV. E

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781/329-4700 www.analog.com
 Fax: 781/326-8703

© Analog Devices, Inc., 2002

AD633—SPECIFICATIONS (T_A = 25°C, V_S = ±15 V, R_L ≥ 2 kΩ)

| Model | AD633J, AD633A | | | | |
|--------------------------------------|---|-----|--------|------|--------------|
| TRANSFER FUNCTION | $W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10 V} + Z$ | | | | |
| Parameter | Conditions | Min | Typ | Max | Unit |
| MULTIPLIER PERFORMANCE | | | | | |
| Total Error | -10 V ≤ X, Y ≤ +10 V | | ±1 | ±2 | % Full Scale |
| T _{MIN} to T _{MAX} | | | ±3 | | % Full Scale |
| Scale Voltage Error | SF = 10.00 V Nominal | | ±0.25% | | % Full Scale |
| Supply Rejection | V _S = ±14 V to ±16 V | | ±0.01 | | % Full Scale |
| Nonlinearity, X | X = ±10 V, Y = +10 V | | ±0.4 | ±1 | % Full Scale |
| Nonlinearity, Y | Y = ±10 V, X = +10 V | | ±0.1 | ±0.4 | % Full Scale |
| X Feedthrough | Y Nulled, X = ±10 V | | ±0.3 | ±1 | % Full Scale |
| Y Feedthrough | X Nulled, Y = ±10 V | | ±0.1 | ±0.4 | % Full Scale |
| Output Offset Voltage | | | ±5 | ±50 | mV |
| DYNAMICS | | | | | |
| Small Signal BW | V _O = 0.1 V rms | | 1 | | MHz |
| Slew Rate | V _O = 20 V p-p | | 20 | | V/μs |
| Settling Time to 1% | ΔV _O = 20 V | | 2 | | μs |
| OUTPUT NOISE | | | | | |
| Spectral Density | | | 0.8 | | μV/√Hz |
| Wideband Noise | f = 10 Hz to 5 MHz | | 1 | | mV rms |
| | f = 10 Hz to 10 kHz | | 90 | | μV rms |
| OUTPUT | | | | | |
| Output Voltage Swing | | ±11 | | | V |
| Short Circuit Current | R _L = 0 Ω | | 30 | 40 | mA |
| INPUT AMPLIFIERS | | | | | |
| Signal Voltage Range | Differential | ±10 | | | V |
| | Common Mode | ±10 | | | V |
| Offset Voltage X, Y | | | ±5 | ±30 | mV |
| CMRR X, Y | V _{CM} = ±10 V, f = 50 Hz | 60 | 80 | | dB |
| Bias Current X, Y, Z | | | 0.8 | 2.0 | μA |
| Differential Resistance | | | 10 | | MΩ |
| POWER SUPPLY | | | | | |
| Supply Voltage | | | ±15 | | V |
| Rated Performance | | | | | V |
| Operating Range | | ±8 | | ±18 | V |
| Supply Current | Quiescent | | 4 | 6 | mA |

Specifications shown in **boldface** are tested on all production units at electrical test. Results from those tests are used to calculate outgoing quality levels. All min and max specifications are guaranteed, although only those shown in **boldface** are tested on all production units.

Specifications subject to change without notice.

ABSOLUTE MAXIMUM RATINGS¹

| | |
|---|-----------------|
| Supply Voltage | ±18 V |
| Internal Power Dissipation ² | 500 mW |
| Input Voltages ³ | ±18 V |
| Output Short Circuit Duration | Indefinite |
| Storage Temperature Range | -65°C to +150°C |
| Operating Temperature Range | |
| AD633J | 0°C to 70°C |
| AD633A | -40°C to +85°C |
| Lead Temperature Range (Soldering 60 sec) | 300°C |
| ESD Rating | 1000 V |

NOTES

¹Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied.

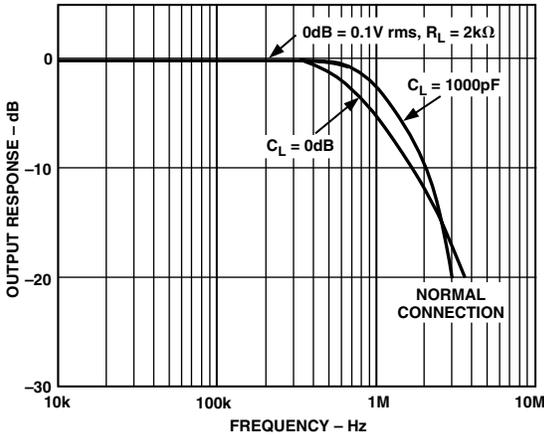
²8-Lead Plastic DIP Package: θ_{JA} = 90°C/W; 8-Lead Small Outline Package: θ_{JA} = 155°C/W.

³For supply voltages less than ±18 V, the absolute maximum input voltage is equal to the supply voltage.

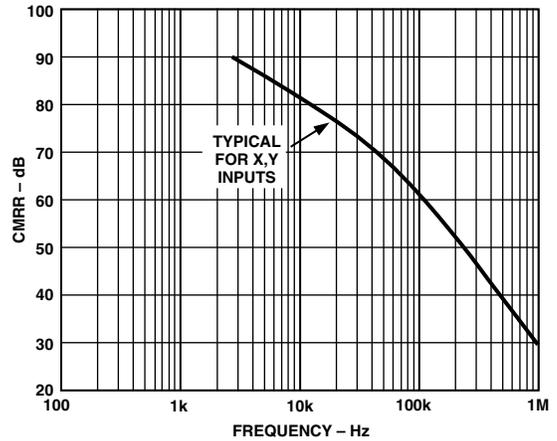
ORDERING GUIDE

| Model | Temperature Range | Package Description | Package Option |
|---------------|-------------------|---------------------|----------------|
| AD633AN | -40°C to +85°C | Plastic DIP | N-8 |
| AD633AR | -40°C to +85°C | Plastic SOIC | RN-8 |
| AD633AR-REEL | -40°C to +85°C | 13" Tape and Reel | RN-8 |
| AD633AR-REEL7 | -40°C to +85°C | 7" Tape and Reel | RN-8 |
| AD633JN | 0°C to 70°C | Plastic DIP | N-8 |
| AD633JR | 0°C to 70°C | Plastic SOIC | RN-8 |
| AD633JR-REEL | 0°C to 70°C | 13" Tape and Reel | RN-8 |
| AD633JR-REEL7 | 0°C to 70°C | 7" Tape and Reel | RN-8 |

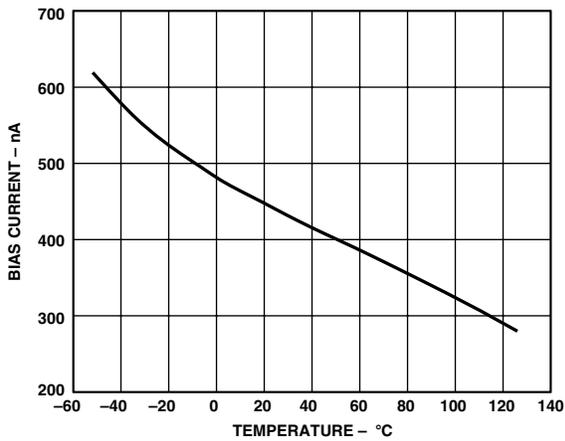
Typical Performance Characteristics—AD633



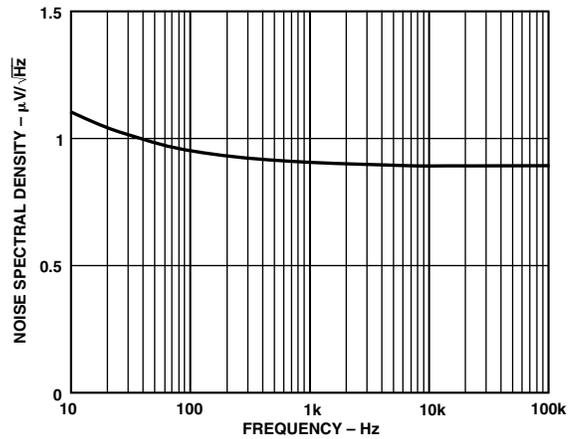
TPC 1. Frequency Response



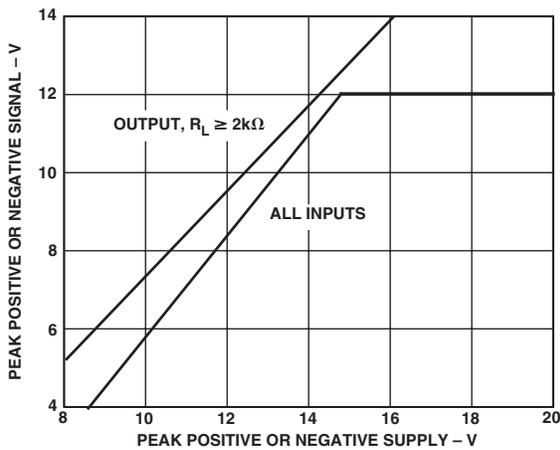
TPC 4. CMRR vs. Frequency



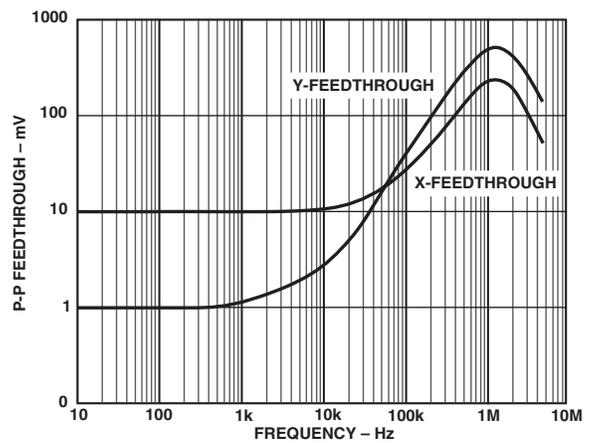
TPC 2. Input Bias Current vs. Temperature (X, Y, or Z Inputs)



TPC 5. Noise Spectral Density vs. Frequency



TPC 3. Input and Output Signal Ranges vs. Supply Voltages



TPC 6. AC Feedthrough vs. Frequency

AD633

FUNCTIONAL DESCRIPTION

The AD633 is a low cost multiplier comprising a translinear core, a buried Zener reference, and a unity gain connected output amplifier with an accessible summing node. Figure 1 shows the functional block diagram. The differential X and Y inputs are converted to differential currents by voltage-to-current converters. The product of these currents is generated by the multiplying core. A buried Zener reference provides an overall scale factor of 10 V. The sum of $(X \times Y)/10 + Z$ is then applied to the output amplifier. The amplifier summing node Z allows the user to add two or more multiplier outputs, convert the output voltage to a current, and configure various analog computational functions.

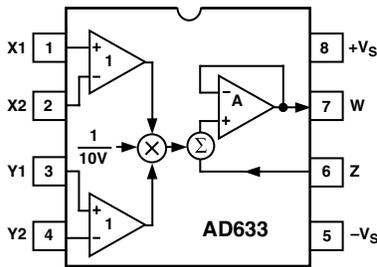


Figure 1. Functional Block Diagram (AD633JN Pinout Shown)

Inspection of the block diagram shows the overall transfer function to be:

$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10 V} + Z \quad (1)$$

ERROR SOURCES

Multiplier errors consist primarily of input and output offsets, scale factor error, and nonlinearity in the multiplying core. The input and output offsets can be eliminated by using the optional trim of Figure 2. This scheme reduces the net error to scale factor errors (gain error) and an irreducible nonlinearity component in the multiplying core. The X and Y nonlinearities are typically 0.4% and 0.1% of full scale, respectively. Scale factor error is typically 0.25% of full scale. The high impedance Z input should always be referenced to the ground point of the driven system, particularly if this is remote. Likewise, the differential X and Y inputs should be referenced to their respective grounds to realize the full accuracy of the AD633.

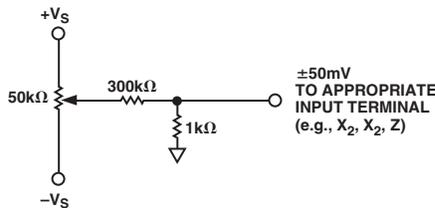


Figure 2. Optional Offset Trim Configuration

APPLICATIONS

The AD633 is well suited for such applications as modulation and demodulation, automatic gain control, power measurement, voltage controlled amplifiers, and frequency doublers. Note that these applications show the pin connections for the AD633JN pinout (8-lead DIP), which differs from the AD633JR pinout (8-lead SOIC).

Multiplier Connections

Figure 3 shows the basic connections for multiplication. The X and Y inputs will normally have their negative nodes grounded, but they are fully differential, and in many applications the grounded inputs may be reversed (to facilitate interfacing with signals of a particular polarity while achieving some desired output polarity) or both may be driven.

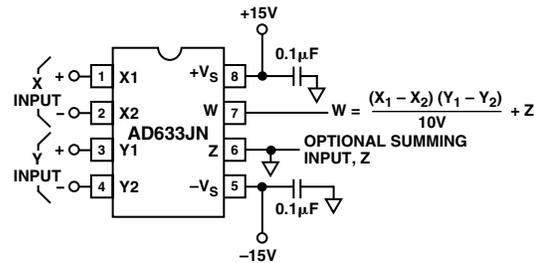


Figure 3. Basic Multiplier Connections

Squaring and Frequency Doubling

As Figure 4 shows, squaring of an input signal, E, is achieved simply by connecting the X and Y inputs in parallel to produce an output of $E^2/10 V$. The input may have either polarity, but the output will be positive. However, the output polarity may be reversed by interchanging the X or Y inputs. The Z input may be used to add a further signal to the output.

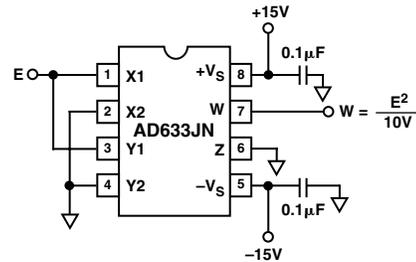


Figure 4. Connections for Squaring

When the input is a sine wave $E \sin \omega t$, this squarer behaves as a frequency doubler, since

$$\frac{(E \sin \omega t)^2}{10 V} = \frac{E^2}{20 V} (1 - \cos 2 \omega t) \quad (2)$$

Equation 2 shows a dc term at the output that will vary strongly with the amplitude of the input, E. This can be avoided using the connections shown in Figure 5, where an RC network is used to generate two signals whose product has no dc term. It uses the identity:

$$\cos \theta \sin \theta = \frac{1}{2} (\sin 2 \theta) \quad (3)$$

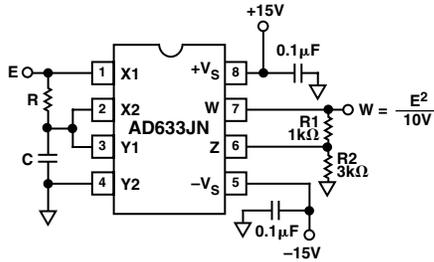


Figure 5. "Bounceless" Frequency Doubler

At $\omega_0 = 1/CR$, the X input leads the input signal by 45° (and is attenuated by $\sqrt{2}$), and the Y input lags the X input by 45° (and is also attenuated by $\sqrt{2}$). Since the X and Y inputs are 90° out of phase, the response of the circuit will be (satisfying Equation 3):

$$W = \frac{1}{(10V)} \frac{E}{\sqrt{2}} (\sin \omega_0 t + 45^\circ) \frac{E}{\sqrt{2}} (\sin \omega_0 t - 45^\circ) = \frac{E^2}{(40V)} (\sin 2 \omega_0 t) \quad (4)$$

which has no dc component. Resistors R1 and R2 are included to restore the output amplitude to 10 V for an input amplitude of 10 V.

The amplitude of the output is only a weak function of frequency: the output amplitude will be 0.5% too low at $\omega = 0.9 \omega_0$, and $\omega_0 = 1.1 \omega_0$.

Generating Inverse Functions

Inverse functions of multiplication, such as division and square rooting, can be implemented by placing a multiplier in the feedback loop of an op amp. Figure 6 shows how to implement a square rooter with the transfer function

$$W = \sqrt{(10E)V} \quad (5)$$

for the condition $E < 0$.

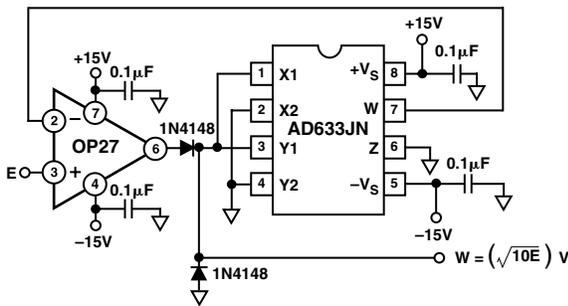


Figure 6. Connections for Square Rooting

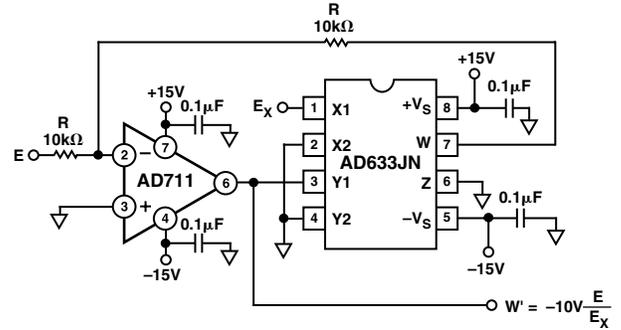


Figure 7. Connections for Division

Likewise, Figure 7 shows how to implement a divider using a multiplier in a feedback loop. The transfer function for the divider is

$$W' = -(10V) \frac{E}{E_X} \quad (6)$$

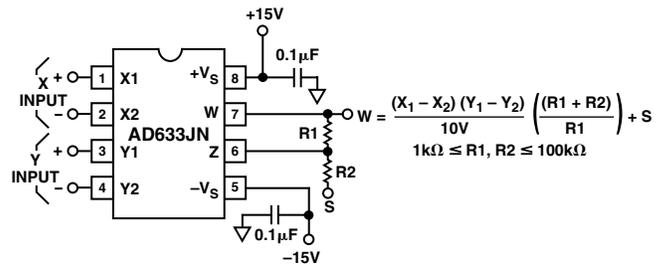


Figure 8. Connections for Variable Scale Factor

Variable Scale Factor

In some instances, it may be desirable to use a scaling voltage other than 10 V. The connections shown in Figure 8 increase the gain of the system by the ratio $(R1 + R2)/R1$. This ratio is limited to 100 in practical applications. The summing input, S, may be used to add an additional signal to the output or it may be grounded.

Current Output

The AD633's voltage output can be converted to a current output by the addition of a resistor R between the AD633's W and Z pins as shown in Figure 9. This arrangement forms

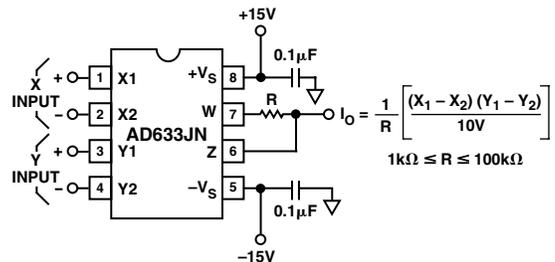


Figure 9. Current Output Connections

AD633

the basis of voltage controlled integrators and oscillators as will be shown later in this Applications section. The transfer function of this circuit has the form

$$I_O = \frac{1}{R} \frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} \quad (7)$$

Linear Amplitude Modulator

The AD633 can be used as a linear amplitude modulator with no external components. Figure 10 shows the circuit. The carrier and modulation inputs to the AD633 are multiplied to produce a double-sideband signal. The carrier signal is fed forward to the AD633's Z input where it is summed with the double-sideband signal to produce a double-sideband with carrier output.

Voltage Controlled Low-Pass and High-Pass Filters

Figure 11 shows a single multiplier used to build a voltage controlled low-pass filter. The voltage at output A is a result of filtering, E_S . The break frequency is modulated by E_C , the control input. The break frequency, f_2 , equals

$$f_2 = \frac{E_C}{(20V)\pi RC} \quad (8)$$

and the rolloff is 6 dB per octave. This output, which is at a high impedance point, may need to be buffered.

The voltage at output B, the direct output of the AD633, has same response up to frequency f_1 , the natural breakpoint of RC filter,

$$f_1 = \frac{1}{2\pi RC} \quad (9)$$

then levels off to a constant attenuation of $f_1/f_2 = E_C/10$.

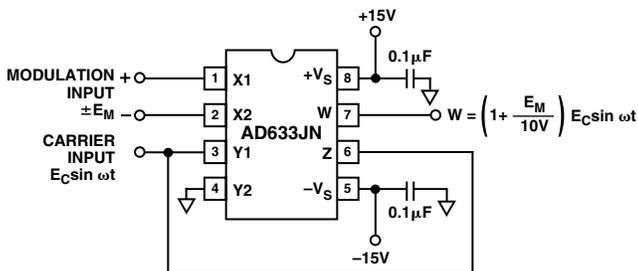


Figure 10. Linear Amplitude Modulator

For example, if $R = 8 \text{ k}\Omega$ and $C = 0.002 \text{ }\mu\text{F}$, then output A has a pole at frequencies from 100 Hz to 10 kHz for E_C ranging from 100 mV to 10 V. Output B has an additional zero at 10 kHz (and can be loaded because it is the multiplier's low impedance output). The circuit can be changed to a high-pass filter Z interchanging the resistor and capacitor as shown in Figure 12.

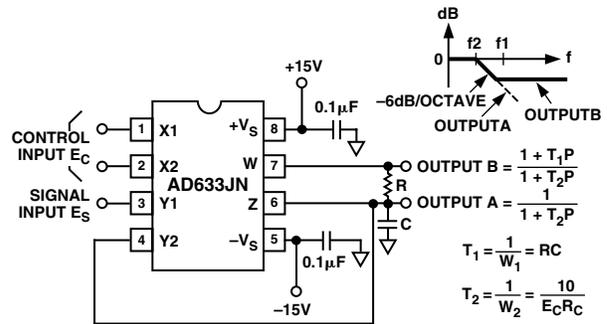


Figure 11. Voltage Controlled Low-Pass Filter

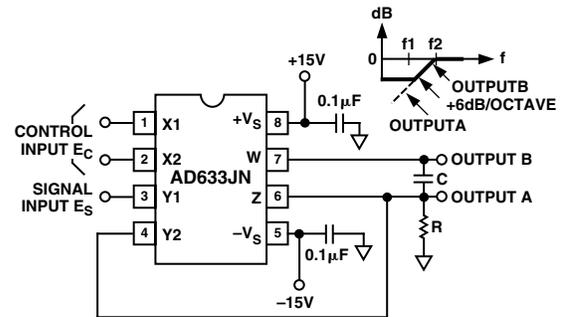


Figure 12. Voltage Controlled High-Pass Filter

Voltage Controlled Quadrature Oscillator

Figure 13 shows two multipliers being used to form integrators with controllable time constants in second order differential equation feedback loop. R_2 and R_5 provide controlled current output operation. The currents are integrated in capacitors C_1 and C_2 , and the resulting voltages at high impedance are applied to the X inputs of the "next" AD633. The frequency control input, E_C , connected to the Y inputs, varies the integrator gains with a calibration of 100 Hz/V. The accuracy is limited by the Y input offsets. The practical tuning range of this circuit is 100:1. C_2 (proportional to C_1 and C_3), R_3 , and R_4 provide regenerative feedback to start and maintain oscillation. The diode bridge, D_1 through D_4 (1N914s), and Zener diode D_5 provide economical temperature stabilization and amplitude stabilization at $\pm 8.5 \text{ V}$ by degenerative damping. The output from the second integrator ($10 \text{ V} \sin \omega t$) has the lowest distortion.

AGC AMPLIFIERS

Figure 14 shows an AGC circuit that uses an rms-to-dc converter to measure the amplitude of the output waveform. The AD633 and A1, 1/2 of an AD712 dual op amp, form a voltage controlled amplifier. The rms-to-dc converter, an AD736, measures the rms value of the output signal. Its output drives A2, an integrator/comparator whose output controls the gain of the voltage controlled amplifier. The 1N4148 diode prevents the output of A2 from going negative. R_8 , a 50 k Ω variable resistor, sets the circuit's output level. Feedback around the loop forces the voltages at the inverting and noninverting inputs of A2 to be equal, thus the AGC.

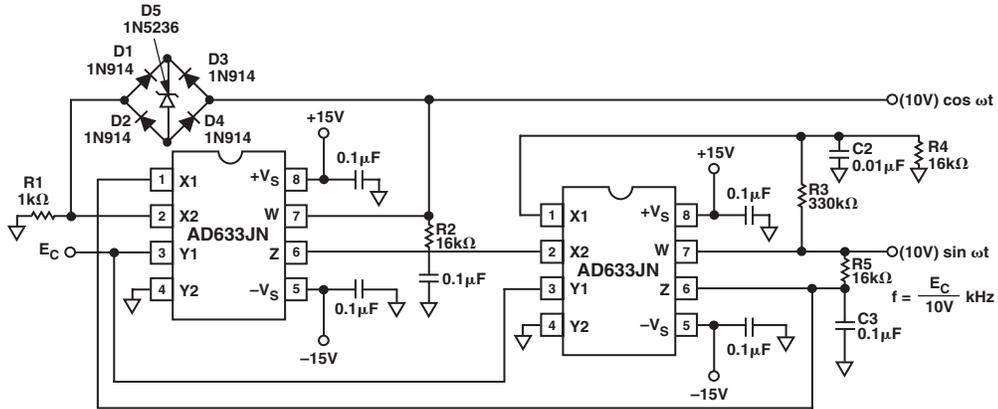


Figure 13. Voltage Controlled Quadrature Oscillator

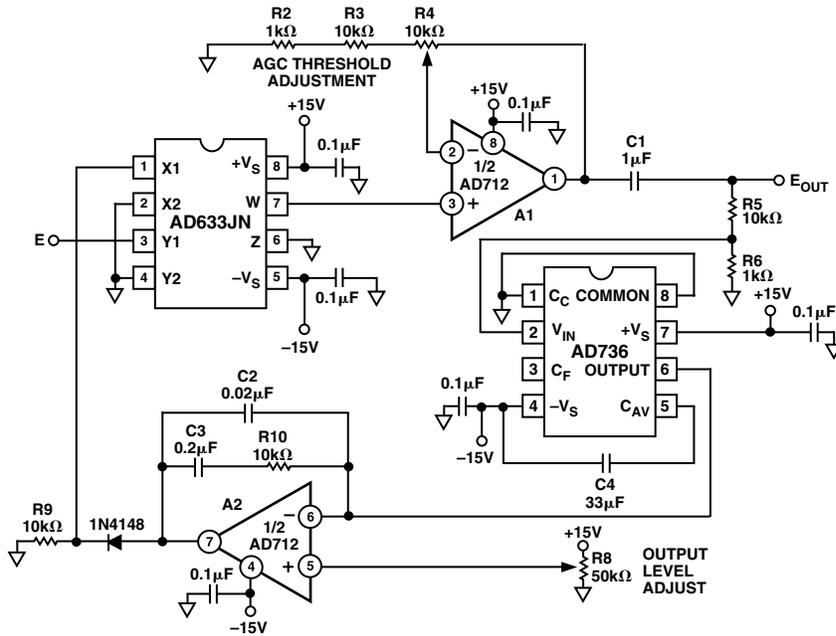
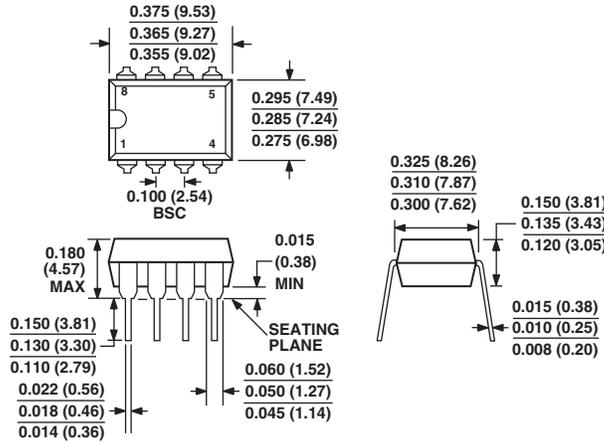


Figure 14. Connections for Use in Automatic Gain Control Circuit

OUTLINE DIMENSIONS

8-Lead Plastic Dual-in-Line Package [PDIP]
(N-8)

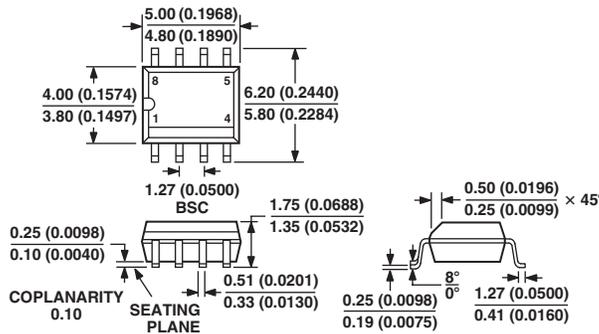
Dimensions shown in inches and (millimeters)



COMPLIANT TO JEDEC STANDARDS MO-095AA
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

8-Lead Standard Small Outline Package [SOIC]
Narrow Body
(RN-8)

Dimensions shown in millimeters and (inches)



COMPLIANT TO JEDEC STANDARDS MS-012AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

Revision History

| Location | Page |
|--|------|
| 10/02—Data Sheet changed from REV. D to REV. E. | |
| Edits to title of 8-Lead Plastic SOIC Package (RN-8) | 1 |
| Edits to ORDERING GUIDE | 2 |
| Change to Figure 13 | 7 |
| Updated OUTLINE DIMENSIONS | 8 |

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

