

Université Mouloud MAMMERRI de Tizi-Ouzou
Faculté de Génie Electrique et d'Informatique
Département d'Électronique

T H È S E

Présentée par
Hakim ACHOUR

soutenue le
22 Juin 2014
en vue de l'obtention du

Doctorat en Electronique

Titre

**Etude en courant continu et en bruit basse
fréquence, en fonction de la température
(10 K – 300 K), de transistors FinFETs**

Devant le jury :

Mr. BELKAID Mohammed Said	Professeur	UMMTO	Président
Mr. BENFDILA Arezki	Professeur	UMMTO	<i>Directeur de thèse</i>
Mr. CARIN Régis	Professeur	UCBN	<i>Co-Directeur de thèse</i>
Mr. BENZAOUZ Djamel	Professeur	UMBB	Examineur
Mr. BELAROUSSI M. Tahar	Directeur de Recherche	CDTA	Examineur
Mr. MOKDAD Rabah	Professeur	UMMTO	Examineur

Remerciements

Je tiens tout d'abord à remercier Arezki BENFDILA, Professeur à l'UMMTO, qui est à l'origine de cette thèse.

J'exprime toute ma reconnaissance au Pr Régis carin, Professeur à l'UNICAEN, au Dr Bogdan Cretu, HDR à l'ENSICAEN et au Pr Jean Marc Routoure, Professeur à l'UNICAEN, pour m'avoir accueilli au GREYC et pour avoir mis à ma disposition tous les moyens matériels sans lesquels je n'aurais pas abouti dans mes travaux de recherche. Je les remercie aussi pour leur disponibilité, leur gentillesse et leurs critiques scientifiques, et pour tout ce que j'ai appris avec eux sur la caractérisation, le bruit dans les dispositifs électroniques et l'instrumentation.

Je remercie Mr BELKAID M.S., Pr à l'UMMTO, pour avoir accepté de présider le jury de ma soutenance. Mes vifs remerciements vont aussi à Ms BENAZZOUZ Djamel, Professeur à l'université de Boumerdes, BELAROUSSI M. Tahar, Directeur de recherche au CDTA d'Alger et MOKDAD Rabah, professeur à l'université de Tizi-Ouzou, pour avoir accepté d'examiner mon travail.

Je tiens aussi à remercier toute l'équipe électronique du laboratoire GREYC en particulier B. Guillet et Nicole Delamote, qui m'a énormément facilité mon séjour à CAEN.

Toute ma reconnaissance va aussi à tous mes amis (e)s, enseignants à la FGEI, pour leurs encouragements.

Résumé

Cette thèse porte sur l'étude des performances en statique et en bruit basse fréquence à très basse température de dispositifs SOI FinFETs de la technologie 32 nm. Pour cela, des mesures en statique et en bruit basses fréquences ont été effectuées à très basses températures (10 K et 80 K) sur des dispositifs SOI FinFETs dans le but d'évaluer leurs performances et d'étudier les mécanismes à l'origine du bruit basses fréquences (bruit excédentaire). Les principaux paramètres électriques (tension de seuil, pente sous le seuil, mobilité, ...) sont extraits et comparés aux valeurs trouvées à 80 K et à température ambiante.

A 10 K, on observe de meilleures performances par rapport à celles obtenues à température ambiante, notamment pour les nFinFETs. On y obtient ainsi une plus grande mobilité, de plus petites résistances d'accès, un plus fort courant I_{on} et une plus grande vitesse de saturation des porteurs. Quant à l'analyse en bruit, limitée aux dispositifs p-FinFETs, elle montre clairement que de 300 K à 10 K, la fluctuation du nombre de porteurs est à l'origine du bruit excédentaire à faible inversion alors qu'à forte inversion, la contribution des résistances d'accès au bruit excédentaire prédomine. Si à température ambiante et 80 K, la fluctuation du nombre de porteurs corrélé à des fluctuations de mobilité modélise le bruit excédentaire à faible inversion, à 10 K, le bruit excédentaire est modélisé par la fluctuation du nombre des porteurs seulement (Modèle de Mc Whorther). On a aussi observé un bruit en $1/f^\gamma$ avec γ qui varie avec la température, ce qui implique une densité de pièges actifs non uniforme en profondeur dans l'oxyde. De plus, il semblerait qu'à très basses températures l'origine du bruit excédentaire dû aux résistances d'accès soit dû aux fluctuations du nombre de porteurs alors qu'à 300 K, il proviendrait plutôt de variations de la mobilité.

SOI FinFET ; Performances statiques ; Bruit basse fréquence ; bruit $1/f^\gamma$; Très basses températures ; Caractérisation statique et dynamique.

Liste des symboles

α_C (Vs/C)	Coefficient des interactions coulombiennes.
α_H	Constante de Hooge.
β	Gain du transistor
μ	Mobilité des porteurs
μ_0	Mobilité à faible champ électrique
μ_{eff}	Mobilité effective
μ_m	Mobilité maximale à très basses températures.
ϕ_{ms}	Différence entre les travaux de sortie métal et Semi-conducteur
ψ_F	Potentiel de Fermi
ψ_S	Potentiel de surface
σ	Conductivité des porteurs.
τ	Temps de libre parcours moyen des porteurs
τ_c	Temps moyen de capture des porteurs.
τ_e	Temps moyen d'émission des porteurs.
τ_g	Délai intrinsèque de la grille.
θ	Coefficient de réduction de la mobilité
θ_{10}	Facteur d'atténuation intrinsèque de la mobilité.
θ_1 et θ_2	Facteurs d'atténuation de la mobilité
A (cm^2)	Surface de la grille
A_i	Niveau de plateau de la Lorentzienne.
C_d	Capacité de déplétion
C_{gs}	Capacité grille - source
C_{it}	Capacité des états d'interface

C_{ox}	Capacité de l'oxyde
E_{eff}	Champs électrique effectif
E_x	Champ électrique vertical
E_y	Champ électrique longitudinal
f_c	Fréquence de coupure.
f_{0i}	Fréquence caractéristique de la i ème lorentzienne
FS	Distance entre deux Fin
g_D	Conductivité du transistor
g_m	Transconductance du transistor
H_{fin}	Hauteur du Fin du FinFET
HfO_2	Oxyde d'hafnium
I_{dsat} (A)	Courant de saturation
I_d (A)	Courant de drain
I_{off}	Courant de fuite à l'état bloqué (Off)
I_{on}	Courant de conduction à l'état passant (On)
k	Constante de Boltzmann
K_f	Niveau de bruit 1/f à 1 Hz.
K_r	Niveau de bruit des résistance d'accès.
L (cm)	Longueur du canal
m_e	masse effective des électrons
N_{CS}	Concentration des charges de surface
N_{dep}	Densités de charge de la zone de déplétion
N_{fin}	Nombre de Fin
N_{inv}	Densité de charge de la zone d'inversion
N_{it}	Densité de piège dans le diélectrique de grille.
q	Charge élémentaire des porteurs.
Q_d	Charge de déplétion
Q_M	Charges due aux ions mobiles Na+ et K+
Q_f	Charge due aux charges fixes localisée dans l'oxyde

Q_{inv}	Charge d'inversion
Q_{it}	Charge due aux pièges d'interface
Q_i	Charge d'inversion.
Q_m	Charge d'inversion correspondant à la mobilité maximale.
Q_{ot}	Charge due aux pièges se trouvant dans l'oxyde
Q_{SS}	Quantité de charges dans l'oxyde
r_{access}	Résistance d'accès
R_D	Resistance d'accès drain
R_{SD}	Resistance d'accès totale
R_S	Resistance d'accès source
S_{I_D}	Densité spectrale des fluctuations du courant de drain.
S_{V_G}	Densité spectrale de bruit en tension ramenée sur la grille du transistor.
$S_{V_{FB}}$	Densité spectrale des fluctuations de la tension de bandes plates.
T (K)	Température absolue.
T_{ox} (nm)	Epaisseur de l'oxyde
V_{dsat} (V)	Tension de saturation
V_{DS} (V)	Tension Drain-Source
V_{FB} (V)	Tension de bandes plates (FlatBnad)
V_{GS} (V)	Tension Grille-Source
V_{GT} (V)	Tension effective de modulation (Overdrive voltage)
V_p (V)	Tension de pincement
v_{sat} (cm/s)	Vitesse de saturation des porteurs.
V_{thCC}	Tension de seuil à courant constant
V_{th} (V)	Tension de seuil
W (cm)	Largueur du canal
W_{fin}	Largeur du Fin
x_j (nm)	Profondeur de diffusion de la source et du drain
BOX	Buried OXide
CESL	Couche d'arrêt de gravure (Contact Etch Stop Layer)
CMOS	Complementary Metal Oxide Semiconductor
DAHC	Drain Avalanche Hot Carrier
DC	Direct Current

DELTA	fully DEpleted Lean- channel TrAnsistor
DG-MOSFET	Double Gate MOSFET
DIBL	Drain Induced Barrier Lowering
FD-MOSFET	Fully Depleted MOSFET
FinFET	Finger Field Effect Transistor
FS	Distance entre les Fin.
GAA	Gate All Around
GIDL	Gate Induced Drain Leakage
GREYC	Groupe de Recherche en Informatique, Image, Automatique et Instrumentation.
HfSiON	Silicate d'Hafnium Nitruré
HP	High Performance
IL	Couche interfaciale (Interfacial layer)
IMEC	Interuniversity MicroElectronics Center, Leuven, Belgique.
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
LOP	Low Operation Power
LTSP	Low STandby Power
MOCVD	Metal Organic Chemical Vapor Deposition.
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MuGFET	Transistor à effet de champ multi-grille
PD-MOSFET	Partially Depleted MOSFET
RSCE	Reverse Short Channel Effect
RTS	Random Telegraph Signal.
S	Distance entre la grille et la source.
S	Inverse de la pente sous le seuil (Swing)
SCE	Short Channel Effect
SEG	Croissance épitaxiale sélective (Selective Epitaxial Growth)
SiN	Nitruure de silicium
SOI	Silicium sur isolant (Silicon On Insulator)
SOS	silicium sur saphir
sSOI	Silicium sur isolant contraint (strained SOI)
TSMC	Taiwan Semiconductor Manufacturing Company
ULSI	Ultra Large Scale of Integration
VLSI	Very Large Scale of Integration

Table des matières

Liste des symboles	5
Introduction générale	1
I. Du MOSFET au FinFET	5
Introduction	5
I.1. A la base, le transistor MOS à effet de champ	5
I.1.1. Architecture du MOSFET	5
I.1.2. Principe de fonctionnement et notion de tension de seuil	6
I.1.3. Transport électronique, Notion de mobilité des porteurs	8
I.1.4. Modélisation du MOSFET (Modèle de base)	11
I.1.4.1. Régime de faible inversion ou régime sous le seuil :	11
I.1.4.2. Régimes de forte inversion	11
I.2. Autres paramètres importants du MOSFET	12
I.2.1. Résistance d'accès de source et drain	12
I.2.2. Mobilité à faible champs et mobilité effective	13
I.2.3. Pente sous le seuil S	14
I.3. Approches pour l'amélioration des performances du MOSFETs	15
I.3.1. Miniaturisation et effet de canal court	15
I.3.1.1. Lois de réduction d'échelle	16
I.3.1.2. Effets de canal court	17
I.3.2. Utilisation d'autres matériaux	22
I.3.2.1. Grille métallique	22
I.3.2.2. Oxyde High-K	22
I.3.2.3. Introduction de contraintes mécaniques	24

I.3.3.	Évolution vers d'autres structures	27
I.3.3.1.	La Technologie SOI	27
I.3.3.2.	Multiplication du nombre de grilles, MuGFET	30
I.3.3.3.	Le FinFET	31
Conclusion	33

II. Techniques de caractérisations en statique et en bruit basse fréquence des dispositifs MOS à effet de champs 35

II.1.	Techniques de caractérisations en statique	35
II.1.1.	Etat de l'art des méthodes d'extraction	35
II.1.2.	Extraction des paramètres du MOSFET en régime linéaire :	38
II.1.2.1.	La fonction Y	38
II.1.2.2.	Extension de la fonction Y pour les très basses températures (4K - 30K)	41
II.1.2.3.	Extraction de la mobilité effective :	43
II.1.3.	Extraction des paramètres en régime de saturation	44
II.1.3.1.	Extraction de V_{dsat} et I_{dsat} :	44
II.1.3.2.	Extraction de I_{on} et I_{off}	45
II.1.3.3.	Extraction de la vitesse de saturation des porteurs	45
II.2.	Caractérisation des dispositifs MOSFETs par la technique de bruit basse fréquence 47	
II.2.1.	Instabilités physiques dans le MOSFET et défauts dans le Silicium :	47
II.2.2.	Bruits basse fréquence dans les dispositifs électroniques	49
II.2.2.1.	Bruit Blanc	50
II.2.2.2.	Bruit Lorentzien	50
II.2.2.3.	Bruit excédentaire ou bruit en 1/f	52
II.2.3.	Bruit basse fréquence dans les MOSFETs :	53
II.2.3.1.	Bruit 1/f dans les MOSFETs	54

III. Etude des performances statiques à très basse température des SOI FinFETs 59

Introduction	59
III.1.	Description des SOI FinFETs étudiés	60
III.2.	Influence de la température sur le fonctionnement des dispositifs électroniques . . .	61

III.3. Performances en statique des SOI FinFETs à très basse température	63
III.3.1. Instrumentation de mesure des caractéristiques I(V) et mesures effectuées	63
III.3.2. Résultats obtenus en statique et discussions	64
III.3.2.1. Mobilité	68
III.3.2.2. Tension de seuil	70
III.3.2.3. Pente sous le seuil	72
III.3.2.4. Résistance d'accès et longueur effective	74
III.3.3. Résultats obtenus en saturation	75
III.3.3.1. Courants I_{on} et I_{off} :	76
III.3.3.2. Vitesse de saturation des porteurs	78
IV. Etude en bruit basse fréquence et à très basse température des SOI p-FinFETs. 81	
Introduction.	81
IV.1. Description des SOI FinFETs étudiés	82
IV.2. Instrumentation de mesure du bruit basse fréquence dans les dispositifs MOSFETs.	82
IV.3. Extraction des paramètres de bruits	84
IV.4. Incertitudes de mesure	86
IV.5. Résultats et discussions	87
IV.5.1. Niveau de bruit $1/f$ et variation de γ en fonction de la température :	87
IV.5.2. Modèle de bruit $1/f$ à très basse température	90
IV.5.3. Contribution (et origine) du bruit des résistances d'accès au bruit total :	92
IV.5.4. Densité de piège N_{it} à très basse température	93
Conclusions	95
Bibliographie	97

Introduction générale

Le transistor à semi-conducteur peut être considéré comme la plus grande invention du 20ème siècle. Cette invention a été amplifiée avec la mise en évidence du premier circuit intégré par J.S. Kilby de Texas Instruments [1]. Ce dernier est à la base de toute l'électronique moderne appliquée à divers domaines telles les télécommunications, l'électronique grand public, le matériel informatique, l'électronique biomédicale, Les progrès remarquables accomplis ces dernières décennies par les systèmes intégrés sur silicium et la maîtrise des technologies à haute densité d'intégration ont fait du marché des circuits VLSI / ULSI, l'un des plus importants de l'économie mondiale et induit un accroissement très important de leur complexité. Pendant quatre décades, suivant la loi de Moore, le nombre de transistors dans les circuits intégrés a doublé tous les 18 mois, induisant une augmentation exponentielle des performances des systèmes électroniques. Ce doublement de densité à chaque nouvelle génération technologique a été rendu possible par la réduction de la taille des transistors et ce dans le but d'augmenter leurs vitesses, la densité d'intégration et réduire les coûts de production. La technologie CMOS (Complementary Metal Oxide Semiconductor) basée sur le transistor MOS à effet de champ (MOSFET), représente une part importante de la production des dispositifs à semi-conducteurs et a atteint un haut niveau de fiabilité. La longueur de la grille des transistors MOFSET est passée de 10 μm en 1960 à 22 nm actuellement et sera d'environ 7 nm vers l'an 2018 d'après les prévisions de l'ITRS [2].

Pendant que la technologie du Silicium continue à se développer, un consensus se dégage pour reconnaître que la simple diminution des dimensions géométriques des transistors pour passer d'une génération à la suivante n'est plus possible. Aussi, des travaux sont élaborés pour proposer des alternatives de remplacement du MOSFET classique. Plusieurs voies sont ainsi explorées, notamment l'utilisation d'autres matériaux à la place du silicium, l'utilisation de contraintes mécaniques, d'une grille métallique, d'un oxyde haute permittivité (High-K) ainsi que le développement d'autres structures. Parmi ces structures, l'une des plus prometteuses est la structure FinFET qui est un transistor MOSFET 3D. Le transistor FinFET a ainsi été mis en production par Intel pour le

nœud technologique 22 nm au cours de l'année 2011. Actuellement, d'autres fondeurs tels TSMC et AMD ont annoncé qu'ils allaient commencer la production en masse de transistors en 3D (FinFET) gravés en 16 nm et 14 nm d'ici la fin de l'année 2014.

L'évolution continue des dispositifs semi-conducteurs vers des dimensions de plus en plus petites pour en améliorer les performances, requière donc des semi-conducteurs, des isolants et des métaux de très grande qualité, très bien caractérisés et pouvant être déposés avec une grande précision. Une caractérisation fine est alors nécessaire pour l'extraction des paramètres électriques et ainsi aboutir à une meilleure compréhension des phénomènes physiques qui gouvernent leur fonctionnement. D'un autre point de vue, la température est rarement considérée comme un degré de liberté par les concepteurs mais plutôt comme une contrainte. D'un autre côté, il est connu depuis bien longtemps que les performances des dispositifs électroniques peuvent être améliorées en les utilisant à de basses températures.

L'évaluation de la qualité et de la fiabilité des matériaux passe aussi par le développement et l'utilisation de techniques de caractérisation non destructives. Or l'étude du bruit électronique nous permet d'avoir des informations sur les mécanismes fondamentaux du transport électronique et peut être aussi utilisée comme un puissant outil de diagnostic dans la détection des défauts dans les composants électroniques et permet la caractérisation de la qualité et de la fiabilité de ces derniers.

Dans le cadre de cette thèse élaborée au sein de l'équipe électronique du groupe de recherche GREYC, il nous a été demandé d'étudier les performances en statique et en bruit basse fréquence à très basse température de dispositifs SOI FinFETs de la technologie 32 nm issus des lignes pilotes d'IMEC (Inter university MicroElectronics Center, Leuven, Belgique). Ces dispositifs ont été mis à la disposition de l'équipe électronique du GREYC dans le cadre d'une collaboration entre les deux institutions pour en faire la caractérisation électrique. L'équipe électronique du GREYC a acquis au fil du temps des compétences reconnues dans l'analyse fine et la modélisation du bruit basse fréquence et dans l'étude des effets découlant de la miniaturisation des composants micro-électroniques du type MOSFETs. Ces compétences s'appuient sur un appareillage de mesure adéquat et performant, qui permet des mesures sous pointes avec la possibilité de faire varier la température entre 4,2 K et 400 K, et sur un savoir-faire dans l'étude du bruit basse fréquence des composants à semi-conducteurs.

Pour mener à bien notre travail, nous avons subdivisé notre thèse en quatre chapitres. Le premier de ces chapitres sera consacré à l'étude du MOSFET et aux différentes approches qui

sont suivies pour en améliorer les performances, ce qui nous mènera au FinFET. Le deuxième chapitre composé de deux parties, sera quant à lui consacré aux techniques de caractérisation des transistors MOSFETs. La première partie traitera des techniques de caractérisation en statique qui nous permettront d'extraire les paramètres électriques des dispositifs étudiés alors que la seconde partie sera consacrée au bruit basses fréquences dans les dispositifs électroniques en général et aux mécanismes qui génèrent le bruit basses fréquences, notamment le bruit excédentaire dans les dispositifs MOSFETs et donc FinFETs.

Les troisième et quatrième chapitres seront consacrés à notre travail expérimental. Dans le troisième chapitre seront exposés l'essentiel des résultats obtenus en statique en régime linéaire et en saturation alors que le quatrième chapitre sera dédié à l'étude en bruit basses fréquences (bruit $1/f$) à très basses températures dans les dispositifs étudiés. Les résultats obtenus à très basses températures seront comparés à ceux trouvés à 80 K et à température ambiante.

I. Du MOSFET au FinFET

Introduction

Dans ce premier chapitre, nous présenterons de façon succincte les notions de base sur le MOSFET, les voies empruntées pour en améliorer les performances, la fiabilité, réduire les coûts,... Nous définirons aussi les paramètres géométriques, électriques et physiques du MOSFET, ainsi les équations de base régissant son fonctionnement. Nous situerons alors notre travail de thèse qui porte principalement sur des transistors SOI FinFETs et décrirons les dispositifs mis à notre disposition pour la réalisation de la partie expérimentale.

I.1. A la base, le transistor MOS à effet de champ

Le transistor MOS se base sur une idée relativement ancienne. Son fonctionnement se base sur le principe de l'effet de champ, appelé aussi modulation de conductivité de matériaux semi-conducteurs, effet connu dès 1926 par Lilienfeld et Heil [3, 4]. Cependant, l'effet transistor n'a été mis en évidence qu'après la découverte du transistor bipolaire en 1948. Cette découverte de l'effet transistor considérée comme étant un phénomène de transfert de résistance de l'entrée vers la sortie du transistor impulsa l'idée de concevoir des transistors en considérant l'effet de modulation de conductivité introduit par Lilienfeld. Il fallut attendre 1960 pour que Kahng et Attalla [5, 6] parvinrent à faire fonctionner le premier transistor MOS à effet de champ à grille isolée, MOSFET (Metal Oxide Semiconductor Field Effect Transistor), grâce à la bonne qualité des oxydes de grille obtenue après la maîtrise du processus d'oxydation native du silicium.

I.1.1. Architecture du MOSFET

La structure de base du MOSFET est constituée d'un substrat de silicium de type n ou p dans lequel sont implantées, par diffusion ou implantation ionique, deux zones, fortement dopées

et de type opposé à celui du substrat, appelées drain et source. Sur la zone délimitée par le drain et la source (appelée zone active), est déposée une couche de diélectrique par oxydation du silicium (substrat). Le diélectrique ainsi obtenu, le SiO_2 thermique, est recouvert d'une couche, pouvant être du polysilicium de haute conductivité et/ou de l'aluminium, appelée grille. Une capacité MOS est ainsi réalisée (Figure I.1). La couche active liant la source et le drain, activée par polarisation, est appelée canal. Selon sa présence ou son absence et en l'absence de toute polarisation, le transistor peut être à appauvrissement (Normally On) ou à enrichissement (Normally Off). Indépendamment du type du transistor, un MOSFET est caractérisé par ses dimensions géométriques et physiques qui sont décrites ci-dessous et montrées par la Figure I.1. On appelle L et W la longueur et la largeur du canal du MOSFET respectivement. x_j représente la profondeur de diffusion de la source et du drain et T_{ox} l'épaisseur de l'oxyde de grille. La surface de la grille est $A = W.L$ et x la profondeur du canal. La grille et le drain sont polarisés par les tensions V_{GS} et V_{DS} référencées par rapport à la source ou au substrat, tous deux généralement maintenus à la masse afin de contrôler la conductivité du canal et le courant du drain traversant longitudinalement le canal. Pour le transistor classique, le dopage du substrat varie entre 10^{15} et 10^{17} atomes/cm³. Celui des drain et source par contre, est de l'ordre de 10^{19} atomes/cm³. Le canal est physiquement séparé de l'oxyde par l'interface qui influe sur le comportement et les performances du MOSFET.

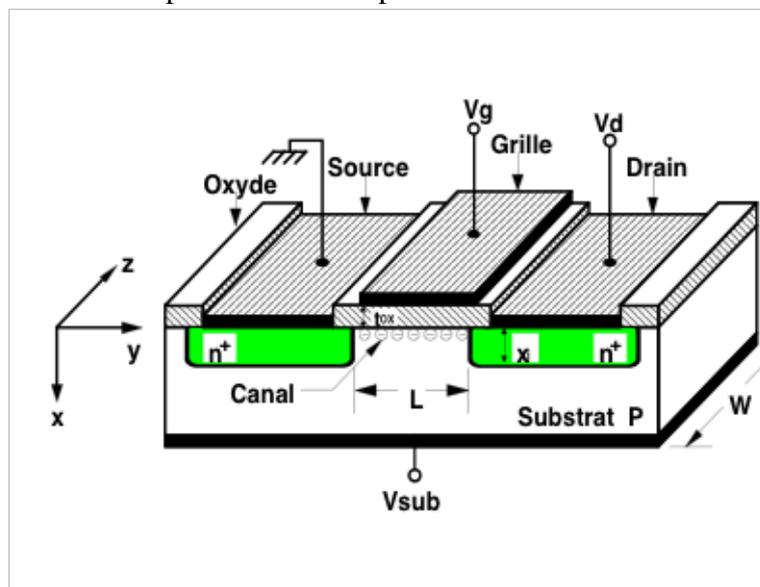


FIGURE I.1.: Structure et paramètres géométriques du MOSFET

I.1.2. Principe de fonctionnement et notion de tension de seuil

Le principe de fonctionnement du MOSFET consiste à moduler, par la tension de polarisation grille source, V_{GS} , la conductance du canal. Cette modulation est effective à partir d'une tension

V_{GS} appelée tension de seuil V_{th} . La tension effective de modulation de la conductivité du canal est $V_{GT} = V_{GS} - V_{th}$ appelée tension effective de modulation. L'étude du fonctionnement du MOSFET se divise principalement en deux régimes définis par les tensions de grille V_{GS} à savoir le régime sous le seuil i.e. subthreshold ($V_{GS} < V_{th}$) et le régime d'inversion ($V_{GS} > V_{th}$). La tension V_{th} qui correspond à la transition de régimes, est la tension de seuil nécessaire pour avoir une courbure du potentiel de surface Ψ_S égale à $2\Psi_F$. Ceci est réalisé en compensant tous les effets dus aux charges électriques de l'oxyde et de l'interface. La capacité de l'oxyde et les paramètres physiques faisant de la structure MOS une structure non idéale, la tension de seuil V_{th} est donnée globalement par l'équation :

$$V_{th} = 2\Psi_S - \frac{Q_d}{C_{ox}} + V_{FB} \quad (I.1)$$

Où V_{FB} est la tension de bandes plates (FlatBand). En l'absence de potentiel de surface, la courbure des bandes est nulle. On parle alors de conditions de bandes plates (FlatBand) (voir Figure I.2). Dans ce cas, la tension de grille est exactement égale à V_{FB} qui est donnée par l'expression :

$$V_{FB} = \varphi_{ms} - \frac{Q_{SS}}{C_{ox}} \quad (I.2)$$

où φ_{ms} est la différence entre les travaux de sortie du métal et du semi-conducteur, Q_{SS} la quantité de charges dans l'oxyde et C_{ox} la capacité de l'oxyde.

En régime sous le seuil (subthreshold), le canal n'est pas encore formé, i.e, la surface du semi-conducteur correspondante est de type p (dans le cas du nMOSFET). Le transistor fonctionne comme un transistor bipolaire npn (source-grille-drain). Ce fonctionnement est plus prononcé pour les MOSFETs à canal court pour lesquelles la longueur du canal est du même ordre de grandeur que la longueur de diffusion des porteurs. Dans le cas de MOSFET à canal long, cette condition n'est pas vérifiée et l'effet de la tension de drain V_{DS} contribue à la dérive des porteurs de la source au drain. Pour exprimer ce fonctionnement bipolaire, le courant de drain du MOSFET est donné par des expressions similaires à celles du courant collecteur du transistor bipolaire.

En régime d'inversion, pour des tensions de grille V_{GS} supérieures ou égales à la tension de seuil V_{th} , le canal se forme graduellement pour atteindre une valeur limite définie par V_{GSmax} et V_{DS} . Dans ce cas, le potentiel de surface ne suit plus les variations de la tension de grille V_{GS} et selon les valeurs de la tension de drain, on distingue deux modes de fonctionnement qui sont le régime linéaire et le régime de saturation.

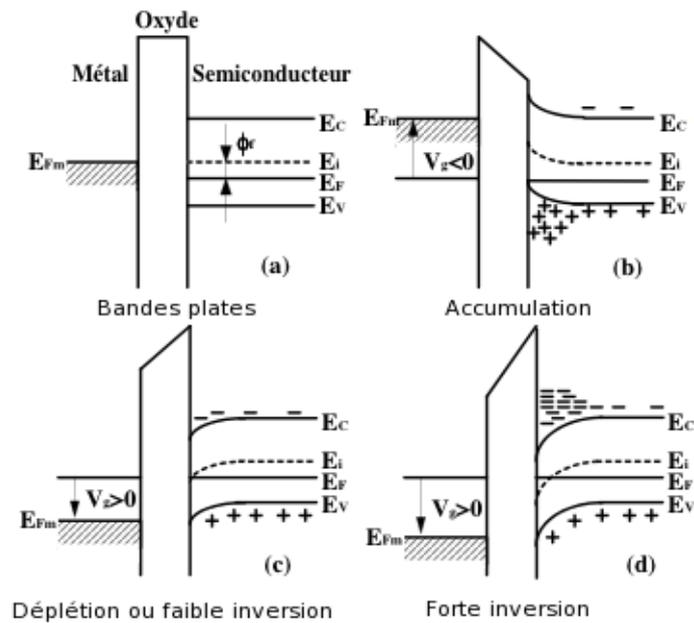


FIGURE I.2.: Diagrammes de bandes d'énergie d'une structure MOS

- Le régime linéaire, appelé aussi régime ohmique a lieu pour de faibles valeurs de V_{DS} qui n'affectent pas la forme du canal durant sa formation. La distribution de porteurs est uniformément répartie le long du canal. Le canal se comporte donc comme une résistance uniforme contrôlée par la polarisation de la grille V_{GS} . Le courant I_d croît linéairement avec la tension V_{GS} pour une tension V_{DS} constante.
- Le régime de saturation est le régime où il y a constance du courant I_d en fonction de V_{GS} pour une tension V_{DS} constante.

1.1.3. Transport électronique, Notion de mobilité des porteurs

Comme mentionné précédemment, les porteurs dérivent dans le canal sous l'influence du champ électrique Drain-Source qui est dû à la tension de drain. On peut alors établir une relation entre ce champ et la densité de courant débité [7] (pour n électrons) :

$$J = q\mu nE \tag{I.3}$$

où μ est la mobilité qui traduit l'aptitude des porteurs à se déplacer sous l'influence du champ électrique et est donnée par :

$$\mu = \frac{q\tau}{m_e} \quad (\text{I.4})$$

où τ est le temps de libre parcours moyen des porteurs et m_e leur masse effective. Cette mobilité qui caractérise donc le transport électronique dépend de plusieurs paramètres, τ étant fonction notamment du dopage, de la température et de l'orientation cristalline alors que m_e peut varier en présence de contraintes. Dans le MOSFET, il existe plusieurs mécanismes de limitation de la mobilité [8] dont les plus importants sont :

Collisions sur les centres coulombiens :

Ce phénomène qui a lieu à basse température ou à faible charge d'inversion, est dû aux sites chargés près du canal. Généralement ces charges sont localisées près de l'interface Si-SiO₂. Leurs localisations aléatoires modifient le libre parcours moyen des porteurs dans le canal en provoquant une atténuation de la mobilité donnée par la relation : $\mu_{CC} \propto N_{CS}^{-1}T$ où N_{CS} est la concentration des charges de surface (charges fixes de l'oxyde, charges des états d'interface et charges localisées dues aux impuretés ionisées).

Collisions sur les phonons :

Ce type de collisions résulte des vibrations du réseau qui se manifestent tant que la température n'est pas égale au zéro absolu. On peut distinguer deux types de phonons, acoustiques pour des températures inférieures à 100 K et optiques pour des températures comprises entre 100 et 370 K. Ce type de collisions conduit à une mobilité de la forme :

Cas des photons acoustiques : $\mu_{pha} \propto N_{inv}^{1/3}T^{-1}$ où N_{inv} est la densité de charge de la zone d'inversion ;

Cas des photons optiques : $\mu_{pho} \propto N_{inv}^{1/\tau}T^{-n}$ où les constantes $\tau = 3, 6$ et $n = 1 - 1, 5$ dépendent de l'orientation cristallographique.

Collisions sur les rugosités de surface :

Les défauts à la surface Si-SiO₂ constituent une importante source de collisions indépendante de la température. Ces collisions deviennent dominantes pour des champs électriques élevés. Elles peuvent être modélisées par : $\mu_{sr} \propto E_{eff}^{-2}$

où : $E_{eff} = \frac{q(\eta N_{inv} + N_{dep})}{\epsilon_{Si}}$ est le champ effectif, N_{inv} et N_{dep} sont respectivement les densités de charge des zones d'inversion et de déplétion et η une constante qui pour une orientation $\langle 100 \rangle$ vaut 1/2 pour les électrons et 1/3 pour les trous .

Collisions sur les défauts neutres :

Ces défauts qui peuvent être des lacunes, des dislocations ou des impuretés de même valence que le carbone modifient le réseau cristallin, ce qui limite la mobilité. Ce type de collisions est notamment à l'origine de la chute de la mobilité pour les transistors de longueur de grille inférieure à 100 nm.

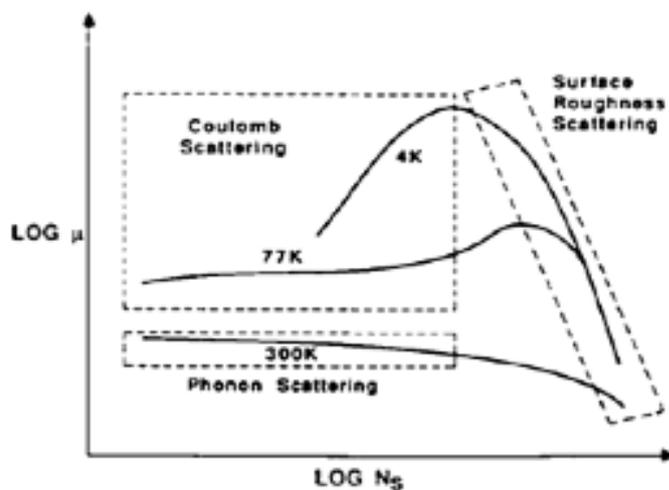


FIGURE I.3.: Variations de la mobilité en fonction de la concentration des porteurs de la couche d'inversion et de la température

La mobilité globale est alors donnée par la relation de Mathiessen :

$$\frac{1}{\mu_G} = \sum \frac{1}{\mu_j} \tag{I.5}$$

où μ_j représente les différentes mobilités dues aux différents types d'interactions.

La Figure I.3 résume les variations de la mobilité en fonction de la concentration des porteurs dans la couche d'inversion pour différentes températures.

I.1.4. Modélisation du MOSFET (Modèle de base)

I.1.4.1. Régime de faible inversion ou régime sous le seuil :

Dans ce cas de figure, la tension de grille étant plus faible que la tension de seuil ($V_g < V_{th}$), le potentiel de surface est lui compris entre : $\psi_F < \psi_S < 2\psi_F$ avec la barrière de potentiel qui est plus importante que l'énergie thermique des porteurs ($\psi_F \gg \frac{kT}{q}$). Ceci conduit à un courant de diffusion entre la source et le drain qui évolue de manière exponentielle en fonction de la tension de grille :

$$I_d \propto e^{\frac{q(V_g - V_{th})}{mkT}} \quad (I.6)$$

où m est un paramètre du substrat donné par : $m = 1 + \frac{C_d + C_{it}}{C_{ox}}$ où C_d est la capacité de déplétion et C_{it} celle due aux états d'interface. Pratiquement, m est compris entre 1,1 et 1,4 à température ambiante.

I.1.4.2. Régimes de forte inversion

En régime de forte inversion, la tension de grille est supérieure à la tension de seuil ($V_g > V_{th}$), le potentiel de surface est alors plus grand que $2\psi_F$. La charge d'inversion est alors concentrée en surface et la conduction s'établit entre la source et le drain. On distingue alors, en fonction de la valeur de V_{DS} , plusieurs régimes de conduction :

Régime ohmique ou linéaire

Dans ce cas, $V_{DS} \ll (V_{GS} - V_{th})$ et la charge d'inversion varie linéairement tout le long du canal. En prenant comme charge d'inversion moyenne le long du canal la moyenne entre la charge d'inversion côté source et celle du côté drain, le courant de drain I_d aura comme relation :

$$I_d = \frac{W}{L} \mu C_{ox} (V_{GS} - V_{th} - \frac{V_{DS}}{2}) V_{DS} \quad (I.7)$$

où le terme $\beta = \frac{W}{L} \mu C_{ox}$ représente le gain du transistor.

L'équation Équation I.7 montre que la courbe $I_d - V_{GS}$ est linéaire et sa pente définit la transconductance g_m comme étant la variation du courant de drain I_d par rapport à la variation de la tension de grille V_{GS} :

$$g_m = \frac{dI_d}{dV_{GS}} = \frac{\mu C_{ox} W}{L} V_{DS} \quad (I.8)$$

Quant à la caractéristique de sortie du transistor, elle est définie comme étant la conductivité g_D et est donnée par la relation :

$$g_D = \frac{dI_d}{dV_{DS}} = \frac{\mu C_{ox} W}{L} (V_{GS} - V_{th}) \quad (I.9)$$

Régime de saturation

Ce régime survient quand $V_{DS} > (V_g - V_{th}) = V_{dsat}$. La charge d'inversion au niveau du drain s'annule, on parle alors de pincement du canal auquel correspond une tension de pincement $V_p = (V_g - V_{th}) = V_{dsat}$. Au-delà, le point de pincement s'éloigne du drain vers la source. Le courant de drain est alors régi par la relation :

$$I_{dsat} = \frac{1}{2} \frac{W}{L_{eff}} \mu_{eff} C_{ox} V_{dsat}^2 \quad (I.10)$$

Si pour les transistors à canal long le courant de saturation est constant, pour les transistors à canal court, le courant de drain continue d'augmenter avec la tension de drain.

I.2. Autres paramètres importants du MOSFET

I.2.1. Résistance d'accès de source et drain

La résistance d'accès totale R_{SD} résulte de la contribution de plusieurs éléments qui sont :

- Résistance de contact métal – semi-conducteur et des interconnexions,
- Résistance de diffusion à l'intérieur de la source et du drain,
- Résistance d'injection
- Résistance des zones faiblement dopées LDD.

La résistance série dépend donc de nombreux paramètres technologiques dont :

- La taille du contact et sa résistivité
- Le dopage des zones source et drain
- La profondeur des jonctions
- La largeur du transistor (W)

La miniaturisation des composants peut entraîner une augmentation de la résistance série en réduisant la profondeur de grille. La résistance est donc non négligeable pour les MOSFETs submicroniques. De plus la réduction de la longueur de canal peut devenir sans effet sur la vitesse des circuits en raison de l'influence croissante des résistances séries.

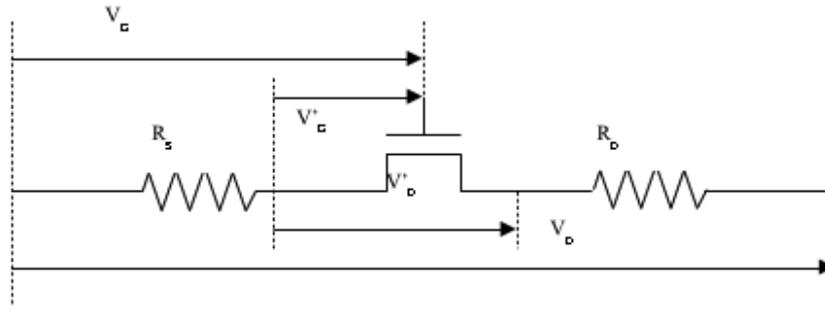


FIGURE I.4.: Influences des résistances d'accès

Généralement on considère une symétrie parfaite du transistor de sorte que les résistances de source et de drain soient identiques. Les résistances séries entraînent une diminution des tensions effectives appliquées au transistor (voir Figure I.4).

I.2.2. Mobilité à faible champs et mobilité effective

Lorsque le champ électrique vertical E_x augmente, la densité de porteurs dans la couche d'inversion N_{inv} augmente, entraînant une réduction de la mobilité. Ce phénomène de réduction est prépondérant quand l'épaisseur d'oxyde est réduite. Un des modèles simplifié de la mobilité est donné par [8] :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_G - V_T)} \quad (\text{I.11})$$

où μ_0 est la mobilité à faible champ électrique et θ est le coefficient de réduction de la mobilité.

Le terme $\theta(V_G - V_T)$ traduit la réduction de la mobilité associée au champ transversal contrôlé par la tension de grille. Pour des champs électriques longitudinaux E_y inférieurs à 10^5 V/m , la vitesse de dérive des électrons dans le canal est proportionnelle à E_y : $v_d = \mu_0 E_y$

Quand E_y augmente suffisamment jusqu'à ce que la température électronique excède celle du réseau cristallin, autrement dit, les électrons gagnent plus d'énergie qu'ils n'en dissipent, la mobilité décroît, et nous utiliserons pour la mobilité une relation empirique du type :

$$\mu_{eff} = \frac{\mu_0}{\sqrt{1 + \left(\frac{E_y}{E_{sat}}\right)^2}} \quad (\text{I.12})$$

La mobilité effective μ_{eff} renseigne sur la qualité du transport dans la couche d'inversion du transistor MOSFET de grandes dimensions. Elle est régie, en fonction de la tension de grille, en régime linéaire, par la relation :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_G - V_T) + \theta_2(V_G - V_T)^2} \quad (I.13)$$

$$\theta_1 = \theta_{1,0} + \frac{W}{L} \mu_0 C_{ox} R_{SD} \quad (I.14)$$

où : θ_1 et θ_2 sont des facteurs d'atténuation de la mobilité due aux collisions sur les phonons et à la perte due aux accès source et drain pour le premier facteur ($\theta_{1,0}$) et aux rugosités de surface (SR) en ce qui concerne le second facteur. La Figure I.5 montre les variations de la mobilité effective en fonction du champ électrique effectif.

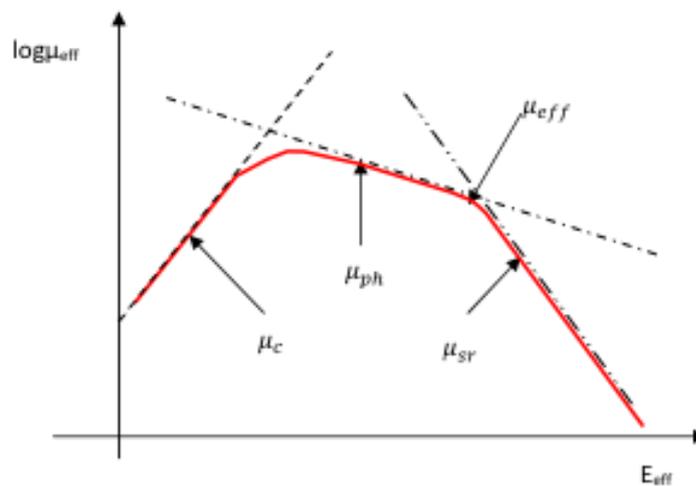


FIGURE I.5.: Variation de la mobilité effective en fonction du champ électrique effectif.

I.2.3. Pente sous le seuil S

Paramètre caractéristique du régime de faible inversion, il caractérise la vitesse de commutation du dispositif et est défini comme étant égal à l'inverse de la pente sous le seuil (S) «subthreshold Swing» et est donné par la relation :

$$S = \left(\frac{\partial(\log I_d)}{\partial V_g} \right)^{-1} \quad (I.15)$$

Et à partir de l'équation du courant I_d en régime sous le seuil, on a :

$$S = 2,3 m \frac{kT}{q} \quad (I.16)$$

et comme, pratiquement m est compris entre 1,1 et 1,4 à température ambiante, la pente sous

le seuil S est alors supérieure à 60 mV/dec.

Le paramètre m dépendant des capacités C_d , C_{it} et C_{ox} , ainsi que de la réduction de l'épaisseur d'oxyde, un meilleur interface et un canal non dopé optimise ce paramètre. Ce dernier est aussi amélioré par un fonctionnement cryogénique.

I.3. Approches pour l'amélioration des performances du MOSFETs

Les caractéristiques électriques du MOSFET, ainsi que ses performances, sont donc directement liées à la géométrie du dispositif, notamment la longueur du canal et l'épaisseur de l'oxyde. Dans un premier temps, pour améliorer les performances des transistors MOSFETs, les technologues se sont basés sur la seule réduction de ses dimensions géométriques ...

De nos jours, l'industrie fabrique des transistors avec des longueurs de canal de 22 nm et L'ITRS, organisation internationale regroupant tous les fabricants de semi-conducteurs, prévoit des longueurs de grilles effectives de l'ordre de 6 nm en 2019 (voir Tableau I.1) [2]. Pour ce faire, il existe plusieurs voies, notamment l'utilisation de nouvelles architectures qui devraient remplacer à plus ou moins longue échéance le MOSFET conventionnel et la réalisation de différents types de transistors selon l'application ciblée : hautes performances (HP) pour les microprocesseurs destinés aux stations de travail et serveurs, et basses consommations en fonctionnement (LOP) ou en état de veille (LTSP) pour les équipements portables.

I.3.1. Miniaturisation et effet de canal court

Pour augmenter les performances, réduire les coûts de fabrication et augmenter la densité d'intégration des circuits intégrés, la première approche est donc la diminution des dimensions géométriques (L , W , T_{ox}) du transistor. Plusieurs règles ont été proposées. Toutefois, ces réductions d'échelle se sont traduites par l'apparition de phénomènes et d'effets néfastes au bon fonctionnement du transistor, c'est les effets de canal court ou SCE (Short Channel Effect) en anglais.

1.3.1.1. Lois de réduction d'échelle

Une première approche proposée par Dennard [9] pour minimiser les effets indésirables engendrés par la réduction des dimensions du canal, est de maintenir le comportement du MOSFET à canal long en réduisant toutes les dimensions ainsi que les tensions par un facteur d'échelle unique K supérieur à l'unité.

Baccarani [10] a proposé quant à lui, une autre méthode pour l'élaboration des facteurs de réductions d'échelle. Dans son approche, ces facteurs sont différents (voir Tableau I.2) et s'appliquent aux technologies 0,1 - 0,25 μm .

	2007	2010	2013	2016	2019
Nœud technologique (nm)	65	45	32	22	16
Longueur physique de la grille (nm)	25	18	13	9	6
Tension d'alimentation (V)	1.1	1.0	0.9	0.8	0.7
Épaisseur d'oxyde équivalent EOT (nm)	1.8	1.1	1.0	0.9	0.9
Tension de seuil en saturation (V)	0.165	0.167	0.185	0.195	0.205
Courant de fuite nominal des nMOS ($\mu A/\mu m$)	0.20	0.22	0.11	0.11	0.11
Courant de conduction nominal des nMOS ($\mu A/\mu m$)	1200	1815	2220	2713	2744

TABLE I.1.: Prévisions ITRS des caractéristiques principales des MOSFETs [11].

Paramètres	Symbole	Facteur d'échelle
Dimensions Géométriques	L, W, T_{ox}, x_j	$1/\lambda$
Potentiels	Φ_G, Φ_S, Φ_D	$1/K$
Concentration d'impuretés	N_A, N_D	λ^2/K
Champs Électrique	E	λ/K
Capacités	$A.C_{ox}, A.C_j$	$1/\lambda$
Puissance	$I_d V_{DD}$	$1/K^2$

TABLE I.2.: Lois de réduction d'échelle [10].

I.3.1.2. Effets de canal court

En plus des instabilités dues aux charges d'oxyde, états d'interface, rugosités de surface,... la réduction de la géométrie du transistor MOSFET fait aussi apparaître des effets indésirables qui dégradent les performances des dispositifs à canal court [12, 8]. Si les manifestations de ces effets sur le fonctionnement du transistor peuvent être considérées comme étant de second ordre lorsque les dimensions sont microniques, pour des transistors fortement submicroniques ou nanométriques ($L \ll 1 \mu m$), ces effets peuvent dominer complètement le fonctionnement du dispositif et le rendre inutilisable.

Les effets de canal court apparaissent selon que le transistor est en régime de conduction ou de blocage. On distingue parmi ces effets indésirables :

- *Dérive de la tension de seuil (threshold voltage roll off)* : L'effet de canal court, a une incidence directe sur la tension de seuil. En réduisant la longueur de grille, la hauteur de la barrière de potentiel source-drain chute, ainsi que la tension de seuil qui est définie à $2\psi_F$.
- *Effet de canal court en régime de conduction* : La Figure I.6 résume la plupart des effets correcteurs et leurs influences sur les caractéristiques de sortie du transistor MOS en régime de conduction [12].
- R_T , total des résistances série des régions source et drain ; La résistance R_{on} du MOSFET fortement submicronique est du même ordre de grandeur que les résistances parasites et est composée des résistances d'interconnexion, des contacts et résistances série des diffusions S/D. Les chutes de tension dues à ces résistances font que les tensions appliquées effectivement aux bornes du canal sont plus faibles, donc provoque une chute du courant du transistor. Cet effet entraîne aussi une réduction de la transconductance.
- μ^\perp et $\mu^//$: pondération de la mobilité par les champs vertical et latéral ; Lorsque le champ électrique vertical augmente, la densité de porteurs dans la couche d'inver-

sion augmente, entraînant une réduction de la mobilité. Ce phénomène de réduction est prépondérant quand l'épaisseur d'oxyde est réduite. Pour des champs électriques longitudinaux inférieurs à 10^5 V/m, la vitesse de dérive des électrons dans le canal est proportionnelle au champ, par contre quand le champ latéral augmente suffisamment jusqu'à ce que la température électronique excède celle du réseau cristallin, les électrons gagnent plus d'énergie qu'ils n'en dissipent et la mobilité décroît.

- d : pondération du courant par l'effet non uniforme du substrat le long du canal : En tenant compte de l'augmentation du potentiel côté drain, on aura une réduction de la charge d'inversion côté drain et une augmentation de V_{th} , ce qui conduit à une baisse du courant de conduction.
- $\Delta C/C$: Variation de la capacité C_{ox} effective par l'effet de déplétion de la grille : Comme la grille est à base de silicium polycristallin dopé, elle induit une capacité C_{poly} en série avec C_{ox} . La miniaturisation impose la réduction de l'épaisseur d'oxyde, donc l'augmentation de C_{ox} , la rapprochant de la valeur de C_{poly} . C_{ox} effective devient alors sensible aux variations éventuelles de C_{poly} , notamment sa réduction par déplétion de la grille.
- Courant de grille : La grille contrôle les porteurs dans le canal à travers un couplage capacitif. Pour accroître le courant débité par le transistor et assurer un meilleur contrôle des effets de canaux court, l'oxyde de grille est aminci à chaque réduction d'échelle du MOSFET. A des épaisseurs d'oxyde de 2 à 3 nm, on a l'apparition d'un courant tunnel direct. La barrière de potentiel devenant de plus en plus mince, elle se comporte comme si elle était plus ou moins transparente pour les électrons. Ainsi quand l'EOT est fortement réduit au-dessous de 1nm, le courant de fuite de grille I_G augmente de façon dramatique à plus de $100A/cm^2$ [13].

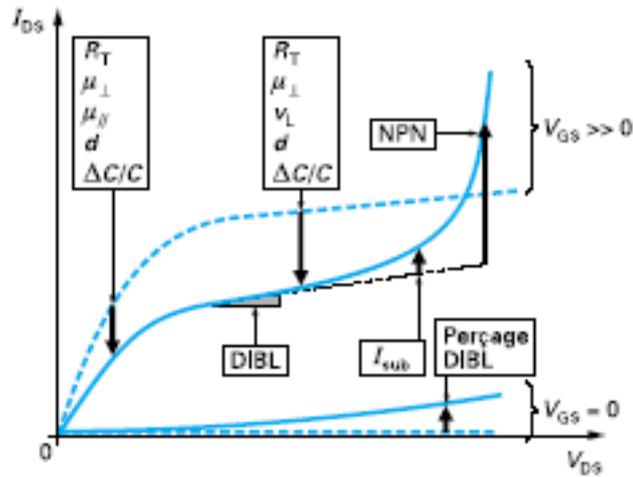


FIGURE I.6.: Comparaison entre les caractéristiques de sortie idéales (tirée) et réelles (trait continu) avec indication de l'influence des effets correcteurs

- - Effet DIBL (Drain Induced Barrier Lowering) : Plus la longueur du canal est réduite, plus les zones de diffusion de source et drain sont proches, ce qui entraîne une pénétration importante du champ électrique du drain vers la source. La barrière de potentiel à la source peut donc être réduite en raison de cette influence du drain (voir Figure I.7). Cet abaissement de la barrière de potentiel de la source induit une injection d'électrons dans la source entraînant une augmentation du courant de drain et une réduction de la tension de seuil. Comme pour l'effet canal court (SCE), le DIBL peut être réduit en agissant sur l'épaisseur de l'oxyde et en augmentant le dopage pour réduire la profondeur de déplétion. De plus l'effet DIBL augmente linéairement avec la tension de drain. Les effets SCE et DIBL constituent une limitation importante de la miniaturisation du MOSFET.

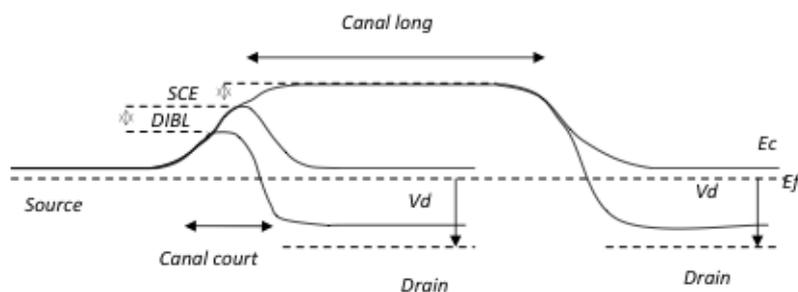


FIGURE I.7.: Chute de la barrière de potentiel sous les effets de canal court et DIBL

- Effet de Canal Court Inverse : Il a été observé qu'une réduction de la longueur du canal entraînait une augmentation de la tension de seuil qui, à première vue, devait diminuer. Ainsi, cette observation a motivé l'étude du phénomène inverse de réduction de longueur du canal (RSCE : Reverse Short Channel Effect). On remarque qu'à certaines valeurs de la longueur de canal L , la tension de seuil présente des valeurs maximales. Pour de très faibles valeurs de L la tension de seuil augmente avec la longueur du canal L .
- Perçage surfacique et volumique : Ce phénomène provoque une augmentation du courant sous le seuil due à la dégradation de la pente sous le seuil. Le perçage volumique est induit par l'effet du champ électrique de drain-substrat. Ce champ provoque la formation, dans le substrat, d'un canal à dopage opposé par rapport à celui du substrat, qui agit comme un canal conducteur parallèle au canal surfacique. Ce courant induit est localisé en profondeur dans le volume échappant ainsi au contrôle de la grille. Ce phénomène dépend fortement de la tension de drain et de l'épaisseur des jonctions.
- Effets de porteurs chauds : Quand on réduit la longueur du canal et que l'on augmente la tension de drain, le champ longitudinal prend des valeurs importantes et génère des porteurs dits chauds. Ces porteurs sont appelés ainsi car ils ont acquis une grande énergie qui ne peut être totalement dissipée à leur arrivée à destination. Ils causent ainsi des dégradations au moment du transfert de leur excès d'énergie au réseau du matériau. Ces porteurs sont à l'origine de plusieurs effets néfastes pour le transistor. Parmi ces effets [8, 14] on distingue :
 - Génération de paires électron – trous : Cette génération se fait par ionisation par impact des atomes de silicium près du drain où le champ est le plus important. Les électrons ainsi produits sont soit collectés par le drain soit injectés dans la grille. Quant aux trous générés, ils formeront un courant de substrat. L'injection des porteurs dans l'oxyde conduit à la création d'un courant de grille dû aux porteurs qui traversent l'oxyde, au piégeage de certains porteurs générés dans l'oxyde et à la création de pièges au niveau de la surface de l'interface.
 - DAHC (Drain Avalanche Hot Carrier) : Les porteurs du canal qui ont acquis suffisamment d'énergie à cause du fort champ latéral près du drain provoquent la mise en avalanche de la jonction drain substrat en créant des paires électrons-trous par ionisation par impact des atomes de silicium. Cette multiplication des porteurs est favorisée lorsque

$V_D \gg V_G$. Le drain collectera la majorité des électrons et le reste seront injectés dans la grille par le champ transversal.

- Transport balistique : La vitesse des porteurs dans le canal se sature et se limite aux environs de 10^7 cm/s pour les MOSFETs conventionnels. Cette limite est due à divers processus de dispersion/collision, présents dans le canal. Or pour les dimensions extrêmes, la longueur du canal devient de l'ordre du libre parcours moyen des porteurs. Ces derniers peuvent alors traverser le canal sans collision, on parlera alors de transport balistique. Ainsi à des longueurs de canal de l'ordre de 40 nm, la probabilité pour qu'il y ait dispersion est de l'ordre de 15% seulement [15]. Comme les porteurs peuvent donc traverser le canal avec des vitesses plus importantes que la vitesse de saturation, le courant de conduction devient très important dans les dispositifs où le transport des porteurs est balistique.
- Phénomène de survitesse : Avec la réduction des dimensions du MOSFET à l'échelle nanométrique, il y apparaît un champ électrique intense et des variations rapides du champ électrique et de la concentration des porteurs, ce qui conduit au phénomène de survitesse [16, 17], phénomène pendant lequel la vitesse des porteurs dépasse la vitesse de saturation. Ce phénomène de survitesse améliore la capacité du MOSFET par rapport au courant de conduction.
- L'effet tunnel source-drain : En se référant à l'ITRS 2004, la longueur de grille atteindra 6 nm en 2019 [2]. A cette échelle, l'effet tunnel source-drain [18, 19, 20, 21] deviendra très important et imposera une limite ultime à la réduction de la longueur du canal. Des études ont montré notamment que l'effet tunnel source-drain :
 - est une limitation à la miniaturisation mais cette limite est en dessous de 10 nm [19],
 - domine le courant I_{off} des dispositifs balistiques.
 - joue un rôle important (20%) à l'état ON des dispositifs balistiques, ce qui dégrade le rapport $I_{on} - I_{off}$ du courant.
- Confinement des porteurs : La réduction d'échelle du MOSFET a atteint un tel point que le confinement quantique affecte significativement les propriétés des dispositifs. Ainsi le MOSFET nanométrique montre à un degré important, un confinement quantique dans le canal qui est dû au très fort champ électrique normal à l'interface $Si - SiO_2$, ce qui augmente la dispersion de la tension de seuil [22, 23, 24].

1.3.2. Utilisation d'autres matériaux

En plus de la réduction d'échelle, l'amélioration des performances du MOSFET passe aussi par l'utilisation d'autres matériaux qui permet de contrecarrer les effets de canal court et/ou d'améliorer les paramètres électriques du transistor.

1.3.2.1. Grille métallique

Plusieurs problèmes sont rencontrés en utilisant la grille au polysilicium dont notamment la déplétion de grille qui réduit le couplage entre la grille et le canal. En outre pour être conductrice, la grille est fortement dopée, or avec la diminution de l'épaisseur d'oxyde, ceci cause un contre-dopage du canal par le passage des dopants à travers l'oxyde fin. Pour parer ces inconvénients, la solution préconisée est l'utilisation d'une grille métallique moins résistive et permettant d'éviter le phénomène de déplétion. De plus, une grille métallique offre les avantages suivants :

- Faible résistance de grille.
- Pas de pénétration de bore de la grille polysilicium vers le canal à travers l'oxyde.
- Large gamme de travaux de sortie couvrant presque la totalité de la bande interdite du silicium.
- Meilleure intégrité électrostatique du dispositif d'où une réduction des effets SCE et DIBL
- Meilleure conductivité du canal dû à la diminution de l'épaisseur d'oxyde d'où un courant de drain plus élevé.

Parmi les métaux les plus prometteurs, ayant une meilleure compatibilité avec les High-K, on trouve le nitrure du titane (TiN) et le nitrure de tantale (TaN) qui sont du type « mid-gap », leurs niveaux de Fermi étant proches du milieu du gap du silicium en régime de bande plate. [25].

1.3.2.2. Oxyde High-K

L'année 2007 a constitué un tournant dans l'histoire de la microélectronique et de la technologie CMOS. Ayant dominé l'industrie durant les trois dernières décennies, le couple Si/SiO₂ a laissé place à l'apparition de nouveaux diélectriques de grille, les oxydes à forte constante diélectrique. La réduction de l'épaisseur de l'oxyde est imposée par les règles de réduction d'échelle pour minimiser les effets de canal court. Si dans les années 60, l'épaisseur de l'oxyde était de l'ordre de 1% de la longueur de grille ($L = 10 \mu m$ et $T_{ox} = 120 nm$), il est de l'ordre de 3% actuellement ($L = 37 nm$ et $T_{ox} = 1,2 nm$) [23]. On remarque que l'épaisseur d'oxyde n'est pas réduite proportionnellement à la longueur de grille et dans l'avenir, l'impossibilité de réduire

l'épaisseur d'oxyde constituera une barrière majeure pour la réduction d'échelle. En fait la réduction de l'épaisseur de l'oxyde est liée à celle de la tension d'alimentation. Cependant, la réduction de la tension d'alimentation est liée à la fonctionnalité du circuit intégré à fabriquer.

La réduction de la tension d'alimentation offre des avantages pour la faible consommation dans les dispositifs LP, cependant elle est une limite pour le développement de dispositifs hautes performances (HP). Si la réduction de la puissance et du retard logique sont proportionnels à la tension d'alimentation, le courant d'alimentation lui est inversement proportionnel. Comme avantage majeur de la réduction de la tension d'alimentation, on distingue la possibilité de maintenir le courant I_{ON} constant quand la tension V_{DD} est réduite et ce en réduisant l'épaisseur d'oxyde. Cependant cet avantage entraînera l'augmentation du courant de fuite à travers l'isolant par effet tunnel. Ainsi, quand l'épaisseur d'oxyde passe de 30 Å à 10 Å, le courant de fuite est multiplié par 8 [26] et atteint des niveaux inacceptables. Il faudrait donc établir un compromis entre courant de fuite et l'épaisseur d'oxyde. Une des premières solutions a été le rajout de nitrogène à l'isolant (Nitruration) dans une proportion de 6 à 12 %, ce qui a réduit le courant de fuite de 10 à 100 fois. Mais les besoins en réduction de l'épaisseur d'oxyde mènent vers l'utilisation d'autres matériaux diélectriques à forte permittivité (High-K) pour la réalisation de l'isolant à la place du SiO_2 . Parmi ces matériaux : le SiN_4 ($k=7$), l'oxychlorure $SiON_x$ ($k=3,9$ à 7) ou l'oxyde de Titane TiO_2 ($k=50$ à 100).

Cependant, le passage aux isolants High-K pose plusieurs problèmes telles la réduction de la mobilité et la dérive de la tension de seuil causées par les pièges d'interface et les charges dans l'oxyde. De plus, le dépôt du High-K sur le silicium engendre une couche de silice non intentionnelle de mauvaise qualité. Cet effet est néfaste au bon fonctionnement du transistor d'où l'utilisation d'une couche interfaciale IL (« Interfacial layer ») d'oxyde de silicium (SiO_2 , SiO_x , $SiON$).

Actuellement, les matériaux High-K les plus utilisés en empilement avec une grille métallique et une couche interfaciale (SiO_2) sont l'oxyde d'hafnium (HfO_2) et le silicate de hafnium nitruré ($HfSiON$). Toutefois, si les composés à base d'hafnium apparaissent comme les candidats industriellement les plus prometteurs à court et moyen terme, d'autres solutions alternatives sont actuellement à l'étude pour les futures générations de dispositifs pour lesquelles des EOT inférieurs à 1 nm sont requises [27].

I.3.2.3. Introduction de contraintes mécaniques

Considérée comme néfaste dans les années 80 [28] car générant des défauts ponctuels (lacunes, impuretés..) ainsi que des dislocations qui modifient les propriétés électriques du matériau, l'ingénierie des contraintes mécaniques est largement utilisée depuis le nœud technologique 120 nm pour améliorer les performances des transistors MOSFETs. Elles induisent des déformations qui modifient les propriétés électroniques en changeant la symétrie du cristal permettant ainsi d'augmenter la mobilité des porteurs de charges (par la réduction de la masse effective de conduction et/ou de la fréquence de collisions des porteurs) augmentant ainsi le courant débité tout en ne dégradant pas les courants de fuite.



FIGURE I.8.: Différentes technologies de contraintes mécaniques

Il existe trois manières d'introduire une contrainte dans le canal du transistor (voir Figure I.8) :

- contrainte mécanique globale introduite par le dépôt d'une fine couche de silicium par épitaxie sur du substrat SiGe.
- contraintes introduites par un procédé de fabrication. Ces techniques sont largement utilisées en production. Elles induisent des contraintes dites localisées étant donné que seules certaines zones de la surface de silicium sont contraintes. Ceci conduit à un gain de la mobilité qui dépend fortement de la longueur de grille. Il n'y a pas ou peu de gain pour des transistors à canal long, alors que l'effet de la contrainte devient de plus en plus important lorsque la longueur de grille diminue. On classe ici les techniques de CESL et d'épitaxie sélective de SiGe (SEG) pour la source et le drain.
- contraintes directes ou externes dus à la déformation du wafer ou de la puce.

L'effet d'une contrainte est différent selon que les porteurs de charges sont des électrons ou des trous. Pour les transistors nMOSFETs, une contrainte en tension est nécessaire tandis que pour les transistors pMOSFETs, la contrainte doit être en compression. Les transistors contraints offrent une grande robustesse au claquage de l'oxyde et une meilleure immunité aux effets de porteurs

chauds [29]. La superposition des contraintes apparaît comme étant indispensable dans les technologies actuelles pour améliorer encore un peu plus les performances des architectures CMOS [30].

Silicium sur isolant contraint (sSOI)

Une des techniques de contrainte globale utilisées dans la technologie CMOS consiste en le dépôt d'une fine couche du silicium par épitaxie sur une couche tampon de $Si_{1-x}Ge_x$ relaxée (Voir Figure I.9). Ce dernier ayant une maille plus grande que celle du silicium, l'alignement des mailles induit une contrainte en tension sur deux axes dans la couche du silicium [31]. Cependant, la diffusion des atomes du Ge vers l'interface Si/SiO_2 et son accumulation créent des densités de pièges à l'interface et dans le volume de l'oxyde qui augmentent le courant de fuite de grille assisté par pièges ainsi qu'une dégradation de la mobilité. Ce substrat permet d'améliorer la mobilité dans le transistor [32, 33].

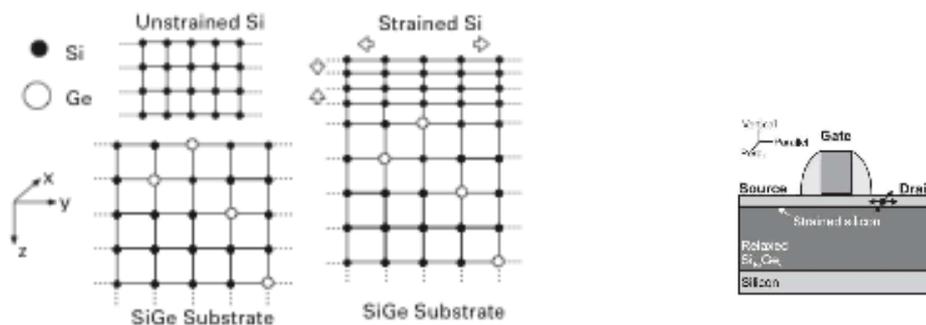


FIGURE I.9.: État de contrainte d'une couche Si/SiGe relaxée [34]

Couche d'arrêt de gravure (CESL)

Introduit à partir du nœud technologique 90 nm, la technique CESL (« Contact Etch Stop Layer ») consiste en une couche, généralement en nitrure de silicium (SiN) qui recouvre la grille (voir Figure I.10) [35]. Elle introduit 3 fonctions principales qui sont :

- la protection des zones actives du transistor par la limitation de la diffusion des contaminants en provenance des interconnexions vers le transistor.
- joue le rôle de couche d'arrêt lors de la gravure des contacts évitant ainsi la formation d'éventuels courts-circuits causés par d'éventuels désalignements au cours de l'étape de photolithographie.

- l'introduction de contrainte pour améliorer les performances des transistors et ce, par transfert de contrainte jusqu'au canal dont elle modifie la mobilité des porteurs et donc les performances électriques des dispositifs et en particulier la mobilité.

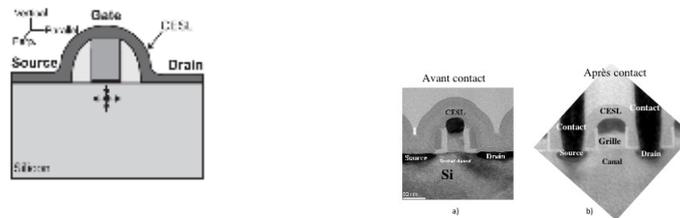


FIGURE I.10.: CESL : dépôt de la couche CESL qui recouvre totalement la grille [35]

Croissance épitaxiale sélective (SEG)

La contrainte est introduite par une croissance épitaxiale sélective SEG («Selective Epitaxial Growth») du SiGe ou SiC dans les régions de la source et du drain (voir Figure I.11). La grande maille du SiGe crée une contrainte parallèle en compression dans le canal [34]. Cette contrainte SEG induit une réduction des résistances d'accès et améliore la mobilité des porteurs tout en réduisant le courant de fuite GIDL [36, 37, 38]. De plus, cette contrainte à un impact marginal sur le bruit basses fréquences [39].

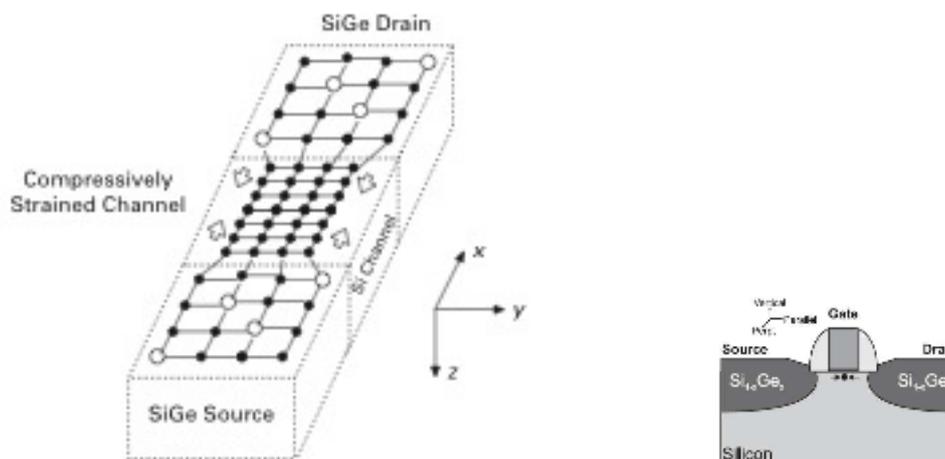


FIGURE I.11.: SEG : croissance du SiGe dans la source et le drain par une épitaxie sélective [34].

1.3.3. Évolution vers d'autres structures

Une autre approche qui permet l'amélioration des performances des dispositifs MOS est l'adoption d'autres structures. Parmi ces structures, nous pouvons citer le SOI, les structures multi-grilles, les FinFETs, ...

1.3.3.1. La Technologie SOI

La technologie silicium sur isolant (Silicon on Insulator) a été mise en évidence dans les années 1960-1970 pour satisfaire la demande de circuits intégrés immunisés aux irradiations ionisantes. Actuellement, la technologie SOI est devenue l'une des filières les plus prometteuses pour la fabrication de circuits intégrés basse consommation et haute fréquence pour les hautes ou basses températures. Depuis le début des années 1990, la mise au point de nouveaux matériaux pour le SOI et le développement des appareils électroniques portables a promu la technologie SOI comme une technologie de choix pour la fabrication de composants répondant aux exigences de l'électronique pour appareils mobiles. La technologie SOI a un fort potentiel pour repousser les frontières de la microélectronique par la miniaturisation avancée des transistors MOS et par les architectures innovantes qu'elle peut accueillir. Le premier matériau, le silicium sur Saphir (SOS) a été suivi par une variété de structures SOI. Leur dénominateur commun est d'offrir, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif comme le montre la Figure I.12. En effet, dans un transistor MOSFET, il n'y a que la couche superficielle de silicium, d'épaisseur de 0,1 à 0,2 μm , qui est vraiment active pour le transport des électrons de conduction. Le reste de la plaquette est le siège d'effets parasites indésirables (telles les capacités parasites, phénomènes de proximités, ...) que l'on peut éviter en faisant appel à une solution du type SOI [40, 41].

L'architecture des transistors MOS SOI (SOI MOSFET) est semblable à celle des transistors MOS sur Si massif (SiMOSFET) sauf que le substrat possède une couche d'oxyde enterré ("BOX" de l'anglais :) dans le silicium. On obtient ainsi un film de silicium confiné entre l'oxyde enterré et celui de la grille. La conduction est contrôlée par deux grilles (grilles avant et grille arrière) qui créent chacune une zone de déplétion. En fonction de l'épaisseur du film de silicium, on peut distinguer deux familles de SOI MOSFET : le SOI mince où l'épaisseur du film est typiquement de 50 à 250 nm et le SOI épais avec un film de 250 nm à quelques micromètres [42]. Dans le cas du SOI épais ou transistor SOI MOS partiellement déplété (PD-MOSFET ou Partially Depleted MOSFET), les deux zones de déplétion sont indépendantes. Quant au SOI mince ou complètement

déplété ou FD-MOSFET pour Fully Depleted MOSFET, il est défini suivant l'épaisseur du film mince qui est inférieure à la largeur de déplétion maximale. L'action d'une seule grille est alors suffisante pour faire désertier totalement les électrons du film.

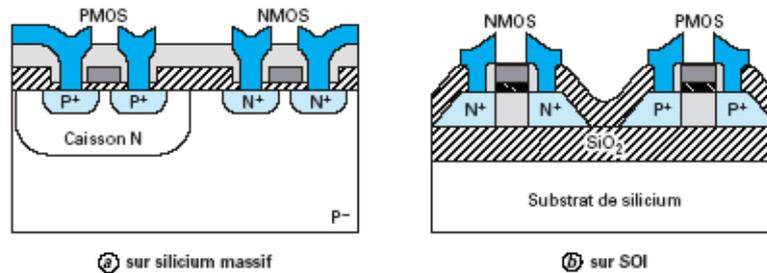


FIGURE I.12.: Comparaison des architectures génériques des transistors MOS a) sur silicium massif et b) sur SOI.

Défauts dans les matériaux SOI :

Parmi les défauts dans les matériaux SOI, on peut citer :

- La rugosité de surface : Elle est la source de fuites dans les jonctions. Elle réduit les tensions de claquage des oxydes de grille et induit le claquage de l'oxyde de grille qui est très mince dans les dispositifs MOS.
- Les défauts cristallins comme les dislocations et défauts d'empilement.
- Les contaminations aux ions alcalins (dans l'oxyde enterré) et métalliques dans le film de silicium.
- Le niveau de carbone et d'oxygène résiduel dans le film de silicium provoque l'augmentation du courant de fuite et la réduction éventuelle de la tension de claquage.
- Les pipes dans l'oxyde (filaments conducteurs) qui se comportent comme des résistances peuvent provoquer la dépolarisation des composants, l'augmentation du courant de fuite I_{off} et la réduction de la résistance aux radiations.
- Les charges fixes dans l'oxyde enterré et densité de charge à l'interface Si/BOX

Mécanismes spécifiques aux dispositifs SOI et Limitations des technologies SOI :

Les comportements statique et dynamique des MOSFETs SOI diffèrent beaucoup de ceux des MOSFETs sur silicium massif et ceci à cause de différents phénomènes inhérents à la présence de l'oxyde enterré. Ces effets peuvent être bénéfiques ou parasites. On distingue :

- Qualité du substrat : La densité des défauts est plus importante dans la technologie SOI (double interfaces, ...). Ce qui affecte négativement les performances du transistor notamment la dérive de la tension de seuil et la dégradation de la mobilité [43].
- Coût de production : En diminution continue, les coûts de production sont plus importants pour la filière SOI que pour le silicium massif. Cependant, la densité d'intégration y est plus importante.
- Effets de substrat flottant : Dans un transistor SOI MOS, le contact de substrat n'est pas toujours disponible. Lorsque ce contact n'est pas présent, les porteurs majoritaires s'accumulent dans le substrat et induisent un excès de potentiel de substrat, provoquant ainsi une diminution de la tension de seuil et l'apparition de l'effet Kink (excès de courant) dans les caractéristiques $I_d(V_d)$. L'effet Kink est dû à l'oxyde enterré qui empêche l'évacuation des charges créées par ionisation par impact à côté du drain sous de fortes tensions.
- Effet d'auto échauffement : À cause de la faible conductivité thermique de l'oxyde enterré (100 fois plus faible que celle du silicium) dans les transistors MOS/SOI, la chaleur produite dans le film SOI est relativement difficile à évacuer. Il est plus prononcé dans les canaux courts à cause du courant élevé et du faible volume de silicium. Le remplacement du SiO₂ de l'oxyde enterré par de l'alumine ou tout autre diélectrique à forte conductivité thermique améliorera l'évacuation de la chaleur vers le substrat de silicium, ce qui réduira l'auto échauffement [13].
- L'effet du transistor bipolaire parasite : Il est dû à l'ionisation par impact et aux charges qui s'accumulent dans le substrat augmentant le potentiel du film, polarisant ainsi en direct la jonction film de silicium- source. Ceci active un transistor bipolaire parasite en parallèle avec le MOSFET. Ce courant parasite peut empêcher le transistor de commuter de l'état ON à l'état OFF (Verrouillage ou Latch du MOSFET). [42, 44].
- Couplage des interfaces : Dans les transistors MOS sur SOI complètement déplétés, la charge de déplétion ne peut pas s'étendre avec la polarisation de grille. L'application d'une tension de grille contrôle non seulement le potentiel de surface sous la grille considérée mais aussi le potentiel de surface à l'interface opposée.
- Résistances d'accès : Comme on réduit l'épaisseur du film de silicium, les résistances d'accès augmentent, ce qui altère les performances des MOSFETs. Ceci impose l'optimisation du procédé de réalisation des zones source et drain pour réduire l'influence des résistances d'accès.

- Contrôle de l'épaisseur du film : Pour le FD-MOSFET, la tension de seuil varie avec l'épaisseur du film. Aussi un contrôle très rigoureux de cette épaisseur est indispensable.

Avantages fondamentaux du SOI

Dans un circuit intégré SOI, chaque transistor occupe un flôt individuel de silicium, isolé du substrat de silicium par un diélectrique, ce qui permet des architectures plus compactes et une haute densité d'intégrations. Cette architecture élimine les inconvénients d'un substrat massif tels que les mécanismes d'interférence entre dispositifs voisins en particulier l'effet de verrouillage ou latch-up, les courants de fuite et la dégradation de l'oxyde de grille. Les régions de source et de drain s'étalent jusqu'à l'oxyde enterré de sorte que les jonctions ne présentent plus qu'une surface latérale et minimisée, d'où une forte réduction des courants de fuite et des capacités de jonction. Les capacités source-substrat et drain-substrat sont 4 à 7 fois plus faibles en technologie SOI, ce qui fait que les transistors MOSFET SOI présentent de meilleures performances en hautes fréquences comparés aux MOSFET sur silicium massif [42].

Aussi, la faible épaisseur de la source et du drain fait que les transistors MOS sur SOI sont moins sensibles aux effets de canal court induits par le partage de charge, entre grilles et jonctions. Les MOSFETs à film SOI mince sont exceptionnellement tolérants aux radiations et particules ionisantes. Si les effets transitoires conduisant à l'apparition de courant de fuite sont très néfastes pour le MOSFET sur Si massif, ils ont, par contre, une influence négligeable sur les performances des dispositifs SOI, vu que la région active du film est totalement isolée du substrat. Pour réduire les effets de dose cumulée qui induisent des charges parasites aux interfaces $Si-SiO_2$ (plus importantes dans la technologie SOI que celle du Si massif), on utilise des techniques de durcissement.

Enfin, la technologie SOI permet la réduction des effets de porteurs chauds dans les FD-MOSFET où le champ électrique transversal est réduit vu que la zone de déplétion se limite à l'épaisseur du film. Ceci réduit les effets des porteurs chauds, améliore la mobilité effective dans le canal et ainsi augmente le courant de saturation.

1.3.3.2. Multiplication du nombre de grilles, MuGFET

L'évolution des MOSFET SOI classiques à structure plane mono-grille vers des structures tridimensionnelles multi-grilles est inéluctable en raison des problèmes de fort courant de drain et de canal court qui ne peuvent être résolus en utilisant les architectures classiques. La multiplication du nombre de grilles permet un meilleur contrôle du canal et aussi des effets de canal court [45, 36].

Plusieurs structures multi-grilles (MuGFET) ont été proposées (voir Figure I.13), parmi elles, le FinFET, le TriGate, le PiGate, l'OmegaFET, le transistor à grille enrobante GAA, ...

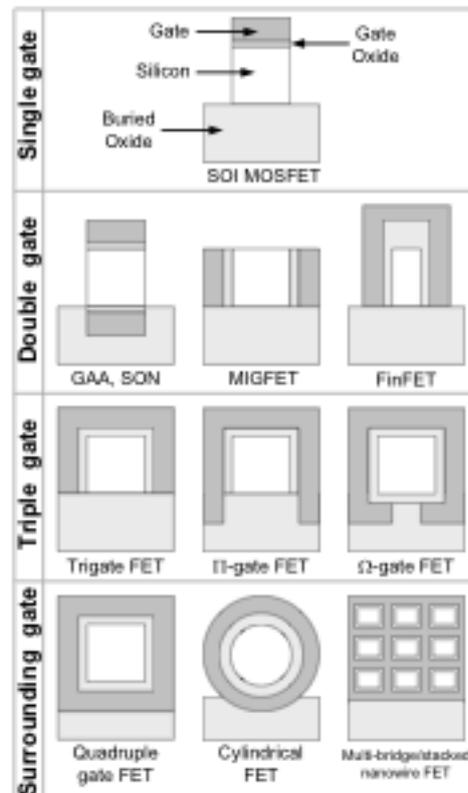


FIGURE I.13.: Différentes configurations de grilles pour des composants SOI [45]

I.3.3.3. Le FinFET

Selon l'ITRS, la technologie CMOS sur substrat massif fera face à des challenges très importants pour les longueurs de grilles sub-22 nm : effets canal court, important courant de fuite sous le seuil, De par leur meilleur contrôle des effets canal court, faible courant de fuite,... les FinFETs sont parmi les solutions les plus prometteuses pour les nœuds technologiques à venir. Relativement facile à fabriquer et exempt du problème d'alignement des grilles qui affecte les MOSFETs à double grille, leur canal faiblement ou non dopé ($10^{15}/cm^3$) les rend résistant aux variations aléatoires de dopants. Fabriquée sur un substrat SOI, la première structure FinFET a été publiée sous le nom DELTA (« fully DEpleted Lean- channel TrAnsistor ») en 1989 [49].

Comparativement au MOSFET classique, le FinFET comprend un canal qui est orienté pour conduire un courant électrique parallèlement à la surface du substrat et qui possède une section allongée perpendiculairement à cette surface du substrat (voir Figure I.14). Une telle structure de transistor à effet de champ est adaptée pour former une grille qui est disposée de part et d'autre de

grands côtés du canal, ce qui permet un bon contrôle de l'état de conduction du transistor. Cette structure est aussi adaptée pour fabriquer un transistor à canaux multiples placés en parallèle (appelés "Fin") et séparés par une portion intermédiaire de grille (voir Figure I.15), ce qui permet d'avoir un courant de drain plus élevé. De plus, le « Fin » peut être relié au substrat ou en être isolé (voir Figure I.16), on parlera alors de FinFET Massif (Bulk) ou SOI FinFET.

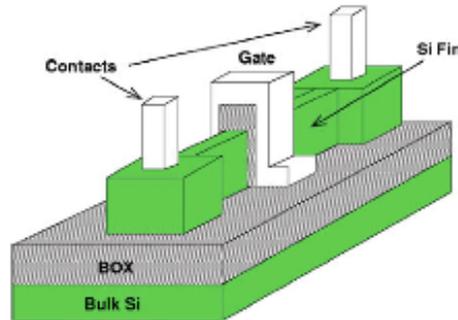


FIGURE I.14.: Structure du SOI FinFETs. L , W_{fin} et H_{fin} sont la longueur de grille, la largeur et hauteur du "fin", respectivement.

Sa section horizontale est similaire à un transistor double grilles. La hauteur du doigt correspond à la largeur du canal d'un transistor double grille. La caractéristique distincte du FinFET est que le canal de conduction est enroulé autour d'une fine couche du silicium « Fin » qui forme le volume (« the body ») du transistor. Par conséquent, le transistor FinFET a plus de dimensions géométriques que le transistor planaire (voir Figure I.17). En plus de la longueur de grille L , il y a la largeur du Fin W_{fin} , la hauteur du Fin H_{fin} , la distance entre deux "Fin" FS (« space between fin »), la distance entre la grille et la source/drain S et N_{fin} qui est le nombre de Fin. La largeur équivalente totale du FinFET est donnée alors par la relation [46] :

$$W = (W_{fin} + 2H_{fin})N_{fin} \quad (I.17)$$

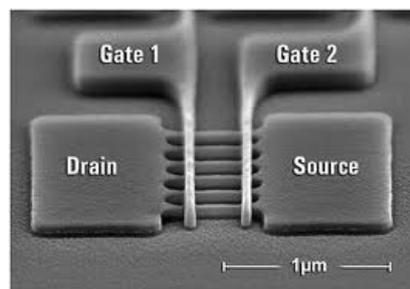


FIGURE I.15.: FinFET multi-grilles à 6 Fin

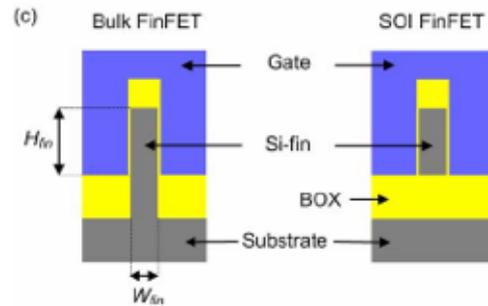


FIGURE I.16.: Structure des FinFET Massif ou SOI.

Le transistor FinFET présente de par sa géométrie de meilleures performances grâce à sa grande immunité aux effets de canaux courts. La largeur du doigt W_{fin} doit être choisie la plus petite possible pour avoir un bon contrôle du canal $W_{fin} \leq \frac{2}{3}L_{min}$ [47]. Le transistor FinFET présente une meilleure réduction du courant tunnel de grille [48] et une amélioration de la pente sous le seuil. Afin d'en augmenter encore plus les performances, le FinFET bénéficie des améliorations technologiques énoncées plus haut tels les contraintes mécaniques local et globale, la grille métallique et des oxydes High-K.

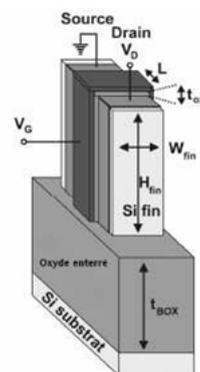


FIGURE I.17.: Paramètres géométriques du FinFET

Conclusion

Dans ce premier chapitre, ont été introduites toutes les notions et généralités concernant les MOSFETs et les FinFETs qui font l'objet de ce travail de thèse. Nous avons aussi abordé la technologie SOI ainsi que les matériaux et architectures innovantes susceptibles de pousser les limites de l'intégration CMOS et ainsi continuer à répondre aux exigences de la loi de Moore. Les limitations principales du courant à l'état ON des dispositifs ultracourts et étroits sont la mobilité

des porteurs et les résistances séries parasites qui, selon les technologies, peuvent représenter 25% à 75% de la résistance du canal [30].

Quant aux nouvelles architectures abordées dans ce chapitre, elles constituent des solutions à court terme et des efforts sont menés pour avoir des solutions à long terme, notamment dans les travaux de recherche qui portent sur les transistors à base de nanotubes de carbone. Ces derniers permettent de pousser encore plus loin la réduction des dimensions et présentent des propriétés de transport surprenantes par rapport au silicium. Cependant, leurs modes d'opérations et de fabrication sont encore en phase de recherche.

Notre travail de thèse consistant en l'étude des performances en statique et en bruit basse fréquence de FinFETs, notamment en fonction de la température (à très basses températures), une caractérisation fine en statique et en bruit de ces dispositifs est indispensable. Aussi, le chapitre suivant sera-t-il consacré aux techniques de caractérisation en statique et en bruit basse fréquence des dispositifs MOSFETs.

II. Techniques de caractérisations en statique et en bruit basse fréquence des dispositifs MOS à effet de champs

Introduction

Dans ce second chapitre, nous aborderons les techniques de caractérisations en statique, utilisées dans l'extraction des paramètres électriques des transistors MOS à effet de champ et ce pour les régimes linéaire et de saturation. Nous détaillerons en particulier la fonction Y et son extension pour les très basses températures, qui ont été utilisées pour la caractérisation en statique des transistors FinFETs utilisés dans notre travail expérimental. Nous terminerons ce chapitre par une étude du bruit électronique basses fréquences rencontré dans les dispositifs électroniques en général et les MOSFETs en particulier et aborderons les différents mécanismes qui en sont à l'origine.

II.1. Techniques de caractérisations en statique

II.1.1. Etat de l'art des méthodes d'extraction

Avant de détailler les techniques utilisées pour la caractérisation de nos dispositifs, nous passerons en revue brièvement les différentes techniques existantes. Parmi elles, nous citerons :

- Tension de seuil à courant constant V_{thCC} : on définit de manière arbitraire un courant caractérisant la tension de seuil en fonction des dimensions du transistor [49]. La tension de grille correspondante étant alors la tension de seuil.
- Maximum de la dérivée seconde : Facile à mettre en oeuvre, cette technique fournit une

- tension proche de la tension de seuil à (ψ_f) . La tension de seuil obtenue est définie comme étant la tension de grille qui maximise la dérivée première de la transconductance.
- Tension de seuil extrapolée : C'est la tension de grille donnée par l'intersection avec l'axe des (V_g) de l'extrapolation linéaire du courant de drain à partir de la tension de grille pour laquelle la transconductance est maximale.
 - Tension de seuil capacitive : Elle est extraite de la capacité grille canal C_{gs} . Elle est égale à la tension de grille correspondant au point d'inflexion de la courbe C_{gs} en fonction de la tension de grille.
 - Méthode Shift & Ratio : initialement proposée pour l'extraction de la longueur effective, elle permet l'extraction de la tension de seuil et des résistances d'accès. Elle se base sur la mesure de la résistance totale de deux transistors, un de référence de grande longueur de grille et un autre dont on désire extraire les paramètres.
 - Méthode Mc Larty : Cette technique se base sur des transformations mathématiques et des dérivées du premier et du second ordre pour extraire les paramètres du MOSFET en régime linéaire en utilisant des régressions linéaires [50]. Parmi ses inconvénients, le bruit engendré par la dérivée seconde et l'interdépendance des paramètres extraits.
 - Techniques split C-V : Elle est utilisée pour l'extraction de la mobilité effective à faible tension de drain dans le cas des transistors longs et larges en combinant des mesures de courant et de capacités [51, 52, 53]. Elle permet en outre d'avoir la charge d'inversion pour toute polarisation de grille sans aucune hypothèse sur le couplage grille - canal.
 - Méthode de Hamer : Appelée aussi méthode des trois points, c'est une méthode très rapide qui fait d'elle une des méthodes les plus utilisées pour l'extraction en ligne de fabrication [54]. Elle permet d'extraire la tension de seuil (V_{th}), le gain et le facteur d'atténuation linéaire de la mobilité en régime linéaire. L'inconvénient majeur de cette technique est sa dépendance de la fenêtre de mesure et des valeurs initiales [55].
 - Méthode de la dérivée de la résistance totale par rapport à la longueur de grille (voir Figure II.1) : utilisée pour l'extraction de la résistance série et de la longueur effective des MOSFET [56], elle permet aussi l'extraction de la mobilité dans les structures à canaux courts [57].
 - Technique de magnétorésistance : elle permet l'extraction de la mobilité pour de faibles charges d'inversion autour du seuil, de même que l'extraction de la mobilité pour des transistors ultracourts [30]. De plus, l'extraction de la mobilité résulte de la mesure directe

d'une mobilité, sans faire appel à un modèle de courant de drain.

- Méthode Y et ses extensions ou améliorations qui seront détaillées dans la section qui suit.

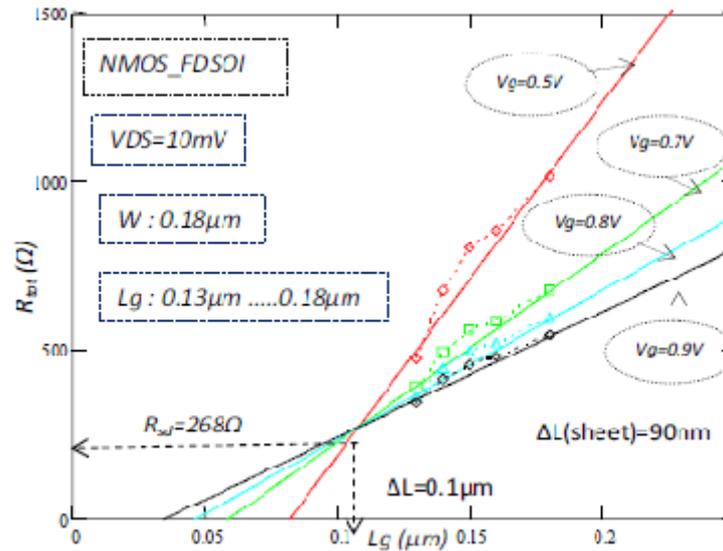


FIGURE II.1.: Extraction de R_{sd} et ΔL à partir des courbes $R_{tot}(L_g)$ [58]

Avec les dimensions des dispositifs qui diminuent de plus en plus et l'introduction de nouvelles architectures et de nouveaux matériaux, des travaux sur l'amélioration ou l'élaboration de nouvelles techniques d'extraction sont nécessaires. Aussi plusieurs auteurs proposent toujours des améliorations ou de nouvelles méthodes pour l'extraction plus fine des paramètres des transistors MOSFETs. Parmi ces travaux, nous pouvons citer :

- Ramanjek et al. [59, 53] qui ont amélioré la méthode C-V pour des MOSFETs sub- $0.1 \mu m$ et à oxyde ultra fin (épaisseur inférieure à 1,2 nm).
- Fleury et al [60] ont proposé une nouvelle approche de la méthode Y, appelée nouvelle fonction Y.
- Bennamane et al. [61, 58] proposent une méthode de séparation du courant latéral du courant top pour les FinFETs et l'extraction du dopage résiduel à partir de la pente de la courbe de la tension de seuil en fonction de la température.
- Pappas et al. [62] quand à eux, proposent une nouvelle méthode d'extraction du coefficient de rétrodiffusion dans les dispositifs nanométriques.
- Cunha et al. [63] qui proposent une procédure d'extraction directe de V_{th} à partir de $\frac{g_m}{I_D}$ pour les DG-MOSFET.
- Shin et al. [64] ont élaboré une technique d'extraction des résistances parasites dans le MOSFET en combinant les caractéristiques I(V) et des mesures C-V basse fréquence.

II.1.2. Extraction des paramètres du MOSFET en régime linéaire :

De simples mesures courant-tension (courant de drain en fonction de la tension de grille ou courant de drain en fonction de la tension de drain) sont couramment effectuées sur les MOSFETs pour étudier leurs caractéristiques électriques. De telles mesures peuvent aussi être utilisées pour avoir des informations sur la qualité du semi-conducteur, l'oxyde et l'interface oxyde semi-conducteur. Par exemple, la densité de pièges d'interface peut être déterminée à partir de la pente sous le seuil, qui est extraite du tracé semi-log de la courbe $I_D - V_G$ à très basse tension de drain. Dans le cadre de ce travail, en régime linéaire, nous avons principalement utilisé la méthode Y pour l'extraction des différents paramètres électriques.

II.1.2.1. La fonction Y

Introduite initialement par G. Ghibaudo [65] pour l'extraction facile et fiable de V_{th} et β pour les MOSFETs ayant un faible effet θ_2 , elle combine les caractéristiques $I_D - V_g$ et $g_m - V_g$ en régime linéaire et à faible tension de drain V_d . L'idée de la fonction Y est d'éliminer le coefficient d'atténuation de la mobilité θ_1 en divisant le courant I_D par la racine carrée de la transconductance g_m :

$$Y = \frac{I_D}{\sqrt{g_m}} \quad (\text{II.1})$$

où I_D le courant de drain et g_m la transconductance de courant, sont donnés par les équations :

$$I_d = \frac{W}{L} C_{ox} \mu_0 \frac{(V_g - V_t) V_d}{1 + \theta_1 (V_g - V_t)} \quad (\text{II.2})$$

$$g_m = \frac{W}{L} C_{ox} \mu_0 \frac{V_d}{(1 + \theta_1 (V_g - V_t))^2} \quad (\text{II.3})$$

Sans l'effet θ_2 , l'Équation II.1 peut être approximée par :

$$Y = \sqrt{\beta} V_d (V_g - V_t) \quad (\text{II.4})$$

où :

$$\beta = \frac{W}{L} \mu_0 C_{ox} \quad (\text{II.5})$$

et dans le cas contraire, la fonction Y, calculée à partir du modèle complet du courant I_D

mène à une équation non linéaire qui complique la procédure d'extraction et qui est donnée par :

$$Y = \sqrt{\frac{\beta V_d}{1 - \theta_2 (V_g - V_t)^2}} (V_g - V_t) \quad (\text{II.6})$$

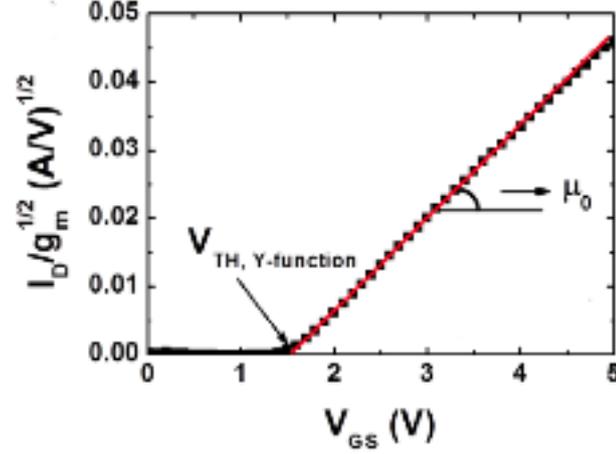


FIGURE II.2.: Fonction Y en fonction de V_{GS} [66]

Le courant I_D et la transconductance g_m étant alors régis par les équations :

$$I_d = \frac{W}{L} C_{ox} \mu_0 \frac{(V_g - V_t) V_d}{1 + \theta_1 (V_g - V_t) + \theta_2 (V_g - V_t)^2} \quad (\text{II.7})$$

$$g_m = \frac{W}{L} C_{ox} \mu_0 \frac{V_d (1 - \theta_2 (V_g - V_t)^2)}{(1 + \theta_1 (V_g - V_t) + \theta_2 (V_g - V_t)^2)^2} \quad (\text{II.8})$$

Cette non-linéarité conduit alors à une forte incertitude dans l'extraction de V_{th} et β en faisant une régression linéaire sur une portion de la fonction Y où l'effet du θ_2 est négligeable.

Extraction de la tension de seuil V_{th} et de la mobilité μ_0 En forte inversion, la fonction Y varie linéairement en fonction de V_g ce qui permet d'obtenir la tension de seuil par extrapolation de la partie linéaire. L'intersection avec l'axe des V_g nous donnera alors la tension V_{th} (voir 39).

De la pente S_y de cette même partie, est extraite la mobilité qui est donnée par la relation :

$$\mu_0 = \frac{S_y^2}{C_{ox} V_d} \frac{L}{W} \quad (\text{II.9})$$

Extraction de la longueur (largeur) effective L_{eff} : Pour cela, on doit d'abord avoir les caractéristiques $I_D(V_G)$ pour plusieurs dispositifs ayant des longueurs différentes et la même largeur.

On extrait alors :

$$\beta = \frac{S_y^2}{V_d} \quad (\text{II.10})$$

pour chaque dispositif et on trace la courbe :

$$\frac{1}{\beta} = \frac{1}{\mu_0 C_{ox} W} (L - \Delta L) \quad (\text{II.11})$$

ΔL est alors extrait de l'intersection de la droite $1/\beta = f(L)$ avec l'axe des abscisses et la longueur effective est calculée en utilisant la relation : $L_{eff} = L - \Delta L$

Il existe de nombreuses autres méthodes permettant d'extraire L_{eff} . Mais, de nos jours, bon nombre d'entre elles ne sont plus valables et en particulier pour des longueurs de grille sub-microniques. Ceci est dû au fait que la mobilité à faible champ μ_0 n'est plus une constante pour de telles longueurs de canal comme cela a été supposé.

Extraction des facteurs d'atténuation θ_1 , θ_{10} , θ_2 et de la résistance d'accès R_{SD} : A partir de l'équation de g_m , on définit la relation :

$$X = \frac{1}{\sqrt{g_m}} = \frac{1 + \theta_1(V_g - V_t)}{\sqrt{\beta V_d}} \quad (\text{II.12})$$

Le tracé de cette relation en fonction de la tension de grille correspond à une droite de pente $S_x = \frac{\theta_1}{\sqrt{\beta V_d}}$ et comme $S_y = \sqrt{\beta V_d}$, on aura alors : $\theta_1 = S_x S_y$.

De plus, comme $\theta_1 = \theta_{10} + \beta R_{SD}$ où θ_{10} est le facteur d'atténuation intrinsèque de la mobilité.

De la droite θ_1 en fonction de β , on tire R_{sd} qui est égale à la pente et θ_{10} qui correspond au point d'intersection avec l'axe des ordonnées.

Pour les transistors à canal court, comme mentionné précédemment, intervient un deuxième coefficient d'atténuation de la mobilité θ_2 qui redéfinit la relation de la mobilité par l'équation :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_g - V_t) + \theta_2(V_g - V_t)^2} \quad (\text{II.13})$$

Pour l'extraction pratique de θ_1 et θ_2 , on commence par calculer la fonction θ_{eff} donnée par la relation : $\theta_{eff} = \frac{S_y^2}{I_d} - \frac{1}{V_g - V_t}$ que l'on trace en fonction de V_g à forte inversion ($V_g \gg V_t$) et dans ce cas, θ_{eff} varie linéairement avec V_g : $\theta_{eff} = \theta_2(V_g - V_t) + \theta_1$ et les valeurs de θ_1 et θ_2 sont respectivement extraites de l'ordonnée à l'origine et de la pente.

Une fois les paramètres extraits, on peut vérifier leurs exactitudes en comparant les mesures expérimentales aux modèles du courant I_D et de la transconductance g_m .

Améliorations de la fonction Y : Plusieurs améliorations ont été apportées à cette méthode proposant la prise en compte du paramètre θ_2 . L'organigramme de la Figure II.3 décrit la procédure à suivre. Une fois les différents paramètres (V_{th} , θ_1 et θ_2) extraits à partir de la fonction Y, on remplace cette dernière par une nouvelle fonction Y qui prend en considération θ_2 et qui est donnée par l'équation :

$$Y_{new} = Y \sqrt{(1 - \theta_2(V_g - V_t))} \quad (\text{II.14})$$

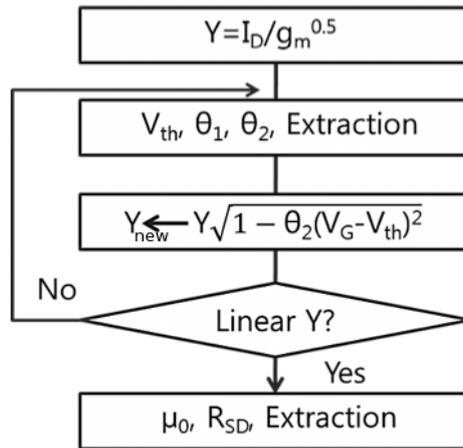


FIGURE II.3.: Organigramme de la fonction Y modifiée [67]

Et tant que la nouvelle fonction Y n'est pas linéaire, on refait la procédure, sinon on passe à l'extraction des autres paramètres.

II.1.2.2. Extension de la fonction Y pour les très basses températures (4K - 30K)

En général, les différentes méthodes d'extraction des paramètres électriques du MOSFET sont utilisables à température ambiante. Elle se base sur le fait qu'à 300 K, la mobilité effective en forte inversion est donnée par une relation de la forme :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_g - V_t)} \quad (\text{II.15})$$

Or cette relation n'est plus valable pour les très basses températures comprises entre 4 et

30 K [68, 69, 70]. Aussi, dès 1988, G. Ghibaudo a-t-il proposé de la remplacer pour de telles températures, par une relation empirique décrivant le comportement de la mobilité effective μ_{eff} en fonction de la charge d'inversion Q_i :

$$\mu_{eff} = 2 \frac{\mu_m}{Q_i/Q_m + Q_m/Q_i} \quad (\text{II.16})$$

où μ_m est la mobilité maximale et Q_m la charge d'inversion correspondante.

Et comme $Q_i \simeq C_{ox}(V_g - V_t)$, l'expression de μ_{eff} peut être réécrite sous la forme suivante :

$$\mu_{eff} = \frac{2\mu_m\theta_{it}(V_g - V_t)}{1 + \theta_{it}^2(V_g - V_t)^2} \quad (\text{II.17})$$

En régime ohmique, le courant de drain sera alors donné par :

$$I_d = \frac{W}{L} Q_i \mu_{eff} V_d = 2 \frac{W}{L} C_{ox} \mu_m \theta_{it} V_d \frac{(V_g - V_t)^2}{1 + \theta_{it}^2(V_g - V_t)^2} \quad (\text{II.18})$$

et la transconductance $g_m = dI_d/dV_g$ sera quant à elle régi par l'équation :

$$g_m = 4 \frac{W}{L} C_{ox} \mu_m \theta_{it} V_d \frac{(V_g - V_t)}{[1 + \theta_{it}^2(V_g - V_t)^2]^2} \quad (\text{II.19})$$

L'idée de la méthode qui est une extension de la fonction Y pour les très basses températures se base sur la construction d'une fonction combinant les équations du courant de drain et de la transconductance de telle sorte qu'elle dépende linéairement de la tension de grille V_g et qu'il n'ait pas de dépendance entre la mobilité et la tension de grille. La relation proposée est :

$$Y_{TBT} = \frac{I_d^{2/3}}{g_m^{1/3}} = \left(\frac{W}{L} C_{ox} \mu_m \theta_{it} V_d \right)^{1/3} (V_g - V_t) \quad (\text{II.20})$$

La Figure II.4 montre un exemple d'une telle fonction pour des dispositifs p-FinFETs standard. Le gain β est alors égal à :

$$\beta = \frac{W C_{ox} \theta_{it} \mu_m V_d}{L} = S_{Y_{TBT}}^3 \quad (\text{II.21})$$

où $S_{Y_{TBT}}^3$ est la pente des droites Y_{TBT}

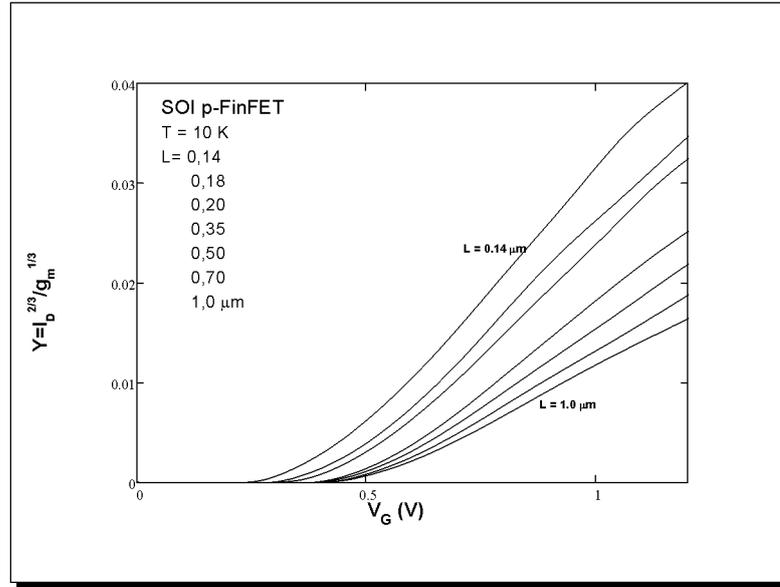


FIGURE II.4.: Fonction Y pour les très basses températures
Le tracé en fonction de la longueur de grille de $\frac{\theta_{it}}{\beta}$, donné par la relation :

$$\frac{\theta_{it}}{\beta} = \frac{1}{WC_{ox}\mu_m V_d} (L_{eff} - \Delta L) \quad (\text{II.22})$$

permet alors l'extraction de la mobilité maximale à partir de sa pente et de ΔL à partir de l'intersection de la courbe avec l'axe des abscisses (voir Figure II.5).

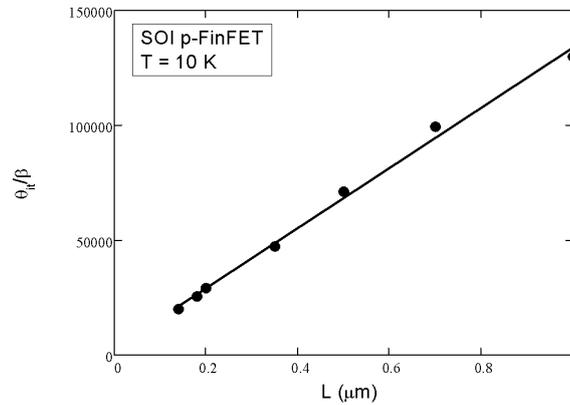


FIGURE II.5.: Tracé de θ_{it}/β en fonction de la longueur pour l'extraction de μ_m et ΔL .

II.1.2.3. Extraction de la mobilité effective :

La mobilité effective est donnée par la relation :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_g - V_t) + \theta_2(V_g - V_t)^2} \quad (\text{II.23})$$

où θ_1 et θ_2 sont les facteurs d'atténuation de la mobilité.

II.1.3. Extraction des paramètres en régime de saturation

En régime de saturation, les principaux paramètres extraits sont la tension de saturation V_{dsat} , le courant de saturation I_{dsat} , les courants I_{on} et I_{off} et la vitesse de saturation des porteurs v_{sat} . Pour cela, les caractéristiques $I_d(V_d)$ et $g_d(V_d)$ pour différentes tensions de grille sont utilisées (voir Figure II.6).

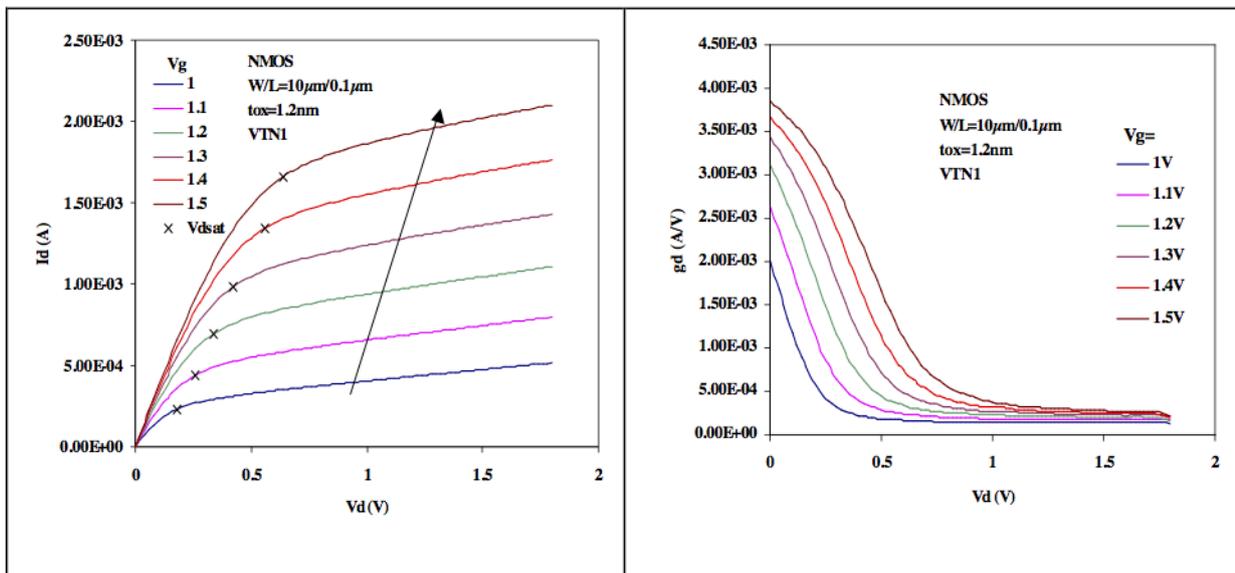


FIGURE II.6.: Caractéristiques de transfert $I_d(V_d)$ et $g_d(V_d)$ pour différentes tensions de grille [14].

II.1.3.1. Extraction de V_{dsat} et I_{dsat} :

On commence par la construction de la fonction $G(V_d)$ définie par l'équation [65, 14] :

$$G(V_d) = g_d \frac{d}{dV_d} \left(\frac{1}{g_d} \right) \quad (\text{II.24})$$

Cette fonction a une forme en cloche (voir Figure II.7) dont le sommet correspond à la tension de saturation V_{dsat} et à partir des caractéristiques $I_d(V_d)$, est extrait le courant I_{dsat} correspondant.

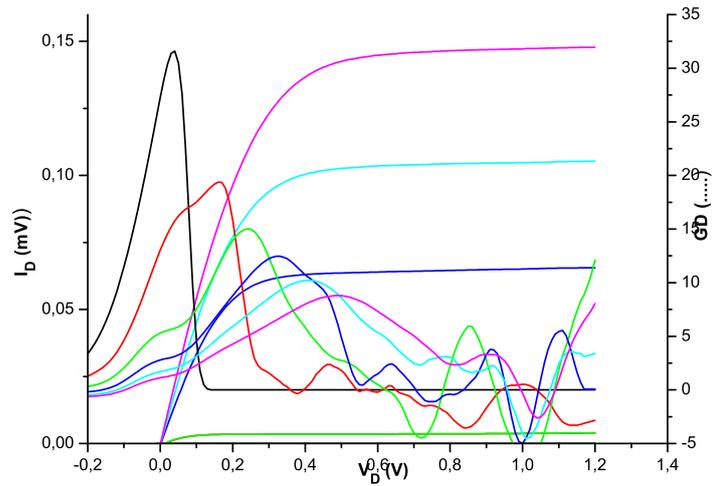


FIGURE II.7.: Fonctions $I_d(V_d)$ et $G(V_d)$ pour différentes longueurs de grille

II.1.3.2. Extraction de I_{on} et I_{off}

L'extraction des niveaux de courant I_{on} et I_{off} se fait de la façon suivante :

$$I_{on} = I_d @ V_d = V_g = 1V \quad (\text{II.25})$$

$$I_{off} = I_d @ V_d = 1V \text{ et } V_g = 0V \quad (\text{II.26})$$

Le courant I_{off} est un facteur limitant pour l'utilisation des transistors. Il a pour origine la proximité des zones de déplétion de source et de drain, d'où l'importance d'avoir un faible ΔL .

II.1.3.3. Extraction de la vitesse de saturation des porteurs

En régime de saturation, les porteurs possèdent une énergie élevée ce qui en fait d'eux des porteurs chauds. Ils provoquent alors des phénomènes d'ionisation par impact et occasionnent une dégradation de la structure du transistor par création de charges fixes dans l'oxyde et/ou d'états d'interface et modifient ainsi les performances électriques du transistor. La vitesse de dérive de drift est définie par la relation :

$$v_d = \frac{g_m}{WC_{ox}} \quad (\text{II.27})$$

Cette valeur de la vitesse de drift correspond donc à valeur de la vitesse maximum des por-

teurs dans le canal. Pour éliminer l'influence des résistances série source-drain on utilise la formule suivante [14] :

$$v_{dcor} = \frac{v_d}{1 - \frac{R_{sd}}{2} g_m} \quad (\text{II.28})$$

D'autres relations donnant la vitesse des porteurs sont aussi proposées comme par exemple : [71]

$$v_{sat} = \frac{I_{dsat}}{WC_{ox} (V_g - V_t - V_{dsat})} \quad (\text{II.29})$$

La vitesse de drift augmente avec la tension de drain appliquée et atteint un maximum aux forts champs électriques. Pour des tensions de drain plus élevées que V_{dsat} , cette vitesse est peu dépendante de la tension appliquée sur la grille et peut être extraite de la transconductance en saturation [65] :

$$v_{sat} = \frac{g_{msat}}{WC_{ox} \left(1 - \frac{dV_{dsat}}{dV_g}\right)} \quad (\text{II.30})$$

La Figure II.8 montre la variation de la vitesse de saturation avec la longueur de grille. On peut y voir que la vitesse maximum augmente avec la réduction de la température ce qui est expliqué par la réduc

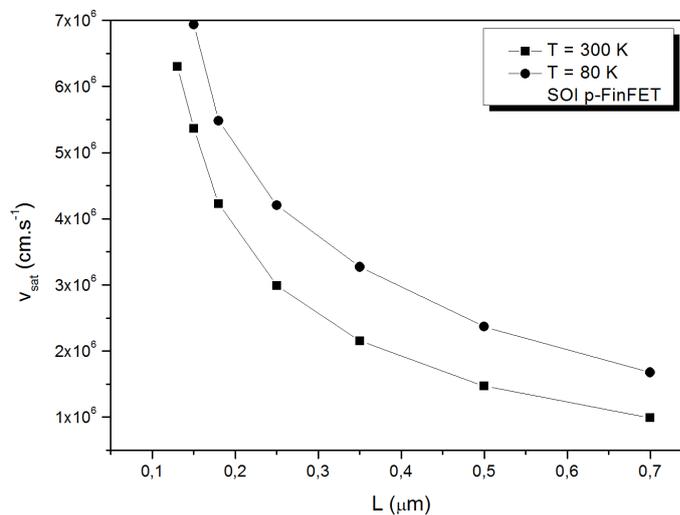


FIGURE II.8.: Variation de v_{sat} avec la longueur de grille

II.2. Caractérisation des dispositifs MOSFETs par la technique de bruit basse fréquence

En général, le bruit fait référence à des signaux indésirables qui sont observés dans les signaux sonores, électroniques (courant, tension), ... C'est une caractéristique très importante dans la mesure où il limite les performances des systèmes en dégradant le rapport signal sur bruit. Le bruit dans les systèmes (dispositifs) électroniques appelé bruit électronique existe dans tout dispositif électronique et résulte de perturbations spontanées et aléatoires dans le courant. Ces perturbations sont dues aux mouvements aléatoires des porteurs de charges et / ou à leur fluctuation dans le semi-conducteur. Plusieurs raisons, telles la température, les défauts, pièges d'oxydes, ... sont à l'origine de ces perturbations. Ainsi, la tension (ou courant) mesurée en sortie d'un composant électronique n'est pas parfaitement constante et fluctue autour d'une valeur moyenne. La dépendance en fonction du temps de ces fluctuations constitue un mélange de signaux parasites et de bruit électrique. Alors que les signaux parasites sont engendrés par des sources extérieures et peuvent être réduits par des blindages, le bruit électrique provient lui de sources intrinsèques au composant dépendant principalement de la qualité des matériaux utilisés. L'étude de ce bruit électrique nous permet d'avoir des informations sur les mécanismes fondamentaux du transport électronique et peut être aussi utilisée comme un puissant outil de diagnostic dans la détection des défauts dans les composants électroniques [72, 73, 74], notamment les FinFETs [75], et la caractérisation de la qualité et de la fiabilité de ces derniers. L'utilisation de telles techniques non destructives devient de plus en plus important avec la miniaturisation des composants.

II.2.1. Instabilités physiques dans le MOSFET et défauts dans le Silicium :

Dues essentiellement aux défauts dans le système MOS, elles sont localisées physiquement au niveau (voir Figure II.9) :

- de l'oxyde SiO_2 : c'est les pièges d'oxyde
- de l'interface Silicium Oxyde (Si-SiO_2) : c'est les pièges d'interface.
- du substrat (ou film) : c'est les pièges de substrat.

Ces différentes charges affectent directement l'équilibre de la structure MOS et la tension de flat-band.

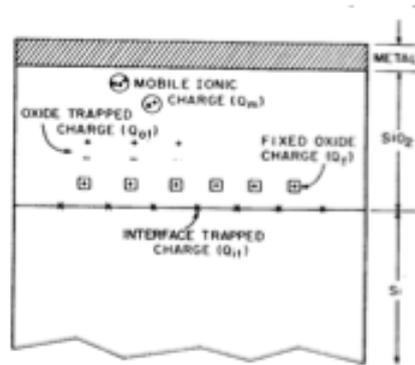


FIGURE II.9.: Terminologie des charges d'oxyde

- Charge Q_M due aux ions mobiles Na^+ et K^+ : Elle donne naissance à des déplacements de la caractéristique C-V suivant l'axe des tensions. La redistribution des ions mobiles contenus dans l'oxyde affecte V_{FB} et tous les paramètres qui en dépendent telles la tension de seuil, la conductance dans la région linéaire et la transconductance dans la région saturée. Il en résulte une dérive des différentes caractéristiques I(V) du transistor.
- Charge Q_{it} : elle est due aux pièges d'interface qui sont localisés à l'interface Si-SiO₂ avec des états d'énergies situés dans la bande interdite du silicium. Leur densité dépend de l'orientation du réseau cristallin du silicium et est plus faible dans le cas de l'orientation <100> que dans le cas <111>. Une grande partie de ce type de pièges peuvent être neutralisés par recuit à basse température (450°C). Les paramètres du MOSFET sensible à la présence ou variation des charges d'interface sont :
 - la tension de seuil : $\Delta V_{th} = \frac{\Delta Q_{it}}{C_{ox}}$
 - la mobilité des porteurs qui est réduite par deux phénomènes qui sont la dispersion de ces derniers à la surface ou bien leur piégeage à l'interface.
 - les caractéristiques I(V) du fait que la tension de seuil et la mobilité des porteurs varient.
 - la transconductance g_m ainsi que la conductance g_D .
 - le courant de fuite qui est augmenté par la présence des états d'interface.
- Charges fixes Q_f : Peut être vue comme une couche de charges localisée dans l'oxyde à quelques 30 Ångström de l'interface Si-SiO₂. La valeur de cette couche de charges dépend en général des conditions d'oxydation, de recuit ainsi que de l'orientation cristalline

du silicium. Typiquement, la densité des charges fixes d'oxyde est de l'ordre de : 10^{10} cm^{-2} pour l'orientation $\langle 100 \rangle$ et $5 \cdot 10^{10} \text{ cm}^{-2}$ pour l'orientation $\langle 111 \rangle$. Les paramètres du transistor influencés par ces charges sont la tension de seuil et la mobilité des porteurs (donc la conductance, la transconductance ainsi que les caractéristiques $I(V)$) et la tension de claquage de la jonction Drain – Substrat.

- Charges piégées dans l'oxyde Q_{ot} : Associées aux défauts dans l'oxyde SiO_2 , elles sont créées par rayonnement (X) et bombardement électronique à haute énergie.

II.2.2. Bruits basse fréquence dans les dispositifs électroniques

Avant de s'intéresser aux différentes sources de bruit basse fréquence présents dans les MOSFET, nous présenterons tout d'abord les différents types de bruits rencontrés dans tout dispositif microélectronique. Sur la Figure II.10 et la Figure II.11 sont représentés les trois types de fluctuations rencontrés dans les dispositifs à semi-conducteurs et leurs représentations dans le domaine fréquentiel et temporel respectivement. On y distingue :

- le bruit blanc :
- le bruit Lorentzien (Bruit télégraphique ou de génération - recombinaison) :
- et le bruit en $1/f$ ou excédentaire.

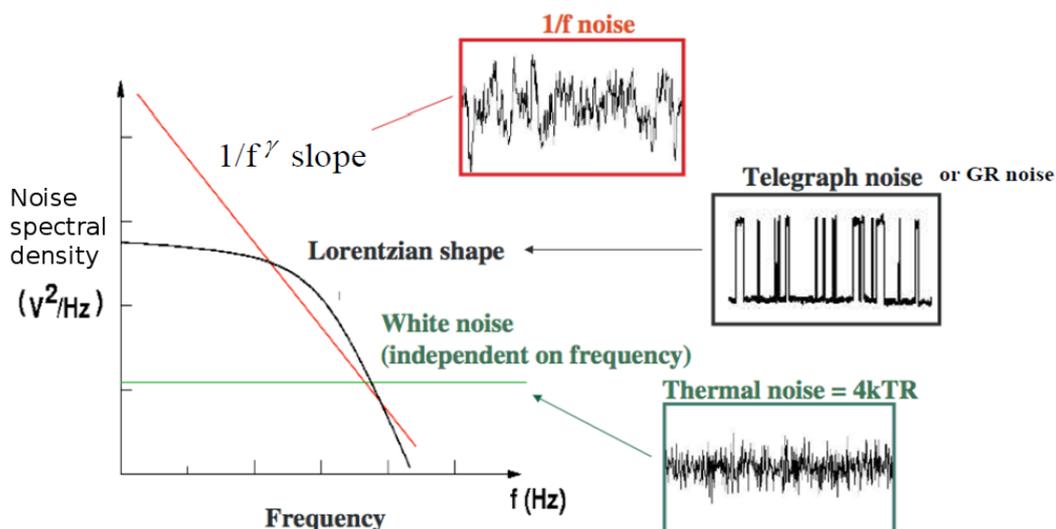


FIGURE II.10.: Représentations temporelles et fréquentielles des différents types de bruits rencontrés dans les dispositifs à semi-conducteurs.

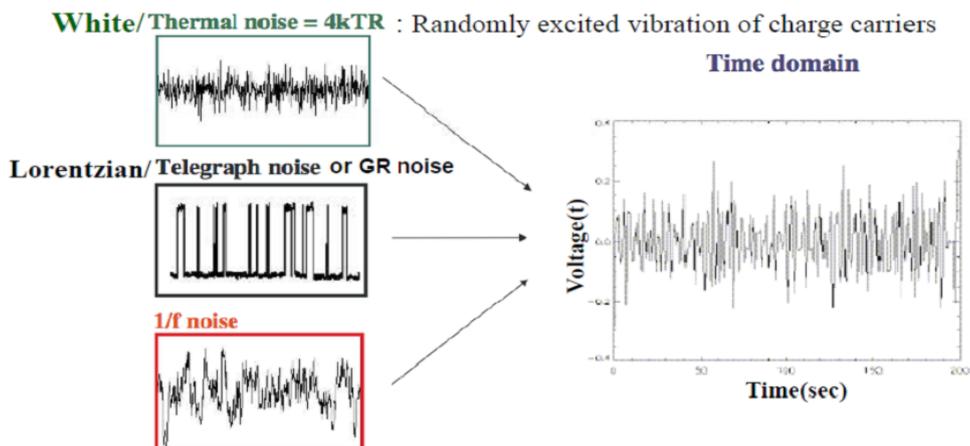


FIGURE II.11.: Visualisation dans le domaine temporel de la somme des différents bruits.

II.2.2.1. Bruit Blanc

Indépendant de la fréquence sur une large bande de fréquences, le bruit blanc a deux sources fondamentales qui sont le bruit thermique et le bruit Schottky. Le bruit thermique est la conséquence du mouvement Brownien des porteurs dans un conducteur. La densité spectrale d'une telle source de bruit associée à une résistance R est donnée par la relation :

$$e_{n_R}^2 = 4kTR \quad (\text{II.31})$$

où k est la constante de Boltzmann et T la température absolue.

Quant au bruit Schottky ou de Grenaille, il est dû au franchissement aléatoire de barrières de potentiel par les porteurs (jonctions pn). La densité spectrale de puissance d'un tel bruit est proportionnelle à la charge électronique des porteurs q et au courant I ,

$$S_I = 2qI \quad (\text{II.32})$$

II.2.2.2. Bruit Lorentzien

Dans le domaine fréquentiel, le bruit Lorentzien est représenté par une densité spectrale constante jusqu'à une fréquence caractéristique f_{0i} puis décroît avec une pente en $1/f^2$. Cette densité spectrale est donnée par la relation :

$$S(f) = \frac{A_i}{1 + \left(\frac{f}{f_{0i}}\right)^2} \quad (\text{II.33})$$

où A_i est le niveau de plateau de la Lorentzienne. Ce type de bruit à plusieurs sources et dans le cas des structures MOS, il est dû aux défauts dans le film du silicium ou à l'interface Si/SiO₂. Ces défauts sont à l'origine du piégeage des porteurs, ce qui induit des fluctuations du courant.

Bruit de Génération-Recombinaison (G-R) Ce bruit est dû aux fluctuations du nombre de porteurs au cours du mécanisme de piégeage - dépiégeage des porteurs par des défauts à constante de temps unique localisés dans la zone de charge d'espace du transistor. Cette constante de temps unique peut être due à un piège discret (due à la présence de défauts ou d'impuretés dans le semi-conducteur) ou à un continuum de pièges d'interface.

Bruit RTS (Random-Telegraph- Signal) Il est dû, dans le cas des transistors MOSFETs à faible surface de grilles (inférieures à 1 μm^2), au piégeage / dépiégeage individuel d'un porteur à l'interface Si/SiO₂. Le courant de drain présente alors dans le domaine temporel une suite d'impulsions aléatoires (voir Figure II.12) alors que dans le domaine fréquentiel, le spectre est constitué de Lorentziennes.

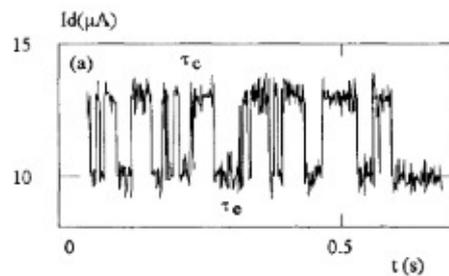


FIGURE II.12.: Description du bruit RTS observé dans une structure MOS [66].

La densité spectrale de puissance de chaque piège est donnée par :

$$S_I = \frac{4 A \tau \Delta I^2}{1 + \left(\frac{f}{f_c}\right)^2} \quad (\text{II.34})$$

où f_c est la fréquence de coupure, ΔI est l'amplitude moyenne du courant de drain et A est

un facteur de charge qui est égal à $\frac{\tau}{\tau_c + \tau_e}$ avec $\tau = \frac{\tau_c \tau_e}{\tau_c + \tau_e}$ où τ_c et τ_e sont respectivement les temps moyens de capture et d'émission des porteurs du canal par le piège.

II.2.2.3. Bruit excédentaire ou bruit en 1/f

Dans le domaine fréquentiel le bruit en 1/f est inversement proportionnel à la fréquence. Ce dernier est généralement prépondérant aux basses fréquences (1 Hz < f < 100 kHz). L'origine de cette source de bruit est due à la fluctuation de la conductivité des porteurs du courant $\sigma = q\mu n$ (μ et n étant respectivement la mobilité des porteurs et la densité volumique des porteurs). Cette fluctuation est causée soit par une fluctuation du nombre de porteurs (ΔN) [76] ou bien une fluctuation de la mobilité des porteurs ($\Delta\mu$) [77] ou bien par les deux types de fluctuations ($\Delta N + \Delta\mu$) [78, 79].

Modèle de Mc Whorther : Fluctuations du nombre de porteurs Proposée pour la première fois par McWhorther [76], cette théorie se base sur l'hypothèse que le bruit excédentaire est généré par des fluctuations du nombre des porteurs par des mécanismes de piégeages / dépiégeages. En se basant sur la théorie des MOS, ces fluctuations peuvent être représentées par les fluctuations de la tension de bandes plates de la structure MOS et $\delta V_{FB} = -\delta Q_{ss} / (WLC_{ox})$ où δQ_{ss} correspond aux fluctuations de la charge d'oxyde résultant du piégeage / dépiégeage de porteurs libres par les pièges d'oxyde se trouvant à proximité de l'interface Si/SiO₂. La densité spectrale des fluctuations du courant de drain qui en découle est donnée par la relation[80] :

$$\frac{S_{I_D}(f)}{I_D^2} = \frac{g_m^2}{I_D^2} S_{V_{FB}}(f) \quad (\text{II.35})$$

Modèle de Hooge : Fluctuations de la mobilité des porteurs Se basant sur des études expérimentales, Hooge propose que la densité spectrale du bruit 1/f dans des échantillons homogènes, soit inversement proportionnelle à N, nombre total des porteurs. Hooge proposa alors une relation empirique donnée par :

$$\frac{S_V(f)}{V^2} = \frac{\alpha_H}{fN} \quad (\text{II.36})$$

où α_H est la constante de Hooge. Elle dépend notamment de la qualité cristalline de l'échantillon. Hooge attribue l'origine du bruit en 1/f à la fluctuation de la mobilité des porteurs.

Modèle corrélé : Fluctuation du nombre de porteurs corrélée à une fluctuation de mobilité Le modèle de fluctuation du nombre de porteurs corrélé à une fluctuation de la mobilité a été introduit par Hung [78] puis reformulé par Ghibaudo [80]. Il attribue l'origine physique du bruit en $1/f$ à deux effets corrélés. Ce modèle présume que la charge piégée à proximité de l'interface Si/SiO₂ est une source potentielle de diffusion coulombienne pour les porteurs libres du canal. Les fluctuations de la charge piégée dans l'oxyde peuvent donc induire des fluctuations du temps de relaxation associé à ce mécanisme d'interaction et donc de la mobilité globale des porteurs.

Une formulation de la densité spectrale des fluctuations de courant de drain $S_{I_D}(f)$ en fonction de la transconductance g_m et de la densité spectrale des fluctuations de la tension de bandes plates $S_{V_{FB}}(f)$ est donnée par [66, 81, 80] :

$$\frac{S_{I_D}(f)}{I_D^2} = \left(1 \pm \alpha_C \mu_{eff} C_{ox} \frac{I_D}{g_m}\right)^2 \frac{g_m^2}{I_D^2} S_{V_{FB}}(f) \quad (\text{II.37})$$

et la densité spectrale de puissance de la tension de bruit équivalente ramenée sur la grille du transistor est donnée par la relation :

$$S_{V_G}(f) = \left(1 \pm \alpha_C \mu_{eff} C_{ox} \frac{I_D}{g_m}\right)^2 S_{V_{FB}}(f) \quad (\text{II.38})$$

où μ_{eff} est la mobilité effective des porteurs et α_C est le coefficient des interactions coulombiennes qui vaut 10^4 et $\sim 10^5$ Vs/C pour les MOSFETs conventionnels de type n et p respectivement.

II.2.3. Bruit basse fréquence dans les MOSFETs :

Comme dans tout dispositif électronique, plusieurs types de bruits sont rencontrés dans les transistors MOS à effet de champ, notamment :

- le bruit blanc, qui est un bruit intrinsèque dû au mouvement des porteurs dans le canal et à leurs franchissements des jonctions PN de la structure,
- du bruit RTS ainsi que dû bruit du au piégeage / dépiégeage des porteurs du canal par les états d'interfaces et les défauts présents dans le film (G-R),
- et enfin du bruit $1/f$ dû à l'échange des porteurs du canal avec les pièges d'oxyde.

Ces deux derniers types de bruit (1/f et G-R) mènent à des changements spontanés de la densité locale des porteurs dans le canal. Ainsi, si le courant de drain I_D est constant, ces fluctuations locales de la densité des porteurs, induit une variation de la résistance du canal qui induit à son tour des variations de la tension de drain V_D . Et de même si c'est V_D qui est constant, on aura des fluctuations du courant de drain. Ces variations de I_D (et/ou V_D) sont appelés bruit surfacique (Surface noise). Dans les MOSFETs, la contribution du bruit 1/f au bruit surfacique est plus important que celui de G-R.

L'étude du bruit basse fréquence dans les MOSFETs peut être envisagée, selon l'objectif à atteindre, dans l'un des différents régimes de fonctionnement (sous le seuil, en régime linéaire ou en saturation). Toutefois, dans notre cas, dans la mesure où l'on s'intéresse à l'étude des mécanismes qui sont à la base du bruit basse fréquence dans les dispositifs FinFETs, nous ne travaillerons qu'en régime linéaire.

La densité spectrale de bruit en tension ramenée sur la grille dans un transistor MOSFET peut être ainsi modélisée par l'équation suivante :

$$S_{V_G}(f) = B + \frac{K_f}{f} + \sum_{i=1}^N \frac{A_i}{1 + \left(\frac{f}{f_{0i}}\right)^2} \quad (\text{II.39})$$

où le premier terme B correspond au niveau du bruit blanc, le second terme K_f/f est le bruit en 1/f où K_f est le niveau du bruit en 1/f à 1 Hz et enfin le dernier terme correspond à une somme de Lorentziennes où A_i est la valeur du plateau et f_{0i} la fréquence caractéristique de la $i^{\text{ème}}$ Lorentzienne.

II.2.3.1. Bruit 1/f dans les MOSFETs

Le bruit en 1/f dans un transistor MOSFET peut avoir plusieurs causes. Il peut être dû aux fluctuations du nombre de porteurs de charges, aux fluctuations de la mobilité des porteurs et aux résistances d'accès. Avec la réduction de la longueur du canal, les résistances d'accès deviennent de moins en moins négligeables et leur influence apparait surtout à forte inversion quand la résistance du canal diminue. Ces résistances peuvent avoir un grand impact sur le bruit basse fréquence en 1/f et leur contribution est modélisé par [82] :

$$S_I(f) = \frac{K_r I_D^2}{f} \quad (\text{II.40})$$

Modèle du bruit 1/f dans le MOSFET Une expression donnant le bruit en 1/f dans les transistors MOSFETs peut être proposée en considérant les mécanismes à la base de ce type de bruit. A la tension de flat-band, elle prend en compte en plus des variations du nombre de porteurs, les variations de la mobilité dues aux fluctuations des charges d'interface. La contribution des résistances d'accès r_{access} au bruit 1/f basse fréquence est obtenue par l'ajout de la contribution du bruit excédentaire originaire des résistances d'accès [65, 83, 84]. En prenant en compte ces trois origines, en régime linéaire, la densité spectrale de la tension du bruit excédentaire ramenée à la grille peut s'écrire de la façon suivante :

$$\frac{K_f}{f} = S_{V_{FB}} (1 + \alpha \mu_0 C_{ox} V_{GT})^2 + \frac{K_r}{f} \frac{r_{access}^2}{2r_T^2} V_{GT}^2 \quad (\text{II.41})$$

où α est le coefficient de dispersion de coulomb, K_r est le niveau du bruit des résistances d'accès et $S_{V_{FB}}$ est la densité spectrale de bruit à la tension de flat-band qui est donnée par la relation :

$$S_{V_{FB}} = \frac{q^2 k T \lambda N_{it}}{f^\gamma W L C_{ox}^2} \quad (\text{II.42})$$

où q est la charge élémentaire, k est la constante de Boltzmann, T est la température absolue, W et L sont respectivement la largeur et longueur effectives du dispositif, N_{it} est la densité de piège dans le diélectrique de grille ($cm^{-3}eV^{-1}$) et λ est prédit par la théorie de Wentzel-Kramers-Brillouin (WKB) [85] comme étant proche de 1 Å pour l'interface Si/SiO₂.

De cette expression, on déduit que le bruit 1/f dans le transistor MOSFET varie par rapport aux dimensions du transistor, aux tensions de polarisation et à la qualité de l'oxyde.

Le Tableau II.1, qui résume les évolutions de S_{I_D}/I_D^2 et S_{V_G} en fonction de la tension effective de grille pour les différents modèles de bruit en 1/f en régime linéaire, permet d'identifier dans les résultats expérimentaux quel est le bruit dominant et le modèle associé dans un transistor MOSFET en vérifiant tout simplement la dépendance du bruit en 1/f avec la polarisation en tension V_{GT} , dépendance qui est différente selon l'origine et le modèle du bruit.

	Modèle de Mc Whorther $\alpha\mu_0 C_{ox} V_{GT} \ll 1$	Modèle corrélé $\alpha\mu_0 C_{ox} V_{GT} \gg 1$	Modèle de Hooge	Résistances d'accès r_{access}
S_{I_D}/I_D^2	$1/V_{GT}^2$	Constante	$1/V_{GT}$	V_{GT}^2
S_{V_G}	Constante	V_{GT}^2	V_{GT}	V_{GT}^4

TABLE II.1.: Evolution de S_{I_D}/I_D^2 et S_{V_G} en fonction de V_{GT} pour les différents modèles de bruit $1/f$ en régime linéaire.

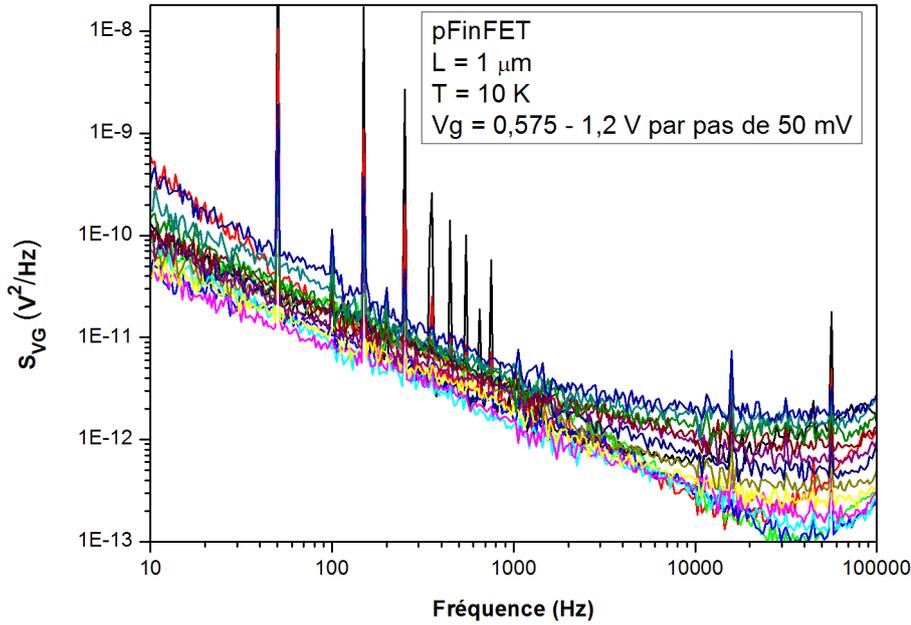


FIGURE II.13.: Aspect typique de la densité spectrale de puissance des fluctuations de I_D en fonction de la fréquence.

La Figure II.13 montre un exemple de spectres de la densité spectrale de puissance des fluctuations du courant de drain ramenés sur la grille en fonction de la fréquence pour différentes tensions de grille dans le cas d'un p-FinFET de longueur de grille $1 \mu m$ à une température de 10 K.

Limitations de ce modèle de bruit $1/f$: Enormément de travaux expérimentaux ont confirmé la validité du modèle de bruit $1/f$ discuté précédemment. Toutefois, il a été trouvé certaines limitations et des modifications y ont été apportés. Il a été ainsi observé que dans certaines conditions, ce bruit varie proportionnellement non pas à $1/f$ mais à $1/f^\gamma$ avec γ compris selon les auteurs entre des intervalles de 1 et 2 [86] ou 0.7 et 1.3 [87]. Il a été aussi trouvé que cet exposant pouvait

dépendre de la tension de grille V_G ou de la température [88, 87, 89, 90, 91] et qu'il pouvait y avoir des différences selon le type du transistor (n ou p). En général, ceci est attribué au fait que les pièges d'oxydes ne sont pas uniformément distribués selon l'espace et l'énergie. Une densité de piège qui augmente vers l'interface mène à un paramètre γ plus petit que l'unité et dans le cas contraire, il devient plus grand que 1 si la densité de piège diminue vers l'interface.

Des études récentes, qui ont été faites sur des transistors nFinFETs avec une grille métallique en nitrure de titane (TiN) et un oxyde de grille en oxyde de hafnium ayant subi la contrainte locale SEG, ont montré un comportement inhabituel où la densité spectrale ramenée sur la grille, normalisée par la fréquence, présente une diminution de la pente en $1/f$ dans l'intervalle 1kHz - 10 kHz. Les spectres normalisés par la fréquence décroissent dans la gamme de fréquences $10\text{Hz} < f < 1\text{kHz}$ et semblent rester constants pour les fréquences inférieures à 10 Hz. Ce bruit inhabituel a été trouvé dans les transistors nFinFETs larges et courts et pour des températures allant de 150 K à 300 K [92] ainsi que dans le cas de pFinFETs avec le même empilement de grille, dans des structures standards et contraintes [93]. Une tendance similaire à ce bruit inhabituel a déjà été observée dans des transistors nMOSFETs massifs [94].

La forme du spectre de bruit ressemble à une combinaison de deux niveaux de bruit en $1/f$. Un modèle empirique a été proposé en supposant deux niveaux de bruit en $1/f$ [92] : un niveau bas K_1 de bruit en $1/f$ et un niveau haut K_2 de bruit en $1/f$ qui sont compris dans un intervalle de fréquences caractéristiques f_1 et f_2 . La densité spectrale en bruit ramenée sur la grille est donnée alors par l'équation suivante :

$$S_{V_G}(f) = B + \frac{K_1}{f} + \frac{K_2}{f} \cdot \frac{1}{1 + \frac{f_1}{f}} \frac{1}{1 + \frac{f}{f_2}} \quad (\text{II.43})$$

Dans ce cas, les deux niveaux du bruit en $1/f$ ont été expliqués par deux origines différentes ; le niveau bas K_1 a pu être attribué aux fluctuations dans les résistances d'accès et a pu être expliqué par le modèle de Hooge. En revanche le niveau haut K_2 du bruit en $1/f$ a été attribué aux fluctuations du nombre des porteurs dans le canal et a pu être expliqué par le modèle de McWhorter.

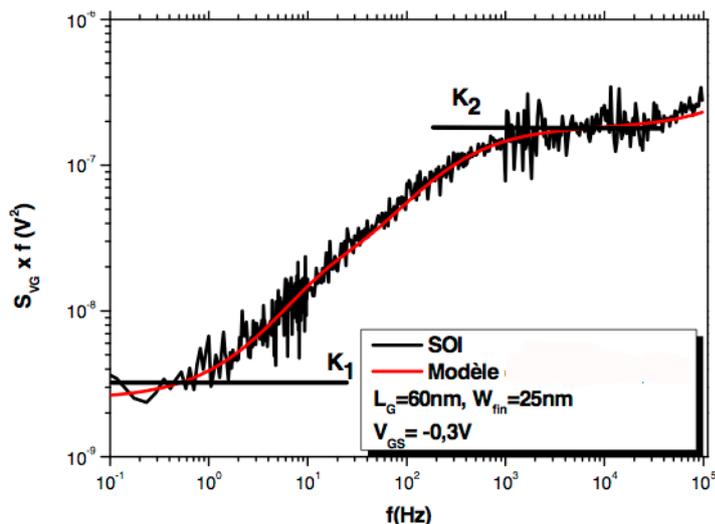


Figure II.14.: Densité de bruit S_{V_G} normalisée par la fréquence pour un p-FinFET standard avec empilement de grille HfO_2 [93].

La Figure II.14 représente un exemple de densité spectrale normalisée par la fréquence pour un transistor FinFET de type-p de longueur effective 60 nm et largeur de 25 nm. Le transistor est polarisé en régime linéaire avec une tension de grille de -0,3 V et une tension de drain de 50 mV. Le modèle a été tracé en utilisant l'équation Équation II.43.

Conclusion

Dans ce chapitre, une première partie a été consacrée aux techniques d'extraction en statique des paramètres des transistors MOS. Nous y avons passé en revue les méthodes les plus utilisées en micro-électronique. Avec la diminution des dimensions des composants, l'apparition des effets de canaux courts et l'utilisation de nouvelles architectures, des améliorations ou de nouvelles techniques sont toujours nécessaires pour des extractions plus précises. Le fonctionnement cryogénique impose quand à lui d'autres contraintes qui nous oblige à l'utilisation de techniques spécifiques.

Dans une seconde partie, après une introduction au bruit électronique basses fréquences rencontré dans les dispositifs électroniques, nous avons abordé les différents types de bruits rencontrés dans les transistors MOSFETs et les mécanismes qui en sont à l'origine. Finalement, les modèles décrivant le bruit basses fréquences en général et le bruit excédentaire en particulier, dans les dispositifs MOSFETs, ont été abordés.

III. Etude des performances statiques à très basse température des SOI FinFETs

Introduction

Le développement de la micro-électronique à basse et très basse température est très intéressant pour des industries comme l'industrie aérospatiale utilisatrice de systèmes électroniques devant travailler à des températures cryogéniques. L'un des avantages de travailler à de telles températures est que les performances des circuits électroniques augmentent en comparaison à un fonctionnement à température ambiante sans compter l'inutilité de systèmes de refroidissement pour les composants dégageant une trop forte chaleur. Ainsi, la réduction de température de fonctionnement permet une amélioration des propriétés de transport des porteurs ainsi que les vitesses de commutation des circuits.

Le FinFET multigrille sur substrat SOI est considéré comme très prometteur pour les noeuds technologiques futurs. Ceci est dû principalement au meilleur contrôle des effets de canal court grâce à la géométrie 3D du FinFET, à la multiplication du nombre de grilles, au faible courant de fuite, à la grande mobilité due au canal non dopé, ... [95, 96, 45, 97]. De plus, l'ajout de contraintes peut en améliorer les performances sans ajout de processus complexes lors de la fabrication [98, 99, 100, 31]. L'impact de la température sur ces dispositifs fabriqués avec un diélectrique de grille High-K du type HfSiON sera étudié dans le but d'analyser les propriétés de transport et leurs performances à très basses températures. Cette étude en statique porte principalement sur la caractérisation de SOI FinFET à canaux n et p. Pour étudier l'impact des contraintes mécaniques sur ces dispositifs à très basses températures, des mesures ont été effectuées sur deux types de dispositifs, l'un ayant subi des contraintes locales et globales et l'autre, qui sera utilisé

comme référence, n'en a subi aucune. De plus, pour pouvoir apprécier les résultats obtenus à très basse température, ils seront comparés à ceux obtenus à 80 K et à température ambiante.

III.1. Description des SOI FinFETs étudiés

Les dispositifs mis à notre disposition pour nos tests sont des transistors multi-grilles du type SOI n ou p-FinFETs fournis par l'IMEC. Elaborés en technologie 32 nm, les transistors ont été réalisés sur du substrat SOI. L'épaisseur d'oxyde enterré t_{BOX} est de 150 nm, la hauteur du doigt H_{fin} de 65 nm et les largeurs et longueurs de masque, W_{fin} et L , varient entre 0,13 et 1 μm (Figure III.1).

L'empilement de grille est constitué de silicate de hafnium nitruré (HfSiON), un oxyde de grille à haute permittivité (high-k), d'une permittivité électrique relative de 15, avec 50% de hafnium, déposé par MOCVD « Metal Organic Chemical Vapor Deposition » sur une couche interfaciale de silicium d'une épaisseur de 1 nm, fournissant une épaisseur équivalente d'oxyde (EOT) de 1,5 nm. La grille est, quant à elle, constituée de 5 nm de TiN couvertes par 100 nm de polysilicium alors que le canal est non dopé.

Notre étude s'est limitée aux dispositifs dont la largeur effective du "Fin" est de 25 nm ($W_{fin} = 150 nm$) pour le type p et de 55 nm ($W_{fin} = 180 nm$) pour les dispositifs de type n. Quant au nombre de "Fin" en parallèle, il est de 5, la distance entre les "Fin" (FS) de 0,2 μm et la distance entre la grille et la source (S) de 0,1 μm .

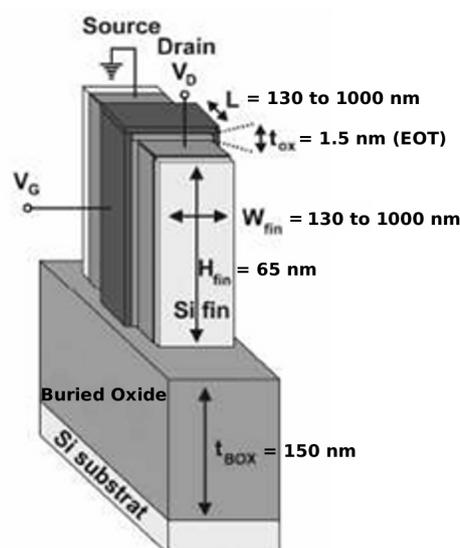


Figure III.1.: Structure et caractéristiques géométriques des SOI FinFET étudiés.

Plusieurs échantillons différents sont disponibles. Ils se différencient par la ou les contraintes mécaniques qu'ils ont subies :

- contrainte globale biaxiale du substrat sSOI,
- contrainte locale SEG sur les régions source et drain
- et contrainte CESL local pour l'architecture de grille (0,8 GPa en tension pour les transistors nMOSFETs et 1,5 GPa en compression pour les transistors pMOSFETs).

Les échantillons de FinFETs disponibles sont :

- FinFETs sur substrat SOI (SOI ou Standard) ;
- FinFETs sur substrat SOI ayant subi la contrainte SEG (SOI + SEG) ;
- FinFETs sur substrat SOI ayant subi les contraintes SEG et CESL (SOI + SEG +CESL) ;
- FinFETs sur substrat sSOI ayant subi une contrainte globale au niveau du canal (sSOI) ;
- FinFETs sur substrat sSOI ayant SEG (sSOI + SEG) ;
- FinFETs sur substrat sSOI ayant CESL (sSOI + CESL) ;
- FinFETs sur substrat sSOI ayant subi les contraintes locales SEG et CESL (sSOI + SEG + CESL).

Toutefois, vu le temps assez important nécessaire aux mesures de bruits et vu aussi le nombre très important de mesures à effectuer, nous avons limité notre étude à 2 types de dispositifs. Le premier est le dispositif standard que nous représenterons par le terme SOI et l'autre est le dispositif ayant subi les 3 types de contraintes mentionnées précédemment et il sera représenté par le terme sSOI+SEG+CESL. En statique, la même étude a été réalisée aussi bien pour les p-FinFETs que pour les n-FinFETs, pour les mesures de bruit par contre, nous nous sommes limité aux p-FinFETs.

III.2. Influence de la température sur le fonctionnement des dispositifs électroniques

Bien que les températures de fonctionnement dans le domaine de l'électronique se situent en général aux alentours de la température ambiante, les études se sont développées sur une large gamme allant de quelques Kelvin à quelques centaines de Kelvin. Le choix de la limite indiquant où commencent les basses températures est arbitraire et dans certains ouvrages est prise à 100 K. Les températures inférieures seront alors considérées comme cryogéniques et dans cet intervalle, on trouve les températures de l'azote liquide à 77 K et celle de l'hélium liquide à 4.2 K. Les raisons de l'utilisation de dispositifs électroniques à de telles températures sont, entre autres :

- l'amélioration de leurs performances, notamment une plus grande vitesse ;
- à des fins de recherches et de diagnostic comme l'étude du piégeage des porteurs dans les semi-conducteurs, la détection de défauts dans l'oxyde des MOSFETs, l'identification des défauts, ... ;
- pour l'utilisation de phénomènes n'apparaissant qu'à ces températures telle la supraconductivité ;
- l'amélioration de la fiabilité des dispositifs. En effet, tous les mécanismes de dégradation ont une composante d'activation thermique et une dépendance exponentielle en température ;
- pour l'électronique spatiale ;

La tendance en électronique depuis ces dernières années vers l'ultra-miniaturisation et les hautes performances est intimement liée au fonctionnement à basse température. Ainsi la réduction des structures et des niveaux de signaux (courant et tension) dans les dispositifs électroniques et circuit intégrés et l'augmentation des effets thermiques de manière significative font que la réduction de la température de fonctionnement peut être d'un grand apport.

Facteur toujours influent en électronique, la température affecte tous les types de dispositifs et circuit. Elle influence notamment à très basses températures, les paramètres physiques tels le niveau de Fermi (Figure III.2) et la densité de porteurs libres (Figure III.3), ...

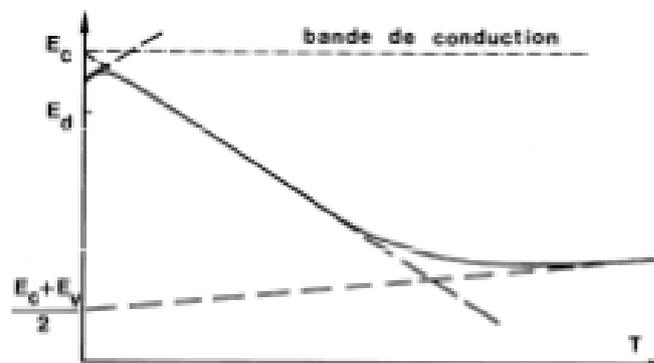


FIGURE III.2.: Variation du niveau de Fermi avec la température [11]

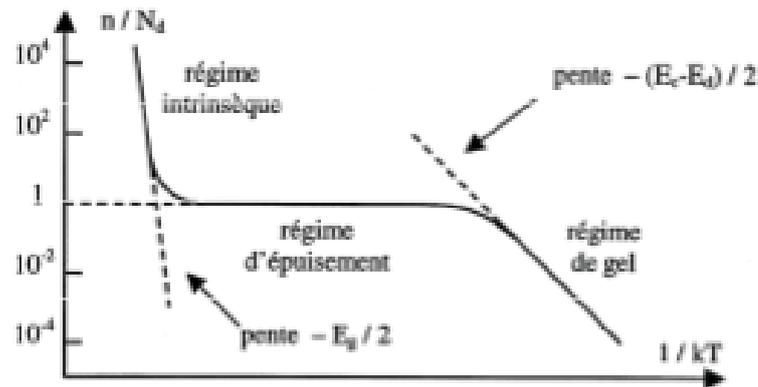


FIGURE III.3.: Allure de variation de densité de porteurs libres avec la température [11].

III.3. Performances en statique des SOI FinFETs à très basse température

III.3.1. Instrumentation de mesure des caractéristiques $I(V)$ et mesures effectuées

Des mesures en statique $I(V)$ pour un lot de transistors de différentes longueurs et de largeurs fixes ont été effectuées en utilisant un traceur de caractéristiques HP4156B (Figure III.4) connecté au porte échantillon TTP4. Pour faire varier la température, et ainsi faire des mesures à basse température, un régulateur de température PID a été utilisé (Figure III.5).

Ces mesures en statique ont été effectuées sur deux structures, une standard (SOI) servant de référence et l'autre ayant subi les trois contraintes mécaniques (sSOI+SEG+CESL) et ceci pour des n et p-FinFETs et à des températures de 10, 80 et 300 K. Les mesures $I_d(V_g)$ ont été effectuées en régime linéaire avec une tension de drain de 20 mV et une tension de grille variant de 0,5 à -1,5 V pour les p-FinFETs ou de -0,5 à 1,5V pour les n-FinFETs. Quant aux mesures en régime de saturation $I_d(V_d)$, elles ont été réalisées pour des tensions de drain qui varie de 0,5 à -1,2 V (p-FinFETs) ou -0,5 à 1,2 V (n-FinFETs) et ce, pour différentes tensions de grille V_g (0 ; 0,5 ; 0,6 ; 0,7 ; 0,8 ; 0,9 et 1 V). Nous rappelons que si la méthode principale d'extraction des différents paramètres des dispositifs testés, à 80 et 300 K, est la méthode Y, à 10 K, nous avons utilisé une variante de la fonction Y, plus adaptée aux très basses températures (voir le chapitre II).



FIGURE III.4.: Traceur de courbe HP4556B utilisé pour les mesures en courant continu.

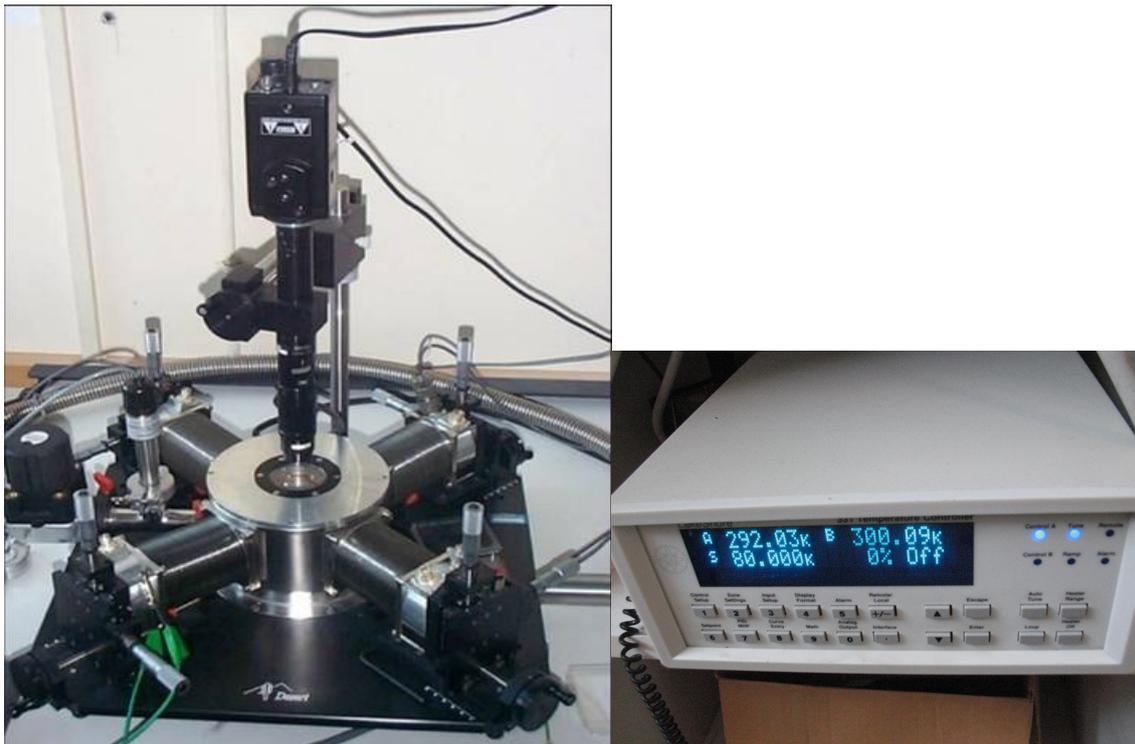


FIGURE III.5.: Porte échantillon TTP4 et régulateur de température PID utilisés pour les mesures sous points.

III.3.2. Résultats obtenus en statique et discussions

Les figures IV.6 et IV.7 représentent les courants de drain I_D et la la transconductance g_m obtenus en fonction de la tension de grille pour des transistors p-FinFETs contraints (sSOI+SEG+CESL)

ou standards (SOI) pour différentes longueurs de grille (de $0,14 \mu m$ à $1 \mu m$) et à la température de 10 K. La figures IV.8 et IV.9 présentent quant à elles, les courants de drain I_D et la transconductance g_m obtenus en fonction de la tension de grille pour des transistors n-FinFETs standards ou contraints et ce pour différentes longueurs de grille (de $0,16 \mu m$ à $1 \mu m$) et à la même température de 10 K. Ces figures montrent clairement que les caractéristiques électriques à une très basse température changent avec la longueur de grille et la présence ou non de contraintes mécaniques.

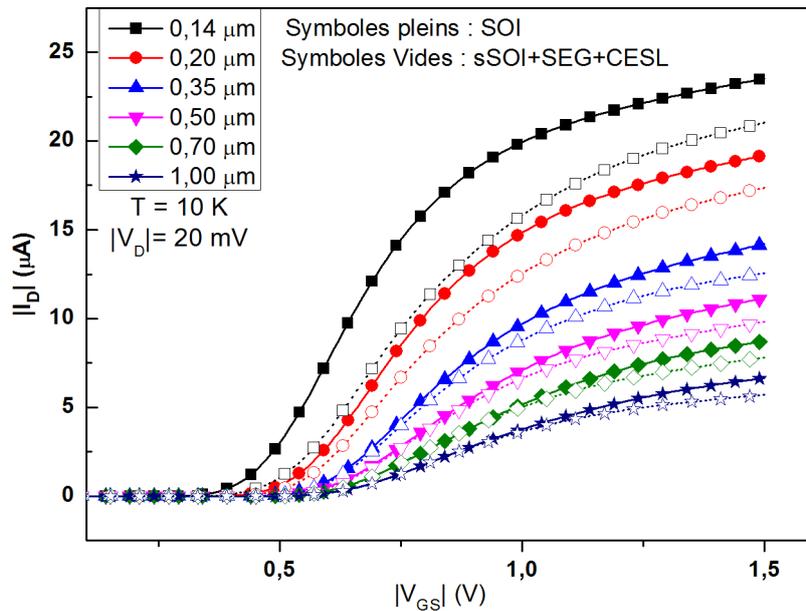


FIGURE III.6.: Caractéristiques $I_d(V_{gs})$ obtenues dans le cas des p-FinFETs pour plusieurs longueurs de grille à une température de 10 K.

On y observe un comportement correct de tous les dispositifs étudiés y compris pour les plus petites longueurs, ainsi :

- qu'un effet DIBL pour tous les dispositifs, effet qui s'accroît pour les petites longueurs et est beaucoup plus important dans le cas des nFinFETs ayant subi des contraintes mécaniques.
- et un impact différents des contraintes mécaniques sur le courant de drain selon le type n ou p du transistor. Si cet impact est bénéfique dans le cas des n-FinFETs (amélioration du courant de drain), il devient négatif dans le cas des p-FinFETs où on observe une dégradation du courant de drain et de la transconductance qui est de plus en plus importante quand la longueur de grille décroît. A noter cependant, que ceci n'est pas le cas pour les p-FinFETs contraints avec un oxyde de grille High-K à base d' HfO_2 [93].

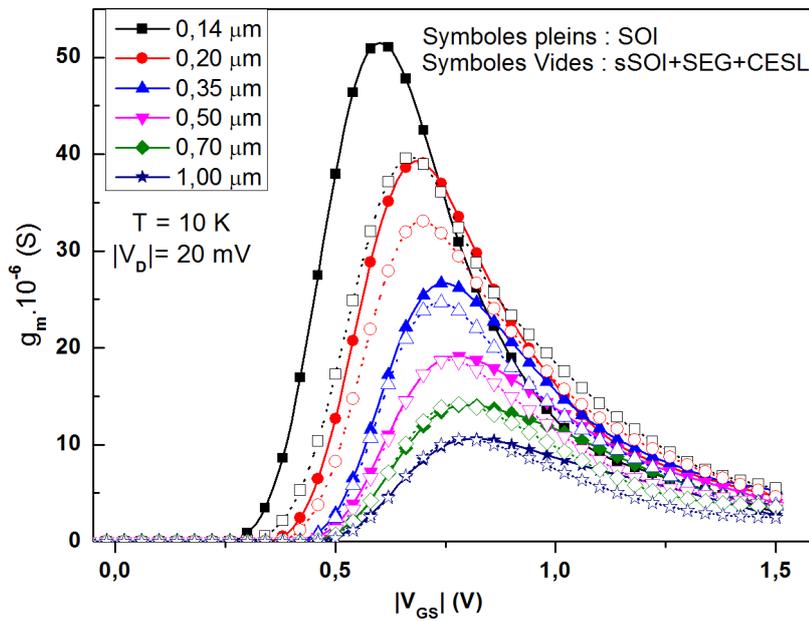


Figure III.7.: Caractéristiques $g_m(V_{gs})$ obtenues dans le cas des p-FinFETs pour plusieurs longueurs de grille à une température de 10 K.

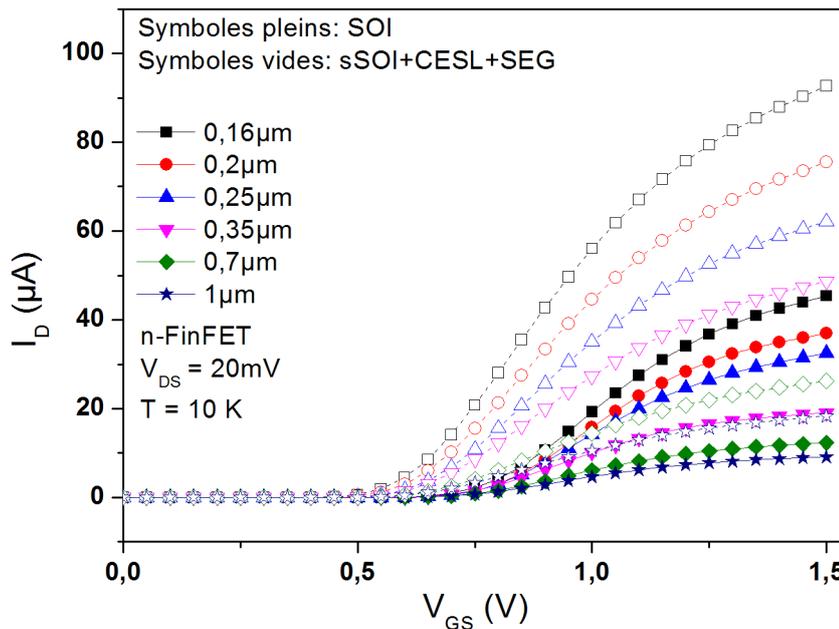


FIGURE III.8.: Caractéristiques $I_d(V_{gs})$ obtenues dans le cas des nFinFETs pour plusieurs longueurs de grille à une température de 10 K.

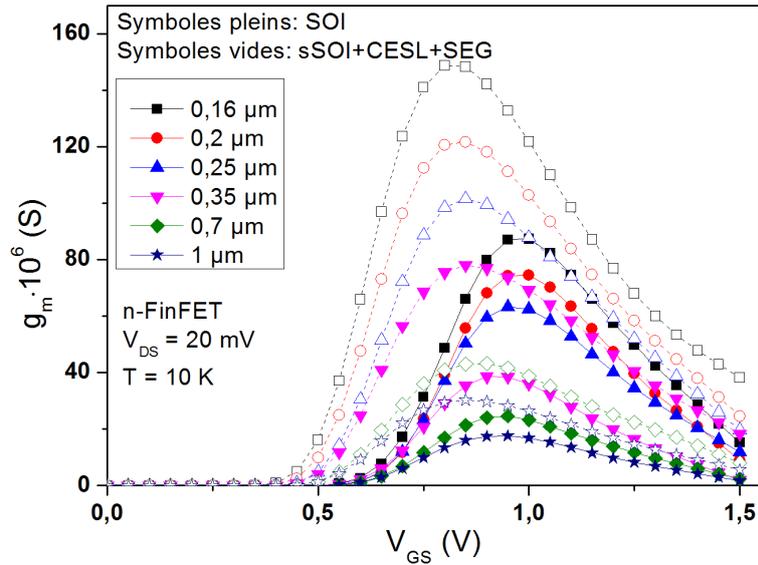


FIGURE III.9.: Caractéristiques $g_m(V_{gs})$ obtenues dans le cas des nFinFETs pour plusieurs longueurs de grille à une température de 10 K.

Les figures IV.10 et IV.11 illustrent quant à elles les caractéristiques $I_D(V_{GS})$ et $g_m(V_{GS})$ à 10, 80 et 300 K des p et n FinFETs contraints ou non respectivement. On y observe une amélioration de la pente sous le seuil ainsi qu'une augmentation du maximum de la transconductance avec la réduction de la température. On observe aussi que pour les dispositifs de type n, l'amélioration des performances due aux contraintes mécaniques est plus importante aux basses températures qu'à température ambiante. Quant à la dégradation du courant de drain et la transconductance, due aux contraintes mécaniques, dans le cas des p-FinFETs, elle s'observe aussi à 80 K et 300 K.

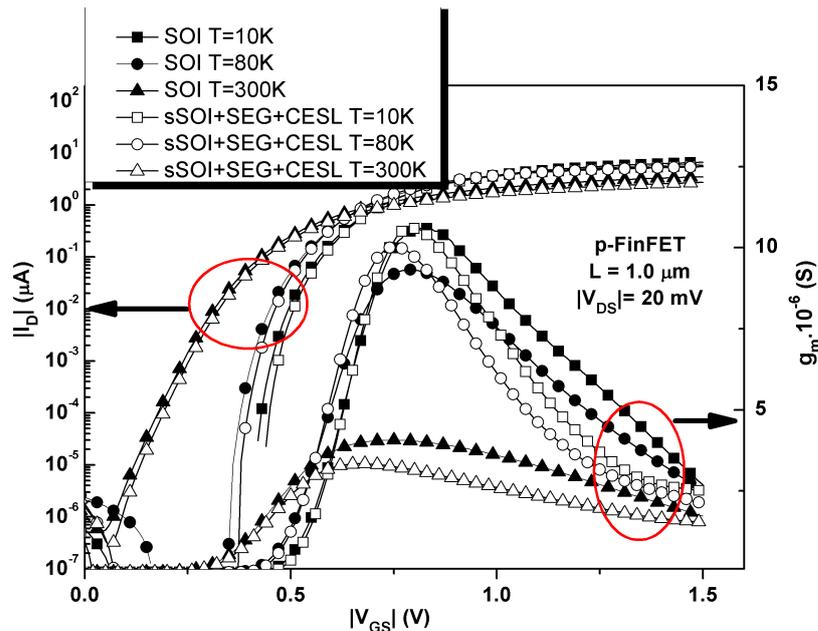


Figure III.10.: Caractéristiques $I_d(V_{gs})$ et $g_m(V_{gs})$ obtenues pour les pFinFETs de longueur de grille $1 \mu\text{m}$ à 10, 80 et 300 K

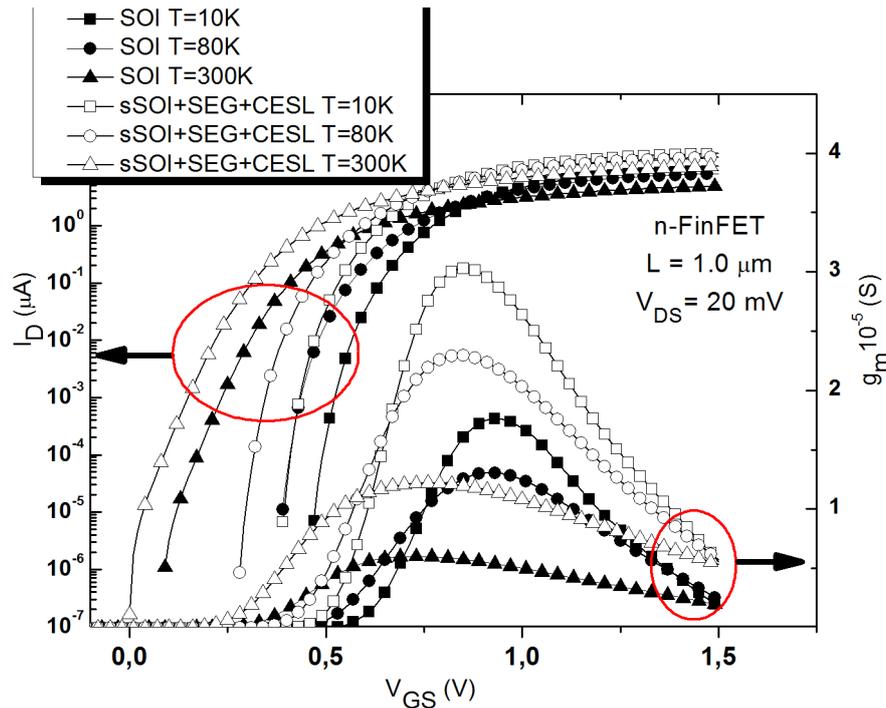


FIGURE III.11.: Caractéristiques $I_d(V_{gs})$ et $g_m(V_{gs})$ obtenues pour les nFinFETs de longueur de grille $1 \mu\text{m}$ à 10, 80 et 300 K

III.3.2.1. Mobilité

La mobilité est l'un des paramètres électriques les importants des transistors car renseignant sur la qualité du transport électronique. Dans les semi-conducteurs, la mobilité des électrons est toujours supérieure à la mobilité des trous. Ceci peut s'expliquer par le fait que les électrons participant à la conduction sont quasi libres dans bande de conduction alors que les trous correspondent au vide laissé par un électron passé sur la bande de conduction. Pour que le trou se déplace, il faut qu'un électron de valence d'un atome voisin vienne prendre sa place ce qui est moins facile d'un point de vue quantique.

Sur la Figure III.12 sont représentés les mobilités extraites pour les dispositifs n et p en fonction de la température. Si pour 80 K et 300 K, les mobilités extraites sont les mobilités à faible champ, à 10 K par contre, c'est le maximum de la mobilité effective qui est extrait en utilisant la méthode Y adaptée aux très basses températures. Malgré l'augmentation de g_{mmax} quand la température diminue, les mobilités extraites (Figure III.12) pour les dispositifs étudiés sont toujours plus importantes à 80 K qu'à 300 K (d'environ 100 % à 200 % plus importante pour les n-FinFETs et entre 50 et 100% pour les p-FinFETs). Puis elles décroissent à 10 K mais restent tout de même plus importantes que les valeurs trouvées à température ambiante (de 15 à 50% pour

les p-FinFETs et de 75 à 100% pour les n-FinFETs).

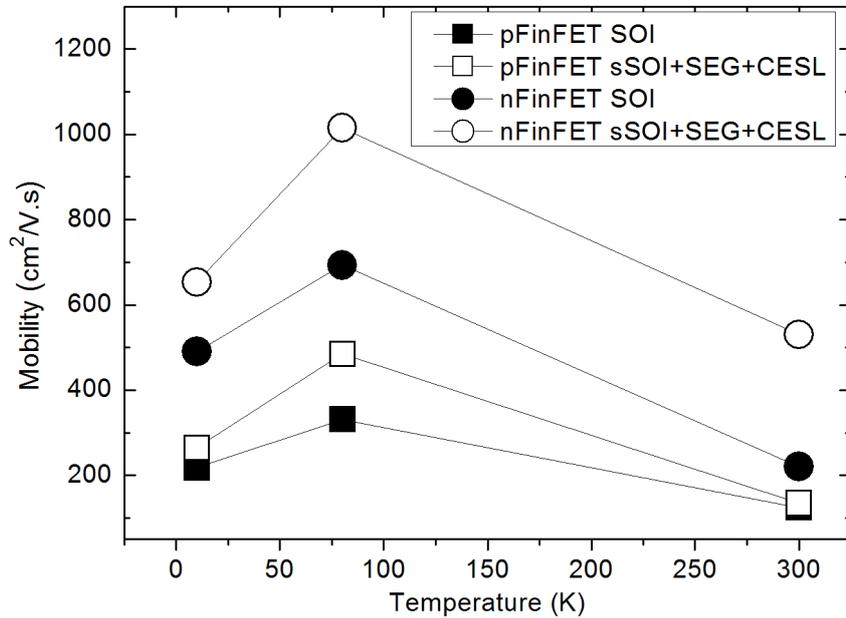


Figure III.12.: La variation de la mobilité en fonction de la température pour les p et n-FinFETs standards ou contraints.

Ce phénomène où on observe une amélioration de la mobilité de canal jusqu'à une température aux alentours de 80 K suivie d'une dégradation pour des températures plus basses a déjà été mis en évidence [101]. Il s'explique par la réduction des collisions sur les phonons quand la température baisse au-dessous de 300 K. Quand à la dégradation de la mobilité à très basses températures, elle peut être liée aux collisions sur les rugosités de surfaces à l'interface S_i/S_iO_2 .

Les valeurs de la mobilité des transistors de type n ayant subi des contraintes mécaniques montrent que ces dernières ont un impact considérable sur la mobilité par rapport aux transistors standard quelle que soit la température. Pour les n-FinFETs, on observe ainsi une augmentation de la mobilité à faible champ d'environ 240 % à température ambiante. Cette augmentation se réduit aux alentours de 200 % à 80 K puis à environ 130% seulement à 10 K. Ceci peut être expliqué par un impact plus prononcé des mécanismes de dispersion (Collisions sur les centres coulombiens et rugosité de surface) dans les structures contraintes à très basse température. Par contre, concernant les p-FinFETs, l'impact des contraintes mécaniques sur la mobilité est optimal à 80 K où l'on a un gain d'environ 50 %. Ce gain chute à moins de 20 % à 10 K et à moins de 10 % à la température ambiante.

III.3.2.2. Tension de seuil

Définie comme étant la tension de grille pour laquelle la zone d'inversion apparaît, la tension de seuil dépend fortement de la température de fonctionnement, et augmente quand cette dernière diminue. Et vu les faibles tensions d'alimentation des transistors préconisées pour les futurs noeuds technologiques (0,9 V pour le noeud technologique 32 nm) (Tableau I.1), la maîtrise de ce paramètre devient primordiale. En général, dans diverses études effectuées entre 80 et 300 K, on observe une réduction linéaire de la tension de seuil en augmentant la température et ce phénomène est relié à la réduction du potentiel de Fermi avec la température [102].

Les figures IV.13 et IV.14 montrent respectivement, les tensions de seuil extraites dans le cas des p et n-FinFETs standard (SOI) et contraint (sSOI+SEG+CESL) de longueurs de grille 0,2 et 1 μm aux températures 10, 80 et 300 K. Concernant les p-FinFETs étudiés (Figure III.13), l'allure des pentes ne diffère pas d'une structure à l'autre (Standard ou contrainte) et la tension de seuil diminue avec un taux de -0,57 mV/K entre 80 et 300 K. Ce taux est de -0,88 mV/K pour les n-FinFETs standards et de - 0,37 mV/K pour ceux ayant subi des contraintes (Figure III.14). A très basses températures par contre, on observe le phénomène contraire pour tous les dispositifs étudiés, la valeur de la tension de seuil devenant proche de celle trouvée à température ambiante. Ce comportement peut être lié à celui du niveau de Fermi et du potentiel de surface aux très basses températures où la concentration intrinsèque des porteurs devient dépendante de la température (voir les figures III.2 et III.3).

Quant à l'impact des contraintes mécaniques sur la tension de seuil, on observe une légère augmentation de cette dernière dans le cas des p-FinFETs longs. Cet impact devient pratiquement nul pour la petite longueur quelle que soit la température. Dans le cas des n-FinFETs par contre, l'impact des contraintes mécaniques est beaucoup plus prononcé et varie selon la température. Alors qu'à température ambiante, elles induisent une augmentation, à basse température (10 et 80 K), elles mènent à une importante réduction de la tension de seuil de l'ordre de 100 à 150 mV, réduction d'autant plus importante que la longueur de grille est faible.

Concernant la dépendance de la tension de seuil par rapport à la longueur de grille, on voit que pour les composants fortement submicroniques, l'effet de partage de charge entraîne une réduction de la tension de seuil de plus en plus importante. Ce phénomène de partage de charge est dû au fait qu'en diminuant la longueur de grille, la partie de la charge contrôlée par les jonctions source et drain devient non négligeable devant celle qui est contrôlée par la grille, induisant ainsi une réduction de la tension de seuil. Dans le cas des dispositifs testés, le partage de charge assez

important pour les p-FinFETs (contraints ou non) à 10 K où la réduction de V_{th} pour les plus petites longueurs est de l'ordre de 20% (Figure III.15). Ce phénomène est moins prononcé à 80 K, où la réduction de la tension de seuil pour tous les dispositifs étudiés est inférieure à 10 %.

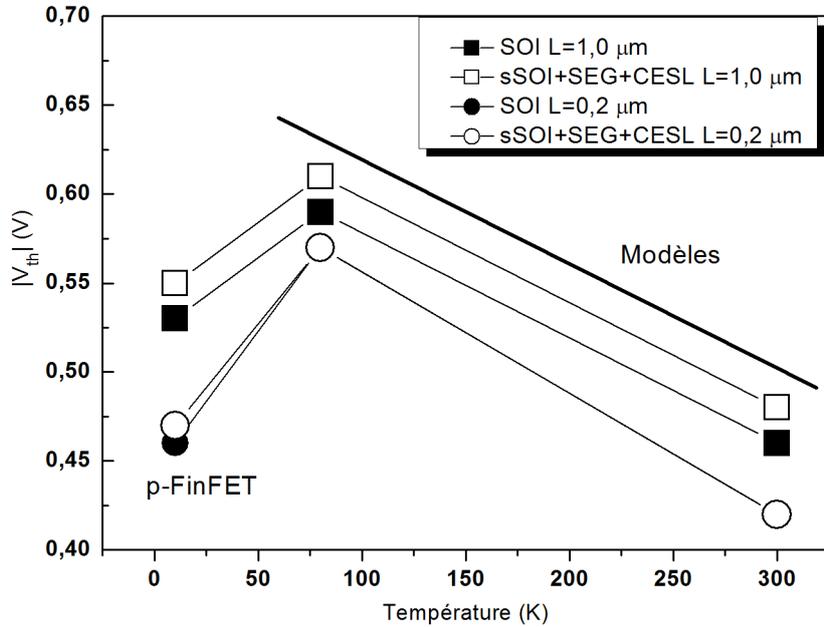


Figure III.13.: Variation de la tension de seuil V_{th} en fonction de la température pour des dispositifs pFinFETs standards ou contraints de longueurs de grilles 0,2 et 1,0 μm .

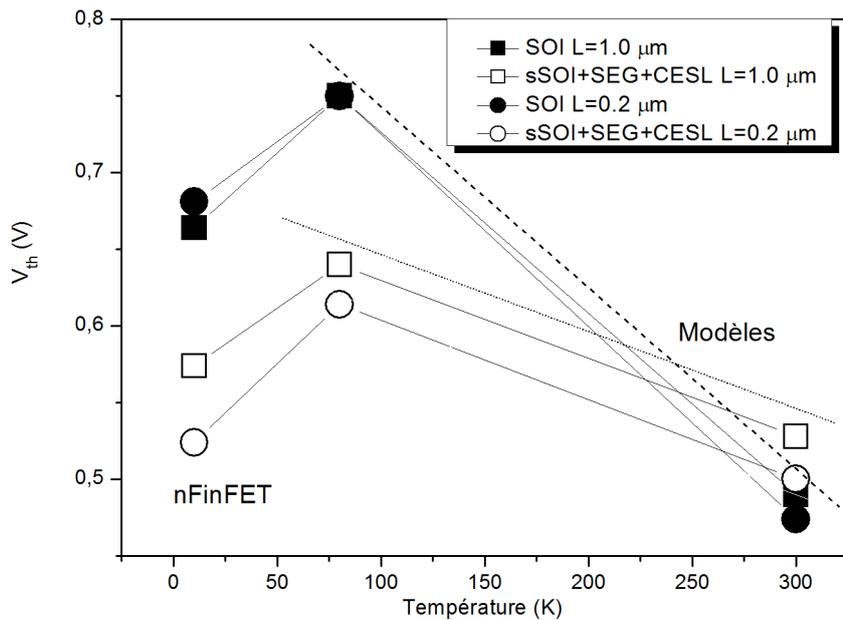


Figure III.14.: Tension de seuil V_{th} en fonction de la température pour des dispositifs nFinFETs standards ou contraints de longueurs de grilles 0,2 et 1,0 μm .

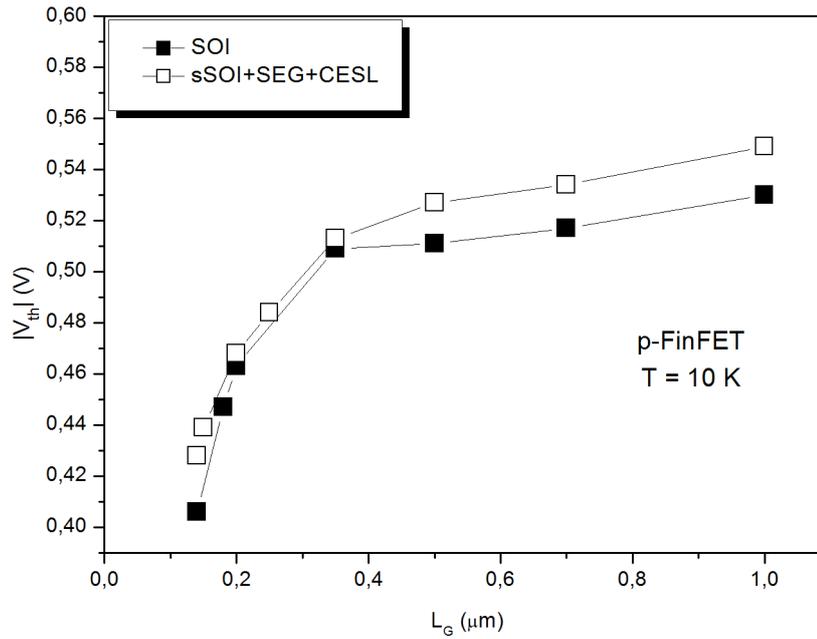


FIGURE III.15.: Variation de la tension de seuil V_{th} en fonction de la longueur de grille pour des dispositifs pFinFETs standards ou contraints à une température de 10 K.

III.3.2.3. Pente sous le seuil

La pente sous le seuil S est un paramètre électrique important surtout dans le cas des circuits de commutation. Ainsi, le swing, qui est l'inverse de la pente sous le seuil, exprime-t-il la rapidité de passage de l'état "Off" à l'état "On" du transistor. Comme on peut le constater dans l'équation suivante :

$$Swing = \frac{1}{\frac{\partial \log(I_d)}{\partial V_g}} = 2,3 \frac{kT}{q} \cdot \frac{C_{ox} + C_{it} + C_{do}}{C_{ox}} \quad (\text{III.1})$$

le swing est lié à la quantité d'états d'interface par sa dépendance en C_{it} et renseigne notamment sur la qualité de l'oxyde. Dépendant aussi de la température, il peut être réduit en réduisant la température de fonctionnement. Les figures IV.16 et IV.17 montrent la variation de la pente sous le seuil en fonction de la température pour les FinFETs étudiés (p et n-FinFETs standards ou contraints) pour des longueurs de grilles variant de 0,15 à 1 μm . A 80 K et 300 K, la valeur de S est proche des valeurs idéales (représentées par les droites continues sur les figures) alors qu'à 10 K, on observe une saturation de S à environ 8 mV/dec ou plus pour les pFinFETs et 10 mV/dec ou plus pour les nFinFETs pour une valeur idéale d'environ 2 mV/dec . Cette saturation de la valeur de la pente sous le seuil à basse température peut être liée à l'augmentation des états d'interface

en bord de bandes et apparaît généralement à des températures inférieures à 80 et 20 K. Ce phénomène a déjà été observé pour d'autres technologies plus anciennes, mais avec une saturation de S à des valeurs plus importantes (environ 20 mV/dec) que celles obtenues dans le cas de nos dispositifs [14, 58]. On observe aussi que la dispersion de la valeur de S en fonction de la longueur de grille est toujours moindre à 80 K et plus importante à température ambiante.

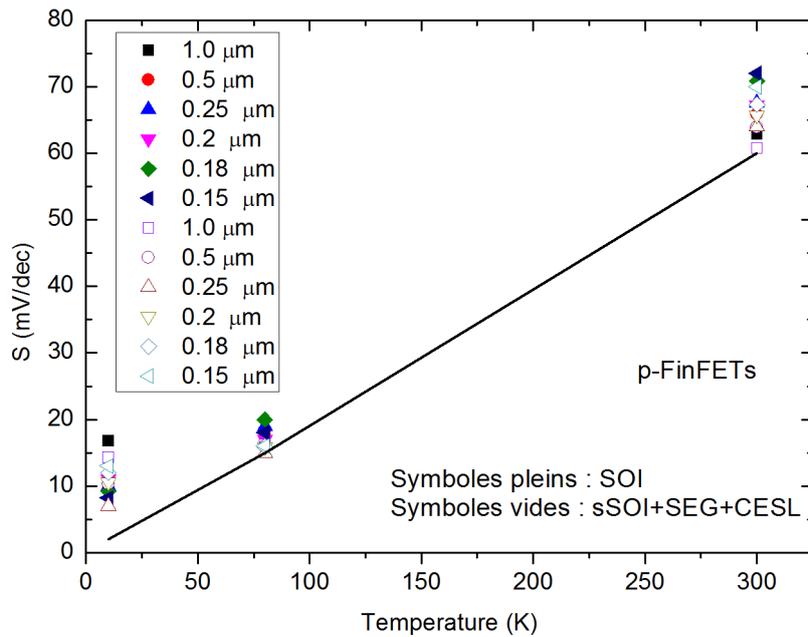


Figure III.16.: Variation de la pente sous le seuil en fonction de la température pour les p-FinFETs.

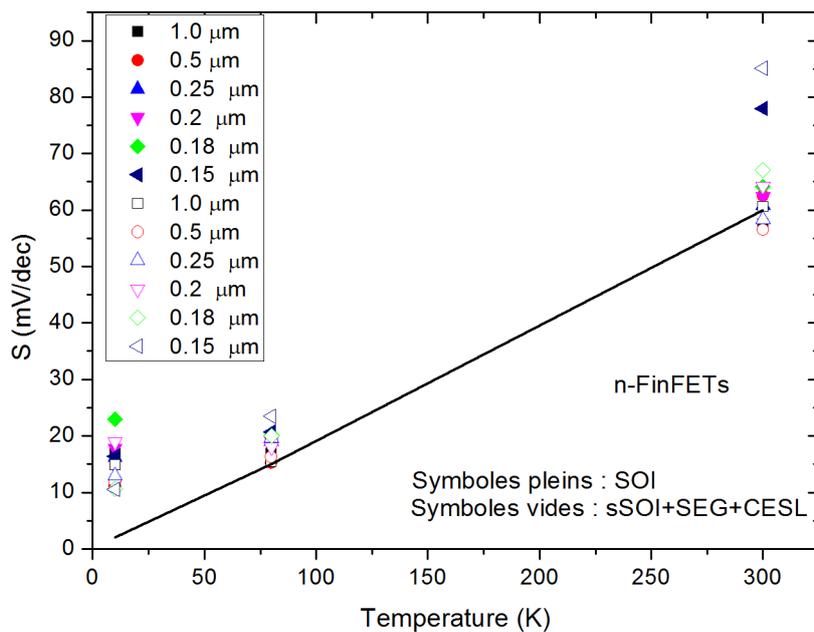


Figure III.17.: Variation de la pente sous le seuil en fonction de la température pour les n-FinFETs.

III.3.2.4. Résistance d'accès et longueur effective

Les résistances d'accès ont un impact direct sur le courant de drain qui diminue quand leurs valeurs augmentent. C'est ainsi l'un des inconvénients quant à l'utilisation des FinFETs à canaux étroits. Le Tableau III.1 résume les résistances d'accès et la différence entre longueurs de masque et longueurs effectives ($\Delta L = L_G - L_{eff}$) obtenues pour les dispositifs étudiés aux différentes températures. On constate tout d'abord que les résistances d'accès extraites, sont plus importantes dans le cas des p-FinFETs que dans le cas des n-FinFETs. On remarque aussi que si la température influe peu sur la résistance d'accès des p-FinFETs, elle a un impact plus prononcé dans le cas des n-FinFETs où la résistance d'accès diminue de manière importante en passant de 300 K à 80 K pour le n-FinFET contraint. Aux basses températures par contre, la température ne semble pas avoir une grande influence dans la mesure où les valeurs des résistances d'accès à 10 K sont assez proches celles obtenues à 80 K. Quant à l'impact des contraintes mécaniques, on constate qu'il est plus important dans le cas des n-FinFETs que pour les p-FinFETs. Les résistances d'accès des FinFETs de type n, sont ainsi réduites d'environ 40 % à 300 K et 50 % à 80 K et 10 K, alors que pour les p-FinFETs, cette réduction est inférieure à 10 % pour les basses températures.

	T (K)	n-FinFETs		p-FinFETs	
		SOI	sSOI+SEG+CESL	SOI	sSOI+SEG+CESL
r_{access} (Ohms)	10	178	84	800	750
	80	181	82	720	670
	300	210	123	695	780
ΔL (nm)	10	18	22	99	60
	80	37	26	-	-
	300	54	49	95	75

Table III.1.: Résistances d'accès et ΔL extraits pour les dispositifs n et p-FinFETs.

La longueur effective est la seule parmi les différentes longueurs caractérisant les transistors MOSFET (masque, physique, métallurgique) à pouvoir être extraite des mesures électriques. Elle renseigne sur le contrôle effectif de la grille sur canal et est directement liée au niveau de courant délivré par le transistor. On observe, d'après les résultats obtenus (Tableau III.1) que dans le cas des n-FinFETs, la réduction de la température améliore ce paramètre, ce qui permet un meilleur contrôle du canal. Ainsi, par exemple, pour la plus petite longueur n-FinFET disponible (0,13 μm), la grille contrôle effectivement 60 % à 300 K contre 85 % à 10 K. Pour les p-FinFETs, par contre, on constate une faible amélioration dans le cas des dispositifs ayant subi des contraintes

mécaniques. Quant à l'impact de ces dernières sur ce paramètre, pour les n-FinFET, les valeurs de ΔL sont similaires pour toutes les températures, alors que pour les p-FinFETs, les contraintes mécaniques induisent une réduction de ΔL de l'ordre de 20 % à 300 K et de 40 % à 10 K.

III.3.3. Résultats obtenus en saturation

En saturation, les principaux paramètres extraits sont le courant de saturation I_{dsat} , la tension de saturation V_{dsat} , les courants I_{on} et I_{off} et la vitesse de saturation des porteurs. Pour cela, des mesures en statique ont été effectuées sur deux structures, une standard (SOI) servant de référence et l'autre ayant subi les trois contraintes mécaniques (sSOI+SEG+CESL) et ceci pour des n et p-FinFETs et à des températures de 10, 80 et 300 K. Ces mesures ont été réalisées pour des tensions de drain variant de 0,5 à -1,2 V pour les p-FinFETs ou -0,5 à 1,2 V pour les n-FinFETs et ce, pour différentes tensions de grille V_g (0 ; 0,5 ; 0,6 ; 0,7 ; 0,8 ; 0,9 et 1 V). La Figure III.18 montre un exemple de caractéristiques $I_d(V_d)$ obtenues à 10 K pour les dispositifs p-FinFETs standards pour 3 longueurs de grille (0,13 0,25 et 0,7 μm) alors que la Figure III.19 illustre un exemple de caractéristiques obtenues à la même température et pour les mêmes longueurs de grille, pour les dispositifs de type n.

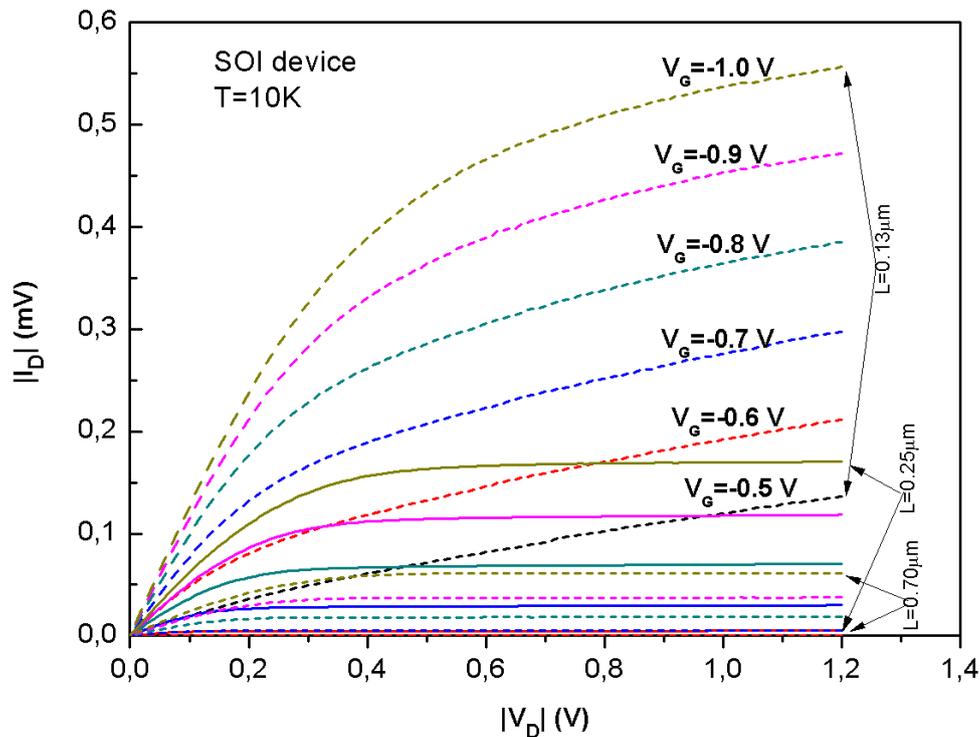


FIGURE III.18.: Caractéristiques $I_d(V_d)$ obtenues à 10 K pour les dispositifs p-FinFETs standards.

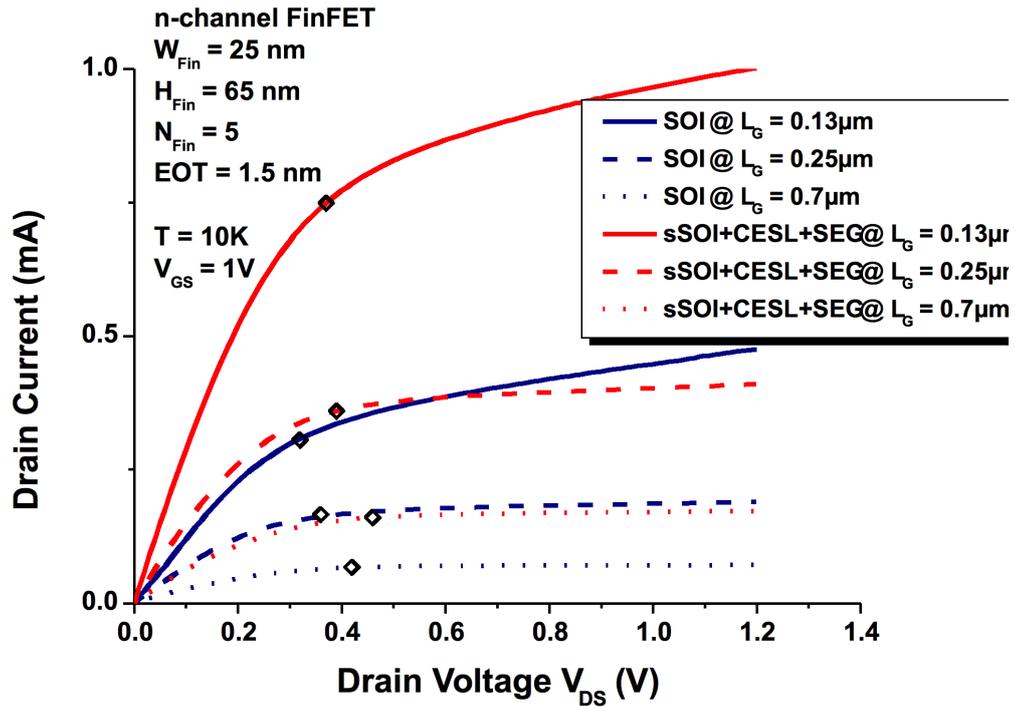


FIGURE III.19.: Caractéristiques $I_d(V_d)$ obtenues à 10 K pour les dispositifs n-FinFETs standards et contraints.

III.3.3.1. Courants I_{on} et I_{off} :

Le courant I_{on} est un bon indicateur des performances des dispositifs MOSFETs, notamment pour ceux utilisés dans les circuits logiques où il est prépondérant. Il influence directement sur le délai intrinsèque de la grille $\tau_g = \frac{C_g V_{DD}}{I_{ON}}$, qui lui est inversement proportionnel. D'un autre côté, la dissipation de puissance qui a été mise en évidence comme facteur limitant pour les transistors courts [103], est due au courant de fuite qui augmente de génération en génération. Dans les technologies optimisées, ce courant est la résultante des courants de grille et des courants de diffusion source/drain sous le seuil, contrôlés par la grille. Le niveau de ces courants doit donc être maîtrisé pour réduire la dégradation de I_{OFF} .

Les valeurs des courants I_{on} (qui est égale à la valeur du courant de drain quant les tensions de grille et de drain sont de 1 V) et I_{off} (qui est égale à la valeur du courant de drain quand la tension de grille est nulle alors que celle du drain est de 1 V) extraites des caractéristiques de transfert $I_d(V_d)$ aux températures 10 K et 300 K, sont représentées dans le Tableau III.2 pour les nFinFETs et dans le Tableau III.3 pour les pFinFETs et ce pour deux échantillons de dispositifs contraints ou non, de longueurs $0,7 \mu\text{m}$ ou $0,13 \mu\text{m}$.

On remarque tout d'abord, que travailler à une très basse température, influe positivement aussi bien sur le courant I_{ON} que sur le courant de fuite I_{OFF} . Toutefois, cette influence est moins

importante sur le courant I_{ON} où le gain est de 10 à 20 % pour les nFinFETs courts et de 5 à 50% pour les pFinFETs. En ce qui concerne le courant de fuite I_{off} par contre, l'influence est beaucoup plus importante, surtout sur la petite longueur où on constate une nette amélioration du courant I_{off} qui est divisé par un rapport de 40 à 50 dans le cas du n-FinFET, et par un rapport de 2 à 5 pour les p-FinFETs.

Concernant les contraintes mécaniques, dans le cas des n-FinFETs, elles ont un impact positif sur le courant I_{on} qui est multiplié par un rapport de 2 à 2,4 et ce quelle que soit la longueur de grille et la température. Cet impact devient négatif sur le courant I_{off} qui est multiplié par rapport de 800 (à 300 K) et 20000 (à 10 K) pour la grande longueur et par un rapport de 4 à 5 pour la petite longueur. Dans le cas des pFinFET par contre, elles n'ont presque pas d'impact pour la grande longueur, surtout à 10 K, et on constate une détérioration du courant I_{on} d'environ 30 % pour la petite longueur quelle que soit la température. Elles sont par contre un impact positif sur le courant de fuite dans le cas de la petite longueur où il est divisé par un rapport de 7,7 à 10 K et un rapport de 20 à 300 K.

Le rapport I_{on}/I_{off} varie alors d'une valeur 24 pour le nFinFET contraint de longueur 0,13 μm à 300 K, à une valeur de 1341 à 10 K, alors que pour le standard, il passe de 55 à 300 K à 2281 à 10 K. Pour les pFinFETs, toujours pour la petite longueur, ce rapport passe de 40 à 300 K pour le dispositif standard, à une valeur de 230 à 10 K, alors que pour le dispositif contraint, il passe d'une valeur de 605 à 300 K à 1234 à 10 K. Ceci permet de conclure qu'en général, faire fonctionner ces dispositifs à une très basse température permet d'améliorer très sensiblement le rapport I_{on}/I_{off} pour pratiquement tous les échantillons testés.

nFinFETs	L_G	SOI		sSOI+SEG+CESL	
		10 K	300 K	10 K	300 K
$I_{on}(\mu A)/I_{off}(nA)$	0,7 μm	71 / 0,001	61 / 0,014	170 / 19	142 / 11
	0,13 μm	447 / 196	433 / 7891	965 / 720	894 / 36970

TABLE III.2.: Valeurs de I_{on} et I_{off} extraites des échantillons n-FinFETs contraints ou non pour deux longueurs de grilles, à 10 K et 300 K.

pFinFETs	L_G	SOI		sSOI+SEG+CESL	
		10 K	300 K	10 K	300 K
$I_{on}(\mu A)/I_{off}(nA)$	0,7 μm	61 / 0,13	45 / 0,26	61 / 10	38 / 0,15
	0,13 μm	537 / 2331	510 / 12670	374 / 303	347 / 618

TABLE III.3.: Valeurs de I_{on} et I_{off} extraites des échantillons p-FinFETs pour deux longueurs de grilles, à 10 K et 300 K.

III.3.3.2. Vitesse de saturation des porteurs

La vitesse de saturation des porteurs est la vitesse de drift qui correspond à la valeur maximale de la vitesse des porteurs dans le canal. Elle varie proportionnellement par rapport à l'inverse de la longueur du canal. Sur la Figure III.20 (Figure III.21) sont montrées les variations, en fonction de l'inverse de la longueur de grille, des vitesses de saturation maximales extraites pour les dispositifs pFinFETs (nFinFETs) standards ou contraints. On observe tout d'abord que la vitesse maximum augmente presque linéairement avec la réduction de la température et est maximale à très basses températures pour tous les dispositifs étudiés (Figure III.22). Cela est expliqué par la réduction des collisions sur les phonons quand la température baisse.

Par contre, l'impact des contraintes mécaniques est différent selon le type n ou p des transistors. Si pour les nFinFETs elles augmentent très sensiblement la vitesse maximale des porteurs (d'environ 100 % (110 %) pour la grande longueur et 70 % (80 %) pour la plus petite longueur à la température de 10 K (300 K)), dans le cas des pFinFETs, les contraintes mécaniques ont tendance à la réduire surtout pour les plus petites longueurs (environ -30 %). On peut aussi noter que ce n'est que dans le cas des dispositifs nFinFETs contraints les plus courts (sSOI+SEG+CESL, $L_g = 0,13 \mu m$) et à très basse température, que la vitesse maximum est le plus proche du régime non-stationnaire ($13,2 \cdot 10^6 \text{ cm/s}$ à cette température [104]) (Figure III.21).

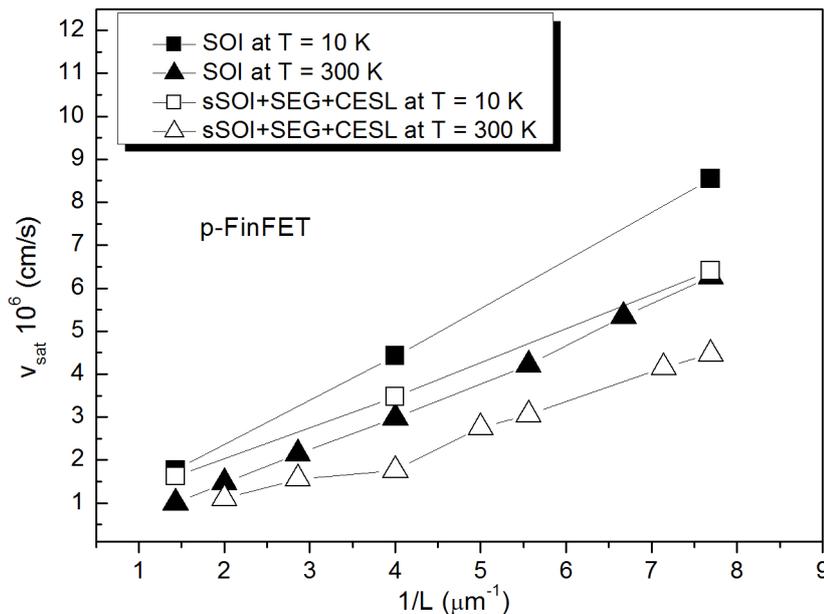


FIGURE III.20.: Variation de la vitesse de saturation v_{sat} en fonction de l'inverse de la longueur de grille dans le cas des p-FinFET à 10 et 300 K.

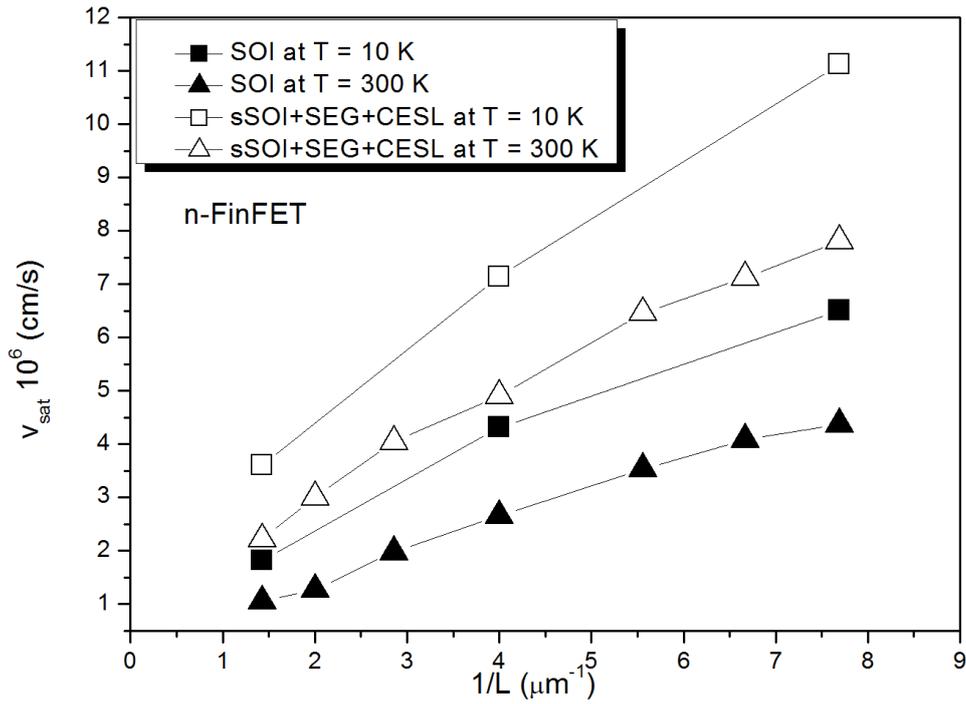


FIGURE III.21.: Variation de la vitesse de saturation v_{sat} en fonction de l'inverse de la longueur de grille dans le cas des nFinFET à 10 et 300 K.

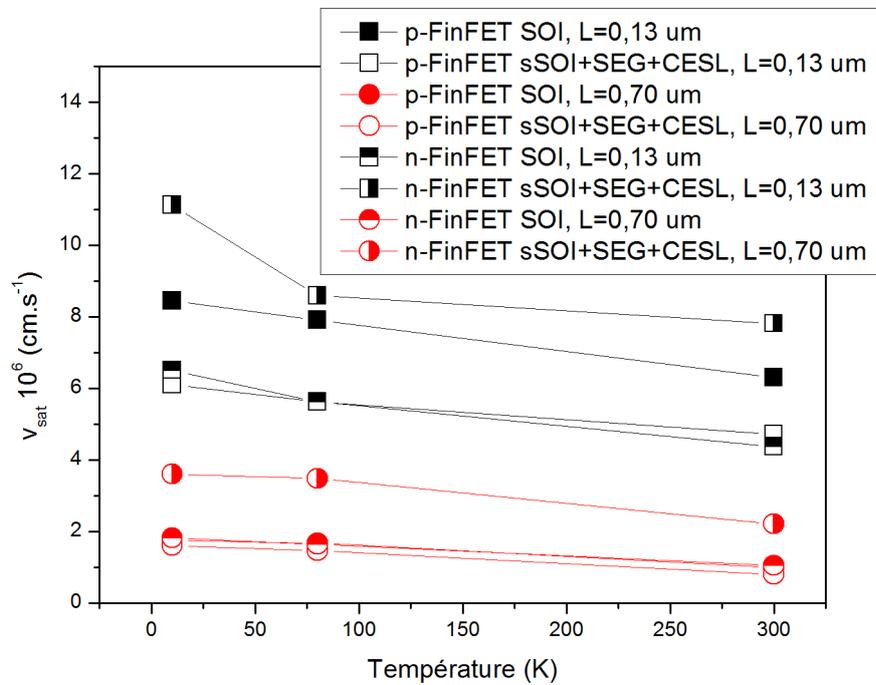


Figure III.22.: Variation de la vitesse maximale en fonction de la température pour les dispositifs n et pFinFETs (L=0,13 et 0,7 um).

Conclusion

Dans le cadre de cette étude, des mesures en statique dans les régimes de fonctionnement linéaire et en saturation ont été réalisées à 10, 80 et 300 K et ce, pour des p et n FinFETs ayant subi des contraintes mécaniques ou non. Nous avons constaté que les performances des dispositifs étudiés sont en général, améliorées à 10 K par rapport à la température ambiante. En particulier, la mobilité μ est toujours plus importante qu'à température ambiante et la valeur de la tension de seuil légèrement plus importante que celle trouvée à 300 K mais plus faible d'à 80 K. L'utilisation de ces dispositifs à une très basse température permet aussi d'avoir des pentes sous le seuil inférieures à 20 mV/dec pour pratiquement tous les dispositifs étudiés améliorant ainsi leurs vitesses de commutation. Toutefois, la résistance d'accès R_{on} est légèrement dégradée pour les p-FinFETs alors qu'on observe une amélioration dans le cas des nFinFETs quand la température baisse. Le fonctionnement cryogénique permet aussi un meilleur contrôle du canal par la grille, dont la longueur effective est en général plus importante à basse température. On obtient aussi de plus grandes vitesses de saturation des porteurs et une amélioration très sensiblement du rapport I_{on}/I_{off} pour pratiquement tous les échantillons testés.

IV. Etude en bruit basse fréquence et à très basse température des SOI p-FinFETs.

Introduction.

Parmi les buts recherchés dans toute étude du bruit basse fréquence, nous pouvons citer la recherche de l'origine physique de ce dernier, origine qui est habituellement liée aux défauts dans le matériau ou composant, défauts dont la localisation permet notamment d'établir une corrélation avec les paramètres de ce matériau ou composant. Parmi tous les paramètres qui caractérisent les dispositifs MOSFETs, l'impact du niveau de bruit basse fréquence joue actuellement un rôle majeur dans la mesure où il augmente continuellement avec la miniaturisation. La température aussi influe sur le niveau de bruit basse fréquence dans les dispositifs MOSFETs, une influence qui peut être différente selon le type (p ou n) du dispositif. Ainsi, il a été rapporté dans [88] que l'augmentation de la température augmente le niveau de bruit dans les p-MOSFETs alors qu'il le réduit dans les n-MOSFETs. Plusieurs autres travaux portant sur le bruit basse fréquence dans les transistors FinFETs [105, 61] ont été publiés, certains incluant l'impact de la température dans l'intervalle 80 - 300 K [106, 107, 108]. En général, le modèle du bruit $1/f$ pour ce type de dispositifs est celui de McWerther pour le canal avec une contribution des résistances d'accès à fort V_g [75]. Cependant peu de travaux ont été effectués sur le bruit basse fréquence dans les MOSFETs à très basses températures [109] et le même constat peut être fait en ce qui concerne les FinFETs multi-grilles. Aussi, s'est-on intéressé au comportement en bruit basse fréquence des dispositifs SOI p-FinFETs à une température de 10 K. Les résultats obtenus seront principalement comparés à ceux obtenus à température ambiante. Et comme pour les mesures en DC, nous nous limiterons à deux types d'échantillons, un standard que nous désignerons par (SOI) et l'autre contraint que

nous désignerons par (sSOI+SEG+CESL).

IV.1. Description des SOI FinFETs étudiés

Dans cette étude en bruit basse fréquence, les échantillons testés sont les mêmes que ceux de l'étude en statique et décrits dans le chapitre précédent. Toutefois, vu le temps assez important nécessaire aux mesures de bruits et vu aussi le nombre très important de mesures à effectuer, nous avons limité notre étude à 2 types d'échantillons. Le premier est l'échantillon standard que l'on représentera par le terme SOI et l'autre est celui ayant subi les 3 types de contraintes mécaniques et il sera représenté par le terme sSOI+SEG+CESL. Nous nous sommes aussi limité à l'étude des seuls FinFETs de type p, pour deux longueurs de grille seulement (0,2 et 1,0 μm). Les mêmes mesures sont effectuées aux 3 températures : 10 K, 80 K et 300 K et ce dans le but d'étudier l'impact de la température sur le bruit basse fréquence.

IV.2. Instrumentation de mesure du bruit basse fréquence dans les dispositifs MOSFETs.

L'instrumentation utilisée pour la mesure du bruit basse fréquence des dispositifs étudiés s'architecture autour d'une carte électronique (Figure IV.1) qui a été développée au niveau du laboratoire GREYC dans le cadre d'une thèse de doctorat [110]. Associée à des alimentations de précision faible bruit et à un analyseur de spectre HP3562A Figure IV.2, elle permet notamment de :

- polariser le dispositif sous test en imposant les tensions Drain-Source et Grille-Source
- mesurer les fluctuations du courant de drain en sortie. L'utilisation de l'analyseur de spectre permet alors d'avoir la densité spectrale de puissance du courant de drain $S_{I_D}(f)$
- mesurer le courant de drain I_D
- mesurer la transconductance g_m du dispositif en régime petits signaux. Cette mesure est utilisée pour ramener le bruit mesuré en sortie de l'amplificateur sur la grille du transistor.
- mesurer la résistance totale drain-source r_T

Pour caractériser l'évolution en température du bruit basse fréquence, les mesures ont été réalisées sous pointes directement sur le wafer en utilisant le banc expérimental de mesure décrit précédemment. Les dispositifs ont été polarisés en régime linéaire avec une tension de drain $V_{DS} = 20 mV$

et en faisant varier la tension de grille d'environ la tension de bandes plates V_{FB} jusqu'à $1,2 V$ par pas de $50 mV$. La gamme de fréquences d'analyse est $10 Hz - 100 kHz$.

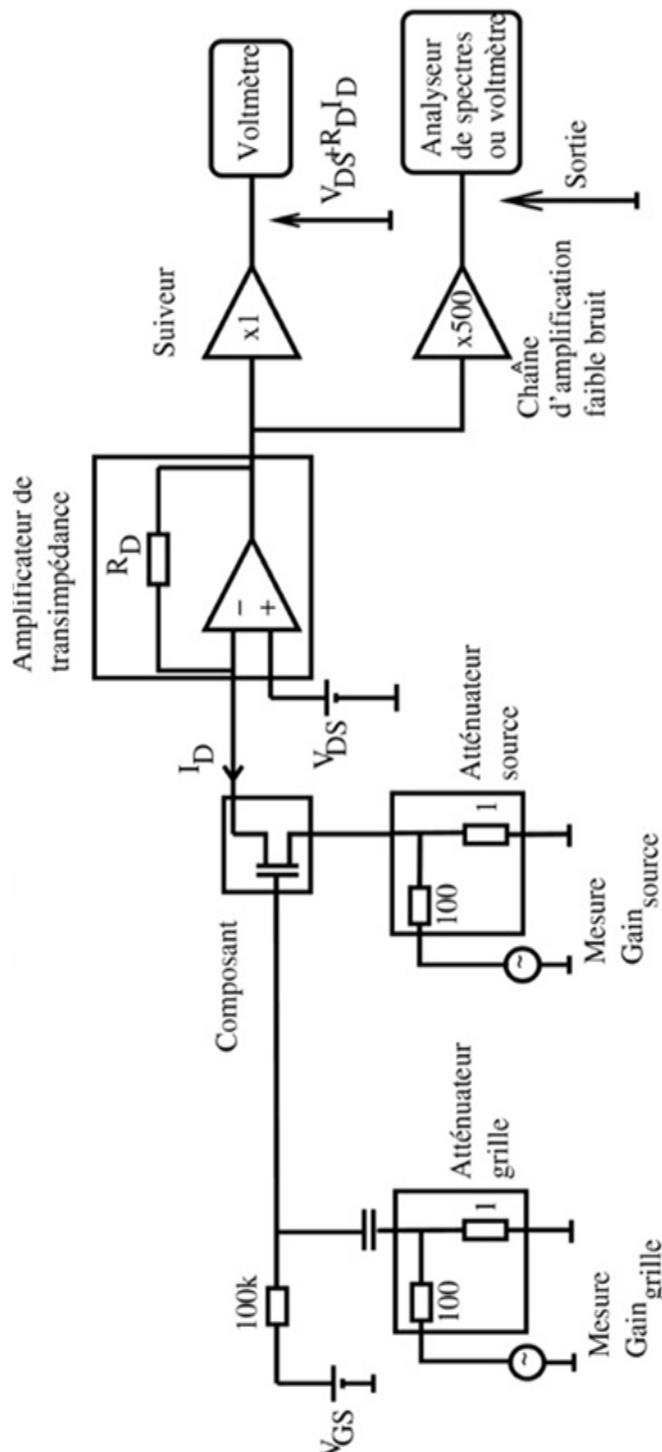


FIGURE IV.1.: Schéma de la carte électronique de mesure du bruit basse fréquence[110]

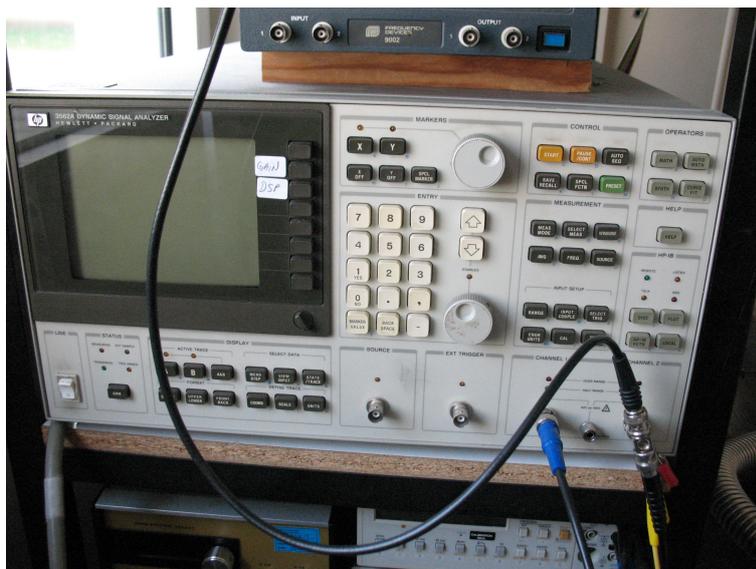


FIGURE IV.2.: Analyseur de spectre HP3562A.

IV.3. Extraction des paramètres de bruits

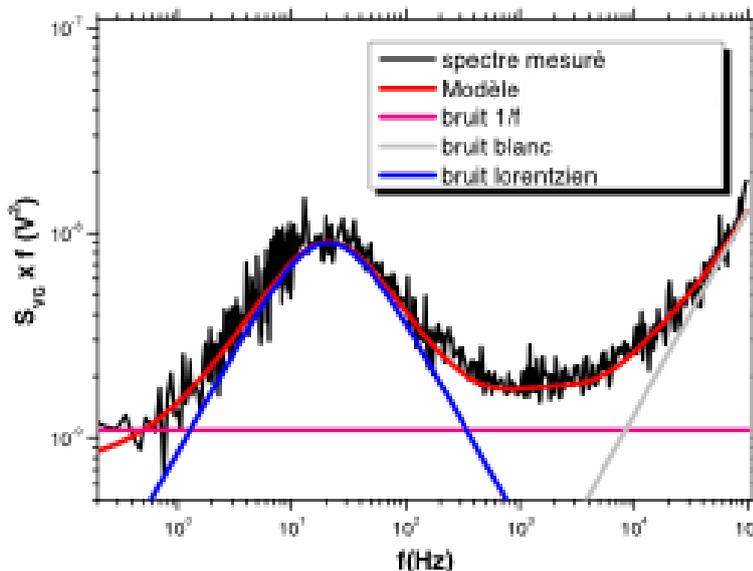


FIGURE IV.3.: Densité spectrale normalisée par la fréquence. Extraction des différents types de bruit.

En général, le bruit basse fréquence est régi par l'Équation II.39 qui modélise la densité spectrale à l'entrée du transistor en fonction de la fréquence. Cette modélisation permet d'extraire le niveau du bruit blanc B , le niveau de bruit $1/f^\gamma$ à 1 Hz, K_f (ainsi que γ) et enfin la contribution des lorentziennes (plateaux A_i et fréquences caractéristiques f_{0i}) qui sont représentées par des bosses.

Pour l'extraction aisée de ces paramètres, l'évolution de la densité spectrale de bruit ramenée sur la grille est normalisée par la fréquence (i-e S_{VG} est multiplié par la fréquence), les paramètres à extraire étant alors plus facilement identifiables (Figure IV.3).

La Figure IV.4 montre des exemples de spectres normalisés par la fréquence, obtenus à 10 K et modélisés en utilisant l'Équation II.39, ce qui permet d'extraire clairement les différents paramètres du bruit basse fréquence. Cette opération est effectuée pour chaque tension de grille V_g que l'on fait varier de la tension de bandes plates à 1,2 V par pas de 50 mV.

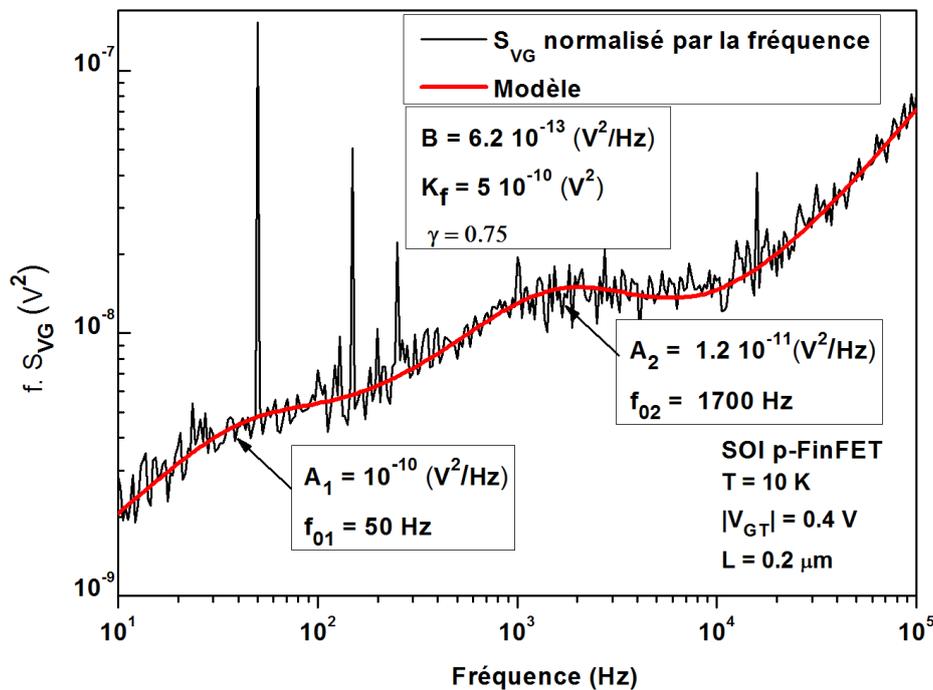


FIGURE IV.4.: Spectres de bruit basse fréquence de dispositifs p FinFET modélisés en utilisant l'Équation II.39. Sont donnés aussi les différents paramètres extraits donnant la meilleure correspondance entre le modèle et les mesures.

Une fois tous les spectres modélisés et les paramètres extraits en fonction de la tension de grille, la variation du niveau de bruit $1/f$ à 1 Hz en fonction de V_{GT} sera modélisée en utilisant l'Équation II.41. Cette modélisation nous permettra alors de déduire le mécanisme qui est à la base du bruit basse fréquence ainsi que l'impact des résistances d'accès (Figure IV.5). La densité de pièges à l'interface sera aussi extraite, à partir de l'Équation II.42, ce qui permettra de voir l'influence de la température et des contraintes mécaniques sur ce paramètre.

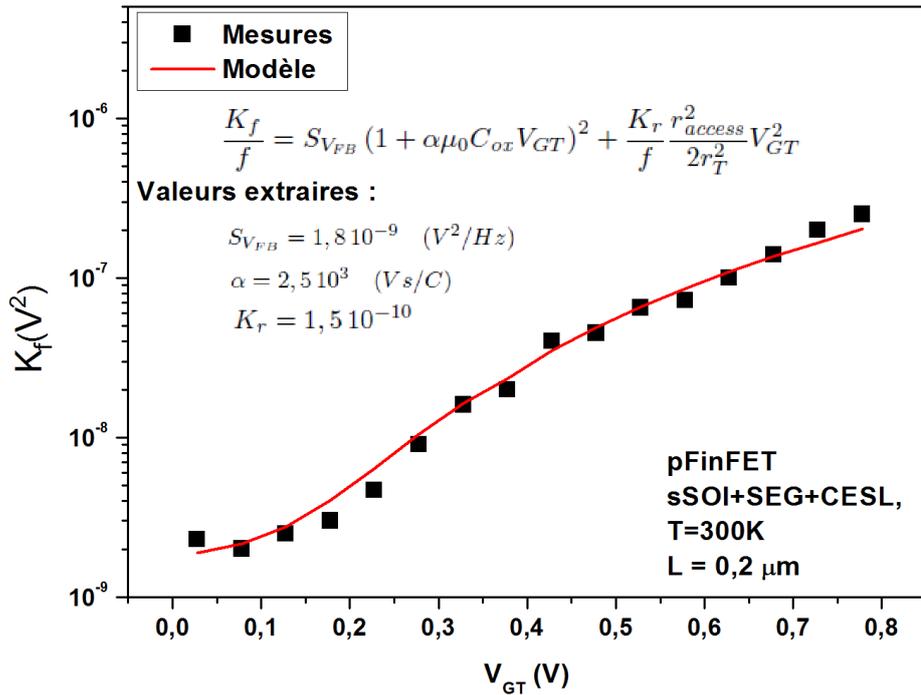


FIGURE IV.5.: Modélisation de la variation du niveau de bruit $1/f$ à 1 Hz en fonction de V_{GT} . Extraction des différents paramètres $S_{V_{FB}}$, α et K_r .

IV.4. Incertitudes de mesure

Les incertitudes de mesure sont liées à la fois aux incertitudes dues à l'appareillage dont l'analyseur de spectre et celles du protocole de mesure. L'incertitude de l'analyseur est fonction du nombre de moyennes effectuées pour chaque mesure du gain ou du bruit, ainsi, pour un nombre d'acquisition de 32, l'incertitude de mesure est de l'ordre de 2%. Pour les mesures effectuées dans cette thèse, chaque mesure du bruit et du gain est obtenue en effectuant 16 acquisitions. L'incertitude de l'analyseur, dans ce cas, est alors estimée autour de 4%. L'incertitude globale sur les mesures effectuées étant la somme des incertitudes de mesures (mesure du gain en tension et mesure de la densité spectrale), et en prenant en compte la pollution des mesures par des perturbations parasites synchrones du secteur et l'incertitude liée à la conversion analogique numérique des données, est estimée à 10%. Cette estimation a été évaluée dans le cadre de travaux de recherche élaborés au sein du laboratoire GREYC, pendant lesquels le protocole de mesure a été mis en oeuvre [110].

IV.5. Résultats et discussions

Les résultats exposés dans cette partie sont extraits des densités spectrales de puissance S_{VG} normalisées par la fréquence. Les figures IV.6 et IV.7 illustrent des exemples de tels spectres obtenus pour la grande longueur standard (SOI), respectivement à 10 K et 300 K, pour des tensions de grille qui varie de 0,575 V à 1,2 V par pas de 50 mV. On remarque tout de suite que les spectres de densités spectrales à 300 K sont, dans l'ensemble, horizontaux ce qui implique un bruit excédentaire en $1/f$, alors qu'à 10 K, les spectres sont plutôt obliques, ce qui permet de conclure que le bruit excédentaire à cette température est en $1/f^\gamma$ avec γ inférieur à 1. Les valeurs des paramètres de bruit N_{it} , K_r , $S_{V_{FB}}$, α et γ obtenus à 10, 80 et 300 K sont listés dans le Tableau IV.1.

IV.5.1. Niveau de bruit $1/f$ et variation de γ en fonction de la température :

Pour les p-FinFETs testés, à 10 K on observe une réduction par un facteur variant de de 1,7 à 3 du niveau de bruit $1/f^\gamma$ à 1 Hz pour le dispositif standard comparativement à la température ambiante. Cette réduction semble plus importante pour la petite longueur du canal et pour le dispositif contraint. Par contre, dans le cas des dispositifs contraints de grande longueur, le niveau de bruit $1/f^\gamma$ est du même ordre de grandeur que ce qui a été trouvé dans le cas des dispositifs standard. Toutefois, le niveau de bruit $1/f$ diminue quand la température diminue, alors que l'on observe en général le phénomène inverse.

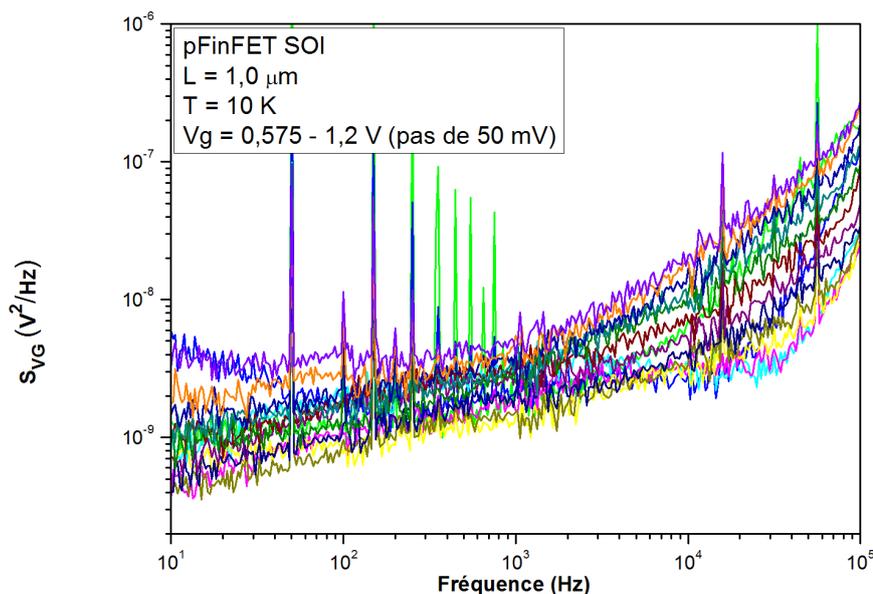


FIGURE IV.6.: Densités spectrales de puissance S_{VG} en fonction de la fréquence obtenues à 10 K pour divers tensions de grille V_G (p-FinFET contraint de longueur de grille $0,2 \mu m$).

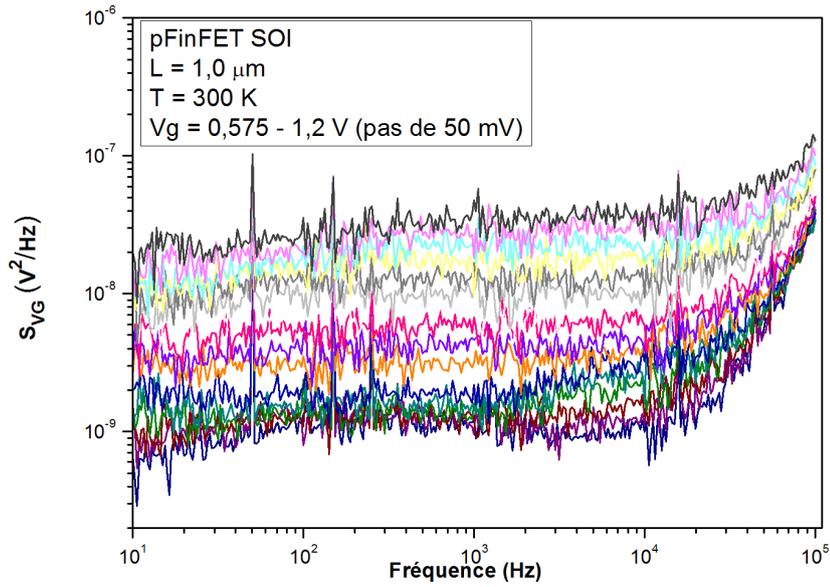


FIGURE IV.7.: Densités spectrales de puissance S_{VG} en fonction de la fréquence obtenues à 300 K pour divers tensions de grille V_G (p-FinFET contraint de longueur de grille $0,2 \mu m$).

Dispositifs testés	T K	L μm	$S_{V_{FB}} 10^{-10}$ V^2/Hz	$K_r 10^{-8}$	$\alpha 10^4$ Vs/C	$N_{it} 10^{+17}$ $cm^{-3}eV^{-1}$	γ
SOI	10 K	0,2	2,95	0,55		57	0,75
		1,0	1,95	2,0		273	0,75
	80 K	0,2	5,0	0,9	0,06	13,6	0,85
		1,0	2,2	7,5	0,12	40	0,85
	300 K	0,2	9,0	55	1,0	8	1
		1,0	3,4	650	1,7	19	1
sSOI+SEG+CESL	10 K	0,2	2,5	0,75		65	0,75
		1,0	2,15	8,8		375	0,75
	80 K	0,2	3,8	1,5	0,09	8,8	0,85
		1,0	1,9	1,2	0,17	34	0,85
	300 K	0,2	18,0	150	0,3	14	1
		1,0	1,6	400	3,0	7,7	1

TABLE IV.1.: Paramètres de bruit N_{it} , K_r , $S_{V_{FB}}$, α et γ obtenus à 10, 80 et 300 K pour deux longueurs ($0,2$ et $1,0 \mu m$) et deux types d'échantillons (pFinFET standard et contraints).

Comme autre résultat, on observe que pour les pFinFETs, l'exposant γ varie en fonction de la température. Les figures IV.8 et IV.9 ci-dessous montrent des spectres de bruit obtenus à 10 K et 300 K pour les pFinFET et ce pour le même V_{GT} ($V_{GT} = -0.5 V$). Nous pouvons y observer que l'exposant γ du bruit $1/f^\gamma$ est plus petit que 1 dans le cas des transistors de type

p quand la température diminue. Des valeurs de 0,75 et 0,85 ont ainsi été trouvées à 10 K et 80 K respectivement. Ces résultats ont été trouvés aussi bien dans le cas des échantillons standard que ceux qui ont subi des contraintes mécaniques et ce dans le cas de la grande ou petite longueur. Ceci nous amène à conclure que la variation de ce coefficient est indépendante de la longueur de grille ou des contraintes.

Comme mentionné précédemment dans le chapitre II, il a déjà été observé que, dans certaines conditions, le bruit excédentaire varie proportionnellement à $1/f^\gamma$ avec γ compris, selon les auteurs entre 1 et 2 [86] ou 0.7 et 1.3 [87]. Il a été aussi trouvé que cet exposant pouvait dépendre de la tension de grille V_G ou de la température [88, 87, 89, 90, 91] et qu'il pouvait y avoir des différences selon le type du transistor (n ou p). En général, la variation de ce paramètre est attribué au fait que les pièges d'oxydes ne sont pas uniformément distribués. Dans le cas des dispositifs p-FinFET testés, le fait que $\gamma \leq 1$ pour les basses températures montre que la distribution spatiale des pièges dans l'oxyde n'est pas homogène et que la densité de pièges actifs augmente du côté de l'interface.

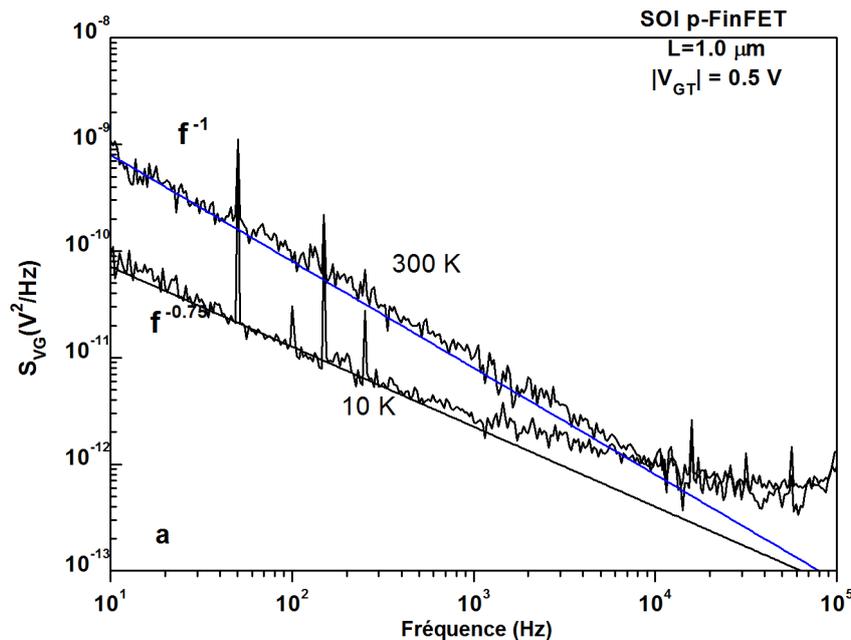


FIGURE IV.8.: Comparaison des spectres de bruit $S_{VG}(f)$ obtenus pour des dispositifs p-FinFET standard (SOI) pour la même tension V_{GT} aux températures 10 K et 300 K.

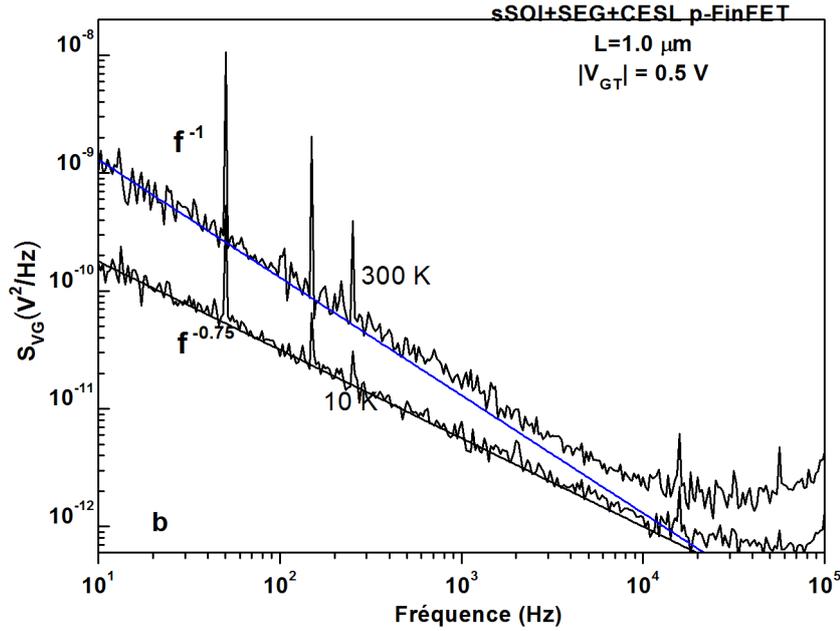


FIGURE IV.9.: Comparaison des spectres de bruit $S_{VG}(f)$ obtenus pour des dispositifs p-FinFET contraints (sSOI+SEG+CESL) pour la même tension V_{GT} aux températures 10 K et 300 K.

IV.5.2. Modèle de bruit $1/f$ à très basse température

Le bruit excédentaire ou $1/f$ dans un transistor MOSFET peut avoir plusieurs origines. Il peut être dû soit aux fluctuations du nombre de porteurs de charges (ΔN), soit aux fluctuations du nombre de porteurs de charges corrélées aux fluctuations de la mobilité des porteurs ($\Delta N + \Delta \mu$). De plus, avec la réduction de la longueur du canal, les résistances d'accès deviennent de moins en moins négligeables et leur influence apparaît surtout à forte inversion quand la résistance du canal diminue (r_{access}).

Les figures IV.10 et IV.11 montrent les variations, en fonction de V_{GT} , du niveau de bruit $1/f$ à 1 Hz aux températures 10, 80 et 300 K pour les dispositifs p-FinFET standard de longueur de grille $1 \mu m$ et contraint de longueur de grille $0,2 \mu m$ respectivement. On constate qu'à température ambiante, cette variation de K_f est parfaitement modélisée par la fluctuation du nombre de porteurs corrélée à une fluctuation de mobilité ($\Delta N + \Delta \mu$) dans le canal, et ce de la faible à la forte inversion. En forte inversion et pour de fort V_{GT} , s'ajoute aussi une contribution des résistances d'accès (r_{access}). Si à 80 K, on constate le même comportement qu'à température ambiante, avec toutefois une contribution des fluctuations de la mobilité corrélée moins importante, à 10 K par contre, cette dernière disparaît complètement pour ne laisser que des fluctuations du nombre de porteurs avec une contribution des résistances d'accès à fort V_{GT} ($\Delta N + r_{access}$).

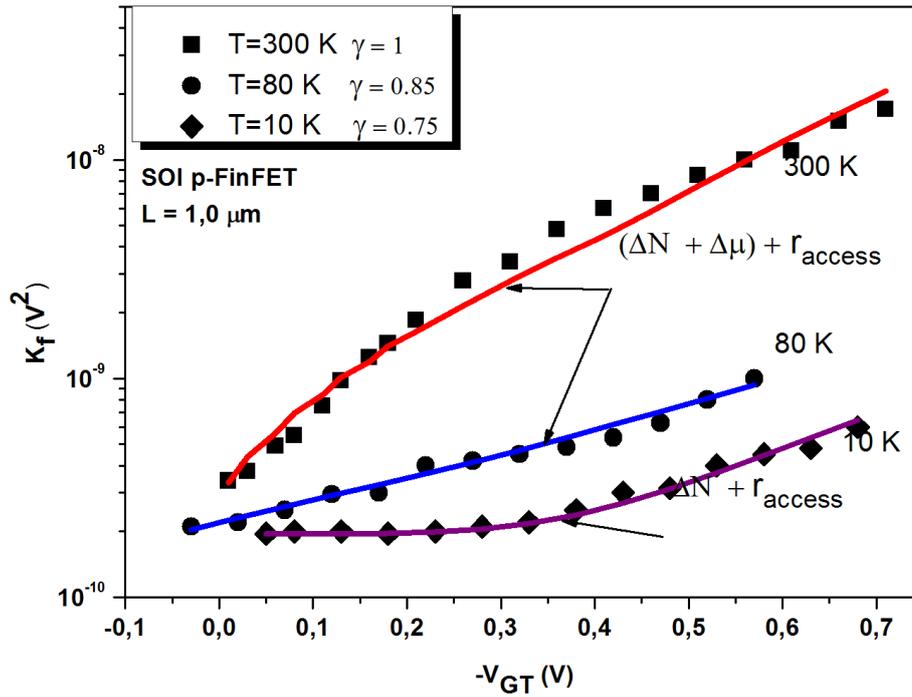


FIGURE IV.10.: Niveau de bruit $1/f$ à 1 Hz, en fonction de V_{GT} , extrait pour les p-FinFETs standard ($L = 1.0 \mu\text{m}$).

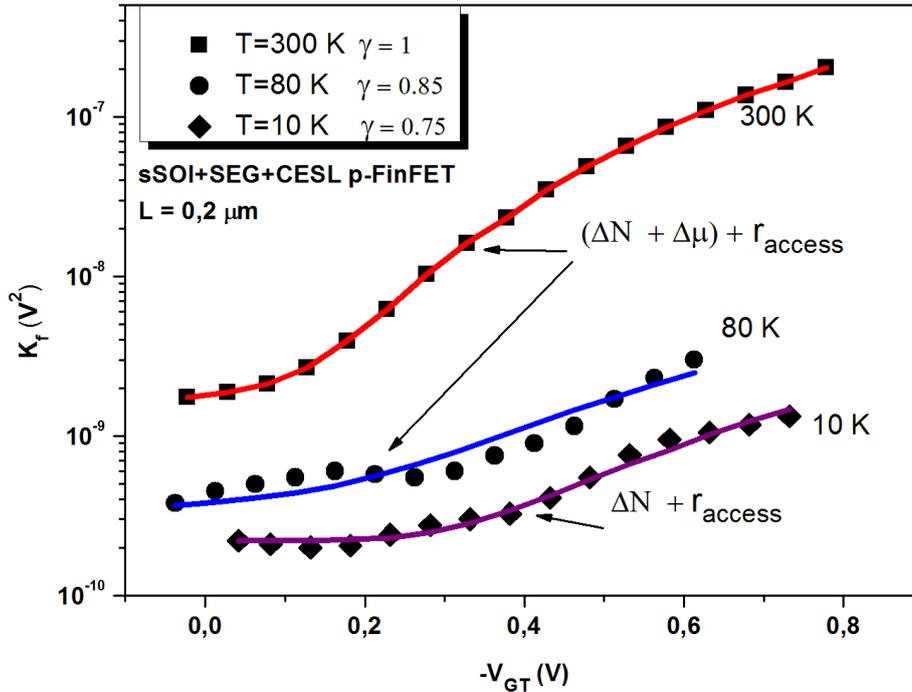


FIGURE IV.11.: Niveau de bruit $1/f^\gamma$ à 1 Hz, en fonction de V_{GT} , extrait pour les p-FinFETs contraints ($L = 0.2 \mu\text{m}$).

Ce comportement est observé dans tous les dispositifs p-FinFETs testés, contraint ou non, aussi bien pour la grande que pour la petite longueur. La disparition des fluctuations de la mobilité corrélées peut s'expliquer par le fait qu'à très basses températures, il se produit une inversion volumique et ainsi les porteurs de charges se situent plutôt au centre du "Fin" qu'aux interfaces ce qui réduit l'effet de dispersion (scattering) [111].

Le coefficient de dispersion de coulomb α , toujours nul à 10 K, est toujours plus important à 300 K qu'à 80 K, pour la grande longueur par rapport à la petite, et en général plus important dans le cas des dispositifs contraints. Ce coefficient qui est lié à la position en profondeur des pièges dans le diélectrique HfSiON, est d'autant plus faible que les pièges d'oxyde sont en profondeur.

IV.5.3. Contribution (et origine) du bruit des résistances d'accès au bruit total :

Comme prévu, les valeurs du paramètre K_r extraites qui indiquent la contribution des résistances d'accès au bruit $1/f$ à fort V_{GT} (Voir le Tableau IV.1), montrent une réduction substantielle de la contribution des résistances d'accès au bruit lorsque la température diminue. Ainsi, pour la plus courte longueur de grille des dispositifs contraints, on observe une réduction d'un facteur d'environ 100 entre 300 K et 80 K, alors qu'entre 80 K et 10 K, la réduction n'est que d'un facteur 2 environ. La réduction substantielle entre 300 K et 80 K (observée dans le cas de tous les dispositifs testés) pourrait être liée à la réduction de la diffusion des phonons, alors qu'entre 80 K et 10 K, les mécanismes de dispersion peuvent jouer un rôle important (dispersion due à la rugosité de surface).

En général, il est admis que le bruit excédentaire dû aux résistances d'accès est dû aux fluctuations de la mobilité, autrement dit, il est en $1/f$ car les fluctuations de la résistance d'accès sont généralement censées se trouver au fond de la région LDD et le bruit proviendrait des fluctuations de la mobilité et est généralement modélisée par la formule empirique de Hooge [77]. Si dans le cas des n-FinFETs, nous avons bien obtenu un tel comportement aussi bien à température ambiante qu'à très basse température, pour les p-FinFETs par contre, on obtient un bruit en $1/f^\gamma$ avec le $\gamma \neq 1$ et qui vaut environ 0,75 à 10 K. En outre, ce comportement est observé quelle que soit la fréquence utilisée pour extraire K_f niveau de bruit ($[K_f(V_g)]$ à 10, 25 et 100 Hz) (voir Figure IV.12). Ces résultats suggèrent qu'en forte inversion, les fluctuations dues aux résistances d'accès dominant. Le même comportement est observé à 80 K. Cela pourrait être surprenant, car cela suggère que la contribution au bruit excédentaire des résistances d'accès à 10 K peut avoir

pour origine le piégeage - dépiégeage des porteurs, et le bruit devrait maintenant se trouver dans la zone où l'oxyde recouvre la partie principale de la région LDD.

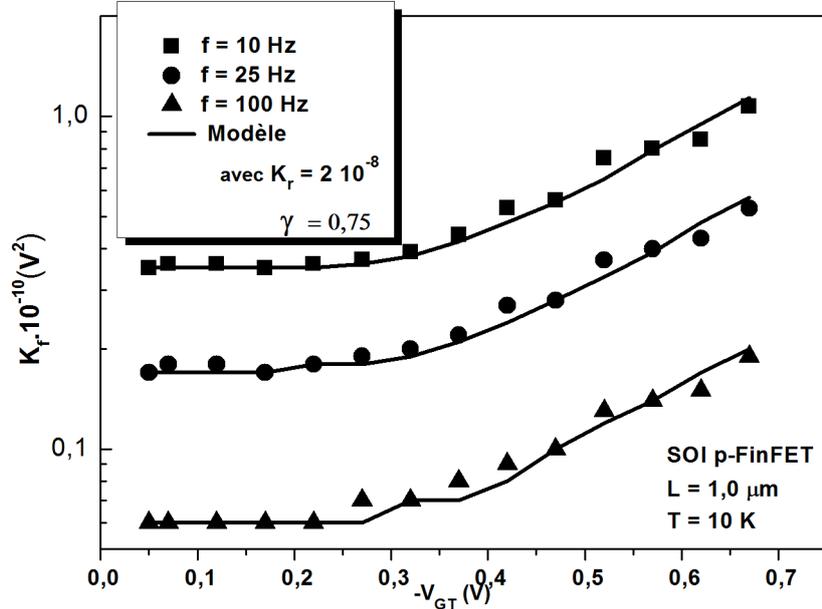


FIGURE IV.12.: $K_f(V_{GT})$ extraits à 10, 25 et 100 Hz pour les dispositifs pFinFETs, modélisés par l'équation 2.11 avec une dépendance en $1/f^\gamma$ pour la contribution des résistances d'accès.

IV.5.4. Densité de piège N_{it} à très basse température

Les valeurs de N_{it} trouvées pour toutes les structures étudiées de longueurs de grille 0,2 et $1 \mu\text{m}$ sont données dans le Tableau IV.1. La qualité de l'interface d'oxyde est mise en évidence par les relatives petites valeurs de la densité de pièges d'oxyde N_{it} déduites de la contribution du bruit $1/f$ à la tension de bande plates V_{FB} . On peut observer que cette densité augmente pour les basses températures, une augmentation qui est beaucoup plus importante pour la grande longueur que pour la petite. Toujours à très basse température, on peut aussi observer que les contraintes mécaniques introduisent en général une légère augmentation de N_{it} . De telles variations de N_{it} avec la température ont déjà été constatées pour des n-FinFETs [112] et peuvent être justifiées par des modèles qui tiennent compte de la structure de pile de diélectrique High-K, et concèdent deux barrières tunnels à travers le diélectrique, barrières qui correspondent aux couches interfaciale et High-K [78, 113, 114].

Conclusion

Dans ce dernier chapitre, nous avons principalement étudié le bruit $1/f$ en fonction de la tension de grille à très basse température pour 2 échantillons différents, l'un standard et l'autre ayant subi des contraintes mécaniques. Pour chacun des 2 échantillons, l'étude a porté sur 2 dispositifs, l'un de $1 \mu m$ (grande longueur) et l'autre de $0,2 \mu m$ (petite longueur) et les résultats obtenus ont été principalement comparé à ceux trouvés à température ambiante. On observe tout d'abord que le bruit excédentaire est amélioré quand la température décroît. Toutefois, pour tous les échantillons étudiés, on retrouve le même modèle pour le bruit $1/f$. Du modèle de fluctuation du nombre de porteurs corrélée à une fluctuation de mobilité dans le canal à température ambiante ($\Delta N + \Delta \mu$), on passe au modèle de fluctuation du nombre de porteurs (ΔN) à très basse température. Quant à la contribution au bruit basse fréquence des résistances d'accès, qui domine en forte inversion, dont l'origine à température ambiante est la fluctuation de la mobilité, il semblerait qu'à très basses températures, cette origine soit le mécanisme de piègeage - dépiégeage des porteurs. Concernant la variation du paramètre γ en fonction de la température, indépendamment de la contrainte mécanique et de la longueur de grille, elle montre que la distribution spatiale des pièges dans l'oxyde n'est pas homogène et que la densité de pièges actifs augmente du côté de l'interface. On observe aussi, qu'à très basses températures, la densité de pièges est beaucoup plus importante qu'à température ambiante.

Conclusions

Après une première partie qui introduit les notions et généralités concernant les transistors MOS à effet de champ et les FinFETs, qui font l'objet de notre travail de thèse, nous avons abordé la technologie SOI ainsi que les matériaux et architectures innovantes susceptibles de pousser les limites de l'intégration CMOS. Puis, nous nous sommes intéressés aux techniques statiques et dynamiques utilisées dans la caractérisation des dispositifs MOS à effet de champ, en particulier les techniques utilisées dans l'extraction de nos résultats. L'influence de la température a été aussi abordée pour une meilleure compréhension du comportement des dispositifs étudiés à de basses températures.

Dans le cadre de nos travaux, des mesures en statique dans les régimes de fonctionnement linéaire et en saturation ont été réalisées à 10, 80 et 300 K et ce pour des p et n SOI FinFETs. Deux types d'échantillons ont été utilisés, l'un standard et l'autre ayant subi des contraintes mécaniques locales et globale. Nous avons constaté que les dispositifs étudiés ont de bonnes performances à de très basses températures, en particulier la mobilité qui y est toujours plus importante qu'à température ambiante et la valeur de tension de seuil qui elle, est légèrement plus importante que celle trouvée à 300 K mais plus basse qu'à 80 K. L'utilisation de ces dispositifs à très basse température permet aussi d'avoir des pentes sous le seuil inférieures à 20 mV/dec pour pratiquement tous les dispositifs étudiés, ce qui améliore leurs temps de commutation. Toutefois, la résistance d'accès y est dégradée pour les p-FinFETs. Le fonctionnement cryogénique permet aussi un meilleur contrôle du canal par la grille, une amélioration très sensible du rapport I_{on}/I_{off} et de plus grandes vitesses de saturation des porteurs pour tous les dispositifs étudiés, surtout pour les dispositifs nFinFETs contraints.

Enfin dans une dernière partie, nous avons étudié le bruit $1/f$ en fonction de la tension de grille aux très basses températures et à température ambiante. Ce travail a été réalisé pour les p-FinFETs seulement, pour lesquels, le niveau de bruit excédentaire est amélioré quand la température décroît. Et pour tous les échantillons étudiés, on retrouve le même modèle pour le

bruit $1/f^\gamma$ avec γ variant de 0,75 (10 K) à 1 (300 K). La variation du paramètre γ en fonction de la température, indépendamment de la contrainte mécanique et de la longueur de grille, montre que la distribution spatiale des pièges dans l'oxyde n'est pas homogène et que la densité de pièges actifs augmente du côté de l'interface.

Concernant l'analyse du bruit excédentaire à faible inversion, son origine aux températures 80 K et 300 K, est la fluctuation du nombre de porteurs corrélée à une fluctuation de mobilité ($\Delta N + \Delta\mu$) dans le canal. A très basse température (i.e. 10 K), c'est la fluctuation du nombre de porteurs (ΔN) qui en est à l'origine (modèle de Mc Whorther). Ceci peut être expliqué par le fait qu'à très basse température, le courant de drain devient volumique alors qu'à température ambiante il est plutôt situé aux interfaces. Ceci a pour effet d'éliminer l'influence des rugosités de surface sur le courant de drain. Quant à la contribution au bruit basse fréquence des résistances d'accès, qui domine en forte inversion et dont l'origine à température ambiante est la fluctuation de la mobilité, il semblerait qu'à très basse température cette origine soit le mécanisme de piègeage-dépiégeage des porteurs.

Comme pour tout travail de recherche, il existe plusieurs perspectives à cette étude, parmi elles, nous pouvons citer :

- Affiner l'étude par rapport aux contributions des différentes contraintes au bruit basse fréquence et aux performances statiques, en travaillant sur les échantillons ayant subi seulement l'une des contraintes (SEG ou CESL ou sSOI) et ainsi quantifier l'apport de chacune d'elles aux différents paramètres étudiés.
- Effectuer la même étude en bruit basse fréquence sur les dispositifs n-FinFETs et faire une comparaison avec les résultats obtenus pour les p-FinFETs.
- Faire l'identification des défauts par spectroscopie de bruit dans les dispositifs p-FinFETs et comparer les résultats à ceux obtenus pour les n-FinFETs dans le cadre d'une autre thèse [93].

Bibliographie

- [1] J. Kilby, The Invention of the Integrated Circuit, IEEE Trans. Electron Devices ED-23 (1976) 648.
- [2] ITRS, www.itrs.net.
- [3] J. E. Lilienfeld, Method and apparatus for controlling electric currents, U.S Patent 1,745,175.
- [4] O. Heil, Improvements in or relating to electrical amplifiers and other control arrangements and devices (1935).
- [5] D. Kahng, M. Attala, Silicon-Silicon Dioxide Field Induced Surface Devices, in : IRE-Solid-State Device Research Conference. Carnegie Inst. IEEE Tech., Pittsburgh, Penn., 1960.
- [6] M. Attala, -, U.S. Patent 3,206,670.
- [7] J.-p. Colinge, C. A. Colinge, Physics of Semiconductor devices, Kluwer Academic Publishers, 2002.
- [8] B. Szelag, Etude des propriétés physiques et électriques de transistors MOS fortement sub-microniques, Ph.D. thesis (1999).
- [9] R. H. Dennard, F. Gansslen, H.-N. YU, Design of Ion Implanted MOSFET's with very small physical dimensions, IEEE Journal of Solid-State Circuits SC-9 (1974) 256.
- [10] G. Baccani, M. Wordeman, R. Dennard, Generalized scaling theory and its application to a 1/4 micrometer MOSFET design, IEEE Transaction on Electron Devices 31 (4) (1984) 452–462.
- [11] H. Mathieu, Physique des semiconducteurs et des composants électroniques, Dunod, 2009.
- [12] T. Skotnicki, Transistor MOS et sa technologie de fabrication, Techniques de l'Ingénieur, traité d'électronique E 2 430.
- [13] K. Oshima, Solutions technologiques avancés pour CMOS ultime., Ph.D. thesis, Thèse de doctorat de L'INPG, France (2004).
- [14] B. M. CRETU, Performances et fiabilité des transistors MOS sub 0.1um, Ph.D. thesis, Institut national Polytechnique de Grenoble, France (2003).
- [15] M. Gupta, Ballistic MOSFETs, The ultra Scaled Transistors., Potentials, IEEE 21 (6) (2002) 13–16.
- [16] V. Kumar Khanna, Physics of carrier-transport mechanisms and ultra-small scale phenomena for theoretical modelling of nanometer MOS transistors from diffusive to ballistic regimes of operation., ELSEVIER, Physics Reports 398, (2004) 67–131.

- [17] F. Gamiz, A comprehensive study of velocity overshoot effects in double gate silicon on insulator transistors., *Semicond. Sci. Technol.* 19 (3) (2004) 393–398.
- [18] L. Chang, S. Tang, T.-J. King, J. Bokor, C. Hu, Gate Length Scaling and Threshold Voltage Control of Double-Gate MOSFETs., in : *Electron Devices Meeting, 2000. IEDM '00. Technical Digest. International, 2000*, pp. 719–722.
- [19] J. Wang, M. Lundstrom, Does sources-to-drain tunneling limit the ultimate scaling of MOSFETs ?, in : *Electron Devices Meeting, IEDM'02, 2002*, pp. 707–710.
- [20] D. Munteanu, J. Autran, Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices, *Solid-State Electronics* 47 (2003) 1219–1225.
- [21] H. Wakabayashi, T. Ezaki, M. Hane, T. Ikezawa, I. Sakamoto, H. Kawaura, S. Yamagami, N. Ikarashi, K. Takeuchi, T. Yamamoto, T. Mogami, Transport Properties of Sub-10-nm Planar-Bulk-CMOS Devices, in : *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International, 2004*, pp. 429–432.
- [22] G. Fiori, G. Iannaccone, Effects of quantum confinement and discrete dopants in nanoscale bulk-Si nMOSFET, *IEEE-NANO* (2001) 248–252.
- [23] G. Fiori, G. Iannaccone, Modeling of ballistic nanoscale metal-oxide- semiconductor field effect transistors, *Applied Phyc Letter* 81 (19) (2002) 3672–3674.
- [24] G. Fiori, G. Iannaccone, Atomistic, Quantum and Ballistic Effects in Nanocale MOSFETs, *Journal of Computational Electronics* 2 (2003) 123–126.
- [25] S. Allegret, Etude d'électrodes métalliques à base de tungstène, préparées par MOCVD, pour empilement de grille CMOS de technologie sub-65nm, Ph.D. thesis, Ecole Centrale de Lyon, France (2006).
- [26] D. D. Buss, Physics of deep submicron CMOS VLSI, in : *27er International conference on the physics of semiconductors, ICPS-27. AIP Conference Proceedings, 2005*, pp. 1591–1591.
- [27] L. Becerra, Hétérostructures et Dispositifs Microélectroniques à Base d'Oxydes High- κ Préparés sur Silicium par EJM, Ph.D. thesis, Ecole centrale de Lyon, France (2008).
- [28] X. Garros, F. Rochette, F. Andrieu, S. Baudot, G. Reibold, C. Aulnette, N. Davaland, F. Boulanger, Modeling and direct extraction of band offset induced by stress engineering in silicon-on-insulator metal- oxide-semiconductor field effect transistors : Implications for device reliability, *Journal of Applied Physics* 105 (114508) (2009) 1–9.
- [29] G. Eneman, Design, Fabrication and Characterization of Advanced Field Effect Transistors with Strained Silicon Channels, Ph.D. thesis, Université catholique de Leuven, Belgique (2006).
- [30] F. Rochette, Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées, Ph.D. thesis, Institut National Polytechnique de Grenoble, France (2008).
- [31] C. Claeys, E. Simoen, S. Put, G. Giusi, F. Crupi, Impact strain engineering on gate stack quality and reliability, *Solid-State Electronics* 52 (2008) 1115–1126.

- [32] J. Oh, K. Jeon, S.-H. Lee, J. Huang, P. Y. Hung, I. Ok, B. Sassman, D.-h. Ko, P. Kirsch, R. Jammy, High mobility CMOS transistors on Si/SiGe heterostructure channels, *Microelectronic Engineering* 97 (2012) 26–28.
- [33] A. Ogura, T. Yoshida, D. Kosemura, Y. Kakemura, M. Takei, H. Saito, T. Shimura, T. Koganesawa, I. Hirose, Evaluation of super-critical thickness strained-Si on insulator (sc-SSOI) substrate, *Solid-State Electronics* 52 (2008) 1845–1848.
- [34] D. Esseni, P. Palestri, L. Selmi, *Nanoscale MOS Transistors*, CAMBRIDGE UNIVERSITY PRESS, 2011.
- [35] G. Raymond, Etude mécanique des films de nitrure de silicium fortement contraints utilisés pour augmenter les performances des transistors CMOS., Ph.D. thesis, Institut Polytechnique de Grenoble, France (2009).
- [36] N. Collaert, A. Dekeersgieter, A. Dixit, I. Ferain, L. Lai, D. Lenoble, A. Mercha, A. Nackaerts, B. Pawlak, R. Rooyackers, Multi-gate devices for the 32nm technology node and beyond, *Solid-State Electronics* 52 (9) (2008) 1291–1296.
- [37] N. Collaert, R. Rooyackers, A. Hikavy, A. Dixit, F. Leys, P. Verheyen, R. Loo, M. Jurczak, S. Biesemans, Multi-gate devices for the 32 nm technology node and beyond : Challenges for Selective Epitaxial Growth, *Thin Solid Films* 517 (2008) 101–104.
- [38] J. Shim, H. Oh, H. Choi, T. Sakaguchi, H. Kurino, M. Koyanagi, SiGe elevated source/drain structure and nickel silicide contact layer for sub 0.1 μm MOSFET fabrication, *Applied Surface Science* (2004) 260–264.
- [39] S. Put, H. Mehta, N. Collaert, M. V. Uffelen, P. Leroux, C. Claeys, N. Lukyanchikova, E. Simoen, Effect of rotation, gate-dielectric and SEG on the noise behavior of advanced SOI MuGFETs, *Solid-State Electronics* 54 (2010) 178–184.
- [40] S. J. Abou Samra, Conception pour la faible consommation en technologie SOI 2D et 3D : Application à l'arithmétique, Ph.D. thesis, Institut national de grenoble, France. (1998).
- [41] S. Cristoloveanu, F. Balestra, Technologie silicium sur isolant (SOI), *Techniques de l'Ingénieur, traité d'électronique E 2* 380.
- [42] D. Munteanu, Modélisation et caractérisation des transistors SOI : du Pseudo-MOSFET au MOFET submicronique ultra-mince, Ph.D. thesis, Institut National Polytechnique de Grenoble, France (1999).
- [43] B. Yu, H.-J. Wann, F. Assaderaghl, M. Chan, R.-W. Chen, P. KO, C. Hu, Interface characterization of fully-depleted SOI MOSFET by a sunthreshold method, in : SOI Conference, 1994 Proceedings., 1994 IEEE International, Nantucket, MA, 1994, pp. 63 – 64.
- [44] G. A. Armstrong, W. D. French, Suppression of Parasitic Bipolar Effects in Thin-Film SOI Transistors, *IEEE Electron Device Letters* 13 (4) (1992) 198–200.
- [45] J. Colinge, Multi-gate SOI MOSFETs, *Microelectronic Engineering* 84 (9-10) (2007) 2071–2076.
- [46] F. Crupi, B. Kaczer, R. Degraeve, V. Subramanian, P. Srinivasan, E. Simoen, A. Dixit, M. Jurczak, G. Groeseneken, Reliability comparison of Triple-gate versus planar SOI FETs, *IEEE Transaction Devices* 53 (2006) 2351–2357.

- [47] J. Colinge, Multiple-gate SOI MOSFETs, *Solid-State Electronics* 48 (2004) 897–905.
- [48] T. Rudenko, A. Nazarov, V. Kilchystka, D. Flandre, N. Collaert, M. Jurczak, Experimental evidence for reduction of gate tunnelling current in FinFET structures and its dependence on the Fin Width, in : *Solid-State Device Research Conference, 2006. ESSDERC 2006. Proceeding of the 36th European, 2006*, pp. 375–378.
- [49] A. Cros, Caractérisation électrique des transistors MOS à grille enrobante pour les technologies CMOS sub-45nm, Ph.D. thesis, INPG, France (2006).
- [50] P. K. McLarty, A simple parameter extraction method for ultra-thin oxide MOSFETs, *Solid State Electronics* 38 (6) (1995) 1175–1177.
- [51] J. Koomen, Investigation of the MOST channel conductance in weak inversion, *Solid-State Electronics* 16 (1973) 801–810.
- [52] C. G. Sodini, T. Ekstedt, J. L. Moll, Charge accumulation and mobility in thin dielectric MOS transistors, *Solid-State Electronics* 25 (1982) 833–841.
- [53] F. Lime, C. Guiducci, R. Clerc, G. Ghibaudo, C. Leroux, T. Ernst, Characterization of effective mobility by split C(V) technique in N-MOSFETs with ultra-thin gate oxides, *Solid-State Electronics* 47 (2003) 1147–1153.
- [54] M. F. Hamer, First-order parameter extraction on enhancement silicon MOS transistors, in : *Solid-State and Electron Devices, IEE Proceedings I, Vol. 133, 1986*, pp. 49–54.
- [55] K. Romanjek, Caractérisation et modélisation des transistors CMOS des technologies 50 nm et en deçà, Ph.D. thesis, Institut national polytechnique de Grenoble, France (2004).
- [56] G. Niu, A channel Resistance Derivative Method for Effective Channel Length Extraction in LDD MOSFETs, *IEEE Transactions on Electron Devices* 47 (3) (2000) 648–650.
- [57] H. Nayfeh, D. Singh, J. Hergenrother, J. Sleight, Z. Ren, O. Dokumaci, L. Black, D. Chidambarrao, R. Venigalla, J. Pan, W. Natzle, B. Tessier, J. Ott, M. Khare, K. Guarini, M. Jeong, W. Haensch, Effect of Tensile Uniaxial Stress on the Electron Transport Properties of Deep Scaled FD SOI n type MOSFETs, *IEEE Electron Device Letters* 27 (4) (2006) 288–290.
- [58] K. Bennamane, Caractérisation et Modélisation des CMOS/SOI Avancés, SOI DGMOS-FET., Ph.D. thesis, Université Mouloud MAMMERRI de Tizi-Ouzou, Algérie (2010).
- [59] K. Romanjek, F. Andrieu, T. Ernst, G. Ghibaudo, Improved Split C-V Method for Effective Mobility Extraction in sub-0.1-um Si MOSFETs, *IEEE Electron Device Letters* 25 (8) (2004) 583–585.
- [60] D. Fleury, A. Cros, H. Brut, G. Ghibaudo, New Y-Function-Based Methodology for accurate Extraction of Electrical Parameters on Nano-Scaled MOSFETs, in : *IEEE Conference on Microelectronic Test Structures, Edinburgh, UK, 2008*, pp. 160–165.
- [61] K. Bennamane, T. Boutchacha, G. Ghibaudo, M. Mouis, N. Collaert, Static and low frequency noise characterization of FinFET devices, 2009 10th International Conference on Ultimate Integration of Silicon (2009) 39–42.

- [62] I. Pappas, G. Ghibaudo, C. Dimitriadis, C. Fenouillet-Béranger, Backscattering coefficient and drift-diffusion mobility extraction in short channel MOS devices, *Solid-State Electronics* 53 (1) (2009) 54–56.
- [63] A. I. A. Cunha, M. A. Pavanello, R. D. Trevisoli, C. Galup-Montoro, M. C. Schneider, Direct determination of threshold condition in DG-MOSFETs from the gm/ID curve, *Solid-State Electronics* 56 (1) (2011) 89–94.
- [64] J. S. Shin, H. Bae, E. Hong, J. Jang, D. Yun, J. Lee, D. H. Kim, D. M. Kim, Modeling and extraction technique for parasitic resistances in MOSFETs Combining DC I-V and low frequency C-V measurement, *Solid-State Electronics* 72 (2012) 78–81.
- [65] G. Ghibaudo, Critical MOSFETs operation for low voltage/low power IC's : Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations, *Microelectronic Engineering* 39 (1997) 31–57.
- [66] D. Y. Jang, Propriétés de transport et de bruit à basse fréquence dans les structures à faible dimensionnalité, Ph.D. thesis, Université de Grenoble, France (2011).
- [67] J. W. Lee, Caractérisation électrique et modélisation des transistors à effet de champ de faible dimensionnalité, Ph.D. thesis, Université de Grenoble, France (2011).
- [68] G. Ghibaudo, F. Balestra, A method for MOSFET parameter extraction at very low temperature, *Solid-State Electronics* 32 (3) (1989) 221–223.
- [69] G. Ghibaudo, F. Balestra, Low Temperature Characterisation of Silicon CMOS Devices, *Microelectronics Reliability* 37 (9) (1997) 1353–1366.
- [70] G. Ghibaudo, F. Balestra, Modelling of Ohmic MOSFET operation at very low temperature, *Solid-State Electronics* 31 (1) (1988) 105–108.
- [71] G. Ghibaudo, F. Balestra, Low temperature characterization of silicon CMOS devices, *Microelectron. Reliab.* 37 (9) (1997) 1353–1366.
- [72] L. K. J. Vandamme, F. N. Hooge, 1/f noise as diagnostic tool for quality evaluation of electronic devices, in : *ESREF 93*, 1993, pp. 323–333.
- [73] L. K. J. Vandamme, Noise as diagnostic tool for quality and reliability of electronic devices, *IEEE Transaction on Electron Devices* 41 (11) (1994) 2176–2186.
- [74] R. Jayaraman, C. G. Sodini, A 1/f noise technique to extract the oxide trap density near the conduction band edge of silicon, *IEEE Transaction on Electron Devices* 36 (9) (1989) 1773–1782.
- [75] R. Talmat, H. Achour, B. Cretu, J. Routoure, A. Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen, C. Claeys, Low frequency noise characterization in n-channel FinFETs, *Solid State Electronics* 70 (2012) 20–26.
- [76] A. L. Mc Whorter, 1/f noise and germanium surface properties, *Semiconductor surface physics*, 1957., edited by R. H. Kingston, University of Pennsylvania Press, Philadelphia (1957) 207–228.
- [77] F. N. Hooge, 1/f noise is no surface effect, *Physics Letters* 29A (3) (1969) 139–140.

- [78] K. K. Hung, A unified model for flicker noise in Metal-Oxide-Semiconductor, *IEEE transaction on Electron Devices* 37 (3) (1990) 654–665.
- [79] K. K. Hung, A physics-Based MOSFET noise model for circuit simulator Vol 37, 5, pp. 1323, 1990., *IEEE transaction on Electron Devices* 37 (5) (1990) 1323.
- [80] G. Ghibaudo, O. Roux, C. Nguyen-Duc, F. Balestra, J. Brini, Improved Analysis of low frequency Noise in Field-Effect MOS Transistors, *Physica Status Solidi (a)* 124 (1991) 571–581.
- [81] J. El Hussein, Modélisation et caractérisation de la conduction électrique et du bruit basse fréquence de structures MOS à multi-grilles, Ph.D. thesis (2011).
- [82] J. Jomaah, F. Balestra, G. Ghibaudo, Low frequency noise in advanced Si bulk and SOI MOSFETs, *Journal of telecommunications and Information Technology* (2005) 24–33.
- [83] X. Li, L. Vandamme, $1/f$ noise in series resistance of LDD MOSTs, *Solid-State Electronics* 35 (1992) 1477.
- [84] F. N. Hooge, $1/f$ noise sources, *IEEE Transaction on Electron Devices* 41 (11) (1994) 1926–1935.
- [85] S. Christensson, I. Lundström, C. Svensson, Low-frequency noise in MOS transistors - I theory, *Solid-State Electronics* 11 (1968) 797–812.
- [86] G. Barbottin, A. Vapaille, *Instabilities in Silicon Devices. Silicon Passivation and related Instabilities.*, North-Holland, 1989.
- [87] E. Simoen, C. Claeys, On the flicker noise in submicron silicon MOSFETs, *Solid-State Electronics* 43 (5) (1999) 865–882.
- [88] S. Christensson, I. Lundström, Low-frequency noise in MOS transistors- II, *Solid-State Electronics* 11 (1968) 813–820.
- [89] Z. Celik-Butler, T. Y. Hsiang, Spectral dependance of $1/f$ noise on gate bias in n-MOSFETs, *Solid-State Electronics* 30 (4) (1987) 419–423.
- [90] C. Wei, Y.-Z. Xiong, Investigation of Low-Frequency Noise in N-Channel FinFETs From Weak to Strong Inversion, *IEEE Transaction on Electron Devices* 56(11) (2009) 2800–2810.
- [91] N. Lukyanchikova, N. Garbar, V. Kudina, A. Smolanka, C. Claeys, E. Simoen, Linear kink effect Lorentzians in the noise spectra of n- and p-channel fin field-effect transistors processed in standard and strained silicon-on-insulator substrates, *Solid-State Electronics* 53 (6) (2009) 613–620.
- [92] W. Guo, Etude expérimentale et modélisation du bruit basse fréquence en fonction de la température (80K- 300K) dans des transistors MOS issus de plusieurs technologies avancées (0,13 μm -32 nm), Ph.D. thesis, Université de Caen Basse Normandie, France (2008).
- [93] R. Talmat, Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs), Ph.D. thesis, Université de CAEN Basse Normandie, France (2011).

- [94] N. Lukyanchikova, N. Garbar, M. Petrichuk, E. . Simoen, C. Claeys, Flicker noise in deep submicron nMOS transistors, *Solid-State Electronics* 44 (2000) 1239–1245.
- [95] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Al., FinFET - a self-aligned double-gate MOSFET scalable to 20 nm, *IEEE Transactions on Electron Devices* 47 (2000) 2320–2325.
- [96] X. J. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, Sub-50 nm Pchannel FinFET, *IEEE Transactions on Electron Devices* 48(5) (2001) 880–886.
- [97] T. Skotnicki, Materials and device structures for sub-32 nm CMOS nodes, *Microelectronic Engineering* 84 (9-10) (2007) 1845–1852.
- [98] E. Parton, P. Verheyen, Strained silicon - the key to sub-45 nm CMOS. III-Vs review, *Advanced Semiconductor Magazine* 19 (3) (2006) 28–31.
- [99] C. M. Lai, Y. K. Fang, C. T. Lin, C. W. Hsu, W. K. Yeh, The impacts of high tensile stress CESL and geometry design on device performance and reliability for 90 nm SOI nMOS-FETs, *Microelectronics Reliability* 47 (2007) 944–952.
- [100] N. Collaert, R. Rooyackers, A. De Keersgieter, F. E. Leys, I. Cayrefourq, B. Ghyselen, E. Al., Stress hybridization for multigate devices on supercritical strained-SOI (SC-SSOI), *IEEE Electron Device Letters* 28(7) (2007) 646–648.
- [101] D. P. Foty, S. L. Titcomb, Thermal effects in n-Channel enhancement MOSFET's operation at cryogenic temperatures, *IEEE Transactions on Electron Devices* ED-34 (1) (1987) 107–113.
- [102] K. Akarvardar, A. Mercha, E. Simoen, V. Subramanian, C. Claeys, P. Gentil, S. Cristoloveanu, High temperature performance of state-of-the art triple-gate transistors, *Microelectronics Reliability* 47 (2007) 2065–2069.
- [103] F. ANDRIEU, Transistors CMOS decananométriques à canaux contraints sur Si massif ou sur SOI - Fabrication, caractérisation et étude du transport., Ph.D. thesis, INPG, France (2005).
- [104] C. Jacoboni, C. Canali, G. Ottaviani, Quaranta, A.A., A review of some charge transport properties of silicon, *Solid State Electron* 20 (1977) 77–89.
- [105] E. Simoen, A. Mercha, C. Claeys, N. Lukyanchikova, Low-frequency noise in silicon-on-insulator devices and technologies., *Solid-State Electronics* 51 (1) (2007) 16–37.
- [106] I. Lartigau, J. M. Routoure, W. Guo, B. Cretu, R. Carin, A. Mercha, C. Claeys, E. Simoen, Low temperature noise spectroscopy of 0.1 μ m partially depleted silicon on insulator metal-oxide-semiconductor field effect transistors, *Journal of Applied Physics* 101 (2007) 104511–104515.
- [107] W. Guo, B. Cretu, J. M. Routoure, R. Carin, E. Simoen, A. Mercha, N. Collaert, S. Put, C. Claeys, Impact of strain and source/drain engineering on the low frequency noise behavior in n-channel tri-gate FinFETs, *Solid-State Electronics* 52 (12) (2008) 1889–1894.

- [108] T. Ohguro, K. Okano, T. Izumida, S. Inaba, N. Momo, K. Kokubun, H. S. S. Momose, Y. Toyoshima, Analysis of Fin width and temperature dependance of flicker noise for bulk-FinFET, in : 4th European Microwave Integrated Circuits Conference, no. September, Proceedings of the 4th European Microwave Integrated Circuits Conference, Rome, Italy, 2009, pp. 61–64.
- [109] J. Jomaah, F. Balestra, G. Ghibaudo, Low-Frequency noise in SOI MOSFET's from room to liquid helium temperature : Experimental and numerical simulation results, in : Solid State Device Research Conference, 1993. ESSDERC 93. 23rd European, Solid State Device Research Conference, 1993. ESSDERC 93. 23rd European, 1993, pp. 111–114.
- [110] J. M. Routoure, Etude experimentale du bruit excedentaire dans des procédés BiCMOS, Ph.D. thesis, CAEN Basse Normandie (1998).
- [111] C. Claeys, S. Put, J. M. Rafi, M. A. Pavanello, J. A. Martino, E. Simoen, Reliability Performance Characterization of SOI FinFETs, in : IEEE 2nd International Workshop on Electron Devices and Semiconductor Technology, 2009, pp. 1–8.
- [112] R. Talmat, H. Achour, B. Cretu, J. Routoure, A. Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen, C. Claeys, Low frequency noise spectroscopy in advanced nFinFETs, in : 7th Workshop of the Thematic Network on Silicon-on-Insulator Technology, Devices and Circuits - EUROSIOI location :Granada Spain, 2011.
- [113] T. H. Morshed, S. P. Devireddy, S. Rahman, Z. Celik-Butler, H. Tseng, A. e. a. Zlotnicka, A new model for $1/f$ noise in high-k MOSFETs, in : IEDM Tech. Dig., 2007, pp. 561–64.
- [114] T. H. Morshed, S. P. Devireddy, Z. Çelik butler, A. Shanware, K. Green, J. J. Chambers, M. R. Visokay, L. Colombo, Physics-based $1/f$ noise model for MOSFETs with nitrided high-K gate dielectrics, Solid-State Electronics 52 (2008) 711–724.

Conférences et publications :

1. R. Talmat, *H. Achour*, B. Cretu, J-M. Routoure, A.Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, « Low Frequency Noise Spectroscopy in Advanced nFinFETs », EUROSOFI'2011, pp 55-56, Grenade, 17-19 janvier 2011.
2. R. Talmat, *H. Achour*, B. Cretu, J-M. Routoure, A.Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, « Assessment of temperature dependence of the low frequency noise in unstrained and strained FinFETs », ICNF'2011, Toronto, 12-16 juin 2011.
3. B. Guillet, S. Wu, B. Cretu, R. Talmat, *H. Achour*, C. Barone, S. Pagano, E. Sassier and J-M Routoure, « Uncertainties in the estimation of low frequency noise level extracted from noise spectral density measurements », ICNF'2011, Toronto, 12-16 juin 2011.
4. R. Talmat, *H. Achour*, B. Cretu, J-M. Routoure, A.Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, «Low Frequency Noise Characterization in n-channel FinFETs », Solid-State Electronics, vol. 70, pp. 20-26, 2012.
5. *H. Achour*, R. Talmat, B. Cretu, J-M. Routoure, A.Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, DC and Noise Characterization on SOI FinFETs, EUROSOFI'2012, pp 55-56, Montpellier, 23-25 janvier 2012.
6. *H. Achour*, B. Cretu, J-M. Routoure, A.Benfdila, R. Carin, R. Talmat, N. Collaert, A. Mercha, E. Simoen and C. Claeys, , Detailed characterisation of SOI n-FinFETs at very low temperature, Ultimate Integration on Silicon (ULIS), 14th International Conference on, 2013.
7. *Achour H et al. DC and low frequency noise performances of SOI p-FinFETs at very low temperature. Solid-State Electronics, vol. 90, pp. 160-165, 2013.*

List of Figures

I.1.	Structure et paramètres géométriques du MOSFET	6
I.2.	Diagrammes de bandes d'énergie d'une structure MOS	8
I.3.	Variations de la mobilité en fonction de la concentration des porteurs de la couche d'inversion et de la température	10
I.4.	Influences des résistances d'accès	13
I.5.	Variation de la mobilité effective en fonction du champ électrique effectif.	14
I.6.	Comparaison entre les caractéristiques de sortie idéales (tirée) et réelles (trait continu) avec indication de l'influence des effets correcteurs	19
I.7.	Chute de la barrière de potentiel sous les effets de canal court et DIBL	19
I.8.	Différentes technologies de contraintes mécaniques	24
I.9.	État de contrainte d'une couche Si/SiGe relaxée [34]	25
I.10.	CESL : dépôt de la couche CESL qui recouvre totalement la grille [35]	26
I.11.	SEG : croissance du SiGe dans la source et le drain par une épitaxie sélective [34].	26
I.12.	Comparaison des architectures génériques des transistors MOS a) sur silicium massif et b) sur SOI.	28
I.13.	Différentes configurations de grilles pour des composants SOI [45]	31
I.14.	Structure du SOI FinFETs. L , W_{fin} et H_{fin} sont la longueur de grille, la largeur et hauteur du "fin", respectivement.	32
I.15.	FinFET multi-grilles à 6 Fin	32
I.16.	Structure des FinFET Massif ou SOI.	33
I.17.	Paramètres géométriques du FinFET	33
II.1.	Extraction de R_{sd} et ΔL à partir des courbes $R_{tot}(L_g)$ [58]	37
II.2.	Fonction Y en fonction de V_{GS} [66]	39
II.3.	Organigramme de la fonction Y modifiée [67]	41

II.4. Fonction Y pour les très basses températures	43
II.5. Tracé de θ_{it}/β en fonction de la longueur pour l'extraction de μ_m et ΔL	43
II.6. Caractéristiques de transfert $I_d(V_d)$ et $g_d(V_d)$ pour différentes tensions de grille [14].	44
II.7. Fonctions $I_d(V_d)$ et $G(V_d)$ pour différentes longueurs de grille	45
II.8. Variation de v_{sat} avec la longueur de grille	46
II.9. Terminologie des charges d'oxyde	48
II.10. Représentations temporelles et fréquentielles des différents types de bruits rencontrés dans les dispositifs à semi-conducteurs.	49
II.11. Visualisation dans le domaine temporel de la somme des différents bruits.	50
II.12. Description du bruit RTS observé dans une structure MOS [66].	51
II.13. Aspect typique de la densité spectrale de puissance des fluctuations de I_D en fonction de la fréquence.	56
II.14. Densité de bruit S_{V_G} normalisée par la fréquence pour un p-FinFET standard avec empilement de grille HfO_2 [93].	58
III.1. Structure et caractéristiques géométriques des SOI FinFET étudiés.	60
III.2. Variation du niveau de Fermi avec la température [11]	62
III.3. Allure de variation de densité de porteurs libres avec la température [11].	63
III.4. Traceur de courbe HP4556B utilisé pour les mesures en courant continue.	64
III.5. Porte échantillon TTP4 et régulateur de température PID utilisés pour les mesures sous pointes.	64
III.6. Caractéristiques $I_d(V_{gs})$ obtenues dans le cas des p-FinFETs pour plusieurs longueurs de grille à une température de 10 K.	65
III.7. Caractéristiques $g_m(V_{gs})$ obtenues dans le cas des p-FinFETs pour plusieurs longueurs de grille à une température de 10 K.	66
III.8. Caractéristiques $I_d(V_{gs})$ obtenues dans le cas des nFinFETs pour plusieurs longueurs de grille à une température de 10 K.	66
III.9. Caractéristiques $g_m(V_{gs})$ obtenues dans le cas des nFinFETs pour plusieurs longueurs de grille à une température de 10 K.	67
III.10. Caractéristiques $I_d(V_{gs})$ et $g_m(V_{gs})$ obtenues pour les pFinFETs de longueur de grille $1 \mu m$ à 10, 80 et 300 K	67
III.11. Caractéristiques $I_d(V_{gs})$ et $g_m(V_{gs})$ obtenues pour les nFinFETs de longueur de grille $1 \mu m$ à 10, 80 et 300 K	68

III.12	La variation de la mobilité en fonction de la température pour les p et n-FinFETs standards ou contraints.	69
III.13	Variation de la tension de seuil V_{th} en fonction de la température pour des dispositifs pFinFETs standards ou contraints de longueurs de grilles 0,2 et 1,0 μm	71
III.14	Tension de seuil V_{th} en fonction de la température pour des dispositifs nFinFETs standards ou contraints de longueurs de grilles 0,2 et 1,0 μm	71
III.15	Variation de la tension de seuil V_{th} en fonction de la longueur de grille pour des dispositifs pFinFETs standards ou contraints à une température de 10 K.	72
III.16	Variation de la pente sous le seuil en fonction de la température pour les p-FinFETs.	73
III.17	Variation de la pente sous le seuil en fonction de la température pour les n-FinFETs.	73
III.18	Caractéristiques $I_d(V_d)$ obtenues à 10 K pour les dispositifs p-FinFETs standards.	75
III.19	Caractéristiques $I_d(V_d)$ obtenues à 10 K pour les dispositifs n-FinFETs standards et contraints.	76
III.20	Variation de la vitesse de saturation v_{sat} en fonction de l'inverse de la longueur de grille dans le cas des p-FinFET à 10 et 300 K.	78
III.21	Variation de la vitesse de saturation v_{sat} en fonction de l'inverse de la longueur de grille dans le cas des nFinFET à 10 et 300 K.	79
III.22	Variation de la vitesse maximale en fonction de la température pour les dispositifs n et pFinFETs ($L=0,13$ et $0,7$ μm).	79
IV.1.	Schéma de la carte électronique de mesure du bruit basse fréquence[110]	83
IV.2.	Analyseur de spectre HP3562A.	84
IV.3.	Densité spectrale normalisée par la fréquence. Extraction des différents types de bruit.	84
IV.4.	Spectres de bruit basse fréquence de dispositifs p FinFET modélisés en utilisant l'Équation II.39. Sont donnés aussi les différents paramètres extraits donnant la meilleure correspondance entre le modèle et les mesures.	85
IV.5.	Modélisation de la variation du niveau de bruit $1/f$ à 1 Hz en fonction de V_{GT} . Extraction des différents paramètres $S_{V_{FB}}$, α et K_r	86

IV.6. Densités spectrales de puissance S_{VG} en fonction de la fréquence obtenues à 10 K pour divers tensions de grille V_G (p-FinFET contraint de longueur de grille $0,2 \mu m$).	87
IV.7. Densités spectrales de puissance S_{VG} en fonction de la fréquence obtenues à 300 K pour divers tensions de grille V_G (p-FinFET contraint de longueur de grille $0,2 \mu m$).	88
IV.8. Comparaison des spectres de bruit $S_{VG}(f)$ obtenus pour des dispositifs p-FinFET standard (SOI) pour la même tension V_{GT} aux températures 10 K et 300 K.	89
IV.9. Comparaison des spectres de bruit $S_{VG}(f)$ obtenus pour des dispositifs p-FinFET contraints (sSOI+SEG+CESL) pour la même tension V_{GT} aux températures 10 K et 300 K.	90
IV.10 Niveau de bruit $1/f$ à 1 Hz, en fonction de V_{GT} , extrait pour les p-FinFETs standard ($L = 1.0 \mu m$).	91
IV.11 Niveau de bruit $1/f^\gamma$ à 1 Hz, en fonction de V_{GT} , extrait pour les p-FinFETs contraints ($L = 0.2 \mu m$).	91
IV.12 $K_f(V_{GT})$ extraits à 10, 25 et 100 Hz pour les dispositifs pFinFETs, modélisés par l'équation 2.11 avec une dépendance en $1/f^\gamma$ pour la contribution des résistances d'accès.	93

Liste des tableaux

I.1. Prévisions ITRS des caractéristiques principales des MOSFETs [11].	16
I.2. Lois de réduction d'échelle [10].	17
II.1. Evolution de S_{I_D}/I_D^2 et S_{V_G} en fonction de V_{GT} pour les différents modèles de bruit $1/f$ en régime linéaire.	56
III.1. Résistances d'accès et ΔL extraits pour les dispositifs n et p-FinFETs.	74
III.2. Valeurs de I_{on} et I_{off} extraites des échantillons n-FinFETs contraints ou non pour deux longueurs de grilles, à 10 K et 300 K.	77
III.3. Valeurs de I_{on} et I_{off} extraites des échantillons p-FinFETs pour deux longueurs de grilles, à 10 K et 300 K.	77
IV.1. Paramètres de bruit N_{it} , K_r , $S_{V_{FB}}$, α et γ obtenus à 10, 80 et 300 K pour deux longueurs (0,2 et 1,0 μm) et deux types d'échantillons (pFinFET standard et contraints).	88

Résumé :

Cette thèse porte sur l'étude des performances en statique et en bruit basse fréquence à très basse température de dispositifs SOI FinFETs de la technologie 32 nm. Pour cela, des mesures en statique et en bruit basses fréquences ont été effectuées à très basses températures (10 K et 80 K) sur des dispositifs SOI FinFETs dans le but d'évaluer leurs performances et d'étudier les mécanismes à l'origine du bruit basses fréquences (bruit excédentaire). Les principaux paramètres électriques (tension de seuil, pente sous le seuil, mobilité, ...) sont extraits et comparés aux valeurs trouvées à 80 K et à température ambiante.

A 10 K, on observe de meilleures performances par rapport à celles obtenues à température ambiante, notamment pour les nFinFETs. On y obtient ainsi une plus grande mobilité, de plus petites résistances d'accès, un plus fort courant I_{on} et une plus grande vitesse de saturation des porteurs. Quant à l'analyse en bruit, limitée aux dispositifs p-FinFETs, elle montre clairement que de 300 K à 10 K, la fluctuation du nombre de porteurs est à l'origine du bruit excédentaire à faible inversion alors qu'à forte inversion, la contribution des résistances d'accès au bruit excédentaire prédomine. Si à température ambiante et 80 K, la fluctuation du nombre de porteurs corrélé à des fluctuations de mobilité modélise le bruit excédentaire à faible inversion, à 10 K, le bruit excédentaire est modélisé par la fluctuation du nombre des porteurs seulement (Modèle de Mc Whorther). On a aussi observé un bruit en $1/f^\gamma$ avec γ qui varie avec la température, ce qui implique une densité de pièges actifs non uniforme en profondeur dans l'oxyde. De plus, il semblerait qu'à très basses températures l'origine du bruit excédentaire dû aux résistances d'accès soit dû aux fluctuations du nombre de porteurs alors qu'à 300 K, il proviendrait plutôt de variations de la mobilité.

SOI FinFET ; Performances statiques ; Bruit basse fréquence ; bruit $1/f^\gamma$; Très basses températures ; Caractérisation statique et dynamique.

DC and low frequency noise study of SOI FinFETs versus temperature (10 K – 300 K)

Abstract:

This thesis focuses on the study of static and low-frequency noise performance at very low temperature of SOI FinFETs devices processed in 32 nm technology. To this end, DC and noise measurements on strained and unstrained SOI p and nFinFET were performed at cryogenic temperatures (10 K et 80 K) in order to evaluate the device performances and study the low frequency noise mechanisms. The main electrical parameters (threshold voltage, subthreshold swing, mobility, etc...) are investigated and compared to those found at 80 K and 300 K. At 10 K, best performance was observed with respect to those obtained at room temperature, in particular for nFinFETs. There is thus obtained a greater mobility, smaller resistors access, a stronger current I_{on} and greater drift velocity.

The low frequency noise analysis clearly shows that from 300 K to 10 K, the carriers number fluctuation dominates the flicker noise in the channel in weak inversion, while the access resistances noise contribution prevails in strong inversion. The carrier number fluctuations dominate the $1/f$ noise also at very low temperature. The correlated mobility fluctuations contributions were not observed at 10 K. Furthermore, a $1/f^\gamma$ noise has been observed with γ varying with the temperature for the p-FinFETs, which implies a non-uniformity of the active trap density in the oxide depth. The noise of the access resistances at 300 K originates from mobility fluctuations, while at low temperature operation it seems to have a trapping - detrapping origin.

Keywords : *SOI FinFET, Static performances, Low frequency noise, $1/f^\gamma$ noise, Very low temperature, DC and dynamic characterization.*

Discipline: *Electronic*