

République Algérienne Démocratique et Populaire
Ministère de L'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri De Tizi-Ouzou



Faculté De Génie Electrique Et D'informatique
DEPARTEMENT D'AUTOMATIQUE

**Mémoire de Fin d'Etudes
De Master Académique
Spécialité : Génie Microélectronique**

Présenté par
YERMECHE KAHINA

Thème :

**CARACTERISATION DE TRANSISTOR MOSFET
SUBMICRONIQUE**

Devant le jury :

| | | | |
|-----------------------------------|----------------------------|------------------|--------------|
| M^r : H.ACHOUR | Maitre conférence B | Président | UMMTO |
| M^r : A.LAKHLEF | Maitre Assistant | Promoteur | UMMTO |
| M^r : A.BENFDILA | Professeur | Examineur | UMMTO |
| M^r : M.GOUDJIL | Docteur chercheur | Examineur | CDTA |

Première promotion 2014



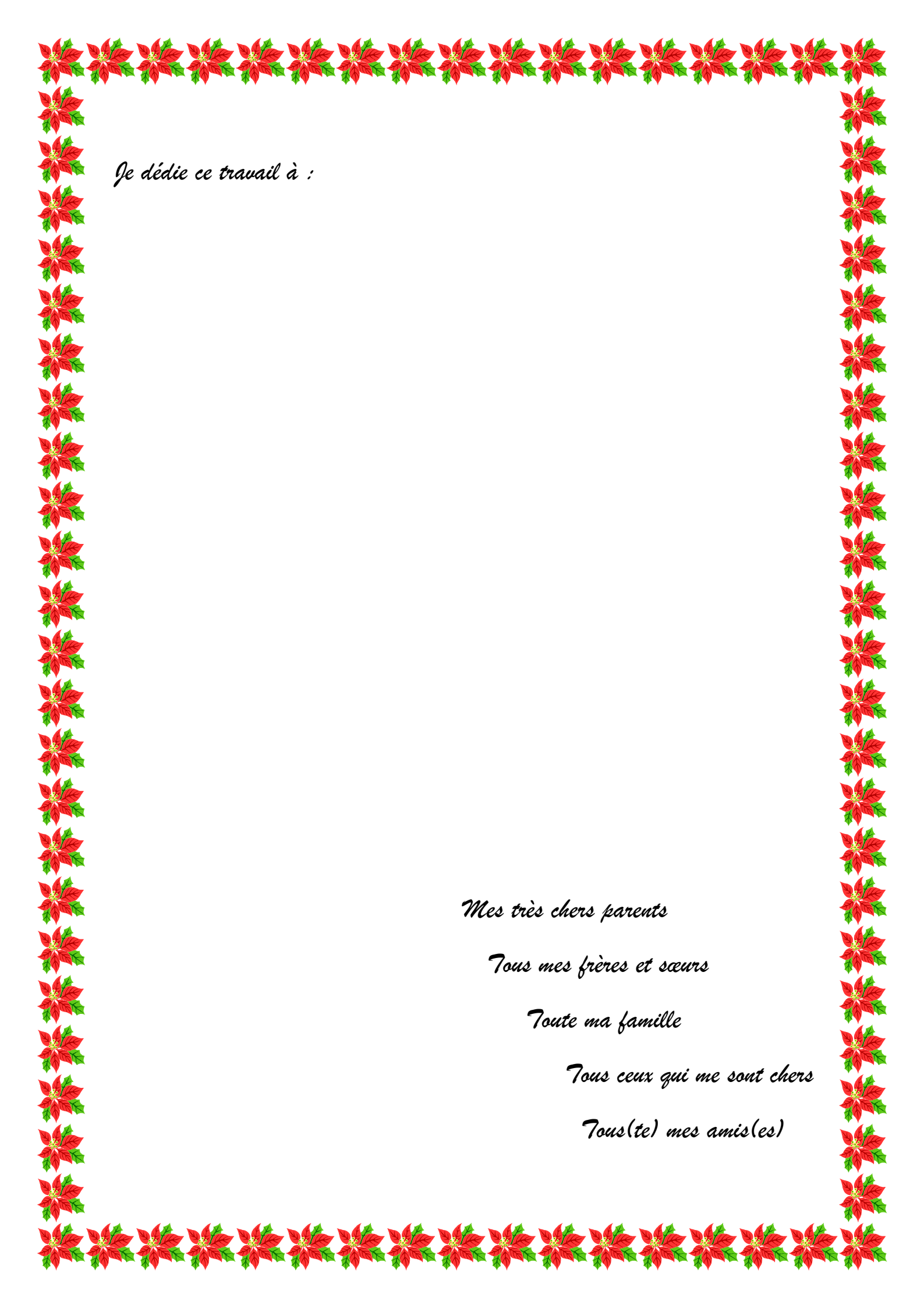
REMERCIEMENT :

Je remercie vivement mon promoteur M^c : Lakhlef Ahcene. Je tiens à lui exprimer ma profonde reconnaissance pour son soutien et les conseils qu'il m'a accordé tout au long de ce mémoire.

Je suis reconnaissante à tous ceux qui ont apporté de l'aide à ce travail de près ou de loin.

Je remercie les membres de jury qui m'ont fait l'honneur de bien vouloir examiner ce travail

Enfin, j'exprime ma profonde gratitude à mes parents: ma mère en particulier, pour leurs efforts et la grande confiance témoignée depuis le début de mes études, sans oublier de remercier mes sœurs et frères.



Je dédie ce travail à :

Mes très chers parents

Tous mes frères et sœurs

Toute ma famille

Tous ceux qui me sont chers

Tous(te) mes amis(es)

Remerciement

Dédicace

Liste des figures

Liste des abréviations

Introduction générale

Chapitre I: Transistor MOS à effet de champ

| | |
|--------------------------------------------------|------|
| I.1 Introduction----- | (1) |
| I.2 Le transistor MOS à effet de champ----- | (2) |
| I.3 Fonctionnement de transistor MOS----- | (2) |
| I.3.1 Régime d'accumulation----- | (3) |
| I.3.2 Régime de bandes plates----- | (4) |
| I.3.3 Régime de déplétion----- | (4) |
| I.3.4 Inversion faible ----- | (5) |
| I.3.5 Inversion forte----- | (5) |
| I.4 Calcul de courant----- | (6) |
| I.4.1 Régime d'inversion faible ----- | (6) |
| I.4.2 Régime d'inversion forte----- | (7) |
| a) Régime linéaire ----- | (8) |
| b) Régime saturé----- | (8) |
| I.5 Calcul des charges et des capacités ----- | (9) |
| I.5.1 Régime de déplétion ----- | (9) |
| I.5.2. Régime d'inversion----- | (9) |
| I.6 Notions sur la mobilité----- | (10) |
| I.6.1 Collisions sur phonons----- | (11) |
| I.6.2 Collisions coulombiennes----- | (12) |
| I.6.3 Collisions sur la rugosité de surface----- | (12) |

Chapitre II : Evolution du transistor MOSFET

| | |
|----------------------------------------------------------------------|------|
| Introduction----- | (13) |
| II.1 Les effets liés a la réduction des dimensions----- | (13) |
| II.1.1 Les effets de canaux courts----- | (14) |
| II.1.2 Les effets de porteurs chauds----- | (16) |
| II.2 Solutions technologiques----- | (17) |
| II.2.1 Siliciuration source et drain ----- | (17) |
| II.2.2 Extensions LDD----- | (17) |
| II.2.3 Poches de surdopage----- | (18) |
| II.3 Architecture avancée; technologie SOI----- | (19) |
| II.3.1 La technologie SOI à grille unique ----- | (21) |
| II.3.2 La technologie SOI a multi grilles ----- | (22) |
| II.4 Propriétés de l'isolant de grille----- | (24) |
| II.4.1 L'oxyde de silicium et le système Si-SiO ₂ ----- | (25) |
| II.4.2 Solutions apportées aux limites du SiO ₂ ----- | (24) |
| II.4.2.1 Oxynitrures et oxydes nitrurés ----- | (25) |
| II.4.2.2 Propriétés des oxydes de silicium contenant de l'azote----- | (25) |
| II.5 Matériaux high-k----- | (27) |
| II.5.1 Introduction ----- | (27) |
| II.5.2 Compatibilité avec la technologie Si----- | (29) |
| II.6 Matériaux de grille----- | (31) |

Chapitre III: Caractérisation du transistor MOS à effet de champ

| | |
|------------------------------------------------------------------------------------------------------------------|------|
| III.1 Introduction----- | (35) |
| III.2 Techniques de caractérisation----- | (36) |
| III.2.1 Technique I(V)----- | (37) |
| III.2.1.1 Extraction des principaux paramètres électriques d'un MOSFET submicronique en régime linéaire ----- | (37) |
| III.2.1.2 Extraction des principaux paramètres électriques d'un MOSFET submicronique en régime saturé----- | (44) |

| | |
|---------------------------------------------|------|
| III.2.2 Technique C(V)----- | (45) |
| III.2.3 Technique de pompage de charge----- | (47) |
| III.2.4 Technique de bruit ----- | (48) |
| III.2.4.1 Bruit de grenaille----- | (48) |
| III.2.4.2 Bruit thermique----- | (49) |
| III.2.4.3 Bruit en créneaux----- | (49) |
| III.2.4.4 Bruit en 1/f ----- | (50) |
| Chapitre IV: Application----- | (51) |
| Conclusion générale et perspectives | |

Listes des figures

Chapitre I

- *Figure (I.1) : Structure schématique de base du transistor Métal-Oxyde-Semi-conducteur (canal n)*
- *Figure (I.2) : bandes d'énergie en régime d'accumulation*
- *Figure (I.3): bandes d'énergie en régime de bandes plates*
- *Figure (I.4) : bandes d'énergie en régime de déplétion*
- *Figure (I.5) : bandes d'énergie en régime de faible inversion*
- *Figure (I.6) : bandes d'énergie en régime de forte inversion*
- *Figure(I.7) Représentation de la caractéristique $I_d(V_d)$ du transistor nMOS*
- *Figure(I.8) :Différents régimes de fonctionnement d'un nMOSFET
(a) Régime linéaire, (b) et (c) Régime de saturation*
- *Figure (I.9) : Variation de la charge en fonction de potentiel de surface*
- *Figure (I.10) : Charges présentes dans la structure MOS au voisinage de l'interface Si isolant*

Chapitre II

- *Figure (II.3) : Effet des poches de surdopage sur le partage de charge.*
- *Figure (II.4) : Exemple de l'effet des poches de surdopage sur la tension de seuil.*
- *Figure(II.5) : Schéma d'un substrat SOI (Silicon on Insulator)*
- *Figure(II.6) Coupe schématique de transistors MOS (a) bulk et (b) SOI [6]*
- *Figure(II.7) : Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété [6]*
- *Figure (II.8) : Schéma simplifié d'un transistor double grille planaire*
- *Figure (II.9) GAA SOI MOSFET [5]*
- *Figure(II.10) : Illustration de l'intégration d'un diélectrique high-k dans une structure MOSFET permettant de comparer les différents EOT à capacités équivalentes : a) Oxyde de référence SiO₂ ; b) Intégration d'un oxyde high-k ; c) Structure réelle*
- *Figure(II.11) : Comparaison entre deux dispositifs intégrant un diélectrique HfO₂ et une référence SiO₂.*
- *Figure(II.12) :a) Représentation de l'énergie de la bande interdite en fonction de la permittivité relative pour les matériaux envisageables en tant qu'oxyde de grille.*

Listes des figures

Chapitre III

- Figure(III.1): Réseau de la caractéristique du MOSFET a)caractéristique de sortie b) caractéristique de transfert
- Figure (III.2) : Caractéristiques $I_d(V_g)$ du transistor nMOS avec les niveaux d'inversion
- Figure (III.3) : Les fonctions Y
- Figure(III.4) : Tracé du courant de Drain en fonction de la tension de grille pour $V_{ds} = 25mV$, à droite figure le principe de la mesure
- Figure (III.5) : Technique d'extraction de la tension de seuil pour le régime saturé, à droite le principe de la mesure.
- Figure (III.6) Exemple de construction de la fonction Y (a) Courbe de courant et de Transconductance à faible V_d , (b) extraction de V_t et $G_m^{1/2}$
- Figure (III.7) : Allure typique de la courbe courant de drain vs tension de grille du transistor
MOSFET
- Figure (III.8) : Tracé de θ_{eff} en fonction de $V_{GS} - V_T - V_{DS}/2$
- Figure (III.9) : Détermination de la longueur effective du canal.
- Figure(III.10) Caractéristiques de transfert $I_d(V_d)$ et $g_d(V_d)$ pour différentes tensions de grille appliquées
- Figure (III.11): Représentation de la caractéristique de $I_d(V_g)$ en échelle logarithmique et le I_{on} et I_{off}
- Figure (III.12): Mesure de la capacité
- Figure (III.13) : Montage expérimental pour la mesure de pompage de charges

Chapitre IV :

- Figure(IV.1). Banc de mesures des caractéristiques $I_d(V_g)$ à base du HP4155 relié à son boîtier de mesures
- Figure(IV.2) :tracé du courant I_d en fonction de la tension V_g
- Figure(IV.3) : Tracé de la transconductance g_m en fonction de la tension V_g
- Figure(IV.4) : Courbe de courant de drain $I_d V_d$ pour les différentes longueurs
- Figure(IV.5) : Une comparaison des courants de drain pour deux longueurs
- Figure(IV.6) : Les fonctions Y(V_g) pour les 5 longueurs
- Figure(IV.7) : la mobilité à faible champ pour les longueurs (L1 à L5)
- Figure(IV.8) : la tension de seuil en fonction des longueurs
- Figure(IV.9) : la mobilité effective en fonction de V_g
- Figure(IV.10) : Courbe qui montre la variation de θ_{eff} en fonction de V_g

Liste des abréviations

| | | |
|------------|-----------|--------------------------------------------------------------------------------------|
| BC | / | Bande de conduction |
| BI(gap) | / | Bande interdite |
| BV | / | Bande de valence |
| C_{ox} | Fm^{-2} | Capacité d'oxyde |
| E | J | Energie |
| E_c | J | Energie du niveau le plus bas de la bande de conduction |
| E_F | J | Energie du niveau de Fermi |
| g_m | AV^{-1} | Transconductance de canal d'un transistor MOS |
| I_d | A | Courant Drain - Source |
| K | JK^{-1} | Constante de Boltzmann ($k = 1.38.10^{23} JK^{-1}$) |
| L | M | Longueur de canal dessinée sur masque |
| MOS | / | Métal - Oxyde - Semi-conducteur |
| N_A | m^{-3} | Concentration des impuretés dopantes de type accepteur |
| N_D | m^{-3} | Concentration des impuretés dopantes de type donneur |
| n | m^{-3} | Concentration d'électrons libres dans le semi-conducteur |
| n_i | m^{-3} | Concentration intrinsèque d'électrons dans le semi-conducteur |
| p | m^{-3} | Concentration des trous libres dans le semi-conducteur |
| Q_d | Cm^{-2} | Charge dans la zone de désertion du semi-conducteur |
| Q_{ox} | Cm^{-2} | Charge piégée dans le volume de l'isolant de grille |
| Q_{in} | Cm^{-2} | Charge de la couche d'inversion |
| Q_{SC} | Cm^{-2} | Charge dans le semi-conducteur |
| Q_{tot} | Cm^{-2} | Charge totale présente dans l'isolant et à son interface en régime d'inversion forte |
| q | C | Valeur absolue de la charge de l'électron ($1.602.10^{-19} C$) |
| R_{SD} | Ω | Résistance série |
| T | K | Température absolue |
| t_{ox} | m | Epaisseur d'oxyde |
| V_b | V | Tension Substrat- Source |
| V_d | V | Tension Drain – Source |
| V_{FB} | V | Tension de bandes plates : tension V_g pour laquelle $\Psi_s = 0$ à la source |
| V_t | V | Tension de seuil du transistor |
| V_g | V | Tension Grille – Source |
| W | M | Largeur de canal dessinée sur le masque |
| β | V | Potentiel thermique (kT/q) |
| ΔL | m | Réduction de la longueur du canal |

Liste des abréviations

| | | |
|-----------------|------------------|-----------------------------------------------------------------|
| ΔW | m | Réduction de la largeur du canal |
| ϵ_0 | Fm ⁻¹ | Permittivité du vide (8.85.10 ⁻¹² Fm ⁻¹) |
| ϵ_{ox} | / | Constante diélectrique de l'oxyde de silicium (3.82) |
| ϵ_{SC} | / | Constante diélectrique du semi-conducteur (11.9) |
| Φ_F | V | Potentiel de Fermi |
| Φ_M | J | Travail de sortie du métal |
| Φ_{SC} | J | Travail de sortie du semi-conducteur |

| | | |
|-------------|-----------------------------------------------|----------------------------------------------------------------|
| Φ_{MS} | J | Travail de sortie entre le métal et le semi-conducteur |
| μ_0 | m ² V ¹ s ⁻¹ | Mobilité des électrons dans le canal à faible champ électrique |
| μ_{eff} | m ² V ¹ s ⁻¹ | Mobilité effective des électrons dans le canal |
| θ_1 | V ⁻¹ | Facteur d'atténuation linéaire de la mobilité |
| θ_2 | V ⁻² | Facteur d'atténuation quadratique de la mobilité dans le canal |
| Ψ | V | Potentiel dans le semi-conducteur |
| Ψ_s | V | Potentiel de surface du semi-conducteur |
| h | eVs | Constante de Planck réduite (4.13.10 ⁻¹⁵ eVs) |

Liste des abréviations

| | |
|--------|---------------------------------------------------|
| MOS | Metal-Oxide-Semiconductor |
| CMOS | Complementary Metal Oxide Semiconductor |
| TMOS | Transistor Métal Oxyde Semiconducteurs |
| MOSFET | Metal oxide Semiconductor Field Effect Transistor |
| DIBL | Drain Induced Barrier Lowering |
| CVD | Chemical Vapor Deposition |
| HP | High Performance |
| SOI | Silicon on Insulator |
| SCE | Short Channel Effect |
| C (V) | Courant-tension |
| ZCE | Zone de Charge d'espace |
| FD | Fully Depleted |
| PD | Partially Depleted |
| GAA | Gate All Around |

Introduction générale

Depuis les années 1950, le transistor à effet de champ MOSFET (Métal Oxyde Semiconductor Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semi-conducteur. Il est considéré comme la plus grande invention du 20^{ème} siècle. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions géométriques n'ont cessé de décroître, suivant la loi de Moore. Cependant, depuis le nœud technologique 270nm, la réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication (SCE, les fuites, perçage...).

L'industrie des semi-conducteurs est dans une période clef de son essor, passant du monde de la microélectronique à celui de la nanoélectronique. Afin de poursuivre l'augmentation des performances des dispositifs tout en maintenant l'architecture classique des MOSFETs, plusieurs solutions ont été envisagées au cours de cette évolution (les oxydes nitrurés, le dopage rétrograde, les diélectriques HK, le Fin FET et les multi grilles).

Le travail demandé est de mettre en évidence une des solutions industrielles envisagées, notamment en technologie 45nm avec un oxyde de silicium nitruré à dopage rétrograde. Ce dopage rétrograde est établi sous forme de poches et halos, pour permettre le contrôle de la grille sur le canal. Une caractérisation d'une batterie de transistors, sous forme d'une tranche ; les mesures $I_d(V_g)$ pour plusieurs V_d ont été faites en utilisant l'analyseur de paramètres HP 4155 sous pointes.

Dans le premier chapitre on fait un rappel sur l'architecture du transistor MOS, son principe de fonctionnement, on établira les différentes équations des courants et des charges régissant chaque régime de fonctionnement

Dans le deuxième chapitre on citera les effets de canaux courts et de porteurs chauds dus à la miniaturisation (les effets de canaux courts, les fuites, le perçage). Finalement on terminera par des différentes solutions proposées pour faire face à ces limitations.

Dans le troisième chapitre on fera l'extraction des paramètres électriques en régime linéaire et en régime saturé à l'aide des techniques de mesures (technique $I(V)$, technique $C(V)$, le pompage de charge et le bruit). On va rappeler quelques notions (pente sous le seuil, la définition de la transconductance et la tension de seuil).

Dans le quatrième chapitre on fera l'interprétation des résultats d'une application après l'étude théorique faite lors du deuxième chapitre sur l'extraction des paramètres électriques de transistor MOSFET, pour se faire on utilisera le logiciel de mathématique MATHCAD .

Chapitre I : Transistor MOS à effet de champ

I.1. . Introduction

Ce chapitre a pour but d'expliquer brièvement le transistor MOSFET (Metal/oxide/semi-conductor field effect transistor), On va donner son architecture, puis on parlera de son principe de fonctionnement ainsi que quelques équations de bases. On citera aussi la notion de la mobilité ainsi les mécanismes qui rentrent à sa réduction.

I.2. Architecture du transistor MOS à effet de champ

Le transistor MOS à effet de champs, est un dispositif à semi-conducteur, constitué d'un substrat (type p ou n) recouvert d'une très fine couche ($0,1\mu\text{m}$) d'oxyde SiO_2 sur laquelle est déposée l'électrode de grille métallique (considérée comme électrode de commande). Deux régions dites « source » et « drain » inversement dopées par rapport au substrat sont réalisées de part et d'autre de la grille *figure (I.1)*.

Une tension appliquée à la grille (V_g), commande la quantité de charges dans une région sous la grille appelée CANAL de longueur L et de largeur W *figure (I.1)*, alors que la tension appliquée au drain met ces charges en mouvement (courant I_d).

Un transistor de type n (ou p), signifie que le canal est une couche d'inversion de type n (ou p) réalisée sur un substrat de type p (ou n).*

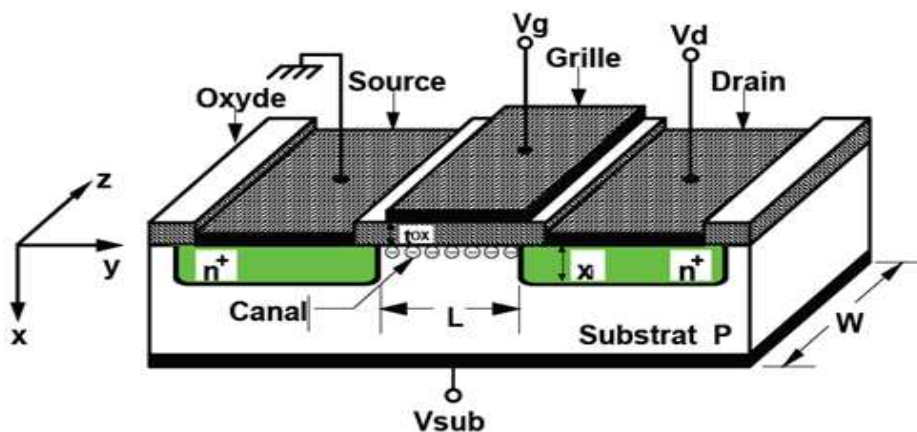


Figure (I.1) : Structure schématique de base du transistor Métal-Oxyde-Semi-conducteur (canal n)

I.3 Fonctionnement du transistor MOSFET

L'effet de champs consiste à modifier la concentration des porteurs au voisinage de l'interface oxyde/silicium par l'application d'un potentiel électrique sur la grille V_g . Les porteurs sont mis en mouvement grâce à la tension appliquée au drain V_d . Le potentiel de grille V_g modifie les courbures de bande d'énergie du semi-conducteur décrites par le potentiel de surface Ψ_s

$$V_g = V_{FB} + \Psi_s - \frac{Q_{ss} + Q_d + Q_{in}}{C_{ox}} \quad (I.1)$$

$$V_{FB} = \Phi_{ms} - \frac{Q_{ss}}{C_{ox}} \quad (I.2)$$

- Q_{in} la charge de la couche d'inversion
- Q_d la charge dans la zone de désertion du semi-conducteur
- Q_{ss} la quantité de charges dans l'oxyde et les états d'interface
- C_{ox} la capacité de l'oxyde
- Φ_{ms} la différence entre les travaux de sortie du métal et du semi-conducteur,
- Ψ_s Le potentiel de surface du MOSFET

Le fonctionnement de transistor se distingue par les différents régimes obtenus par le potentiel de la grille (accumulation, déplétion et inversion) et le potentiel du drain (linéaire et saturation)

I.3.1. Régime d'accumulation

Application d'une tension V_g qui est négative par rapport au substrat dans le transistor de type n, y'aura une accumulation des porteurs majoritaires de substrat à la surface, donc on est dans le cas où le potentiel de surface est négatif ($\Psi_s < 0$).

Le schéma de bandes d'énergies nous donne :

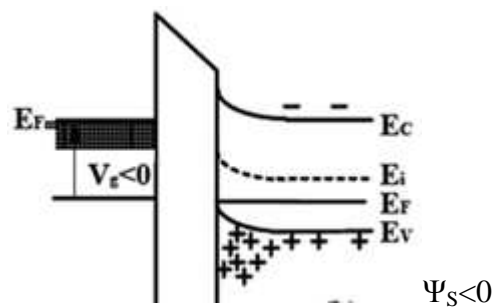


Figure (I.2) : bandes d'énergie en régime d'accumulation

I.3.2. Régime de bandes plates

Dans ce cas le champ électrique est nul au niveau de l'interface (Si/SiO₂), et on a donc le potentiel de surface Ψ_s qui est nul aussi.

La tension appliquée à la grille pour avoir ce régime est appelée tension de la bande plate notée (V_{FB}) telle que: $V_{FB} = \Phi_{ms} - \frac{Q_{SS}}{C_{ox}}$ avec :

- Φ_{ms} la différence entre les travaux de sortie du métal et du semi-conducteur,
- Q_{SS} la charge des états d'interface
- C_{ox} la capacité de l'oxyde.

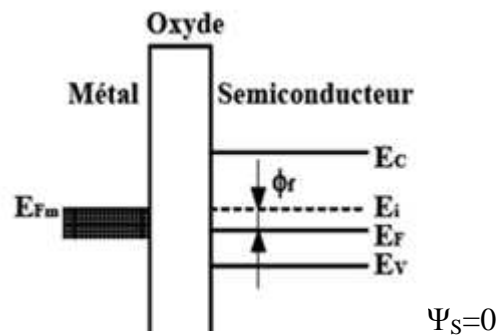


Figure (I.3): bandes d'énergie en régime de bandes plates

I.3.3. Régime de déplétion ou désertion

L'application d'une tension à la grille V_g , telle que V_g est légèrement supérieure à la tension de bandes plates V_{FB} ($V_g > V_{FB}$), on aura alors une légère augmentation de Ψ_s par rapport à zéro ($0 < \Psi_s < \Phi_F$). Les porteurs libres vont désertier la zone près de l'interface (Si/SiO₂), implique le transistor ne conduira pas.

Φ_F : représente le potentiel de Fermi du substrat : $\Phi_F = (kT/q) \ln(N_a/n_i)$

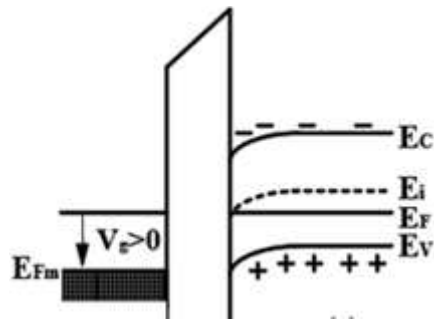


Figure (I.4) : bandes d'énergie en régime de déplétion

I.3.4. Régime de faible inversion

$\Phi_F \leq \Psi_S < 2\Phi_F$, les électrons libres ; les porteurs minoritaires s'accumulent à l'interface ou ils forment une couche d'inversion, le dispositif peut alors conduire.

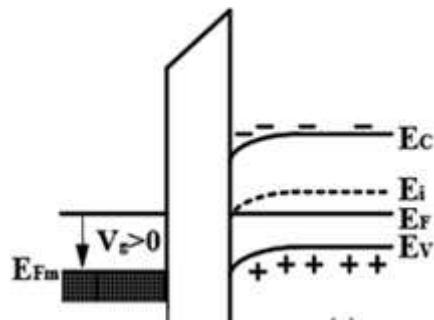


Figure (I.5) : bandes d'énergie en régime de faible inversion

I.3.5 Régime de forte inversion

$\Psi_S \geq 2\Phi_F$, en ce régime la concentration en électrons libres à l'interface est plus importante que celle des trous dans le substrat, donc le canal est formé d'une forte densité d'électrons.

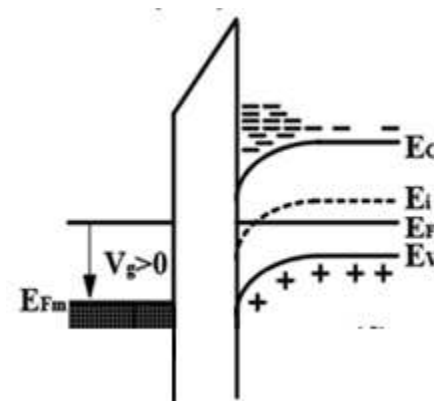
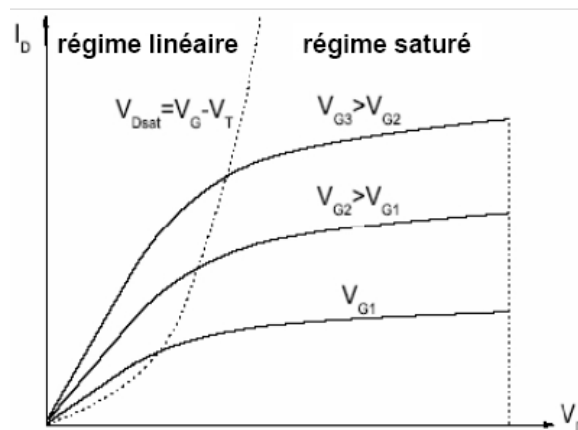


Figure (I.6) : bandes d'énergie en régime de forte inversion

En inversion forte on a deux domaines suivant la valeur de la tension du drain V_d *figure(1.7)* :

- **Régime linéaire** : En régime linéaire, et donc pour des faibles tensions V_d , la charge d'inversion varie linéairement le long de canal $V_d > 0$ et $V_d < V_g - V_t$
- **Régime saturé** : $V_g > V_t$ et $V_d \geq V_{dsat} = V_g - V_t$
Canal existe avec pincement côté drain, Le transistor conduit



Figure(1.7) Représentation de la caractéristique $I_d(V_d)$ du transistor nMOS

I4. Calcul de courant

Le courant I_d du au transport des électrons de la couche d'inversion sous l'effet d'une polarisation entre la source et le drain [1], est donné de façon simplifiée par des modèles basés sur deux approximations :

(i) Les lignes de courant sont parallèles à l'interface

(ii) La mobilité effective μ_{eff} est supposée indépendante de la polarisation pour les différents régimes de fonctionnement du transistor.

I.4.1. Régime d'inversion faible [1] :

En régime d'inversion faible, le courant de drain correspond à un courant de diffusion égal à :

$$I_d = \frac{W}{L} \mu_{eff} \frac{N}{M} Q_{inv}(0) [1 - \exp(-\beta \frac{M}{N} V_d)] \quad (I.3)$$

$$\text{Avec : } \beta = q/kT ; N = \frac{C_{ox} + Cd(\Psi_{so}) + C_{ss}}{C_{ox}} ; M = \frac{C_{ox} + Cd(\Psi_{so})}{C_{ox}}$$

Où : Ψ_{so} : est le potentiel de surface à la source,

C_{ss} : est la capacité d'états d'interface,

Q_{inv} : la charge d'inversion à la source donnée par : $\beta(V_g - V_t)$

$$Q_{inv}(0) = \frac{Cd(\frac{3}{2}\Phi_F)}{\beta} \exp(-\frac{1}{2}\beta\Phi_F) \exp(\frac{\beta(V_g - V_t)}{N}) \quad (I.4)$$

V_t : étant la tension de grille telle que $\Psi_{so} = \frac{3}{2}\Phi_F$, correspondant au milieu de l'inversion faible.

On voit donc que le courant de drain I_d varie exponentiellement avec V_g en inversion faible et sature pour des tensions de drain supérieures à quelques kT/q .

I.2.5. Régime d'inversion forte

En forte inversion [1], le potentiel de surface Ψ_s ne varie plus beaucoup avec la tension de grille. En première approximation, on peut montrer que :

$$Q_{in} = -C_{ox}(V_g - V_t)$$

V_t : est la tension de grille telle que $\Psi_s = 2\Phi_F$. D'après la relation de conservation de charge (I.1), V_t est donné par :

$$V_t = V_{FB} + 2\Phi_F + \frac{\sqrt{4 \cdot \epsilon_{si} \cdot q \cdot N_a \cdot \Phi_F}}{C_{ox}} + \frac{q \cdot N_{ss} \cdot 2\Phi_F}{C_{ox}}$$

Pour la forte inversion, on distingue deux domaines suivant la valeur de la tension de drain V_d : le régime linéaire et le régime saturé.

➤ **Fonctionnement linéaire :**

Lorsque V_d est faible, on est en régime ohmique, le potentiel de surface est constant le long du canal et supérieur à $2\Phi_F$. La charge Q_{in} est donc uniformément répartie dans le canal, Le courant de drain est alors égal à :

$$I_d = \frac{W}{L} \mu_{eff} C_{ox} (V_g - V_t) V_d$$

Le courant I_d croît linéairement avec les tensions V_g et V_d . On définit alors :

La conductance G du canal est l'inverse de sa résistance R_{DS} en fonction des tensions de grille V_g et du drain V_d . Quand ce paramètre G fait varier le courant I_d en fonction de la variation de la tension V_g , il est appelé transconductance :

$$g_m = \frac{\partial I_{ds}}{\partial V_g} = \frac{W}{L} \mu_{eff} C_{ox} V_d$$

Et quant ce courant est varié par V_d , il est appelé conductance g_d :

$$g_d = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}=C'} \approx \frac{W}{L} \mu C_{ox} (V_{GS} - V_T)$$

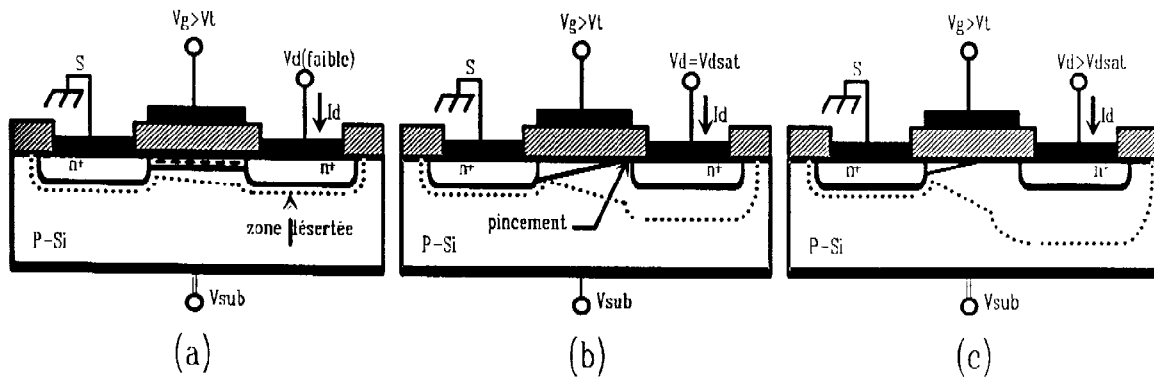
➤ **Fonctionnement en saturation :**

Lorsque V_d augmente [1], le canal n'est plus homogène mais pincé du côté de drain. V_d est alors égale à $V_{d_{sat}}$, tension de saturation, le régime de fonctionnement est alors dit « de saturation ». $V_{d_{sat}}$ est calculée en annulant la charge Q_{in} au point de pincement et vaut : $V_{d_{sat}} = V_g - V_t$ donc : le courant de saturation est alors donné par :

Le courant de saturation est alors donné par :

$$I_{d_{sat}} = \frac{W}{2L} \mu_{eff} C_{ox} (V_g - V_t)^2$$

La (figure I.8) résume les différents régimes de fonctionnement du MOSFET :



Figure(I.8) : Différents régimes de fonctionnement d'un nMOSFET

(a) Régime linéaire, (b) et (c) Régime de saturation

I.5 Calcul des charges et des capacités

I.5.1 Régime de déplétion

Dans ce régime ($0 < \Psi_s < \Phi_F$), la charge dans le semi-conducteur est essentiellement celle des accepteurs de densité N_a , supposés tous ionisés à température ambiante. On montre que la densité de charges par unités de surface est [1] :

$$Q_d = -q N_a x_d$$

Où x_d est l'épaisseur de la zone désertée : $x_d = \sqrt{(2\Psi_s \varepsilon_s / qN_a)}$

ε_s : étant la permittivité du silicium et q : la charge de l'électron.

La capacité de la zone de déplétion associée à la variation de potentiel de surface est donnée par :

$$C_d = \frac{dQ_d}{d\Psi_s} = \frac{Q_d}{2\Psi_s}$$

I.5.2 Régime d'inversion

Pour calculer la charge d'inversion Q_{in} , on suppose que :

(i) Les charges dans le semi-conducteur peuvent être séparées ; c'est-à-dire que la charge totale Q_{sc} est égale à la somme de déplétion Q_d et d'inversion Q_{in} dans la zone de charges d'espace sous la grille, donc $Q_{in} = Q_{sc} - Q_d$. Q_{sc} : est donnée par le théorème de Gauss :

$$Q_{sc} = \epsilon_s \frac{d\psi_s}{dx}$$

La capacité de la couche d'inversion est donnée par : $C_i = \frac{dQ_i}{d\psi_s} = \frac{qQ_i}{\alpha kT}$

Ou $\alpha=1$ en faible inversion et $\alpha=2$ en forte inversion.

La (**figure 1.9**) montre les variations de la charge Q_{sc} du semi-conducteur en fonction de potentiel de surface ψ_s [1] :

- ① $\psi_s < 0$: Régime d'accumulation.
- ② $0 < \psi_s < \Phi_F$: régime de désertion.
- ③ $\Phi_F \leq \psi_s < 2\Phi_F$: régime d'inversion faible.
- ④ $\psi_s \geq 2\Phi_F$: régime d'inversion forte.

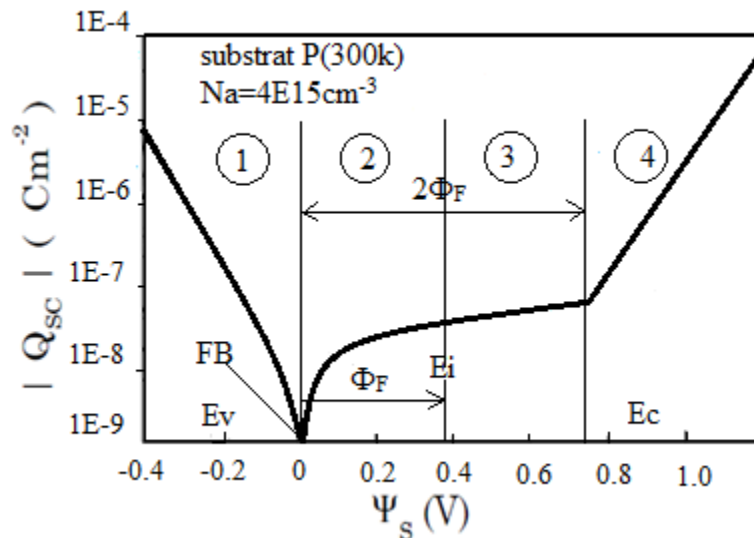


Figure (1.9) : Variation de la charge en fonction de potentiel de surface

I.6. Notion de la mobilité

Un champ électrique a pour effet de rendre les porteurs aptes à se déplacer dans la couche d'inversion, cette aptitude est traduite par la mobilité.

Cette mobilité avait été définie comme un paramètre constant (μ_0), cependant, des nouvelles études ont montré qu'elle dépend de plusieurs facteurs, tels que le champ électrique, la température, l'orientation de cristal ou encore le dopage du substrat....

D'une manière générale, certaines interactions porteurs-milieu ne peuvent plus être négligées dès lors que la densité de porteurs en surface du canal devient importante. Schématiquement, trois mécanismes différents sont à l'origine du comportement de la mobilité (réduction de la mobilité) [3] :

- Les collisions sur les phonons.
- Les collisions coulombiennes.
- Les collisions sur la rugosité de surface.

La figure (*figure I.10*) résume les différentes origines des collisions possibles. 1 : électrons présents dans le canal (couche d'inversion), 2 : charges fixes dans l'oxyde, 3 : états d'interface, 4 : rugosité de surface, 5 : impuretés ionisées dans le substrat.

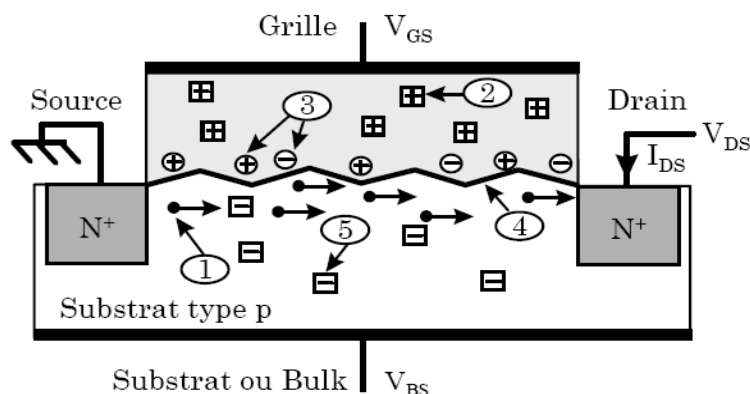


Figure (I.10) : Charges présentes dans la structure MOS au voisinage de l'interface Si isolant

I.6.1. Collisions sur les phonons

Au dessus de 0 K, un réseau cristallin vibre suivant des modes de vibration ou phonons qui dépendent de l'énergie d'excitation. A faible énergie thermique (des températures inférieures à 100 K), ce sont les phonons acoustiques qui prédominent [3]. A plus forte énergie (des températures comprises entre 100 K et 300 K), il faut considérer les phonons optiques qui provoquent des collisions inélastiques.

Lors de son transport dans la couche d'inversion, un électron peut entrer en collision avec un ou plusieurs phonons, ce qui se traduit par une chute de la mobilité.

I.6.2. Collisions coulombiennes

Les collisions coulombiennes sont dues à la présence de charges électriques parasites, à proximité du canal, qui perturbent le transport des électrons. [3]

Ces collisions coulombiennes sont d'autant plus efficaces que la couche d'inversion est de faible épaisseur. Leur effet commence à apparaître à des températures très basses lorsque les collisions sur phonons ne sont pas dominantes. Comme pour les collisions phoniques, un électron peut être gêné lors de son transport dans la couche d'inversion (par une charge positive ou négative). Il en résulte une baisse de la mobilité.

I.6.3. Collisions sur la rugosité de surface

Un troisième phénomène, dû à la rugosité de surface à l'interface silicium-isolant devient prédominant [3]. Il en résulte qu'à fort champ électrique (V_g élevé), les électrons proches de l'interface auront tendance à subir cette rugosité de surface, ce qui a pour conséquence de freiner leur transport dans le canal.

En résumé, à température ambiante (300 K), la mobilité des porteurs est essentiellement affectée par les phonons et les états chargés pour des faibles champs électriques et par la rugosité de surface pour les forts champs électriques.

L'influence de la rugosité de surface sur la réduction de la mobilité augmente fortement avec la diminution de l'épaisseur de l'isolant de grille. Cela se traduit par une diminution du courant I_d à partir d'une certaine tension V_g . Ce phénomène est pris en compte dans le modèle empirique de la mobilité effective via le terme θ_2 [3]

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(V_g - V_t) + \theta_2(V_g - V_t)^2}$$

Où θ_1 et θ_2 sont respectivement les facteurs linéaire et quadratique d'atténuation de la mobilité. Nous pouvons donc écrire l'expression du courant de drain en inversion forte pour des transistors MOS à diélectrique de grille mince :

$$I_d = \frac{W}{L} \mu_0 C_{ox} V_d \frac{(V_g - V_t)}{1 + \theta_1(V_g - V_t) + \theta_2(V_g - V_t)^2}$$

Chapitre II : Evolution du transistor MOSFET

II.1 Introduction :

Dans ce chapitre, nous aborderons les effets liés à la réduction des dimensions des composants, nous allons présenter leurs conséquences qui peuvent nuire le fonctionnement du transistor MOSFET, Il a pour but aussi d'énumérer les limitations et problèmes auxquels s'est heurtée l'évolution de la microélectronique dans sa course à la miniaturisation (SCE, les fuites et le perçage....). Finalement un état de l'art des différentes solutions proposées pour faire face à ses limitations est exposé(les oxydes contenant de l'azote, le dopage rétrograde, les HK et l'architecture SOI).

II.2 Les effets liés à la réduction des dimensions

Afin notamment d'améliorer les performances des transistors et de pouvoir réaliser des fonctions électroniques de plus en plus complexes, les dimensions des dispositifs sont réduites. Cependant, cette opération induit les effets néfastes au bon fonctionnement des MOSFETs, ceux sont les effets de canaux courts et de porteurs chauds. Les premiers sont directement liés à la réduction des dimensions des dispositifs alors que les seconds résultent de l'augmentation des champs électriques.

Effet de la géométrie du canal :

Une variation importante des paramètres de fonctionnement du transistor MOS est constatée avec la réduction des dimensions W_g et L_g . Cet effet est l'illustration de l'évolution des procédés de fabrication [8]. Les variations du dopage entre la surface (N_{surf}) et le volume du semi-conducteur (N_{vol}), on observera l'effet canal court (SCE pour "short channel effect") ou canal court inverse (RSCE pour "reverse short channel effect") *figure(II.1)*:

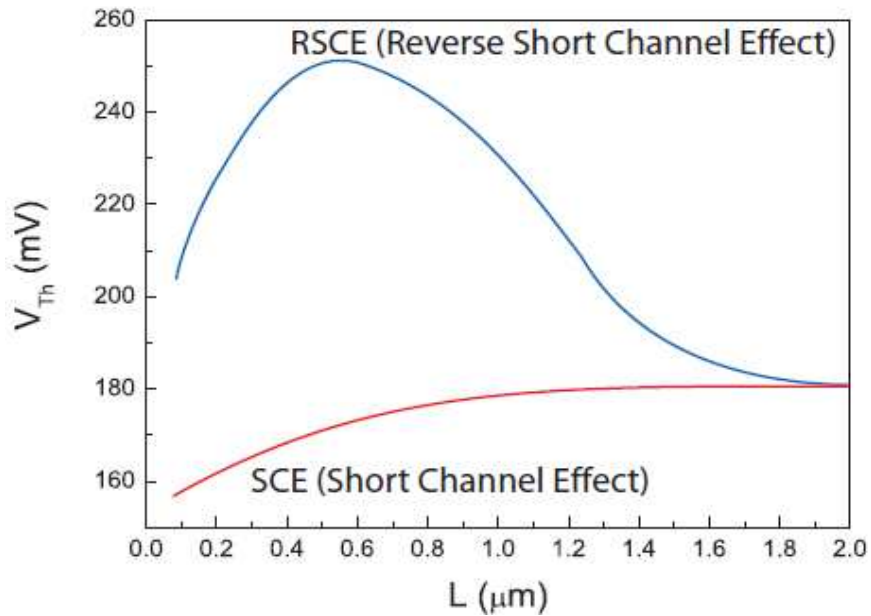
$$N_{surf} > N_{vol} \quad \Rightarrow \quad \text{SCE}$$

$$N_{surf} < N_{vol} \quad \Rightarrow \quad \text{RSCE}$$

II.2.1 Les effets de canaux courts

L'effet canal court traduit la diminution de la tension de seuil par la diminution de la longueur de la grille du dispositif. Il est lié au fait que le potentiel électrostatique entre la source et le canal et entre le canal et le drain qui graduel a cause des zones de charge d'espace le long des jonctions. Lorsque la distance entre la source et le drain atteint l'ordre de grandeur des zones de charge d'espace, la barrière de potentiel dans le canal chute et engendre une baisse de la tension de seuil appelé SCE « Short Channel Effect ».

Les effets canaux courts entraînent l'augmentation du courant de fuite liée à la diminution de tension de seuil, une baisse de fonctionnalité du transistor (ainsi qu'une disparité de tensions de seuil entre les transistors présentant différentes longueurs de grille), rendant plus complexe la conception des circuits.



Figure(II.1) : Représentation schématique de la tension de seuil en fonction de la longueur du canal [8].

a) Effet DIBL :

A forte polarisation de drain ($V_d > V_{d,sat}$), un autre phénomène devient important : c'est l'effet DIBL (pour Drain Induced Barrier Lowering). Il en résulte une augmentation du courant de drain avec la tension de drain en régime de saturation. L'effet d'abaissement de la barrière de potentiel induit par le drain a été largement étudié durant les dernières décennies [2]. Cependant, il est toujours d'actualité en raison de la réduction constante des dimensions des dispositifs. Dans les MOSFETs à canal court, les zones de diffusion de source et de drain sont proches ce qui entraîne une pénétration importante du champ électrique du drain vers la source.

La barrière de potentiel à la source peut donc être réduite en raison de cette influence du drain. L'importance de cet effet dépend, bien sûr, de la longueur de canal mais également de la profondeur de jonction ou encore du dopage.

La conséquence de l'abaissement de la barrière de potentiel de la source est une injection d'électrons de la source entraînant une augmentation du courant de drain.

b) Perçage

Pour des tensions de drain élevées, les zones de déplétion de part et d'autre du canal peuvent se toucher, dans ce cas $W_s + W_d = L_g$. Cette situation extrême porte le nom de perçage (punchthrough en anglais). **Les porteurs majoritaires de la source (les électrons dans le cas d'un transistor MOS de type N) peuvent être injectés directement dans le canal entièrement déplété et collecté par le drain.**

Le phénomène est essentiellement lié à la hauteur de la barrière de potentiel entre la source et le drain à travers le volume du substrat. Il est fortement dépendant de l'extension des régions de déplétion sous le canal [2].

c) Résistance série de source et de drain :

La résistance d'accès totale résulte de la contribution de plusieurs éléments qui sont :

- Résistance de contact métal – semi-conducteur et des interconnexions,
- Résistance de diffusion à l'intérieur de la source et du drain,
- Résistance des zones faiblement dopées LDD.

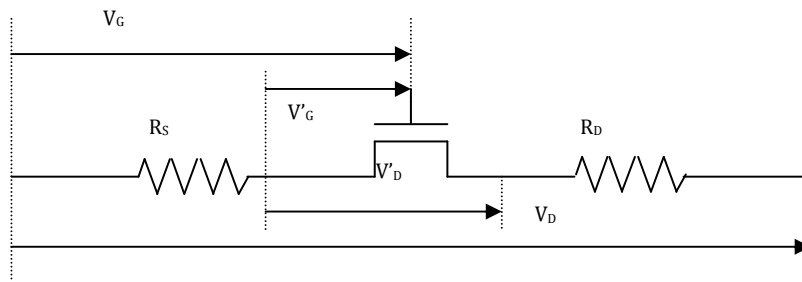
La miniaturisation des composants peut entraîner une augmentation de la résistance série en réduisant la profondeur de grille. La résistance est donc non négligeable pour les MOSFETs submicroniques. Généralement on considère une symétrie parfaite du transistor de sorte que les résistances de source et de drain soient identiques :

$$R_S = R_D = \frac{R_{SD}}{2}$$

Les résistances séries entraînent la diminution des tensions effectives appliquées au transistor. Si V_G et V_D sont respectivement les tensions appliquées à la grille et au drain du transistor, les tensions effectives sont données par les relations :

$$V_G' = V_G - I_D \cdot R_S$$

$$V_D' = V_D - I_D \cdot R_{SD}$$



Figure(II.2) : Influence des résistances séries

d) Courant de fuite du drain induit par la grille (GIDL)

C'est un courant parasite, dû essentiellement au champ électrique transverse entre grille et drain et l'effet tunnel. Il est amplifié pour les valeurs négatives de V_g . Il apparaît dans les zones de recouvrement entre la grille et le drain fortement polarisées et où il règne un très fort champ électrique local [2]. Cet effet contribue à l'augmentation du courant I_{off} .

II.2.2. Les effets de porteurs chauds

Les porteurs acquièrent de l'énergie grâce au champ électrique et en dissipent une partie au réseau cristallin par des collisions sur les phonons acoustiques et optiques [2]. Lorsque le champ électrique longitudinal augmente, les porteurs gagnent plus d'énergie qu'ils n'en dissipent.

Donc, sous l'action du champ électrique longitudinal les porteurs peuvent devenir des porteurs "chauds". Le champ électrique et ainsi les effets des porteurs chauds seraient plus grands avec l'augmentation du potentiel entre drain et source et/ou avec la réduction du canal.

Une des conséquences principales des effets de porteurs chauds est la génération de paires électron-trou [2]. Ce phénomène se produit lorsque les électrons ou les trous ont une énergie suffisante pour ioniser par impact les atomes du silicium. Nous pouvons distinguer deux stades d'ionisation par impact. L'ionisation primaire dont les porteurs du canal sont responsables : les trous générés vont constituer le courant de substrat alors que les électrons seront collectés par le drain (dans le cas d'un nMOSFET). Et l'ionisation secondaire pour laquelle une partie des porteurs créés par ionisation primaire constitue la source de cette ionisation secondaire. Un courant de grille en est issu.

La compréhension des mécanismes d'ionisation par impact est nécessaire pour évaluer les situations de dégradation maximale due aux porteurs chauds selon deux principaux critères : la structure technologique et la polarisation de cette structure.

II.3. Solutions technologiques

Afin de limiter les effets néfastes dus à la miniaturisation des dispositifs présentés précédemment, nombre d'ajouts technologiques sont aujourd'hui couramment employés dans les technologies les plus avancées. Nous en présenterons trois qui aujourd'hui sont standardisés.

II.3.1. Siliciuration source et drain

Aux faibles longueurs de grille, la résistance source-drain influe sur le courant de drain comme nous l'avons expliqué. Afin d'enrayer la baisse du courant de drain qui en résulte, on peut chercher à diminuer la valeur des résistances d'accès source et drain.

Pour cela, on silicure les accès source et drain pour les métalliser et ainsi diminuer la valeur de leur résistance carrée. Pour cela on peut utiliser plusieurs alliages à base de Silicium : parmi les premiers utilisés il y eut le Siliciure de Titane (TiSi_2), puis le Siliciure de Cobalt (CoSi_2) alors que les dernières générations de transistors s'orientent plutôt vers le Siliciure de Nickel (NiSi)[2].

II.3.2. Extensions LDD

On a déjà présenté les effets de porteurs chauds. Rappelons qu'à forte polarisation de drain, se crée des défauts dans l'oxyde près du drain provoquant une baisse de la transconductance car ces défauts dégradent la mobilité des porteurs. Ce phénomène entraîne un vieillissement prématuré du transistor affectant donc sa fiabilité. Pour limiter ce phénomène, des extensions LDD (Lightly Doped Drain) sont aujourd'hui couramment utilisées.

Les extensions LDD sont des extensions des zones source et drain sous la grille mais avec un dopage plus faible.

Les extensions LDD permettent une réduction du champ électrique effectif maximal coté drain. Comme les extensions LDD ont une résistivité assez importante, le champ latéral ne chute pas à zéro au bord du LDD comme pour une jonction profonde HDD, mais se répartit tout au long du LDD [2].

Mais l'utilisation d'extensions LDD rajoute une composante aux résistances d'accès source et drain. C'est pour cette raison que l'on trouve parfois la dénomination « extensions MDD » pour Medium Doped Drain, ce sont des extensions LDD un peu plus dopées pour éviter de trop augmenter la résistance série source-drain.

II.3.3. Poches de surdopage

On a montré aussi comment l'effet de partage de charge entraînait une diminution de la tension de seuil avec la réduction de la longueur de grille. Pour pallier la perte de charge contrôlée par la grille, une idée serait d'implanter des zones plus fortement dopées que le substrat, que l'on appelle poches (Halos), près de la source et du drain. En effet, lorsque l'on va rapprocher la source et le drain le surplus de charge présent dans ces poches va compenser les charges perdues pour la grille à cause des jonctions source-substrat et drain-substrat.

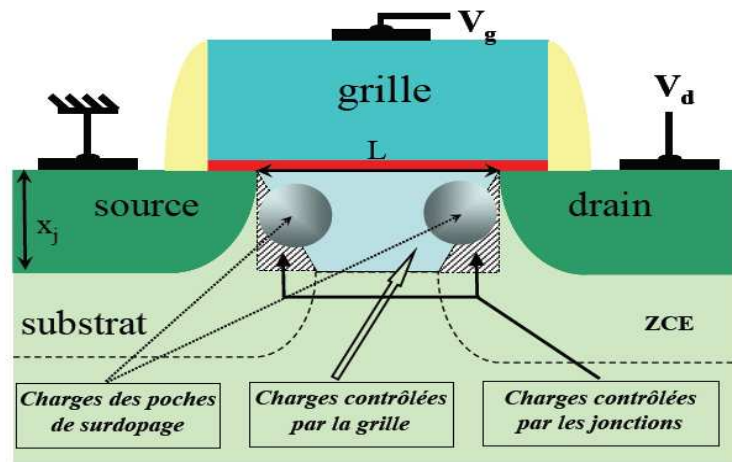


Figure (II.3) : Effet des poches de surdopage sur le partage de charge.

La **figure(II.3)**, explique le partage de charge, en y rajoutant des poches de surdopage. Sur cette figure, on s'aperçoit donc que les poches sont là pour compenser les charges passées sous le contrôle des jonctions lorsqu'on a diminué la longueur de grille [2].

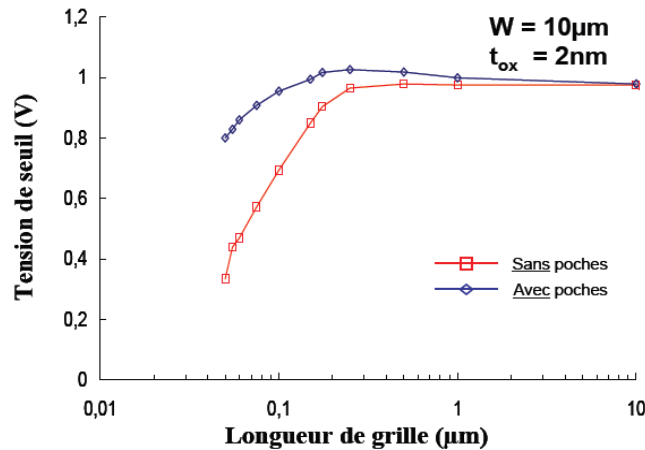


Figure (II.4) : Exemple de l'effet des poches de surdopage sur la tension de seuil.

La *figure (II.4)* montre un exemple de comparaison de la variation de la tension de seuil avec la longueur de grille dans le cas des dispositifs avec et sans poches. Ainsi, pour le transistor long ($L=10\mu\text{m}$), il n'y a pas de différence de valeur car le surplus de charge est négligeable devant la charge totale de la zone désertée contrôlée par la grille. Si on diminue la longueur de grille, on remarque une légère augmentation de la tension de seuil, celle-ci est due au surplus de charge apporté par les poches qui entraîne une hausse de la charge désertée contrôlée par la grille donc une hausse de la tension de seuil. On parle dans ce cas d'effet de canal court inverse ou RSCE (Reverse Short Channel Effect) en anglais [2]. Lorsque le partage de charge commence à se manifester, les deux phénomènes entre en compétition ce qui maintient la tension de seuil à peu près constante jusqu'à la plus faible longueur de grille. Le tout est de choisir la bonne dose d'implantation des poches ainsi que leur énergie d'implantation (donc leur profondeur) pour arriver à maintenir une tension de seuil identique quelque soit la longueur de grille (cette valeur étant fixée pour les transistors long à la première implantation V_t). Pour remarquer ces poches peuvent rester localisées là où elles ont été implantées ou bien diffuser vers l'oxyde et les jonctions source-drain (ce qui est souvent le cas des nMOS car on utilise du Bore et cet élément diffuse facilement), nous parlons alors de « halos » « poches » de surdopage.

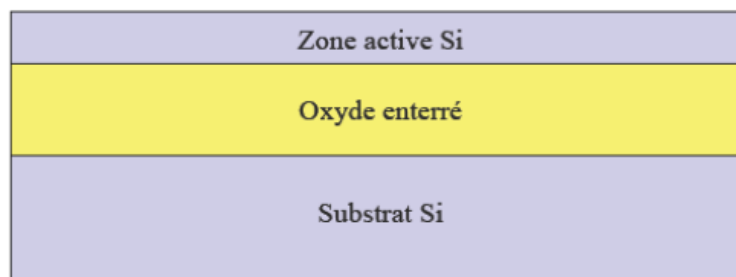
Avec toutes ces solutions proposées pour contrer les effets indésirables, on n'a pas pu les éliminer, alors on essaye toujours de trouver d'autres architectures qui peuvent être efficaces pour remédier à ce problème.

II.4. Architecture avancée

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFETs, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures, la réduction des fuites de grille en utilisant de nouveaux matériaux et d'autres solutions technologiques pour l'amélioration des propriétés du transport des porteurs.

La technologie SOI :

Longtemps quasiment exclusivement utilisée pour sa bonne tenue face aux radiations ionisantes [6], la technologie SOI a connu une grande diversification de ses applications aussi bien en électronique qu'en optique où elle permet la réalisation de guides optiques très performants [6]. Un substrat SOI, schématisé en *figure II.5*, se compose d'un empilement de trois couches. Un oxyde, dit « enterré », est intercalé entre 2 couches de silicium cristallin : la zone active et le substrat.

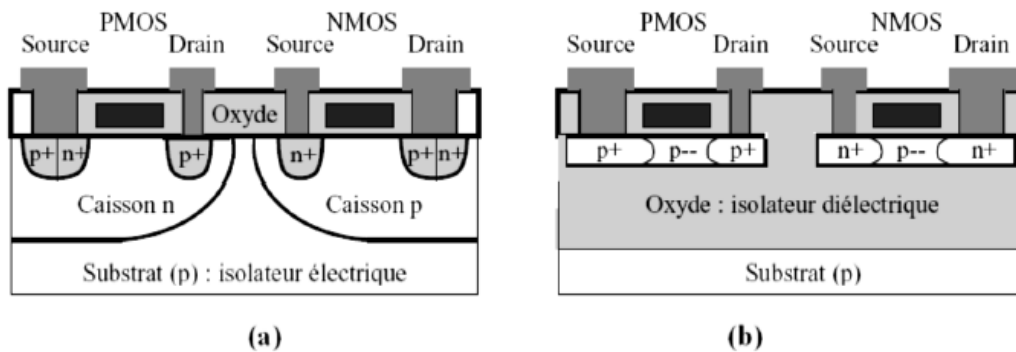


Figure(II.5) : Schéma d'un substrat SOI (Silicon on Insulator)

La très nette amélioration de la technologie **SOI** en qualité et en coût la rend très compétitive et ce d'autant plus qu'elle permet une bonne compatibilité avec les technologies CMOS actuelles [6]. Par exemple, la méthode révolutionnaire nommée « Smart cut », permet à l'heure actuelle de fabriquer des substrats SOI dits « Unibond » avec des couches actives de silicium ultrafines et de très bonne qualité cristalline [6]. On peut aussi citer la technologie SON (Silicon On Nothing) qui permet d'associer des zones « SOI » et « non SOI » sur une même puce [6].

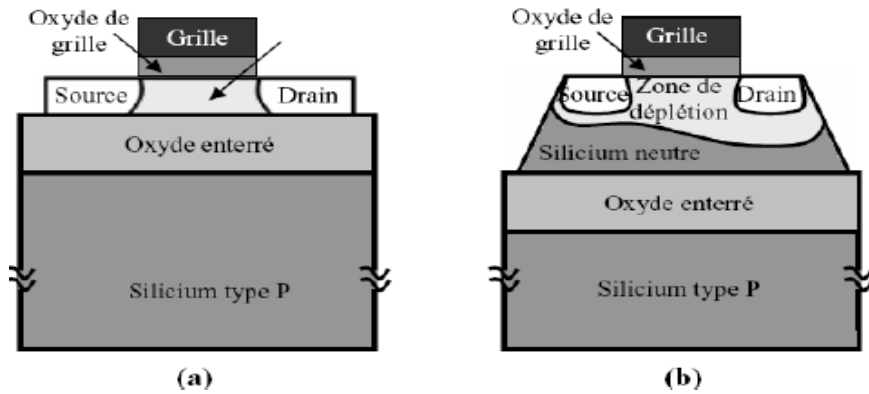
II.4.1. La technologie SOI à grille unique

Le terme SOI (*Silicon On Insulator*) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET bulk (*figure(II.6)a*) où les composants sont réalisés sur un substrat de silicium – appelé parfois bulk – d’une épaisseur de l’ordre de 600 μ m dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur une couche d’oxyde enterrée *figure(II.6)*. Le film de silicium a une épaisseur que nous noterons t_{Si} .



Figure(II.6) Coupe schématique de transistors MOS (a) bulk et (b) SOI [6]

Toujours à l’opposé du transistor MOS bulk où le canal d’inversion est localisé à l’interface silicium-oxyde, la structure SOI a donné naissance au concept d’inversion volumique [6]. La présence de l’oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n’atteint pas l’oxyde enterré ; nous parlons alors de transistor partiellement déplété (ou PDSOI, "*Partially Depleted SOI*"). Lorsque l’épaisseur du film est réduite et que la déplétion atteint l’oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "*Fully Depleted SOI*"). La *figure(II.7)* décrit ces deux structures.



Figure(II.7) :
Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété [6]

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur X_{Si} de la zone de désertion dans le film dépendra du dopage du film [6].

II.4.2. La technologie SOI multi-grilles

On distingue deux familles de transistors à doubles grilles, la première sont les dispositifs réalisés sur du substrat de silicium massif et la deuxième sur du SOI.

a) Dispositifs SOI à doubles grilles sur silicium massif

Schématiquement, la **figure (II.8)** montre une structure simplifiée du MOSFET à doubles grilles planaire, dans lequel le transport des porteurs se fait parallèlement au plan du substrat et le champ électrique entre les deux armatures des grilles est perpendiculaire.

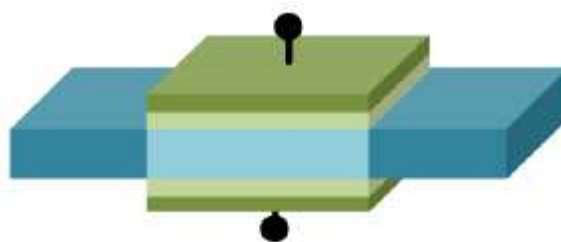


Figure (II.8) : Schéma simplifié d'un transistor double grille planaire

Les deux grilles vont pouvoir contrôler le potentiel dans le canal d'une manière plus efficace comparée aux simples grilles et la distribution de potentiel sera relativement plate. Toutefois, l'agencement des grilles par rapport au canal constitue la différence entre ces MOSFET. On parle alors, des doubles grilles quasi-planaires dans lequel le champ et le transport des porteurs se font parallèlement au substrat. Et du double grilles non-planaires où le champ et transport dépendent de l'agencement des grilles.

La réalisation des dispositifs à double grilles reste complexe. Ceci est dû aux problèmes d'alignement de la grille face avant et face arrière. Cet effet a pour conséquence, une forte dispersion des Effets de canaux courts entre les différents dispositifs [6]. En outre, la connexion de la grille face arrière pose d'énormes freins au développement de cette technologie à l'échelle industrielle.

Les dispositifs à doubles grilles non planaires, quant à eux, s'affranchissent des problèmes liés à l'auto-alignement des grilles et présentent une très bonne pente sous le seuil, avec une très bonne transconductance ainsi qu'une forte mobilité des porteurs. Les performances de ces transistors MOS multi-grilles sont toutes favorisées par le phénomène d'inversion volumique [5]. Il existe aussi un grand nombre de dispositifs à double grilles réalisés, sur un substrat SOI

b. FinFET en général

Le FinFet est le dispositif futur proposé par Intel pour les noeuds 22 nm et en deça. Plusieurs structures ont été proposées comme le Pi-gate MOSFET [5], OmegaFet (Ω Fet). Toutes ces approches ont en commun un canal de silicium mince ou « Fin » entouré de grilles. Cette configuration permet un contrôle accru du canal comparé aux doubles grilles ainsi qu'une réduction des Effets de canaux courts [5].

c. Gate All Around GAA MOS

C'est un transistor à grille enrobante GAA pour Gate All Around. Ce dispositif a été introduit par Jean Pierre Colinge en 1990 [5] (voir. *figure (II.9)*). Le dispositif est constitué d'un canal entouré par la grille de quatre cotées.

Le couplage électrostatique entre les grilles adjacentes va créer des conditions favorables pour que les porteurs minoritaires se concentrent dans les coins du GAA [5]. En revanche, cette structure est vulnérable aux effets de coins, puisque ces régions auront une faible tension de seuil et vont s'activer plus rapidement que le canal ce qui a pour conséquence la dégradation de la pente sous le seuil et l'augmentation des courants de fuites. L'arrondissement de ces coins peut supprimer l'activation des canaux parasites. Mais, pour l'instant, contrôler leurs rayons reste difficile technologiquement.

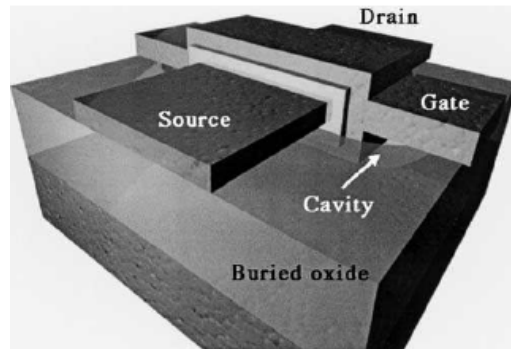


Figure (II.9) GAA SOI MOSFET [5]

La réduction de la taille des transistors MOS augmente le nombre ou met l'accent sur certains impératifs auxquels doit satisfaire l'isolant de grille : uniformité en composition et en épaisseur de la couche, fabrication parfaitement reproductible et rapide, excellentes propriétés d'interface avec le substrat, etc[3].

II.5. Propriétés de l'isolant de grille

L'isolant est un matériau clef dans la réalisation des transistors MOS ou plus généralement des circuits intégrés. En micro-électronique, Il doit satisfaire un certain nombre de critères relatifs à sa reproductibilité et à ses propriétés physiques, chimiques et électriques. [3] :

- La formation des couches isolantes doit être maîtrisée tant en ce qui concerne l'uniformité de l'épaisseur sur toute la plaquette (par exemple 2 nm d'isolant sur une plaquette de 300 mm de diamètre) que la vitesse de croissance.
- L'isolant doit être compatible avec les procédés technologiques de fabrication.
- La composition chimique de l'isolant doit être homogène afin de garantir l'uniformité des caractéristiques électriques des composants sur tranche.
- L'isolant doit présenter une grande barrière contre la diffusion de toute espèce étrangère.[3].
- La bande interdite de l'isolant doit être suffisamment large pour prévenir tout passage de porteurs entre la grille et le substrat.
- L'isolant doit pouvoir supporter des tensions élevées.

II.5.1. L'oxyde de silicium et le système Si-SiO₂

II.5.1.1. Caractéristiques de l'oxyde de silicium

Le silicium et l'oxygène ont une très forte affinité l'un pour l'autre ; d'où une oxydation spontanée du Si à l'air ambiant. Cela explique l'exceptionnelle qualité du SiO₂ et de son interface avec le silicium.

En raison de sa rapidité de croissance et de ses propriétés physico-chimiques et électriques, le SiO₂ a une place privilégiée dans la fabrication des circuits intégrés [3]. Cet isolant présente une très large bande interdite (8.9 eV), ce qui fait de lui un bon isolant électrique empêchant le passage de porteurs. Ainsi, la hauteur de barrière (énergétique) à l'interface Si-SiO₂ est de 3.2eV pour les électrons et de 4.6 eV pour les trous. Il a aussi une élasticité élevée et donc une bonne tenue aux contraintes mécaniques. A ces qualités s'ajoutent une bonne conductivité thermique et une stabilité chimique importante.

Bien que le SiO₂ n'ait pas encore trouvé de remplaçant (sauf pour quelques applications), il n'est pas le matériau "idéal" pour la fabrication des transistors MOS notamment en raison de sa faible constante diélectrique ($\epsilon_{ox} = 3.9$) et de sa structure peu compacte qui le rend perméable aux impuretés (comme le bore provenant du polysilicium de grille). De plus, sa faible inertie chimique le rend sensible aux procédés de gravure (diminution de la surface effective du canal du transistor).

II.5.1.2. Le système Si-SiO₂ : les défauts

Le système Si-SiO₂ et notamment son interface font l'objet de nombreuses recherches destinées à mieux connaître sa structure et surtout à en améliorer la qualité. Les mesures électriques, comme par exemple le pompage de charge, le bruit basse fréquence ou encore la conductance, donnent certaines informations sur les défauts présents dans l'oxyde (à l'interface avec le silicium et en volume) [3].

II.5.1.3 Notion de défaut électriquement actif

Les ruptures dans la périodicité du SiO₂ donnent naissance à des états électroniques qui peuvent changer de charge électrique en capturant et en émettant des électrons et des trous avec une certaine constante de temps, pouvant aller de la picoseconde à plusieurs jours [3]. Ces états affectent directement plusieurs caractéristiques des composants MOS comme la tension de seuil, la pente sous le seuil et le niveau de bruit. La densité de ces états est

susceptible de varier fortement lors de toute modification du procédé de fabrication ou de l'utilisation du composant, entraînant ainsi une variation de ses caractéristiques qui peut conduire dans les cas extrêmes au dysfonctionnement du composant et/ou du circuit.

L'existence d'une zone de transition entre le dioxyde et le substrat laisse supposer une densité plus importante de défauts à l'interface que dans le volume de l'oxyde.

II.5.2. Solutions apportées aux limites du SiO_2

II.5.2.1. Oxynitrures et oxydes nitrurés

Pourquoi nitrurer l'oxyde de grille ?

La diminution de l'épaisseur de l'isolant de grille (moins de 20 nm) entraîne la disparition de certaines propriétés physico-chimiques de l'oxyde de silicium, comme la protection contre la diffusion des impuretés, l'homogénéité de la couche. Il en résulte une augmentation du nombre de défauts qui affectent les caractéristiques électriques des composants. Dans les années 1980, les recherches sur le remplacement de cet isolant pour les transistors MOS ont abouti, entre autre, à l'étude du nitrure de silicium et de l'oxyde de silicium nitruré. Notons que des études portant sur cette solution de remplacement ont commencées avant 1980 [3].

Le nitrure de Silicium (Si_3N_4) a une constante diélectrique plus élevée ($\epsilon_r = 7.5$) que l'oxyde de silicium ($\epsilon_r = 3.8$) et sa structure est beaucoup plus dense. Il présente également une plus grande barrière à la diffusion des impuretés. Cependant, la croissance thermique d'un tel isolant est autolimitée ce qui ne permet pas d'obtenir des épaisseurs supérieures à 4.5 nm. De plus, l'interface $\text{Si}/\text{Si}_3\text{N}_4$ est très médiocre ce qui en interdit l'utilisation comme isolant de grille sauf en interposant une couche de SiO_2 entre le substrat et le film de nitrure.

Compte tenu des avantages et des inconvénients du SiO_2 et du Si_3N_4 , la solution envisagée actuellement est d'utiliser des matériaux à stœchiométrie intermédiaire, c'est-à-dire des oxynitrures ou oxydes nitrurés. La distinction entre l'oxynitrure et l'oxyde nitruré vient de l'approche utilisée pour l'obtention de l'oxyde de silicium contenant de l'azote. La première consiste à introduire l'azote, par un procédé de recuit, dans l'oxyde déjà formé. Cet isolant est dénommé oxyde nitruré. Pour la deuxième méthode, l'azote est incorporé en même temps que le dépôt ou la croissance de l'oxyde. Cet isolant est appelé oxynitrure.

II.5.2.2. Propriétés des oxydes de silicium contenant de l'azote

La présence d'azote dans l'oxyde de silicium et à l'interface isolant - substrat modifie de manière complexe les propriétés physiques et électriques de ce matériau. Il en résulte une amélioration ou une dégradation des propriétés électriques et des effets de contraintes de l'isolant [3]. Nous passons en revue à présent les principaux atouts des oxydes contenant de l'azote :

- Barrière à la diffusion des dopants :

Les divers dopants introduits dans le procédé de fabrication des transistors MOS peuvent pénétrer dans l'isolant de grille et entraîner des effets indésirables. Par exemple, le bore utilisé pour doper les grilles P+ en polysilicium produit une augmentation du nombre de défauts dans l'isolant, entraînant ainsi un décalage de la tension de bandes plates et une augmentation de la pente sous le seuil. Cette augmentation de charge dans l'isolant diminue la mobilité des porteurs dans le canal d'inversion et par conséquent la valeur du courant de drain. Les couches de SiO₂ contenant de l'azote montrent une résistance à la diffusion des impuretés bien plus importante que les couches d'oxyde thermique intrinsèques [3].

Cette barrière plus importante concerne aussi bien les atomes de bore que les atomes de phosphore. Elle s'explique par la plus grande compacité du réseau.

- Plus grande résistance aux radiations [3] :

La dégradation sous irradiation des performances des oxydes contenant des atomes d'azote est moins importante que celles des oxydes de silicium pur.

- Amélioration du comportement de la transconductance :

L'utilisation d'oxyde de grille contenant de l'azote permet d'augmenter la valeur de la transconductance des transistors MOS à fort champ électrique comparée aux oxydes thermiques [3]. A ces atouts s'ajoutent d'autres inconvénients tel que :

- Augmentation du nombre de défauts :

L'introduction d'azote dans l'oxyde de silicium apporte des défauts supplémentaires. Ils ont mesuré la densité d'états dans la bande interdite en distinguant la contribution de chaque type de défaut. Malgré que l'oxyde de silicium contenant de l'azote

II.6. Matériaux high-k

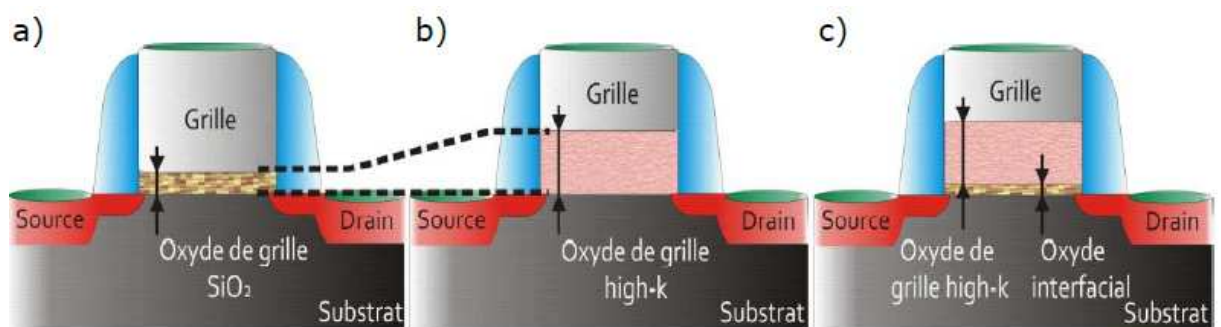
II.6.1. Introduction des matériaux high-k

Nous avons présenté les limites de la miniaturisation pour la technologie « Bulk » conventionnelle. Lorsque la couche du dioxyde de silicium SiO₂ atteint ses limites (quelques Angstroms), les courants de fuites par effet tunnel direct à travers l'oxyde de grille deviennent un défi à surmonter. Plusieurs solutions ont été présentées précédemment. Les oxydes nitrurés ont été une des solutions à moyen terme, les nouvelles architectures sont encore en phase d'études mais l'intégration des diélectriques high-k est l'une des solutions les plus simples au remplacement du SiO₂ (technologie bulk).

Le principe est donc de remplacer le SiO₂ par un matériau de plus grande permittivité. Cela permet d'obtenir une épaisseur (EOT) équivalente (ou plus faible) à l'épaisseur de l'oxyde SiO₂ alors que l'épaisseur physique « THigh-k » du matériau high-k est plus grande. A même capacité et avec un THigh-k plus grand, le courant de fuite par effet tunnel sera donc fortement réduit. L'épaisseur physique d'oxyde équivalente est donnée par[4]

$$C_{SiO_2} = C_{High-k} \Leftrightarrow \frac{\epsilon_{SiO_2}}{t_{SiO_2}} = \frac{\epsilon_{High-k}}{t_{High-k}} \Leftrightarrow t_{SiO_2} = EOT = \frac{\epsilon_{ox}}{\epsilon_{High-k}} t_{High-k} \dots \dots \dots (II)$$

avec C_{SiO₂} et C_{High-k} respectivement les capacités d'oxyde de grille avec du SiO₂ et du high-k, ε_{ox} la permittivité relative du diélectrique de référence, ε_{High-k} la permittivité du matériau high-k et t_{SiO₂}, l'épaisseur physique du diélectrique high-k.



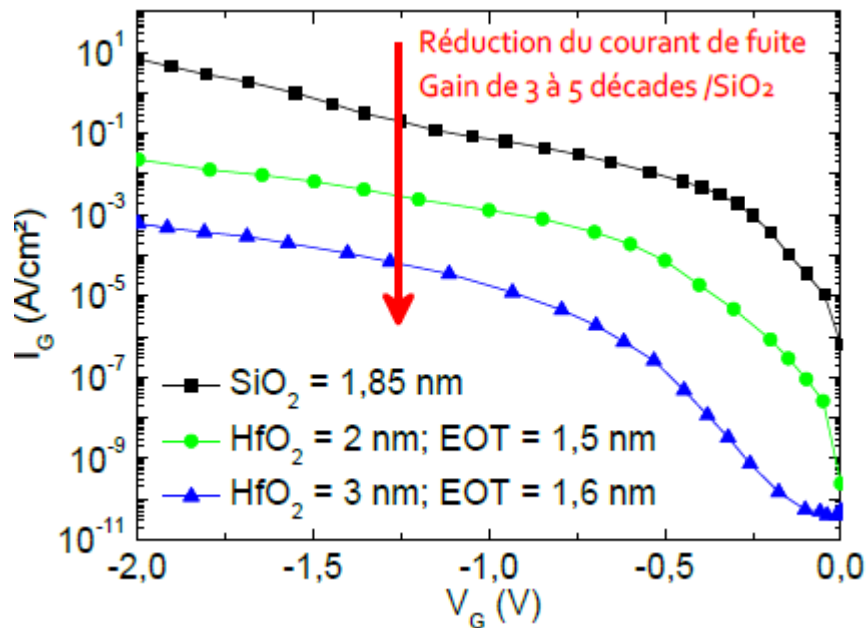
Figure(II.10) : Illustration de l'intégration d'un diélectrique high-k dans une structure MOSFET permettant de comparer les différents EOT à capacités équivalentes : a) Oxyde de référence SiO₂ ; b) Intégration d'un oxyde high-k ; c) Structure réelle

La structure MOSFET à diélectrique high-k tient compte d'une couche inter faciale (SiOx). Cette couche est souvent volontairement déposée avant le dépôt du diélectrique high-k car dans le cas contraire, elle peut être créée lors du dépôt par la diffusion d'oxygène à travers le

matériau ou lors d'une réaction thermodynamique. Dans ce cas, l'épaisseur ainsi que la qualité d'interface Si/SiO_x ne pourront pas être contrôlées. En considérant une couche interfaciale, la relation (II) se réécrit[4] :

$$EOT = \frac{\epsilon_{ox}}{\epsilon_{High-k}} t_{High-k} + \frac{\epsilon_{ox}}{\epsilon_{interfaciale}} t_{interfaciale}$$

Le contrôle de la couche interfaciale est primordial pour l'intégration des diélectriques high-k. En *figure(II.11)*, on peut visualiser l'impact de l'intégration d'un diélectrique high-k par rapport à une structure à base de SiO₂. On observe bien une forte réduction des courants de fuites à travers l'oxyde de grille (3 à 5 décades), et cela pour des EOT bien inférieurs à l'épaisseur de référence SiO₂.



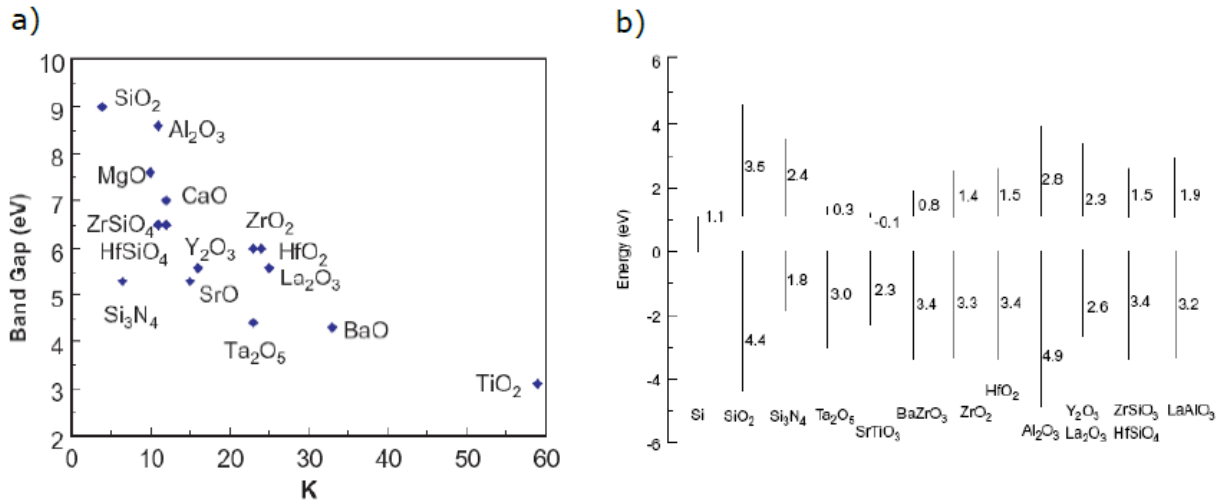
Figure(II.11) : Comparaison entre deux dispositifs intégrant un diélectrique HfO₂ et une référence SiO₂. On observe que les courants de fuite des dispositifs à base d'hafnium sont fortement réduits (3 à 5 décades) par rapport à la référence, et cela pour des EOT inférieurs. Les dispositifs sont à grille métal TiN et les diélectriques High-k sont déposés sur un oxyde interfacial SiO₂ de l'ordre de 1 nm [4]

II.6.2. Compatibilité avec la technologie silicium

Le gain d'épaisseur et l'augmentation de la permittivité apportés par un matériau à haute permittivité ne répondent qu'à une partie des critères requis permettant le maintien de la capacité. Afin d'introduire ces nouveaux matériaux dans une filière de production, les

matériaux high-k doivent respecter un cahier des charges très strict [4]. L'ensemble des propriétés imposées doit être supérieur ou au moins égal à celle du SiO₂.

La *figure(II.12) a et b* présente les propriétés de différents matériaux diélectriques à forte permittivité [4], comme la permittivité, la bande interdite ou encore le positionnement de leurs bandes d'énergies en vis-à-vis du SiO₂.



Figure(II.12) :a) Représentation de l'énergie de la bande interdite en fonction de la permittivité relative pour les matériaux envisageables en tant qu'oxyde de grille. On voit que la permittivité relative k tend à varier de façon inversement proportionnelle avec la valeur de la bande interdite. b) Positionnement des bandes d'énergies et des hauteurs de barrière des oxydes vis-à-vis du Si [4].

a) Permittivité : La permittivité relative du matériau doit être suffisante afin de pouvoir remplacer le SiO₂.

b) Hauteur de barrière et bande d'énergie :

Comme illustré en *figure (II.12)a*, la hauteur de barrière décroît lorsque la constante diélectrique augmente. On a donc un compromis à trouver entre la constante diélectrique et le gap, et cela limite l'application des matériaux à très forte permittivité. Les hauteurs de barrières sont des propriétés importantes puisqu'elles représentent la hauteur vue par les électrons depuis la bande de conduction et ou par des trous depuis la bande de valence. Pour garantir un comportement d'isolant, les hauteurs de barrières doivent être suffisamment grandes afin de minimiser l'injection des porteurs. Il a été exprimé que l'écart minimum entre la hauteur de barrière du matériau high-k et le silicium doit être supérieure à 1 eV [4]. Dans le cas contraire, cela pourrait être à l'origine d'une contribution excessive du courant de fuite.

c) Stabilité thermodynamique :

Le nouveau matériau doit avoir une bonne stabilité durant toutes les différentes étapes de fabrication afin d'éviter les phénomènes d'inter-diffusion des espèces. Il doit, entre autres, être stable au contact avec le silicium. On souhaiterait également éviter tout phénomène de dégradation tel que la formation d'une couche inter faciale de silice ou de silicate mal contrôlée et peu désirable. Avec une épaisseur de grille très mince, l'interface avec le silicium est un facteur très important dans les propriétés électriques. Pour contrer la formation d'un oxyde interfacial, on peut déposer volontairement une fine couche de barrière de diffusion sur le silicium, généralement de faible permittivité tel que le SiO₂ (stable sur Si), mais l'inconvénient de cette couche est de faire chuter la permittivité globale des empilements composant l'oxyde de grille. En contrepartie, l'utilisation de cette couche interfaciale à forte bande d'énergie (cas SiO₂) permet de diminuer le courant de fuite à travers l'empilement de grille[4].

d) Qualité d'interface et défauts dans le volume :

Pour éviter d'avoir une dégradation du transport dans le canal (rugosité et états d'interface), une bonne qualité de l'interface oxyde/silicium est primordiale. L'interface Si/SiO₂ présente une très bonne qualité avec une densité d'états d'interface de l'ordre de $10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ contre actuellement $10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ pour des matériaux à haute permittivité. Dans un empilement high-k, une bonne maîtrise de la couche inter faciale permettrait de s'approcher au mieux de la qualité d'une interface Si/SiO₂ dont on connaît maintenant les avantages. Dans le diélectrique à haute permittivité, la densité de défauts dans le volume est bien supérieure à celle du SiO₂.

La structure du matériau doit résister aux températures lors du processus de fabrication.

Pour permettre l'intégration du matériau high-k dans le procédé, il doit avoir une compatibilité avec :

II.7 Le matériau de grille :

Les grilles à base de Si sont des matériaux maîtrisés à l'échelle industrielle. Le nouveau diélectrique devrait de préférence être compatible avec le matériau de grille en poly silicium.

L'intégration d'un diélectrique à forte permittivité va engendrer plusieurs problèmes relatifs au poly silicium.

Dans la littérature, on trouve des études menées sur toutes sortes de diélectriques à haute permittivité (amorphe sur Si) afin de trouver le successeur au SiO_2 . L' Al_2O_3 est un diélectrique possédant une permittivité relativement faible ($\epsilon \approx 10$) par rapport à la majorité des diélectriques high-k. Avec une telle valeur, il ne pourra pas être utilisé comme diélectrique high-k dans les applications visées. Les diélectriques tels que le HfO_2 , La_2O_3 , ZrO_2 ou encore le Ta_2O_5 sont assez intéressants puisqu'ils possèdent une constante diélectrique proche de 20. Certains matériaux étudiés comme le BaTiO_3 ou le SrTiO_3 ont des valeurs de permittivités très élevées (de l'ordre de 300), mais ils ont l'inconvénient de ne pas être stables sur le silicium [4].

II.8 Transistor a base de graphène (nouvelle technologie) :

La Samsung Advanced Institute of Technology, au cœur de la R&D du coréen, aurait développé un nouveau transistor à base de Graphène. Nous en parlions déjà il y a quelques mois en indiquant que cette nouvelle matière pourrait un jour permettre la production de nouveaux transistors plus performants que ceux à base de Silicium.

Les chercheurs dans les fonderies ont deux axes de recherche pour améliorer continuellement les performances des transistors qui constituent en partie les processeurs de nos ordinateurs. Le premier axe consiste en la réduction de la taille de ces transistors pour réduire la distance que doivent parcourir les électrons entre la source et le drain d'un transistor. Le deuxième axe est tout simplement l'accélération de la vitesse de déplacement des électrons (amélioration de la mobilité). Pour y parvenir, il faut trouver un nouveau matériau qui remplace le Silicium et permette une mobilité des électrons plus importante que ce dernier. Les chercheurs se sont principalement concentrés sur la réduction de la taille même si d'autres ont également commencé la recherche vers de nouveaux matériaux, avec la découverte du Graphène en 2004.

II.9. transistor à base de nanotube de carbone :

Les limites tant fondamentales qu'économiques de la technologie CMOS ont poussé la communauté scientifique à s'investir dans l'étude de technologies alternatives. Ce besoin a été traduit par la naissance de l'électronique moléculaire comme le transistor à nanotube de

carbone. Ce transistor à effet de champ est formé par un ou plusieurs nanotubes de carbone qui jouent le rôle du canal.

Malgré les grands avantages que les nanotubes ont apporté aux performances des transistors laisse toujours cette technologie très émergente et elle reste loin d'être mature puisque un déficit technique est bien présent qui consiste à bien maîtriser l'emplacement et l'orientation de ces nanotubes ainsi que leur structure atomique comme le diamètre au moment de la synthèse. Ces défis représentent actuellement des limitations technologiques.

Chapitre III :

Extraction des paramètres électriques

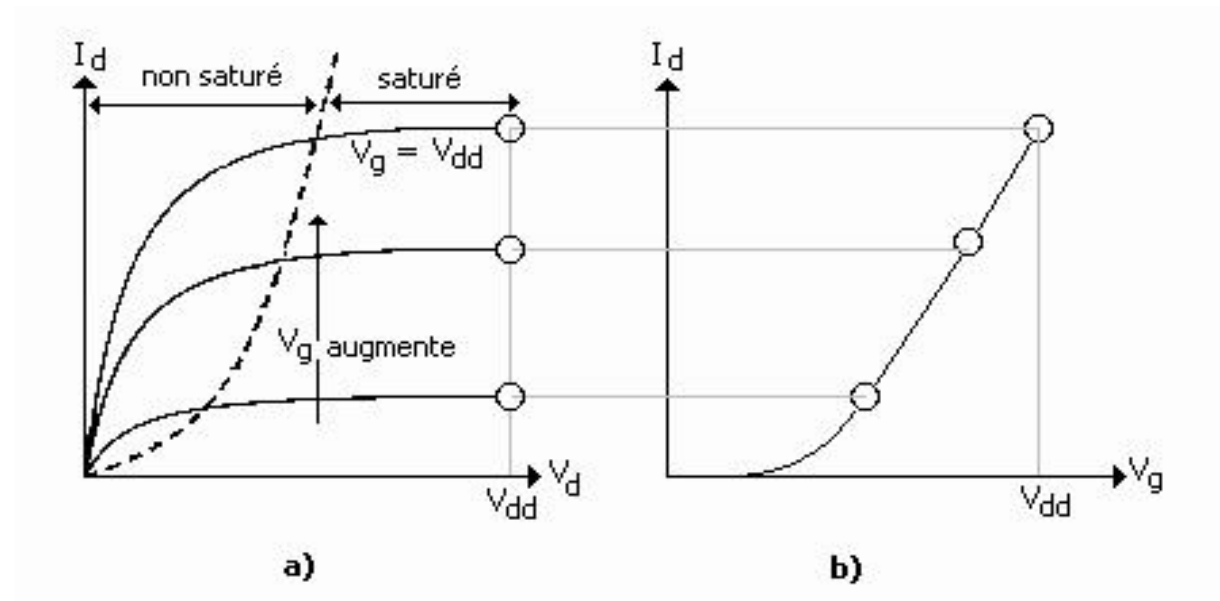
III.1 Introduction :

En électronique moderne, l'extraction des paramètres électriques est très importante, car elle permet une meilleure évaluation du comportement des composants et de leur rendement. Les résultats obtenus de l'extraction, mettent en reliefs les différents effets qui peuvent subir ces composants lors d'une éventuelle amélioration et la réaction de ces derniers, ce qui permet de comprendre l'évolution de plusieurs paramètres du fonctionnement. Dans l'optique d'apporter des corrections nécessaires à ces effets qui nuisent au bon fonctionnement des MOSFT et d'introduire ces paramètres dans des simulateurs afin d'anticiper d'autres effets (prédire). Pour ces raisons il est nécessaire de rappeler quelques méthodes d'extraction des paramètres électriques et physiques. Parmi ces méthodes on trouve la I(V) par la mesure de $I_d(V_g)$, la C (V), le pompage de charge ainsi que la technique bruit.

III.2 Techniques de caractérisation :

III.2.1 Technique I(V)

A partir des expressions du courant de drain en fonction des tensions drain - source et grille- source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui est donnée sur la *figure (III.1)* [7]



Figure(III.1): Réseau de la caractéristique du MOSFET a)caractéristique de sortie b) caractéristique de transfert [7]

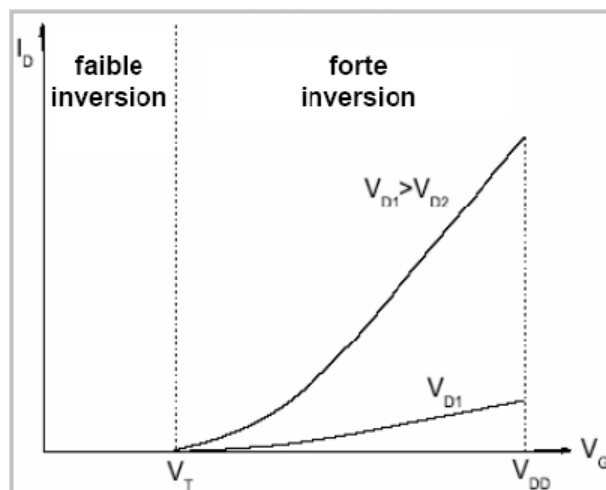


Figure (III.2) : Caractéristiques $I_d(V_g)$ du transistor nMOS avec les niveaux d'inversion

Lorsqu'une différence de potentiel V_d est appliquée entre le drain et la source, un courant peut circuler dans le canal. La condition pour laquelle s'effectue l'inversion est : $\Psi_s > \Phi_F$

III.2.1.1 Extraction des principaux paramètres électriques d'un transistor MOSFET submicronique en régime linéaire:

L'évaluation des performances d'un dispositif MOSFET s'obtient à l'aide des caractéristiques du transistor. On peut réaliser des mesures capacité-tension $C(V)$, courant-tension $I(V)$. La caractérisation $I(V)$ permet la détermination des paramètres de fonctionnement comme la tension de seuil V_t en linéaire et en saturé, la transconductance G_m , le (ou les) coefficient de réduction de la mobilité θ (ou θ_1 et θ_2), la mobilité en champ faible μ_0 , la longueur-largeur du canal L_g-W_g .

a) Détermination de V_t , μ_0 , θ_1 et θ_2

- Notion de la tension de seuil (V_t) :

Dans un transistor MOSFET, la tension de seuil est définie comme la tension maximale à appliquer entre la grille et la source pour obtenir la forte inversion .

$$\Psi_s = 2\Phi_F \quad \text{avec : } \Phi_F: \text{ est le potentiel de Fermi.}$$

La technique utilisée pour l'extraction des paramètres du transistor MOS repose sur l'exploitation des caractéristiques de transfert $I_d(V_g)$ et $g_m(V_g)$ équation(III.1) en régime ohmique [9]

Il s'agit de construire la fonction $Y(V_g) = I_d / \sqrt{g_m}$ *figure(III.3)*

Celle-ci ne dépend pas du premier facteur de réduction de la mobilité θ_1 et des résistances séries côtés source et drain R_{sd}

Le deuxième facteur d'atténuation de la mobilité devient non négligeable pour les technologies avancées sub-0.25 μm . On a une importante réduction de la mobilité en forte inversion[9].

$$\mu = \frac{\mu_0}{1 + \theta_1 \left(V_g - V_t - \frac{V_d}{2} \right) + \theta_2 \left(V_g - V_t - \frac{V_d}{2} \right)^2}$$

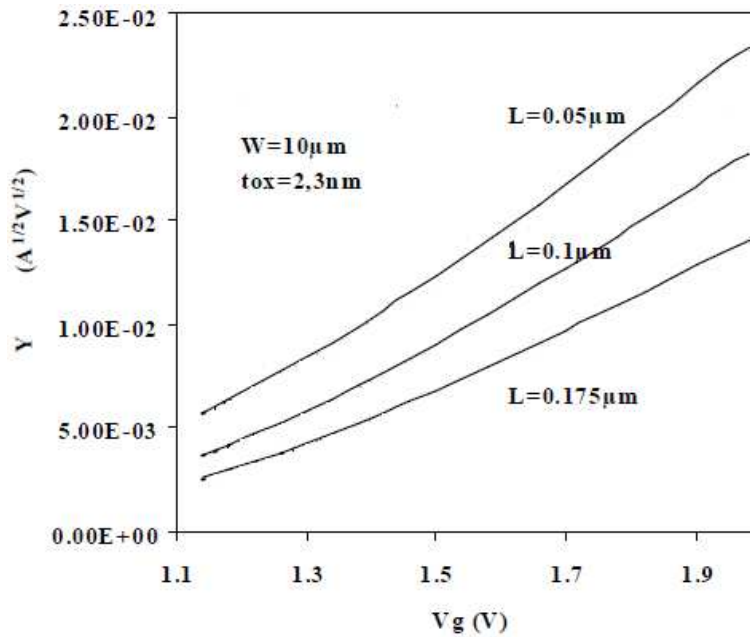


Figure (III.3) : Les fonctions Y [9]

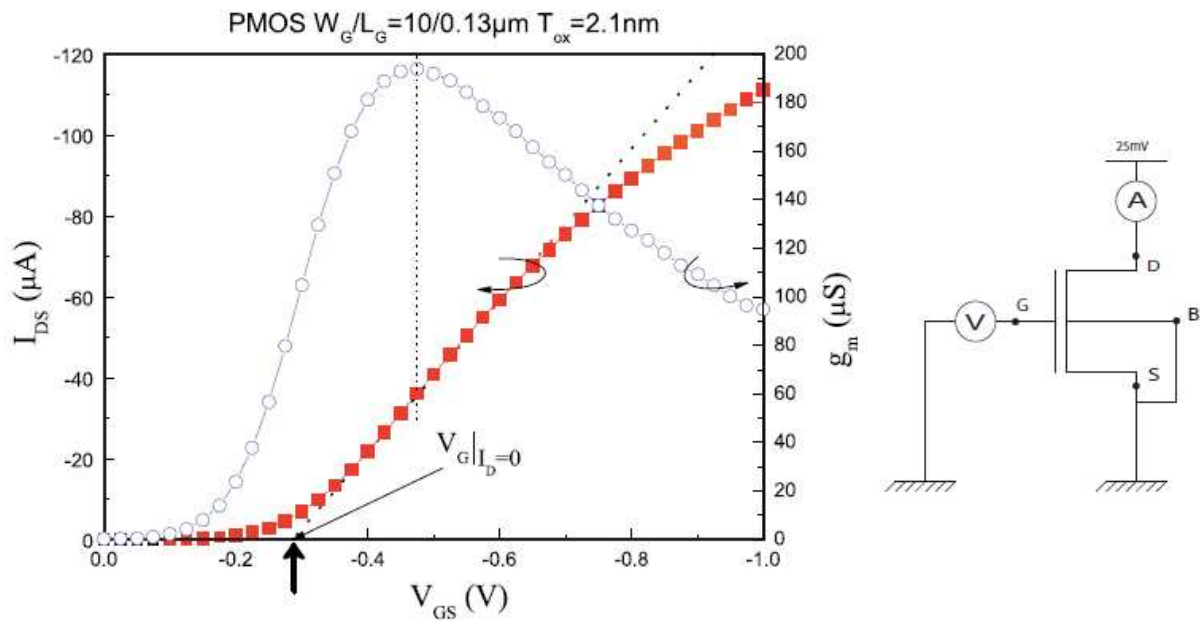
La transconductance g_m d'un transistor MOS est définie comme étant égale à la dérivée du courant I_d par rapport à la tension de grille V_g . On obtient l'expression suivante :

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}, V_{bs} = cte} \dots \dots \dots (III.1)$$

Ce raisonnement revient à négliger le facteur de réduction mobilité θ et les résistances d'accès

La tension de seuil en régime linéaire se détermine en modélisant le courant de sortie $I_d(V_g)$ par une droite [8]. Plus précisément, on utilise sa tangente au point d'inflexion, soit au maximum de la transconductance du transistor définie par l'équation (III.1)

Ce raisonnement revient à négliger le facteur de réduction mobilité θ et les résistances d'accès



Figure(III.4) : Tracé du courant de Drain en fonction de la tension de grille pour $V_{\text{ds}} = 25\text{mV}$, à droite figure le principe de la mesure

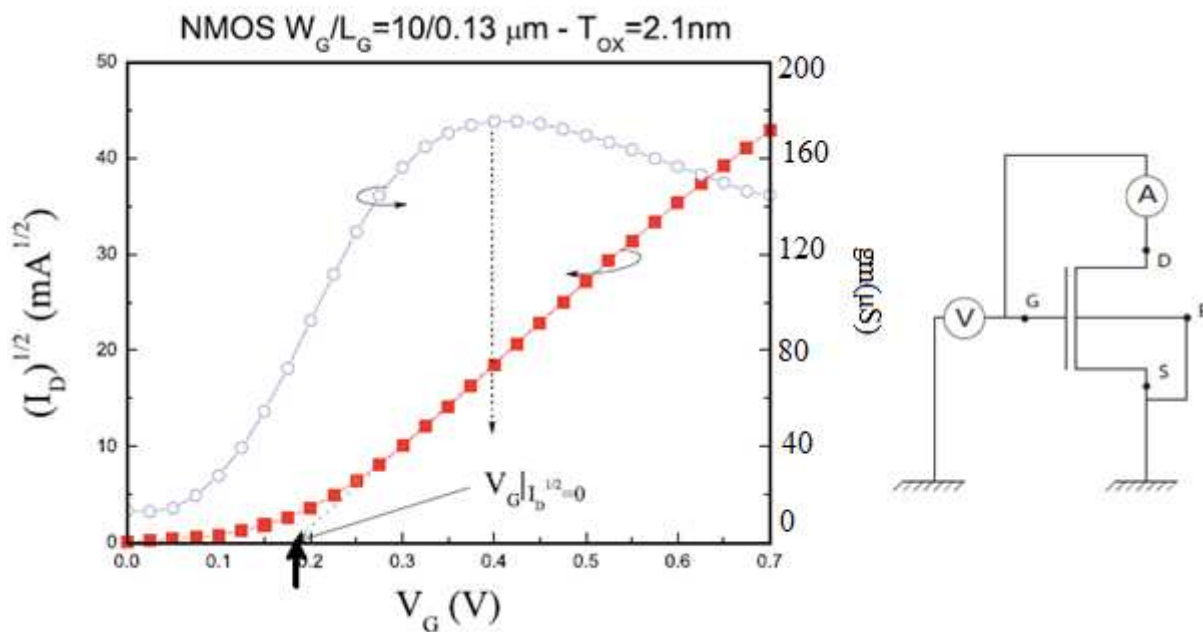


Figure (III.5) : Technique d'extraction de la tension de seuil pour le régime saturé, à droite le principe de la mesure. [8]

- La fonction « Y »

La fonction Y est définie comme la combinaison de la courbe de courant de drain I_{d} et celle de la transconductance g_m , figure(III.6.a). Elle permet d'extraire la tension de seuil et la mobilité à faible champ μ_0 [9].

La fonction Y est définie par le courant du drain divisé par la racine carrée de la transconductance, en prenant l'expression suivante du courant [5]

$$I_d = \frac{W}{L} C_{ox} \frac{\mu_0}{1 + \theta_1 (V_{gs} - V_t)} (V_{gs} - V_t) V_{ds} \dots \dots \dots (III.2)$$

En inversion forte, la fonction Y varie linéairement avec Vg et la tension de seuil correspond à l'intersection avec l'axe des abscisses comme le montre la (figure III.6.b)

$$Y(V_g) = \frac{I_d}{\sqrt{g_m}} = \sqrt{\frac{W}{L} \mu_0 C_{ox} \cdot V_d (V_g - V_t)}$$

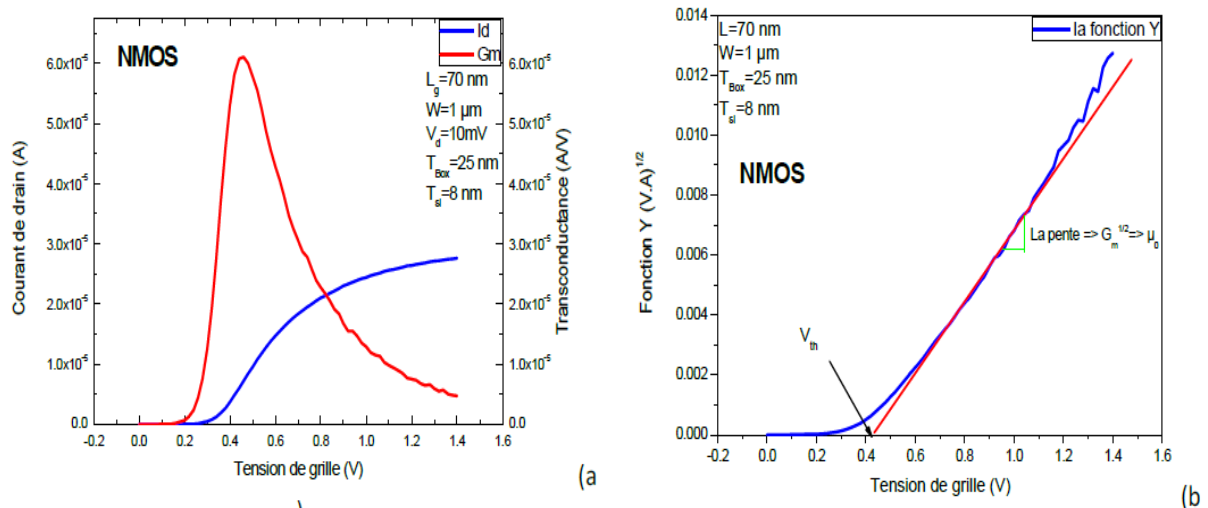


Figure (III.6) Exemple de construction de la fonction Y (a) Courbe de courant et de Transconductance à faible V_d , (b) extraction de V_t et $G_m^{1/2}$

- **Pente sous le seuil**

La pente sous le seuil est un paramètre caractéristique du régime d'inversion faible. Elle est définie comme :

$$S = \frac{\partial V_g}{\partial \log I_d} = \frac{KT}{q} \ln(10) \left(1 - \frac{1}{C_{ox}} \frac{\partial Q_d}{\partial \Phi_s} \right)$$

Elle s'exprime en mvolts/décade et correspond à la variation de la barrière de potentiel à l'entrée du canal en fonction de la tension de grille (comme étant la variation de la

polarisation de grille nécessaire pour une variation d'une décade du courant de drain). Il s'agit d'un paramètre capital pour l'optimisation du rapport entre courant de fuite et courant de saturation, car à tension de seuil égale, une diminution de la valeur de la pente sous le seuil permet une diminution du courant I_{off} sans dégradation du courant de saturation [5].

La limite théorique de la pente sous le seuil est fixée par le phénomène de diffusion et vaut $\ln(10) \cdot kT/q = 60 \text{ mV/décade}$ à 300 K.

Autrement dit :

La pente sous le seuil : Elle informe de combien il faut réduire la tension de grille (V_g) pour diminuer le courant sous le seuil d'une décade. (*figure III.7*)

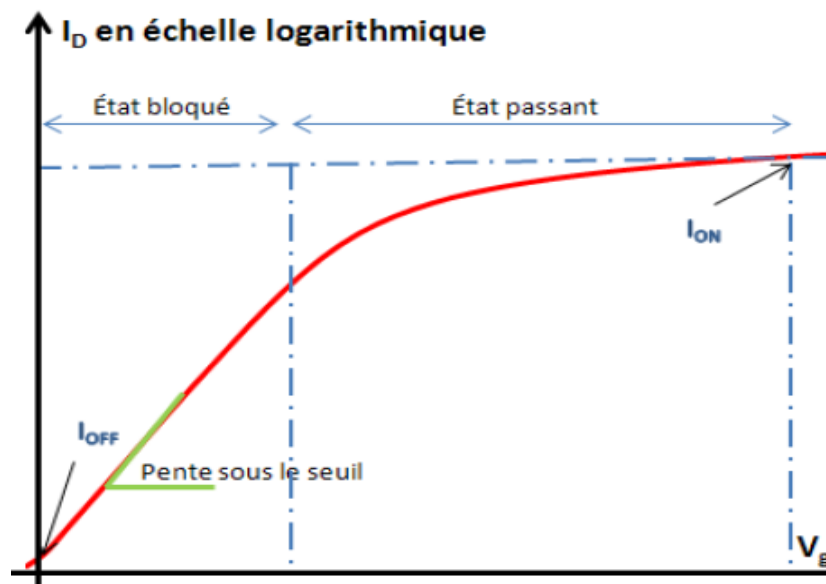


Figure (III.7) : Allure typique de la courbe courant de drain vs tension de grille du transistor MOSFET[5]

Pour θ_2 faible, la fonction Y est linéaire en V_g . Les courbes de $Y(V_g)$ dans la région linéaire ($\theta_2 = 0$) sont utilisées pour extraire V_t et G_m . V_t est extrait par l'extrapolation à $Y = 0$ de la partie linéaire de la caractéristique, G_m est donné par la pente de $Y(V_g)$.

Une fois les valeurs V_t et G_m connues, on peut calculer le facteur effectif de réduction de la mobilité θ_{eff} , défini par l'équation

L'extraction des facteurs d'atténuation de la mobilité se fait en introduisant un facteur d'atténuation effectif θ_{eff} : d'après l'équation(III.2) de I_d

$$\mu_{eff} = \frac{I_d}{\frac{W}{L} C_{ox} V_d (V_g - V_t)}$$

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1 (V_g - V_t) + \theta_2 (V_g - V_t)^2}$$

$$\frac{1}{I_d} = \frac{1}{\beta} \cdot \frac{1}{(V_g - V_t)} (1 + \theta_1 (V_g - V_t) + \theta_2 (V_g - V_t)^2)$$

$$\text{Avec: } \beta = \frac{W}{L} C_{ox} \mu_0 V_d \qquad \frac{1}{I_d} = \frac{1}{\beta} \left[\frac{1}{(V_g - V_t)} + \theta_1 + \theta_2 (V_g - V_t) \right]$$

$$\theta_{eff} = \theta_1 + \theta_2 (V_g - V_t) = \beta \frac{1}{I_d} - \frac{1}{(V_g - V_t)}$$

$$\theta_{eff} = \theta_1 + \theta_2 (V_g - V_t) = \frac{W}{L} \mu_0 C_{ox} V_{ds} \frac{1}{I_d} - \frac{1}{(V_g - V_t)}$$

Ce dernier est une fonction linéaire de V_g . On peut déterminer θ_1 par l'interception de θ_{eff} avec l'axe Oy et θ_2 en calculant la pente[9] ; le tracé (*figure III.8*) de θ_{eff} en fonction du potentiel $V_{gs} - V_t$ donne une droite dont la pente est égale à θ_2 et dont l'ordonnée à l'origine est égale à θ_1 .

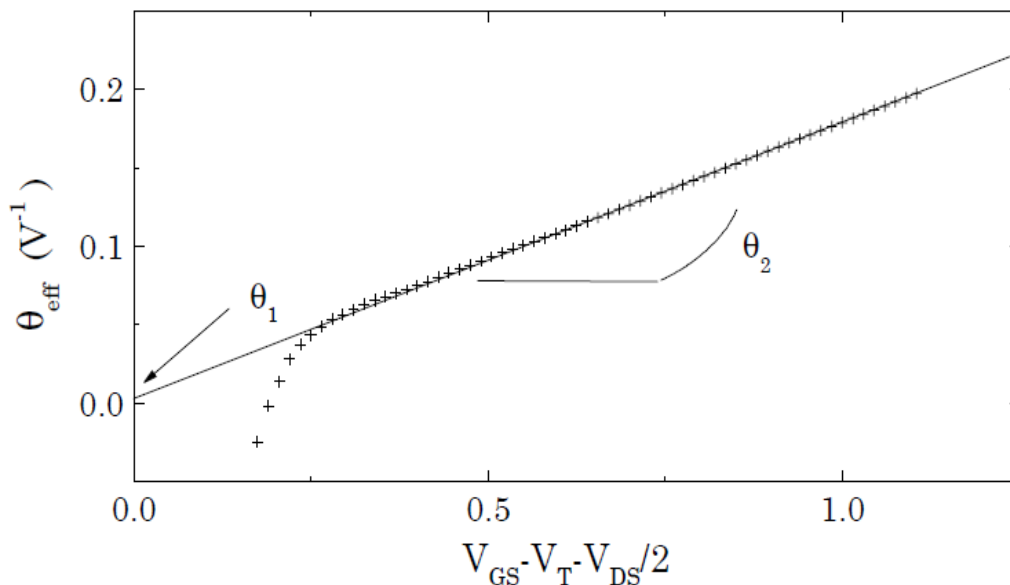


Figure (III.8) : Tracé de θ_{eff} en fonction de $V_{GS} - V_T - V_{DS}/2$

b) Détermination des dimensions effectives du canal :

Il existe systématiquement une différence entre les dimensions dessinées sur le masque de gravure et la taille réelle du canal. Ces variations sont dues aux procédés de fabrication, et sont donc identiques pour l'ensemble des dispositifs élaborés avec la même technologie.

- **Extraction de ΔL_g**

L'extraction de la longueur électrique $L_{\text{eff}} = L_g - \Delta L_g$ peut s'effectuer en disposant d'un lot de transistors de longueur variable et de largeur fixé. Pour chaque transistor on mesure $I_d(V_g)$ afin d'obtenir le maximum de la transconductance. Ceci permet de négliger la variation de mobilité en écrivant : [8]

$$I_d = \frac{W_g}{L_g - \Delta L_g} C_{ox} \mu_0 V_d (V_g - V_t)$$

$$\Rightarrow \frac{1}{g_m} = \frac{1}{W_G C_{ox} \mu_0 V_d} (L_g - \Delta L_g)$$

Cette relation est linéaire et le graphe de $(G_{\text{max}})^{-1}$ en fonction de la longueur dessinée L_G (figure III.9), permet d'extraire ΔL_g qui est l'abscisse à l'ordonnée et $L_{\text{eff}} = L - \Delta L_g$

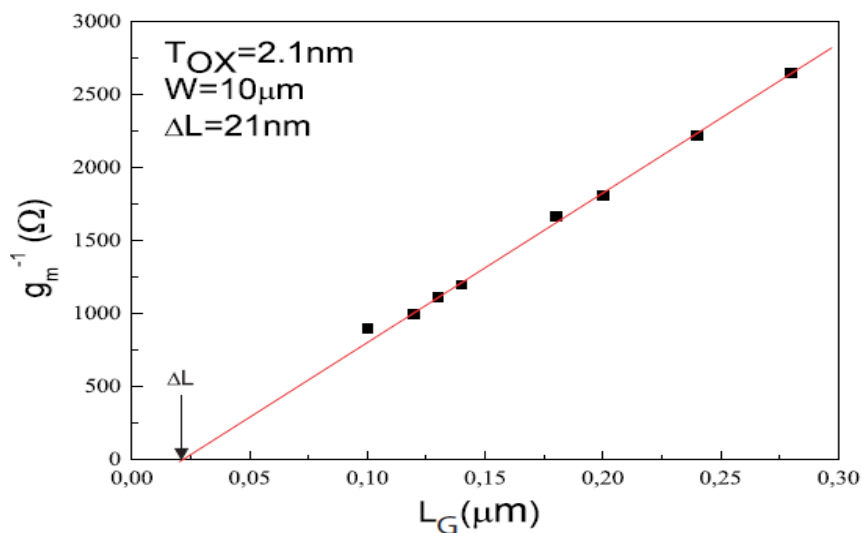


Figure (III.9) : Détermination de la longueur effective du canal.

- **Extraction de ΔW_g :**

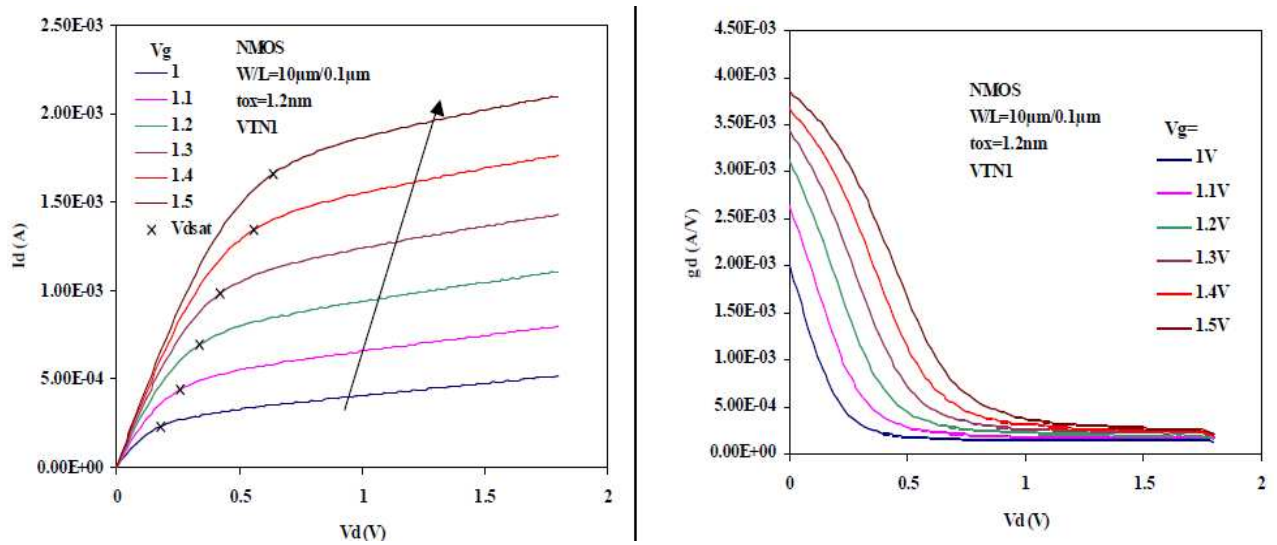
La caractérisation de la largeur effective suit la même stratégie [8]: à partir d'un lot de transistors ayant la longueur fixée et la largeur variable. Considérant :

$$G = \frac{\mu_0 C_{ox} V_d}{L} (W_g - \Delta W_g)$$

On trace G_{max} suivant W_g et l'abscisse à l'origine donne ΔW_g .

III.2.1.2 Extraction des paramètres en régime de saturation [9]

Les principaux paramètres envisagés sont le courant de saturation I_{dsat} , la tension de saturation V_{dsat} , les courants I_{on} et I_{off} , la vitesse de saturation des porteurs. On présente le cas de dispositifs 50nm, mais l'étude a été effectuée pour toutes les technologies disponibles.



Figure(III.10) Caractéristiques de transfert $I_d(V_d)$ et $g_d(V_d)$ pour différentes tensions de grille appliquées

a) Extraction de I_{dsat} et V_{dsat}

Les caractéristiques de transfert $I_d(V_d)$ et $g_d(V_d)$ (figure III.10) sont la clé des extractions des paramètres en régime de saturation. A partir de ces courbes on peut construire la fonction $G(V_d)$, [9] définie par l'équation:

$$G(V_d) = g_d \frac{d}{dV_d} \left(\frac{1}{g_d} \right)$$

Le maximum de $G(V_d)$ correspond à la tension de saturation V_{dsat} . A partir des courbes $I_d(V_d)$ on retrouve les valeurs de I_{dsat} (figure III.10).

b) Caractéristiques I_{on} et I_{off}

Nous allons étudier dans la suite les niveaux de courant haut et bas, respectivement I_{on} et I_{off} . Pour une technologie 50nm la tension nominale d'alimentation est prise à 1V. L'extraction des niveaux de courant se fait donc de façon suivante [9]:

$$I_{on}=I_d \quad V_d=V_g=1V$$

$$I_{off}=I_d \quad V_d=1V, V_g=0V$$

On constate que dans le cas de ces dispositifs ultimes on a un fort courant de fuite I_{off} . Ce courant I_{off} est un facteur limitant pour l'utilisation des transistors, il a pour origine la proximité des zones de déplétion de source et de drain, d'où l'importance d'avoir un faible ΔL .

Une importante augmentation de I_{on} et une réduction de I_{off} avec la réduction de la température est mise en évidence [9].

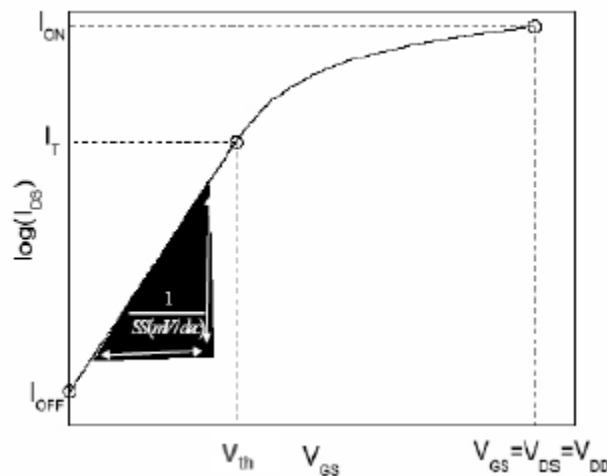


Figure (III.11): Représentation de la caractéristique de $I_d(V_g)$ en échelle logarithmique et le I_{on} et I_{off}

III.2.2 La technique C(V) :

La mesure C(V) est une technique originale mise au point dès les années 60 pour caractériser les capacités Métal-Oxyde-Semi conducteur (MOS). Ses avantages sont multiples :

- Il s'agit d'une méthode relativement simple à mettre en œuvre, rapide, peu coûteuse et non destructive (contrairement aux mesures physiques telles que l'observation au microscope électronique à transmission). On peut donc l'utiliser pour faire du test statistique (c'est-à-dire sur un grand nombre de composants et pas seulement sur une ou deux structures).
- Elle permet d'obtenir un grand nombre d'informations sur les caractéristiques électriques de la structure tels que le niveau de dopage de substrat, l'épaisseur

d'oxyde, la tension de bande plate, la tension de seuil, et les caractéristiques des défauts de l'interface Si/SiO₂ tels que les densités de pièges d'interface et les concentrations de charges piégées dans l'oxyde.

- On peut l'utiliser sur les capacités MOS et pas seulement sur des transistors MOS. Elle permet donc de séparer la caractérisation de la capacité MOS de celle du transistor MOS, c'est-à-dire de mesurer les paramètres de l'interface Si/SiO₂ sans passer par l'étude du transport le long du canal.

Mais, comme toutes les mesures électriques, pour obtenir le maximum d'informations, il faut confronter les mesures avec des modèles physiques. La validité des résultats dépend donc non seulement de la mesure elle-même, mais aussi et surtout de la procédure d'extraction utilisée pour remonter aux paramètres que l'on souhaite mesurer.

La mesure C(V) est extrêmement utilisée dans l'industrie de la microélectronique.

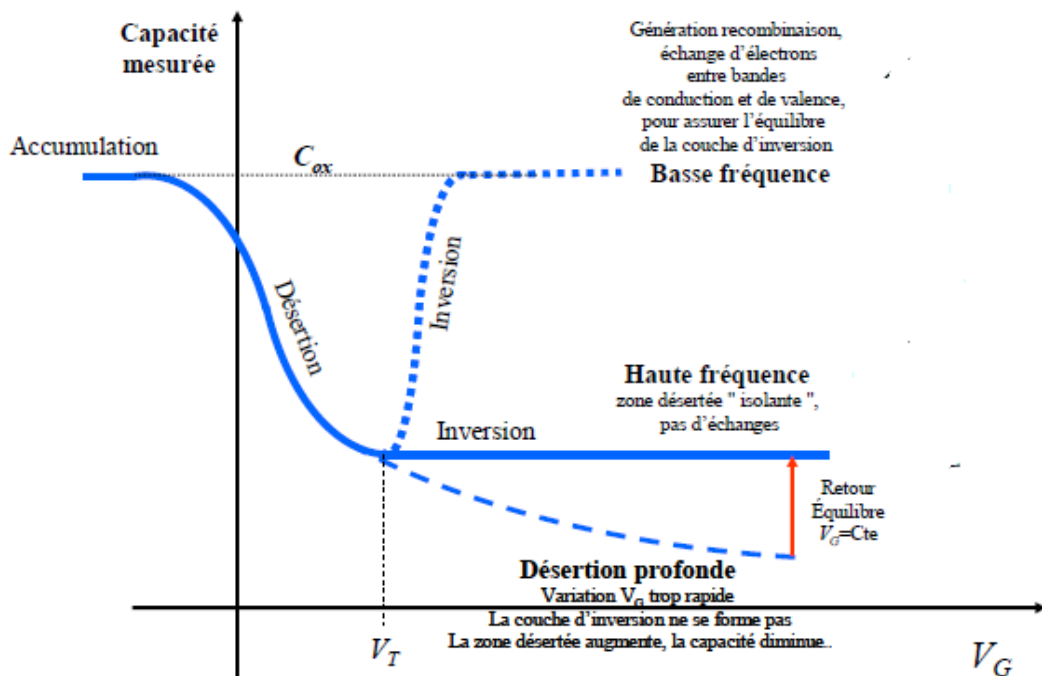


Figure (III.12): Mesure de la capacité

III.2.3 technique de pompage de charge :

Principe de la technique

La technique de pompage de charges, nous permettra à la fois de caractériser les états d'interface, d'en extraire une densité moyenne, et de visualiser le profil des défauts en profondeur dans l'oxyde, depuis la couche Si/SiO₂.

Brugler et *al.* Sont les premiers à introduire le pompage de charges en 1969. Ils rapportent que lorsque l'on applique une série d'impulsions (rectangulaire, trapézoïdale ou sinusoïdale) sur la grille du transistor MOS, on amène alternativement le semi-conducteur de l'accumulation à l'inversion forte, ce qui se traduit par l'apparition d'un courant de substrat (courant pompé I_{CP}) créé par un processus de recombinaison de porteurs. Ce phénomène est appelé pompage de charges [4].

Deux techniques de pompage de charges existent. Le pompage de charges à 2 niveaux permet de déterminer la densité moyenne d'états d'interface (D_{it}) et la section efficace de capture moyenne des électrons et des trous (σ_{np}). Le pompage de charges à 3 niveaux permet une meilleure analyse de la distribution énergétique des défauts d'interface ($D_{it}(E)$) et de la section de capture efficace des pièges pour les électrons et les trous. Dans ce manuscrit, nous n'aborderons pas cette dernière technique mais des informations supplémentaires peuvent être apportées par les travaux de Autran et *al.* [4].

La technique de pompage de charge est basée sur la mesure d'un courant de recombinaison entre les charges piégées dans les états d'interface et les charges réciproques dans le silicium. Le schéma du montage expérimental est présenté sur la *figure III.13*. Lors de l'application d'un pulse de tension sur la grille, on polarise successivement la surface du semi-conducteur de l'accumulation à la forte inversion afin de remplir et de vider les pièges d'interface. Un courant de substrat (souvent appelé courant pompé) est donc généré issu du mécanisme de piégeage/dépiégeage associé au mécanisme de recombinaison dans le substrat.

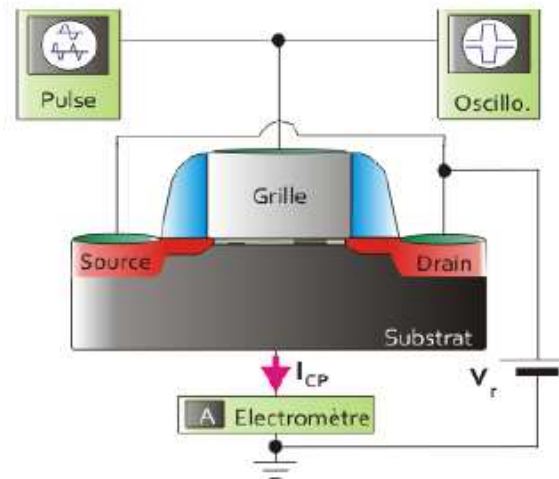


Figure (III.13) : Montage expérimental pour la mesure de pompage de charges

III.2.4 La technique de bruit

Le bruit est présent dans tous les systèmes électriques (ou non électriques) et son étude a pour but la réalisation de composants faible bruit nécessaires à certaines applications [3].

La variation du bruit dans les transistors MOS est l'indice d'une dégradation de la couche isolante, à proximité de l'interface. Son amplitude est un indicateur précieux dans les études de fiabilité ou d'analyse de défaillance.

Ce paragraphe expose brièvement la définition des différents bruits qui peuvent être rencontrés dans les dispositifs électriques [3].

III.2.4.1 Bruit de grenaille (shot noise ou bruit de schottky)

Le bruit de grenaille a pour origine l'aspect granulaire de l'électricité. Pour illustrer ce type de bruit, nous considérons un tube à vide contenant une cathode émettrice d'électrons et une anode qui les collecte. L'arrivée des électrons au niveau de l'anode ne suit pas un rythme continu mais présente des fluctuations. Pour que le nombre d'électrons émis à la cathode soit égale à celui collecté à l'anode, il ne doit pas y avoir de recombinaison (disparition d'électrons) ni de collisions (électrons retardés) durant le transit inter-électrode. En d'autres termes le temps de transit (τ) doit être très inférieur au temps entre collisions (τ_c), celui-ci étant lui même très inférieur au temps de vie des électrons (τ_v).

III.2.4.2 Bruit thermique (de Nyquist ou de Johnson)

Ce bruit apparaît lorsque le temps entre deux collisions ne peut plus être négligé par rapport au temps de transit. Hors zéro absolu, les porteurs sont soumis en permanence à des interactions de type électron-phonon, c'est-à-dire entre les électrons et les atomes du réseau, qui dévient leurs trajectoires. Les instants de collisions sont aléatoires ce qui implique une relation entre le bruit et la résistance puisque cette dernière se calcule à partir de τ_c [3]. On conçoit que ce bruit thermique est indépendant du champ électrique, excepté lorsque celui-ci est suffisamment intense pour échauffer les électrons (effet de porteurs chauds). En se plaçant dans le cas particulier où $\tau_c \ll \tau$ (ce qui permet de négliger le bruit de grenaille).

III.2.4.3 Bruit en créneaux (bruit pop-corn, bistable, Burst ou RTS)

Le bruit en créneaux se caractérise par des sauts rapides (créneaux à flancs très raides) du courant par rapport au niveau de référence. La durée des sauts ainsi que leurs instants d'apparition sont aléatoires et peut varier de quelques microsecondes à quelques minutes. Ce bruit s'observe dans les dispositifs à jonctions tels que les diodes et les transistors. Il peut apparaître et disparaître de façon sporadique et n'être présent que pour quelques dispositifs d'un lot de fabrication. [3] Il est possible de distinguer trois catégories de bruit en créneaux en fonction de leur origine:

- Amplitude de quelques 10 μA et largeur d'impulsion de quelques 10 μs . Ce bruit est dû à la présence de défauts, de dislocations ou de précipités métalliques dans la région de charge d'espace ou à son voisinage. Le bruit en créneau provient alors du remplissage des pièges au voisinage des défauts.
- Amplitude de quelques 100 μA et largeurs d'impulsion inférieures à 10 μs . Ce bruit est appelé "Bruit microplasma" (dans les régions où règnent des champs locaux intenses). Il est dû à la combinaison d'un claquage local, au voisinage d'un défaut, et d'un effet capacitif. Un tel bruit prend place, par exemple, dans une diode polarisée en inverse près de sa tension de claquage.
- Le bruit en créneau apparaît aussi dans les transistors MOS de très petite taille pour lesquels un ou plusieurs états d'interface peuvent être présents. La capture d'un électron du canal change l'amplitude du courant, via la conductivité du canal, qui revient à son niveau de référence lorsque l'électron est réémis [3].

III.2.4.4 Bruit en $1/f$ (ou de scintillement ou Flicker noise)

Le bruit en $1/f$ ou $1/f^\gamma$ (γ variant entre 0.8 et 1.2) est présent dans tous les dispositifs conducteurs : des tubes à vide aux membranes nerveuses, en passant par les résistances au carbone, les matériaux semi-conducteurs et les transistors MOS.

On attribue ce bruit dans un semi-conducteur à deux origines :

- le bruit $1/f$ est dû à un effet de volume qui entraîne des variations de mobilité des porteurs.
- le bruit $1/f$ est dû à la capture de porteurs par des pièges ayant des constantes de temps réparties selon une certaine loi.

Chapitre IV :

Application

IV.1 Introduction :

Notre travail consiste à vérifier les effets de dopage retrograde (implantation des poches et halos) de la technologie 45nm, utilisant un oxyde de silicium durcis par l'azote (oxyde nitruré SiO_3N). Afin de mettre en évidence ces effets, on a effectué une expérience pour extraire les paramètres (V_t , μ , S et V_{dsat} et le DIBL).

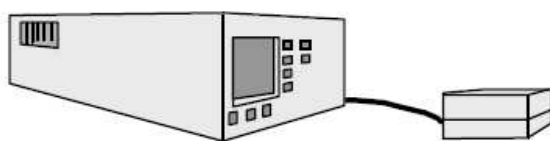
On a obtenu des fichiers de mesures concernant $I_d(V_g)$ pour différentes V_d et pour différentes longueurs de canal. Les différents paramètres sont obtenus par un traitement des données obtenues lors de l'expérience appliquée aux différentes méthodes d'extraction en utilisant le logiciel MATHCAD.

IV.2 Experience :

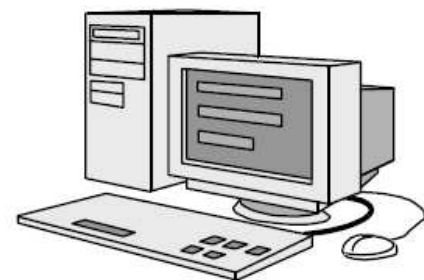
Le lot de transistors de test présente des poches et des halos avec des oxydes de grille de type nitruré SiO_3N .

L'ensemble des transistors ont des longueurs allant du long au court ($L_1=10\mu\text{m}$, $L_2=1\mu\text{m}$, $L_3=0.5\mu\text{m}$, $L_4=0.24\mu\text{m}$, $L_5=0.1\mu\text{m}$).

Le banc de mesure représenté par la *figure(IV.1)* composé de l'analyseur de paramètre HP4155.



HP 4155 et son boîtier de mesure



Ordinateur

Figure(IV.1). Banc de mesures des caractéristiques $I_d(V_g)$ à base du HP4155 relié à son boîtier de mesures

La mesure est organisée selon les longueurs des transistors ; on a mesuré $I_d(V_g)$ pour différentes valeurs de V_d allant du régime linéaire au régime saturé (50mV à 960mV avec un pas de 70mV).

Pour explorer les effets inverses de canaux courts, on exploite les différentes mesures obtenues afin de déterminer la variation des paramètres suivants en fonctions de la longueur du canal : extraction des paramètres tels que : $V_{th}, \mu_0, \theta_{eff}, \theta_1, \theta_2$

Il s'agit d'un ensemble de transistors nMOSFETs de longueurs du canal allant du long au court ($L_1=10\mu\text{m}$, $L_2=1\mu\text{m}$, $L_3=0.5\mu\text{m}$, $L_4=0.24\mu\text{m}$, $L_5=0.1\mu\text{m}$) sachant que l'épaisseur de l'oxyde nitruré $t_{ox}=1,7 \cdot 10^{-7}$, et la largeur de canal étroit $W=0.11\mu\text{m}$

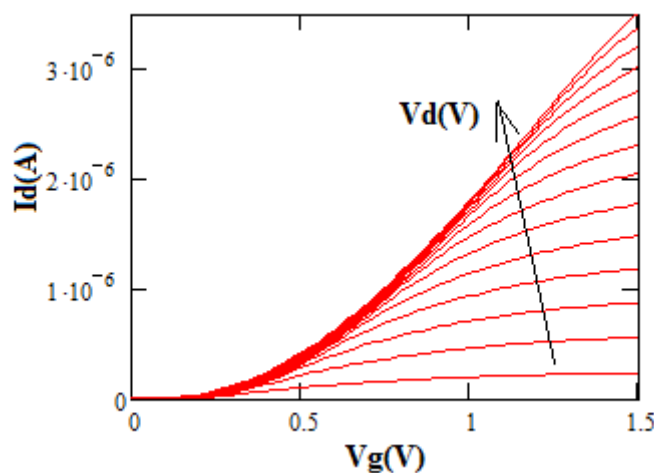
IV.3 Traitement des données :

Le traitement des données par MATHCAD commence par :

Chargement des données dans le logiciel puis l'application des méthodes de caractérisation pour extraire les paramètres

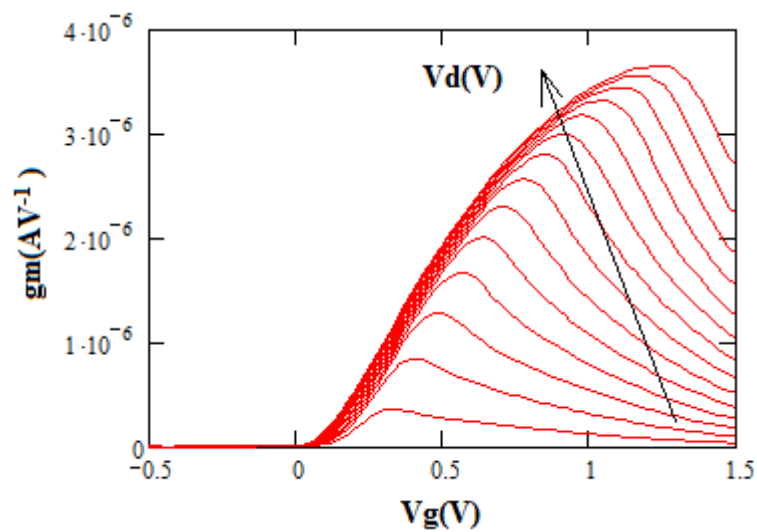
On trace les courbes de $I_d(V_g)$ et $g_m(V_g)$

- Courbe qui montre la variation de $I_d(V_g)$ pour différentes valeurs de V_d [50mV-960mV avec un pas de 70mV] :



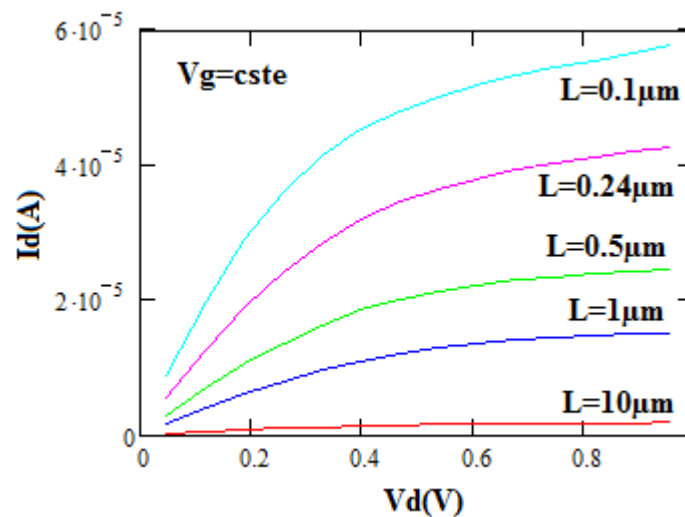
Figure(IV.2) : tracé du courant I_d en fonction de la tension V_g

- Courbe qui montre la variation de g_m pour différentes valeurs de V_d [50mV-960mV avec un pas de 70mV] :



Figure(IV.3) : Tracé de la transconductance g_m en fonction de la tension V_g

- Courbe de courant de drain $I_d V_d$ pour les différentes longueurs ($L_1=10\mu\text{m}$, $L_2=1\mu\text{m}$, $L_3=0.5\mu\text{m}$, $L_4=0.24\mu\text{m}$, $L_5=0.1\mu\text{m}$)

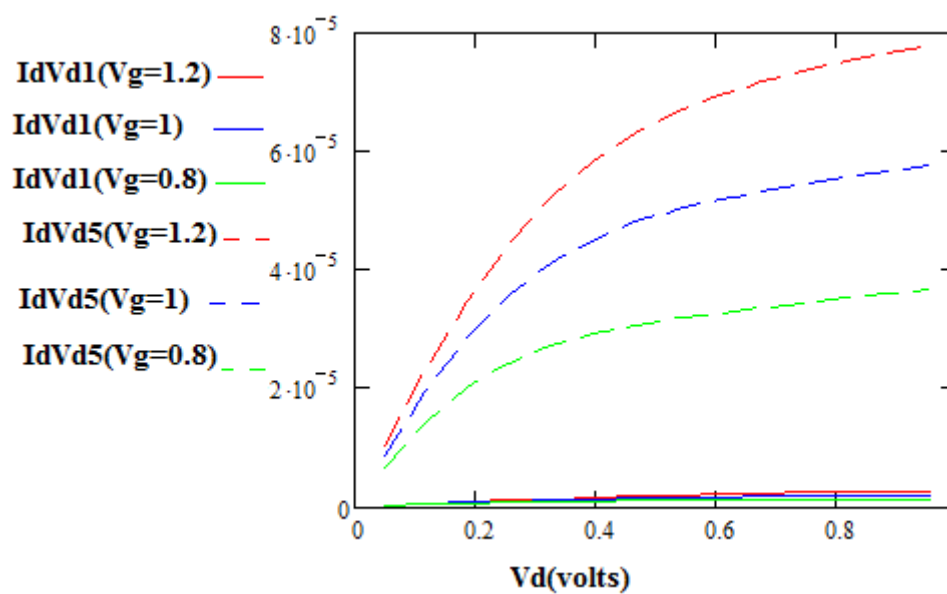


Figure(IV.4) : Courbe de courant de drain $I_d V_d$ pour les différentes longueurs

- Une comparaison des courants de drain pour deux longueurs ($L_1=10\mu\text{m}$ et $L_5=0.1\mu\text{m}$) en fonction de V_d et pour trois valeurs de V_g comme paramètre ($V_{g65}=0.8$, $V_{g75}=1$, $V_{g85}=1.2$) :

Il y'a une augmentation de courant de drain I_d quand la longueur L diminue , donc on montre dans cette courbe les proportions de l'augmentation de courant I_d d'après l'equation :

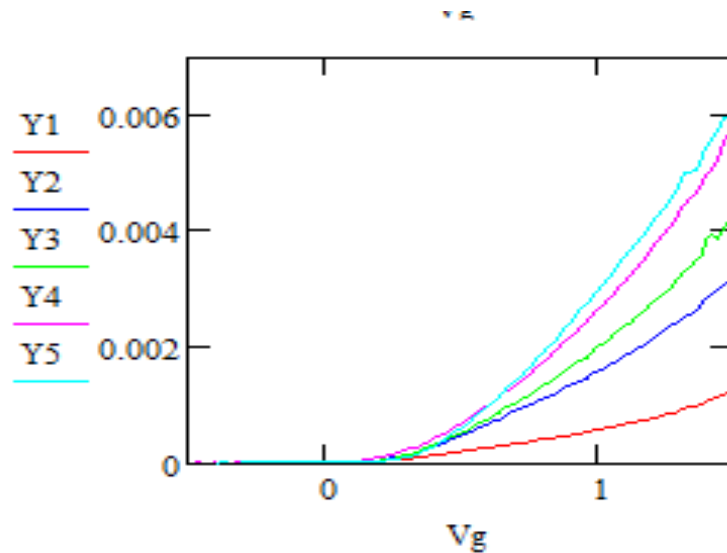
$$I_d = \frac{W}{L} C_{ox} \mu_{eff} (V_g - V_t) V_d$$



Figure(IV.5) :Une comparaison des courants de drain pour deux longueurs

- La fonction $Y(V_g)$:

$$Y(V_g) = \frac{I_d}{\sqrt{g_m}}$$



Figure(IV.6) : Les fonctions $Y(V_g)$ pour les 5 longueurs

➤ En régime linéaire

- Pour l'extraction de V_t et μ_0

A l'aide de la caractéristique de $Y(V_g)$

$$S_y^2 = \frac{W}{L} C_{ox} \mu_0 V_d \quad \text{Avec :}$$

S_y : la pente de la fonction Y au point V_g correspondant au maximum de g_m

On peut extraire les valeurs de la tension de seuil V_t , la mobilité a faible champ pour les différentes longueurs :

$$V_t : \text{ est donné par } V_{th} = V_{gi} - \frac{Y_i}{S_y^2} \quad \text{et } \mu_0 : \text{ en utilisant la pente } S_y,$$

On aura les résultats suivants : *figure(IV.7) et figure(IV.8)*

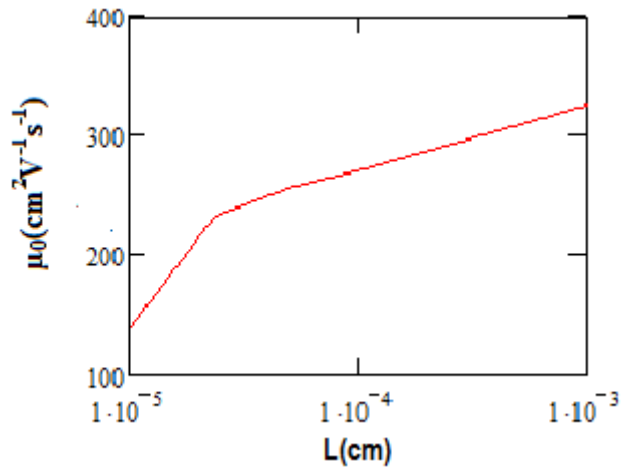
$$L_1 = 10 \mu\text{m} \Rightarrow \mu_0 = 325.608 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1} \Rightarrow V_t = 0.313 \text{ volts}$$

$$L_2 = 1 \mu\text{m} \Rightarrow \mu_0 = 271.285 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1} \Rightarrow V_t = 0.67 \text{ volts}$$

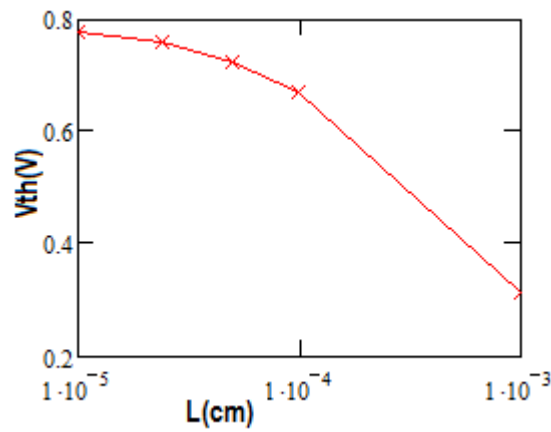
$$L_3 = 0.5 \mu\text{m} \Rightarrow \mu_0 = 255.593 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1} \Rightarrow V_t = 0.722 \text{ volts}$$

$$L_4 = 0.24 \mu\text{m} \Rightarrow \mu_0 = 232.822 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1} \Rightarrow V_t = 0.76 \text{ volts}$$

$$L_5 = 0.1 \mu\text{m} \Rightarrow \mu_0 = 138.388 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1} \Rightarrow V_t = 0.776 \text{ volts}$$



Figure(IV.7) : la mobilité a faible champ pour les longueurs (L1 à L5)



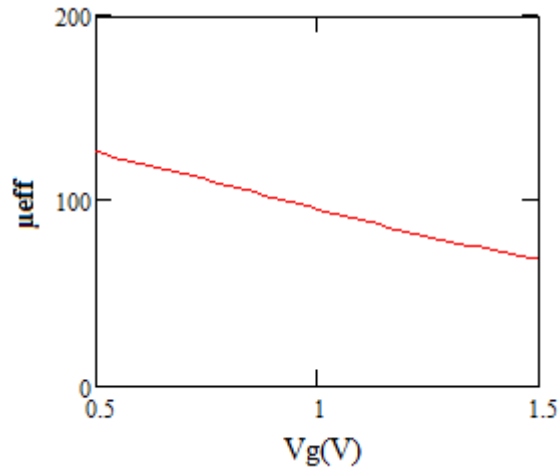
Figure(IV.8) : la tension de seuil en fonction des longueurs

- Pour l'extraction de θ_{eff} :

$$\mu_{eff} = \frac{I_d}{\frac{W}{L} C_{ox} V_d (V_g - V_t)}$$

On a la mobilité effective $\mu_{eff} = \frac{\mu_0}{1 + \theta_1 (V_g - V_t) + \theta_2 (V_g - V_t)^2}$

$$I_d = \frac{W}{L} C_{ox} \mu_{eff} V_d (V_g - V_t) \dots \dots \dots \text{IV.1}$$

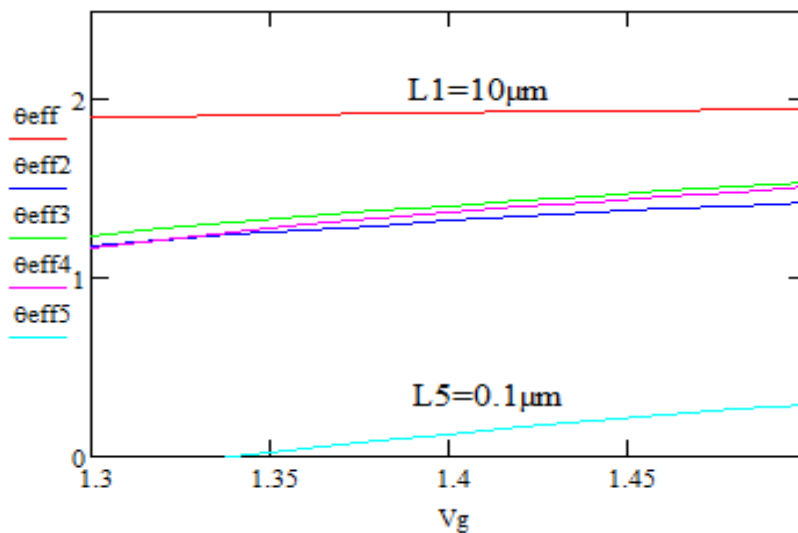


Figure(IV.9) : la mobilité effective en fonction de Vg

A partir de l'équation(IV.1), on peut déterminer la valeur de θ_{eff} : en faisant :

$$\frac{1}{I_d} = \frac{1}{\beta} \left[\frac{1}{(V_g - V_t)} + \theta_1 + \theta_2(V_g - V_t) \right] \quad \text{Avec: } \beta = \frac{W}{L} C_{ox} \mu_0 V_d$$

On obtient : $\theta_{eff} = \theta_1 + \theta_2(V_g - V_t) = \frac{W}{L} \mu_0 C_{ox} V_d S \frac{1}{I_d} - \frac{1}{(V_g - V_t)}$



Figure(IV.10) : Courbe qui montre la variation de θ_{eff} en fonction de Vg

- Pour l'extraction de θ_1 et θ_2

A partir de tracé de $\theta_{\text{eff}}(V_g)$, on peut extraire les valeurs de deux facteurs d'atténuation de la mobilité θ_1 et θ_2 avec :

θ_1 : est déterminé par la prolongation de la courbe jusqu'à l'intersection avec l'axe (oy)

θ_2 : est déterminé par calcul de la pente

Les valeurs de θ_1 et θ_2 extraites sont :

$$L1=10\mu\text{m} \Rightarrow \theta_1=1.555 \quad \Rightarrow \theta_2=0.216$$

$$L2=1\mu\text{m} \Rightarrow \theta_1=0.64 \quad \Rightarrow \theta_2=1.467$$

$$L3=0.5\mu\text{m} \Rightarrow \theta_1=0.325 \quad \Rightarrow \theta_2=1.799$$

$$L4=0.24\mu\text{m} \Rightarrow \theta_1=8.324 \times 10^{-5} \quad \Rightarrow \theta_2=2.125$$

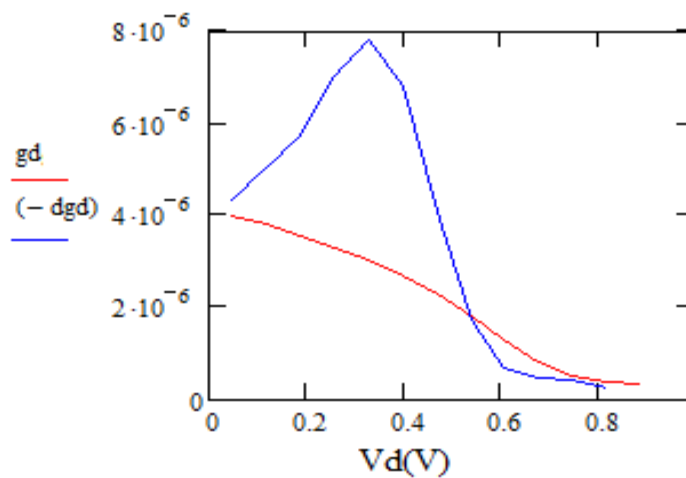
$$L5=0.1\mu\text{m} \Rightarrow \theta_1=-0.302 \quad \Rightarrow \theta_2=2.48$$

➤ En régime saturé

- Pour l'extraction de V_{dsat}

En calculant la conductance g_d telle que $g_d = \frac{dI_d}{dV_d}$

On donnera sa dérivée telle que : $dg_d = \frac{dg_d}{dV_d}$ on obtient la *figure (IV.11)* suivante :



Figure(IV.11) : Courbe de la conductance et sa dérivée

| Indice de Vg | Vg | Vdsat |
|--------------|-----|-------|
| 55 | 0.6 | 0.26 |
| 60 | 0.7 | 0.4 |
| 65 | 0.8 | 0.47 |
| 70 | 0.9 | 0.54 |
| 75 | 1 | 0.61 |
| 80 | 1.1 | 0.68 |

Figure(IV.12) : tableau qui donne les valeurs de Vdsat en fonction de Vg

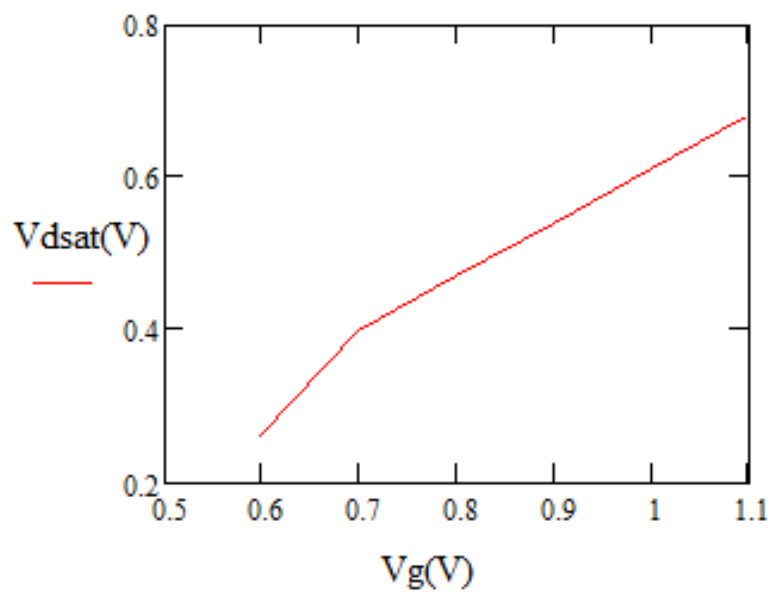


Figure (IV.13) : courbe qui montre la variation Vdsat en fonction de Vg

- **La pente sous le seuil :**

Elle est calculée par :
$$S = \frac{\partial \log I_d}{\partial V_g}$$

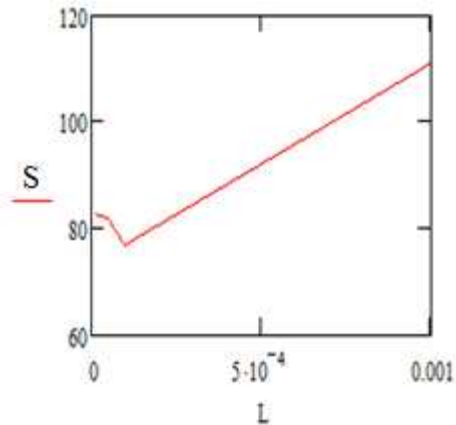
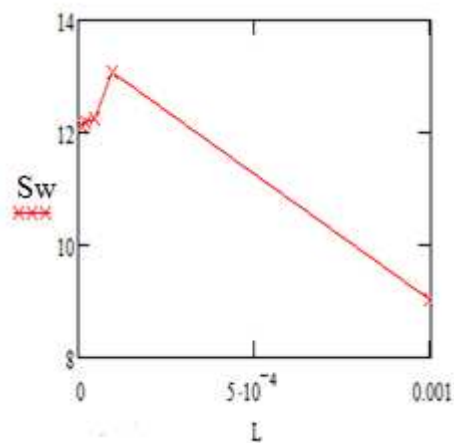


Figure (IV.15) : allure de la pente sous le seuil

- **Inverse de la pente sous le seuil :**

$$S_w = \frac{1}{S}$$



Figure(IV.16) : Allure de l'inverse de la pente sous le seuil

Conclusion générale et perspectives

CONCLUSION GENERALE ET PERSPECTIVES

La réduction des dimensions des composants électroniques a pour but d'accroître les performances des circuits intégrés, d'augmenter la densité d'intégration et de réaliser des fonctions plus en plus complexes. La longueur des transistors MOS passera donc de $0.25\mu\text{m}$, pour les MOSFETs à moins de $0.1\mu\text{m}$ en 2005. Cette réduction des dimensions et en particulier de la longueur de grille des MOSFETs, fait apparaître des effets parasites néfastes au bon fonctionnement des transistors limitant ainsi la diminution de la taille des composants. L'objet de ce mémoire était donc d'étudier les propriétés électriques et physiques des transistors MOS submicroniques dont leurs longueurs de grille faibles sont de l'ordre de $0.1\mu\text{m}$.

- [1] : Thèse : Bertrand SZELAG « Etude des propriétés physiques et électriques de transistors MOS fortement submicroniques » soutenue le 14 janvier 1999
- [2] : Thèse : Krunoslav ROMANJEK: Caractérisation et modélisation des transistors CMOS des technologies 50µm et en deçà ; soutenue le : Mardi 9 Novembre 2004
- [3] : Thèse : Pascal Masson « Etude par pompage de charge et par mesures de bruit basse fréquence de transistor MOS à oxy-nitrures de grille ULTRA-MINCE » soutenue le 13 janvier 1999.
- [4] Thèse : Caractérisation, modélisation et fiabilité des diélectriques de grille à base de HfO₂ pour les futures technologies CMOS « Théodore NGUYEN » ; Soutenue le 25 septembre 2009;
- [5] : Thèse: Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm Imed BEN AKKEZ: soutenue publiquement le 20 décembre 2012,
- [6] : Thèse : Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique ; BENHAMIDA Yahia : Soutenu en Juin 2012
- [7] : Thèse : GUEDDA Hayat : Etude des effets indésirables dans les Transistors MOSFETS à Canaux Courts ; Soutenue en 2012
- [8] : Thèse : "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 µm - 2nm" Thierry DI GILIO Soutenue publiquement le 20 Octobre 2006
- [9] : Thèse : PERFORMANCES ET FIABILITE DES TRANSISTORS MOS SUB0.1µm ; Bogdan Mihail CRETU ; soutenue publiquement le 6 Janvier 2003
- [10] : Thèse : Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception ; soutenue publiquement le 16 Novembre 2007.