

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université Mouloud Mammeri de Tizi-Ouzou



Faculté de Génie Electrique et Informatique

Département d'AUTOMATIQUE

Mémoire de fin d'études

MASTER ACADEMIQUE

Spécialité : Génie Microélectronique

Présenté par :

DIDI MALHA

Thème :

Etude de nanofil et du transistor à nanofil

Mémoire dirigé par : **Mr Lakhlef Ahcene**

Remerciements

J'aimerais en premier lieu remercier mon dieu Allah qui m'a donné la volonté et le courage pour la réalisation de se travail.

Je tiens à remercier tout d'abord mon encadreur

Mr LAKHLEF Ahcene. Pour sa précision de son rapport montrent à quel point il s'est investi dans le travail.

Ses critiques et ces conseils me sont d'ores et précieux.

Je tiens à remercier le professeur Arezki BENFDILA, responsable du laboratoire de microélectronique,

De même je remercie les membres du jury.

Et en fin j'adresse mes s'incère remerciements a mes parents, mes frères, mes sœurs,
et a tous mes amis.

Dédicace

Je dédie ce travail à mes très chers
parents, mes frères, mes sœurs, à tous
les membres de ma famille, et à mes
amis ...

Table des illustrations

TABLE DES ILLUSTRAT :

Figure I-1:(a) Image du premier transistor bipolaire réalisé dans les laboratoires Bell en 1947 (b) premier circuit planaire intégré par Fairchild semiconducteur en 1961	05
Figure I-2:Représentation schématique d'un MOSFET classique	05
Figure I-3-a : Schéma représentant un transistor MOS a effet de champ de type n (nMOSFET)	07
Figure I-3-b: Caractéristique de sortie $I_D(V_{gs})$ d'un nMOSFET.....	07
Figure I-4: Description schématique des différents états de fonctionnement d'un transistor nMOS.	07
Figure I-5: Transistor NMOSFET en régime d'accumulation.....	08
Figure I-6: Transistor NMOSFET en régime déplétion.....	08
Figure I-7: Architecteur du transistor MOSFET.....	09
Figure I-8: Caractéristique $I_{DS}=f(V_{DS})$ d'un transistor MOSFET	10
Figure I-9: Représentations schématiques et images MET associées des contraintes mécaniques en compression et tension utilisées afin d'améliorer les performances des transistors	11
Figure I-10 : Comparaison des architectures génériques des transistors MOS	12
Figure I-11: Diagrammes de bandes (a) Si massif, (b) SOI partiellement déplété et(c) SOI complètement déplété. Les zones ombrées indiquent les zones déplétées	13
Figure I-12: Influence électrostatique sur le SOI à une grille.....	15
Figure I-13: Différentes structures de transistors MG-FET.....	17
Figure I-14: les premiers transistors à base de nanofil unique de silicium réalisés par différents groupes des recherches	19
Figure I-15: Représentation schématique de principe d'un transistor à base d'un nanofil en architecture à grille entourant	19
Figure I-16: Représentation d'un transistor à base d'un nanofil en architecture à grille entourant	20
Figure I-17: (a) Image schématique et (b) vue de coupe en MET du premier MOS vertical.....	21

Table des illustrations

Figure II-1: (a) Représentation schématique de la croissance VLS d'un NF de silicium, (b) Image TEM d'un NF de silicium.....	24
Figure II-2 : Nombre de publications traitant des NFs/ μ Fs entre 1992 et 2012	25
Figure (II-3) : Image MEB de l'extrémité d'un nanofil.....	26
Figure II-4-(a) Transistor conventionnel à effet de champ (MOSFET) à grille face-avant avec un substrat semiconducteur n. (b) Transistor MOS à grille face-arrière. (c) Transistor Mos vertical à canal nanofil enrobé par la grille. (d) Transistor MOS à grille en face arrière à canal nanofil.....	28
Figure II-5-(a) Mécanisme VLS CVD pour la croissance de nanofils de Si à partir de silane...	30
Figure II-6: Schéma de croissance d'un nanofil de silicium par le mécanisme VLS (a) Goutte liquide du mélange Au-Si (b) Croissance du nanofil sous la goutte.....	32
Figure II-7: Précipitation d'un nanofil par le mode de croissance VLS.....	33
Figure II-8 : MOSFET à base de nanofils horizontaux par approche ascendante (a)Cui et al (b) Chung et al. (c) Appenzeller et al. (d) Tang et al. (e) Oh et al.....	35
Figure II-9 : (a-b) Procédé utilisant le SiGe comme couche sacrificielle pour la réalisation des nanofils suspendus, (c et d) empilement vertical de nanofils en Si suspendus en utilisant le système Si/SiGe. et (e) empilement vertical de nanofils en Si	37
Figure II-10: MOSFET à base de nanofils verticaux en Si réalisés par approche ascendante ...	38
Figure II-11 : Illustration du MOSFET à base de NFV en Si.....	39
Figure III-1 : Configuration de mesure électrique .(a)-image MEB du dispositif, (b)-schém du dispositif en vue de coupe, (c) image MET du réseau de nanofils avec contact vertical	46
Figure III-2- Caractérisation I-V pour réseaux de nanofils avec un diamètre de 32 nm à 393 nm	47
Figure II-3- Caractérisation I-V en fonction de la température allant de 285K à 120K : (a) $d_{Si}=74nm$ (b) $d_{Si}=93nm$	47
Figure III-4 : Nombre d'atomes de bore dans un nanofil en fonction du diamètre du nanofil pour différentes concentration de dopage.....	48

Table des illustrations

Figure III-5-Caractérisation I-V pour des réseaux de nanofils avec un diamètre $d_{si}=52$ nm :(a) courant total pour un nombre du nanofils, (b) courant moyen passant dans chaque nanofil	48
Figure III-6 : Densité de courant dans les nanofils: (a) la surface physique des nanofils, (b) la surface électrique des nanofils. Avec une image 3D schématique des nanofils.....	49
Figure III-7 :(a), Image de MEB de nanofil. (b) Image en vue de coupe d'un transistor à base de réseau des nanofils verticaux de silicium.....	50
Figure III-8 : Caractéristiques statiques $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ des transistors PMOS à base de nanofils avec différents diamètres de nanofil	51
Figure III-9 : Caractéristique statiques $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ des transistors NMOS à base de nanofils avec différents diamètres de nanofil	52
Figure III-10 : Comparaison du contrôle électrostatique des transistors NMOS et PMOS: (a), pente sous le seuil. (b), courant de fuite pour un réseau nanofils (c), DIBL en fonction du diamètre des nanofils	53
Figure III-11 : Caractéristique statique $I_{DS}-V_{GS}$ des transistors de type P.....	54
Figure III-12 : Comparaison du contrôle électrostatique des transistors PMOS : (a), pente sous le seuil, (b), courant de fuite, (c), DIBL en fonction du diamètre des nanofils, respectivement	55
Figure III-13 : Comparaison entre les caractéristique $I_{DS}-V_{GS}$	56
Figure III-14 : Caractéristiques statiques I-V de transistors PMOS à base de nanofils verticaux.....	56
Figure III-15 : Comparaison des caractéristiques statique $I_{DS}-V_{DS}$ et $\log(I_{DS})-V_{DS}$ à base de nanofils.....	57

Introduction générale.....	01
-----------------------------------	-----------

Chapitre I : Généralité sur les transistors MOSFET nanométrique

I.1.Introduction.....	04
I.2.Présentation du transistor MOS	04
I.2.1.De 1920 à nos jours	04
I.2.2.Quelles applications ?	06
I.3.Principe de fonctionnement du transistor MOS.....	06
I.3.1.Principe générale	06
I.3.2.Régimes de fonctionnement du transistor MOS	07
a-Accumulation.....	07
b-Déplétion	08
c-Inversion	09
I.4.Architecture du MOSFET	09
I.5.Caractéristiques électrique du transistor MOS.....	10
I.6.Contrainte mécanique	10
1.6.1 .Le MOSFET SOI	11
I.6.1.1.Différents Types de Transistors MOS SOI.....	12
1.6.1.2 Techniques de Fabrications des matériaux SOI	14
1.6.1.3 Défauts dans les matériaux SOI	15
1.6.2 Inconvénient majeur de la technologie SOI	15
I.7 Les Transistors Multi-Grilles MGFET	16
1.7.1 .L' avantage des transistors à grilles multiples	17
1.7.2 Inconvénient des transistors à grilles multiples.....	18
I.8.Transistor à base de structures unidimensionnelles	18
1.8.1 Les premiers transistors à base de nanofil de silicium	18
1.8.2 .Transistor à base de nanofils à grille entourant.....	19

1.8.3 Transistors à base de réseaux de nanofils en structure verticale à grille entourant.....	20
1.9 Conclusion.....	21

Chapitre II : MOSFET à base de nanofils semiconducteurs

II.1. Introduction	23
II.2. Historique	23
II.3. Intérêts des nanofils	24
II.4. Les principales propriétés des NFs	26
II.4.1. Pourquoi sont-ils intéressants?	26
II.4.2. Applications	26
a. LEDs	27
b. Cellules photovoltaïques (et photodétecteurs)	27
c. Nanogénérateurs	28
d. Dans le domaine de la Nano-microélectronique.....	28
e. Capteurs	29
f. Biocapteurs.....	29
II.4.3. Les différentes techniques d'élaboration	29
II.4.3.1. Dépôt chimique en phase vapeur (CVD)	29
II.4.3.2. Principe du mécanisme VLS.....	31
II.5. Performances du MOSFET à canal nanofil.....	33
II.6. Nouvelles structures: architectures nanofils	34
II.6.1. Architecture horizontale	34
II.6.2. Architecture verticale.....	37
II.7. Pourquoi une architecture verticale	39
II.8. Conclusion	40

Sommaire

Chapitre III : Caractérisation électrique de dispositifs à base de réseaux de nanofils en silicium.

III.1.Introduction	42
III.2.Caractéristiques des composants	42
III.3.choix de la méthode de caractérisation	42
III.4.Extraction des paramètres caractéristique du transistor	43
III.5.Evaluation de la capacité de grille.....	44
III.6.Intégration et caractérisation électrique de réseaux de nanofils verticaux de silicium	44
III.7.Caractérisation électrique de réseaux de nanofils verticaux	45
III.8.Impact du diamètre de nanofils	45
III.9.Variabilité dans un nanofil unique	47
III.10.Impact de la déplétion de surface de nanofils sur la conductivité.....	48
III.11.Caractérisation électrique des transistors à base de réseaux denses de nanofils.....	49
III.11.1.Caractérisation électrique des transistors à base de nanofils de silicium avec couche de diélectrique épaisse	49
III.11.2.Caractérisation électrique des transistors à base de nanofils verticaux en silicium avec une couche de diélectrique fine.....	53
III.11.3.Amélioration de la performance de transistors par diminution des défauts d'interface.....	54
III.11.4.Corrélation entre le courant débité et le nombre de nanofil de réseau	56
III.12.Conclusion	57
Conclusion générale	59
Références bibliographiques	61

Introduction générale

Les nanosciences et nanotechnologies sont actuellement en plein essor et constituent un domaine transversal entre la physique, la chimie et la biologie. Les objets nanométriques ont des caractéristiques particulières. D'une part, ils peuvent être le siège d'effets de confinement de charges modifiant leurs propriétés de transport. D'autre part, le ratio surface/volume des nanostructures est élevé, ce qui leur confère notamment une réactivité chimique spécifique.

Parmi les nombreux nano-objets, les nanofils suscitent actuellement un grand intérêt pour leurs propriétés induites par leur structure unidimensionnelle. Ils sont intéressants tant sur le plan de la recherche fondamentale que du développement appliqué à l'échelle industrielle. Par ailleurs, les nanofils s'inscrivent dans la course vers la miniaturisation pour augmenter la densité d'intégration des composants microélectroniques dans les circuits intégrés. Les nanofils semiconducteurs sont très intéressants pour des applications réelles ou potentielles en microélectronique ou en optoélectronique. Les derniers transistors fabriqués par Intel, récemment intégrés aux processeurs des ordinateurs, ont une structure assez similaire à des nanofils.

L'augmentation du nombre de transistors dans un espace toujours plus restreint, conformément à la loi de Moore, explique l'intérêt grandissant pour les nanodispositifs et en particulier pour les nanofils. Leur utilisation pour des applications nécessite de les étudier afin de maîtriser leur dimensionnement, leur positionnement, leur densité de distribution, leur forme et donc de comprendre leurs mécanismes de croissance.

Parmi les semiconducteurs, le silicium est le matériau le plus utilisé en électronique compte tenu de son abondance naturelle et de la facilité de son usinage. Le germanium quant à lui est plus coûteux à mettre en œuvre à l'échelle industrielle, mais présente par exemple des propriétés de transport intéressantes avec notamment une mobilité des charges plus élevée que dans le silicium.

Ce mémoire s'articulera autour de trois chapitres. Dans le premier chapitre rappelle sur les transistors MOSFET (de l'anglais « Metal-oxide-semiconductor field-effect transistor ») nanométriques et leur principe de fonctionnement dans microélectronique.

Le deuxième chapitre traite les nanofils semiconducteur surtout le silicium. Et propriété de nanofil et leurs applications dans les différents domaines et la croissance et les différentes techniques d'élaboration, et transistor MOSFET à base de nanofil.

Introduction générale

Le troisième chapitre traite les caractéristiques électriques I-V en dispositif à base de nanofil en silicium.

Nous terminerons notre travail par une conclusion générale et perspective.

Chapitre I

Généralité sur les transistors

MOSFET nanométriques

I.1. Introduction

L'intégration du transistor MOSFET n'a pas cessé d'évoluer depuis plus d'un demi-siècle vers des tailles nanométriques. La réduction de la longueur de grille a permis d'augmenter la densité d'intégration des transistors sur une puce et d'améliorer la rapidité des circuits suivant la fameuse loi de Moore qui prédit que le nombre de transistors doublerait tous les 2 ans. Ceci augmente donc les opérations de plus en plus complexes tout en augmentant la fréquence de fonctionnement. La réduction des dimensions induit l'émergence des effets parasites tels que les effets de canaux courts ainsi que les effets liés à la mécanique quantique qui tendent à modifier les caractéristiques électriques du transistor MOSFET.

D'une manière générale, le premier chapitre présente l'architecture de base de transistor de type métal-oxyde-semiconducteur à effet de champs (Metal-Oxide-Semiconductor field-effect transistor), MOSFET.

En suite, les règles de miniaturisation associées à la technologie CMOS (Complementary metal-oxide-semiconductor) sont exposées et les challenges liés à cette course à la réduction des dimensions sont explicités. Plusieurs innovations sont présentées, telles que des MOSFETs à base de structure multi-grilles, le remplacement du silicium par des matériaux à haute mobilité au niveau du canal ou encore les transistors à base de nanofils.

I.2 Présentation du transistor MOS

I.2.1. De 1920 à nos jours

Le transistor MOS, tirant son appellation de sa structure verticale (Métal/Oxyde/Semi-conducteur), est aujourd'hui la brique élémentaire des circuits intégrés constituant la plupart des dispositifs microélectroniques qui nous entourent. Aussi appelé transistor à effet de champ, MOSFET (MOS *field Effect Transistor*), son principe de base fut énoncé pour la première fois dans les années 1920s par, mais il fallut attendre 1960 pour en voir la première réalisation (Figure I 1). [2]

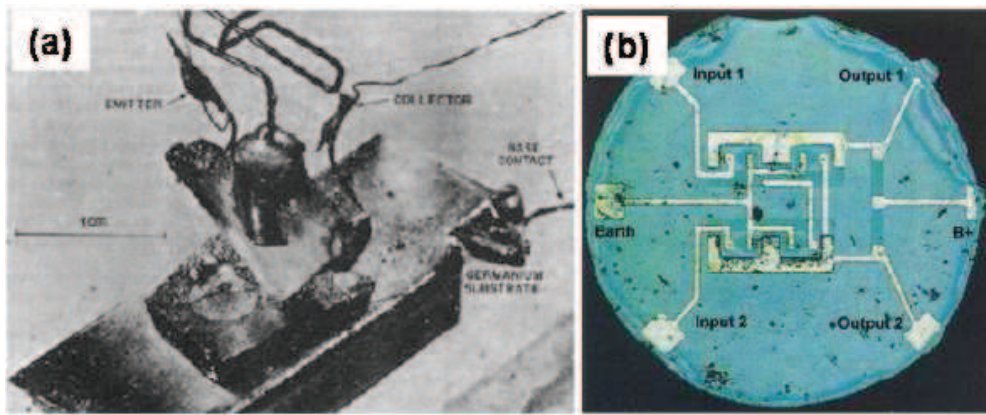


Figure (I-1) : (a) Image du premier transistor bipolaire réalisé dans les laboratoires Bell en 1947 et (b) premier circuit planaire semiconducteur en 1961. [1]

L'échec des nombreuses tentatives provenait à l'époque de la difficulté à contrôler l'état d'interface entre l'isolant et le semi-conducteur du canal. C'est dans les années 1960's, avec l'utilisation de l'oxyde de silicium thermique (SiO_2), que les technologies CMOS (*Complementary MOS*) et planaires imposèrent le transistor MOS comme l'élément incontournable de la microélectronique.

En effet, la technologie CMOS consiste à associer 2 types de transistor MOS (nMOS et pMOS) en tirant partie de leur régime de fonctionnement complémentaire afin de former l'élément de base de tous les circuits logiques : l'inverseur. De plus, la technologie planaire permet de fortes densités d'intégration. Ainsi le premier processeur vu jour chez INTEL en 1971, constitué de 2300 transistors. Nœud technologique fonctionnant à une fréquence d'horloge de 108 KHz. Les processeurs comportent 140 millions de transistors de 45 nm de longueur de grille fonctionnent à une fréquence d'horloge supérieur à 4GHz (Figure I.2).

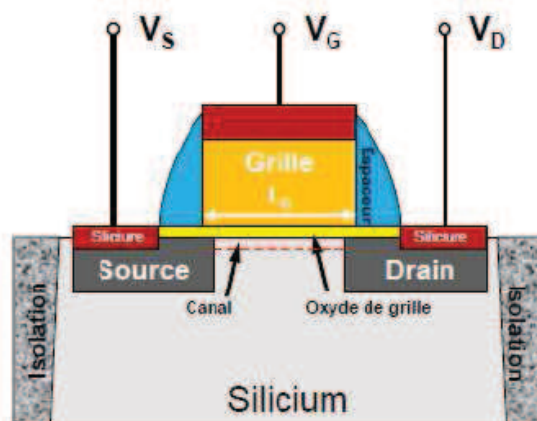


Figure (I-2) : Représentation schématique d'un MOSFET classique [1]

I.2.2. Quelles applications ?

Le transistor MOS est principalement utilisé dans deux types d'applications :

- Les applications à haute performance (HP) qui sont essentiellement les puces MPU (Micro Processor Unit) des ordinateurs de bureaux et des serveurs. La vitesse de calcul est détriment de la consommation électrique qui est non négligeable que ce soit en fonctionnement ou en état de veille.
- Les applications à base consommation comme les dispositifs portables (ordinateur, téléphone). On y distingue les dispositifs opérant à faible puissance pour les applications mobiles nécessitant une vitesse de calcul relativement grande et des batteries de large capacité (ordinateurs portables par exemple) et les dispositifs à très faible puissance de veille ayant de plus faibles courants de fuite avec des performances moindres. [1]

I.3. Principe de fonctionnement du transistor MOS

I.3.1. Principe générale

De manière idéale, le principe de fonctionnement du transistor MOS est comparable à celui d'un interrupteur. En effet, son fonctionnement est basé sur la modulation du transport d'une densité de charges dans une couche semi-conductrice (le canal de conduction) par le biais d'un champ électrique qui lui est appliqué perpendiculairement. La création des porteurs de charge (électrons pour un transistor MOSFETs, trous pour un transistor MOSFETs) par effet de champ est régie par la polarisation (V_G) d'une électrode de commande appelée «grille» à travers une couche isolante (le diélectrique de grille). Le transport des porteurs dans le canal se fait sous l'impulsion d'une différence de potentiel (V_D) entre deux réservoirs de charges (source et drain) établissant un courant de drain (I_D) (Figure I-3-a).

Le transistor assure donc la transition d'un état bloqué ($V_G=0V$) pour lequel le courant de drain équivaut au courant de fuite I_{OFF} , à un état passant pour lequel la polarisation de grille V_G est égale à celle de drain V_D ($V_G=V_D=V_{DD}$), permettant le passage du courant de drain I_{ON} (figure I-3-b). Le passage du premier état au second est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est à dire quand une tension de grille V_G supérieure à la tension dite de seuil (V_T) est appliquée. [4]

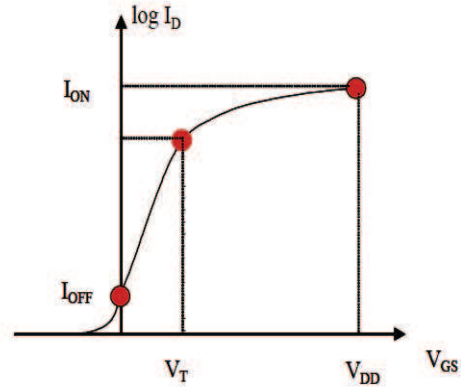
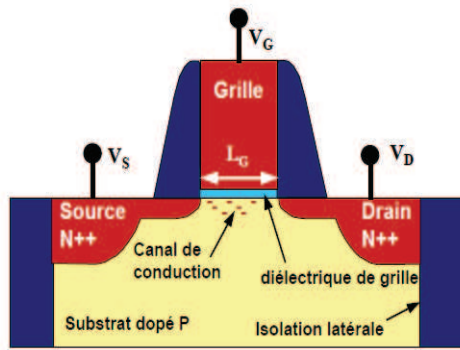


Figure (I-3-a) : Schéma représentant un transistor MOS a effet de champ d'un nMOSFET [4]

Figure (I-3-b):Caractéristique de sortie $I_D(V_{GS})$ d'un nMOSFET. [4]

I.3.2.Régimes de fonctionnement du transistor MOS

Pendant le fonctionnement du transistor, la tension entre la source et le drain est positive, créant un champ électrique horizontal pouvant mettre en mouvement les porteurs dans le canal. Les dopants étant de nature différente dans le canal et les zones de source et de drain, une barrière énergétique, de hauteur ϕ , apparaît entre le canal et les extensions. Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif. L'ensemble source/substrat/drain peut être vu comme une jonction npn. On peut distinguer alors trois situations en fonction de la tension V_G appliquée sur la grille (Figure I-4).

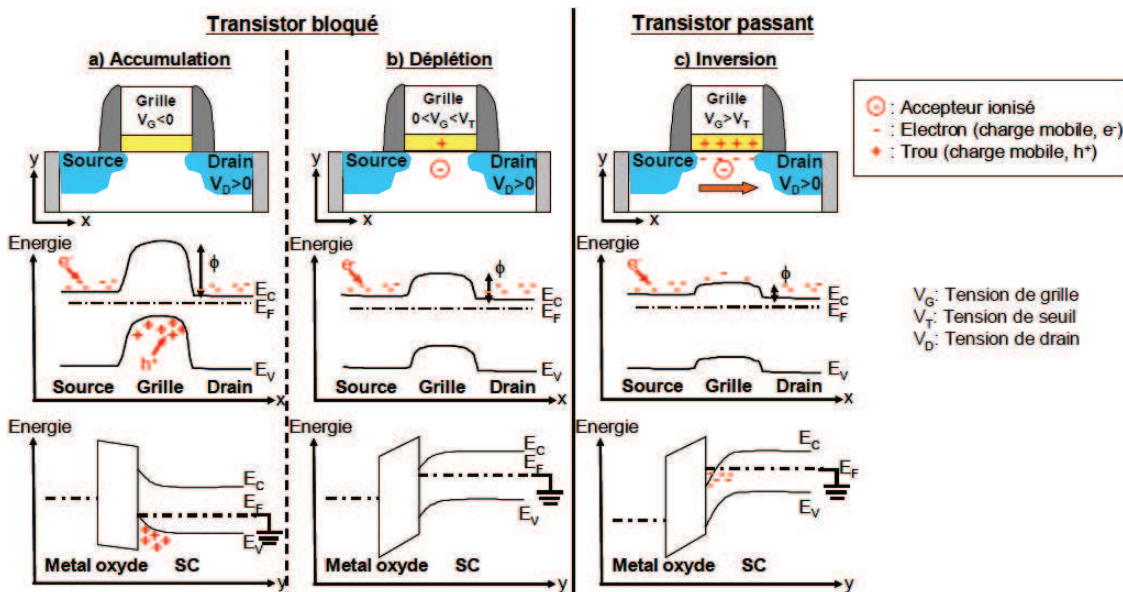


Figure (I-4) : Description schématique des différents états de fonctionnement d'un transistor nMOS. [2]

a. Accumulation

Lorsque la grille est positivement ($V_{Gs} > 0$), les électrons sont attirés et s'accumulent à la surface du canal et c'est le régime d'accumulation.

L'énergie potentielle du canal est supérieure à celle de la source et constitue une barrière de hauteur ϕ_d , empêchant ainsi la circulation de charge. [1]

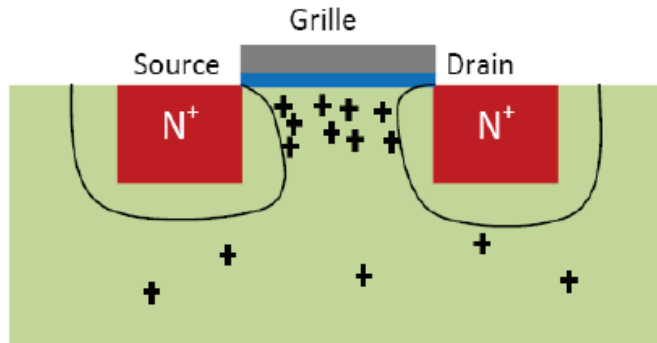


Figure (I-5) : Transistor NMOSFET en régime d'accumulation. [5]

b. Déplétion

La tension appliquée sur la grille est négative mais inférieure à la tension de seuil ($V_{Gs} < V_{th} < 0$), les électrons sous la grille sont repoussés laissant uniquement des charges fixes dans le canal. Ainsi, une zone de déplétion (zone vide de toute charge mobile) se forme source et de drain. Se ce fait, la hauteur de barrière ϕ_d entre la source et le canal diminue mais ne laisse toute fois pas encore passer de courant. [1]

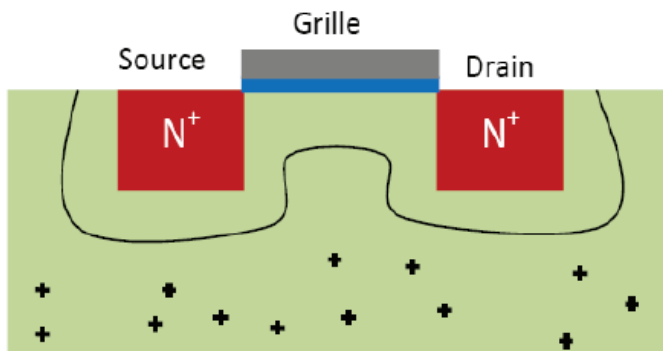


Figure (I-6): Transistor NMOSFET en régime déplétion. [5]

c. Inversion

Lorsque le transistor est polarisé dans l'état passant ($V_{th} < V_{Gs} < 0$), les trous sont attirés au niveau de l'interface de canal/oxyde, formant ainsi une couche d'inversion, et diminuant le potentiel entre le canal et le drain. Dans ce régime, une tension négative appliquée entre le drain et la source et le drain induit une variation de la distribution de charges le long de canal. [1]

I.4. Architecture du MOSFET

La structure de base du MOSFET est constituée d'un substrat de silicium de type n ou p dans lequel sont implantées, par diffusion ou implantation ionique, deux zones, fortement dopées et de type opposé à celui du substrat, appelées drain et source. Sur la zone délimitée par le drain et la source (appelée zone active), est déposée une couche de diélectrique par oxydation du silicium (substrat). Le diélectrique ainsi obtenu, le SiO_2 natif, est recouvert d'une couche, pouvant être du polysilicium de haute conductivité et/ou de l'aluminium, appelée grille. Une capacité MOS est ainsi réalisée, voir figure (I-7).

La couche active liant la source et le drain, activée par polarisation, est appelée *canal*. Selon sa présence ou son absence et en l'absence de toute polarisation, le transistor peut être à appauvrissement (Normally On) ou à enrichissement (Normally Off).

Indépendamment du type du transistor, un MOSFET est caractérisé par ses dimensions géométriques et physiques. [3]

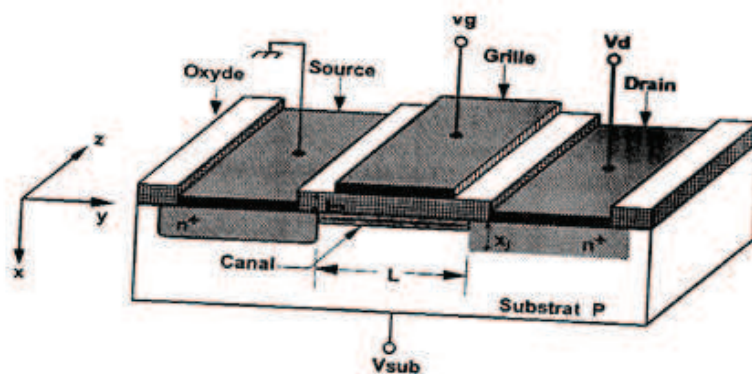


Figure (I-7) : Architecture du transistor MOSFET. [3]

L et W la longueur et la largeur du canal du MOSFET

x_j représente la profondeur de diffusion de la source et du drain

t_{ox} l'épaisseur de l'oxyde de grille.

$A = W.L$ et x la profondeur du canal.

V_{GS} et V_{DS} .

Le dopage du substrat varie entre 10^{15} et 10^{17} atomes/cm³.

Celui du drain et source par contre, est de l'ordre de 10^{19} atomes/cm³.

Le canal est physiquement séparé de l'oxyde par l'interface qui influe sur le comportement et les performances du MOSFET. [3]

I.5. Caractéristiques électrique du transistor MOS

Pour étudier la réponse en courant de dispositif MOSFET sous polarisation de tension de drain. Nous avons donné le réseau de caractéristique I_{DS} en fonction de V_{DS} , selon la valeur de l'amplitude de cette tension appliquée au niveau de drain. [5]

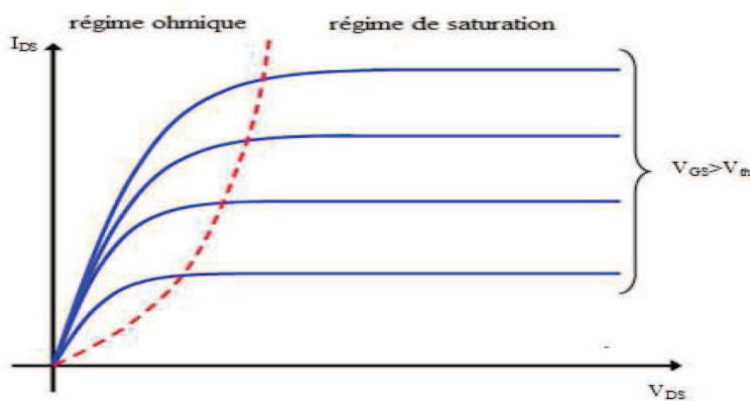


Figure (I-8) : Caractéristique $I_{DS}=f(V_{DS})$ d'un transistor MOSFET [5]

I.6. Contrainte mécanique

Les propriétés électriques du silicium peuvent être modifiées par l'introduction de contraintes mécaniques dans le canal de conduction. Ces contraintes impactent alors les structures des bandes d'énergies du silicium et modifient les masses effectives des porteurs.

La mobilité de transistor est alors modifiée suivant l'équation ci-dessous :

$$\mu = \frac{q\tau}{m^*} \quad \text{Eq (I)}$$

Ou m^* est la masse effective de conductivité des porteurs, q est la charge élémentaire de l'électron et τ est le temps de relaxation moyen qui exprime le temps minimum entre deux interactions avec les phonons de la bande considérée. La mobilité peut être améliorée en

réduisant la masse effective de conductivité et / ou vitesse de diffusion ($1/\tau$). En raison de la différence de comportement de la masse effective entre les électrons et les trous, les contraintes appliquées au niveau des transistors NMOS et PMOS sont différentes.

Des contraintes en tension ou en compression sont appliquées au canal de conduction du PMOS et du NMOS respectivement comme le montre la fig. ci-dessous. Dans le cas du transistor à canal P. le Si-Ge est utilisé à la place du silicium pour former la zone de source/drain et pour induire une contrainte de compression dans le canal de silicium en améliorant la mobilité des trous ainsi que la réduction des résistances parasites au niveau de la zone de source et du drain. Dans le cas du transistor à canal N. une couche de nitrure de silicium est déposée sur le transistor de manière à introduire une contrainte en tension uniaxiale dans le canal de silicium permettant ainsi d'augmenter la mobilité d'électrons. [1]

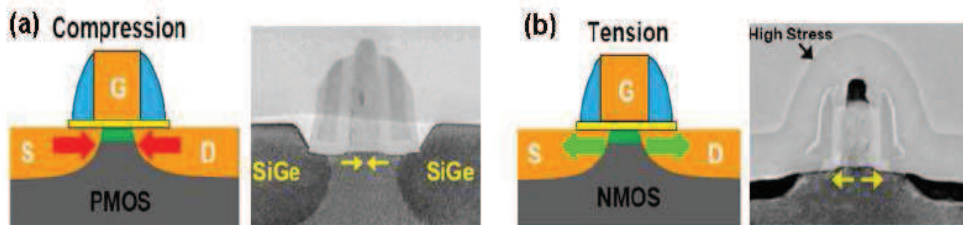


Figure (I-9) : Représentations schématisques et images MET associées des contraintes mécaniques en compression et tension utilisées afin d'améliorer les performances des transistors. [1]

Une autre approche consiste à introduire les contraintes mécaniques sur toute la surface du substrat, au moyen d'une épitaxie sélective de silicium sur un substrat tampon en $\text{Si}_x\text{Ge}_{1-x}$ relaxé. L'autre solution consiste à déposer une couche d'encapsulation sur le transistor, qui sera choisie en tension ou en compression pour l'optimisation de la mobilité d'électrons et des trous, respectivement. [1]

I.6.1. Le MOSFET SOI

La technologie silicium sur isolant (Silicon on Insulator ou T.SOI) a été mise en évidence dans les années 1960-1970 pour satisfaire la demande de circuits intégrés immunisés aux irradiations ionisantes. Actuellement, la technologie SOI est devenue l'une des filières les plus prometteuses pour la fabrication de circuits intégrés à basse consommation, haute fréquence à de hautes ou basses températures.

Depuis le début des années 1990, la mise au point de nouveaux matériaux pour le SOI et le développement des appareils électroniques portables a promu la T.SOI comme une technologie de choix pour la fabrication de composants répondant aux exigences de l'électronique d'appareils portables. La technologie SOI a un fort potentiel pour repousser les frontières de la microélectronique par la miniaturisation avancée des transistors MOS et par les architectures innovantes qu'elle peut accueillir.

Le premier matériau, le silicium sur saphir (SOS), a été suivi par une variété de structures SOI. Leur dénominateur commun est d'offrir, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif. En effet, dans un transistor MOSFET, il n'y a que la couche superficielle de silicium d'épaisseur de 0,1 à 0,2 μm (i.e., moins de 0,1 % de l'épaisseur totale de la plaquette de silicium) qui est vraiment active pour le transport des électrons de conduction. Le reste de la plaquette est le siège d'effets parasites indésirables (telles les capacités parasites, phénomènes de proximités,...) que l'on peut éviter en faisant appel à une solution de type SOI.

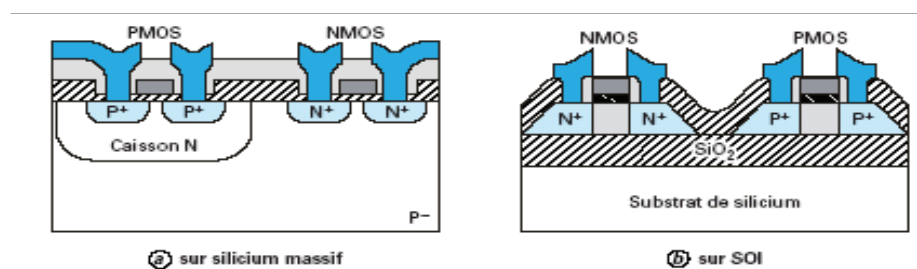


Figure (I-10) : Comparaison des architectures génériques des transistors MOS

I.6.1.1. Différents Types de Transistors MOS SOI

L'architecture des transistors MOS SOI (SOI MOSFET) est semblable à celle des transistors MOS sur Si massif sauf que le substrat possède une couche d'oxyde enterré ("BOX" de l'anglais: Buried OXide) dans le silicium. On obtient ainsi un film de silicium confiné entre l'oxyde enterré et celui de la grille.

La conduction est contrôlée par deux grilles (grilles avant et grille arrière), qui créent chacune une zone de déplétion dont la largeur maximale est donnée par

$$w_{\max} = 2 \cdot \sqrt{\frac{\epsilon_{Si} \cdot |\Phi_F|}{q \cdot N_a}} \quad \text{Eq (II)}$$

Où $\Phi_F = \pm \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right)$ est le potentiel de Fermi.

-Na : Dopage

-ni : Concentration intrinsèque -

KT/q : Potentiel thermique

-Q : Charge élémentaire

- ϵ_{Si} : Permittivité électrique du silicium

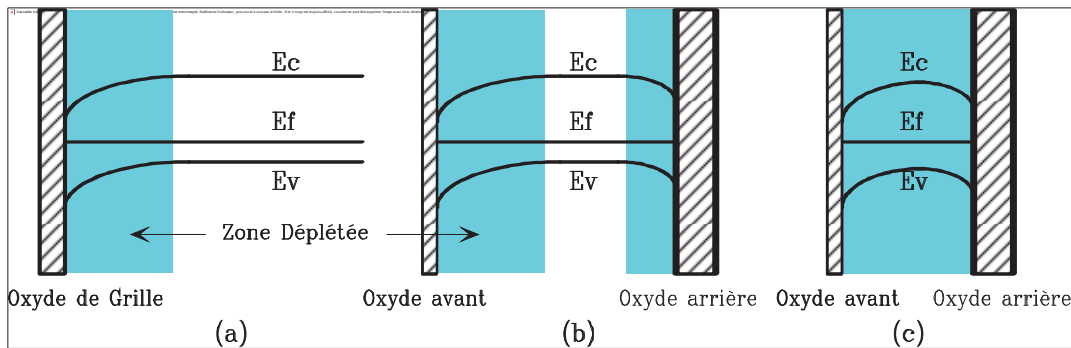


Figure (I-11): Diagrammes de bandes (a) Si massif, (b) SOI partiellement déplété et (c) SOI complètement déplété. Les zones ombrées indiquent les zones déplétées

En fonction de l'épaisseur du film de silicium, on peut distinguer deux familles de SOI MOSFET : le SOI mince où l'épaisseur du film est typiquement de 50 à 250 nm et le SOI épais avec un film de 250 nm à quelques microns.

Le SOI épais ou transistor SOIMOS partiellement déplété, (PD-MOSFET ou Partially Depleted MOSFET): Les deux zones de déplétion reliées par $t_{Si} > 2 \cdot W_{\max}$ sont indépendantes. L'architecture et les étapes technologiques de la réalisation de ce type de transistors sont semblables à celle du MOSFET sur silicium massif.

Le transistor SOIMOS à la limite de la déplétion totale est régi par la relation $w_{\max} > t_{Si} > 2 \cdot w_{\max}$. Selon que on utilise une seule grille ou les deux à la fois, le transistor a le comportement du partiellement déplété ou du totalement déplété.

Le SOI mince ou complètement déplété ou FD MOSFET, Fully Depleted MOSFET, est défini suivant l'épaisseur du film mince qui vérifie la relation $t_{Si} < w_{max}$. L'action d'une seule grille est alors suffisante pour faire désertier totalement les électrons du film.

I.6.1.2. Techniques de Fabrications des matériaux SOI

Il existe plusieurs techniques de fabrications SOI, on distingue les plus importantes à savoir :

- **Silicium sur Saphir SOS (Silicon On Sapphire)** : La couche de silicium active est obtenue par croissance hétéroépitaxie sur un substrat monocristallin d'alumine.
- **Silicium sur Zirconium SOZ (Silicon On Zirconia)** : La difficulté de réalisation de plaquettes de grand diamètre a empêché le développement de ce procédé malgré que le zirconium est un très bon conducteur ionique à haute température laissant passer l'oxygène pour l'oxydation du silicium.
- **Recristallisation par fusion de zone ZMR (Zone Melting Recrystallization)**: Elle consiste en le dépôt d'un film de silicium polycristallin sur une plaquette de silicium précédemment oxydée et suivi d'une recristallisation puis solidification de la couche de silicium.
- **SIMOX (Separation by Implanted Oxygen)** : C'est l'implantation d'oxygène en profondeur et la formation d'une couche d'oxyde enterrée après recuit en haute température. Ce procédé élimine les précipitations et défauts résiduels et crée des interfaces abruptes.
- **SOI Wafer Bonding** : Cette technique consiste en le collage de deux plaquettes oxydées puis le sacrifice de l'une par polissage de manière à ne laisser qu'un film mince de silicium.
- **FIPOS (Full Isolation by Porous Oxidized Silicon)** : Dans cette technique, on commence par implanter des zones de phosphore dans une plaquette de type p puis on transforme les zones p en silicium poreux. Après oxydation du silicium poreux, on procède au recuit de la structure pour densifier l'oxyde.
- **Smart-cut** : Consiste en la formation de microbulles dans une plaquette de silicium par implantation d'hydrogène suivi de son collage sur une autre plaquette. Un recuit permet alors la propagation des cassures entre les microbulles et ainsi séparer les plaquettes en laissant un film de silicium.
- **Structure Unibond** : Elle combine l'implantation profonde des ions d'hydrogène sur le principe du SIMOX et le collage de tranches.

I.6.2. Défauts dans les matériaux SOI

On distingue deux types de défauts dans les plaquettes SOI: ceux qui provoquent la défaillance du dispositif (défauts, rugosité de surface, défauts cristallins, ...) et ceux qui dégradent sa fiabilité. Parmi ces défauts on peut citer :

- La rugosité de surface : Elle est la source de fuites dans les jonctions. Elle réduit les tensions de claquage des oxydes de grille et induit le claquage de l'oxyde de grille qui est très mince dans les dispositifs MOS.
- Les défauts cristallins comme les dislocations et défauts d'empilement.
- Les contaminations aux ions alcalins (dans l'oxyde enterré) et métalliques dans le film de silicium.
- Le niveau de carbone et d'oxygène résiduel dans le film de silicium provoque l'augmentation du courant de fuite et la réduction éventuelle de la tension de claquage.
- Les pipes dans l'oxyde (filaments conducteurs) qui se comportent comme des résistances peuvent provoquer la dépolarisation des composants, l'augmentation du courant de fuite I_{OFF} et la réduction de la résistance aux radiations, ...
- Les charges fixes dans l'oxyde enterré et densité de charge à l'interface Si/BOX.

I.6.3. Inconvénient majeur de la technologie SOI

La technologie SOI présente d'innombrables avantages. Cependant, son inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts.

En effet la polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste n'est pas à négliger lorsque l'épaisseur de l'oxyde est importante. [8]

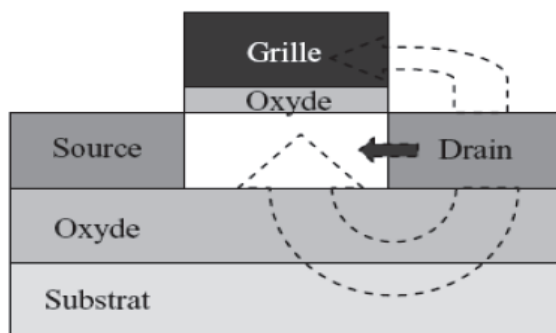


Figure (I-12) : Influence électrostatique sur le SOI à une grille [8]

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure, permettant ainsi d'insérer une seconde grille est appelée structure double grille dite DGFET pour dual gate field effect transistor et fera l'objet de notre étude. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous présentons dans la section suivante.

I.7. Les Transistors Multi-Grilles MGFET

Il existe différentes architectures de transistors MOSFET à grilles multiples (MGFET). Illustre plusieurs structures de transistors multi-grilles. L'exemple le plus connu, sans doute, est le transistor FinFET. L'origine du nom vient des canaux de conduction qui sont verticaux et ressemblent un aileron (Fin en anglais). L'ITRS le considère comme le candidat le plus apte à remplacer le MOSFET planaire en raison de sa capacité à surmonter les problèmes liés aux effets canaux courts et aussi pour son procédé de fabrication relativement simple. Les transistors FinFETs peuvent être fabriqués sur substrat massif ou sur substrat SOI (Fig. (a) et Fig. (b) respectivement). Le FinFET en sa configuration double-grille est représenté sur la Fig. (7-c). Dans cette configuration double grille, un masque dur de nitrure est déposé afin d'empêcher la conduction sur le dessus du Fin.

Dans sa configuration « Triple-gate », le FinFET est identique à la configuration double grille sauf que le masque dur de nitrure est remplacé par l'empilement de l'oxyde de grille, permettant ainsi au Fin d'être contrôlé par trois grilles. L'architecture du transistor à grille enrobant (GAA pour Gate All Around) est représentée sur la Fig. (d). Le transistor à nanofil (NWFET) est un exemple des dispositifs GAA. Selon le procédé de fabrication, le canal peut être orienté verticalement ou horizontalement. L'architecture GAA offre le meilleur contrôle du canal puisque celui-ci est complètement enrobé par la grille. Elle permet un contrôle électrostatique supérieur au FDSOI ou Triple-gate pour les nœuds les plus avancés ($L_g < 10$ nm) où les effets canaux courts seront tellement plus importants. Un transistor FinFET peut optionnellement avoir deux grilles séparées qui sont polarisées de façon indépendante (Fig. (e). Ceci peut être réalisé en supprimant la partie supérieure de la grille d'un FinFET conventionnel (Fig. 7-b) à l'aide d'un polissage mécano-chimique (CMP pour Chemical Mechanical Polishing). La Fig. (f) illustre un transistor à double-grille

indépendante qui est réalisé de façon planaire. L'usage de la grille arrière et son fonctionnement restent similaires au FDSOI avec le back-biasing. [7]

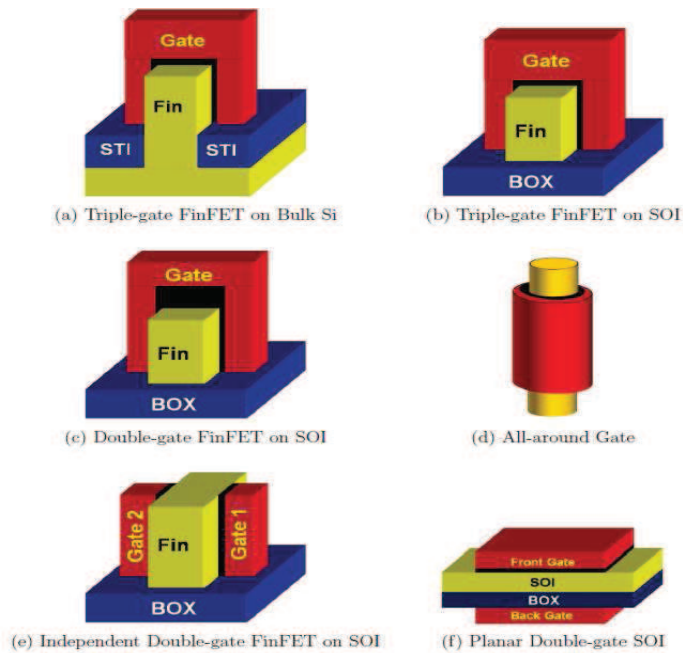


Figure (I-13) : Différentes structures de transistors MG-FET. [7]

I.7.1.L' avantage des transistors à grilles multiples

L'avantage majeur des dispositifs multi-grilles est la réduction des effets canaux courts. Puisque le canal est contrôlé par la grille de plusieurs côtés, on a un meilleur contrôle électrostatique du canal par la grille contrairement aux structures de transistors conventionnelles. Ceci a pour conséquence de réduire les courants de fuites. Aussi, grâce aux dimensions de ces dispositifs, la réduction des coûts à travers la miniaturisation peut donc se poursuivre. Un deuxième avantage de ces dispositifs est l'amélioration du courant débité à l'état passant du transistor (I_{ON}) et donc une augmentation de la vitesse du circuit grâce à la réduction du canal de conduction. Le FinFET est une des architectures multi-grilles les plus prometteuses puisqu'il offre une largeur de canal plus grande avec une faible empreinte en surface. Ceci augmente le courant (I_{ON}) et donc permet de piloter une ligne d'interconnexion beaucoup plus longue. Finalement, comme pour les FDSOI, le troisième avantage des architectures multi-grilles est la réduction de la variabilité et des RDF. Les avantages des MGFETs sont bien connus et démontrés dans de nombreuses technologies de FinFETs. [7]

I.7.2. Inconvénient des transistors à grilles multiples

L'un des inconvénients de ces structures dites à grilles multiples est essentiellement l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique ou par effet tunnel source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats. [8]

I.8. Transistor à base de structures unidimensionnelles

La course à la miniaturisation des structures CMOS atteindra probablement ses limites lorsque la longueur de grille approchera 5 nm, à l'horizon 2020-2030, du fait des courants de fuites de l'ensemble du circuit. Afin d'atteindre cette limite, le transistor à base de nanofils de silicium intégrant une grille entourant est un candidat très prometteur parce que ces structures offrent théoriquement le meilleur contrôle électrostatique du canal par la grille. [1]

I.8.1. Les premiers transistors à base de nanofil de silicium

Les premiers transistors à base de nanofils en structure conventionnelle ont été développés par le groupe de C.M. Lieber à l'Université de Harvard. Les nanofils intégrés ont été synthétisés par une croissance catalytique (méthode dite « bottom up ») en utilisant un mécanisme VLS (vapeur liquide solide). Cette technologie permet de réaliser des nanofils avec un diamètre inférieur à 100 nm dont le dopage (n ou p) est réalisé pendant le procédé de synthèse. Les nanofils sont dispersés sur un substrat de silicium recouvert d'un oxyde (pouvant être utilisé comme grille de face arrière) suivant différentes techniques. Et à la fin des contacts métalliques de source et drain sont réalisés à l'extrémité des nanofils. Ces premiers transistors à base de nanofils sont relativement perfectibles, avec des longueurs de grille relativement grande (de 500 nm à 3 μm), un contrôle du canal de conduction par une polarisation face arrière ou supérieure avec des tensions de polarisation élevées. Cette technologie n'est pas optimale pour l'analyser l'efficacité de ces transistors à base de nanofils à grille ultra-courte, et pour des longueurs de grille relativement longues, la caractéristique

statique des transistors n'est pas idéale. En fin ces dispositifs à nanofil unique offrent des courants de commande limités de l'ordre du μA (10^{-6}). Afin d'augmenter ce courant, des dispositifs implémentés sur un grand nombre de nanofil en parallèle seraient nécessaire. [1]

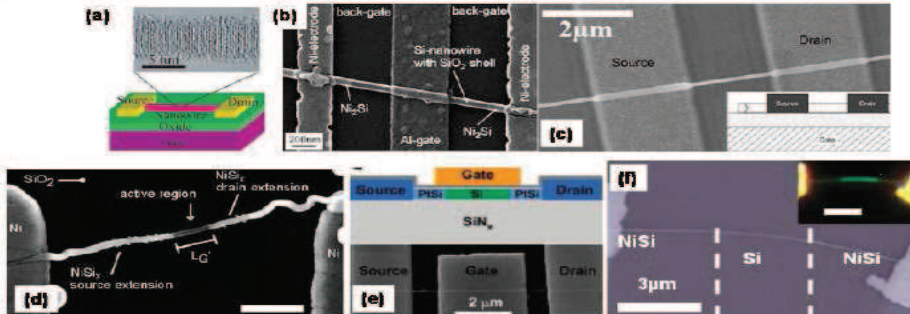


Figure (I-14) : les premiers transistors à base de nanofil unique de silicium réalisés par différents groupes des recherches. [1]

I.8.2. Transistor à base de nanofils à grille entourant

Les transistors à nanofil en grille entourant représentent le cas optimum de contrôle électrostatique du canal et permettent une réduction de la puissance consommée, grâce à son immunité aux effets canaux courts. Ces dispositifs sont donc une option crédible pour poursuivre la loi de moore au-delà du nœud technologique 15 nm.

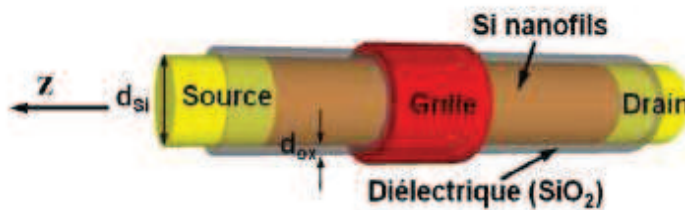


Figure (I-15) : Représentation schématique de principe d'un transistor à base d'un nanofil en architecture à grille entourant. [1]

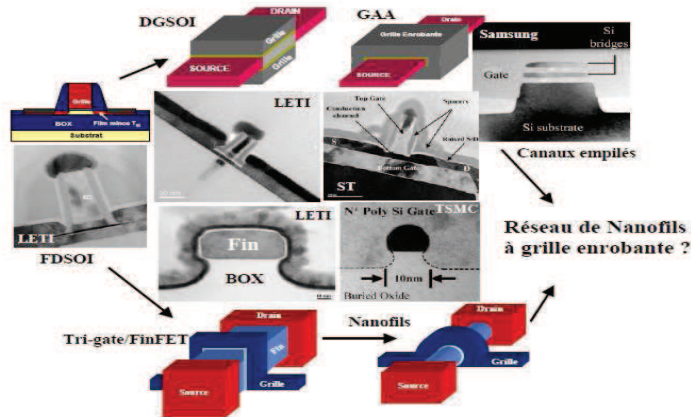


Figure (I-16) : Représentation d'un transistor à base d'un nanofil en architecture à grille entourant. [5]

D'un point de vue expérimental, en raison des grandes difficultés technologiques pour réaliser des transistors à grille entourant ultra-courte sur des nanofils réalisés par croissance, de nombreux groupes se sont orientés vers une approche descendante par gravure, compatible avec un procédé CMOS, pour fabriquer des transistors à base du nanofils, la structure d'ailette de silicium est fabriquée par une technique qui combine la lithographie, une gravure et l'oxydation. Pendant le procédé d'oxydation thermique, des mécanismes d'oxydation autolimités dans une structure nanométrique induisent une consommation de silicium supérieure au centre de l'ailette qu'à ses extrémités, créant ainsi des nanofils suspendus, pouvant être libérés par gravure de la couche d'oxyde. Alors, une couche diélectrique et une grille entourant sont réalisées par oxydation ou dépôt chimique en phase vapeur, (CVD).

I.8.3. Transistors à base de réseaux de nanofils en structure verticale à grille entourant

Le transistor à grille entourant en structure verticale a la potentialité de combiner un excellent niveau de performance avec une grande densité d'intégration. L'utilisation de ces structures pour des applications mémoire a déjà largement été mise en avant, non seulement en raison de son potentiel de miniaturisation de dispositifs individuels, mais aussi pour la capacité de mémoire envisageable avec plusieurs niveaux de structures tridimensionnelles.

Le premier transistor vertical avec une grille entourant (SGT « Surrounding Gate Transistor ») a été présenté en 1988. La configuration est illustrée en figure ci-dessous, où les zones de source, drain et de grille sont intégrés verticalement et le pilier de silicium est entouré par la grille. Le but est de diminuer la densité d'intégration de la structure de base

sons réduire la taille de dispositifs par effets canaux courts. De plus, la structure de grille entourant permet d'offrir un meilleur contrôle du canal. [1]

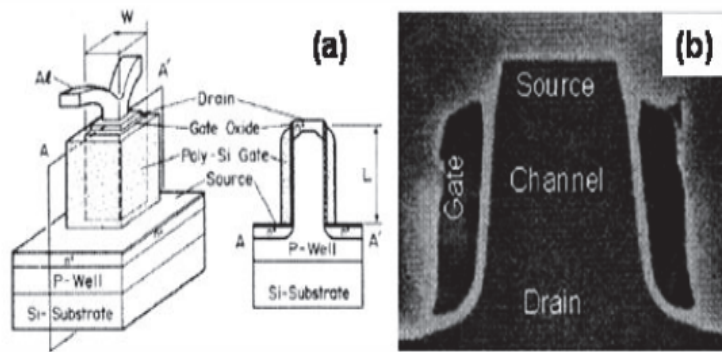


Figure (I-17) : (a) Image schématique (b) vue de coupe en MET du premier MOS vertical. [1]

Conclusion

Ce premier chapitre a décrit les principes de fonctionnement du transistor MOS classique et présenté les règles de miniaturisation qui régissent l'évolution des technologies MOS. Les limitations des technologies actuelles et les effets canaux courts, liés à la miniaturisation des dispositifs ont été exposés. Afin de réduire ces effets parasites et pour suivre la loi de Moore, certaines solutions ont été proposées, telle que l'introduction de contraintes dans le canal, l'intégration du transistor sur un substrat SOI avec des architectures à multi-grilles, la fabrication de transistors à base de nanofils avec une grille entourant, cette dernière architecture est le candidat le plus prometteur, malgré la limitation du courant à l'état passant dans le canal de part la faible surface de conduction inhérente aux nanofils. Pour améliorer ce courant à l'état passant tout en conservant un courant de fuite très faible, une structure de transistor à base de réseau de nanofils verticaux avec une grille entourant est proposée en utilisant un procédé compatible CMOS.

Chapitre II

MOSFET à base de nanofils semiconducteurs

I.1. Introduction

La réduction de la taille des dispositifs nécessite la prise en compte de nouveaux effets. La maîtrise des fluctuations de taille, de la diffusion des dopants et des problèmes d'interfaces et de surfaces représente aujourd'hui un véritable défi technologique. Ce défi suscite deux principaux axes de recherche :

- une amélioration de la technologie en maîtrisant davantage les procédés d'élaboration et en incorporant de nouveaux matériaux intrinsèquement plus performants pour continuer à repousser les limites rencontrées ;
- une exploitation des effets de confinement et de surface induits par la réduction de taille dans les matériaux semiconducteurs.

Les nanofils sont un système de choix et les travaux dédiés à leur étude sont en très forte croissance depuis le début des années 2000. Ces nanostructures quasi unidimensionnelles présentent typiquement des diamètres de l'ordre de quelques nm à quelques dizaines de nm et des longueurs pouvant atteindre plusieurs μm . A l'échelle de leur diamètre, les propriétés électroniques peuvent être très différentes de celles des matériaux massifs.

Dans cette partie, nous verrons dans un premier temps comment les nanofils ont été découverts et comment la vision des chercheurs les concernant a évolué. Ensuite, nous présenterons quelques applications pour lesquelles l'utilisation de nanofils peut présenter un intérêt. Enfin, les différentes techniques utilisées pour l'élaboration des nanofils seront présentées.

II.2. Historique

Le premier article à mentionner une structure en NFs (aussi appelés "whiskers") date de 1964 et présente la croissance de NFs de silicium à l'aide d'un mécanisme de catalyse appelé croissance VLS (Vapeur-Liquide-Solide). La Figure II-1-a montre schématiquement le principe de la croissance VLS. Une particule d'or (Au) d'une centaine de nanomètres est placée sur un substrat Si, puis chauffée au-dessus d'une certaine température (qui dépend du métal et du semi-conducteur choisis). En présence de SiCl_4 et de H_2 , la gouttelette agit comme un site préférentiel pour l'incorporation d'atomes de Si, et entraîne la formation d'un alliage liquide Au-Si. Lorsque le seuil de saturation est atteint dans la goutte, il y a précipitation d'un matériau semi-conducteur à l'interface goutte/substrat entraînant la nucléation d'un matériau sous forme solide. Le diamètre des NFs obtenus est fixé par la taille

du catalyseur comme le montre l'image prise par Microscopie Electronique en Transmission (MET) de la Figure II-1

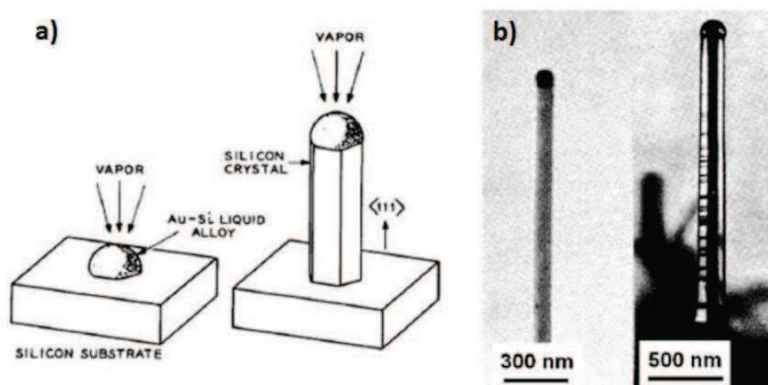


Figure II-1: (a) Représentation schématique de la croissance VLS d'un NF de silicium, (b) Image TEM d'un NF de silicium.

Par la suite, des techniques expérimentales de plus en plus élaborées ont été développées afin d'améliorer la qualité des NFs, tout en visant un meilleur contrôle de leur fabrication. En profitant du développement de nombreuses techniques de croissance, l'approche "bottom up" a été améliorée au cours des années. En parallèle, l'avancée des procédés technologiques en salle blanche a permis de développer une approche top down, qui revient à graver une couche pour former des nano-objets.

II.3. Intérêts des nanofils

Les nanofils sont des structures unidimensionnelles mille fois plus fins que des cheveux. L'intérêt qui leur est porté s'est beaucoup développé. En effet, les nanofils présentent des propriétés remarquables vis-à-vis des problématiques de relaxation, de transport et de confinement électronique ou optique. À l'échelle nanométrique, la matière présente des propriétés particulières qui peuvent justifier une approche spécifique. Il s'agit bien sûr des propriétés quantiques, mais aussi d'effets de surface/volume. [7]

L'importance portée par la communauté scientifique à l'égard des nanofils (NFs) et des microfils (μ Fs) ne cesse de s'accroître depuis les vingt dernières années. La Figure I-13 montre à quel point le nombre de publications en lien avec les NFs/ μ Fs n'a cessé de croître. De par leurs propriétés spécifiques, en termes de relaxation élastique, de transport électronique, et de confinement optique, les NFs/ μ Fs représentent des objets uniques pouvant jouer un rôle important dans la course à la miniaturisation de futurs composants électroniques.

Sur la totalité des publications en lien avec les NFs/ μ Fs semi-conducteurs (Figure II-2).

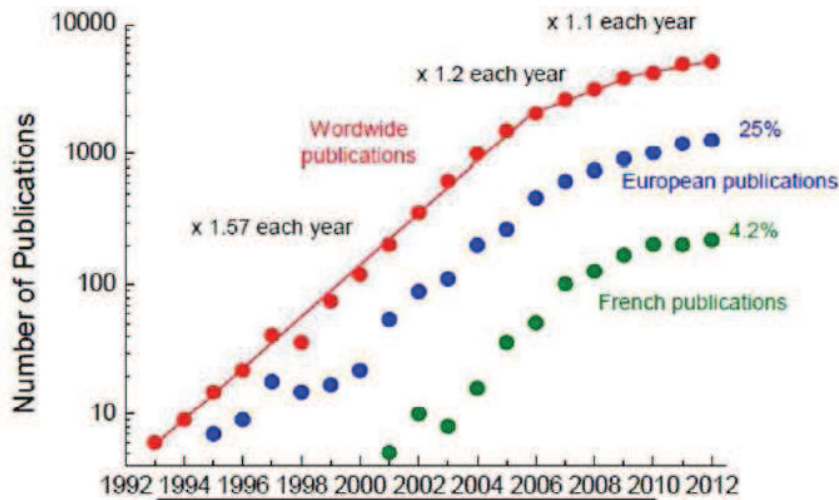


Figure II-2 : Nombre de publications traitant des NFs/ μ Fs entre 1992 et 2012.

Le terme nanofil est généralement utilisé pour les nano-objets cylindriques pleins dont les dimensions vont d'un nanomètre à quelques dizaines de nanomètres pour la section, et de 500 à 10000 nanomètres pour la longueur, d'où une forme bâtonnet, il est qualifié de nanorod.

Dans la littérature ce type de nanostructures, présente de nombreuses dénominations différentes, comme par exemples : nanotiges, les nanofibres, les nanoaiguilles, les nanofils,...

Les nanofils sont typiquement des structures cristallines avec une grande anisotropie et peuvent être de type semiconducteur, isolant ou métallique. Ces nanostructures résultent d'une croissance rapide le long d'une direction. Les nanofils peuvent être de forme cylindrique, hexagonale, carré ou triangulaire et peuvent être synthétisés sous une forme prédéterminée, en appliquant un contrôle sur les paramètres de croissance. [6]

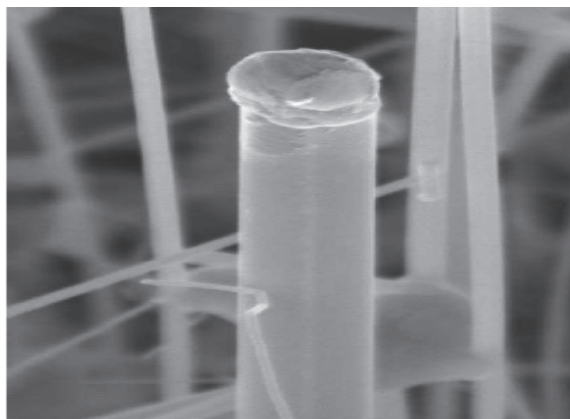


Figure (II-3) : Image MEB de l'extrémité d'un nanofil.

II.4. Les principales propriétés des NFs**II.4.1. Pourquoi sont-ils intéressants?**

Les NFs sont des nanostructures possédant un diamètre allant de quelques nanomètres à plusieurs centaines de nanomètres, et présentant dans tous les cas un rapport d'aspect (ratio hauteur/diamètre) important. La proximité relative de surfaces libres, ainsi que le rapport surface/volume important confèrent aux NFs des propriétés structurales, optiques et électriques différentes des propriétés du matériau massif. [2]

II.4.2. Applications

Les propriétés uniques des NFs, résultant en partie de leur géométrie, les rendent intéressants pour la réalisation de composants électroniques et optoélectroniques. De plus, leur capacité à incorporer des hétérostructures axiales et/ou radiales cohérentes, avec des compositions différentes, ce qui serait difficile voire impossible à réaliser dans une couche planaire, augmente leur potentiel d'applications. Bien qu'à l'heure actuelle aucun dispositif à base de NFs n'ait réellement atteint le stade de production à grande échelle, de nombreux composants sont en cours de développement (LEDs, cellules photovoltaïques, nano-microgénérateurs piézoélectriques, photodétecteurs, lasers, ainsi que la biotechnologie en développent des nanocapteurs capables de détecter des espèces chimiques et biologiques....). Ces démonstrateurs illustrent les possibilités des NFs et mettent également en évidence certaines des améliorations de performances escomptées.

a. LEDs

Le secteur de l'énergie est l'un des plus importants domaines de recherche actuelle avec d'une part la volonté de produire de l'énergie à moindre coût, tout en rejetant toujours moins de CO₂ dans l'atmosphère, et d'autre part, de créer des dispositifs de moins en moins gourmands en électricité, voire même autoalimentés dans le cas idéal.

Le marché de l'éclairage représente à lui seul environ 19% de la consommation mondiale d'électricité. Ce fait est d'autant plus "frappant" lorsque nous savons que dans les lampes à incandescence classiques (qui représentent toujours la majorité de l'éclairage domestique), près de 90% de l'énergie est perdue sous forme de chaleur par effet Joule. L'utilisation de LEDs blanches pour l'éclairage présenterait de nombreux avantages: une bonne efficacité de conversion de l'énergie électrique en énergie lumineuse, atteignant plus de 57 % en laboratoire, une durée de vie supérieure (25000h contre 1000h pour les ampoules classiques et 10000h pour les fluo-compactes), la possibilité de varier aisément l'intensité lumineuse mais aussi, et surtout, une consommation énergétique beaucoup plus faible que les technologies

actuelles. L'un des indicateurs permettant de quantifier les performances des LEDs est le rendement quantique externe, qui correspond au rapport de la puissance optique

b. Cellules photovoltaïques (et photodétecteurs)

Les NFs sont également prometteurs pour la réalisation de cellules photovoltaïques. Pour être efficaces, les cellules photovoltaïques doivent répondre à deux critères: absorber la lumière et séparer les porteurs créés lors de l'absorption des photons. Les structures radiales à bases de NFs, dans lesquelles le cœur serait de type n (p), la coquille de type p (n) et la zone absorbante se trouveraient au milieu, semblent être de bons candidats puisque, contrairement à certaines cellules à géométrie plane, dans cette configuration le rendement ne serait pas limité par la diffusion des porteurs. Avec cette géométrie, la longueur d'absorption de la lumière et la longueur de diffusion des porteurs se trouvent décorréelées. Des cellules photovoltaïques à base de NFs existent depuis les années 2000.

Enfin, les NFs peuvent aussi servir à la réalisation de photodétecteurs, dont le fonctionnement repose sur le même principe que celui des cellules photovoltaïques, c'est-à-dire, la transformation de la lumière absorbée en un courant (ou tension) électrique, qui sera ici mesurée. Ainsi, une fois de plus, le large rapport surface sur volume des NFs est exploité pour réaliser des photodétecteurs avec des réponses très élevées.

c. Nanogénérateurs

Une autre application permettant de produire de l'énergie consiste à exploiter le couplage entre les propriétés semi-conductrices et les propriétés piézoélectriques de certains NFs, dans le but de convertir de l'énergie mécanique en énergie électrique. Il est alors possible de réaliser des nano-microgénérateurs piézoélectriques dont le principe est le suivant μ sous l'application d'une contrainte (de cisaillement, de compression ou de torsion), le matériau piézoélectrique se déforme et génère un champ électrique lié à l'accumulation de charges de polarisation, typiquement dans les surfaces latérales des NFs. Cependant, les tensions électriques ainsi générées restent faibles (même en prenant la contribution d'un ensemble de NFs), rendant les nano-microgénérateurs utilisables seulement pour alimenter des appareils nomades (comme par exemple un écran LCD).

d. Dans le domaine de la Nano-microélectronique.

Le nano fil dopé sert de canal de conduction dans les transistors à effet de champ (métal-loxyde-semiconductor Field-Effect Transistor, MOSFET). En effet, on trouve des MOSFETS à grille en face- arrière à canal nanofil et des MOSFETS verticaux à canal nanofil enrobé par la grille. Des transistors à effet de champ à canal nanofil de Si, de Ge et de Ge/Si ont été fabriqués en laboratoire.

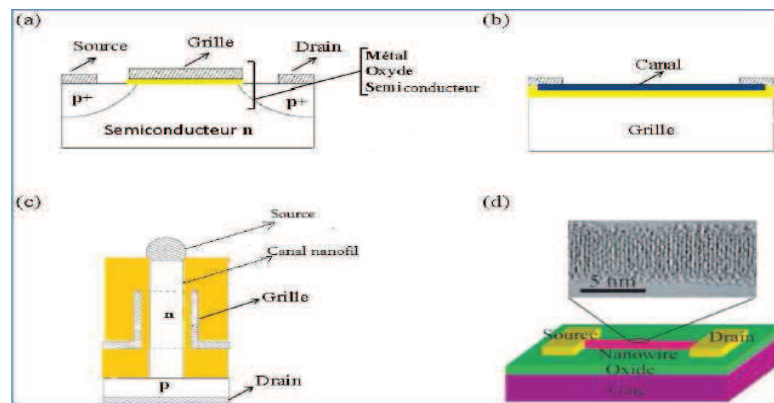


Figure II-4-(a) Transistor à effet de champ (MOSFET) à grille face-avant avec un substrat semiconducteur n. (b) Transistor MOS à grille face-arrière. (c) Transistor Mos vertical à canal nanofil enrobé par la grille. (d) Transistor MOS à grille en face arrière à canal nanofil.

e. Capteurs

Les nanofils de silicium ont attiré de plus en plus l'attention en raison de l'effet de leur structure nanométrique et leurs propriétés électriques. Les études ont montré que les nanofils de silicium ont des qualités uniques dues à l'importante surface spécifique ; ils sont donc des candidats potentiels pour des applications dans le domaine des capteurs. Le capteur est conçu à partir d'un matériau stable dans le milieu utilisé et possédant des propriétés physiques (électrique, thermique ou optique...) connues et modifiables par la molécule à détecter. Plusieurs éléments sont importants dans le capteur. Parmi ces éléments, la détection sélective et la transmission du signal sans amplification.

Les capteurs peuvent être classés en deux catégories : biocapteurs et capteurs chimiques.

f. Biocapteurs

Les biocapteurs peuvent détecter des composés biochimiques et biologiques. Ils sont habituellement réalisés à base de nanofils d'or (pour la détection de : Glucose, ADN), de silicium (pour la détection de : Protéines, ADN) ou de nanofils de carbone (Anticorps pour la détection de cellules cancéreuses), car ces trois matériaux présentent les meilleures performances en termes de rapidité et de limite de détection.

II.4.3. Les différentes techniques d'élaboration

Les avantages uniques ont motivé l'intérêt de la communauté scientifique pour le développement des techniques de croissance et la recherche de nouvelles voies de synthèse de nanofils pour l'industrie, afin de démontrer qu'ils peuvent être utilisés comme blocs de construction dans les technologies futures. Deux voies ont été utilisées pour la synthèse des nanofils. La première dite VLS, et deuxième CVD.

II.4.3.1. Dépôt chimique en phase vapeur (CVD)

La croissance par dépôt chimique en phase vapeur ou Chemical Vapour Deposition (CVD) fait intervenir la décomposition par réaction chimique d'un gaz précurseur contenant l'élément à déposer (figure II-6). Les gaz les plus fréquemment utilisés pour l'obtention de nanofils de Si sont le silane, SiH_4 , le disilane, Si_2H_6 ,... Pour le Ge, il s'agit principalement du germane, GeH_4 . Le choix du gaz précurseur est lié à l'énergie nécessaire pour craquer la molécule et donc à la température de croissance. La présence de chlore procure par exemple une meilleure stabilité chimique du précurseur mais induit en contrepartie un dégagement d'acide chlorhydrique qui peut amener un effet de gravure durant la croissance. Ainsi, avec le SiCl_4 , les températures de croissance sont de l'ordre de 800°C à 1000°C . Avec le silane, elles sont plus réduites, entre 400 et 600°C . De par cette distinction, on parle de CVD haute température ($>700^\circ\text{C}$) ou basse température ($<700^\circ\text{C}$).

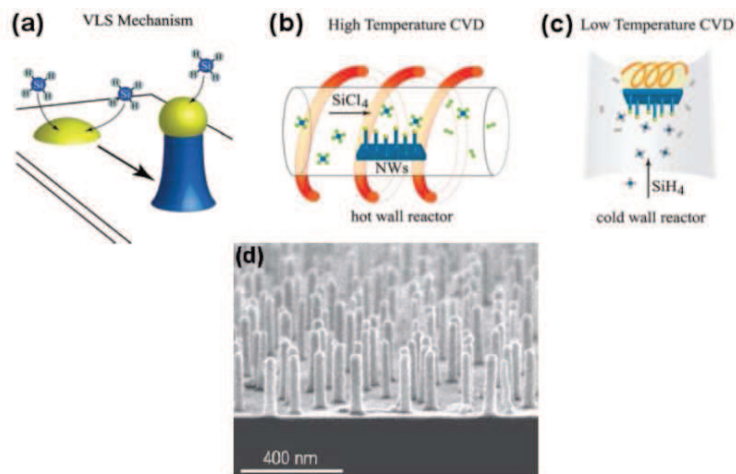


Figure II-5-(a) Mécanisme VLS CVD pour la croissance de nanofils de Si à partir de silane.

Le silane se décompose préférentiellement au niveau de la phase liquide pour donner lieu à la croissance du nanofil. (b) Principe de croissance CVD haute température avec des précurseurs chlorés comme SiCl_4 . Tout le réacteur est porté à température de réaction par chauffage externe. (c) Principe de croissance CVD basse température avec des précurseurs non chlorés comme SiH_4 . Seul le porte échantillon est à la température de réaction. (d) Image MEB de nanofils de Si obtenus par croissance CVD basse température avec l'utilisation de catalyseurs Al.

Dans le cas « haute température », la croissance est souvent effectuée dans un réacteur tubulaire en quartz placé dans un four et dans lequel un flux gazeux (hydrogène ou mélange hydrogène+gaz inerte). Ce gaz est appelé gaz « porteur ».

Avant son introduction dans le réacteur, une partie de ce gaz est mélangée au précurseur dans des proportions bien définies. L'apport de gaz précurseur pour la croissance est alors assuré. Sa réaction préférentielle avec un alliage liquide (AuSi par exemple) est activée thermiquement et provoque la croissance des nanofils. Les vitesses de croissance obtenues sont très importantes. Elles sont de l'ordre du $\mu\text{m}/\text{min}$ voir même du $\mu\text{m}/\text{s}$.

Du coup, le contrôle des faibles longueurs est relativement difficile à obtenir. Un autre problème plus contraignant est lié à la diffusion des catalyseurs sur la surface à haute température. La coalescence des catalyseurs limite dans ce cas l'obtention de nanofils de faible diamètre. Toutefois, la variété des catalyseurs pouvant être utilisés est importante (Au, Cu, Pt, Ni ...) et la qualité cristalline des nanofils est très bonne. De plus, il est possible d'obtenir des dopages par l'incorporation d'AsCl₃ ou PCI₃, par exemple, dans le mélange réactionnel.

La croissance haute température se déroule la plupart du temps à pression élevée et dans un tube à parois chaudes du fait du chauffage de l'échantillon par l'extérieur. Pour les croissances CVD « basse température », les précurseurs chlorés sont inutilisables. Pour conserver l'effet de gravure, il faut alors introduire du chlorure d'hydrogène HCl dans le mélange réactionnel. Les gaz utilisés de manière préférentielle sont dans ce cas le silane et le disilane du fait des températures relativement faibles autorisées pour la croissance. Toutefois, ces gaz présentent des risques d'inflammation spontanée ce qui impose de travailler à pression réduite. Le dispositif est donc différent puisque la croissance se déroule sous vide secondaire et que le chauffage de l'échantillon est local. Dans ces conditions de croissance, la diffusion des catalyseurs sur la surface est réduite et des nanofils de faible diamètre peuvent être obtenus de façon relativement aisée. Des catalyseurs sensibles à l'oxydation (comme l'aluminium par exemple) peuvent être employés du fait des pressions de travail. [4]

II.4.3.2.Principe du mécanisme VLS

En 1964, Wagner et Ellis observent expérimentalement la croissance catalysée par de l'or de fils de silicium. Ils proposent alors un nouveau mécanisme de croissance de monocristaux de silicium qu'ils nomment Vapeur-Liquide-Solide (en anglais VLS pour Vapor-Liquid-Solid). Le nom VLS vient du fait que lors de la croissance, les trois phases gazeuse, liquide et solide du silicium sont simultanément en présence. C'est précisément ce

mécanisme catalysé par de l'or qui est développé au sein de notre réacteur CVD pour réaliser la croissance de nanofils de silicium.

C'est précisément ce mécanisme catalysé par de l'or qui est développé au sein de notre réacteur CVD pour réaliser la croissance de nanofils de silicium.

Une condition nécessaire au fonctionnement du mécanisme VLS est que le matériau constituant le nanofil soit soluble dans le catalyseur, ou idéalement forme un eutectique avec le catalyseur. En effet, la température de l'eutectique Au-Si est d'environ 700K inférieure au point de fusion de l'or pur et d'environ 1050K inférieure au point de fusion du silicium. L'utilisation de l'or permet alors une réduction remarquable de la température de fusion du matériau que l'on souhaite faire croître.

Dans le cadre de la fabrication de nanofils, il est impératif que le catalyseur forme un ensemble de gouttes sur la surface du substrat. C'est effectivement la taille et la densité surfacique des gouttes de catalyseur qui va déterminer après croissance le diamètre et la densité du tapis de nanofils crée. Deux voies sont généralement utilisées. D'une part, il est possible de former un réseau de particules catalytiques à partir d'un film mince métallique soumis à un traitement thermique. D'autre part, l'utilisation de colloïdes d'or, disponibles dans le commerce avec une large gamme de diamètres, permet l'obtention de nanofils calibrés avec une faible dispersion sur les diamètres

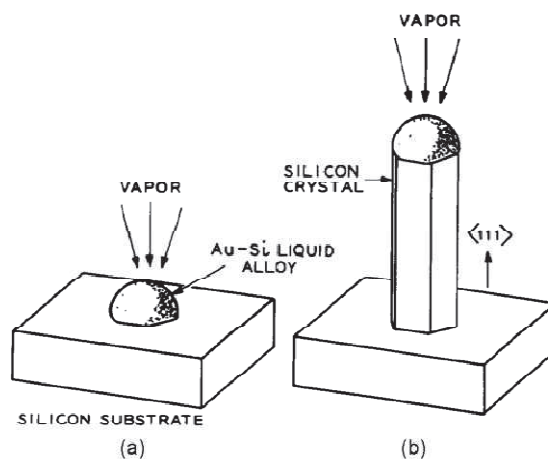


Figure II-6: Schéma de croissance d'un nanofil de silicium par le mécanisme VLS (a) Goutte liquide du mélange Au-Si (b) Croissance du nanofil sous la goutte

La croissance VLS est amorcée par l'adsorption et la décomposition du précurseur gazeux en surface du substrat. Le précurseur gazeux est à base de silicium ; son rôle est de fournir des atomes de silicium nécessaires à la croissance. Dans notre cas, le précurseur utilisé est du silane. La décomposition du silane en silicium et en dihydrogène s'écrit :



Les atomes de silicium ainsi libérés sont alors incorporés dans la goutte liquide de l'alliage Au-Si. Cet ajout de silicium provoque une augmentation de la concentration en silicium au sein de la goutte, au-delà du seuil d'équilibre thermodynamique. L'unique moyen pour rétablir l'équilibre est de précipiter de la matière solide riche en silicium. Ce phénomène qui consiste à faire apparaître les premiers germes cristallins d'une phase solide est plus connu sous le terme de nucléation. En conséquence, la précipitation de silicium solide sous la goutte engendre par accumulation la croissance d'un fil. Une vue schématique de la croissance de fils de silicium par le mécanisme VLS.

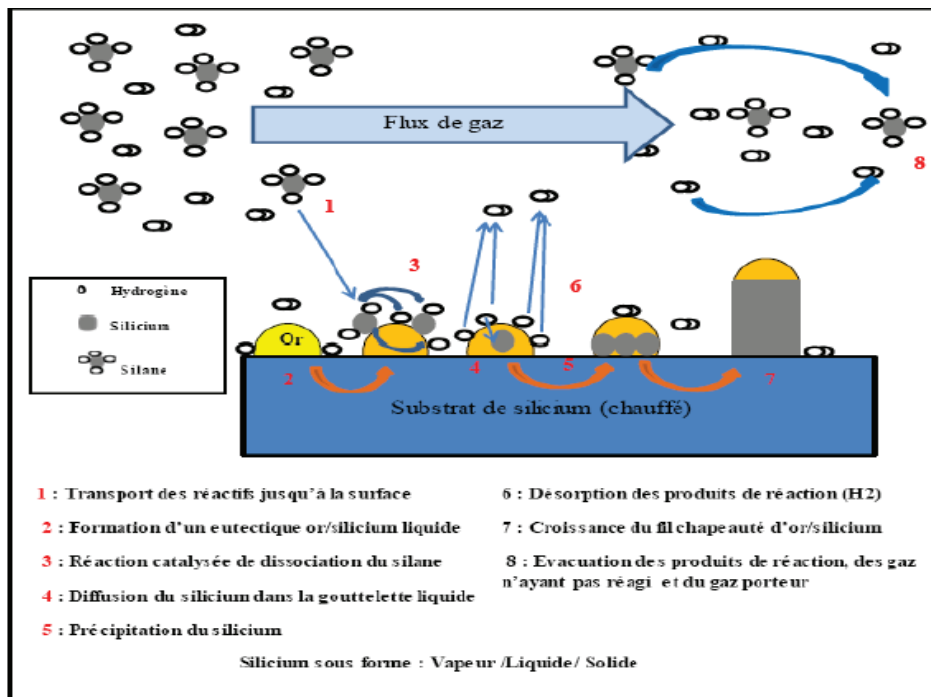


Figure II-7: Précipitation d'un nanofil par le mode de croissance VLS

II.5. Performances du MOSFET à canal nanofil

Le transistor à canal nanofil offre des performances plus élevées qu'un transistor à grille en face-arrière planaire. D'ailleurs, le courant de saturation I_{on} (à forte tension de grille) ainsi que la transconductance du MOSFET à canal nanofil sont estimés être jusqu'à 10 fois plus grands que ceux d'un MOSFET planaire.

L'autre catégorie de MOSFET à canal nanofil est le MOSFET vertical à canal nanofil enrobé par la grille.

La fabrication d'une telle configuration de MOSFET a pour avantage de ne pas nécessiter ni le déplacement du nanofil du substrat de croissance ni l'alignement du nanofil. Vu l'enrobage du canal nanofil par la grille, cette configuration permet un meilleur contrôle électrostatique

des porteurs de charge dans le canal. Elle présente des caractéristiques similaires à celles d'un MOSFET planaire.

II.6.Nouvelles structures: architectures nanofils

Les nanofils sont des fils qui ont une section de l'ordre de quelques dizaines de nanomètres de diamètre ou de côté et pouvant atteindre quelques nanomètres. Le facteur de forme ou le rapport entre la longueur du nanofil et son diamètre est tellement grand qu'ils sont : Le MOSFET élément de base de l'industrie semiconducteur considérés comme des structures unidimensionnelles. On leur attribue également l'appellation de fils quantiques en raison de leur taille si petite où les effets quantiques ne sont plus négligeables.

La structure nanofils est la structure idéale pour la continuité de la loi de Moore pour la réalisation des dispositifs de plus en plus petits, notamment grâce à son adaptabilité à la grille entourant tout le canal de conduction. De plus, des simulations effectuées par Ansari et al prédisent un bon fonctionnement des MOSFETs à base de nanofils pour une longueur de grille de 3 nm.

De nombreuses architectures MOSFET à base de nanofils en silicium ont été proposées, il est possible de les classer selon le mode d'intégration, à savoir horizontal ou vertical.

II.6.1.Architecture horizontale

On peut diviser ce type d'architecture selon l'approche de réalisation, soit ascendante (Bottom-Up) ou descendante (Top-Down). La première consiste à faire croître des nanofils à partir du substrat tandis que la deuxième approche consiste à réaliser des nanofils par transfert de masque dans le substrat par gravure plasma.

Parmi les premiers travaux sur les dispositifs MOSFET à base de nanofils par approche ascendante, on retrouve les travaux de référence de Cui et al, reportant des nanofils synthétisés par méthode Vapeur-Liquide-Solide (VLS) utilisant des nanoparticules d'or comme catalyseurs. Les nanofils de diamètres de 10 à 20 nm ont été cisailés par sonication puis transférés sur un autre substrat de silicium comprenant un oxyde de 600 nm utilisé comme oxyde de grille. Les contacts de source et de drain en Ti ont été définis sur les deux extrémités du nanofils. De la même façon, on retrouve également les travaux de Chung et al, où des nanofils réalisés par VLS ont été reportés sur un substrat avec une grille définie par une électrode au-dessus du nanofils. Même si le courant débité n'est pas conséquent, ces études ont démontré la possibilité de concevoir des dispositifs MOSFET à base de nanofils.

L'implémentation de contacts S/D en siliciure de nickel a permis d'améliorer le courant débité ainsi que les caractéristiques sous le seuil. Récemment Tang et al. En maîtrisant mieux le mécanisme de siliciuration du nickel sur les nanofils, ont proposé une architecture nanofils avec une longueur de grille de 17 nm débitant un courant maximal de $890 \mu\text{A}/\mu\text{m}$. Oh et al. Ont démontré la faisabilité de dispositifs MOSFET à base de nanofils suspendus réalisés par la méthode VLS. Après avoir réalisé une tranchée, des particules d' Au ou Ti ont été déposées sur les parois où les nanofils sont réalisés par CVD, jusqu'à atteindre l'autre paroi. L'oxyde de grille est réalisé thermiquement, la grille en polysilicium est définie et les régions de source et de drain sont réalisées sur les deux côtés de la tranchée.

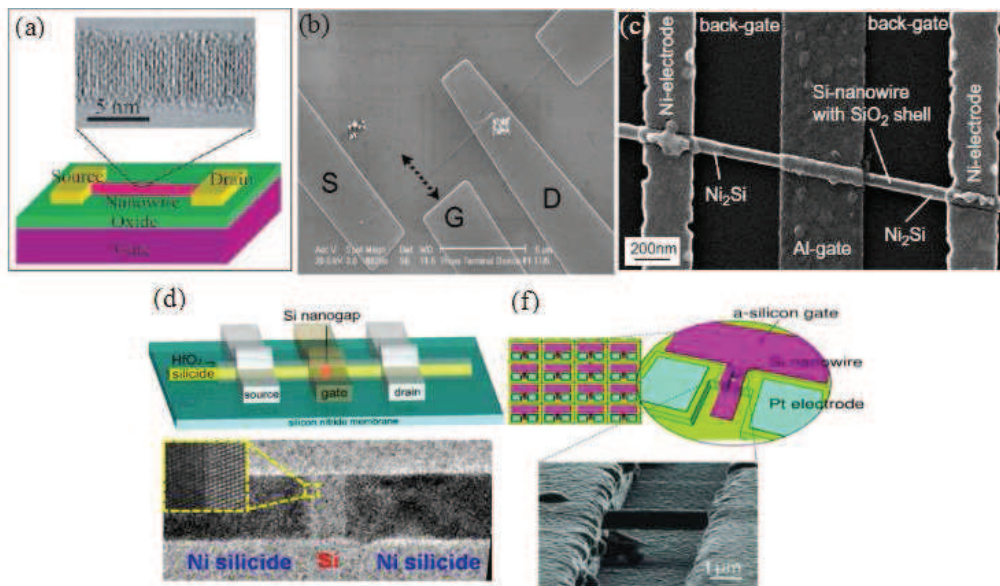


Figure II-8 : MOSFET à base de nanofils horizontaux par approche ascendante (a)Cui et al (b) Chung et al. (c) Appenzeller et al. (d) Tang et al. (e) Oh et al.

Malgré les efforts conséquents à valoriser les architectures nanofils réalisées par méthode VLS, celles-ci se caractérisent par un procédé de fabrication très contraignant et inadapté aux techniques VLSI. En commençant par le besoin de synthétiser les nanofils sur un substrat support puis positionner les nanofils par des méthodes telles que la diélectrophorèse sur un autre substrat. La maîtrise des dimensions des fils est liée à la taille des catalyseurs métalliques comme l' Au, cependant, considérés comme contaminants, ils dégradent les caractéristiques des MOSFETs. Les dispositifs MOSFET à base de nanofils horizontaux réalisés selon l'approche descendante sont aussi variés. Après désoxydation, il en résulte deux nanofils en Si suspendus et superposés de 8 nm de diamètre parfaitement séparés. Ensuite une

grille entourant (GAA) en polysilicium et des régions S/D sont réalisées de part et d'autre des nanofils. Ce procédé se distingue par des caractéristiques sous le seuil intéressantes avec un SS quasi idéal mV/dec et 71 mV/dec) ainsi qu'un faible DIBL (50 mV/V et 18 mV/V respectivement pour les p et NMOS). Une variante de ce procédé consiste à réduire les résistances de contact par l'intégration de S/D en siliciure de nickel, permettant encore l'amélioration du SS et DIBL et l'augmentation du courant I_{ON} à 3,74 mA/ μ m pour les NMOS. Les nanofils obtenus sont de tailles et de formes aléatoires, altérant la reproductibilité du procédé.

On retrouve dans la littérature d'autres dispositifs GAA MOSFET à base de nanofils horizontaux réalisés par une succession du procédé de gravure plasma et d'oxydation limitée à partir d'une ailette de Si. Le dispositif ayant la plus faible longueur de grille (5 nm).

Des dispositifs MOSFET à base de réseaux de nanofils disposés parallèlement. Cette architecture démontre l'intégration de nanofils avec un courant de conduction élevé de 3,456mA/ μ m et 4,147mA/ μ m, respectivement pour N et PMOS. Plus récemment, le même groupe de recherche a optimisé ce procédé pour la réalisation d'une architecture à nanofils suspendus à forte densité pour le nœud technologique 10 nm. Elle intègre plusieurs MOSFETs sur toute la longueur du nanofil en alternant les grilles et les régions S/D réalisées, in situ, par épitaxie

Une technique innovante pour la réalisation des nanofils horizontaux a été proposée par plusieurs groupes de recherche à partir d'un empilement de fines couches de Si/SiGe réalisées par épitaxie en se servant du SiGe comme couche sacrificielle. Le principe consiste à transférer l'ailette dans le silicium puis graver le SiGe afin de libérer les nanofils de silicium. Cette méthode a également été proposée par les chercheurs de Samsung pour la réalisation du Twin Si Nanowire GAA MOSFET où des nanofils en Si suspendus de diamètre minimal de 3 nm sont intégrés (fig. 1.21(a)). Une équipe de STMicroelectronics propose également une approche similaire mais utilisant un procédé lithographique 3D à base du diélectrique HSQ. Afin d'augmenter le courant de conduction, des procédés de réalisation d'empilement vertical de nanofils horizontaux par la multiplication des couches épitaxiales de Si/SiGe. Avec la réalisation de nanofils de section rectangulaire de 70 nm de largeur et 20 nm d'épaisseur, puis de section carrée de 20 nm. Ont appliqué un recuit thermique sous H₂ afin d'arrondir la section des nanofils. Cette configuration a permis d'obtenir un courant de conduction maximal de 6.5 mA/ μ m pour les NMOS. D'autres travaux d'empilement de nanofils ont été présentés à partir

de la gravure du silicium à travers un masque de gravure par procédé de gravure Bosch utilisant le gaz SF₆ suivi d'oxydation limitée afin de délimiter les nanofils.

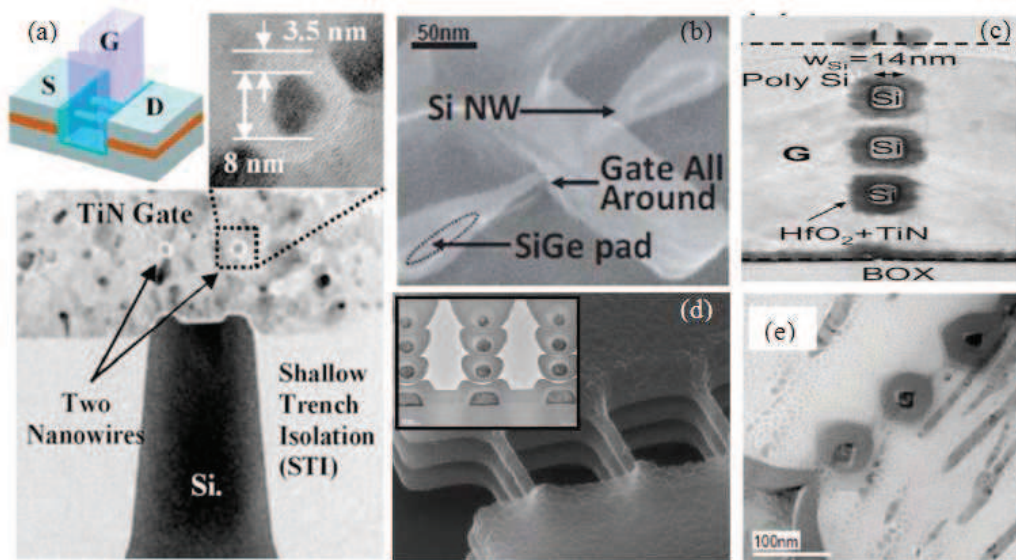


Figure II-9 : (a-b) Procédé utilisant le SiGe comme couche sacrificielle pour la réalisation des nanofils suspendus, (c et d) empilement vertical de nanofils en Si suspendus en utilisant le système Si/SiGe. et (e) empilement vertical de nanofils en Si.

II.6.2. Architecture verticale

Les études concernant l'intégration des MOSFETs sur des nanofils verticaux sont moins nombreuses que celles proposées pour l'intégration horizontale. La première architecture verticale a été proposée par un groupe de recherche de Toshiba à travers le dispositif, également classifié comme le premier dispositif à grille entourant tout le canal de conduction. Cette architecture consiste en la réalisation de piliers de 1 μm de hauteur obtenus lors de la gravure de tranchées rapprochées suivie par la réalisation d'un oxyde de grille de 20nm d'épaisseur et d'une grille en polysilicium. Le substrat étant de type p, des caissons n⁺ de source et de drain sont réalisés en surface sur les deux extrémités du pilier. Ce dispositif se distingue par d'excellentes caractéristiques sous le seuil avec un SS de 72 mV/dec, grâce à la grille entourant l'ensemble du canal de conduction.

Parmi les dispositifs MOSFET à base de nanofils verticaux en Si synthétisés par approche ascendante, les nanofils sont synthétisés par la technique VLS en utilisant des particules d'au, déposées dans des puits définies par lithographie électronique afin de diriger la croissance verticalement. Les nanofils obtenus ont un diamètre d'environ 45 nm, la grille en aluminium, les terminaux du transistor sont séparés par une couche d'isolation en SiO₂.

Malgré un courant de conduction relativement élevé, les caractéristiques sous le seuil sont très dégradées.

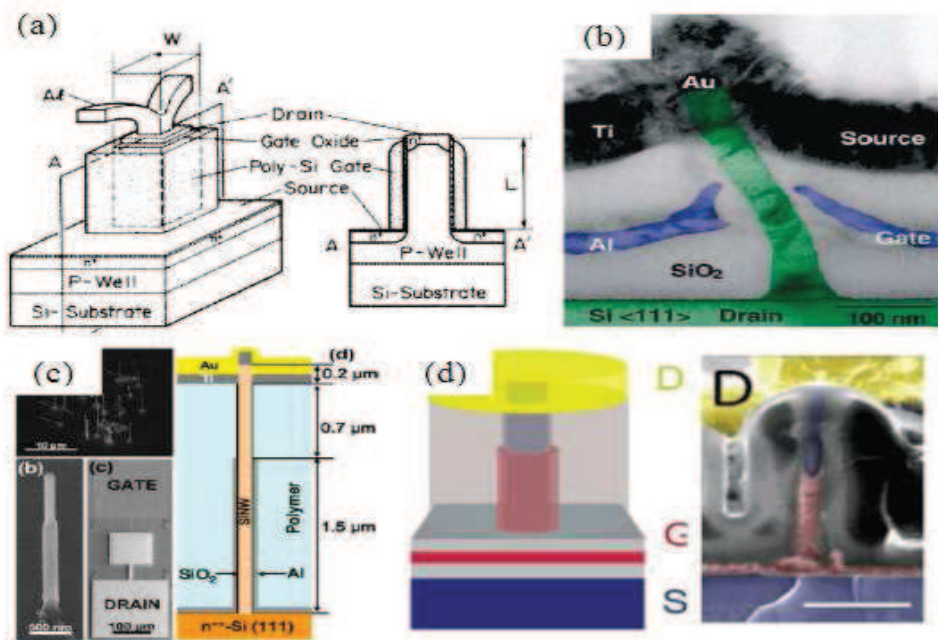


Figure II-10: MOSFET à base de nanofils verticaux en Si réalisés par approche ascendante

La figure au-dessous représente un schéma d'illustration du transistor MOSFET à base de Nanofils Verticaux (NFV) en Si que nous proposons. Les NFV sont assemblés en parallèle pour obtenir un courant de conduction élevé. Cette approche permet de moduler le courant de conduction en fonction du nombre de nanofils. Les NFV en Si sont confinés dans une gaine d'oxyde utilisé comme oxyde de grille.

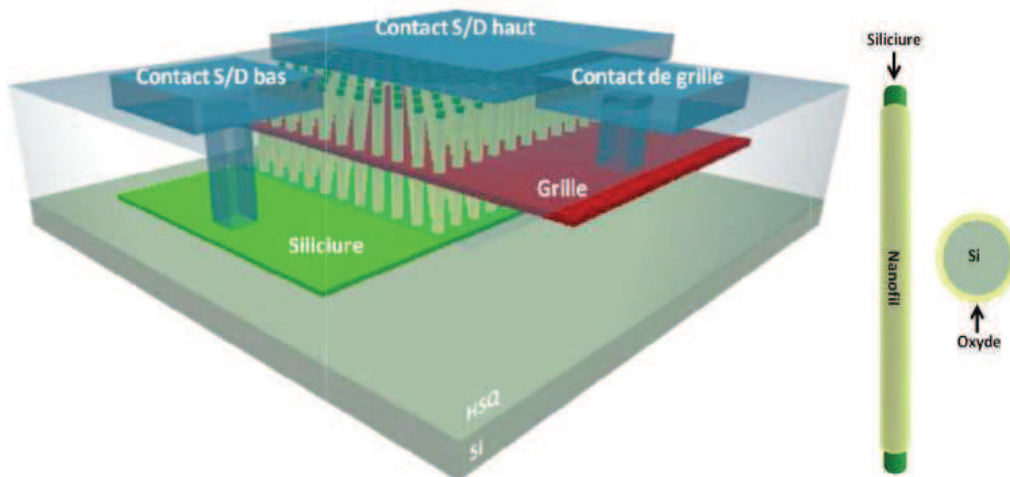


Figure II-11 : Illustration du MOSFET à base de NFV en Si

La réalisation du dispositif MOSFET à base de NFV selon une architecture verticale consiste en une ingénierie d'empilement de couches minces avec une parfaite épaisseur et de la planéité. Sur cette architecture, le canal de conduction est vertical et contrôlé par une grille entourant toute la section du nanofil et localisée à mi pour préserver l'isolation électrique de chaque terminal la grille, chaque niveau est séparé par une couche de diélectrique parfaitement plane. Enfin chaque terminal du transistor est adressé par des accès métalliques. Les terminaux supérieurs des NFV sont connectés en surface pour réaliser le contact S/D haut tandis que des vias sont réalisés dans le diélectrique pour connecter le silicium bas et le métal de grille.

II.7. Pourquoi une architecture verticale

L'intégration verticale présente de nombreux avantages par rapport à l'intégration horizontale ou planaire notamment par la simplicité d'intégration de la grille entourant le canal de conduction qui se résume par un simple dépôt du matériau de grille où l'épaisseur déposée représente la longueur de grille du composant pour la structuration de la longueur de grille pour les nœuds technologiques futurs, à l'inverse pour l'intégration horizontale où cette dernière est limitée par la résolution des équipements lithographiques. L'autre atout de l'intégration verticale est sensiblement la densité d'intégration des MOSFETs pour la même superficie, l'essence même de la loi de Moore.

II.8. Conclusion

Dans ce 2^{ème} chapitre, nous avons établi un historique concernant des nanofils. Et nous avons passé en revue l'intérêt porté aux nanofils, leurs procédés de fabrication et leurs champs d'application. Nous avons exposé les différents modes de croissance des nanofils, qu'il y a 50 ans sont toujours tout à fait pertinentes. En suite nous avons introduit le nanofil comme le candidat idéal pour remplacer l'architecture planaire en raison de son adaptabilité aux structures de grilles entourant tout le canal de conduction pour un contrôle électrostatique ultime. Enfin, nous avons présenté l'architecture MOSFET à base NFV en Si.

Chapitre III

Caractérisation électrique de nanofils de silicium

III.1.Introduction

Après avoir présenté la technologie développée pour la réalisation des transistors MOSFET à base de nanofils en Si lors du chapitre précédant, nous présenterons les performances électriques du transistor MOS à base de nanofils verticaux en Si.

III.2.Caractéristiques des composants

Les dispositifs ont été réalisés sur un substrat de type p avec un dopage élevé pour la réalisation de MOSFET de type p. Le contact de grille est de 15 nm d'épaisseur, soit une longueur de grille de 15 nm (L_g). La grille est comprise entre les deux niveaux d'isolation d'une hauteur d'environ 75 nm pour chaque niveau. Les nanofils en Si ont une hauteur avoisinant 170 nm mais de différents diamètres, allant de 18 nm à 109 nm. La variation de diamètre nous permet d'analyser les performances des MOSFETs en fonction de la section du nanofil. De même, le nombre de ces derniers varie de 1 à 625, disposés en parallèle afin d'accéder à un fort courant de conduction. L'espacement entre les nanofils est de 300 nm, pour éviter tout effet de confinement et favoriser une bonne distribution des matériaux entre eux. Enfin, l'épaisseur du SiO_2 servant d'oxyde de grille varie entre 2 à 4 nm.

III.3.choix de la méthode de caractérisation

Un premier outil auquel on peut penser pour caractériser les flancs du nanofil est le microscope à force atomique (AFM). Il faut cependant être vigilant lors de l'interprétation des images. En effet, du fait du rapport d'aspect de la pointe, l'AFM ne donne pas toujours le profil réel de la structure.

Une autre méthode classiquement utilisée pour étudier la section d'une structure consiste à clavier cette structure afin de la regarder en coupe au microscope électronique à balayage. Ce clivage ne peut pas être réalisée proprement sur nos nanostructures, d'une part en raison de leurs dimensions et d'autre part du fait de l'épaisseur du substrat (600 μm). nous avons contourné cette difficulté en réalisant cette étude sur un motif test, à savoir un réseau de carrés de 200 nm de section, observés au MEB avec un angle proche de 90°C. La résine utilisée est la résine négative HSQ.

III.4.Extraction des paramètres caractéristique du transistor

D'une manière générale, les paramètres caractéristique du transistor MOS planaire peuvent être reprise pour caractériser un transistor MOS à nanofils.

La mobilité : L'extraction de la mobilité des porteurs majoritaires se fait en considérant le fonctionnement en régime linéaire du transistor. En effet, pour les faibles V_d et pour $V_g > V_t$, la relation entre le courant de drain I_d et les tensions V_g et V_d est de la forme

$$I_d = \frac{W}{L} \mu_o C_{ox} (V_g - V_t) V_d \quad \text{Eq (III-1)}$$

μ_o : mobilité des porteurs majoritaires ($\text{m}^2/\text{V.s}$)

W : Largeur du canal (μm)

L : Longueur du canal (μm)

C_{ox} : capacité de l'oxyde de grille par unité de surface (F/m^2)

V_t : tension de seuil (V)

Cette expression, valable pour les transistors à contacts ohmiques, reste valable pour les transistors à barrière Schottky car, pour V_g suffisamment grand, la tension de grille a une action plus importante sur la concentration des porteurs que sur la courbe de bande des contacts.

En pratique, la caractéristique $I_d=f(V_g)$ peut être interpolée linéairement pour V_g suffisamment négatif. La pente de la droite résultant de cette interpolation nous permet de calculer la valeur de la mobilité μ_o .

Dans le cas d'un transistor à plusieurs nanofils, la démarche est la même

Dans le cas d'un transistor à plusieurs nanofils, la démarche est la même est un facteur multiplicatif près :

$$I_d = n * \frac{W}{L} \mu_o c_{ox} (V_g - V_t) V_d \quad \text{Eq (III-2)}$$

n nombre de nanofils

rapport on/off : Le courant $I_{d_{on}}$ est le courant de drain quand le transistor est bloqué. Il définit le courant de fuite du transistor. Le courant $I_{d_{on}}$ est le courant drain maximal quand le transistor est passant. le rapport on/off est le quotient de ces deux valeurs $I_{d_{on}}/I_{d_{of}}$.

La caractéristique $I_d(V_g)$ à V_d constant est représentée avec une échelle logarithmique, ce qui permet une lecture facile du rapport on/off.

L'inverse de pente sous le seuil : L'inverse de pente sous le seuil S définit la tension de grille à appliquer pour faire varier le courant de drain d'une décade. Elle est représentative de la vitesse de commutation du transistor entre son état passant et son état non passant. Par abus de langage, on parlera souvent de la « pente sous le seuil » pour désigner S .

III.5. Evaluation de la capacité de grille

La mesure de capacité de grille – canal a été effectuée sous une station sous pointe Signaton et un analyseur d'impédances Agilent 4294A sur la partie supérieure de notre architecture MOSFET à une fréquence de 200 kHz, c'est-à-dire entre la grille et le contact de drain, afin d'éviter les capacités parasites supplémentaires issues du substrat. Pour extraire la valeur exacte de la capacité entre la grille et le canal de conduction (CGC), il est nécessaire de s'affranchir de capacités parasites associées à l'architecture verticale, lesquelles s'ajoutent à la mesure de la capacité de grille-canal. Les capacités parasites sont composées de la capacité entre le contact de drain et le contact de grille (C_{insul}) et la capacité de frange (C_{finge}) formée entre le contact de grille et les parois des nanofils. Par symétrie, on retrouve les mêmes éléments pour la partie inférieure de l'architecture verticale (entre la grille et drain) (fig.4.7).

III.6. Intégration et caractérisation électrique de réseaux de nanofils verticaux de silicium

La caractérisation électrique du nanofil individuel conduit à d'importantes fluctuations inhérentes à la distribution statique des dopants, mais aussi en raison de la variabilité des procédés permettant d'adresser ces nano-objets isolés. En considérant, par exemple, une concentration de dopage de 10^{17} atomes/cm³, les dopants sont théoriquement séparés d'une distance de 32nm. Pour surmonter les fluctuations associées à un nanofil individuel, la caractérisation d'une grande assemblée de nanofils en parallèle est une solution afin d'obtenir une meilleure analyse statistique. Ont réalisé une structure à base de nanofils horizontaux pour analyser leurs propriétés électriques. Une autre stratégie basée sur l'intégration verticale

de nanofils est une approche particulièrement intéressante en raison de la nature tridimensionnelle du procédé, mais le contact des nanofils verticaux est un challenge difficile. Dans cette partie, nous proposons une méthode et avec une reproductibilité excellente afin d'intégrer et de connecter des réseaux denses de nanofils verticaux.

III.7. Caractérisation électrique de réseaux de nanofils verticaux

La caractérisation électrique des réseaux de nanofils verticaux est effectuée à l'aide de l'instrument de mesure. La Fig III-1(a) présente l'image MEB du dispositif et le schéma de mesure est montré au niveau de La Fig III-1(b). La configuration du dispositif de mesure peut être schématisée par deux jonctions verticales de type métal/semi-conducteur verticales par une résistance série correspondante aux nanofils de silicium. Au niveau de La Fig III-1(c), une image MET montre le réseau des nanofils de silicium verticaux fortement dopés ($8 \times 10^{18} \text{cm}^{-3}$) avec un diamètre de 32 nm, une longueur de 200 nm et une densité de $3 \times 10^9 \text{cm}^{-2}$ avec un diamètre de 32 nm, une longueur de 200 nm et une densité de $3 \times 10^9 \text{cm}^{-2}$. Le silicure de platine au niveau supérieur des nanofil est bien contacté par l'aluminium après le procédé de planarisation. [1]

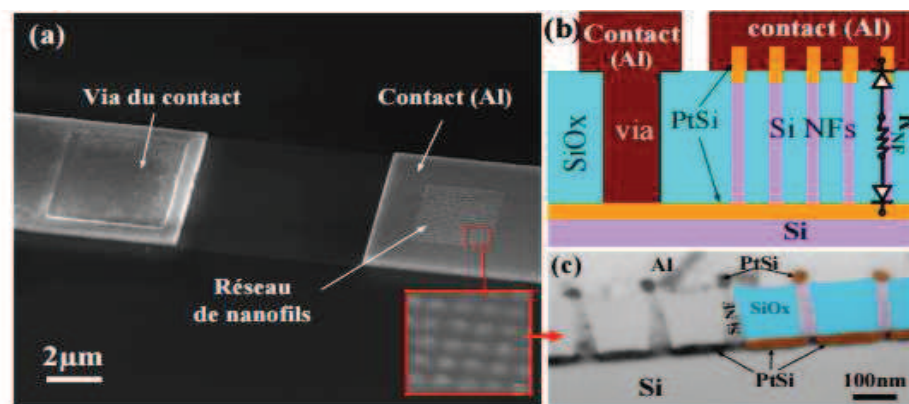


Figure III-1-Configuration de mesure électrique. (a)-image MEB du dispositif, (b)-schém du dispositif en vue de coupe, (c) image MET du réseau de nanofils avec contact vertical. [1]

III.8. Impact du diamètre de nanofils

Des réseaux de nanofils verticaux avec un diamètre de 32 nm à 393 nm sont caractérisés à température ambiante (300 K). La caractéristique courant-tension (I-V) est montrée au niveau de Fig III-2 où l'on peut voir que le courant augmente en fonction du diamètre des nanofils. Le courant ne sature pas, du au niveau de dopage de $8 \times 10^{18} \text{cm}^{-3}$ qui peut diminuer l'épaisseur de la barrière Schottky et favoriser le courant tunnel.

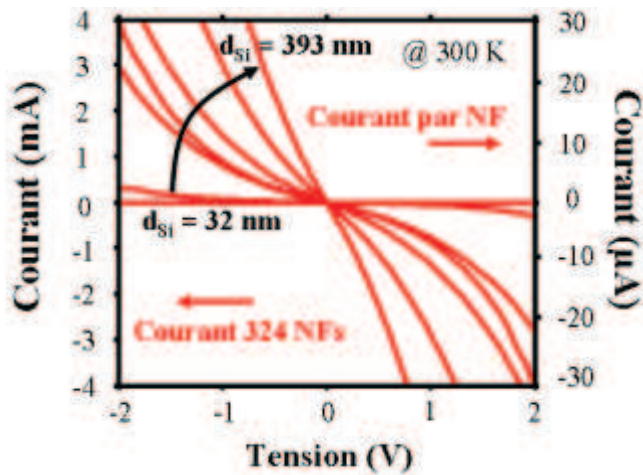


Figure III-2-Caractérisation I-V pour réseaux de nanofils avec un diamètre de 32 nm à 393 nm.

Ensuite, une caractérisation en fonction de la température a été effectuée pour des températures allant de 285 K à 120K. Comme le montre les Fig III-3(a) et (b), la diminution du courant lorsque la température est abaissée, confirme que le courant est bien limité par la diode en inverse car un transport dominé par la diffusion dans le silicium dopé aurait produit la tendance inverse.

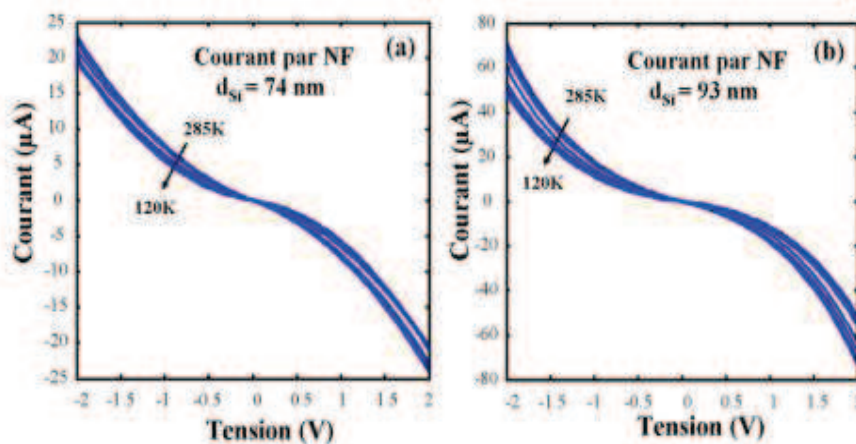


Figure II-3- Caractérisation I-V en fonction de la température allant de 285K à 120K : (a) $d_{Si}=74nm$ (b) $d_{Si}=93nm$.

III.9.Variabilité dans un nanofil unique

Comme le montre la Fig III-4, pour un nanofil avec une longueur de 200 nm, le nombre moyen de dopants distribués dans un nanofil dépend de la concentration de dopage et du volume du nanofil. Par exemple, pour un nanofil de silicium dopé à $10^{17}/cm^3$ avec un diamètre de 30 nm,

il y seulement une dizaine de dopants distribués dans nanofil. Des fluctuations de dopants peuvent alors grandement influencer les propriétés électriques du nanofil.

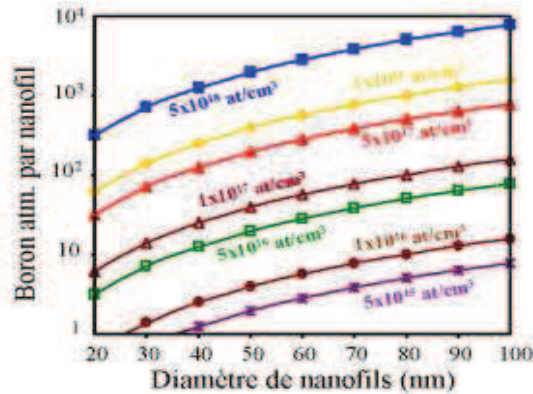


Figure III-4 : Nombre d'atomes de bore dans un nanofil en fonction du diamètre du nanofil pour différentes concentration de dopage

La caractérisation I-V montrée au niveau de la Fig III-5(a) présente lae courant total pour des dispositifs composées de un à plusieurs nanofil en parallèle ($d_{si}=52$ nm). Sur la Fig III-5(b), nous présentons le courant moyen passant dans chaque nanofil (en divisant le courant total par le nombre de nanofils). Dans le mesure sur plusieurs nanofils, le courant par nanofil devient parfaitement reproductible, ce qui n'est pas le cas pour les mesures concernant les systèmes à 1 et 9 nanofils. Cette observation démontre clairement l'intérêt d'aborder une grande assemblée des nanostructures en parallèle pour atténuer la variabilité en raison de la nature stochastique de la distribution de dopants et de la hauteur de barrière Schottky inhomgène.

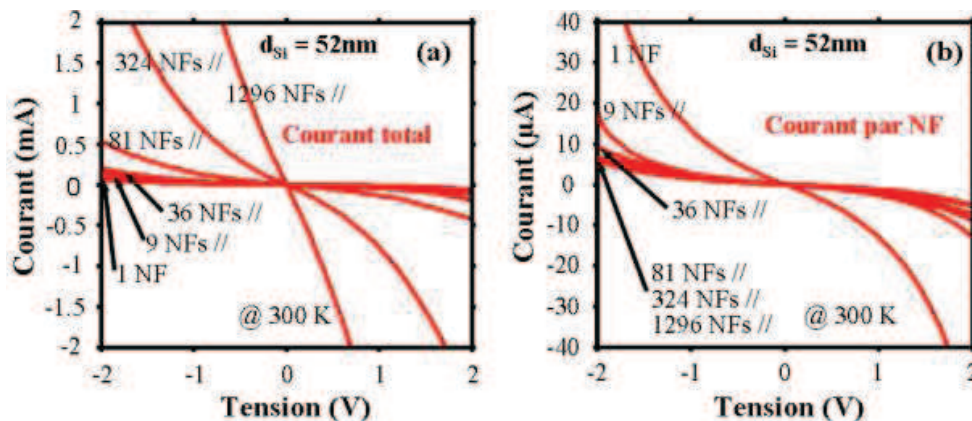


Figure III-5-Caractérisation I-V pour des réseaux de nanofils avec un diamètre $d_{si}=52$ nm : (a) courant total pour un nombre du nanofils, (b) courant moyen passant dans chaque nanofil.

III.10. Impact de la déplétion de surface de nanofils sur la conductivité

Dans notre cas, la résistance totale (R_{total}) d'une structure de test peut être divisée en trois composantes : la résistance de contact ($R_{contact}$) qui caractérise le transport de charges à l'interface du siliciure et de silicium, la résistance intrinsèque des nanofils (R_{NF}) et la résistance des électrodes ($R_{électrodes}$). Dans la discussion qui précède, la dépendance en température et la non-linéarité des caractéristiques I-V ont été invoquées comme une signature claire indiquant que les contacts de jonction entre le siliciure et le silicium dominent la conductivité globale des réseaux de nanofils.

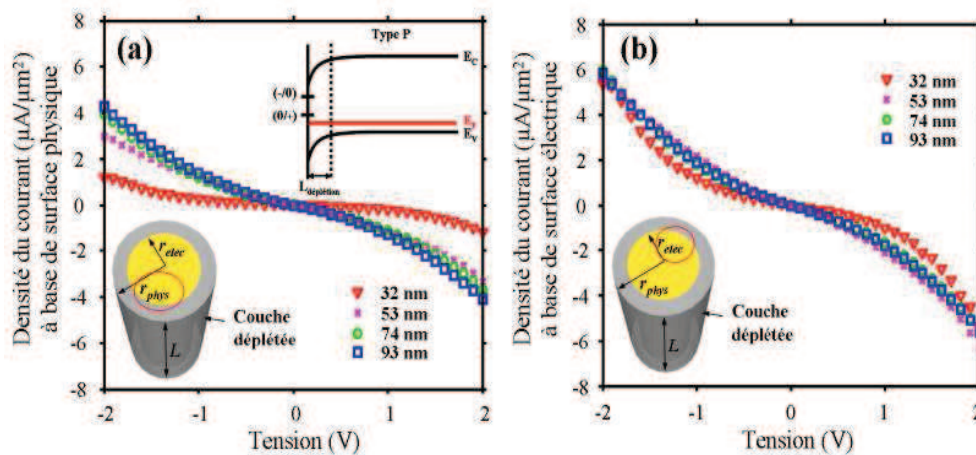


Figure III-6 : Densité de courant dans les nanofils: (a) la surface physique des nanofils, (b) la surface électrique des nanofils. Avec une image 3D schématisée des nanofils.

Dans le cas de nanofils, une couche de déplétion induite par des pièges sur la surface de silicium peut réduire la section efficace du nanofil. La Fig III-6 (a) présente la densité de courant passant dans chaque nanofil en considérant comme surface la section physique du nanofil (πr_{phys}^2). On peut observer que cette densité de courant n'est pas constante, mais diminue lorsque le diamètre physique est réduit de 93 nm à 32 nm. Cet effet est attribué, à la présence d'une couche de déplétion périphérique qui réduit la surface de la section conductrice. Cet effet dû aux pièges d'interface à la surface des nanofils a déjà été publié. Comme schématisé dans la Fig III-6, un grand rapport de surface / volume inhérent à la géométrie cylindrique des nanofils a tendance à exacerber cet effet. Il faut noter que les pièges à la surface de silicium et à l'interface silicium / oxyde qui sont dus aux électrons non appariés par les liaisons pendantes. Il existe un piège dominant, le centre Pb, qui dispose de deux sommets de distribution : le premier à 0,25 eV – 0,35 eV correspondant à des états donneurs (0/+) et le second à 0,7 eV – 0,85 eV associés aux états accepteurs (-/0). Dans le cas du

dopage du dopage de type P, le niveau de fermi reste au-dessous du niveau d'énergie associé aux états accepteurs. Ils restent donc vides des électrons aboutissant à un état de charge neutre. Seuls les états des donneurs au bord de la bande de valence et des énergies au-dessus du niveau de Fermi contribuent à l'accumulation des charges de surface positive.

Pour des nanofils avec des diamètres plus petits, la totalité du volume du nanofil est complètement déplétée par les états d'interface, ce qui empêche le transport des charges.

A partir de figure III-6, deux observations peuvent être faites : (1) la densité de courant avec S_{elec} est de nature conservative ;(2) les caractéristique $I-V$ sont non-linéaires pour tous les nanofils de différents diamètres, ce qui permet d'indiquer que la résistance de jonction de canal de le silicium domaine dans le comportement électrique.

III.11.Caractérisation électrique des transistors à base de réseaux denses de nanofils

Le transistor MOSFET avec une grille entourante à base de réseaux des nanofils fabriqués a été caractérisé pour une épaisseur d'oxyde de 12 nm et 3 nm et un diamètre de nanofils variant de 20 nm à 85 nm.

III.11.1.Caractérisation électrique des transistors à base de nanofils de silicium avec couche de diélectrique épaisse

Le procédé de fabrication du transistor avec une épaisseur d'oxyde de 12 nm. La Fig III-7 montre une image en vue de coup réalisée par le canon à faisceau d'ions, d'un transistor intégré sur un réseau de nanofils verticaux espacés de 300 nm, avec une grille entourant de $L_G=15$ nm et des zones de source / drain en PtSi.

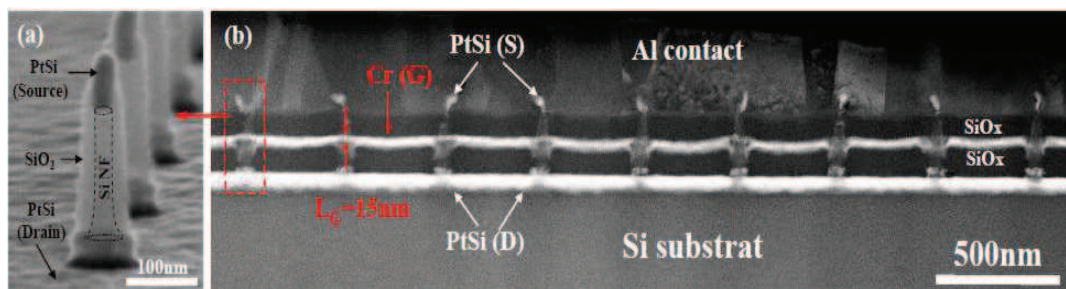


Figure III-7 :(a), Image de MEB de nanofil. (b) Image en vue de coupe d'un transistor à base de réseau des nanofils verticaux de silicium.

La Fig III-8 présente des caractéristiques statique $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ obtenues pour des transistors PMOS intégrés à l'aide de nanofils verticaux avec un diamètre (d_{Si}) variant de 19

nm, 23 nm, 34 nm, respectivement. Il apparaît que le contrôle électrostatique du canal est meilleur pour les transistors avec un diamètre plus fin ($d_{Si}=19$ nm et $d_{Si}=23$ nm) avec une pente sous seuil (subthreshold slope) de 117 mV/de cet 160 mV/dec et un effet DIBL de 59 mV/V et 96 mV/V. Le courant de fuite est très faible, de l'ordre de 10^{-11} A et un rapport I_{on}/I_{off} supérieur à 10^5 (Fig III-8 (a2) et (b2)). En revanche, pour des transistors avec des diamètres de nanofils plus larges, la pente sous le seuil augmente brutalement avec un diamètre à 282 mV/de cet un DIBL à 136 mV/V (Fig III-8 (c2)).pour un transistor avec un diamètre de 44 nm, le contrôle du potentiel par l'électrode de grille est très faible, ce qui provoque une augmentation importante du courant de fuite (10^{-6}). (Fig III-8(d2)).

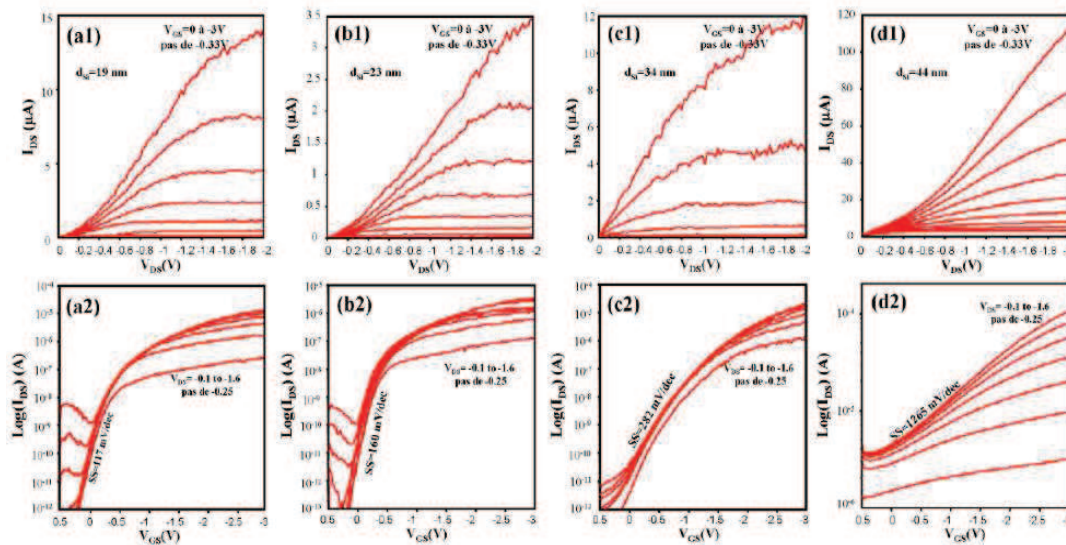


Figure III-8 : Caractéristiques statiques $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ des transistors PMOS à base de nanofils avec différents diamètres de nanofil.

Des résultats similaires ont été observés pour dispositifs NMOS (Fig III-9) implémentés sur des Nfs avec un dopage phosphore de 8×10^{18} at/cm³. Le contrôle électrostatique du canal par l'électrode de grille entourant est encore plus importante pour des transistors implémentés sur des nanofils de diamètres de 19 nm et 23 nm avec une pente sous le seuil relativement faible, à 109 mV/dec, le courant de fuite

Est de l'ordre 10^{-10} A et le ratio I_{on}/I_{off} est d'environ 10^5 , respectivement (Fig III-9 (a2) et (b2)). En revanche, un mauvais contrôle par le potentiel de grille est observé dès un diamètre de 34 nm, la pente sous le seuil augmente brutalement à 720 mV/de cet le rapport I_{on}/I_{off} est seulement de 10^2 (Fig III-9 (c2)). Pour un transistor de diamètre 57 nm, le contrôle

électrostatique par l'électrode de grille est quasi inexistant et le courant à l'état passant dans le canal ne peut pas atteindre le régime saturé (Fig III-9 (d2)).

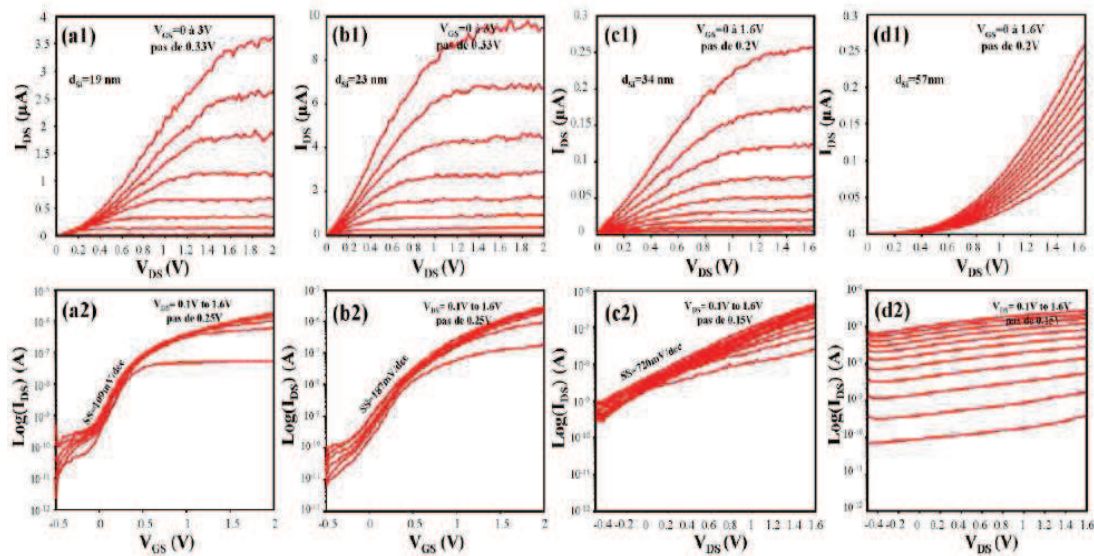


Figure III-9 : Caractéristique statiques $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ des transistors NMOS à base de nanofils avec différents diamètres de nanofil.

La réduction de la taille des dispositifs s'accompagne d'effets parasites, appelés effet canaux courte, à l'origine de la dégradation des performances pour un transistor de grille très courte. La pente sous le seuil, le courant de fuite et le DIBL sont les principaux paramètres qui caractérisent la perte de contrôle électrostatique de la grille les figures III-10 (a) (b) et (c) proposent respectivement l'évolution de la pente sous seuil, du courant de fuite et du DIBL en fonction du diamètre des nanofils pour des transistors PMOS et NMOS avec une grille entourant ($L_G=15$ nm) et une épaisseur de diélectrique de 12 nm. Les trois paramètres augmentent rapidement avec l'augmentation du diamètre des nanofils, traduisent la perte de contrôle du canal par la grille lorsque le volume de semiconducteur à contrôler devient grand. Pour un transistor MOS idéal, la pente sous le seuil minimale à température ambiante ($T=300K$) est de 60 mV/dec. Par comparaison, pour un transistor PMOS sur NFs de 19 nm de diamètre, la pente sous le seuil du transistor est de 100 mV/dec, avec une DINL de 59 mV/V pour une longueur de grille de 15 nm. Cependant, on peut considérer que la performance obtenue n'est pas encore optimisée, par exemple, le courant de commande du transistor PMOS intégré sur 81 nanofils en parallèle est faible ($I_{DS}=0.34 \mu A$ à $V_{DS}=V_{GS}=-1V$). Deux solutions seront proposées dans la partie suivante afin d'améliorer la performance du transistor : la première est la réalisation d'une couche diélectrique plus fine pour augmenter la

capacité de grille, la deuxième l'intégration d'un transistor avec un réseau très large afin d'augmenter le courant de commande tout en conservant un courant de fuite assez faible.

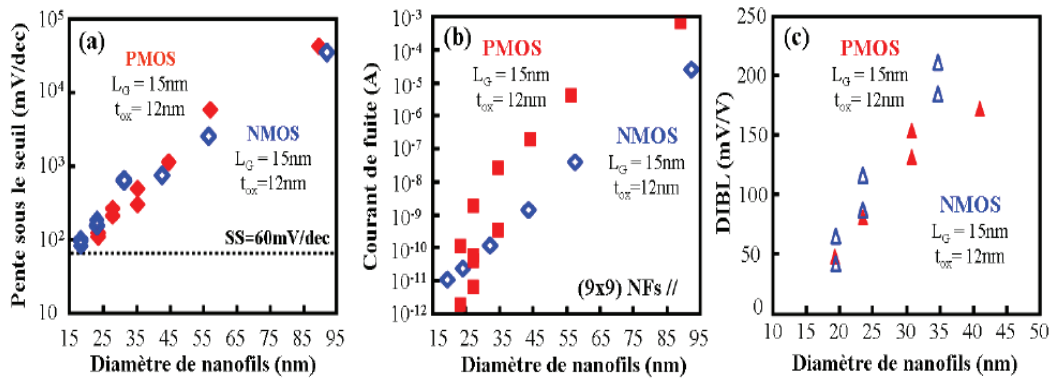


Figure III-10 : Comparaison du contrôle électrostatique des transistors NMOS et PMOS: (a), pente sous le seuil. (b), courant de fuite pour un réseau nanofils (c), DIBL en fonction du diamètre des nanofils.

La principale question concerne les leviers possibles permettant de renforcer le contrôle électrostatique du canal et améliorer les performances du transistor. Par exemple, la pente sous le seuil du transistor peut être exprimée à l'aide de l'équation (III-3), où C_{it} est la capacité d'interface SiO_2/Si et la capacité de la couche diélectrique. Ainsi, l'augmentation de C_{ox} (en réduisant l'épaisseur de la couche diélectrique) permet de tendre vers une pente sous le seuil plus optimisée ($SS = 60 \text{ mV/dec}$).

$$SS = \frac{kT}{q} \ln 10 \left[1 + \frac{C_{it}}{C_{ox}} \right] \quad \text{Eq (III-3)}$$

De plus, la réduction de l'épaisseur de la couche diélectrique permet d'augmenter le courant de source en mode saturé I_{Dsat} comme décrit par l'équation (III-4).

$$I_{Ds} = I_{Dsat} = \mu C_{ox} * \frac{W}{L_{eff}} * \frac{(V_{gs} - V_{th})^2}{2} \quad \text{Eq (III-4)}$$

III.11.2. Caractérisation électrique des transistors à base de nanofils verticaux en silicium avec une couche de diélectrique fine

Pour réaliser une fine couche de diélectrique, une étape d'oxydation sèche à 725°C est utilisée pour la croissance d'une couche initiale de 5 nm entourant les nanofils. Après l'étape de nettoyage avant l'étape de siliciuration par la solution d'HF diluée, l'épaisseur de couche d'oxyde fine après siliciuration des zones source / drain.

La figure se dessus présente les caractéristiques $I_{DS}-V_{GS}$ en échelle logarithmique et $I_{DS}-V_{DS}$ en échelle linéaire en médaillon pour des dispositifs à base d'un réseau de 81 nanofils en parallèle avec un diamètre de 20 nm, 30 nm, 39 nm et 52 nm, respectivement. Le courant à l'état bloqué est relativement faible, de l'ordre de 10^{-12} A pour des diamètres de 20 nm, 30 nm et 39 nm et 10^{-9} A pour diamètre de 52 nm. En revanche, le courant de commande est à l'ordre de 10^{-7} A pour des diamètres de 20 nm et 30 nm et 10^{-5} A pour les diamètres de 39 nm et 52 nm pour une tension $V_{GS} = V_{DS} = -1.4$ V. Cependant, les performances électriques en régime sous le seuil ne sont pas bonnes, car la pente sous le seuil pour les différents diamètres est de 110 mV/dec, 159 mV/dec, 157 mV/dec et 310 mV/dec à 300 K, respectivement.

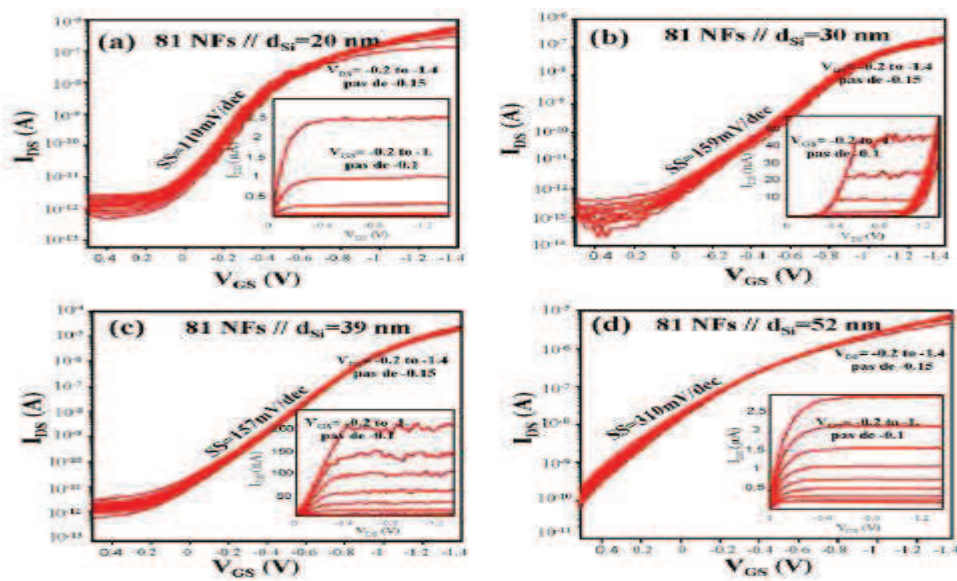


Figure III-11 : Caractéristique statique $I_{DS}-V_{GS}$ des transistors de type P.

Le figure III-12 (a), (b) et (c) présentent une comparaison de la pente sous le seuil, du courant de fuite et du DIBL en fonction du diamètre des nanofils pour un dispositif intégrant un oxyde mince ou un oxyde épais, respectivement. D'après l'équation III-3, quand l'épaisseur de couche diélectrique (SiO_2) diminue, la capacité C_{ox} augmente et pente sous le seuil diminue. Ceci semble en partie vrai puisque l'on observe une légère amélioration de la pente des fils augmente. Ceci aussi vrai pour le courant de fuite qui reste relativement faible (de l'ordre de 10^{-11} A) jusqu'à des diamètres de l'ordre de 40 nm. En revanche, le DIBL n'est pas très différent selon que la couche diélectrique est fine ou épaisse.

Il apparait que les performances électriques semblent s'améliorer en réduisant l'épaisseur de couche diélectrique sans toutefois atteindre les valeurs optimisées. Un autre

verrou va être adressé dans la partie suivante : le traitement / passivation des différents pièges présents dans le dispositif par recuit sous atmosphère hydrogénée.

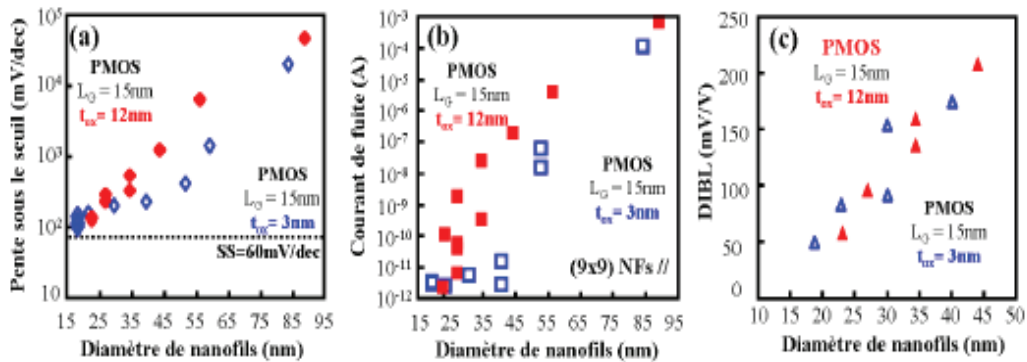


Figure III-12 : Comparaison du contrôle électrostatique des transistors PMOS : (a), pente sous le seuil, (b), courant de fuite, (c), DIBL en fonction du diamètre des nanofils, respectivement.

III.11.3. Amélioration de la performance de transistors par diminution des défauts d'interface

A fin de réduire l'influence des états d'interface Si/SiO₂ sur les caractéristiques électriques. Une comparaison des caractéristiques I_{DS}-V_{GS} est présentée au niveau de la Fig III-13. L'amélioration de la caractéristique I_{DS}-V_{DS} est spectaculaire pour l'immunité contre les effets canaux courts. L'augmentation du courant I_{DS} (V_{GS}=V_{DS}=-1.0 V), pour des transistors implémentés sur des NF_S de diamètres de 30 nm et 39 nm, respectivement, générant un ratio I_{on}/I_{off} supérieur à 10⁶. Cette étape de passivation permet de réduire les défauts à l'interface SiO₂/Si diminuant ainsi la valeur de la capacité C_{it} et permet à pente sous le seuil d'être nettement améliorée. La passivation hydrogénée est aussi connue pour réduire les défauts / liaisons pendantes à l'interface siliciure / Si au niveau des contacts S / D, permettant de réduire la hauteur de barrière Schottky et ainsi d'augmenter l'injection des porteurs.

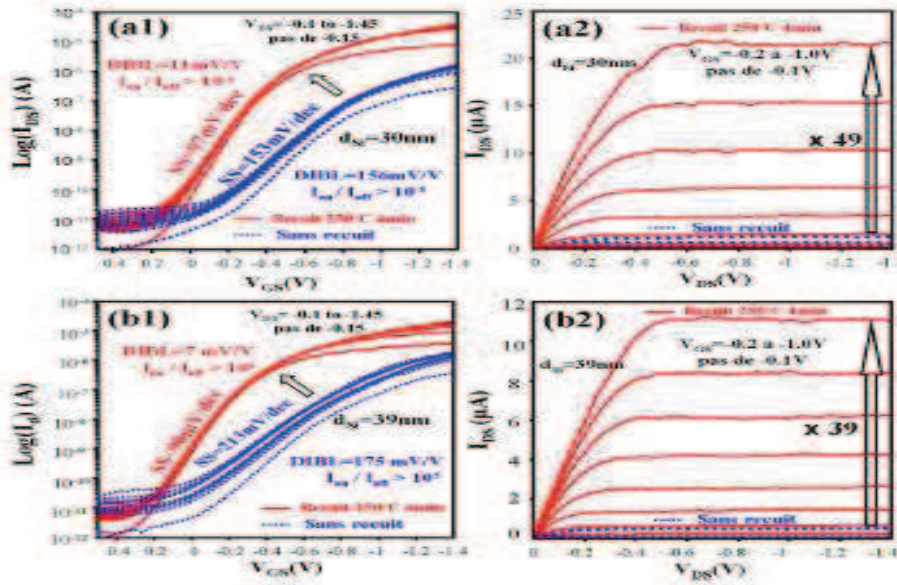


Figure III-13 : Comparaison entre les caractéristique $I_{DS}-V_{GS}$.

L'amélioration des performances liées au traitement thermique nous permet une analyse plus fine des résultats. La Fig III-14 montre quatre caractéristiques statiques, $I_{DS}-V_{GS}$ en échelle logarithmique et $I_{DS}-V_{DS}$ en linéaire de transistors à base de nanofils de différents diamètres , respectivement. On retrouve la perte du contrôle du canal par l'électrode de grille entourante avec l'augmentation du diamètre des nanofils.

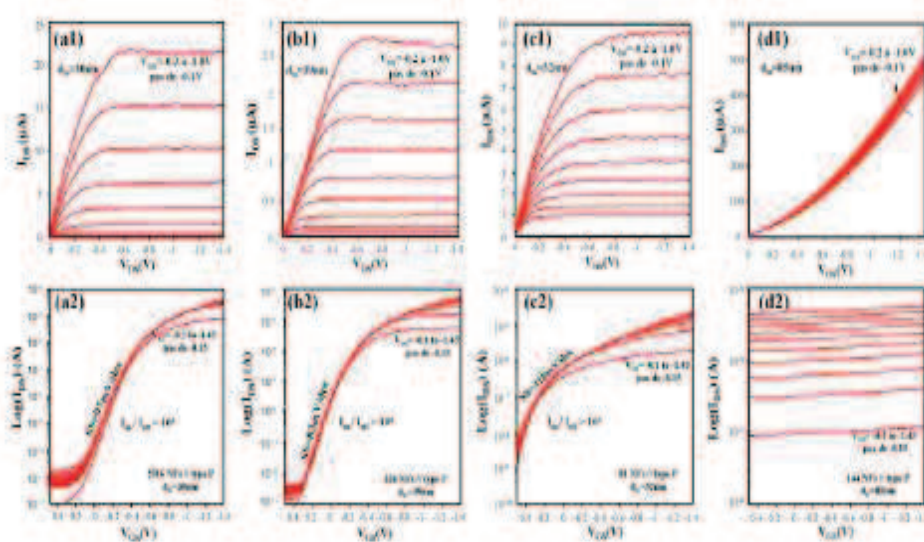


Figure III-14 : Caractéristiques statiques I-V de transistors PMOS à base de nanofils verticaux

III.11.4. Corrélation entre le courant débité et le nombre de nanofil de réseau.

Grace à une excellente reproductibilité du procédé de fabrication, les caractéristiques statique I-V (fig III-15) de transistors à base de nanofils de meme diamètre sont quasi-identiques en termes de pente sous le seuil, de DIBL et de rapport I_{on} / I_{off} .

Les figures III-15 (a1), (b1),(c1), (d1) comparent les courants débités par des transistors à base de nanofils. Comme prévu, le courant de commande du transistor est parfaitement proportionnel au nombre de nanofils intégrés dans chaque dispositif. La quantification de la largeur électrique effective par le nombre de nanofils est donc bien vérifiée. Le courant à l'état passant du canal I_{DS} peut être amélioré en intégrant tout simplement plus de nanofils.

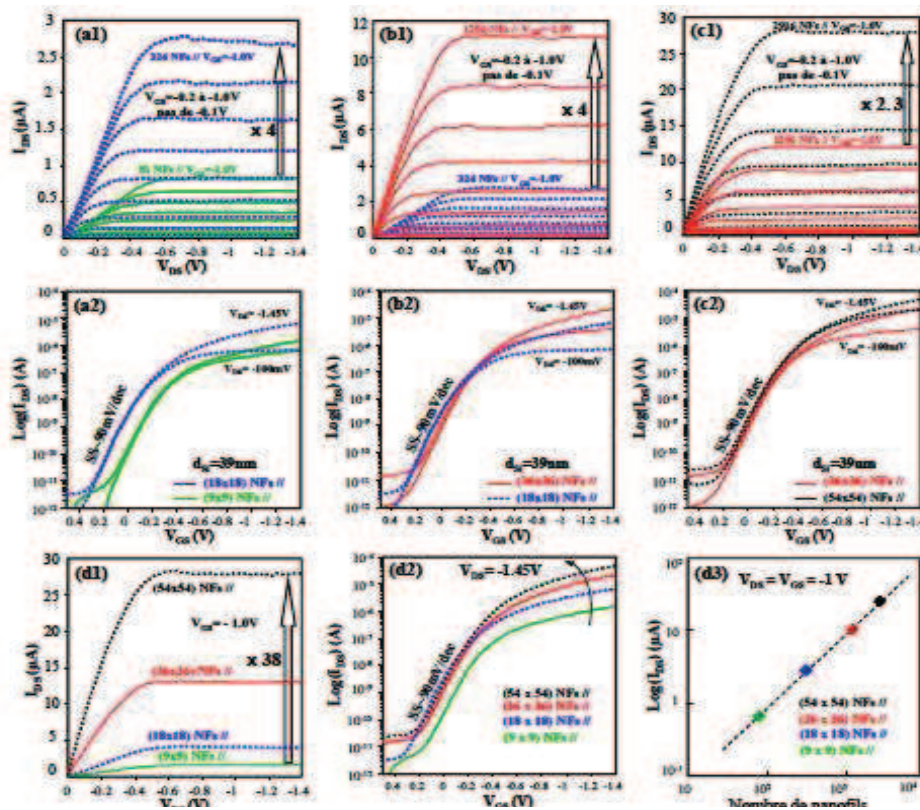


Figure III-15 : Comparaison des caractéristiques statique I_{DS} - V_{DS} et $\log(I_{DS})$ - V_{DS} à base de nanofils.

III.12. Conclusion

Les performances des transistors MOSFET à base de nanofils verticaux en silicium, ont été présentées au cours de ce chapitre. D'excellents résultats ont été obtenus, avec un courant de conduction élevé, avec une pente sous le seuil et un DIBL pour un transistor à base de NF. L'architecture MOSFET proposée permet d'accentuer le contrôle électrostatique de la grille contre les effets de canaux courts. Par ailleurs, il a été remarqué que les performances sous le seuil sont meilleures lorsque le diamètre des nanofils est petit, en raison de la possibilité de la grille à déplétée tout le canal de conduction à l'état bloqué.

Conclusion Générale

Conclusion générale

Conclusion générale

Les nanofils réalisés sont d'une hauteur unique, par conséquent il serait intéressant de faire varier cette hauteur et voir son impact sur les performances électriques.

Les nanofils sont assez proche des nanotubes de carbone. Ils sont également candidats pour réaliser de nouveaux dispositifs dans le futur, ils sont généralement fabriqués dans un matériau semiconducteur ce qui laisse envisager une possible intégration à une technologie microélectronique. Les nanofils témoignent de propriétés électroniques, optiques, mécaniques et chimiques remarquables pour envisager des structures plus complexes.

On peut réaliser des transistors à base de nanofils pour diverses améliorations porteront sur l'obtention d'une meilleure régularité des nanofils et la diminution de la taille des structures nanofils.

La surface des nanofils semiconducteurs peut subir des traitements chimiques issus de la chimie organique ou bien de la chimie inorganique. Par ailleurs, le rapport surface/volume soit élevé rend le transport électronique dans le nanofil dépendant des modifications ioniques en surface. Cette propriété offre des perspectives intéressantes pour l'utilisation des nanofils semiconducteurs comme capteurs. La condition à remplir est qu'il soit possible de rendre sélective l'interaction de surface responsable de la modification du potentiel vue par les électrons circulant dans le nanofil. D'autres types d'espèces chimiques pourront pour le même type de nanofils servir à implémenter une fonction logique ou un effet de mémoire non volatile. D'autres conféreront une fonctionnalisation de reconnaissance biochimique.

**Références
bibliographiques**

Références bibliographiques :

- [1] : Thèse : Xiang-Lei HAN « Réalisation et caractérisation de dispositifs MOSFET nanométrique à base de réseaux denses de Nanofils verticaux en silicium. » 2011.
- [2] : Thèse : Delphine AIME « Modulation du travail de sortie de Grille Métalliques Totalemment siliciures pour des Dispositif CMOS DE CA Nanométrique ». Institut national des sciences Appliquées de Lyon. 2007.
- [3] : Mémoire Magister: ACHOUR HAKIM« Etude et Modélisation des MOSFETs Balistiques ». UMMTO.
- [4] : Thèse : Olivier WEBER « Etude, Fabrication et propriétés de transport de transistor CMOS associant une diélectrique Haute permittivité et un canal de conduction Haute Mobilité » 14/12/2005
- [5] : Mémoire Magister: ZEDEK Rezika « Etude d'un transistor organique transparent PMMA comme isolant de grille » UMMTO
- [6] : Thèse : M^{elle} Rachida TAMAT « Etude des phénomènes des transports de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométrique » Université de CAEN/Basse-Normandie.
- [6] : Thèse : Mohamed Amine BOUNOUAR « Transports Mono-Electroniques Double Grille : Modélisation, conception et Evaluation d'Architecteurs » Université de CHERB ROOKE. JUILLET 2013.
- [7] : Thèse : Rym BOUKHICHA « Croissance et caractérisation de nanofils de silicium et de germanium obtenus par dépôt chimique en phase vapeur sous ultravide » le 3 mars 2011.
- [8] : Mémoire Magister: BENHAMID Yahia « Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique » Université Abou-Bakr Belkaid. Tlemcen. Juin 2012.
- [9] : Thèse : Alexandre Beaudoin. « Etude de la dynamique des porteurs dans des nanofils de silicium par spectroscopie térahertz ». sherbrooke, québec, canada, 22 mars 2013.
- [10] : Thèse : Maeva COLLET « Manipulation et Adressage grande échelle de Nanofils semiconducteur pour la réalisation de Nanosystèmes Innovants. » soutenue le jeudi 19 décembre 2013.

Références bibliographiques

- [11] : Thèse : Alexandre Beaudoin. « Etude de la dynamique des porteurs dans des nanofils de silicium par spectroscopie térahertz ». sherbrooke, québec, canada, 22 mars 2013.
- [12] : Thèse : Maeva COLLET « Manipulation et Adressage grande échelle de Nanofils semiconducteur pour la réalisation de Nanosystèmes Innovants. » soutenue le jeudi 19 décembre 2013.
- [13] : Thèse : FELLAHI OURDA « Elaboration de nanofils de silicium par gravure chimique assisté par un métal : caractérisation et application en photocatalyse hétérogène de l'oxyde de graphène, du chrome(VI) et de la rhodamine B ». soutenue le 20 mars 2014. A u-Sétif.