

République Algérienne Démocratique et Populaire
Ministère de L'Enseignement Supérieur et de la A Recherche Scientifique

Université Mouloud Mammeri De Tizi-Ouzou



Faculté De Génie Electrique Et D'informatique
DEPARTEMENT D'AUTOMATIQUE

**Mémoire de Fin d'Etudes
De MASTER ACADEMIQUE**
Spécialité : **Génie microélectronique**

Présenté par
Ali GUENOUN

Thème

***Etude et Caractérisation des Transistors
VDMOS de Puissance Sous
Contrainte BTS***

Mémoire dirigé par : M^r. Mohamed GOUDJIL

Première promotion 2014

Remerciements

Avant tout je remercie le bon Dieu de nous avoir donné la santé, le courage et la volonté pour accomplir ce travail.

Au terme de ce travail je tiens à remercier en premier lieu mon promoteur M^r A.LAKHLEF pour son efficace assistance, ses précieux conseils et son travail méticuleux.

Je tiens aussi à remercier Mon encadreur M^r Mohamed GOUDJIL et Mon Co-encadreur M^r Hakim TAHI pour le temps qu'ils m'ont réservé et pour leurs éclaircissements très utiles.

Mes sincères remerciements à tous mes enseignants qui m'ont transmis les bases de la Microélectronique tout au long de ces deux années de master, en particulier le responsable de formation M^r Arezki BENFDILA.

Mes remerciements s'adressent aussi à tous les enseignants qui ont contribué à la réussite dans mes études.

Mes remerciements sont adressés aussi aux membres du jury qui ont accepté de juger mon travail.

Sans oublier ma famille, mes amis et tous ceux qui ont participé de loin ou de près pour la réalisation de ce travail.

M^r GUENOUN Ali

Dédicaces

Je dédie ce modeste travail :

A la mémoire de mes grands-pères et ma grand-mère.

A ma grand-mère.

A mes très chers parents qui ont toujours été là pour moi.

A mes très chers frères Khaled, Youcef et Soufiane.

Mon oncle Areski et sa femme et son petit fils Massi.

Mon oncle et sa femme

Mes tantes et leurs familles

A mes amis ; Ali, Rachid, Kamel, Abed Arehmane, et sans oublier Nabila.

Tous mes amis.

Ainsi qu'à tous ceux qui m'ont aidé de près ou de loin pour l'élaboration de ce travail.

A tous ceux qui ont cru en moi

G.Ali

Liste des Abréviations

| | |
|-----------------|--|
| A | Surface de grille |
| BTS | Bias Temperature Stress |
| C_{ox} | Capacité de l'oxyde par unité de surface |
| C_{ds} | Capacité drain-source |
| C_{gs} | Capacité grille-source |
| C_{gd} | Capacité grille-drain |
| C_{max} | Capacité correspondante au maximum de conductance |
| CVS | Constant Voltage Stress |
| DMOS | Transistor MOS de puissance à Double diffusion |
| D_{it} | Densité des états d'interface |
| e | Charge élémentaire de l'électron |
| ϵ | Permittivité relative |
| ϵ_{ox} | Permittivité de l'oxyde |
| E_g | Energie du gap |
| E_F | Energie de Fermi |
| E_V | Energie de valence |
| E_C | Energie de conduction |
| EPR | Electronic Paramagnetic Resonance |
| F | Probabilité d'occupation d'un centre par un électron |
| Ψ_S | Potentiel de surface |
| Ψ_F | Potentiel de jonction |
| Φ_{ms} | La différence de travail de sortie entre le métal et le semi-conducteur |
| $\Phi(x)$ | Fonction potentiel |
| Φ_B | Potentiel interne du substrat |
| Φ_F | Potentiel de Fermi |
| $2\phi_{Fi}$ | La différence de potentiel entre la surface et le volume du semi-conducteur en régime de forte inversion |
| G_{ds} | Conductance drain-source |
| G_{gs} | Conductance grille-source |
| G_{max} | Conductance maximale |
| G_m | Transconductance |
| GPIB | General Prose Interface Bus |
| h | Constante de Planck |
| HCI | Hot Carrier Injection |
| I_{DS} | Courant drain-source |
| I_{Dssat} | Courant de saturation drain-source |
| K | Constante de Boltzmann |
| KT | Energie thermique |
| LDMOS | Transistor MOS de puissance Latéral à Double diffusion |

| | |
|-----------------|--|
| L_g | Longueur de grille |
| L | Longueur du canal d'un MOSFET |
| μ | Mobilité des porteurs |
| μ_0 | Mobilité des porteurs dans le volume du semi-conducteur à champ faible |
| μ_n | Mobilité des électrons |
| μ_p | Mobilité des trous dans le semi-conducteur |
| μ_r | Mobilité relative |
| MOS | Metal oxide semiconductor |
| MOSFET | Metal oxide semiconductor Field Effect Transistor |
| n | Concentration des porteurs de charge |
| n_i | Densité intrinsèque des porteurs à l'équilibre thermodynamique |
| N^+ | Zone de type N fortement dopée (contact de drain) |
| N^- | Zone de type N faiblement dopée (zone de "drift") |
| N_a | Concentration relative aux impuretés « accepteurs » |
| N_d | Concentration relative aux impuretés « donneurs » |
| N_D | Densité de dopage de la couche épitaxiée |
| NBTI | Negative Bias Temperature Instability |
| NBTS | Negative Bias Temperature Stress |
| q | Charge électrique élémentaire |
| Q_{SS} | Charge parasite d'oxyde équivalent ramenée à l'interface Si-SiO ₂ |
| Q_i | Charges accumulées à l'inversion |
| Q_{SC} | Charge dans le Semi-conducteur |
| R_{dson} | Résistance d'ouverture drain-source |
| R_{on} | Résistance à l'état passant |
| $R_{ON} .S$ | Résistance spécifique à l'état passant du transistor MOS de puissance |
| S_{ox} | Surface de l'oxyde de grille |
| STI | Shallow Tranch Isolation |
| θ | Paramètre téta de SPICE niveau 3 (V^{-1}), réduction de mobilité par le champ électrique verticale |
| ΔV_{th} | Décalage de la tension de seuil |
| T | Température |
| T_{ox} | Epaisseur d'oxyde |
| TDDDB | Time Depend Dielectric Breakdown |
| UMOS | Transistor de puissance, alternatif au VDMOS |
| VDMOSFET | Vertical Double Diffused Metal oxide semiconductor Field Effect Transistor |
| VMOS | Transistor MOS de puissance Vertical |
| V_d | Tension de diffusion |
| V_{gs} | Tension grille-source |
| V_{GD} | Tension grille-drain |
| V_{DS} | Tension drain-source |
| V_{Dssat} | Tension de saturation drain-source |
| V_{th} | Tension de seuil |
| V_{FB} | Tension Flat Band |
| W | Largeur de grille |

Sommaire

Table des matières

| | |
|--|----------|
| Liste des Abréviations..... | |
| Introduction générale..... | 1 |
| <u>Chapitre I : Evolution et Fonctionnement des Transistors MOSFETs</u> | |
| I.1. Introduction..... | 4 |
| I.2. Bref historique..... | 4 |
| I.3. Comportement électrique d'un transistor MOSFET..... | 6 |
| I.3.1. Caractéristiques statiques..... | 6 |
| I.3.2. Caractéristiques dynamiques..... | 11 |
| I.4. Limitations liées à la miniaturisation des dispositifs..... | 12 |
| I.5. Présentation de la structure VDMOSFET..... | 14 |
| I.5.1. Présentation des Structures VMOS et UMOS..... | 14 |
| I.5.2. Structures VDMOS..... | 16 |
| I.6. Courant de drain..... | 17 |
| I.6.1. Régime linéaire..... | 18 |
| I.6.2. Régime de saturation..... | 18 |
| I.7. Conclusion..... | 19 |
| <u>Chapitre II : Fiabilité de Transistor MOSFET</u> | |
| II.1. Introduction..... | 21 |
| II.2. Oxydation du silicium..... | 21 |
| II.3. Structure de l'oxyde du Silicium SiO ₂ | 23 |
| II.4. Défauts dans l'oxyde..... | 25 |

| | | |
|---------|--|----|
| II.4.1. | Défauts dans l'oxyde SiO ₂ amorphe..... | 27 |
| II.4.2. | Les défauts intrinsèques..... | 28 |
| II.4.3. | Les défauts extrinsèques..... | 30 |
| II.4.4. | Défauts à l'interface SiO ₂ /Si – les états d'interface..... | 31 |
| II.4.5. | Identification par Electronic Paramagnetic Resonance (EPR)..... | 32 |
| II.5. | Instabilités en température (Negative/Positive Bias Temperature Instabilities) | 34 |
| II.5.1. | Contrainte NBT/PBT..... | 34 |
| II.5.2. | Définition du NBTI/PBTI..... | 36 |
| II.5.3. | Piégeage responsable de la dégradation NBTI | 36 |
| II.6. | Diagramme de bandes d'énergie du transistor MOS..... | 36 |
| II.7. | Conduction électrique entre la source et le drain | 39 |
| II.7.1. | Expression de la charge participant à la conduction électrique entre la source et le drain..... | 39 |
| II.7.2. | Expression du courant de drain linéaire..... | 42 |
| II.7.3. | Expression du courant de drain sous le seuil..... | 44 |
| II.7.4. | Expression du courant de drain en mode saturé | 45 |
| II.8. | Effet de la dégradation de l'oxyde et de son interface..... | 45 |
| II.9. | Conclusion..... | 45 |

Chapitre III : Etude de la Dégradation de Transistor VDMOSFET à canal n

| | | |
|------------|---|----|
| III.1. | Introduction..... | 47 |
| III.2. | Equipement et protocole de stress-mesure..... | 47 |
| III.2.1. | Tektronix 370A (traceur de courbe programmable A370)..... | 48 |
| III.2.2. | Description de LabVIEW..... | 49 |
| III.2.2.1. | La constitution d'un instrument virtuel..... | 50 |

| | |
|--|-----------|
| III.2.2.1.1. Une face-avant (front panel)..... | 50 |
| III.2.2.1.2. Un diagramme..... | 50 |
| III.2.2.1.3. Une icône..... | 51 |
| III.3. Technique de stress utilisée..... | 51 |
| III.4. Technique de mesure utilisée..... | 53 |
| III.5. Présentation du dispositif utilisé..... | 54 |
| III.5.1. Extraction de la tension de seuil..... | 55 |
| III.5.2. Impacte de la tension de stress sur la dégradation de ΔV_{th} | 55 |
| III.5.3. Modélisation des états d'interface..... | 56 |
| III.5.4. Caractéristiques courant de drain-tension de grille..... | 59 |
| III.6. Conclusion..... | 61 |
| | |
| Conclusion générale et perspectives..... | 63 |
| Références bibliographiques..... | 65 |
| Annexes..... | 67 |

Introduction générale

Introduction générale

Les transistors à effet de champ MOSFETs (Metal Oxyde Semiconductor field Effect Transistor) sont devenus l'élément de base de l'industrie microélectronique, même nanoélectronique depuis leur invention dans années 1950. L'évolution des composants de puissance présente un intérêt important dans le développement de l'automatisation des systèmes. Ils existent deux grandes familles des transistors MOSFETs de puissance, utilisant les architectures verticale VDMOSFETs (Vertical Double Diffused MOSFET) et latérale LDMOSFETs (Laterally Double Diffused MOSFET).

Les principaux soucis des chercheurs est de produire des composants de haute performance, notamment la fiabilité la rapidité répondant aux exigences de la commande et la puissance électrique dont ils sont destinés. Malheureusement la présence de défauts dans les semi-conducteurs et les oxydes limitant directement les performances de ces composants.

Les défauts peuvent être introduites à chaque étape des procédures de fabrication, partant de l'élaboration du substrat de base jusqu'à la passivation finale et la métallisation de la structure édifiée. En plus, les contraintes que subit le composant après sa fabrication viennent s'ajouter de nouveaux défis, tel que la température (auto-échauffement), les fortes tensions accidentelles acquise pendant leurs fonctionnement. En effet selon ITRS 2011 [20] les mécanismes de défaillances qui peuvent influencer les dispositifs MOS sont « Bias Temperature Instability (BTI), Time Depend Dielectric Breakdown (TDDB) et Hot Carrier Injection (HCI) dues au fonctionnement sous hautes températures ou dans des environnements radiatifs, et l'action des fortes champs électriques et forts courants. Malgré les nombreux efforts fournis (théoriques et expérimentaux) pour comprendre les mécanismes physiques derrière ces dégradations [19,21], la microstructure des pièges, induits par les dégradations citées, reste inconnue et fait l'objet de débats d'actualité. Néanmoins, un consensus a été établi sur la création des pièges dans l'oxyde par la dégradation TDDB et dans l'oxyde et à l'interface par BTI et HCI.

Les travaux de ce mémoire consistent à étudier la fiabilité des transistors VDMOSFETs, en utilisant la dégradation induite par un stress électrique. Afin de mettre en évidence la notion de fiabilité des VDMOS il est nécessaire de développer (réaliser) un banc de mesure adéquat.

En fin on a organisé l'ensemble des travaux en trois chapitres. Le premier chapitre est consacré à un bref historique sur les transistors MOS et ces limites de la miniaturisation, ainsi que le principe de fonctionnement des différentes structures. L'étude de la structure SiO_2 et ces défauts communément responsables de la dégradation des dispositifs MOS sont présentés dans le deuxième chapitre.

Le troisième chapitre est consacré pour la description détaillée du matériel et du logiciel utilisé dans le banc de mesure, acquisition des données, extractions des paramètres et l'interprétation des résultats pour différentes tensions de stress électrique à tension constante (CVS positif et négatif) sont présentés.

Enfin Nous terminons par une conclusion générale, en exposant les différentes perspectives pour un futur travail.

Chapitre I

Evolution et Fonctionnement des Transistors MOSFETs

I.1. Introduction

Depuis les années 1950, le transistor à effet de champ MOSFET (Metal Oxyde Semiconductor Field Effect Transistor), en tant que brique des circuits intégrés, est le moteur principal de l'industrie du semi-conducteur. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions physiques n'ont cessés de décroître selon la loi de Moore [1]. Cependant, depuis le début des années 2000, la réduction de la taille des composants ne suffit plus à garantir des meilleures performances tout en réduisant le coût de fabrication. L'industrie des semi-conducteurs est dans une période clef de son développement, car elle passe du monde de la microélectronique à celui de la nanoélectronique.

Les transistors de type VDMOSFETs (Vertical Double diffused MOSFET) sont les structures étudiées dans ce projet. Ainsi la connaissance de leur structure et leur principe de fonctionnement est une étape indispensable et qui constitue le sujet de ce chapitre. Nous allons rappeler l'évolution des structures MOSFETS, Nous traiterons les limites actuelles de la miniaturisation et nous passerons par la suite à la structure verticale à double diffusion des composants MOS appelée VDMOSFET et détaillerons ultérieurement leur principe de fonctionnement.

I.2. Bref historique

Les concepts du transistor à effet de champ ont été brevetés par LILIENTHALL et HEIL en 1930 en tant qu'une réponse aux problèmes de consommation des tubes triodes. Cependant des difficultés technologiques très importantes ont retardé sa réalisation pratique. En effet, il n'apparaîtra sous sa forme moderne qu'en 1955 grâce à ROSS. Cela bien après la réalisation par SHOCKLEY en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus sophistiqué. C'est en 1960 que KAHNG et ATTALA ont présenté le premier transistor MOSFET sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO_2 . Le silicium fut un choix très judicieux. Il est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Les avantages qu'offraient les transistors par rapport aux tubes à vide sont alors innombrables : leur taille est

Réduite (avant même d'être microscopique), ils sont beaucoup moins fragiles et ne nécessitent pas d'être chauffés afin de fonctionner [2].

Aidé par l'invention de la technologie Planar par BOB NOYCE en 1968 à la société Fairchild, il ne fallut alors que 10 ans avant de voir apparaître sur le marché les premiers circuits intégrés. Enfin, avec l'invention de la technologie CMOS (Complementary MOS) par F. WANLASS en 1963, toujours chez Fairchild, technologie, se distinguant par sa faible consommation (réduction d'un facteur de six de la consommation statique sur les premiers circuits intégrés), les transistors MOS commencèrent leur fulgurante ascension dans le monde de la microélectronique. Ainsi, 25 ans plus tard, portée par sa faible consommation, sa facilité de fabrication et sa haute densité d'intégration, la technologie CMOS est devenue la technologie prédominante dans les circuits intégrés numériques ayant quasiment supplanté les technologies à base de transistors bipolaires.

A partir du milieu des années 70, avec l'avènement des microprocesseurs et de la micro-informatique personnelle, le nombre de MOSFET par puce n'a cessé de croître parallèlement à la diminution des dimensions des transistors. Dès 1965 GORDON MOORE prédit que le nombre des transistors par unité de surface doublerait tous les 2 ans ; en fait, les progrès technologiques ne permettent un doublement de la densité d'intégration que tous les 18 mois, voir la figure 1.

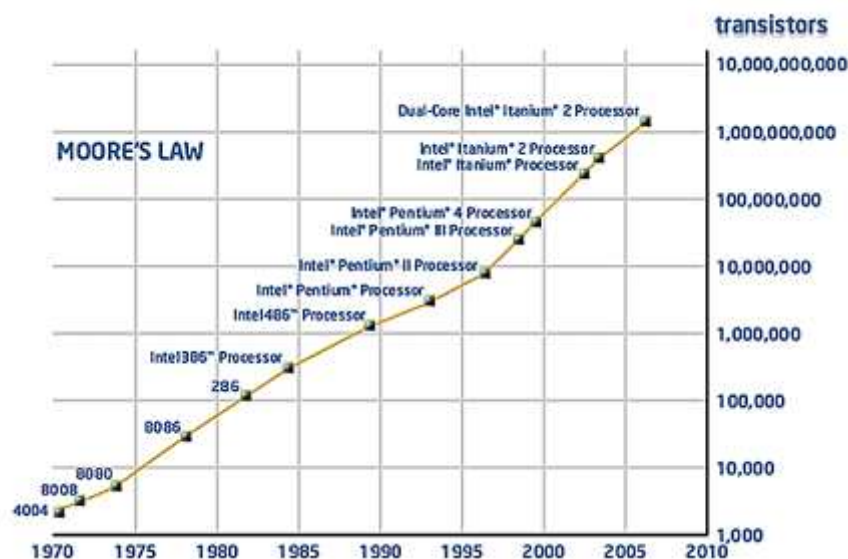


Figure 1 : Evolution du nombre de transistors dans les microprocesseurs Intel illustrant la loi de Moore

[3].

L'augmentation de la densité d'intégration n'est pas le seul but visé en diminuant la taille des transistors MOS. En effet, l'augmentation de la vitesse de commutation des dispositifs est l'un des enjeux principaux de la course furieuse actuelle à la miniaturisation des MOSFETs [2].

I.3. Principe de fonctionnement d'un transistor MOSFET

Le MOSFET de puissance est un composant unipolaire pour lequel la conduction est assurée par les porteurs majoritaires. En électronique de puissance, le MOSFET est généralement, à grille isolée et canal induit par enrichissement, la figure (2) représente un schéma électrique équivalent d'un transistor MOSFET.

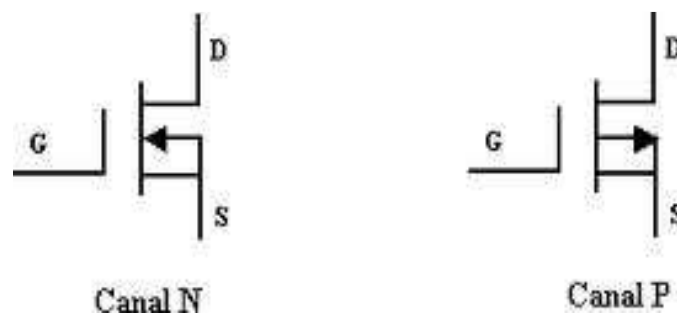


Figure 2: Symbole d'un transistor MOSFET.

I.3.1. Caractéristiques statiques

Ces caractéristiques donnent l'évolution du courant de drain I_{DS} avec la tension drain-source V_{DS} pour différentes tension grille-source V_{gs} . La figure 3 représente la caractéristique de sortie I-V d'un MOSFET de puissance.

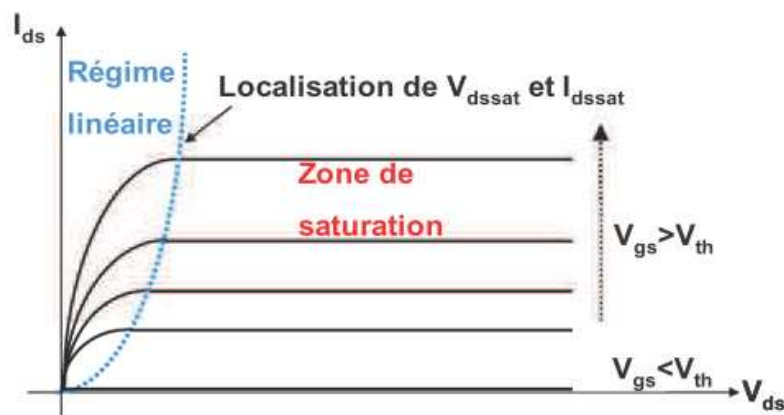


Figure 3 : Caractéristiques de sortie I-V d'un transistor MOSFET de puissance. La courbe pointillée correspond à la tension $V_{d_{sat}}$ pour $V_d > V_{d_{sat}}$ le courant reste constant à $I_{d_{sat}}$.

Considérons le cas d'un MOSFET de type n réalisé à partir d'un substrat semi-conducteur de type p et dans lequel les deux régions implantées N+ définissent les électrodes de source et de drain. L'électrode de la grille est obtenue à partir d'un oxyde (SiO_2) recouvert par une couche de poly silicium fortement dopée et métallisée. la figure (4) illustre le MOSFET de type n [4].

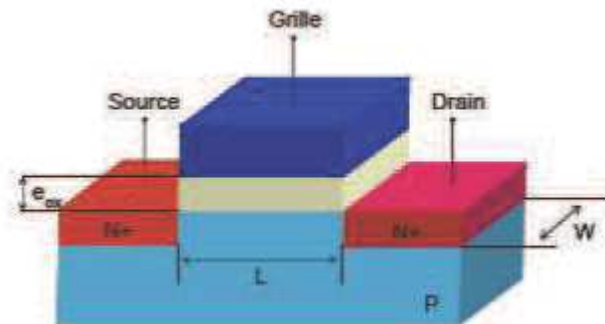


Figure 4 : Schéma d'un MOSFET de type n.

Les trois régimes de fonctionnement prédominant d'un transistor MOSFET sont : le régime bloqué (figure 5), le régime linéaire (figure 7) et le régime de saturation (figure 8). Le régime bloqué représente l'état du composant en absence de polarisation de grille ($V_{GS}=0$) ou pour $V_{GS} < V_{Th}$. Ainsi la zone sous l'oxyde est désertée de porteurs libres et le courant de drain I_{DS} est pratiquement nul, du moins tant que V_{DS} n'atteint pas la tension d'avalanche de la jonction pn qui supporte cette tension.

Pour des valeurs de V_{DS} importantes la caractéristique devient une droite pratiquement verticale. Le courant I_D croît rapidement avec la tension.

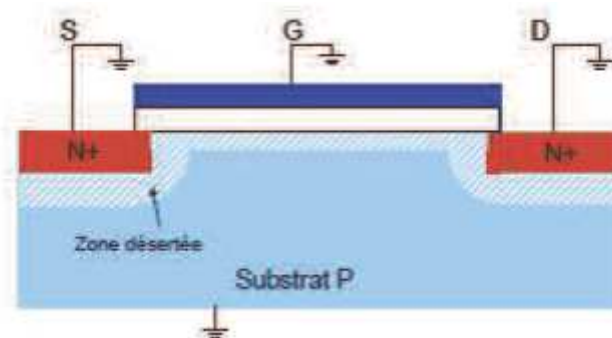


Figure 5: Coupe de MOSFET représentative de son régime bloqué.

L'application d'une tension sur l'électrode de grille, supérieure à la tension de seuil V_{Th} , produit d'une couche d'inversion de type n entre la source et le drain. Un canal de type n relie la source au drain comme le montre la figure 6. Plus la tension de grille V_{GS} est élevée, plus la densité des porteurs dans la couche inversée augmente.

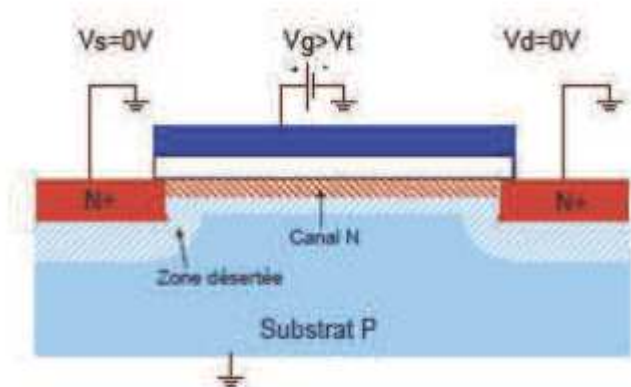


Figure 6 : Coupe de MOSFET représentative de son fonctionnement : activation du canal ($V_{GS} > V_{Th}$).

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (Figure 7). La variation de la tension V_{DS} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension V_{ds} reste faible ($V_{DS} \ll V_{DSSat}$), le courant reste proportionnel à la tension V_{ds} appliquée. Ce qui correspond à une résistance R_{DSon} entre drain et source presque constante. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{GS} donnée par :

$$I_{DS} = \beta V_{GS} V_{DS} \quad (1)$$

$$R_{on} = \frac{V_{DS}}{I_{DS}} = (\beta V_{GS})^{-1} \quad (2)$$

Avec

β : Facteur de gain du transistor MOS = $(W\mu C_{ox}/L)$ [$\mu A/v^2$].

L : la longueur du canal [μm].

W : la largeur du canal du transistor [μm].

μ : mobilité du porteur [$cm^2/v.s$].

C_{ox} : capacité de l'oxyde par unité de surface [nF/cm^2].

Et la transconductance (ou conductance de transfert petits signaux) est donnée par :

$$G_{m\ lin} = \beta V_{DS} \quad (3)$$

Cette zone de fonctionnement est appelée régime ohmique.

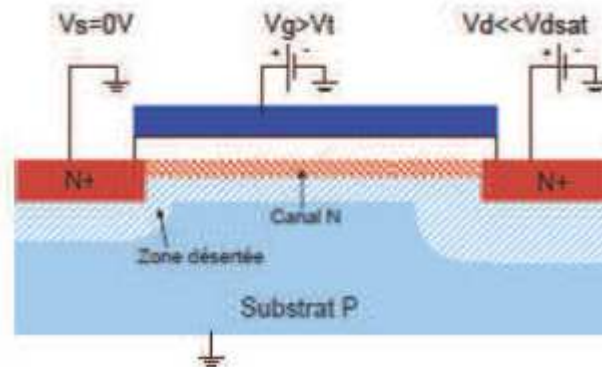


Figure 7 : Coupe de MOSFET représentative de son fonctionnement en régime linéaire.

Plus la tension V_{DS} appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminue. Le courant de drain n'est alors plus proportionnel à V_{DS} et aboutit un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée mais seulement de V_{GS} car les électrons passent en vitesse limite et le transistor se comporte comme une source de courant commandée par V_{GS} . Pour une tension appliquée entre la grille et le drain ($V_{GS}-V_{DS}$) égale à la tension de seuil V_{Th} le canal se pince du côté drain et la conductivité du canal s'annule au voisinage du drain. La tension à laquelle le pincement a lieu est appelée tension de saturation V_{DSsat} , et le courant correspondant est appelé courant de saturation I_{DSsat} . Lorsque la tension drain-source augmente, le régime de pincement est atteint d'autant plus rapidement que la capacité MOS est proche du régime d'inversion, c'est-à-dire que la tension grille-source est proche de la tension de seuil V_{Th} [5]. Dans cette région de saturation (figure 9), la résistance $R_{DSOnsat}$ dépend de la tension V_{GS} appliquée elle est plus grande qu'en régime linéaire, et est donnée par la formule suivante :

$$R_{DSOnsat} = \frac{V_{DS}}{I_{DS}} = 2 \frac{V_{DS}}{\beta V_{DS} V_{GS}} = 2 \frac{V_{DS}}{V_{GS}} R_{ON\ lin} \quad (4)$$

La transconductance est donnée par:

$$G_{m \text{ sat}} = \frac{V_{D\text{sat}}}{V_{DS}} \cdot G_{m \text{ lin}} \quad (5)$$

Ce régime de fonctionnement correspond à la région de saturation ou de pincement. C'est le régime de fonctionnement du MOSFET (régime actif), (voir la figure 8).

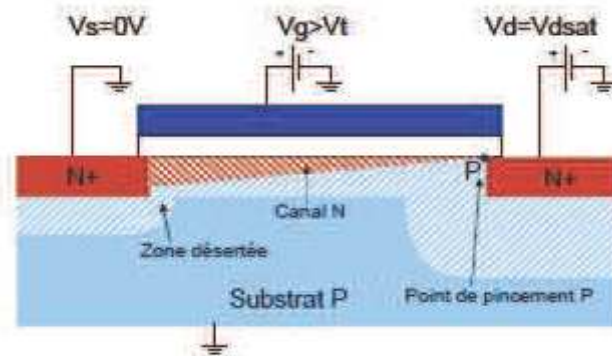


Figure 8: Coupe de MOSFET représentative de son régime de saturation.

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion comme le montre la figure 9. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode du drain par le fort champ électrique qui existe dans la zone désertée. La tension aux bornes du canal reste constante et égale à $V_{D\text{ssat}}$.

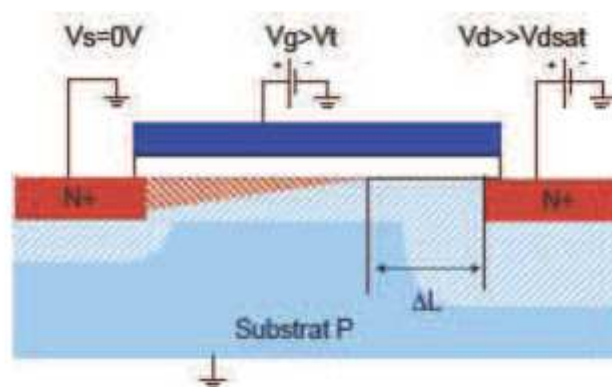


Figure 9 : Coupe de MOSFET représentative de son régime de sursaturation où la longueur du canal est réduite de ΔL .

Si la variation relative de la longueur du canal $\Delta L/L$ est faible, le courant de drain est égal à I_{DSSat} est indépendant de V_{DS} .

La caractéristique de transfert – $I_d(V_g)$ illustrées par la Figure 10.

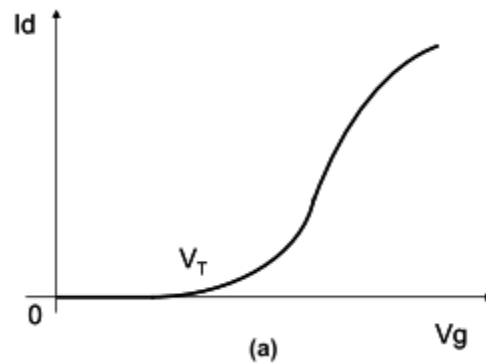


Figure 10: Caractéristiques idéales de transfert d'un transistor MOS de type n.

I.3.2. Caractéristiques dynamiques

Le MOSFET est intrinsèquement plus rapide que les composants bipolaires, car il n'a pas de charge stockée. Le cheminement normal du courant se fait à travers le canal et la zone de tenue en tension. Toutefois, en régimes dynamiques, le courant peut passer par d'autres chemins. Ceci est dû à des capacités dites parasites car non souhaitées. Ces capacités sont au nombre de trois [6,7, 8] et sont situées comme illustré sur la figure (11):

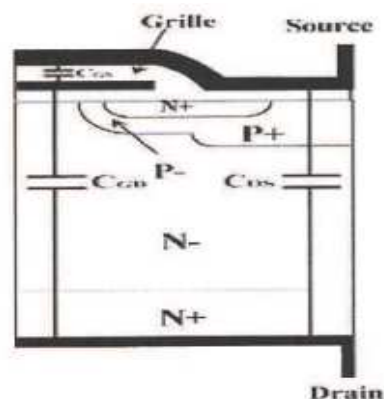


Figure 11: Capacités parasites d'une demi-cellule VDMOSFET.

Les trois capacités sont situées entre les trois électrodes du composant, la grille, le drain et la source. La capacité drain-source C_{DS} est due à la jonction pn créée par les caissons de sources de types p introduits dans la région de tenue en tension de type n. Aux bornes de cette capacité on retrouve pratiquement toute la tension V_{DS} à l'état bloqué. La capacité grille-source C_{GS} (la plus importante) est créée principalement par la structure Métal/Oxyde/semi-conducteur de la grille. Enfin, la capacité grille-drain C_{GD} qui correspond à la zone de déplétion qui apparaît dans la zone p sous la métallisation de grille.

I.4. Limitation liées à la miniaturisation des dispositifs

Plusieurs raisons expliquent la volonté de diminuer les dimensions des transistors mais la raison principale est évidemment l'intégration d'un plus grand nombre de dispositifs dans une même puce. Des dispositifs des dimensions réduites conduisent soit à une puce avec les mêmes fonctionnalités sur une surface plus petite, soit à des puces avec plus de fonctionnalités sur une même surface. Si on suppose que les coûts de fabrication d'une plaque microélectronique sont relativement fixes, le coût par circuit intégré est principalement lié au nombre de puces produites par plaque. Augmenter le nombre de puces par plaques permet donc de réduire le prix d'une puce. Ainsi, durant les trente dernières années, le nombre de transistors par puce a doublé tous les deux-trois ans à chaque introduction d'un nouveau nœud technologique.

La diminution des grandeurs géométriques des MOSFET (la longueur de grille, l'épaisseur de l'oxyde et la profondeur des régions n+) fût la première méthode utilisée pour améliorer la vitesse de commutation des transistors.

La diminution de la longueur de grille L_g des transistors MOS ne paraît pas une solution idéale pour les raisons suivantes :

- 1- La diminution de L_g a comme résultat d'augmenter le courant I_{on} circulant dans le transistor à l'état passant, mais au contraire il ne faut pas qu'elle se fasse au détriment du courant traversant le transistor à l'état bloqué (qui doit être le plus petit possible) ou de la conductance de drain en régime de saturation. L'ensemble de ces problèmes électrostatiques parasites résultant de la diminution de L_g sont appelés " problèmes de canal court", et entraînent une perte de la conductivité du canal par la tension grille-source V_{gs} .

- 2- En rapprochant les régions de sources et de drain, on rend également plus proches les zones de charge d'espace dont le rôle est d'éviter le passage des courants de fuite en polarisation inverse. Quand la tension drain-source V_{ds} augmente, la zone de charge d'espace drain-source s'étend et peut, si la distance entre drain et source est très faible, faire claquer le composant par destruction de la jonction drain-source par effet avalanche. Là se manifeste le rôle de la couche faiblement dopée n- dont l'épaisseur et le dopage déterminent la tension maximale que peut supporter la région drain-source en polarisation inverse. De la même façon que dans le claquage de la jonction, il peut exister à l'état bloqué un percement en surface lié à la circulation d'un courant non maîtrisé de substrat vers la grille par création d'un passage conducteur à travers l'oxyde, si ce dernier est très mince, provoqué par fort champ électrique de la tension drain-source V_{ds} .

La diminution de l'épaisseur de l'oxyde e_{ox} peut servir comme solution pour améliorer l'efficacité de la commande de la capacité MOS. Cette diminution en épaisseur se fait d'une manière à accroître la capacité surfacique équivalente ($C_{ox} = \epsilon \cdot \epsilon_{ox} / e_{ox}$). Actuellement, on s'efforce de garder un rapport L_g / e_{ox} variant entre 40 et 50 dans les circuits CMOS [9]. Toutefois, la réduction de l'épaisseur d'oxyde e_{ox} ne peut se faire sans une réduction de la tension d'alimentation V_{ds} afin d'éviter le claquage de cet oxyde.

L'épaisseur e_{ox} n'est pas le seul paramètre sur lequel on peut jouer afin d'améliorer la performance des composants MOS, la variation de l'épaisseur et la diminution du dopage de la couche n- se révèlent aussi une bonne solution pour limiter les extensions des zones de charge d'espace et éviter le claquage. Ces solutions ont pour effets secondaires une détérioration de la mobilité des porteurs parce qu'une couche moins dopée est plus résistive. Enfin, la réduction de la profondeur des régions n+ peut encore être une solution adaptable mais il sera alors nécessaire, conjointement à la réduction des profondeurs n+, d'augmenter le dopage de ces régions et d'améliorer les contacts métal/silicium pour conserver une bonne conductance de la source et du drain.

I.5. Présentation de la structure VDMOSFET

L'électronique de puissance, la miniaturisation et la large intégration sont les principaux enjeux des structures MOS. Le MOSFET à enrichissement à canal n est de loin le composant le plus utilisé. La performance des composant MOS est régit par deux paramètres essentiels: la longueur du canal et l'épaisseur de l'oxyde.

Deux grandes familles de transistor MOS de puissance sont référencées: les MOSFETs de puissances verticales (VDMOSFET-Vertically Diffused MOSFET) et les MOSFETs de puissance latéraux (LDMOSFET-Laterally Double Diffused MOSFET). Les composants étudiés dans ce projet de fin d'études sont des VDMOSFETs à canal n dont la structure est représentée par la figure 14.

I.5.1. Présentation des Structures VMOS et UMOS

Les premiers transistors de puissance développés au début des années 70 étaient des VMOS (Figure 12) [10]. Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans $\langle 111 \rangle$, une couche N- épitaxiée sur un substrat N+. La zone active est formée le long d'un sillon qui fait un angle de 54° avec la surface [11].

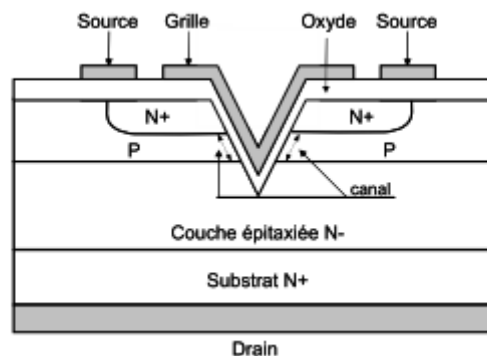


Figure 12 : Coupe schématique d'un transistor VMOS de puissance. [4]

Par rapport au transistor MOS plan « classique », le progrès essentiel consiste en l'utilisation du volume du semi-conducteur pour former l'électrode de drain (plan inférieur du substrat). Cette disposition permet une plus grande densité d'intégration puisque seulement deux électrodes les électrodes de grille et de source sont localisées sur la face supérieure de la puce. Le transistor VMOS présente cependant quelques inconvénients qui ont conduit à la régression voire à l'abandon, au début des années 80, de cette filière pour la production

industrielle. En effet, la difficulté de contrôle du processus d'attaque chimique rend délicate la fabrication technologique de ces composants. D'autre part, des problèmes d'instabilité peuvent apparaître dus à une contamination de l'oxyde par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons. Enfin, la « pointe » du sillon en V est le siège de forts champs électriques qui affectent la fiabilité et la tension de claquage des composants.

Fin 70, le transistor UMOS a été proposé [12]. Sa structure (Figure 13) reprend celle du VMOS mais la forme du sillon est différente. Le front de pénétration de l'attaque anisotrope est arrêté prématurément, créant ainsi un fond plat dans le sillon qui permet de diminuer le champ électrique. Les mêmes difficultés technologiques ayant été rencontrées pour ce composant, il n'eut pas de développement industriel significatif.

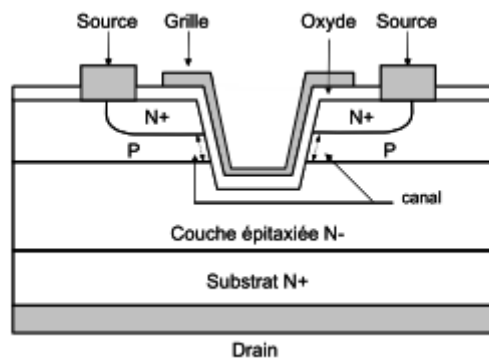


Figure 13 : Coupe schématique d'un UMOS de puissance. [4]

Les différents problèmes rencontrés avec le transistor VMOS ont été pratiquement résolus par le développement des processus de double-diffusion MOS (DMOS) [13] et la technique d'auto-alignement de ces diffusions sur le polysilicium de grille pour déterminer la longueur du canal.

Par rapport aux transistors VMOS, les transistors DMOS présentent les avantages suivants :

- Ils peuvent être fabriqués sur n'importe quelle orientation cristalline du silicium, alors que le VMOS est contraint d'avoir son canal le long d'une surface $\langle 111 \rangle$. Ainsi le choix d'une surface orientée $\langle 100 \rangle$ pour un transistor DMOS permet une amélioration de 20% de la mobilité des électrons dans la couche inversée et de 15% de la vitesse limite de saturation de ces électrons dans cette même couche inversée par rapport aux transistors VMOS équivalents [14]. Il en résulte une

résistance à l'état passant plus faible et une transconductance plus importante par unité de surface.

- La densité de charges fixes (Q_{ss}) à l'interface silicium/oxyde est environ trois fois plus grande sur les plans $\langle 111 \rangle$ par rapport aux plans $\langle 100 \rangle$ [11]. Ces charges diminuent la tension de seuil du composant. Par conséquent, pour une tension de seuil donnée, le dopage dans le canal doit être plus élevé dans une structure VMOS que dans une structure DMOS. Cette augmentation du dopage a un effet restrictif sur la mobilité des électrons dans la couche inversée [14], dégradant de ce fait le courant de conduction.
- Les difficultés technologiques évoquées pour le transistor VMOS sont réduites pour les transistors DMOS. Ces derniers font appel à une technologie plus simple à haut rendement. Le procédé d'auto-alignement des diffusions sur une grille en polysilicium est relativement simple à mettre en œuvre dans les transistors DMOS. Ce point évidemment essentiel explique le développement industriel considérable de ces composants.
- La densité d'intégration –rapport périmètre/surface– qu'il est possible d'obtenir avec des transistors DMOS multicellulaires est plus grande que celle des transistors VMOS.

I.5.2. La structure VDMOS

Le VDMOSFET présenté dans la figure (14) est devenue la structure la plus utilisée dans l'industrie de l'électronique de puissance. Le MOSFET (*Metal Oxide Semi-conducteur Field Effect Transistor*) est constitué d'un substrat en silicium dans lequel sont diffusées deux zones très fortement dopées de conduction opposée au substrat, constituant la source et le drain, la grille métallique est totalement isolée du canal par une couche isolante d'oxyde de silicium (SiO_2) appelée capacité MOS [15, 16], [17]. La longueur du canal est définie par la technique de double diffusion et la région n- sert à supporter la tension drain-source à l'état bloqué. Les électrons partent de la source et traverse un canal latéral puis dévient leur chemin d'un angle droit pour passer verticalement au drain. La région p, où se forme le canal si la grille est suffisamment polarisée, et la région n+ de la source sont diffusées successivement à travers la même fenêtre produite dans l'oxyde. La longueur du canal peut être réduite à des dimensions

submicroniques si nécessaire. A cause des Concentrations de dopage des régions p et n-, la zone de déplétion provoquée par la tension de drain-source s'étend vers le bas dans le substrat au lieu de se diriger latéralement vers le canal.

Les meilleures performances sont obtenues en construisant les MOSFETs suivant un motif cellulaire et reliant plusieurs composants en parallèle pour faire passer le maximum de courant.

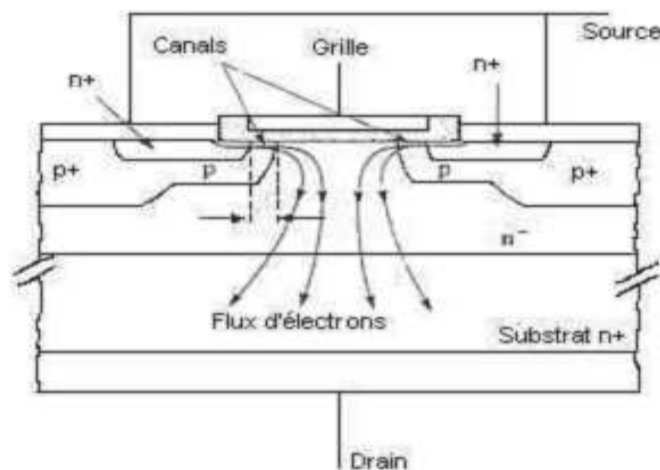


Figure 14 : Coupe schématique d'un VDMOSFET.

Le VDMOS [4] permet d'assurer, grâce à sa structure verticale, un passage de forts courants par la mise en parallèle d'un très grand nombre de cellules (source-grille) élémentaires. Ce dispositif présente aussi l'avantage d'une grande vitesse de commutation liée à l'absence de stockage des porteurs minoritaires. Et il possède une impédance d'entrée élevée et donc une facilité de commande par la grille isolée. En revanche, la chute de tension est relativement élevée à l'état passant. C'est dû à l'absence de zone de plasma en forte injection dans la zone N^- .

I.6. Courant de drain

Le courant de drain tout au long du canal est donné par la relation suivant exprimant sa variation avec la tension de drain V_{DS} et la tension de grille V_{GS} [18,4] :

$$I_{ds} = \frac{W \mu C_{ox}}{L} \left[\left(V_{gs} - \frac{V_{ds}}{2} - 2\varphi_{Fi} \right) - \frac{2}{3} \frac{(2eN_a\epsilon_s)^{1/2}}{C_{ox}} \left((V_{ds} + 2\varphi_{Fi})^{1/2} - (2\varphi_{Fi})^{1/2} \right) \right] \quad (6)$$

Avec:

W: La largeur de grille.

L: La longueur de grille.

$C_{ox} = \epsilon_{ox}/d$: La capacité de l'oxyde par unité de surface.

μ : La mobilité supposée constante dans toute la zone d'inversion.

$2\varphi_{Fi}$: La différence de potentiel entre la surface et le volume du semi-conducteur en régime de forte inversion.

eN_a : La densité de charges de déplétion.

I.6.1. Régime linéaire

L'équation (6) peut être réécrite sous la forme suivante :

$$I_{ds} = \frac{W\mu C_{ox}}{L} \left[(V_{gs} - 2\varphi_{Fi})V_{ds} - \frac{V_{ds}^2}{2} - \frac{2(2eN_a\epsilon_s)^{1/2}}{3C_{ox}} (2\varphi_{Fi})^{3/2} - 1 \right] \quad (7)$$

Pour des faibles valeurs de V_{ds} , ($V_{ds} \ll 2\varphi_{Fi}$) on obtient I_{ds} sous la forme suivante :

$$I_{ds} = \frac{W\mu C_{ox}}{L} (V_{gs} - V_{th})V_{ds} \quad (8)$$

En posant $V_{th} = 2\varphi_{Fi} + (4eN_a\epsilon_s 2\varphi_{Fi})^{1/2} / C_{ox}$, c'est l'expression de la tension de seuil du transistor. En d'autre terme c'est la tension de grille à partir de laquelle on obtient un potentiel de surface $V_s = 2\varphi_{Fi}$ nécessaire à l'établissement du régime de forte injection [16]

I.6.2. Régime de saturation

Quand la tension de drain augmente jusqu'au point où la densité de porteurs libres s'annule au voisinage du drain (point de pincement) la tension de saturation du drain est donnée par la relation suivante :

$$V_{dssat} = V_{gs} - 2\varphi_{Fi} + \frac{N_a\epsilon_s}{C_{ox}^2} \left(1 - \left(1 + \frac{2C_{ox}^2}{eN_a\epsilon_s} V_{gs} \right)^{1/2} \right) \quad (9)$$

En portant cette valeur dans l'équation (6) on obtient l'expression du courant de drain en régime de saturation.

En considérant que dans le cas d'un transistor réel avec un semi-conducteur peu dopé, N_a est faible et C_{ox} est grande on obtient après simplification ($V_{th} \approx 2\phi_{Fi}$ et $V_{dssat} \approx V_{gs} - V_{th}$)
L'expression suivante pour le courant de drain :

$$I_{ds} \approx \frac{W\mu C_{ox}}{2L} (V_{gs} - V_{th})^2 \approx \frac{W\mu C_{ox}}{2L} V_{dssat}^2 \quad (10)$$

I.7. Conclusion

Dans ce premier chapitre, nous avons présenté des structures MOSFETs. Après avoir expliqué le principe de fonctionnement d'un transistor MOSFET, ensuite nous avons présenté ses différents régimes de conduction. Nous avons présenté les limites de la miniaturisation des transistors à effet de champ de type MOS.

Nous avons abordé la structure VMOS et UMOS ensuite la structure verticale VDMOSFET et les expressions du courant de drain en régime linéaire et en régime de saturation.

Chapitre II

Fiabilité de Transistor MOSFET

II.1. Introduction

L'oxyde de silicium (SiO_2) est reconnu comme l'élément de base de la technologie électronique et des circuits intégrés, L'intervention du SiO_2 dépasse les composants à effet de champ pour atteindre les fibres optiques, les cellules solaires et d'autres applications industrielles. D'où l'importance majeure du SiO_2 dans la technologie. Afin de garantir la fiabilité des composants électroniques, le SiO_2 doit être de la meilleure qualité avec un nombre minimale de défauts.

Avec les structures MOS, l'oxyde de silicium et l'interface qu'il forme avec le semi-conducteur (Si) régissent le fonctionnement de ces composants. L'ouverture et la fermeture du canal se font par l'application d'un fort champ électrique à travers l'oxyde. La mobilité des porteurs, par conséquent le courant de drain, sont bien affectés par la qualité d'oxyde et de l'interface Si/ SiO_2 . Ainsi un composant fiable nécessite un oxyde et une interface (Si/ SiO_2) les plus propres.

Dans ce chapitre, une étude du SiO_2 , sa structure, ses défauts ainsi sa dégradation NBTI et PBTI sera présentée. Nous passerons par la suite à présenter le diagramme de bandes d'énergie du transistor MOS et sa conduction électrique entre la source et le drain. Nous terminerons ce chapitre par la présentation de l'effet de la dégradation de l'oxyde et de son interface

II.2. Oxydation du silicium

Les couches d'oxyde sont des éléments essentiels des procédés de fabrication car elles constituent les couches d'isolation, les oxydes de grille des transistors ou encore des couches de masquage pour les gravures ou l'implantation ionique. Une des principales raisons qui a conduit au choix du silicium comme substrat de base de la microélectronique est la facilité de faire croître un oxyde stable SiO_2 à sa surface.

L'oxydation du silicium peut être effectuée de plusieurs manières telles que l'oxydation anodique électrolytique (température ambiante), l'oxydation assistée par plasma (200-800°C) et l'oxydation thermique.

Pour l'oxydation thermique, les plaquettes de silicium sont placées dans un four parcouru par un courant gazeux oxydant : O_2 ou H_2O . Cette oxydation est effectuée à hautes températures (800 à 1200°C).

Selon la nature de l'oxydant on a :



L'oxydation humide est plus rapide que l'oxydation sèche, mais produit un oxyde de qualité moins bonne. Aussi, l'oxydation humide est réservée à la fabrication des couches épaisses d'oxyde de protection [1]. L'oxydation sèche est utilisée pour la fabrication des couches minces d'oxyde de grille, dont la qualité (notamment pour l'interface Si/SiO₂) est déterminante pour le fonctionnement des circuits.

La croissance de l'oxyde et sa qualité dépendent de la qualité du substrat de silicium et en particulier de sa surface, à partir de laquelle il doit croître. Une surface rugueuse donnera un oxyde de mauvaise qualité. C'est pour cela que des procédés de nettoyage sont mis en œuvre avant l'oxydation afin d'assurer une surface propre et lisse [2].

La figure (1) montre l'oxydation du silicium pour la croissance du SiO₂ et il faut aussi noter que durant l'oxydation, il y a consommation de Si, et déplacement de l'interface Si-SiO₂

($\epsilon_{\text{Si}} = 0.44\epsilon_{\text{SiO}_2}$).

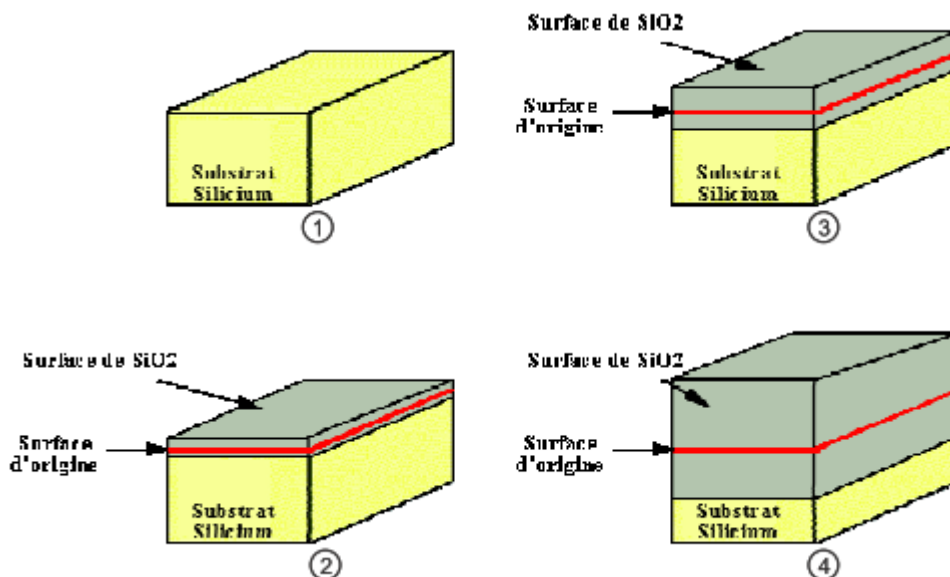


Figure 1 : Oxydation du silicium pour la croissance du SiO₂ [3].

II.3. Structure de l'oxyde du silicium SiO₂

La silice peut se trouver sous trois formes allotropiques (même composition chimique, mais arrangement atomiques différents) : cristalline (ordre cristallographique a longue distance), vitreuse (ordre a courte distance) et amorphe (absence d'ordre) [4]. La structure obtenue par oxydation thermique est la silice vitreuse. Elle est amorphe dans le cas d'un mauvais contrôle de la croissance de l'oxyde. La figure (2) montre la structure cristalline et amorphe de la silice.

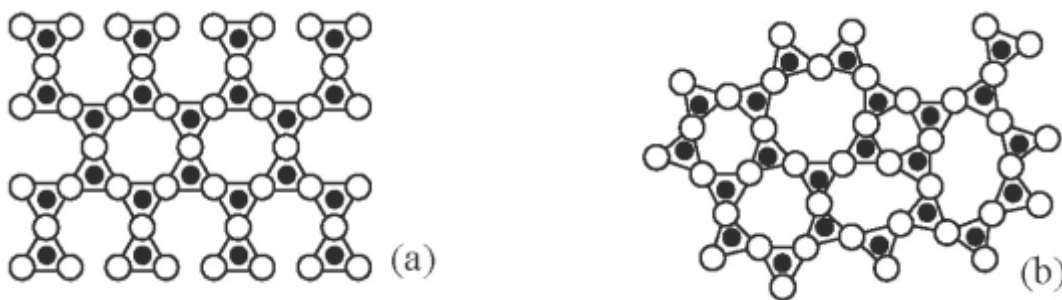


Figure 2 : Silice cristalline (a) et silice amorphe (b) [1].

La structure de SiO₂ est de la forme cristalline. La silice cristalline existe en plusieurs variétés et possède un réseau qui préserve un ordre à longue distance.

L'unité structurale de base de la silice est le tétraèdre SiO₄ ou 4 atomes oxygènes entourent un atome silicium central comme le montre figure (3, a). Ainsi, la silice est constituée d'un arrangement de tétraèdres SiO₄ reliés entre eux par l'intermédiaire des sommets oxygènes. Ces tétraèdres sont caractérisés par [5,6] :

- 1- Une distance atomique Si-O variant entre 0.125nm et 0.169nm.
- 2- Un angle θ entre les liaisons Si-O-Si qui varie de 120° à 180° avec une valeur moyenne de 144° pour la silice amorphe. Cet angle est présenté dans la figure (3, b).
- 3- Un angle de liaison O-Si-O de 109.18°.

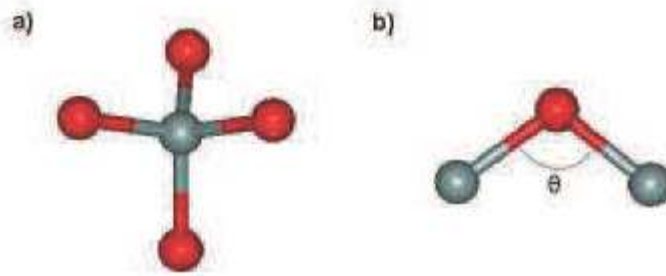


Figure 3 : Tétraèdre de base de SiO_2 (a) et l'angle des liaisons Si-O-Si (b) [6].

La charge effective sur chaque atome de la structure SiO_2 est un facteur important. Pour des liaisons covalentes complètes, la charge nette en excès sur chaque atome serait nulle. Correspondant à 4 électrons de valence sur chacun des atomes de silicium et 6 électrons de valence (y compris les électrons de la sous couche s) sur chaque atome d'oxygène. Tandis que pour la silice complètement ionique, la charge nette excédentaire de chaque atome d'oxygène est -2 et celle de l'atome silicium est de +4. Dans le cas réel nous nous trouvons en face d'un état intermédiaire.

De nombreux calculs théoriques ont été réalisés pour déterminer le transfert de charge nette du silicium à l'oxygène dans les différentes structures de l'oxyde. Ces calculs s'accordent à admettre que la charge effective excédentaire sur chaque atome d'oxygène est de 1 électron [7,8]. En outre cette charge excédentaire augmente avec l'angle de liaison Si-O-Si.

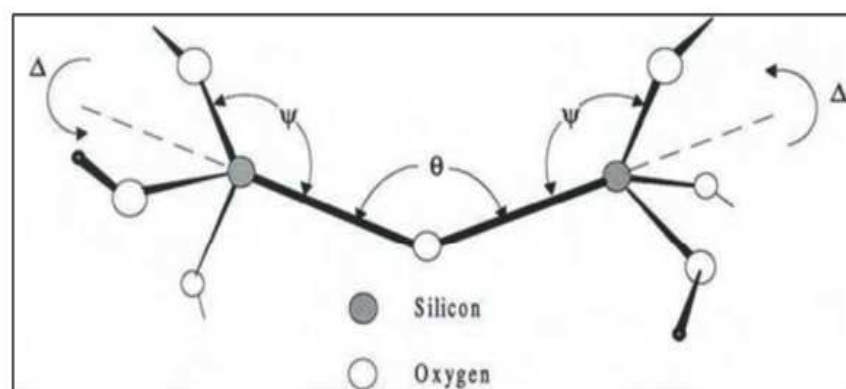


Figure 4 : Schéma de la structure de SiO_2 amorphe

Pour illustrer la flexibilité de la liaison Si-O-Si, (voir la figure 4), la variation de l'énergie de liaison avec l'angle de liaison a été calculée [9]. Cette étude montre que l'énergie de liaison

varie très peu (0.1 eV) lorsque θ varie entre 120° et 180° . Cependant, cette énergie augmente rapidement pour des valeurs d'angles plus petits (1 eV lorsque $\theta = 100^\circ$).

Les liaisons entre les blocs élémentaires peuvent également pivoter ou se resserrer, soit pour minimiser l'énergie de liaison si l'espace disponible est suffisant, ou s'adapter aux contraintes de leur environnement immédiat. Par exemple, l'angle de rotation de tétraèdre Δ (voir figure 4) peut varier de 0 à 120° , tandis que la variation de l'énergie de liaison est égale seulement à 0.05 eV.

La principale différence entre un matériau amorphe et un matériau cristallin est que le deuxième possède une structure unique répétée à l'infini, tandis qu'un matériau amorphe comme le SiO_2 possède seulement un ordre local. Donc, une structure amorphe n'est pas définie d'une manière unique. Il en résulte que même pour de petites variations des conditions de procédé peuvent engendrer un effet significatif sur les propriétés de l'oxyde. Ces propriétés dépendent de la distribution des angles des liaisons.

II.4. Défauts dans l'oxyde

Le dioxyde de silicium est l'élément clé des transistors MOS à effet de champ (MOSFET), Cellules solaires et fibres optiques. Les applications pratiques sont souvent limitées par divers défauts qui peuvent modifier les propriétés mécaniques, électriques et optiques de l'oxyde. Ces défauts dus à des défauts électriquement actifs, les liaisons pendantes, les charges fixes dans l'oxyde et les charges mobiles....etc.

❖ Notion de défaut électriquement actif

Un défaut est dit électriquement actif lorsque le passage du niveau de Fermi au niveau d'énergie E_t provoque un changement de charge.

L'existence d'une zone de transition entre le dioxyde et le substrat laisse supposer une densité plus importante de défauts à l'interface que dans le volume de l'oxyde. Ces pièges peuvent être classés dans deux catégories selon leur état de charge :

- ✓ Type donneur : neutre si occupé par un électron et chargé positivement si inoccupé.
- ✓ Type accepteur : neutre si inoccupé par un électron et chargé négativement si occupé.

Chaque piège est caractérisé par un niveau d'énergie E_t dans la bande interdite du semi-conducteur et par deux sections efficaces de capture σ_n et σ_p pour les électrons et les trous respectivement.

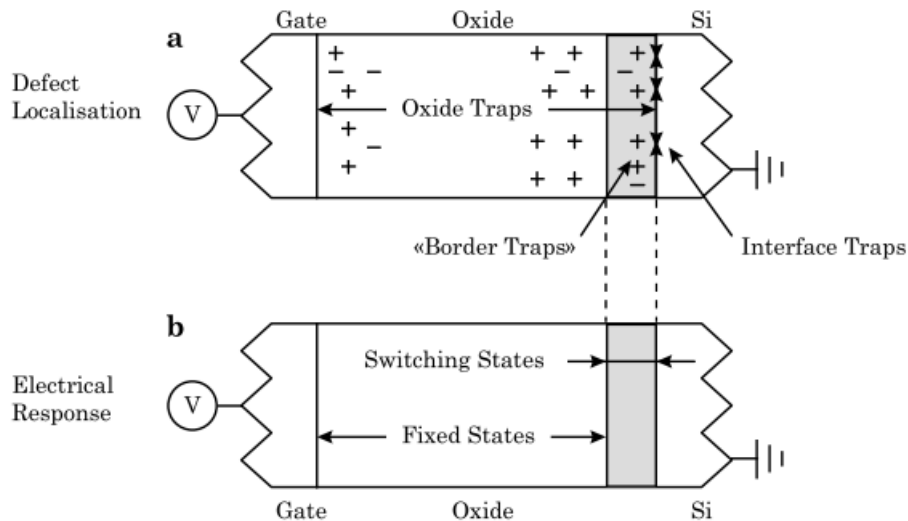


Figure 5 : Classement des défauts dans l'isolant des structures MOS en fonction de leur localisation (a) et de leur réponse électrique (b). D'après Fleetwood. [10].

En fonction de la rapidité et des amplitudes de tension appliquées au composant, ces états auront le temps ou non de capturer et d'émettre des porteurs et donc d'introduire ou non un effet capacitif supplémentaire dans la réponse électrique de la structure MOS (effet non désiré). Pour des signaux rapides, ce sont plutôt les pièges proches de l'interface avec le silicium (0.1 à 0.3 nm) qui sont sollicités et pour des signaux plus lents s'ajoutent des pièges plus éloignés de l'interface. Les défauts et qui sont indiqués sur la figure (6), illustrent cet éloignement des pièges par rapport (1), (2) et (3) à l'interface et donc l'augmentation du temps de réponse (si on suppose que leurs sections de capture sont identiques). On conçoit aisément que les états qui n'ont pas le temps d'agir pourront être considérés comme des charges fixes dans l'oxyde. Fleetwood [11] a défini une nomenclature permettant de faire une distinction entre les pièges en fonction de leur localisation dans l'isolant et leur temps de réponse, comme cela est illustré à la figure (5) :

- Les états pouvant répondre lors d'une mesure (" Switching States ") sont situés juste à l'interface Si-SiO₂ (" Interface Traps ") et un peu plus profondément dans l'isolant(" Border Traps ").

- Tout les états qui ne répondent pas lors de la mesure sont considérés comme charges fixes (" Fixed States ").
- Le terme piège (" Trap ") devrait être préférentiellement utilisé pour localiser le défaut dans l'isolant alors que le terme état (" State ") devrait se reporter à la réponse électrique.

❖ Les liaisons pendantes

Les liaisons pendantes, c'est-à-dire les liaisons covalentes non satisfaites, sont a priori les candidats les plus plausibles pour expliquer la présence de niveaux d'énergie accessibles par les porteurs dans la bande interdite.

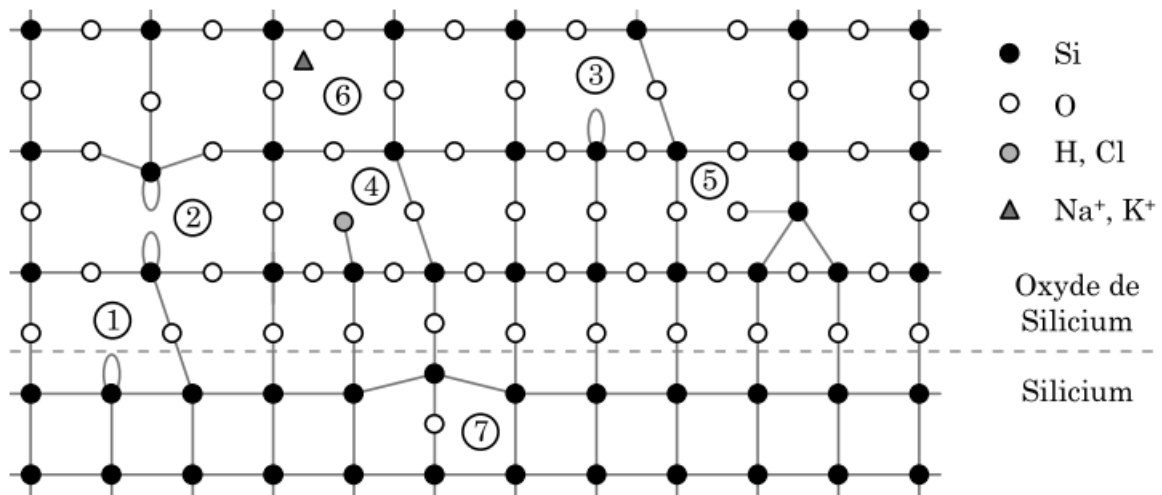


Figure 6 : Représentation schématique de quelques défauts du système Si-SiO₂.

II.4.1. Défauts dans l'oxyde SiO₂ amorphe

Avant de classer les défauts en différentes familles, il est important de noter que, d'un point de vue physique, tout écart par rapport au réseau idéal ou parfait des structures tétraédriques, peut être considéré comme un défaut structurel.

D'autre part, du point de vue électronique, le mot défaut désigne souvent un défaut électrique actif. En d'autres termes, l'approche physique comprend tous les types de défauts quel que soit leur état de charge, tandis que dans la pratique, on préfère souvent d'utiliser le mot «défaut» lorsque le site est électriquement actif et «precursor» lorsque le site est neutre. La plupart des défauts natifs sont neutres et ne peuvent pas être détectés immédiatement après le processus de fabrication. Ils ne peuvent être révélés qu'après une excitation extérieure, en modifiant leur état de charge (neutre → actif).

Par conséquent, les défauts électriquement actifs n'apparaissent que lorsque le dispositif électronique est utilisé, ce qui conduit finalement à une dégradation des performances.

II.4.2. Les défauts intrinsèques

Les défauts intrinsèques sont liés à l'arrangement des atomes de silicium et d'oxygène entre eux. Si la structure est telle que localement les distances et les angles entre les atomes varient, mais pas suffisamment pour qu'il y ait rupture de liaison entre atomes, alors on parle de micro hétérogénéités (réseau continu mais orienté de façon aléatoire). Sinon, peuvent apparaître des défauts ponctuels (imperfections qui perturbent la périodicité du réseau sur un ou deux sites atomiques), qui combinés entre eux, conduisent à la formation de défauts complexes. Ponctuels ou complexes, ces défauts sont dus à des interstitiels (substitution d'un atome du réseau par un autre) ou à des lacunes (d'oxygène ou de silicium) associés à des liaisons contractées, cassées ou pendantes.

Les centres X et Y, représentés par la figure (7), sont les premiers symptômes de la modification progressive du matériau (passage du Si substrat au SiO₂)



Figure 7 : Les X et Y dans la zone de transition du substrat à l'oxyde [12].

Le centre X et Y sont des groupes SiO₂-Si présentant tous les deux une liaison Si pendante (.Si=SiO₂). Ils sont très proches de l'interface et proviennent d'une concentration en oxygène non suffisante pour former complètement des groupes SiO₂.

Ils existent également d'autres défauts plus profondément dans l'oxyde et qui sont les plus étudiés dans l'oxyde de silicium. Ce sont les lacunes d'oxygène (OV pour Oxygène Vacancy) [13, 14, 15, 16].

Chaque atome de silicium du diélectrique partage des liaisons covalentes avec 4 atomes d'oxygène. Les lacunes d'oxygène font références aux atomes de silicium ne respectant pas cette règle. La lacune d'oxygène est appelée E' lorsqu'une des quatre liaisons de silicium est pendante. Le centre E' est connu depuis 1956 [17] et sa représentation est la suivante :



Figure 8 : Lacune d'oxygène sur un atome silicium : une des liaisons du Si est pendante [17].

Un model simple de ce défaut électriquement actif, dans son état neutre est donné par la structure chimique suivante :



Ce défaut est formé par deux tétraèdres adjacents dont l'atome d'oxygène qui assure leur liaison est absent. Le comportement de ce défaut, en présence de trous, est comme un piège de trous et il se transforme en un centre positivement chargé. Ce comportement est illustre par l'équation 2 et la figure (9).

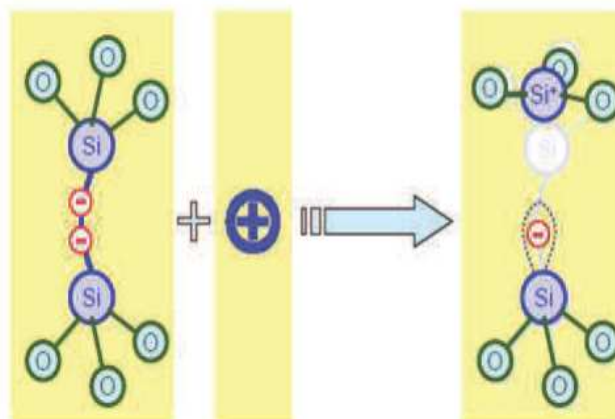


Figure 9 : Schéma illustratif de l'équation 2 [18].

Il existe plusieurs catégories de E' en fonction des orientations et des contraintes mécaniques locales. Ce type de défauts, dans un composant MOSFET soumis au stress électrique ou en face d'irradiations ionisantes, contribue à la dégradation des caractéristiques électriques du composant.

Il existe trois catégories de centres E' déjà identifiées jusqu'à présent ayant en commun un électron non lié sous la forme $O_3 \equiv Si$. Feigl [19] identifia le centre E'_1 comme étant un trou piégé sur une vacance d'oxygène. L'électron non lié est localisé sur un des atomes de silicium et le trou se trouve sur l'autre atome Si comme dans l'équation 2. Le deuxième type de défaut est le centre E'_γ qui a un comportement similaire au E'_1 . Le dernier type est le centre E'_δ découvert par Griscom et Friebele [20]. Dans ce dernier, l'électron non lié n'appartient pas à un seul atome Si mais il est mis en commun par les deux atomes Si impliqués par ce défaut [21]. Ces trois catégories de centres E' font le sujet de la figure (10).

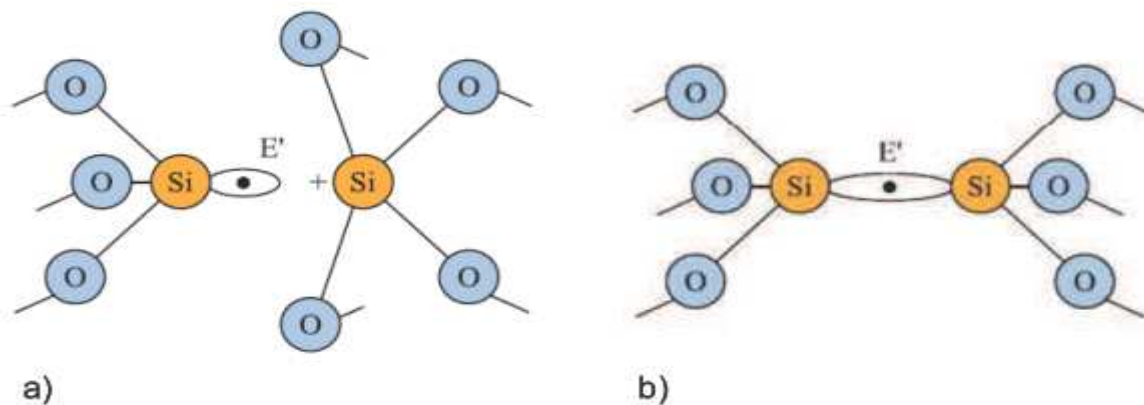


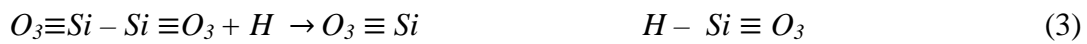
Figure 10 : Mode de centre E'_1 et E'_γ (a) et d'un centre E'_δ (b).

II.4.3. Les défauts extrinsèques

Les défauts extrinsèques sont liés à la présence dans l'oxyde d'atome étrangers qui se combinent avec le réseau de nombreuses manières, selon la valeur de leur rayon atomique, selon qu'ils sont ionisés ou non ou selon les conditions thermodynamiques de leur introduction. Un atome de silicium peut, par exemple, être remplacé par un atome de type accepteur (groupe III) ou de type donneur (groupe V), tandis qu'un atome d'oxygène peut être remplacé par un autre anion. De façon analogue aux défauts intrinsèques, on parlera de défauts ponctuels ou complexes.

Les défauts extrinsèques sont essentiellement liés à la présence de l'hydrogène qui est introduit par les processus de fabrication. L'hydrogène est introduit pendant le processus de l'oxydation ou bien encore pendant la passivation des liaisons Si pendantes qui a leur tour agissent comme centres de piégeage de charge.

Ce type de défauts peut être illustre par la réaction chimique suivante [22] :



Les impuretés peuvent pénétrer à l'intérieur de l'oxyde à différents moments du processus technologique [1] :

- 1- Durant l'oxydation thermique, si elles sont déjà présentes dans le substrat de silicium (cas d'atomes dopant As,B,P...) ou si elles avaient été introduites, volontairement ou non ,dans le gaz oxydant (cas de l'eau et des composés chlorés).
- 2- Durant la croissance de la silice, si elles sont présentes dans l'ambiance (cas des ions alcalins Ca,K,Na...).
- 3- Durant les étapes qui suivent la croissance ou bien la déposition de l'oxyde [métallisation, implantation ionique, traitement hautes températures (Ar,H₂ ,N₂...)].

II.4.4. Défauts à l'interface SiO₂/Si – les états d'interface

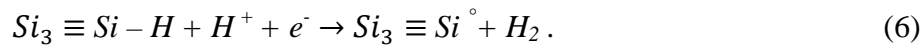
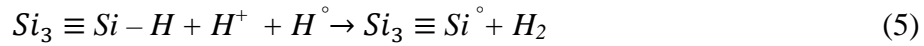
Les défauts mentionnés ci-dessus sont dues à une modification de la structure du matériau. En raison des différences qui existent entre la structure du silicium cristallin et l'état amorphe de SiO₂ (désaccord de maille), d'autres défauts existent à l'interface SiO₂/Si.

Il existe certains types de défauts paramagnétiques à l'interface SiO₂/Si, appelés "P_b center". Ces défauts comportent un atome de silicium tri-coordonné, lié à trois atomes de silicium du substrat, et qui possède une liaison pendante (électron paramagnétique) perpendiculaire à l'interface et dirigées vers l'oxyde (défaut ①, ③ dans la figure (6)), voir la figure (11). Un "P_b center" peut être représenté par :



Actuellement, dans les technologies d'oxyde de grille utilisées, les états d'interface sont passivées par des atomes d'hydrogènes, ce qui conduit à la formation des groupes Si₃ ≡ Si-H .Sous l'effet d'un stress (champ électrique, irradiation..), une dépassivation des états d'interface se produise. Les mécanismes exacts de la création et l'évolution des états

d'interface pendant et après le stress sont encore un sujet de débat. Toutefois, un consensus relatif a été atteint sur la participation des espèces hydrogénés à ce processus (H_2 , relatif a été atteint sur la participation des espèces hydrogénés à ce processus (H_2 , proton H^+ , ou l'hydrogène atomique H° , ou d'autres éléments). Les réactions chimiques peuvent être décrire par:



Cependant, les "P_b center" ne représentent qu'une contribution aux états d'interface, et il existe sûrement d'autres défauts à l'interface. Les "P_b center" sont les seuls défauts d'interface observés par EPR [23].

II.4.5. Identification par Electronic Paramagnetic Resonance (EPR)

Les défauts sont essentiellement connus à travers la technique EPR. Elle est le principal outil qui permet l'identification de la structure microscopique des défauts. Le signal observé par cette méthode correspond à l'absorption d'une énergie des rayonnements micro-ondes par un électron non apparié soumis à un champ magnétique de balayage continu. En effet, un atome paramagnétique possède un électron non apparié. La différence d'énergie entre les deux états quantique de spin (le moment angulaire intrinsèque de nombre quantique 1/2) est $E = h \nu = g \beta H$, ou ν est la fréquence des micro-ondes, h est la constante de Planck, H est la valeur du champ magnétique, β est le magnéton de Bohr ($\beta = eh / 4\pi mc$), et g est un tenseur donnant des informations sur la symétrie du défaut. Par conséquent, un défaut ne peut être détecté que s'il (le défaut) possède une liaison pendante, c'est-à-dire s'il est paramagnétique.

Le défaut diamagnétique a un moment électronique nul, et donc aucun signal EPR ne peut être mesuré. Cependant, ce n'est pas un problème majeur parce que l'état de charge d'un défaut donné peut varier, et il existe souvent un état dans lequel le défaut est paramagnétique. Certains défauts paramagnétiques sont neutres, tandis que d'autres sont positivement ou négativement chargés. C'est ce qui explique pourquoi il est difficile d'établir une corrélation entre l'évolution de la densité de défauts paramagnétiques avec la densité total de la charge piégée [24].

Trois versions de ce type de défaut paramagnétique ont été observées par EPR, à savoir, P_b , P_{b0} et P_{b1} . Leur présence dépend de l'orientation cristalline du substrat de silicium. La liaison pendante trouvée dans les substrats (111) est appelé le " P_b center". Le " P_{b1} center" et le " P_{b0} center" sont ceux observés dans les substrats (100), voir la figure (12).

La structure microscopique de " P_{b0} center" est très proche de celle du défaut P_b décrit ci-dessus.

D'autre part, il n'existe pas une description précise de la structure microscopique de " P_{b1} center". La structure microscopique postulée de ce défaut paramagnétique pourrait être:

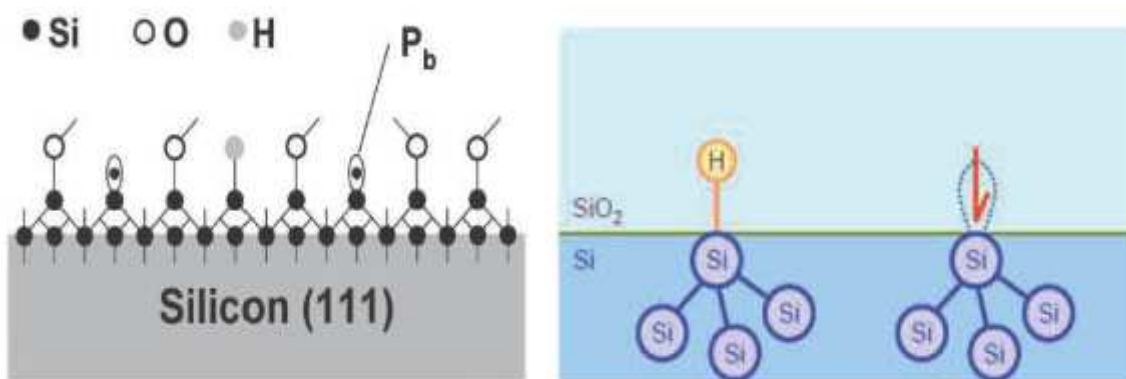


Figure 11 : Défaut à l'interface Si/SiO₂ : le centre P_b [25, 18].

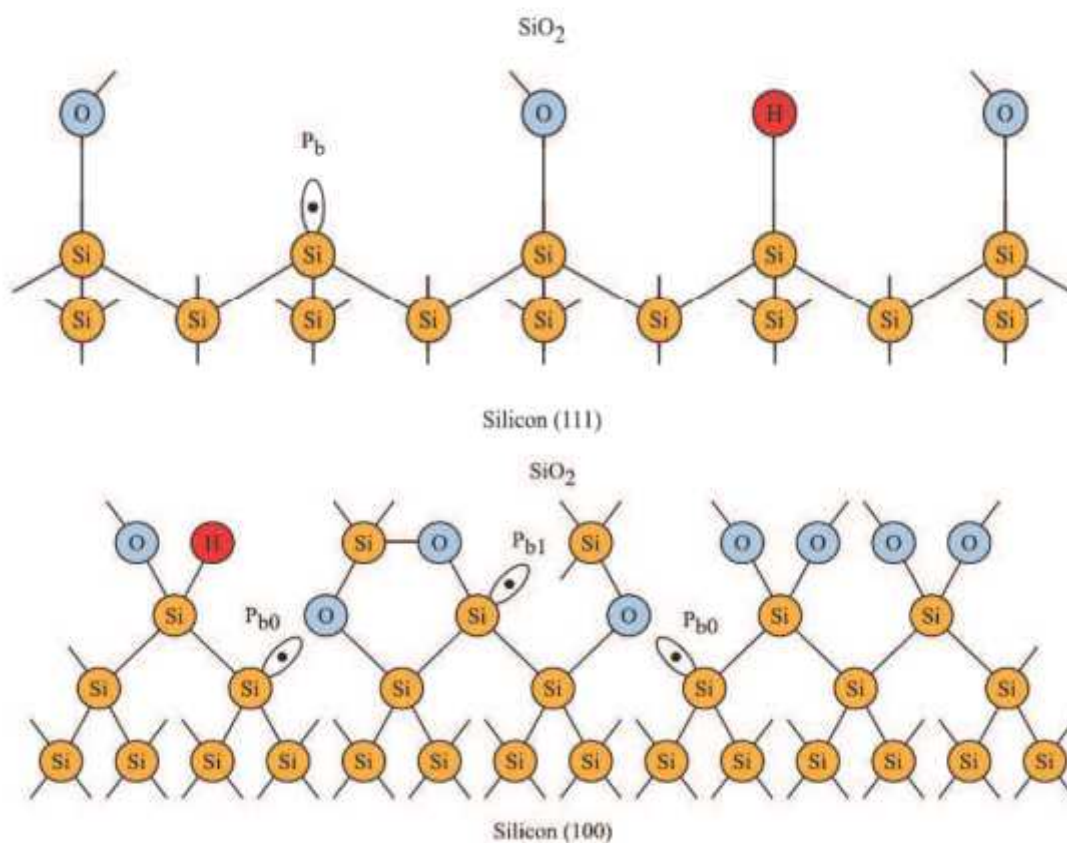


Figure 12 : Les centres P_b à l'interface Si/SiO₂.

II.5. Instabilités en température (Negative/Positive Bias Temperature Instabilities)

II.5.1. Contrainte NBT /PBT

La contrainte NBT ou NBTS vient de l'anglais « Negative Bias Temperature Stress », sous-entendu un potentiel électrique négatif appliqué sur la grille d'un transistor MOS dans un milieu à haute température. Concrètement, le dispositif est placé dans un four ou dans un environnement chaud, et les quatre connecteurs qui sont la grille, la source, le drain et le substrat sont reliés à un générateur de tension appliquant une tension négative entre la grille et l'ensemble Source-Substrat-Drain, voir la figure (13).

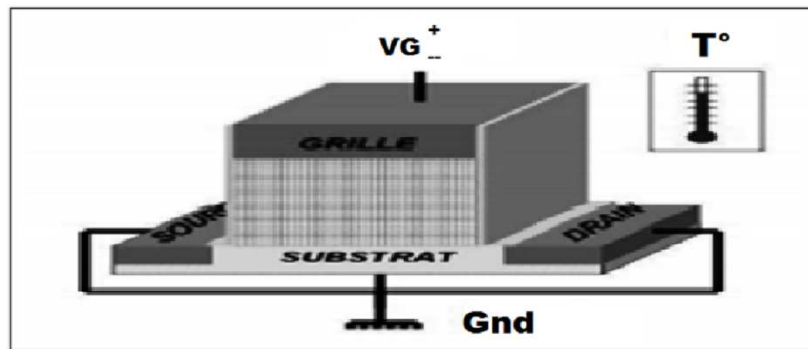


Figure 13 : Configuration électrique d'une contrainte NBT/PBT [26]

Cette configuration électrique peut être utilisée pour des dispositifs NMOS et PMOS. La plage de température varie de 25 à 200°C, Les potentiels appliqués dans la génération de défauts de type BTI sont de l'ordre de une à trois fois la tension de drain nominale. Ce type de dégradation intervient sur les NMOS comme sur les PMOS, La température doit rester un paramètre accélérant le mécanisme de dégradation et ne doit pas modifier chimie et/ou la structure du dispositif. Une température supérieure à 250-300°C provoque des modifications. Ce point n'est pas traité dans notre travail.

Une contrainte PBT (Positive Bias Temperature Stress) ou PBTS est, par analogie, une contrainte avec un potentiel positif sur la grille et à haute température, voir la figure (13). Plus généralement, le BTS (Bias Temperature Stress) correspond à l'ensemble des contraintes NBTS et PBTS. La contrainte NBT-inhomogène fait référence à une contrainte pour laquelle le potentiel électrique du drain est plus élevé (ou moins élevé) que le potentiel électrique de la source, voir figure (14).

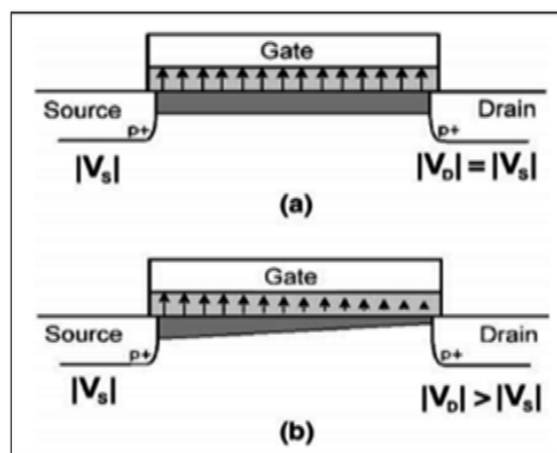


Figure 14 : La contrainte NBT pour $V_D = V_S$ et la contrainte NBT-inhomogène lorsque $V_D > V_S$ [27].

II.5.2. Définition du NBTI/ PBTI

La dérive de type NBTI/PBTI est provoquée par l'application d'un potentiel négatif ou positif sur la grille. A l'origine le terme BTI a été créé au départ pour désigner des défauts ioniques dans la structure du dispositif, particulièrement sensibles à la température. Par extension, le terme désigne toutes les dégradations liées à une contrainte en température et à l'application d'un stress sur la grille. Le mécanisme du BTI a été séparé en deux parties, d'une part à faible champ où la dégradation est limitée par la diffusion et d'autre part à fort champ où l'injection de porteurs et le piégeage de trous est le mécanisme dominant. Une partie de cette dégradation peut être compensée par l'application d'un stress électrique contraire, ce qui révèle un phénomène de piégeage puis dépiégeage des trous.

II.5.3. Piégeage responsable de la dégradation NBTI

Il est reconnu que les défauts responsables de la dégradation NBTI sont les « P_b center » pour les défauts d'interfaces [28] et le « E' center » dans l'oxyde. Ces derniers (P_b et E' center) sont des défauts paramagnétique [29], c'est-à-dire ils contiennent un électron non apparié (paragraphe II.4.1, II.4.3). Malgré le nombre important des travaux sur la microstructure des défauts induit par le NBTI, les propriétés microscopiques de ces pièges (énergie dans la bande interdite, énergie d'activation,) reste jusqu'à aujourd'hui inconnues.

II.6. Diagramme de bandes d'énergie du transistor MOS

Le diagramme de bandes d'énergie du transistor N est représenté sur la Figure (15). Le potentiel de volume du semi-conducteur Φ_F est défini par :

$$\Phi_F = \frac{KT}{q} \ln \left(\frac{N_a}{n_i} \right) = \frac{E_i - E_F}{q} \quad (8)$$

Avec E_F le niveau de Fermi, E_i le niveau intrinsèque du silicium (non dopé), N_a la concentration de dopants accepteur, et n_i la concentration intrinsèque de silicium. L'indice S indique les grandeurs considérées à l'interface SiO₂/Si. $\Psi(y)$ Est la courbure des bandes à la profondeur y dans le substrat. Ψ_S Est le potentiel de surface, c'est-à-dire le potentiel à y=0. Pour y = +∞, la courbure est nulle. L'écart entre les quasi-niveaux de Fermi E_{Fn} et E_{Fp} vaut $\Phi_C = -V_{BS}$ au niveau de la source et $\Phi_C = V_{DS} - V_{BS}$ au niveau du drain. Avec V_{BS} la tension appliquée entre le substrat et la source et V_{DS} la tension entre le drain et la source [30] [31].

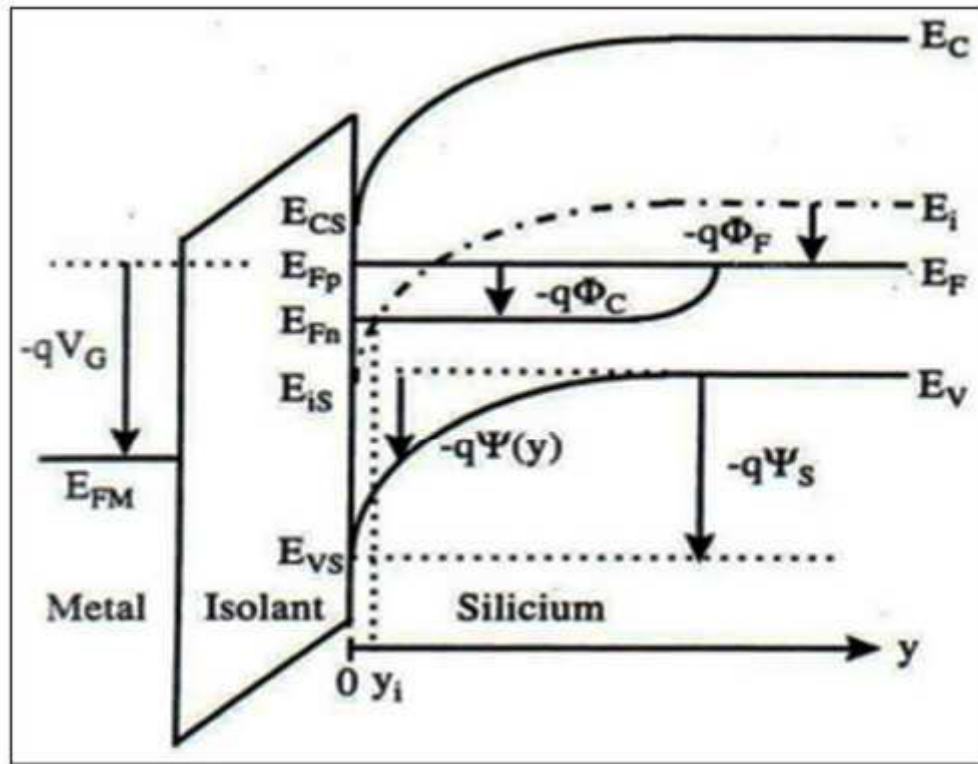


Figure 15: diagramme de bande de la structure MOS [30].

Nous considérons par la suite que $V_{BS} = 0V$

La concentration d'électrons dans le substrat dépend de la profondeur y :

$$n(y) = n_i \exp\left(\frac{E_{Fn} - E_i(y)}{KT}\right) \quad (9)$$

De même pour les trous :

$$p(y) = n_i \exp\left(\frac{E_i(y) - E_{Fp}}{KT}\right) \quad (10)$$

À partir de la Figure (15), nous pouvons réécrire ces équations de la manière suivante:

$$n(y) = n_0 \exp\left(\frac{q(\Psi(y) - \Phi_c)}{KT}\right) \quad (11)$$

$$p(y) = p_0 \exp\left(\frac{q\Psi(y)}{KT}\right) \quad (12)$$

$$\text{Avec } n_0 = n_i \exp\left(\frac{q\Psi_F}{KT}\right) \text{ et } p_0 = p_i \exp\left(-\frac{q\Psi_F}{KT}\right) \quad (13)$$

Cinq états caractéristiques sont alors définis en fonction de la valeur du potentiel de surface Ψ_S :

→ $\Psi_S = -\Phi_F$: La condition de bandes plates (Figure 16 (a)).

Les bandes d'énergie sont plates et aucune charge n'est accumulée aux deux interfaces de l'oxyde. La tension électrique à appliquer entre la grille et le substrat pour obtenir cette configuration est appelée tension de bandes plates V_{FB} .

→ $\Psi_S < 0$: Régime d'accumulation (Figure 16 (b)).

Le potentiel électrique appliqué sur la grille est inférieur à la condition de bande plate:

$V_G < V_{FB}$. Le potentiel de surface est négatif et la concentration en trous augmente. Il se produit alors une accumulation de trous près de l'interface Si/SiO₂.

→ $0 < \Psi_S < \Phi$: Régime de déplétion ou de désertion (Figure 16 (c)).

Le potentiel électrique Ψ_S est positif et la concentration de trous diminue. La concentration en électrons augmente mais est toujours moins importante que celle de trou. L'inversion faible est obtenue lorsque le potentiel Ψ_S est suffisamment élevé pour obtenir la condition $n = p$. Il y a autant de trous et d'électrons dans le canal près de l'interface Si/SiO₂.

→ $\Phi_F < \Psi_S < 2\Phi_F$: Régime d'inversion (Figure 16 (c)).

La concentration en électrons libres est supérieure à celle de trous à l'interface Si/SiO₂ et forme une couche d'inversion.

→ $\Psi_S > 2\Phi_F$: L'inversion forte (Figure 16 (d)).

Le potentiel de surface sature vers $2\Phi_F$ et le canal d'inversion est complètement formé. Un canal d'électron relie la source au drain et permet le passage d'un courant I_{DS} sous l'effet d'un champ électrique latéral.

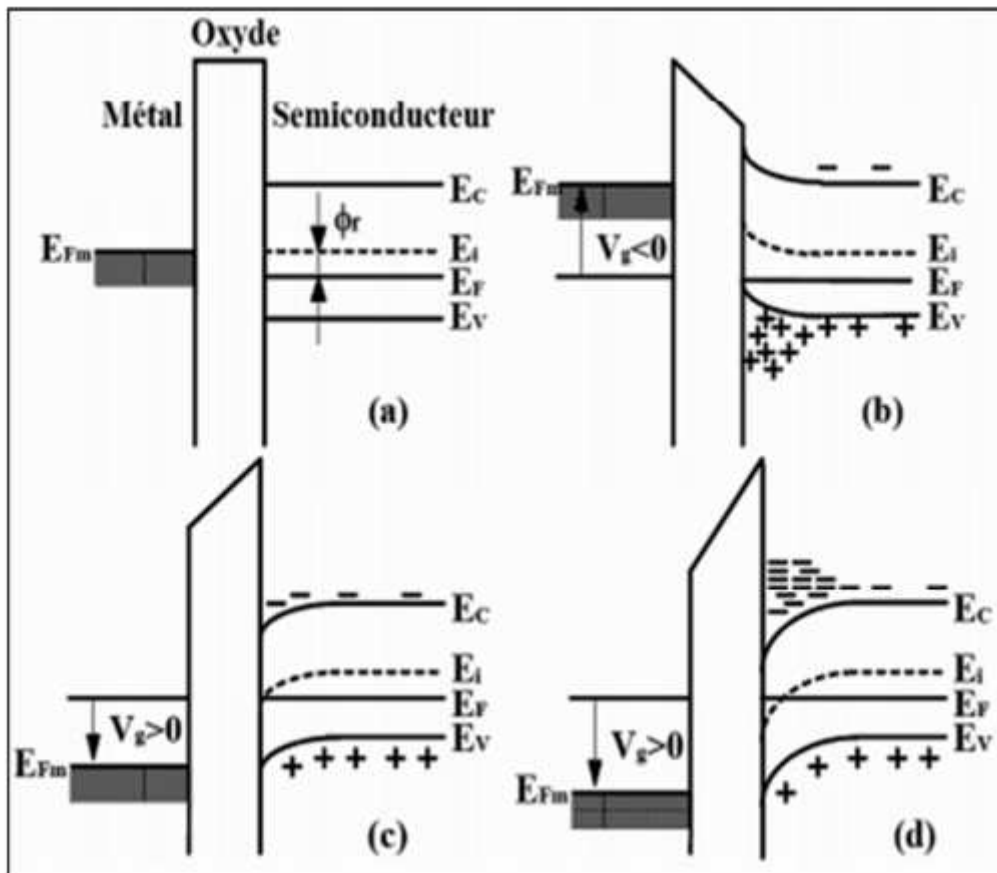


Figure 16 : Diagramme de bandes d'énergie dans NMOS dans la configuration (a) de bandes plates, (b) d'accumulation, (c) d'inversion faible, et (d) d'inversion forte [26]

II.7. Conduction électrique entre la source et le drain

II.7.1. Expression de la charge participant à la conduction électrique entre la source et le drain

La charge Q_{inv} est la charge dite d'inversion. Elle participe dans la conduction et donne lieu au courant I_{DS} entre la source et le drain. Elle est égale à la différence entre la charge totale dans le semi-conducteur Q_{sc} et la charge maximale de déplétion $Q_{Dep\ max}$ liée à l'extension de la ZCE (zone de charge d'espace).

$$Q_{inv} = Q_{sc} + Q_{Dep\ max} \quad (14)$$

Nous allons déterminer dans les deux parties suivantes, les expressions de Q_{sc} et celle de $Q_{Dep\ max}$ dans le cas particulier de l'inversion forte.

→ Détermination de la charge dans le semi-conducteur Q_{Sc} en inversion forte

La neutralité de la charge totale est exprimée par :

$$Q_G + Q_{Def} + Q_{Sc} = 0 \quad (15)$$

Nous noton Q_G la charge dans la grille, Q_{Def} la charge dans l'isolant rapportées à l'interface Si/SiO₂ comprenant l'ensemble des charges générées par les défauts d'interface, les charges fixes ainsi que toutes autres charges induites par des défauts dans l'oxyde.

La continuité des potentiels électriques dans la structure MOS peut être exprimée de la façon suivante :

$$V_{GS} = V_{OX} + \Psi_S + \Phi_{MS} \quad (16)$$

Avec la chute de potentiel à travers l'oxyde V_{OX} . L'intégration des charges (Gauss) dans le dispositif MOS permet d'obtenir la relation qui relie V_{OX} à la charge dans le semi-conducteur:

$$V_{OX} = + \frac{Q_G}{C_{OX}} = - \frac{Q_{Sc} + Q_{Def}}{C_{OX}} \quad (17)$$

Avec C_{OX} la capacité surfacique (F/cm²) du diélectrique

$$C_{OX} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (18)$$

ϵ_0 et ϵ_{ox} sont respectivement la permittivité du vide et du diélectrique.

$q\Phi_{MS} = q(\Phi_M - \Phi_S)$ représente la différence des travaux de sortie de métal et de semi-conducteur. Elle dépend de type de la grille et de dopage du substrat (N_A).

$$\Phi_M - \Phi_S = \Phi_M - X - \frac{E_G}{2q} - V_T \ln\left(\frac{N_A}{n_i}\right) \quad (19)$$

Et $X = \frac{E_{vide} - E_C}{q}$ l'affinité électronique du silicium.

En régime d'inversion forte, $\Psi_S = 2\Phi_F$.

En substituant l'équation (17) dans l'équation (16), on obtient :

$$Q_{Sc} = - C_{OX} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{OX}} - 2\Phi_F \right) \quad (20)$$

Le schéma de la figure (17) illustre l'ensemble des paramètres d'une structure MOS en régime de bandes plates.

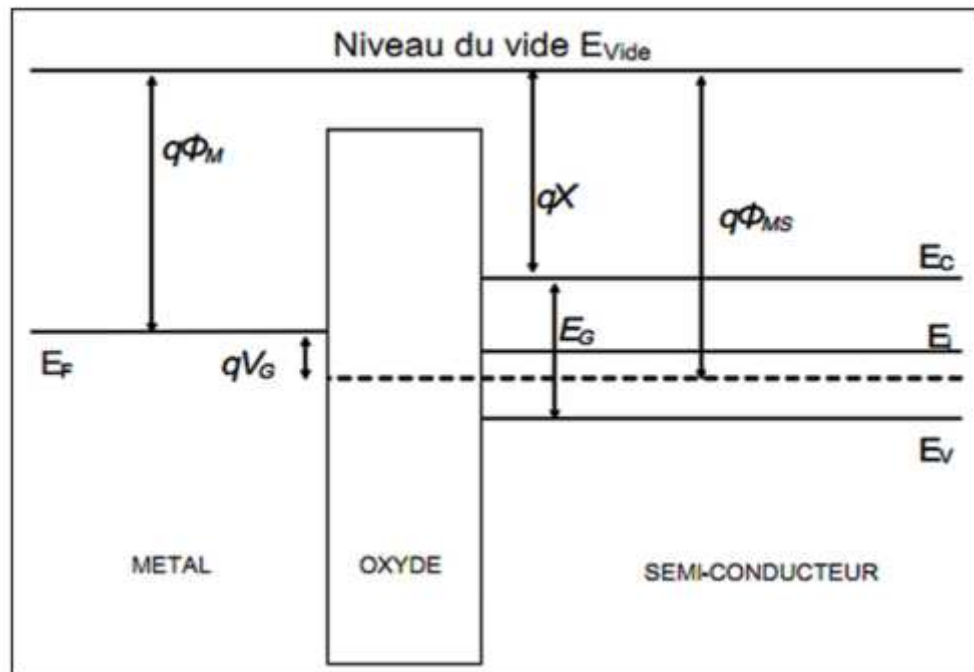


Figure 17 : Diagramme de bandes de la structure MOS à la condition de bandes plates [26].

→ Détermination de la charge de déplétion $Q_{Dep\ max}$ en inversion forte

La densité de charge dans la zone de déplétion étant relative au dopage initial N_A , l'intégration de l'équation de Poisson donne le champ électrique à travers la zone considérée.

$$E(y) = -q \frac{N_A}{\epsilon_0 \epsilon_{Si}} (y - y_d) \tag{21}$$

L'intégration du champ électrique donne la relation entre la chute de potentiel et y_d .

$$\Psi(y) = \frac{q N_A}{2 \epsilon_0 \epsilon_{Si}} (y - y_d)^2 \tag{22}$$

En surface ($y=0$) et en régime de forte inversion, l'expression de l'épaisseur maximale de la zone de déplétion $y_{Dep\ max}$ devient:

$$y_{Dep\ max} = \sqrt{\frac{2 \epsilon_0 \epsilon_{Si}}{q N_A} (2 \Phi_F)} \tag{23}$$

Il en résulte la charge de la zone de déplétion maximale $Q_{Dep\ max}$:

$$Q_{Dep\ max} = -qN_A y_{Dep\ max} = -\sqrt{2qN_A \epsilon_0 \epsilon_{Si} (2\Phi_F)} \quad (24)$$

Et donc en définissant le body-factor $\gamma_N = \frac{\sqrt{2qN_A \epsilon_0 \epsilon_{Si}}}{C_{ox}}$

$$Q_{Dep\ max} = -\gamma_N C_{ox} \sqrt{2\Phi_F} \quad (25)$$

→ **Expression de la charge d'inversion**

La charge Q_{inv} définie par l'équation (14) devient:

$$Q_{inv} = -C_{ox} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{ox}} - 2\Phi_F \right) + Q_{Dep\ max} \quad (26)$$

La tension de seuil V_T correspond au potentiel électrique à appliquer sur la grille pour pouvoir créer le canal d'inversion :

$$V_T = 2\Phi_F - \frac{Q_{Dep\ max} + Q_{Def}}{C_{ox}} + \Phi_{MS} \quad (27)$$

II.7.2. Expression du courant de drain linéaire

Le courant de drain est proportionnel à la charge mobile (Q_{inv}) dans le canal et à l'inverse du temps de transit τ des électrons pour traverser le canal de la source au drain. La tension de grille doit d'abord atteindre une tension de seuil V_T pour créer le canal d'inversion. Le temps de transit est le quotient entre la longueur du canal L et la vitesse de l'électron, soit le quotient entre la mobilité μ_0 et le champ électrique à travers le canal (V_{DS}/L).

$$I_{DS} = \frac{Q_{inv}}{\tau} = \frac{C_{ox} W L (V_G - V_T)}{\frac{L}{\mu_0 \frac{V_{DS}}{L}}} = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} = \beta_0 (V_{GS} - V_T) V_{DS} \quad (28)$$

Avec V_{DS} la différence de potentiel entre la source et le drain et $\beta_0 = \mu_0 C_{ox} \frac{W}{L}$ le facteur géométrique.

Une modélisation plus fine permet de prendre en compte la réduction de mobilité pour les porteurs de canal quand leur densité augmente en surface avec la tension de grille :

1. la réduction de la mobilité par le champ électrique vertical en introduisant le paramètre θ . Le potentiel de grille attire naturellement les électrons vers l'interface Si/SiO₂, et les collisions diminuent la mobilité des électrons. Une première approche simplifiée permet d'obtenir :

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (29)$$

Où μ_s est la mobilité effective prenant en compte la réduction de mobilité induit par le champ électrique latéral et μ_0 est la mobilité de l'électron soumis à aucun champ électrique dans le semi-conducteur.

À noter qu'une relation relie le paramètre θ au paramètre μ_0 par l'intermédiaire de la résistance d'accès R_{DS} :

$$\theta = \theta_0 + \frac{W}{L} \mu_0 C_{ox} R_{DS} \quad (30)$$

Le facteur θ dépend donc de θ_0 attribué aux collisions avec les phonons et de la résistance d'accès R_{DS} .

2. La saturation de la vitesse de dérive V_{max} des porteurs : les électrons atteignent la vitesse maximale dans le canal en présence d'un champ électrique latéral avec V_{DS} :

$$\mu_{EFF} = \frac{\mu_s}{1 + \frac{\mu_s V_{DS}}{V_{max} L_{EFF}}} \quad (31)$$

3. La tension électrique V_{DS} peut localement de côté du drain, modifier la valeur V_T et ainsi augmenter le courant. Cette diminution de V_T par la tension de drain est appelée l'effet DIBL (Drain Induced Barrier Lowering)

$$V_T = V_{T0} - \sigma V_{DS} \quad (32)$$

Lorsqu'une tension V_{DS} est appliquée, le potentiel du silicium du canal varie tout le long du canal. Il en résulte une variation de la valeur du V_T le long du canal. L'effet de V_{DS} sur V_T est pris en compte par le paramètre α_N relatif au body factor γ_N :

$$\alpha_N = 1 + \frac{\gamma_N}{2\sqrt{2\Phi_F - V_{BS}}} \quad (34)$$

L'équation du courant I_{DS} devient :

$$I_{DS} = \mu_{EFF} C_{ox} \frac{W}{L} \left(V_{GS} - V_T - \frac{\alpha_N}{2} V_{DS} \right) V_{DS} \quad (35)$$

Cette dernière équation est appelée modèle SPICE (Simulation Program with Integrated Circuit Emphasis) [32].

II.7.3. Expression du courant de drain sous le seuil

Le courant sous le seuil est un courant qui circule entre le drain et la source du transistor correspondant au régime d'inversion faible, c'est-à-dire lorsque $V_G < V_T$. Ce courant a pour origine la diffusion des porteurs et sa formulation pour les transistors à canaux longs (pour éviter les effets DIBL (Drain Induced Barrier Lowering)) peut être exprimée par l'équation suivante :

$$I_{DS} = \mu_0 C_{ox} \frac{W}{L} \Phi_t^2 \exp\left(\frac{V_{GS} - V_g}{n_t}\right) \left(1 - \exp\left(-\frac{V_{DS}}{t}\right)\right) \quad (36)$$

Où $\Phi_t = \frac{KT}{q}$ et $n = 1 + \frac{C_{Dep}}{C_{ox}}$ avec C_{Dep} est la capacité de la couche de déplétion.

Pour caractériser ce régime, il est usuel de parler de l'inverse de la pente sous le seuil (mV/décade):

$$S = \frac{\partial V_{GS}}{\partial \ln(I_{DS})} \quad (37)$$

Plus le facteur S est petit, plus le passage de l'état sous le seuil (transistor bloqué) à l'état inversé (transistor passant) est rapide.

II.7.4. Expression du courant de drain en mode saturé

Le courant saturé est le cas particulier où $V_{DS} > V_{GS} - V_T$. La condition d'inversion n'est plus respectée près du drain et le canal se pince. Une zone de forte résistivité se forme et absorbe tout accroissement de V_{DS} près du drain. L'équation du courant devient :

$$I_{DS} = \mu_{EFF} C_{ox} \frac{W}{2L} (V_{gs} - V_{th})^2 \quad (38)$$

Cette modélisation du courant de drain en régime saturé est issue du modèle de Sha [33].

II.8. Effet de la dégradation de l'oxyde et de son interface

L'accumulation de charges piégées dans l'oxyde et la présence des états d'interface ont des effets détectables sur les caractéristiques électriques des composants MOS. Les effets les plus observables sont le décalage de la tension de seuil, le décalage de la courbe courant tension, Ces effets sont, dans les cas les plus fréquents, nuisibles et indésirables et réduisent la fiabilité et le temps de vie maximal des composants. Pourtant certains de ces effets, et pour de faibles quantités de défauts, peuvent être investi pour améliorer la tenue des composants dans des environnements agressifs. Dans ce cas, la présence de défauts est utilisée comme une méthode de durcissement à faible cout pour certaines applications spécifiques.

L'étude de l'effet de la dégradation de l'oxyde ainsi que l'interface Si/SiO₂ sur les caractéristiques électriques des composants VDMOSFETs sera le sujet de chapitre suivant.

II.9. Conclusion

Dans ce chapitre nous avons détaillé l'origine des défauts dans l'oxyde et des états d'interface. Nous avons aussi présenté l'instabilité en température. Nous avons présenté après le diagramme de bande d'énergie du transistor MOS, ensuite la conduction électrique entre la source et le drain.

Nous avons terminé ce chapitre par l'effet de la dégradation de l'oxyde et de son interface. Nous allons nous servir de tout ce qui a été présenté dans ce chapitre afin d'interpréter les résultats obtenus expérimentalement et qui seront le sujet de chapitre suivant.

Chapitre III

Etude de la Dégradation de Transistor VDMOSFETs à canal n

III.1. Introduction

La fiabilité peut être définie comme la "probabilité qu'un dispositif exécute une fonction exigée dans des conditions indiquées pendant une période indiquée". Elle constitue le souci prédominant des chercheurs afin de garantir des meilleures performances.

La notion de probabilité est très fréquemment associée aux études de défaillance. Le phénomène Negative Bias Temperature Instability NBTI et Positive Bias Température Instability PBTI est l'un des mécanismes qui conduit à la dégradation des dispositifs MOS. Il s'agit donc d'un problème critique pour la fiabilité des technologies MOS. De ce fait, de nombreux travaux s'intéressent à l'étude de la dégradation d'oxyde.

La prise en compte du phénomène NBTI/PBTI dans les études de fiabilité des transistors MOSFETs est relativement récente, depuis fin 2000 – début 2001 [1].

Dans le présent chapitre nous allons appliquer le stress électrique CVS négatif et CVS positif (stress NBTI/PBTI) sur des transistors de commerce de type VDMOSFET (BS 108).

III.2. Equipement et protocole de stress-mesure

L'équipement nécessaire à notre expérimentation sont disponible au niveau de Laboratoire de Recherche Microélectronique de l'université Mouloud Mammeri de Tizi-Ouzou. Ces appareils sont :

- Tektronix 370 A (traceur de courbe programmable A 370)
- Un port GPIB (General Purpose Interface Bus)
- Un ordinateur avec logiciel LabVIEW pour commander le Tektronix 370 A.

La figure suivante illustre les différentes connexions entre les appareils utilisés :

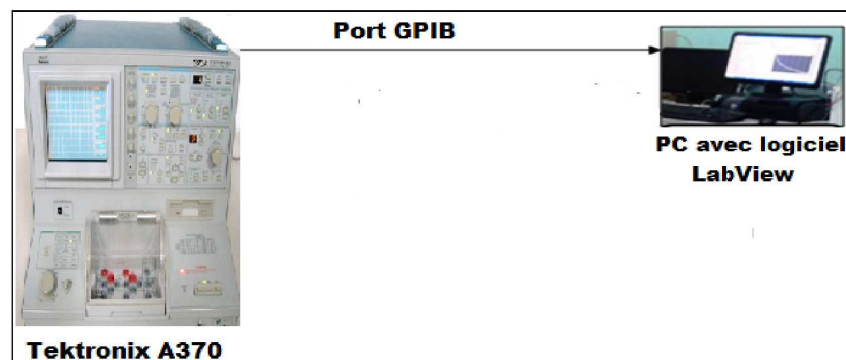


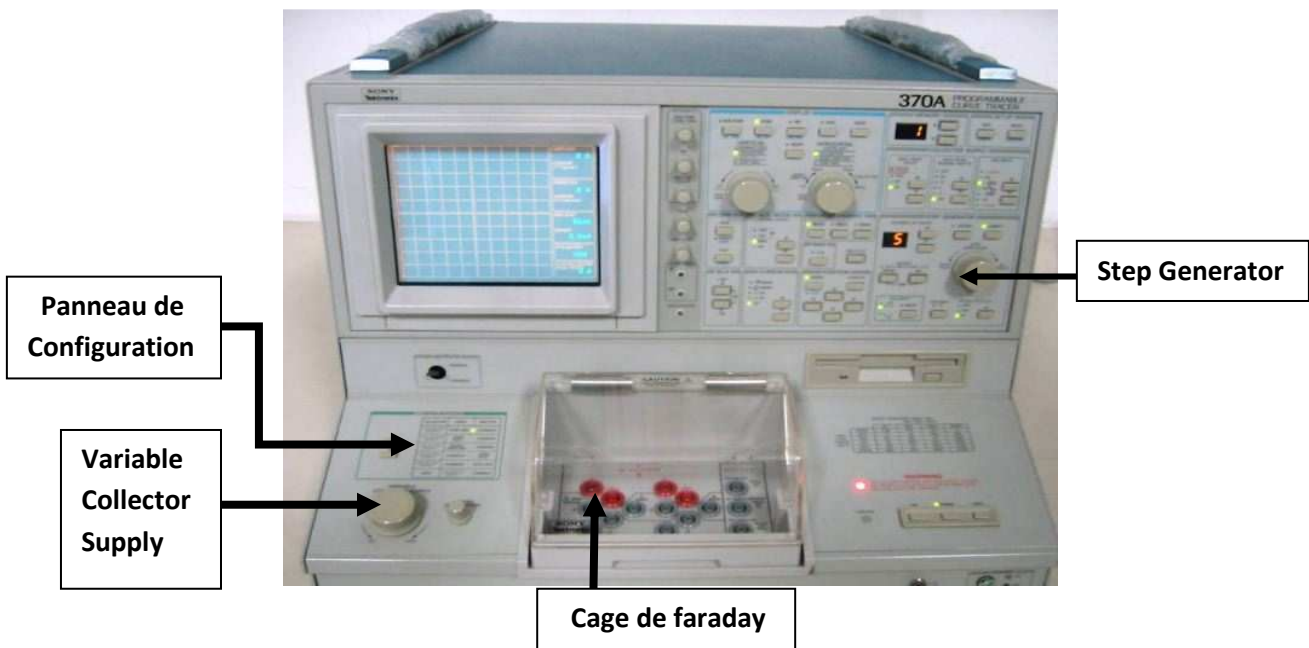
Figure 1 : Figure illustrative des différents appareils constituant le banc expérimentale

III.2.1. Tektronix 370 A (traceur de courbe programmable A 370).

Les exigences du marché des semi-conducteurs d'aujourd'hui sont complexes. Un simple outil de caractérisation DC est devenu largement insuffisant. Il faudrait que ce soit un produit multidimensionnel avec tension/courant DC traditionnelle, tension/courant d'impulsion et avec contrôle sur le profil du stress.

Le Tektronix 370A, illustré dans la figure (2), est une solution pour plusieurs domaines d'analyse des paramètres des semi-conducteurs, haute performance, autonome, traceur de courbe numérique GPIB-programmable qui fournit des mesures de dispositif de semi-conducteurs statiques et dynamiques. Il mesure et affiche les caractéristiques d'une variété de deux, trois et quatre dispositifs terminaux, y compris diodes, transistors bipolaires, FET, thyristors, opto-isolateurs et les circuits intégrés.

Le 370 A peut stocker essai set-ups (les montages d'essai) et des familles de courbes sur disquette. Il dispose d'interfaces GPIB et traceur. Les paramètres de contrôle et les valeurs du curseur sont affichés sur l'écran. Le séquençage de l'essai ne nécessite pas un dispositif de commande GPIB. L'interface GPIB, également connu par son numéro norme IEEE IEEE-488, est une courte portée, parallèle à 8 bits du bus de communication numérique créé comme HP-IB (Hewlett-Packard Interface Bus) à la fin des années 1960 pour une utilisation avec le test automatisé équipement.



III.2.2. Description de LABVIEW

LABVIEW (Laboratory Virtual Instrument Engineering) est un logiciel de développement d'applications d'instrumentation. Il est particulièrement destiné à l'acquisition de données et au traitement de signal. En effet, ce logiciel offre de larges possibilités de communication entre l'ordinateur et monde physique (possibilités de communiquer avec diverses interfaces numériques, cartes GPIB (General Purpose Interface Bus), liaisons série ou parallèle,....etc.).

Le principe de LabVIEW est de remplacer les instruments de mesure et d'analyser un signal de laboratoire par un ordinateur muni de cartes spécifiques et d'un logiciel approprié.

Dans le cadre de la mesure, les cartes permettent de convertir les signaux électriques en données numériques. Ainsi un ordinateur muni d'une carte d'acquisition analogique et de LABVIEW est capables de remplacer plusieurs appareils de mesure tel-que le voltmètre, un fréquencemètre ou un oscilloscope....etc.

LabVIEW permet de réaliser, entre autres, des instruments virtuels, par extension on appellera (VI, Virtual Instrument) toute application réalisée avec LabVIEW.

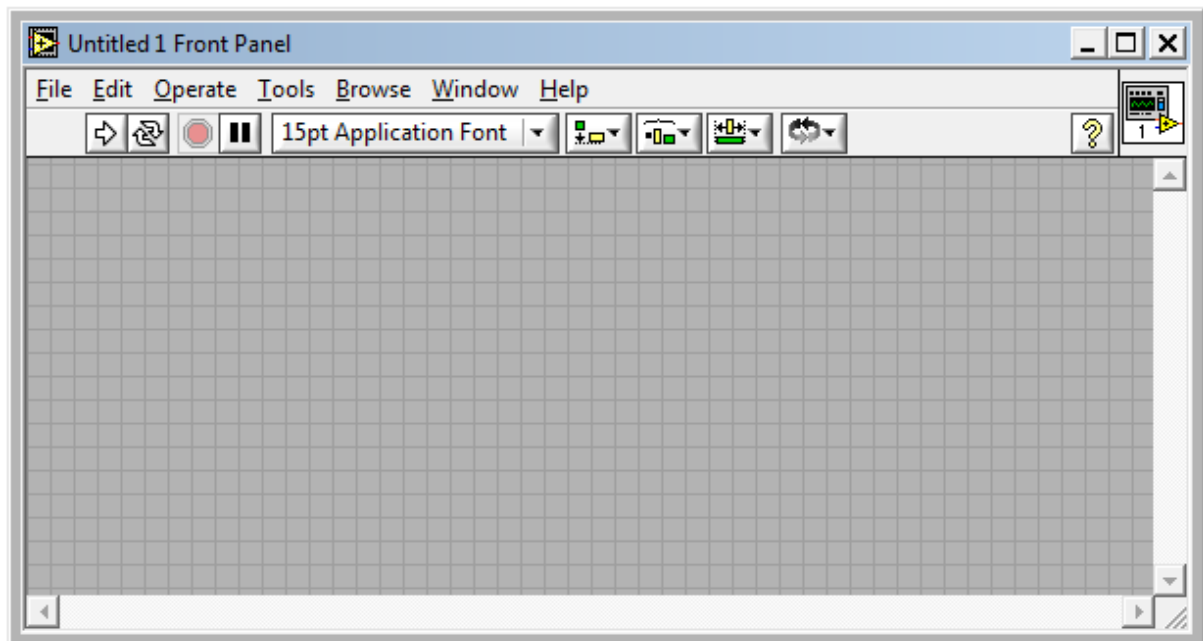


Figure 3 : Fenêtre principale de LabVIEW.

III.2.2.1. La constitution d'un instrument virtuel

III.2.2.1.1. Une face-avant :

C'est l'interface (Moyen de communication) avec l'utilisateur. Elle est composée d'objets graphiques comme les interrupteurs, des commandes, des zones de graphisme,...etc. Elle représente la face avant de l'instrument, figure (4)

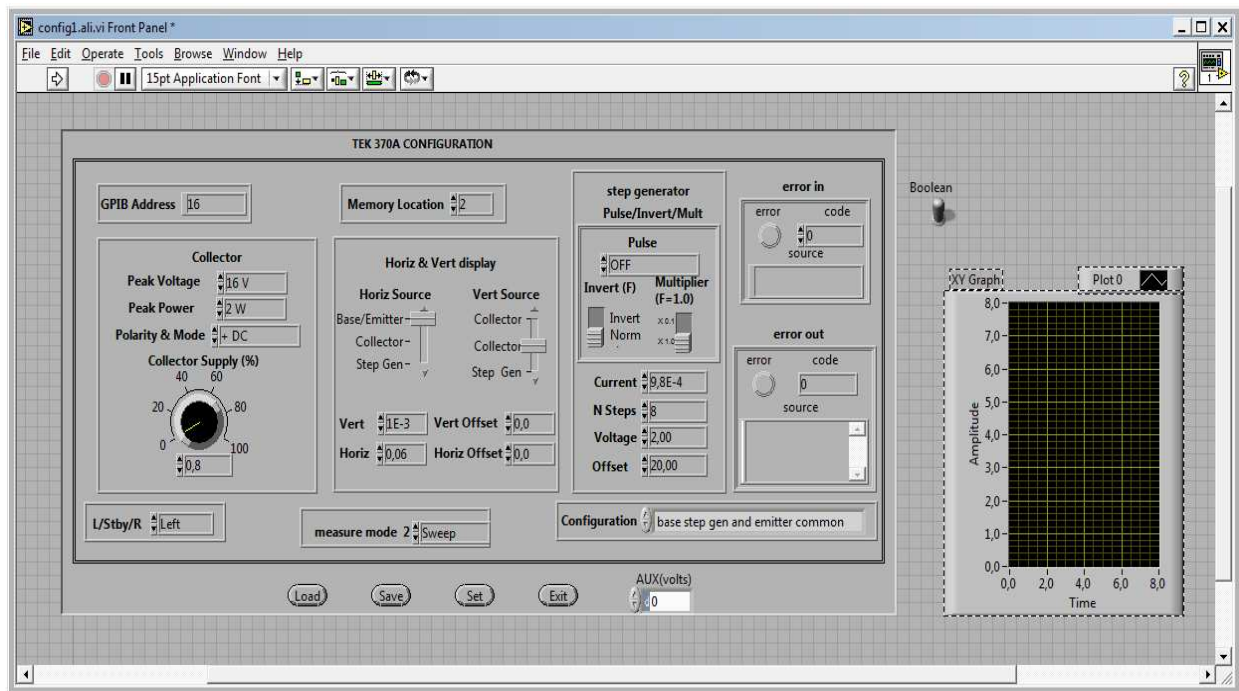


Figure 4 : Une face-avant (front panel)

III.2.2.1.2. Un diagramme :

Cette partie décrit le fonctionnement interne des VI de Tektronix A370. Destiné à être utilisé par des ingénieurs, en fusant d'abord un programme pour la mesure, permettant de lancer l'acquisition, LabVIEW utilise un langage graphique (G), ainsi l'utilisateur est affranchi de la lourde syntaxe des langages de programmation textuels tel que le langage C, le BASIC,.....etc.

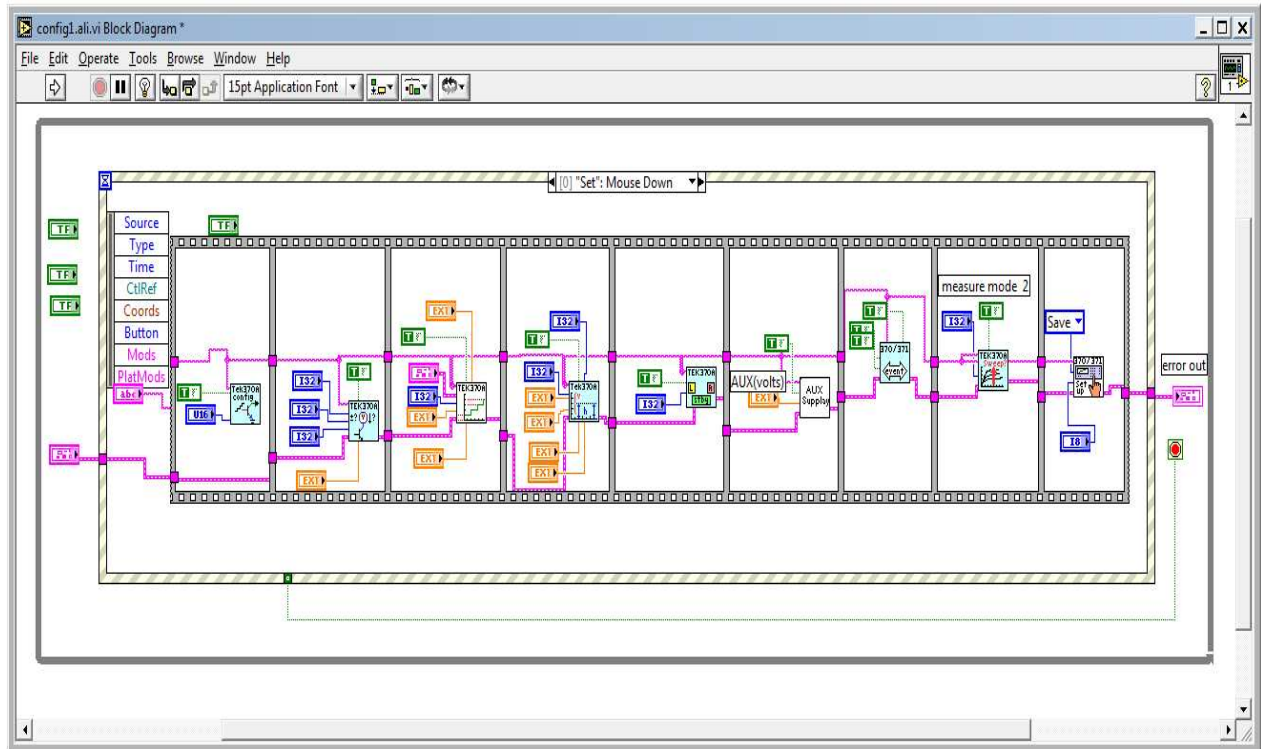


Figure 5 : le bloc diagramme

III.2.2.1.3. Une icône :

C'est la symbolisation de l'instrument virtuel qui permettra de faire appel à un instrument virtuel déjà créé à l'intérieur d'un autre instrument virtuel, c'est le principe de la structure hiérarchique et de modularité.

III.3. Technique de stress utilisée

Le comportement électrique du transistor MOS dépend fortement de la qualité d'oxyde ainsi que de la qualité de l'interface Si/SiO₂. Les interactions des porteurs du canal avec les défauts du système Si/SiO₂ réduisent les performances électriques du dispositif. Le champ électrique dans l'oxyde est l'une des origines de dégradation de l'oxyde et de la détérioration de l'interface [2] .

La technique du stress utilisée est le Stress à Tension Constante CVS (Constant Voltage Stress) qui consiste à appliquer une forte tension constante sur la grille en reliant le drain et la source à la masse comme illustrée dans la figure (6).

Pour cela on met le transistor VDMOS de type BS 108 dans la cage de Faraday qui permet d'isoler une portion d'espace contre l'influence des champs extérieurs (les ondes électromagnétiques), sachant que les trois électrodes de transistor : drain, grille et source sont connectés respectivement vers le collecteur, la base et la masse dans cette cage, ce qui nous ramène à faire un choix de configuration selon la mesure ou le stress désiré.

Selon la technique du stress utilisée dans notre expérience, on choisie la 1^{er} configuration (figure 7) dans le panneau de configuration de Tektronix A370, qui consiste juste à mettre la variable collector supply a zéro pour avoir un drain relié à la masse ; sachant que la source elle est en commun.

Enfin un stress sur la grille est appliquée a base de step Générateur (step amplitude entre 50mVet 2V avec un offset) pendant une durée bien déterminer, voir la figure (2).

Un champ électrique résultant apparaît aux deux extrémités de l'oxyde de grille isolant. Ce champ sert à l'accumulation des électrons à la face inférieure de l'oxyde inversant ainsi le canal. La différence de potentiel étant nulle entre les deux contacts de drain et de source, l'inversion du canal ne se manifeste pas par un courant de drain et les charges accumulées sont uniquement soumises à l'action du champ électrique de grille [3].

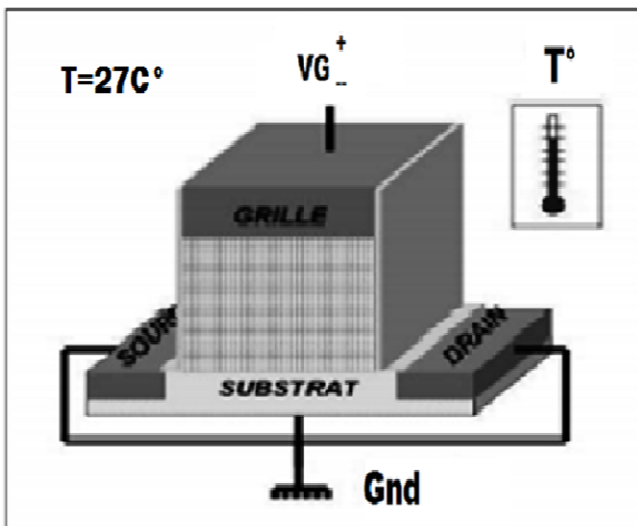


Figure 6 : figure illustratif de la technique du stress.

| Configuration Setting | | |
|-----------------------|------------------|----------|
| Collector | Base | Emitter |
| Collector Supply | Step Gen | Common |
| Collector Supply | Open (Ext) | Common |
| Collector Supply | Short (Emitter) | Common |
| Collector Supply | Common (Ext) | Open |
| Collector Supply | Common | Step Gen |
| Open | Collector Supply | Common |

1

Figure 7 : Panneaux de configuration de

Tektronix 370A

III.4. Technique de mesure utilisée

La technique de mesure est basé aussi sur la même configuration et dans les même conditions, voir la figure (2), il suffit juste de faire varier le collector supply légèrement (0.8 % de 16V) pour une tension appliquée entre drain et source ($V_{ds} = 128\text{mV}$), une tension de polarisation V_{GS} est appliqué sur la grille, ce qui permet d'obtenir la courbe $I_{DS}(V_{GS})$ du transistor vierge (sans stress), voir la figure(8) dans le but d'avoir la tension de seuil de référence, la tension V_{GS} est choisie autour de la V_{Th} .

Ce protocole stress-mesure-stress est appliqué pour différentes tensions et temps de stress positif et négatif respectivement, ($V_s = -10, -15, \text{ et } -20$) et ($V_s = 5, 10, 15, 20$) pendant une durée d'enverrons 33900 secondes cumulé pour une dizaine de fois. La température de mesure-stress est la température ambiante.

Un programme d'automatisation des différentes mesures est développé au niveau de notre laboratoire. En effet cette expérience est géré par un ordinateur sous LabVIEW communicant avec le Tektronix A370, voir la figure (1). La figure (9) illustre l'interface du programme permettant l'acquisition de la caractéristique $I_{DS}(V_{GS})$.

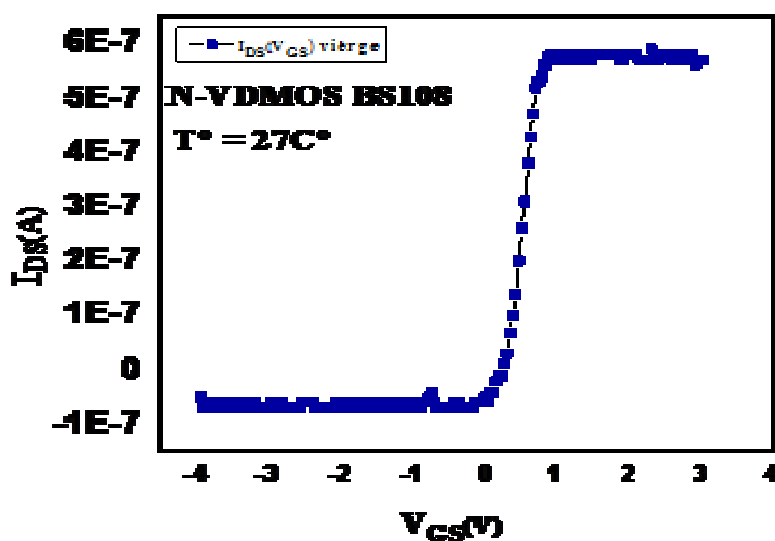


Figure 8 : Caractéristique vierge $I_{DS}(V_{GS})$

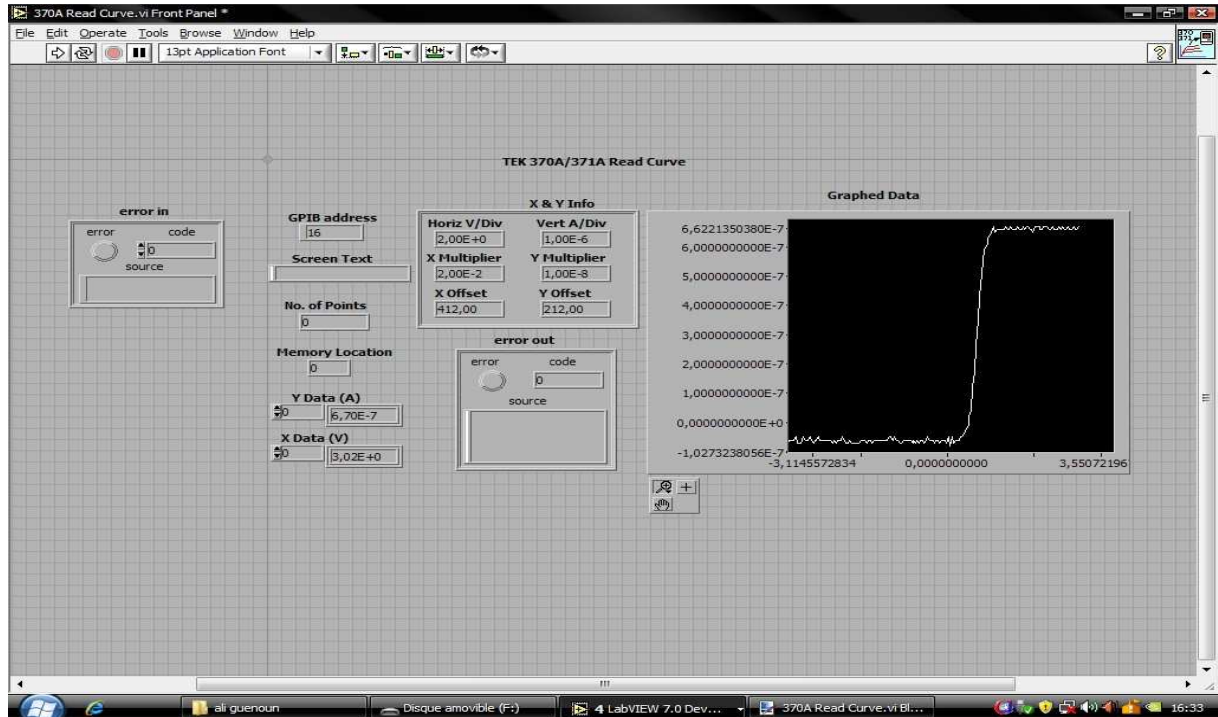


Figure 9 : Figure d'interface du programme de la caractéristique $I_{DS}(V_{GS})$

III.5. Présentation du dispositif (transistor) utilisé

Nous avons choisi un transistor de puissance commercial de type Vertical Double Diffused MOSFET (VDMOSFET) BS108 pour appliquer un CVS positif et négatif (stress PBTI et NBTI). Ce choix est guidé par le faible coût et la disponibilité de ces derniers. Ce composant est fabriqué par un processus commercial et présenter dans un boîtier plastique TO220. Le CVS est assuré par une tension (V) ± 20 V sur le contact de grille avec drain et source court-circuités. Le stress est appliqué pour plusieurs durées allant de 05 min à 120 min et après chaque durée les caractéristiques électriques ont été effectuées.

Les différents paramètres étudiés en fonction de la durée du stress électrique appliqué sont respectivement : l'évolution de la tension de seuil et du courant drain-source en fonction de tension grille-source $I_{DS}(V_{GS})$.

III.5.1. Extraction de la tension de seuil (V_{th}).

La tension de seuil du transistor utilisé est extraite par la méthode dite « méthode d'extrapolation linéaire » qui consiste à extrapoler la partie linéaire de la courbe $I_{DS}(V_{GS})$, obtenue en mode linéaire au point correspondant à la valeur Max de la Transconductance ($G_m = \frac{\partial I_D}{\partial V_g}$) (point d'inflexion du courant), vers l'axe V_{GS} . L'intersection de la droite extrapolée avec cet axe, nous donne la tension de seuil (V_{Th}), voir la figure (10). La V_{Th} obtenue est de 0.75 V.

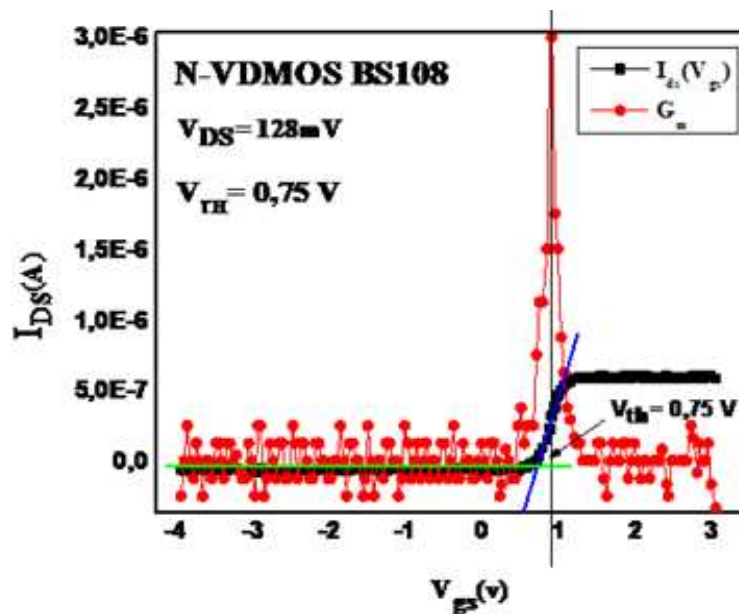


Figure 10 : Extrapolation de la tension de seuil V_{TH} .

III.5.2. Impacte de la tension de stress sur la dégradation de la ΔV_{th}

L'évolution de la dégradation de la tension de seuil (ΔV_{th}) avec le temps, pour différentes tensions de stress (CVS) négatif et (CVS) positif, est présentée dans la figure(11) et la figure(12) respectivement. La dégradation de la ΔV_{th} augmente avec le temps et avec l'augmentation de la tension de stress, signe de création des pièges, se qui relie la tension de seuil à la variation des états d'interface; donnée par l'équation suivante:

$$\Delta N_{it} = \frac{\Delta V_{th} \cdot q}{C_{ox}} \quad (1)$$

III.5.3. Modélisation des états d'interface

Le stress fait évoluer la variation de la tension de seuil ΔV_{th} selon le modèle, approximative, de puissance en fonction du temps ($\Delta V_{th} \propto t^n$) voir la figure (11, b) et la figure (12.b). Elle est donnée par l'équation suivante :

$$\Delta V_{th} = A. t^n \quad (2)$$

Pour linéarisé cette courbe on applique le logarithme et on obtient l'équation suivante :

$$\log \Delta V_{th} = \log A + n. \log t \quad (3)$$

$$\text{On a: } y_i = a x_i + b \quad (4)$$

On pose:

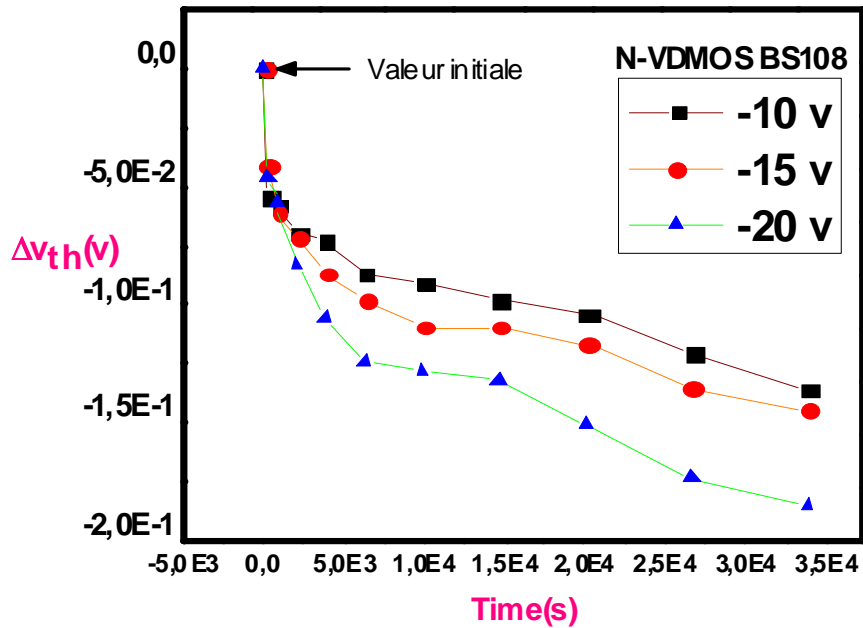
$$\left. \begin{array}{l} y_i = \log \Delta V_{th i} \\ x_i = \log t_i \\ b = \log A. \\ a = n \end{array} \right\}$$

L'extraction des paramètres a et b sont développées selon l'équation de la droite du modèle représenté en équation (3) ; la méthode de calcul est obtenue comme suit :

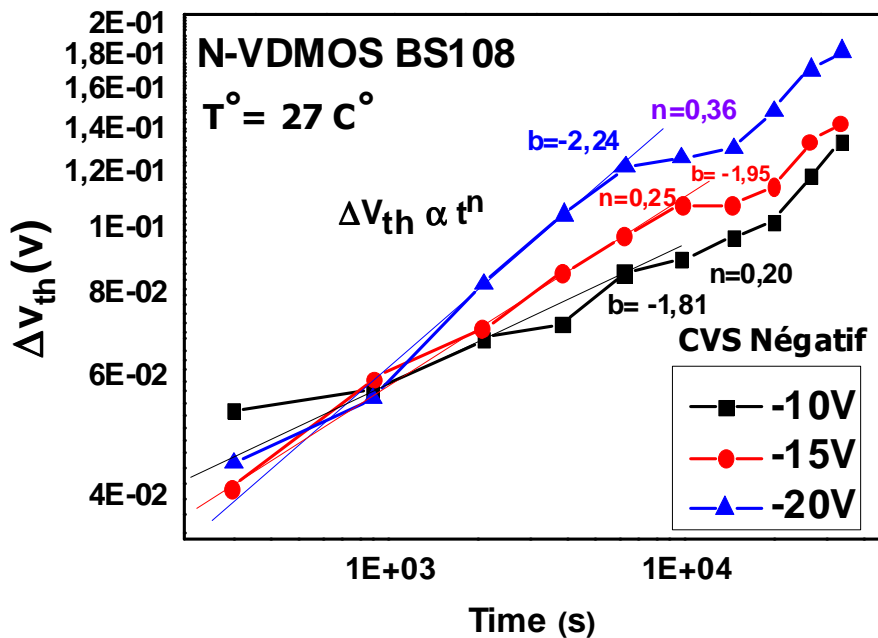
$$n = \frac{\log \Delta V_{th i}}{\log t_i} = \frac{\log y_2 - \log y_1}{\log x_2 - \log x_1}$$

$$b = \log \Delta V_{th i} - n. \log t_i$$

Ainsi cette méthode de calcul est appliquée pour les différentes mesures CVS développé dans notre expérience.

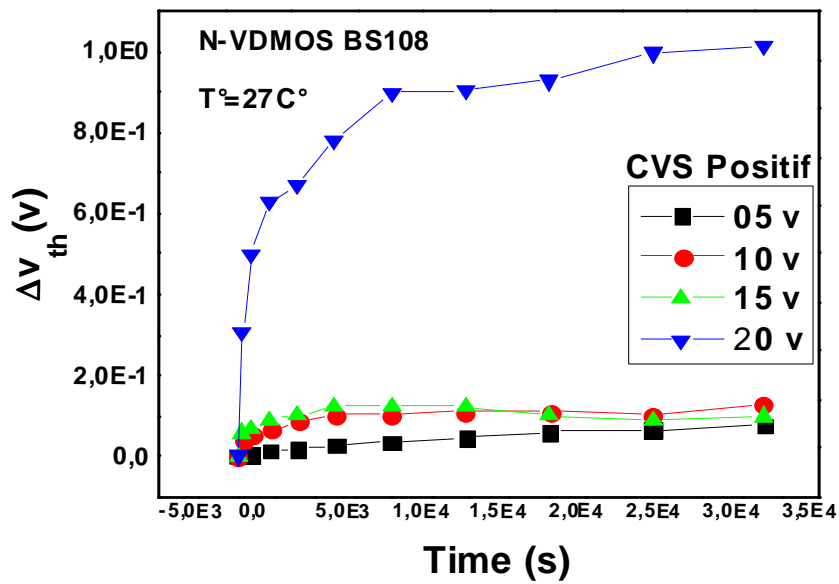


(a)

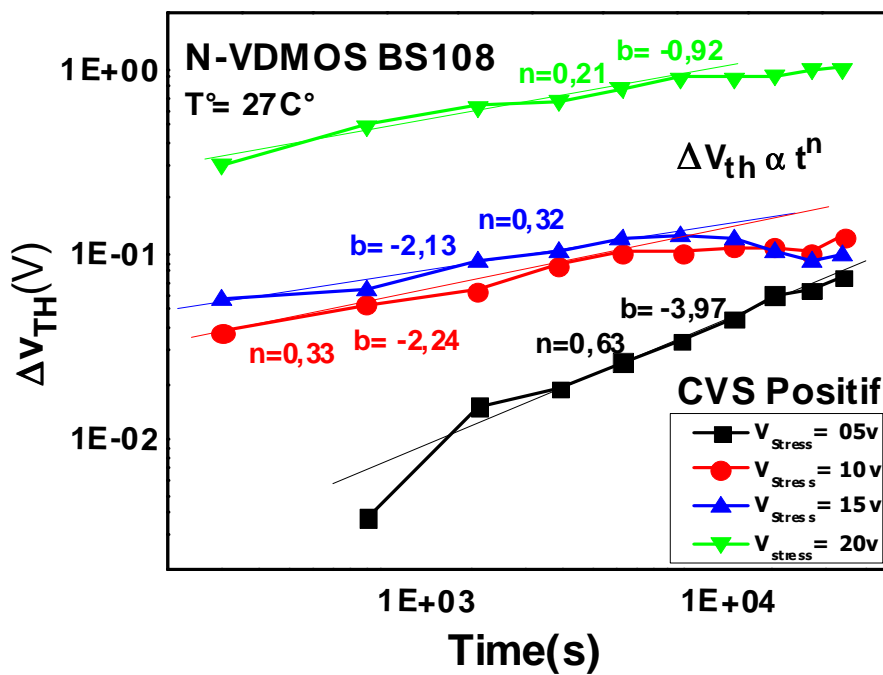


(b)

Figure 11 : ΔV_{th} en fonction du temps pour différentes conditions de stress (CVS négatif), (a) échelle linéaire, (b) échelle logarithmique



(a)



(b)

Figure 12 : ΔV_{th} en fonction du temps pour différentes conditions de stress (CVS positif), (a) échelle linéaire, (b) échelle logarithmique.

III.5.4. Caractéristiques courant de drain-tension de grille

La caractéristique courant de drain – tension de grille d’un MOSFET est l’une des caractéristiques les plus recherchées par les ingénieurs dans l’industrie, elle régit le fonctionnement de la plupart des circuits commerciaux. Les figures 13 et 14 représentent les variations de la caractéristique I_{DS} - V_{GS} en fonction de la durée du stress électrique pour un CVS positif ($V_s=20V$) et CVS négatif ($V_s= -20V$) respectivement.

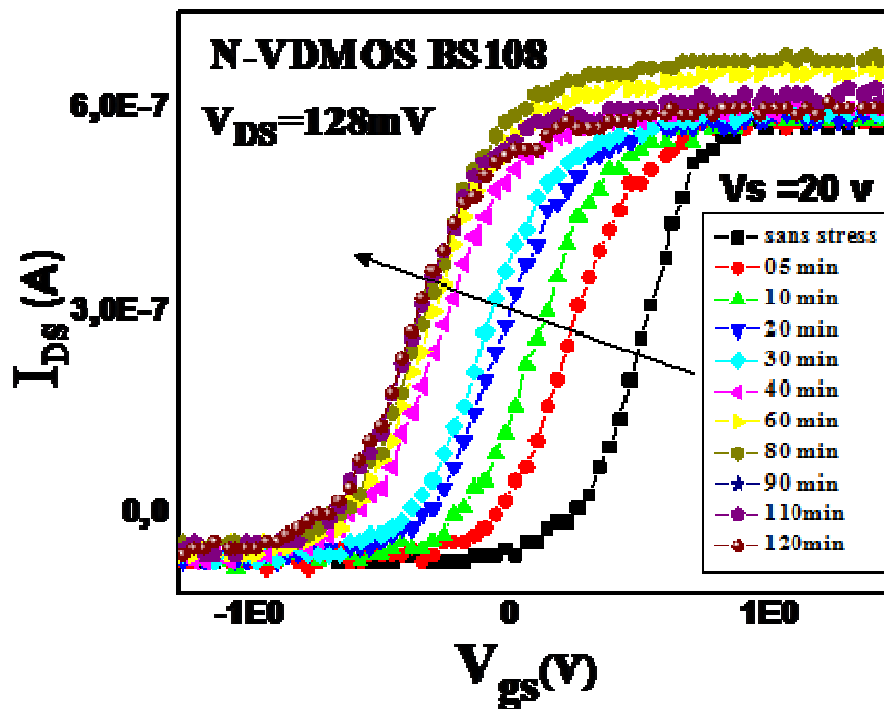


Figure 13 : Variation du courant drain source I_{DS} en fonction de la tension grille source V_{GS} pour différentes durées non cumulé d’un CVS positif et pour $V_{ds}= 128\text{mV}$

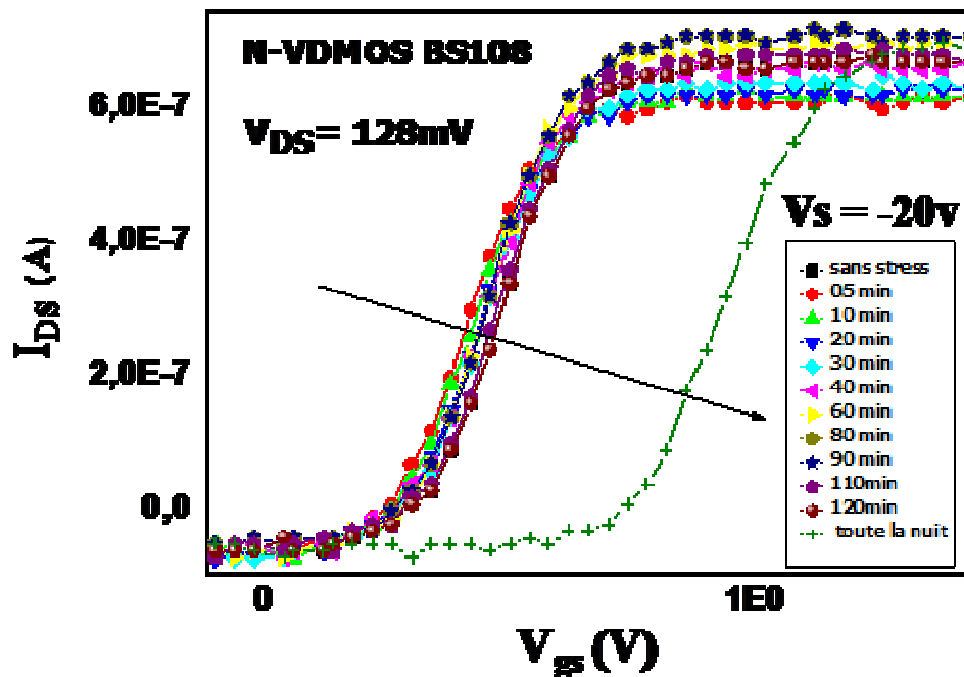


Figure 14 : Variation du courant drain source I_{DS} en fonction de la tension grille source V_{GS} pour différentes durées non cumulé d'un CVS négatif et pour $V_{ds}=128mV$

On remarque bien que ces caractéristiques sont affectées par la contrainte électrique appliquée. Pour le CVS positif et CVS négatif, une augmentation du courant de saturation de drain est remarquée pour les durées inférieures à 80 min ce qui met en évidence l'effet des défauts dans l'oxyde connus peut être sous forme E' et qui sont induits par le stress électrique appliqué. En allant vers des durées plus élevées, le courant de saturation de drain subit une diminution ce qui reflète l'effet de la dégradation de l'interface par diffusion des espaces hydrogénées et formation des centres P_b . plus précisément ce sont les états d'interface négatifs (régime d'inversion) qui régissent le comportement de la structure MOS pour les durées dépassant 80 min de CVS positif ou de CVS négatif. Mais pendant un stress qui a duré toute la nuit pour un CVS négatif on voit bien que le courant de saturation subit encore une augmentation plus élevée. On remarque aussi que la tension de seuil augmente pour un CVS négatif et diminue pour un CVS positif pendant toute les durées de stress.

III.6. Conclusion

Dans ce chapitre on a étudié l'effet de la contrainte électrique sur le fonctionnement des transistors VDMOSFET. La contrainte électrique est assurée à l'aide d'une forte tension, positive et négative, sur le contacte de grille et pour différentes durées. Plusieurs paramètres et caractéristiques ont été évalués et étudiés. Les résultats expérimentaux montrent une diminution de la tension de seuil pendant toute les durées d'un CVS positif, et une augmentation de la tension de seuil pour un CVS négatif. Le courant de fuite augmente avec l'augmentation de stress. Le courant de saturation de drain augmente aussi dans le cas du CVS positif et CVS négatif pour les durées au-dessous de 80 min, puis il subit une variation décroissante. Le CVS positif et négatif induits des défauts dans l'oxyde le long du stress.

*Conclusion et
Perspectives*

Conclusion générale et perspectives

Dans ce travail, nous avons étudiés l'effet du stress de type BTS (Bias Temperature Stress) sur les dispositif MOS sous condition de température négative (NBTI) et positive (PBTI) appliqué au transistor MOS de puissance verticale sous CVS (Constante Voltage Stress). Les résultats obtenus montrent la dégradation des paramètres électriques de transistor tel que la tension de seuil. Ces résultats expérimentaux ont montré une diminution de la tension de seuil dans le cas du CVS positif pendant toute les durées de stress. Tandis que pour un CVS négatif la tension de seuil augmente. Le courant de saturation de drain augmente pour un CVS positif et pour un CVS négatif pour les durées au dessous de 80 min, puis il subit une variation décroissante. Ainsi que le courant de fuite augmente progressivement avec l'augmentation de stress.

Cette dégradation est peut être due au piège au niveau de l'oxyde « E' center » [III.5], ou niveau de l'interface Si-SiO₂ « Pb center » [III.4], ou bien de l'oxyde et de l'interface [II.28]

Dans ce travail, nous avons réalisé l'étude de la dégradation NBTI et PBTI à température ambiante en utilisant la technique I(V). En perspectives nous pensons à étudier cette dégradation par d'autres technique de caractérisation tel que le pompage de charge (CP) et la technique capacité -tension C(V) pour apporter des solutions technologiques pour séparer les pièges dans l'oxyde et sur l'interface.

Liste des Références

Références Chapitre I

- [1] G. E. Moore. Progress in digital integrated electronics. International Electron Device Meeting Technical Digest, pp. 11-13, 1975.
- [2] Johann See. Théorie du blocage de coulomb appliquée aux nanostructures semi-conductrices: Modélisation des dispositifs à monocristaux de silicium. Thèse de doctorat, Université Paris XI, 2003.
- [3] Intel Website. <http://www.intel.com/technology/mooreslaw/index.htm>.
- [4] S.M. SZE 81. Physics of Semiconductor Devices (2nd Edition). Taipei: John Wiley & sons, 1981.
- [5] C. Picard, C. Brisset, A. Hoffman and J-P. Charles. Use of electrical stress and isochronal annealing on power MOSFETs in order to characterize the effects of ^{60}CO irradiation. Microelectronics reliability 40, pp. 1647-1652, 2000.
- [6] L. Aubard. Modélisation des transistors MOS de puissance pour l'électronique de puissance. Thèse INPG, Grenoble, 1999.
- [7] Stéphane Lefebvre and Francis Miserey. Composants à semi-conducteur pour l'électronique de puissance. Edition Tec&Doc Lavoisier, 2004.
- [8] G. Verneau. Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande. Thèse INPG, Grenoble, 2003.
- [9] S. Thompson, P. Packan and M. Bohr. MOS Scaling: Transistor Challenges for the 21st Century. Intel Technology Journal, Q3'98, 1998.
- [10] B. Farzan, C. A. T. Salam " Depletion V-Groove MOS (VMOS) Power Transistors " Solid-State Electronics, Vol. 19, N°4, p. 297-306, 1976.
- [11] S. C. Sun, J. D. Plummer « Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors » IEEE Transactions ON Electron Devices, Vol. 27, N°2, p. 356-367, 1980.
- [12] A. T. Tamer, K. Rauch, J.L. Moll « Numerical Comparison of DMOS, VMOS and UMOS Power Transistors » IEEE Transactions On Electron Devices, Vol. 30, N°1, p. 73-76, 1983.
- [13] H.J Sigg, G.D. Vendelin, T.P. Cauge, J.Kocsis « D-MOS Transistor for Microwave Applications » IEEE Transactions On Electron Devices, Vol. 19, N°2, p.45-53, 1972.
- [14] S. C. Sun, J. D. Plummer « Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces » IEEE Transactions On Electron Devices, Vol. 19, N°2, p.45-53, 1972.
- [15] Pierre Brosselard « Conception, Réalisation et Caractérisation d'interrupteur (thyristors et JFETs) haute tension (5KV) en carbure de silicium », Thèse de doctorat, institut national des sciences appliquées de Lyon, 2004, France.
- [16] Tony Gasseling, « Caractérisation non linéaire avancée de transistors de puissance pour la validation de leur modèle CAO », Thèse de doctorat, école doctorale Science-technologie-santé Faculté des science et techniques, Université de LIMOGES, 2003.
- [17] Jacques Avnould, Pierre Merle, « Dispositif de l'électroniques de puissance », Volume 1 Hermès, Paris 1992.
- [18] H. Mathieu. physique des semiconducteurs et des composants électroniques. 5^{ème} édition, Dunod, 2001.

[19]. S.Mahapatra, S.De, K.Joshi, S.Mukhopadhyay et R.K.Pandey, K.V.R.M Murali. "Understanding process impact of hole traps and NBTI in HKMG p-MOSFETs using measurements and atomistic simulations". IEEE Electron Device , Vol. 34, NO. 8; pp. 963-965, 2013.

[20]. Process integration, devices and structures in. "International Technology Roadmap for Semiconductor", edition 2011.

[21]. X.Federspiel, M.Rafik, D.Angot, F.Cacho, D.Roy. "Interaction between BTI and HCI degradation in High-K devices". in proceeding of IEEE International Reliability Physics Symposium (IRPS), pp- XT.9.1 - XT.9.4, 2013.

Références Chapitre II

- [1] Y. Maneglia. Analyse en profondeur des défauts de l'interface Si-SiO₂ par la technique du pompage de charges. Thèse de doctorat, Institut National Polytechnique de Grenoble, 1998.
- [2] K. Lai, M.Y. Hao, Chen and J.C. Lee. Effects of surface preparation on the electrical and reliability properties of ultrathin thermal oxide. IEEE Electron Dev. Lett., 15(11), pp.446-448, 1994.
- [3] A. Foucaran. Technologies de circuit intégrés au silicium. Cours, 2005.
- [4] B. Balland and G. Barbottin. Defects in silica films, their nature-their properties. Instabilities in silicon devices, G. Barbottin et A. Vapaille, Elsevier éditions vol. 1, pp. 104-149, 1986.
- [5] R.L. Mozzi and B.E. Warren. The structure of vitreous silica. Journal of Applied Crystallography 2, pp. 164-172, 1969.
- [6] T. Bakos. Defects in amorphous SiO₂: reaction, dynamics structure, spectra, and properties. Thèse de doctorat, Vanderbilt University, 2003.
- [7] S. Pantelides and W. Harrison. Electronic structure, spectra, and properties of 4:2-coordinated materials. I. Crystalline and amorphous SiO₂ and GeO₂. Physical Review B 13, pp. 2667-2691, 1976.
- [8] R. Nucho and A. Madhukar. Electronic structure of SiO₂: α -quartz and the influence of local disorder. Physical Review B 21, pp. 1576-1588, 1980.
- [9] G. Barbottin, A. Vapaille. "Instabilities in silicon devices, new insulators, devices and radiation effects". Elsevier Science B.V, Vol. 3, NO. 11, pp. 730-745, 1999.
- [10] Fleetwood D.M., Winokur P.S., Reber R.A. Meisenheimer T.L., Schwank J.R., Shaneyfelt M.R. and Riewe L.C. Effect of oxide traps, interface traps, and border traps on metal-oxide-semiconductor devices. J. Appl. Phys., 1993, Vol. 73, No. 10, p. 5058-5074.
- [11] Fleetwood D.M. Border traps in MOS devices. IEEE Trans. Nucl. Sci., 1992, Vol. 39, No. 4, p. 269-276.
- [12] S.P. Karna, H.A. Kurtz, A.C. Pineda, W.M. Shedd and R.D. Pugh. Point defect in Si-SiO₂ systems: current understanding. G. Pacchioni et al. (eds.), Defects in SiO₂ and related dielectrics : Science and technology, Kluwer Academy Publishers, pp. 599-615, 2000.
- [13] J. F. Conley, Jr. And P. M. Lenahan. Hydrogen Complexed EP (E'_δ) Centers and EP/H₂ Interactions: Implications for EP Structure. Microelectronic Engineering, vol. 28, No. 1-4, pp. 35-38, 1995.
- [14] J. F. Conley, Jr. And Patrick M. Lenahan. Electron Spin Resonance Evidence that E'_γ Centers Can Behave as Switching Oxide Traps. IEEE Transactions on Nuclear Science, vol. 42, No. 6, pp. 1744- 1749, 1995.
- [15] J. F. Conley and P. M. Lenahan. Molecular Hydrogen, E' center Hole Traps, and Radiation-Induced Interface Traps in MOS Devices. IEEE Transactions on Nuclear Science 40, pp. 1335-1340, 1993.
- [16] D. M. Fleetwood, P.S. Winokur, R.A. Reber, T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt and L. C. Riewe. Effects of oxide traps, interface traps, and border traps on metal-oxide-semiconductor devices. Journal of Applied Physics, 73, pp. 5058-5074, 1993.
- [17] S. Agnello. Gamma ray induced processes of point defect conversion in silica. Thèse de doctorat, Università di Palermo, 2000.

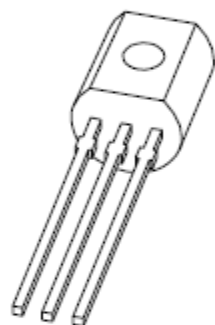
- [18] M. Pagey. Hot carrier reliability simulation in aggressively scaled MOS transistors. Thèse de doctorat, Vanderbilt University, Nashville Tennessee, 2003.
- [19] F. Feigl, W. Fowler and K. Yip. Oxygen Vacancy Model for the E' Center in SiO_2 . Solid State Communications 14, pp. 225-229, 1974.
- [20] D. Griscom and E. Friebele. Fundamental Radiation-Induced defect centers in synthetic fused silicas: atomic chlorine, delocalized E' centers and triplet state. Physical Review B 34, pp. 7524-7533, 1986.
- [21] J. Chavez, S. Karna, A. Pined, R. Pugh, W. Shedd and T. Oldham. Microscopic structure of the E'_δ center in amorphous SiO_2 : a first principles quantum mechanical investigation. IEEE Transactions on Nuclear Science 44, pp. 1799-1803, 1997.
- [22] C. Nicklaw. Multi level modeling of total ionizing dose in a $-\text{SiO}_2$: first principles to circuits. Thèse de doctorat, Vanderbilt University, 2003.
- [23] E.H.Poindexter, P.J.Caplan, B.E.Deal, R.R.Razouk. "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafer". J. App. Phy., Vo. 52, NO. 2, pp. 879-884, 1981.
- [24] G.Barbottin, A.Vapaille. "Instabilities in silicon devices, new insults, devices and radiation effects". Elsevier Science B.V, Vol. 3, NO. 11, pp. 730-745, 1999.
- [25] D. K. Schroder and J.A.Babcok. Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing. Journal of Applied Physics, Vol. 94, No. 1, pp. 1- 18, 2003.
- [26] M.Denais. "Etude des phénomènes de dégradation de type negative bias temperature instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées", manuscrit de thèse. Physique, modélisation et sciences pour l'ingénieur, Provence, 2005.
- [27] C.Schlunder, R.Brederlow, B.Ankele, K.goser, R.Thenes. "Effects of inhomogeneous Negative Bias Temperature Stress on p-channel MOSFETs of analog and RF circuits". International Reliability Physics Symposium, pp. 5-10, 2003.
- [28] P.J.Caplan, E.H.Poindexter, B.E.Deal, R.R.Razouk. "ESR centers, interface states, and oxide fixed charge in thermally oxidized silicon wafer". J. App. Phy., Vo. 50, NO. 9, pp 5854-5874, 1979.
- [29] T.C.May, M.H.Woods. "A new physical mechanism for soft errors in dynamic memories". Conf. on Reliability Physics, San Diego, 1978.
- [30] P.Masson. "Etude par pompage de charge et par mesures de bruit basse fréquence de transistors MOS à oxynitrides de grille ultra-mince", manuscrit de thèse. Sciences pour l'ingénieur de Lyon, 1999.
- [31] Henry Mathieu, Hervé Fanet. "Physique des semiconducteurs et des composants électroniques". Dunod, Paris, 2009.
- [32] <http://bwrc.eecs.berkeley.edu/Classes/IcBook/SPICE>.
- [33] C.T.Sha. "Characteristics of the metal-oxide Semiconductor transistors". Transaction on Electron Devices, Vol. 11, NO. 7, pp. 324-344, July 1964. Vol. 11.

Références Chapitre III

- [1]. Ninoslav Stojadinović, Danijel Danković , Ivica Manić , Vojkan Davidović , Snežana Djorić-Veljković , Snežana Golubović. "Impact of Negative Bias Temperature Instabilities on Lifetime in p-channel Power VDMOSFETs". IEEE, pp. 275-282, Niš, Serbia, 2007.
- [2]. J.R.Schwank, F.W.Sexton, D.M.Fleetwood, M.R.Shaneyfielt, K.L.Hughes, and M.S.Rodgers. "Strategie For Lot Acceptance Testing Using CMOS Transistors And ICs".IEEE Transactions on Nuclear Science, Vol. 36, NO. 6, pp. 1971-1980, 1989.
- [3]. Optical Properties of silicon. Virginia Semiconductor, Inc
- [4]. E. H.Poindexter, G.J.Gerardi, M.E.Rueckel, P.J.Caplan, N.M.Johnson and D.K.Biegelsen. "Electronic traps and P b centers at the Si/SiO₂ interface: Band-gap energy distribution".Journal of Applied Physics , vol. 56, no. 10, pp-2844 -2849,1984.
- [5]. P.M.Lenahan, J.J.Mele. "E' Centers and Leakage Currents in the Gate Oxides of Metal Oxide Silicon Devices". Journal of Vacuum Science & Technology B, Vol.18, NO.4, pp. 2169-2173, Jul 2000.

Annexes

DATA SHEET



BS108

N-channel enhancement mode
vertical D-MOS transistor

Product specification
Supersedes data of 1997 Jun 17

2001 May 18

N-channel enhancement mode vertical D-MOS transistor

BS108

FEATURES

- Direct interface to C-MOS, TTL, etc.
- High-speed switching
- No secondary breakdown.

APPLICATIONS

- Line current interruptor in telephone sets
- Applications in relay, high-speed and line transformer drivers.

DESCRIPTION

N-channel enhancement mode vertical D-MOS transistor in a SOT54 (TO-92) package.

PINNING - SOT54

| PIN | DESCRIPTION |
|-----|-------------|
| 1 | source |
| 2 | gate |
| 3 | drain |

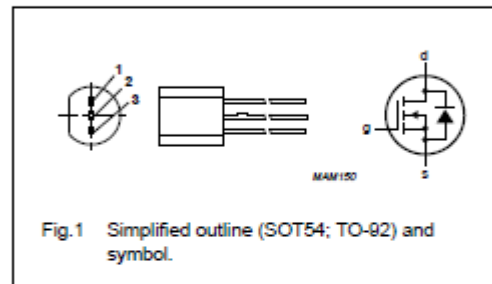


Fig.1 Simplified outline (SOT54; TO-92) and symbol.

QUICK REFERENCE DATA

| SYMBOL | PARAMETER | MAX. | UNIT |
|--------------|----------------------------------|------|----------|
| V_{DS} | drain-source voltage (DC) | 200 | V |
| V_{GSth} | gate-source threshold voltage | 1.8 | V |
| I_D | drain current (DC) | 300 | mA |
| $R_{DS(on)}$ | drain-source on-state resistance | 5 | Ω |

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134).

| SYMBOL | PARAMETER | CONDITIONS | MIN. | MAX. | UNIT |
|-----------|---------------------------|--|------|----------|------------------|
| V_{DS} | drain-source voltage (DC) | | – | 200 | V |
| V_{GS0} | gate-source voltage (DC) | open drain | – | ± 20 | V |
| I_D | drain current (DC) | | – | 300 | mA |
| I_{DM} | peak drain current | | – | 1.2 | A |
| P_{tot} | total power dissipation | $T_{amb} \leq 25^\circ\text{C}$; note 1 | – | 1 | W |
| T_{stg} | storage temperature | | –55 | +150 | $^\circ\text{C}$ |
| T_J | junction temperature | | – | 150 | $^\circ\text{C}$ |

N-channel enhancement mode
vertical D-MOS transistor

BS108

THERMAL CHARACTERISTICS

| SYMBOL | PARAMETER | CONDITIONS | VALUE | UNIT |
|---------------|---|------------|-------|------|
| $R_{th(j-a)}$ | thermal resistance from junction to ambient | note 1 | 125 | K/W |

Note

- Device mounted on a printed-circuit board, maximum lead length 4 mm; mounting pad for the drain lead minimum 10 × 10 mm.

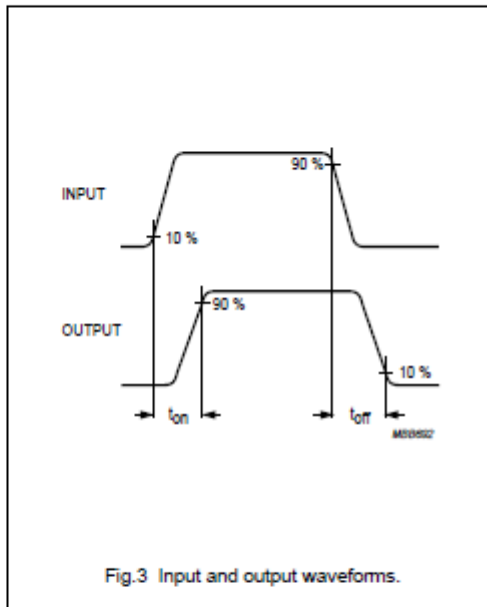
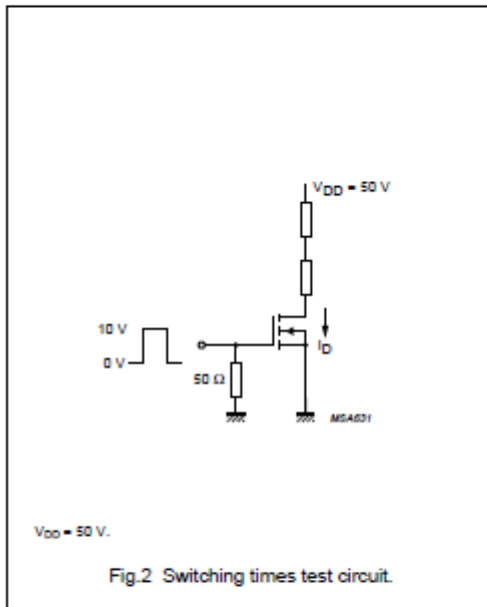
CHARACTERISTICS

$T_j = 25\text{ }^\circ\text{C}$ unless otherwise specified.

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|----------------------------------|--|------|------|-----------|---------------|
| $V_{(BR)DSS}$ | drain-source breakdown voltage | $I_D = 10\text{ }\mu\text{A}; V_{GS} = 0$ | 200 | – | – | V |
| I_{DSS} | drain-source leakage current | $V_{DS} = 160\text{ V}; V_{GS} = 0$ | – | – | 1 | μA |
| I_{GSS} | gate-source leakage current | $V_{GS} = \pm 20\text{ V}; V_{DS} = 0$ | – | – | ± 100 | nA |
| $V_{GS(th)}$ | gate-source threshold voltage | $I_D = 1\text{ mA}; V_{GS} = V_{DS}$ | 0.4 | – | 1.8 | V |
| $R_{DS(on)}$ | drain-source on-state resistance | $I_D = 100\text{ mA}; V_{GS} = 2.8\text{ V}$ | – | 2.7 | 5 | Ω |
| $ Y_{fs} $ | transfer admittance | $I_D = 300\text{ mA}; V_{DS} = 25\text{ V}$ | 200 | 600 | – | mS |
| C_{iss} | input capacitance | $V_{DS} = 25\text{ V}; V_{GS} = 0;$ $f = 1\text{ MHz}$ | – | 100 | 120 | pF |
| C_{oss} | output capacitance | $V_{DS} = 25\text{ V}; V_{GS} = 0;$ $f = 1\text{ MHz}$ | – | 20 | 30 | pF |
| C_{rss} | reverse transfer capacitance | $V_{DS} = 25\text{ V}; V_{GS} = 0;$ $f = 1\text{ MHz}$ | – | 10 | 15 | pF |
| Switching times (see Figs 2 and 3) | | | | | | |
| t_{on} | turn-on time | $I_D = 250\text{ mA}; V_{DD} = 50\text{ V};$ $V_{GS} = 0\text{ to }10\text{ V}$ | – | 6 | 10 | ns |
| t_{off} | turn-off time | $I_D = 250\text{ mA}; V_{DD} = 50\text{ V};$ $V_{GS} = 0\text{ to }10\text{ V}$ | – | 49 | 60 | ns |

N-channel enhancement mode
vertical D-MOS transistor

BS108



N-channel enhancement mode
vertical D-MOS transistor

BS108

PACKAGE OUTLINE

Plastic single-ended leaded (through hole) package; 3 leads

SOT54

